



(12)发明专利

(10)授权公告号 CN 105409003 B

(45)授权公告日 2019.03.08

(21)申请号 201480041709.4

(22)申请日 2014.06.11

(65)同一申请的已公布的文献号
申请公布号 CN 105409003 A

(43)申请公布日 2016.03.16

(30)优先权数据
13177735.1 2013.07.24 EP

(85)PCT国际申请进入国家阶段日
2016.01.22

(86)PCT国际申请的申请数据
PCT/EP2014/062120 2014.06.11

(87)PCT国际申请的公布数据
W02015/010825 EN 2015.01.29

(73)专利权人 IMEC 非营利协会
地址 比利时勒芬
专利权人 荷兰应用自然科学研究组织TNO
鲁汶天主教大学研究开发部

(72)发明人 M·纳格 A·布罗卡姆 R·穆勒

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 罗婷婷

(51)Int.Cl.
H01L 29/66(2006.01)
H01L 29/786(2006.01)

(56)对比文件
CN 102084486 A, 2011.06.01, 说明书第
[0027]-[0046]段, 附图1、2.
CN 102315277 A, 2012.01.11, 说明书第
[0070]-[0131]段、第[0186]-[0193]段, 附图1-
6C、16A-16B.
US 2009/0230389 A1, 2009.09.17, 全文.
CN 102969362 A, 2013.03.13, 全文.

审查员 冯月华

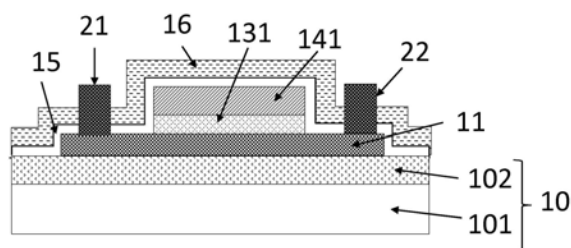
权利要求书1页 说明书7页 附图11页

(54)发明名称

用于改善金属氧化物半导体层的导电率的方法

(57)摘要

本公开提供一种用于改善金属氧化物半导体层在预定位置处的导电率的方法。该方法包括：在基板上提供金属氧化物半导体层；借助原子层沉积在金属氧化物半导体层的顶部上提供金属氧化物层，其中该金属氧化物层在预定位置与金属氧化物半导体层物理接触。惊奇地发现该方法导致金属氧化物半导体层在预定位置处有增加的导电率。本公开的方法可有利地用在针对自对准顶栅金属氧化物半导体薄膜晶体管的制造过程中，以改善源极和漏极区域中的导电率。



1. 一种用于制造自对准顶栅金属氧化物半导体薄膜晶体管的方法,所述方法包括:
在基板(10)上提供金属氧化物半导体层(12);
在所述金属氧化物半导体层(12)的顶部沉积栅极介电层(13);
在所述栅极介电层(13)上沉积栅极电极层(14);
图案化所述栅极电极层(14)以及所述栅极介电层(13)以形成栅极电极(141)和栅极绝缘体(131);
图案化所述金属氧化物半导体层(12),由此限定所述薄膜晶体管的源极区域(111)、沟道区域(110)和漏极区域(112);以及
借助原子层沉积来沉积金属氧化物层(15),由此增加所述金属氧化物半导体层在其中所述金属氧化物层与所述金属氧化物半导体层直接物理接触的所述源极区域(111)及所述漏极区域(112)中的导电率。
2. 根据权利要求1所述的方法,借助原子层沉积来沉积金属氧化物层(15)包括:借助原子层沉积在所述金属氧化物半导体层的顶部上提供金属氧化物层,其中所述金属氧化物层在所述源极区域及所述漏极区域与所述金属氧化物半导体层物理接触。
3. 根据权利要求1所述的方法,其特征在于,所述金属氧化物层(15)具有在10nm和100nm的范围内的厚度。
4. 根据权利要求1所述的方法,其特征在于,提供所述金属氧化物层(15)是以处于150℃和200℃之间的范围的温度完成的。
5. 根据权利要求1所述的方法,其特征在于,所述金属氧化物半导体层(12)是氧化镓铟锌层。
6. 根据权利要求1所述的方法,其特征在于,所述金属氧化物层(15)是 Al_2O_3 层。
7. 根据权利要求6所述的方法,其特征在于,所述 Al_2O_3 层是用三甲基铝和水 H_2O 作为反应物来沉积的。
8. 根据权利要求1所述的方法,其特征在于,还包括在在所述金属氧化物半导体层的顶部提供所述金属氧化物层之前:
提供在所述源极区域及所述漏极区域处与所述金属氧化物半导体层物理接触的还原层,所述还原层包括碱金属或碱土金属;
引起所述还原层和所述金属氧化物半导体层之间的化学还原反应;以及
将所述还原层和反应副产物从所述还原反应中移除。
9. 根据权利要求1所述的方法,其特征在于,进一步包括:
在所述金属氧化物层(15)的顶部提供介电层(16);
形成穿过所述介电层(16)和所述金属氧化物层(15)的通孔;以及
用金属填充所述通孔以形成源极电极(21)和漏极电极(22)。
10. 根据权利要求1或权利要求9中的任一项所述的方法,其特征在于,所述方法是以低于200℃的温度执行的。
11. 如权利要求1所述的方法,其特征在于,所述基板是低成本的易弯曲基板。
12. 根据权利要求1所述的方法,其特征在于,所述基板包括PET聚乙烯对苯二甲酸酯、PEN聚萘二甲酸乙二酯或PC聚碳酸酯。

用于改善金属氧化物半导体层的导电率的方法

技术领域

[0001] 本公开涉及用于局部地改善金属氧化物半导体层的导电率的方法。

[0002] 本公开还涉及用于制造基于金属氧化物半导体的薄膜晶体管的方法。

背景技术

[0003] 非晶金属氧化物半导体薄膜晶体管(TFT)(诸如例如非晶氧化镓铟锌(a-IGZO)薄膜晶体管)由于其较高的迁移率和较大的区域均匀性,已被验证为是平面显示应用中基于硅的TFT的潜在替换。

[0004] 常规的用作有源矩阵液晶显示器中的开关器件的非晶硅TFT具有大区域均匀性的优点。然而,其场效应迁移率($<1\text{cm}^2/\text{V}\cdot\text{s}$)太低以致无法驱动有机发光二极管(OLED)。

[0005] 另一方面,高迁移率($>50\text{cm}^2/\text{V}\cdot\text{s}$)的晶体磷硅TFT(其目前被用作AMOLED显示器中的开关器件)当用于大尺寸AMOLED显示器时遭遇其场效应迁移率和阈值电压的非均匀性。

[0006] 已知的底栅和顶栅TFT结构由于其寄生电容高且可缩放性差(占用面积(footprint)大)而不适于在高清显示器中使用。这样的TFT结构中的高寄生电容与源极和栅极之间和/或漏极和栅极之间存在重叠有关。该重叠是由于使用大于沟道长度的晶体管栅极长度以避免或限制栅极和源极和漏极之间未对准的负面结果而造成的。

[0007] 因此,正在开发用于制造自对准顶栅氧化物TFT的方法,其中源极和漏极与栅极对准,并且其中这些TFT具有良好的电性能和高稳定性。已报告了若干具有氧化物半导体有源层的自对准顶栅结构,其中金属氧化物半导体的导电率在源极和漏极区域中局部增加。

[0008] 已提出了若干用于(局部地)增加金属氧化物半导体材料的导电率的方法。一个方法包括通过杂质(诸如,硼、磷或砷)的离子注入来掺杂。然而,在易弯曲的基板上进行离子注入可能是困难的,因为需要通常以高于 450°C 的温度执行退火步骤以实现掺杂物激活。

[0009] 另一方法包括执行氩气等离子体处理、氢气等离子体处理或 NH_3 等离子体处理。然而,应观察到,经这些等离子体处理的源极和漏极区域的稳定性不是很好,并且作为OLED的积分所需的进一步处理步骤的结果,等离子体处理的效果可消失。

[0010] 在US 2012/0001167中,描述了一种用于制造自对准金属氧化物半导体薄膜晶体管的方法,其中使用了一种用于局部地增加金属氧化物半导体层的导电率的替换方法。在沉积了金属氧化物半导体层、栅极绝缘体和栅极电极后,由诸如Ti、Al或In之类的金属制成的金属薄膜被提供,该金属薄膜具有10nm或更少的厚度。接着,例如以 300°C 的温度在含氧气氛中执行热处理。作为该热处理的结果,该金属薄膜被氧化。在金属膜的氧化反应中,金属氧化物半导体层的源极区和漏极区内所包括的部分氧被迁移到金属膜。结果,源极区域和漏极区域中的氧气浓度减小了,从而导致在金属氧化物半导体层的上部形成低电阻区域。优选地,金属薄膜的厚度为10nm或更少,使得金属薄膜在含氧气氛中的热处理期间可被完全地氧化。通过这种方式,可避免对执行蚀刻步骤以移除非氧化金属的需求。

[0011] US2012/0001167中描述的方法需要至少 200°C 的温度,例如需要在 300°C 的量级上的温度。因此,这一方法并不适合于一些低成本的易弯曲基板(诸如举例而言,PET(聚乙烯

对苯二甲酸酯)、PEN(聚萘二甲酸乙二醇酯)和PC(聚碳酸酯)),并且可能需要具有增加的热稳定性和/或化学稳定性的价格更高的塑料箔(诸如,PI(聚酰亚胺)、PES(聚醚砜)或PEEK(聚醚醚酮))。该方法还需要对金属层的厚度的良好而准确的控制以便避免对执行蚀刻步骤以移除非氧化金属的需求。

发明内容

[0012] 本公开的目标在于提供一种用于局部地增加金属氧化物半导体层的导电率的方法,其中增加的导电率具有良好的热稳定性,并且其中该方法能以低于200℃的温度执行。

[0013] 本公开的目标还在于提供一种用于制造具有良好的源极和漏极接触、良好的场效应迁移率(例如,高于 $10\text{cm}^2/\text{Vs}$)、良好的热稳定性和良好的偏压稳定性的自对准顶栅金属氧化物半导体薄膜晶体管的方法,其中该晶体管能以低于200℃的温度制造。

[0014] 本公开涉及一种用于改善金属氧化物半导体层在预定位置处的导电率的方法。该方法包括:在基板上提供金属氧化物半导体层;以及借助原子层沉积(ALD)来在金属氧化物半导体层的顶部提供金属氧化物层,其中该金属氧化物层在预定位置与金属氧化物半导体层物理接触,即在预定位置借助直接物理接口与金属氧化物半导体层对接。

[0015] 惊奇地发现借助ALD沉积这样的金属氧化物层导致金属氧化物半导体层在金属氧化物层与金属氧化物半导体层直接物理接触的位置处有增加的导电率。

[0016] 在本公开的各实施例中,金属氧化物层可例如具有在10nm和100nm之间或在11nm和99nm之间的范围内的厚度,本公开并不限于此。

[0017] 在本公开的各实施例中,借助原子层沉积提供(例如沉积)金属氧化物层可以以处于150℃和200℃之间的范围内的温度来完成。

[0018] 在本公开的各实施例中,该方法还可包括在在金属氧化物半导体层的顶部上提供金属氧化物层之前:提供在预定位置处与金属氧化物半导体层物理接触的还原层,该还原层包括碱金属(例如,Li、Na、K、Rb、Cs或Fr中的任一者或其任意组合)或碱土金属(例如,Be、Mg、Ca、Sr、Ba或a中的任一者或其任意组合);例如通过以处于20℃和200℃之间的范围内的温度执行退火步骤来引起还原层和金属氧化物半导体层之间的化学还原反应;以及,例如通过在水或酒精中漂洗来将还原层和反应副产物从还原反应中移除。

[0019] 在本公开的各实施例中,金属氧化物半导体层可例如包括氧化镓铟锌(GIZO或IGZO),并且金属氧化物层可例如包括 Al_2O_3 。然而,本公开并不限于此。可使用其他金属氧化物半导体,诸如例如 ZnO 、 ZnSnO 、 InO 、 InZnO 、 InZnSnO 、 LaInZnO 、 GaInO 、 HfInZnO 、 MgZnO 、 LaInZnO 、 TiO 、 TiInSnO 、 ScInZnO 、 SiInZnO 和 ZrInZnO 或 ZrZnSnO 。可使用其他金属氧化物层,诸如例如 HfO_2 、 Ta_2O_5 、 ZrO_2 或 Ga_2O_3 。

[0020] 在本公开的其中金属氧化物层为 Al_2O_3 层的各实施例中,该金属氧化物层可用三甲基铝和水(H_2O)作为前体、或者用例如三乙基铝和水、或用三异丁基铝和水作为前体来沉积。

[0021] 在本公开的各实施例中,在形成金属氧化物层时,可混合不同的前体,或者可替换地使用不同的前体。

[0022] 本公开进一步涉及一种用于制造自对准(意指源极和漏极与栅极自对准)顶栅(栅极被提供在金属氧化物半导体层的顶部)金属氧化物半导体薄膜晶体管的方法。该方法包

括:在基板上提供金属氧化物半导体层;在该金属氧化物半导体层的顶部沉积栅极介电层;在该栅极介电层上沉积栅极电极层;图案化栅极电极层和栅极介电层以形成栅极电极和栅极绝缘体,藉此在金属氧化物半导体层中限定沟道区域;图案化金属氧化物半导体层,藉此在金属氧化物半导体层中限定源极区域和漏极区域;以及,借助原子层沉积来例如至少在源极和漏极区域中沉积金属氧化物层,藉此增加金属氧化物半导体层在源极区域中和在漏极区域中的导电率,其中金属氧化物层与金属氧化物半导体层直接物理接触,即借助直接物理接口与金属氧化物半导体层对接。

[0023] 该方法可进一步包括:在金属氧化物半导体层的顶部沉积介电层;形成穿过介电层和金属氧化物层的通孔;以及,用金属来填充该通孔以形成源极接触和漏极接触。

[0024] 在本公开的各实施例中,该方法可进一步包括在在金属氧化物半导体层的顶部提供金属氧化物层之前:提供在预定位置处与金属氧化物半导体层物理接触的还原层,该还原层包括碱金属(例如,Li、Na、K、Rb、Cs或Fr中的任一者或其任意组合)或碱土金属(例如,Be、Mg、Ca、Sr、Ba或a中的任一者或其任意组合);例如通过以处于20℃和200℃之间的范围内的温度执行退火步骤来引起还原层和金属氧化物半导体层之间的化学还原反应;以及,例如通过在水或酒精中漂洗来将还原层和反应副产物从还原反应中移除。

[0025] 本公开的各方法的一个优点在于这些方法能以低于200℃、或低于199℃、或低于190℃、或低于180℃、或低于170℃、或低于160℃的温度执行。因此,这些方法与低成本的易弯曲基板兼容,低成本的易弯曲基板为诸如例如PET(聚乙烯对苯二甲酸酯)、PEN(聚萘二甲酸乙二酯)和PC(聚碳酸酯)。

[0026] 本公开的各方法的一个优点在于对于准确地控制层厚度存在较少需求或不存在需求,而在一些现有技术方法中则是这种情况。

[0027] 本公开的各方法的一个优点在于沉积金属氧化物层不仅导致下面的金属氧化物半导体层的改善的导电率,而且此外沉积金属氧化物层还导致下面的金属氧化物半导体层的钝化和封装(例如,金属氧化物半导体层被完全覆盖或封装,即不再暴露在环境中)。

[0028] 本公开的各方法的一个优点在于其导致金属氧化物半导体层的增加的导电率的良好稳定性;即增加的导电率被随时间维持。

[0029] 本公开的各方法的一个优点在于其允许制造具有良好的偏压稳定性并具有良好的热稳定性的自对准顶栅金属氧化物半导体薄膜晶体管。

[0030] 各个创造性方面的某些目的和优点已在本文以上描述。当然,应理解,不一定所有此类目的或优点都可根据本公开的任何特定实施例实现。因此,例如,本领域的技术人员将认识到本发明可按实现或优化本文所教导的一个优势或一组优势的方式来具体化或执行,而不一定要同时实现本文可能教导或提出的其他目的或优势。此外,应当理解,本概述仅仅是一个示例而不旨在限制本公开的范围。关于组织和操作方法两者的本公开,连同其特征和优点一起,通过结合附图而阅读参考以下详细描述可被最好地理解。

附图说明

[0031] 图1(a)至图1(f)解说根据本公开的方法的用于制造金属氧化物半导体薄膜晶体管的方法。

[0032] 图2示出根据本公开的方法制造的a-IGZO薄膜晶体管的传递特征($I_{DS}-V_{GS}$)。

[0033] 图3示出根据本公开的方法制造的a-IGZO薄膜晶体管的输出特征($I_{DS}-V_{DS}$)。

[0034] 图4示出根据本公开的方法制造的a-IGZO TFT ($W/L=30/10\mu m/\mu m$) 的传递特征($I_{DS}-V_{GS}$), 对于不同的偏压应力时间: 图4 (a) 针对为 $-1MV/cm$ 的负偏压应力 ($V_{GS}=-12V$ 且 $V_{DS}=0V$) 的情况; 图4 (b) 针对为 $+1MV/cm$ 的正偏压应力 ($V_{GS}=+12V$ 且 $V_{DS}=+12V$) 的情况。

[0035] 图5示出根据本公开的方法制造的a-IGZO TFT的 V_{TH} 偏移, 该 V_{TH} 偏移在正和负方向两者都根据应力时间。

[0036] 图6示出a-IGZO TFT ($W/L=30/10\mu m/\mu m$) 的初始传递特征(空心圆) 以及以 $150^{\circ}C$ 在氮中退火2个小时后的传递特征(实心方块)。

[0037] 权利要求书中的任何参考标记不应当被解释为限制本公开的范围。

[0038] 在不同附图中, 相同参考标记指示相同或相似元件。

具体实施方式

[0039] 在以下详细描述中, 阐述众多特定细节以提供对本公开以及其可如何在特定实施方式中实施的透彻理解。然而, 将理解, 本公开在没有这些特定细节的情况下也可以实施。在其它情形中, 众所周知的方法、程序和技术并未进行详细描述以免混淆本公开。

[0040] 虽然将针对特定实施方式并参考特定附图描述本公开, 但本公开不限于此。包括并描述与此的附图是示意性的, 并不限制本公开的范围。还应注意, 在附图中, 出于说明目的, 一些元件的大小可能被放大, 因此未按比例绘制。

[0041] 此外, 说明书中的术语第一、第二和第三等用于区别类似的元件, 而不一定用于描述时间、空间、排列或任何其他方式的先后顺序。应理解, 如此使用的术语在适当情况下是可互换的, 且本文中所描述的本公开的实施例能以不同于本文所描述或示出的其它顺序操作。

[0042] 另外, 说明书中的术语顶部、底部、之上、之下等等用于描述性目的, 而非必然地用于描述相对位置。应理解, 如此使用的术语在适当情况下是可互换的, 且本文中所描述的本公开的实施例能以不同于本文所描述或示出的其它取向操作。

[0043] 本公开提供了一种用于改善(增加) 金属氧化物半导体层的导电率的方法, 例如用于局部地改善这样的层在金属氧化物半导体薄膜晶体管的源极和漏极接触的位置处的导电率的方法。导电率的增加可以大量的, 例如为至少一倍量级, 例如高达3倍量级。

[0044] 根据本公开的一方面, 提供了一种用于增加金属氧化物半导体层在预定位置处的导电率的方法, 其中该方法包括: 借助原子层沉积在金属氧化物半导体层的顶部沉积金属氧化物层, 并且该金属氧化物层在预定位置处与金属氧化物半导体层物理接触, 由此在预定位置处与金属氧化物半导体层对接。

[0045] 惊奇地发现借助ALD沉积这样的金属氧化物层导致金属氧化物半导体层在金属氧化物层与金属氧化物半导体层处于直接物理接触的位置处有增加的导电率。

[0046] 金属氧化物层可例如包括 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 或 Ga_2O_3 , 本公开不限于此。

[0047] 在本公开的各实施例中, 金属氧化物层可例如是 Al_2O_3 层。它可例如用三甲基铝(TMA, $Al(CH_3)_3$) 和水(H_2O) 作为前体来沉积。然而, 可使用其他前体(诸如例如三乙基铝和水或三异丁基铝和水) 来形成 Al_2O_3 层。

[0048] 在本公开的各实施例中, 金属氧化物层可例如是 Ga_2O_3 层。可为该层使用的前体包

括例如三乙基镓和水、三甲基镓和水、三异丙基镓和水或三叔丁基镓和水,本公开不限于此。

[0049] 在本公开的各实施例中,在形成金属氧化物层时,可混合不同的前体,或者可替换地使用不同的前体。

[0050] 金属氧化物层可例如具有处于10nm和100nm之间的范围内的厚度,并且它可例如以处于150℃和200℃之间(例如,150℃和170℃之间)的范围内的温度来沉积,本公开不限于此。

[0051] 本公开的方法可有利地用在针对具有金属氧化物半导体有源层的薄膜晶体管的制造过程中,以局部地增加与源极区域和漏极区域相对应的预定位置处的导电率,藉此改善来自源极和漏极接触的电荷注入。该方法可有利地用在针对自对准顶栅薄膜晶体管的制造过程中。

[0052] 该方法还可用在针对基于其他金属氧化物半导体的器件(例如,二极管或晶体管-二极管)的制造过程中,以改善来自接触的电荷注入。

[0053] 金属氧化物半导体层可例如包括氧化镓铟锌(GIZO,也被称为IGZO),或基于其他金属氧化物的半导体,例如以下化合物(而无需指示化学计量法):ZnO、ZnSnO、InO、InZnO、InZnSnO、LaInZnO、GaInO、HfInZnO、MgZnO、LaInZnO、TiO、TiInSnO、ScInZnO、SiInZnO和ZrInZnO、ZrZnSnO。然而,本公开并不限于此,并且该方法可与本领域的技术人员公知的其他合适的金属化合物半导体联用。通常厚度在5nm和50nm之间或在6nm和49nm之间的这些半导体层可通过多种方法提供,多种方法为诸如例如对前体溶液的溅镀、热蒸镀、脉冲激光沉积以及旋转涂膜、喷墨印刷或滴镀。

[0054] 还描述了一种用于制造自对准顶栅金属氧化物半导体薄膜晶体管的方法,其中本公开的方法被用于局部地改善金属氧化物半导体层在源极和漏极区域中的导电率。在这样的器件结构中,ALD金属氧化物层改变下面的源极和漏极区域的传导性,并且它还具有钝化和封装层的功能。

[0055] 在图1(a)到图1(f)中示意性地示出了根据本公开的用于制造金属氧化物半导体薄膜晶体管的示例性过程流。

[0056] 在图1(a)所示的第一步骤,例如通过用前体溶液溅射、激光烧蚀或旋涂来在基板10上提供金属氧化物半导体层12,诸如GIZO层。在图1(a)所示的示例中,基板10包括硅基板101和介电层102,例如氧化硅层。然而,可使用其他适当的基板。GIZO层12的厚度可例如处于大约10nm或大约15nm到20nm的量级,例如处于10nm和20nm之间,或处于11nm和19nm之间,但可使用其他合适的厚度。

[0057] 接着,如图1(b)所示,栅极介电层13(诸如例如硅氧化层)是例如借助等离子体增强化学汽相沉积被沉积在金属氧化物半导体层12的顶部的。此后是将栅极电极层14(诸如例如Mo层)沉积在栅极介电层13的顶部(图1(b))。

[0058] 栅极电极层14和栅极介电层13随后例如通过干法蚀刻被图案化以形成栅极电极141和栅极绝缘体131,如图1(c)所示。

[0059] 接着,金属氧化物半导体层12被图案化,由此限定薄膜晶体管的有源层11(图1(d))。金属氧化物半导体层可例如通过湿法蚀刻(例如使用缓冲HF或乙二酸)来图案化。对有源层图案化使用乙二酸的优点在于它对下面的各层具有良好的选择性。经图案化的栅极

电极141在有源层11中限定沟道区域110、源极区域111和漏极区域112,如图1(d)中示意性地示出的。源极和漏极区域与沟道区域直接相邻,并且是自对准的。

[0060] 在图1所示的示例中,金属氧化物半导体层是在对栅极电极层和栅极介电层进行图案化之后被图案化的。然而,本公开并不限于此。例如,金属氧化物半导体层还可在栅极制造过程之前或者在栅极制造过程之后的稍后阶段中被图案化。

[0061] 接着,金属氧化物层15(诸如例如 Al_2O_3 层)是借助ALD,例如使用三甲基铝(TMA, $\text{Al}(\text{CH}_3)_3$)和水(H_2O)作为前体(在图1(e)中示出)来沉积的。惊奇地发现沉积这样的层会导致金属氧化物半导体层在其中 Al_2O_3 层15与金属氧化物半导体层11直接物理接触的位置处有增加的导电率。因此,在金属氧化物半导体层11的源极区域111和漏极区域112中,至少在金属氧化物半导体层的上部中,获得增强的导电率。相信,由于ALD前体和金属氧化物半导体层表面之间的相互作用,存在一种掺杂效应或还原反应。例如,用作 Al_2O_3 的ALD前体的TMA和 H_2O 可与IGZO表面起反应。例如,如果在反应中存在 H_2O 、 O_2 、 O_3 ,则掺杂效应发生。上部优选地具有几个nm(高达10或约10nm)的深度/厚度。如果ALD金属氧化物沉积与附加的掺杂组合(例如,使用Ca,参见以上),则增强的导电率被预期在金属氧化物半导体层中延伸得更深,例如高达几十nm,如例如高达20nm或高达30nm。

[0062] 接着,介电层16(诸如例如氮化硅层)被提供在金属氧化层15顶部,接着在将形成源极和漏极接触的位置形成穿过该介电层16或下面的金属氧化物层15的通孔。该通孔随后用合适的金属(诸如例如Mo)来填充以形成源极电极21和漏极电极22。在图1(f)中示意性地示出得到的结构。

[0063] 图2示出根据如上所述的本公开的方法制造的、具有ALD Al_2O_3 金属氧化物层15的a-IGZO薄膜晶体管的传递特征($I_{\text{DS}}-V_{\text{GS}}$)。图3示出该晶体管的输出特征($I_{\text{DS}}-V_{\text{DS}}$)。

[0064] a-IGZO TFT展现出高热稳定性和良好的电性能。观察到 $14.82\text{cm}^2/\text{V}\cdot\text{s}$ 的场效应迁移率、3.6V的阈值电压、0.42V/dec的亚阈值摆幅和约 10^8 的导通/截止电流比率。

[0065] 偏压应力对TFT的电性能的影响被验证。在正和负方向中对应于 $\pm 1.0\text{MV}/\text{cm}$ 的栅极场在黑暗中以室温被施加最长达 10^4 秒的应力时间。在与全导通状况相对应的正栅极偏压应力的情况下($V_{\text{DS}}=12\text{V}$ 且 $V_{\text{GS}}=12\text{V}$),观察到0.8V的阈值电压偏移。在负偏压应力的情况下($V_{\text{DS}}=0\text{V}$ 且 $V_{\text{GS}}=-12\text{V}$),观察到1.0V的阈值电压偏移。图4(a)和图4(b)针对负栅极偏压应力(图4(a))和正栅极偏压应力(图4(b))的情况示出不同偏压应力时间的传递特征:0s(即,没有偏压应力)、100s、300s、1000s、3000s和10000s。图5示出正和负方向两者中根据应力时间的 V_{TH} 偏移。通过这些结果,得出以下结论:应力条件下的稳定性非常好。

[0066] 图6示出a-IGZO TFT($W/L=30/10\mu\text{m}/\mu\text{m}$)的初始传递特征(空心圆)以及以 150°C 在氮中退火2个小时后的传递特征(实心方块)。通过这些结果,可得出以下结论:退火步骤对设备特征的影响是可以忽略的,从而指示良好的热稳定性。

[0067] 以上描述详细说明了本公开的某些实施例。然而,应当理解,不管以上在文本中显得如何详细,本发明可以其他方式实现。应当注意的是,在描述本发明的某些特征或方面时,特定术语的使用不应当用来暗示该术语在本文中被重定义以受限于包括与所述术语相关联的本发明的特征或方面的任何特定特性。

[0068] 尽管该详细描述已示出、描述和指出应用于各实施例的本发明的各方面的新颖性特征,但要理解本领域内技术人员可对所示设备或处理的形式和细节作出各种省略、替代

和改变而不脱离本发明的各方面的通用概念。

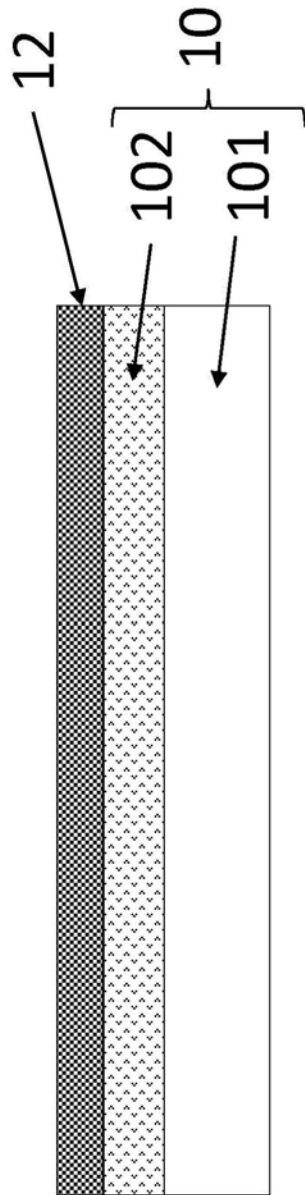


图1 (a)

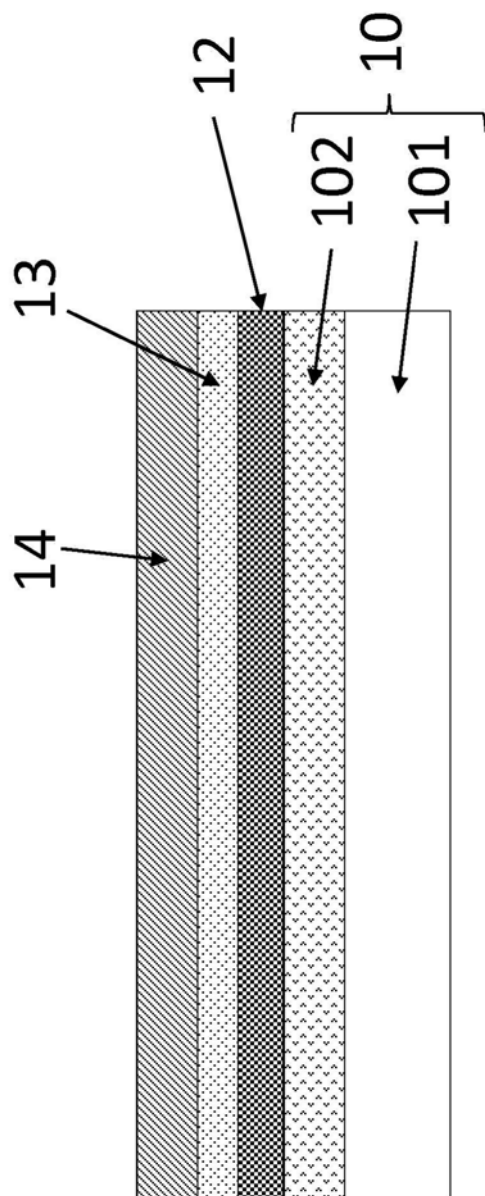


图1 (b)

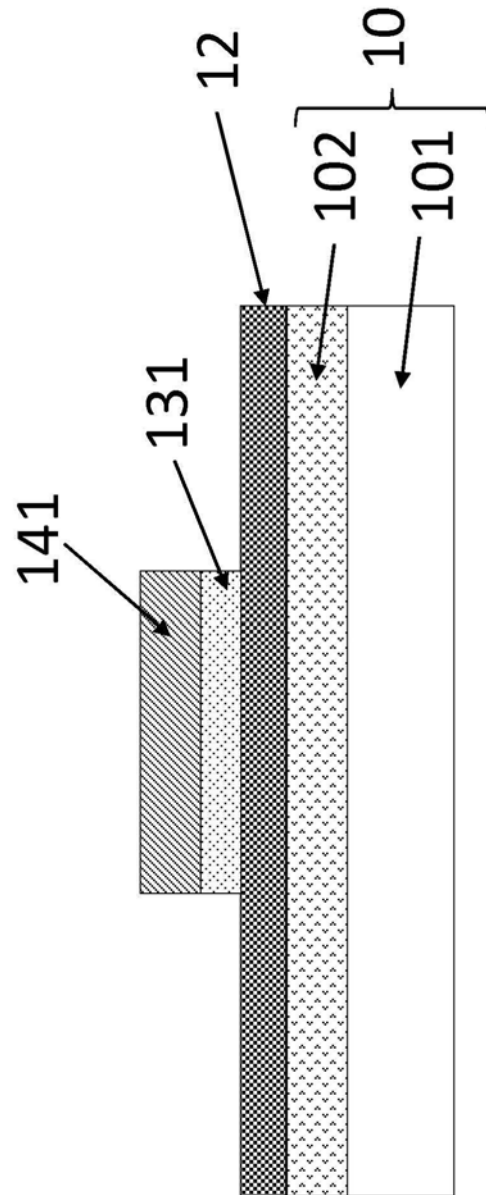


图1 (c)

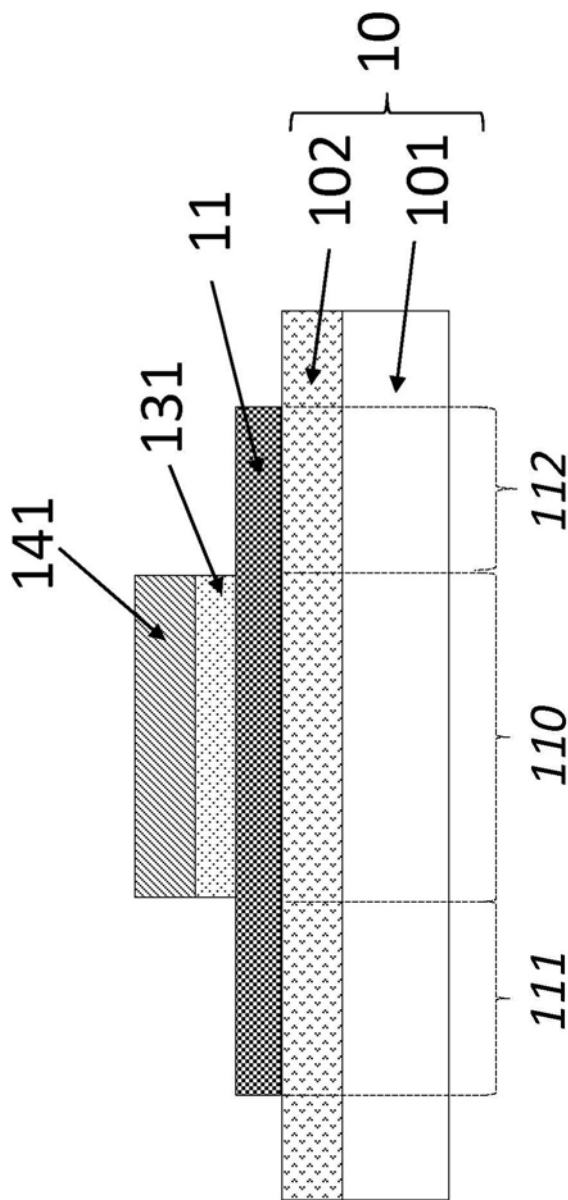


图1 (d)

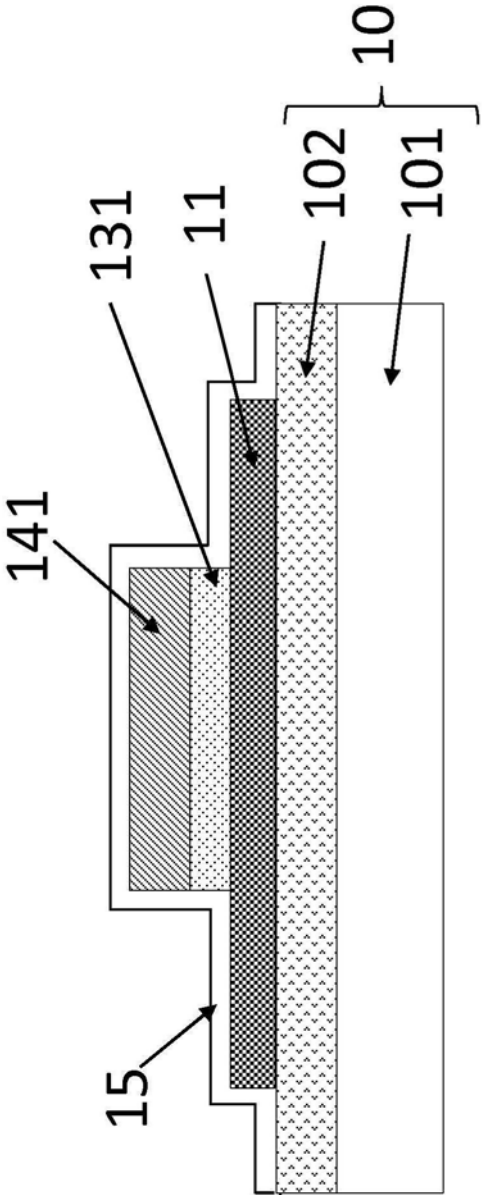


图1 (e)

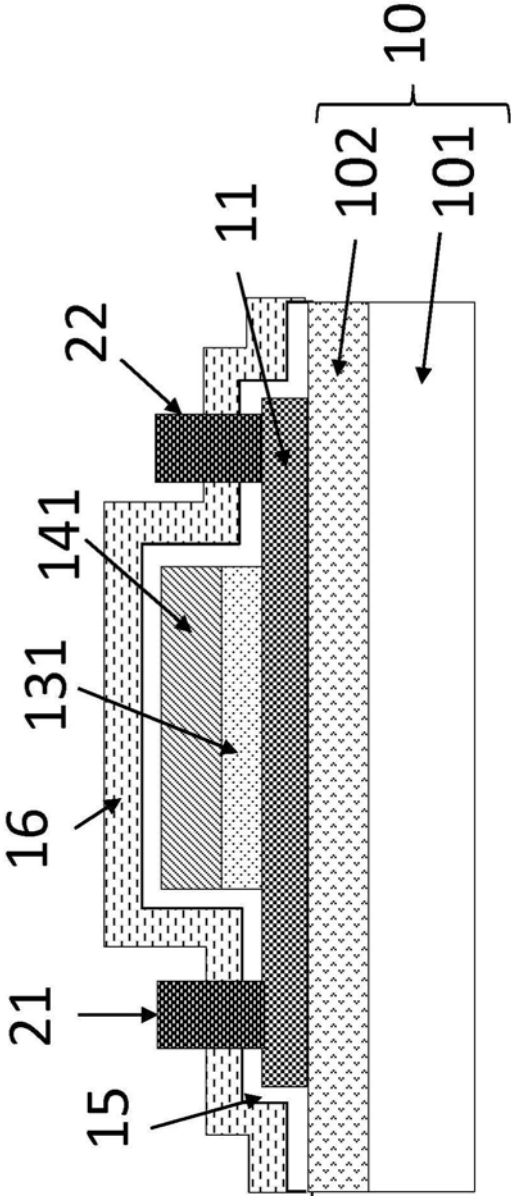


图1 (f)

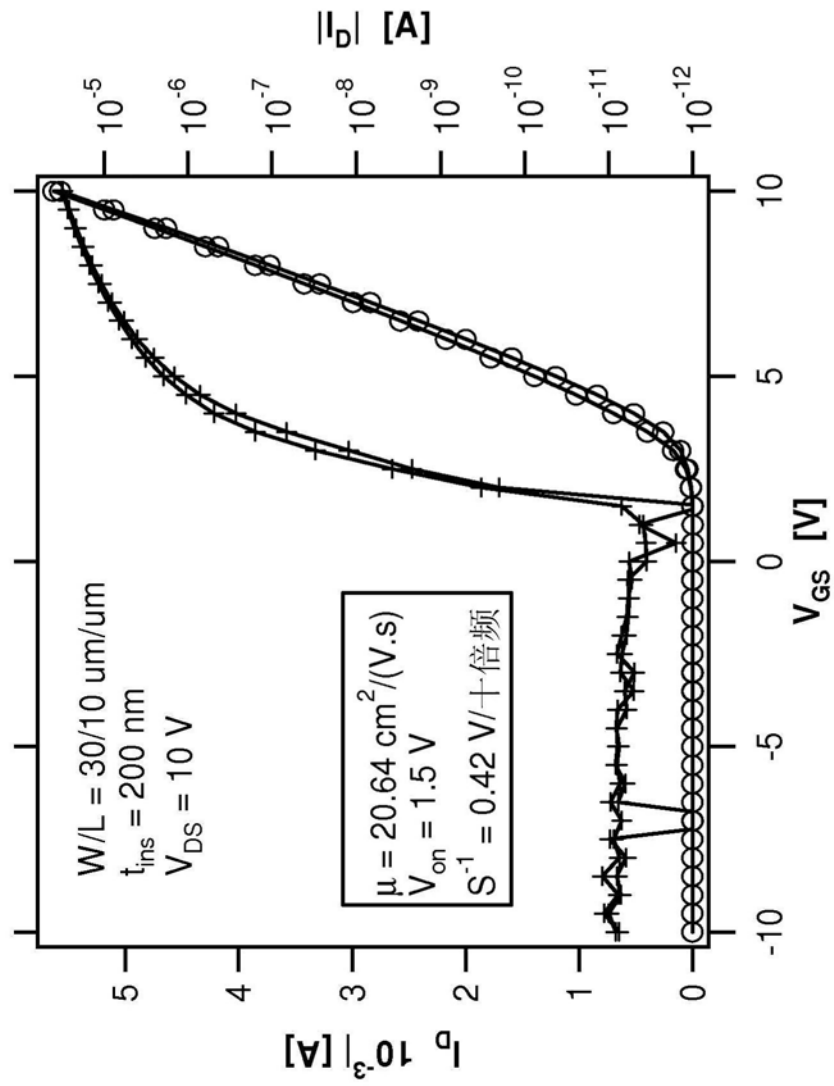


图2

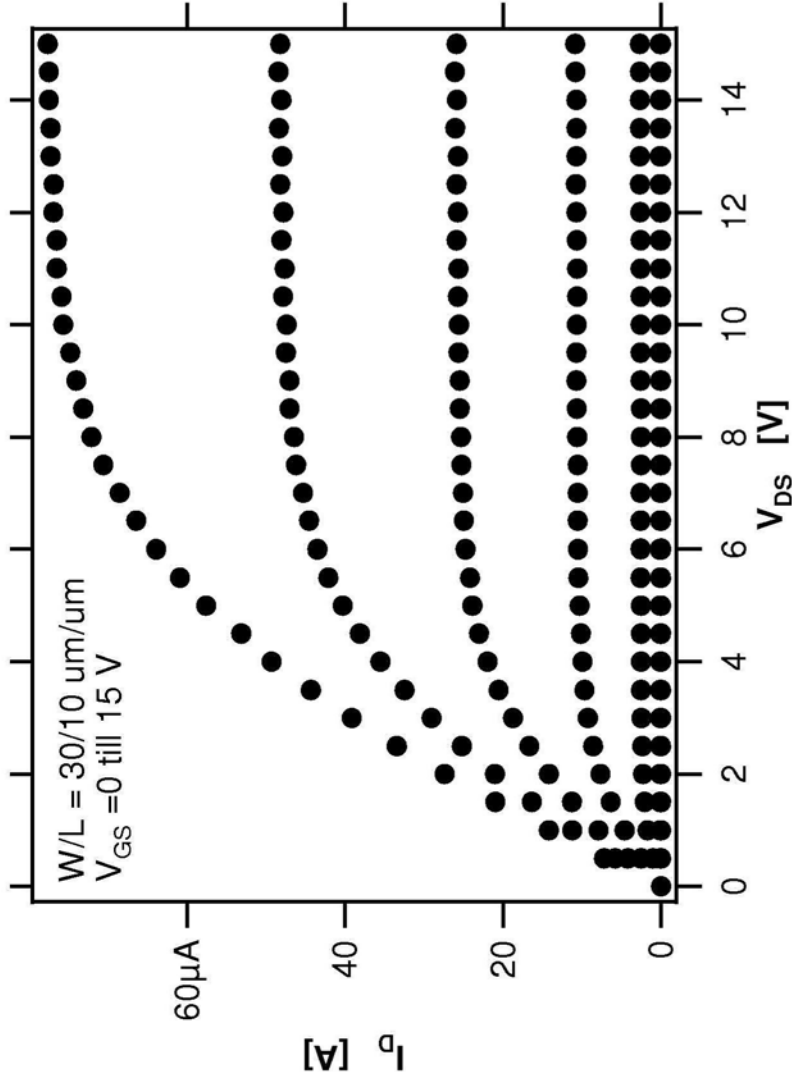


图3

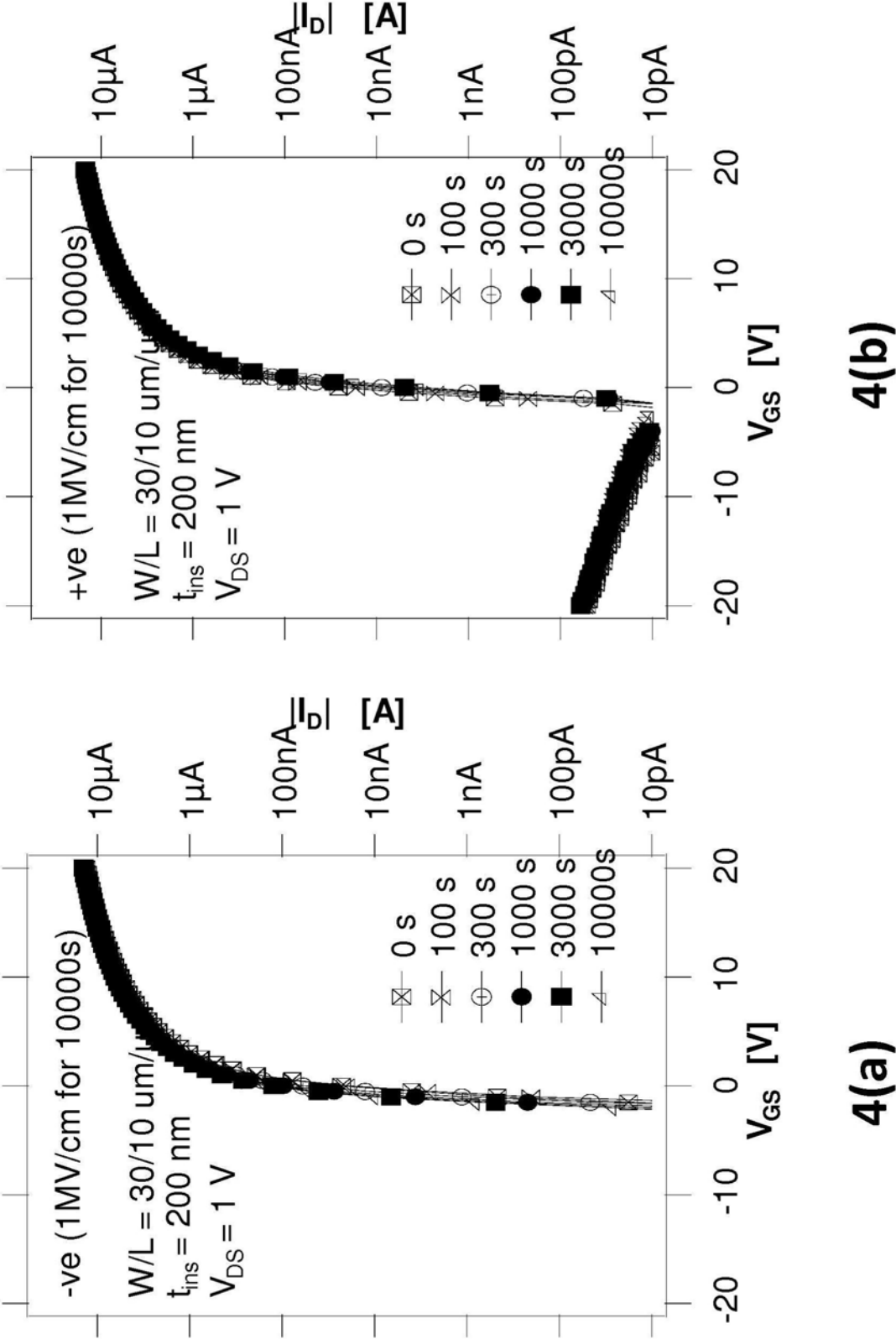


图4

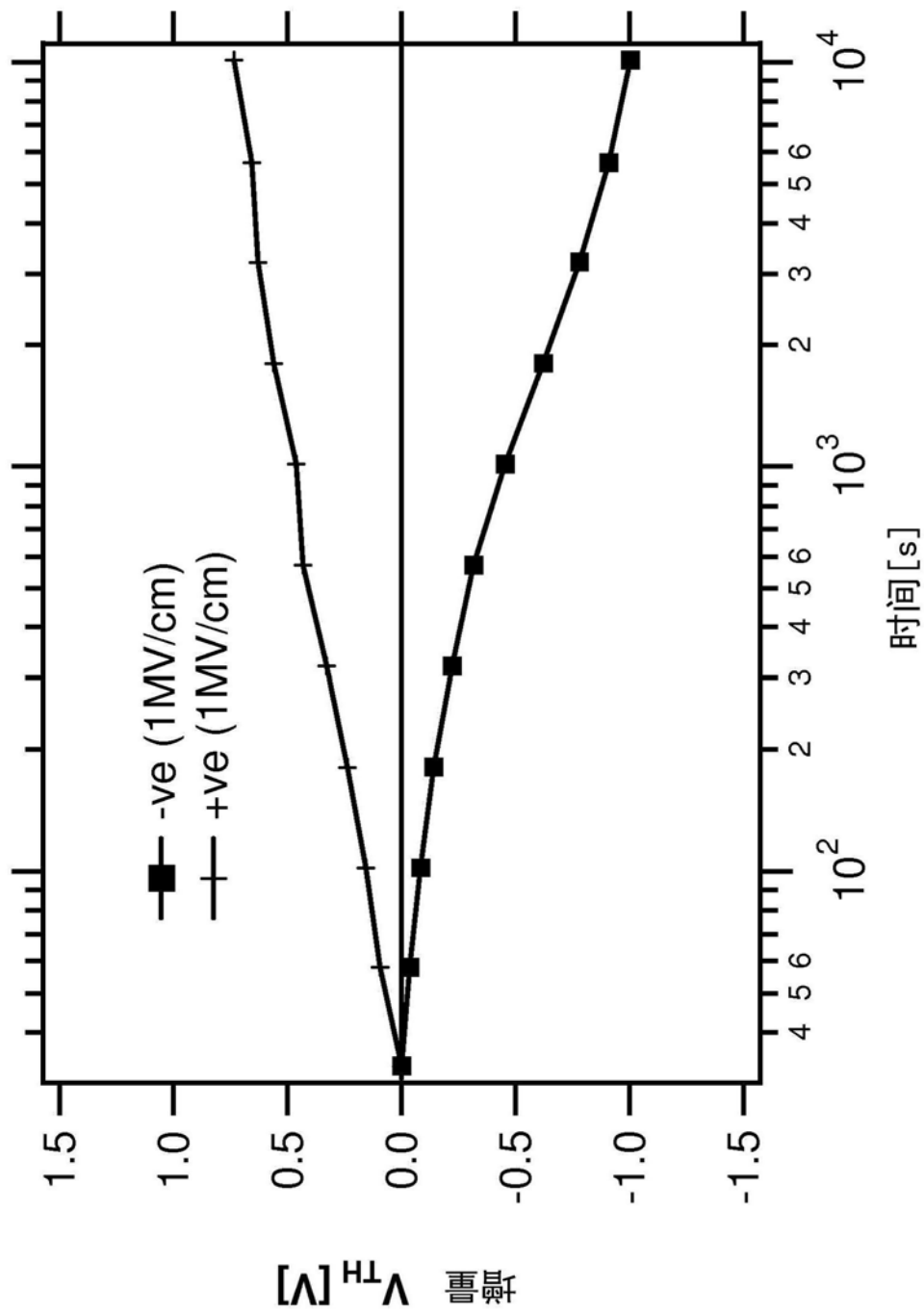


图5

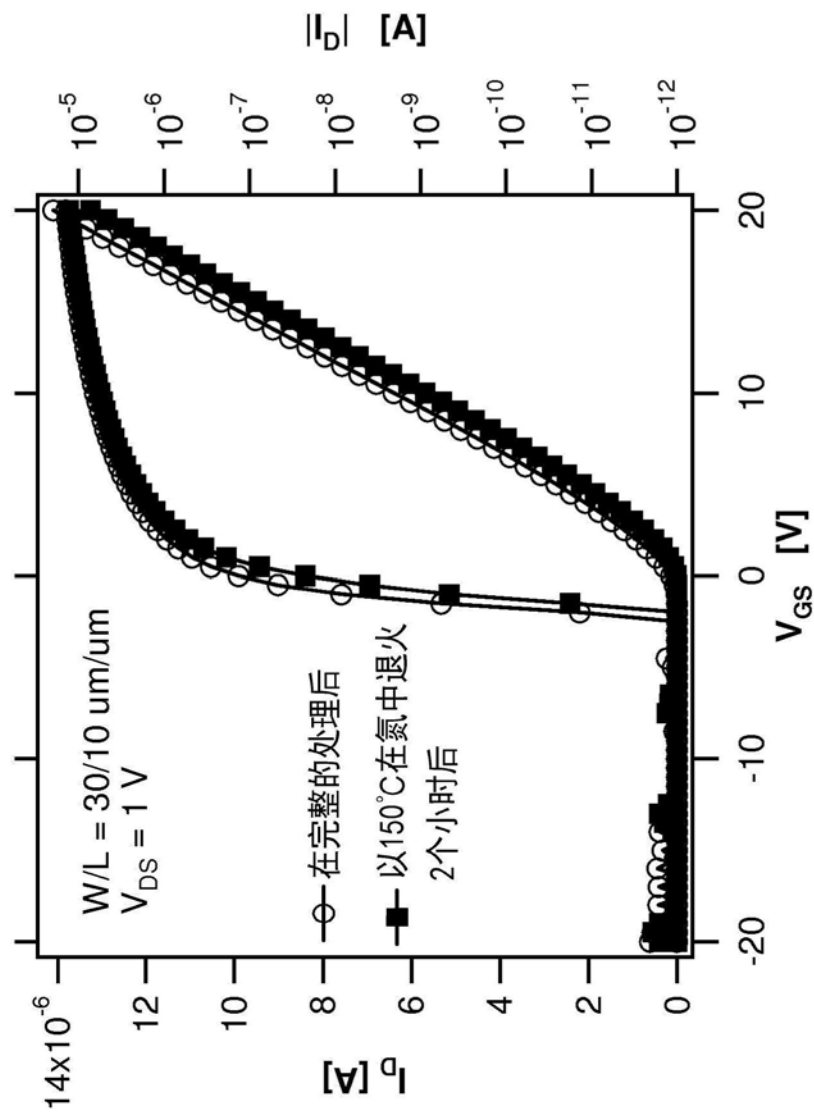


图6