

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3703241号
(P3703241)

(45) 発行日 平成17年10月5日(2005.10.5)

(24) 登録日 平成17年7月29日(2005.7.29)

(51) Int. Cl.⁷

G11C 11/407

F I

G11C 11/34 362S

G11C 11/34 354C

請求項の数 6 (全 9 頁)

<p>(21) 出願番号 特願平9-13587 (22) 出願日 平成9年1月28日(1997.1.28) (65) 公開番号 特開平10-208469 (43) 公開日 平成10年8月7日(1998.8.7) 審査請求日 平成9年1月28日(1997.1.28) 審判番号 不服2001-5798(P2001-5798/J1) 審判請求日 平成13年4月12日(2001.4.12)</p>	<p>(73) 特許権者 302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地 (74) 代理人 100124914 弁理士 徳丸 達雄 (72) 発明者 藤田 真盛 東京都港区芝五丁目7番1号 日本電気株式会社内 合議体 審判長 赤穂 隆雄 審判官 山本 穂積 審判官 阿波 進</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

外部基準クロック信号に同期して複数の外部入力信号をラッチする複数の第1のラッチ手段と、これら第1のラッチ手段から出力される前記複数の外部入力信号の組み合わせに基づいて内部動作を決定する内部動作信号を生成する内部動作信号生成手段と、前記外部基準クロック信号及び他の制御信号が入力され前記外部基準クロック信号及び他の制御信号を論理的に含む内部基準クロック信号を生成する内部クロック発生回路と、前記内部基準クロック信号に同期して前記内部動作信号をラッチする第2のラッチ手段とを有することを特徴とする半導体メモリ装置。

【請求項2】

請求項1記載の半導体メモリ装置において、前記外部基準クロックを基にこれと同一周波数で位相の異なる同期クロック信号を生成する同期クロック生成手段を設け、この同期クロック信号が、前記第1のラッチ手段及び前記内部クロック発生回路に入力されることを特徴とする半導体メモリ装置。

【請求項3】

請求項1又は2記載の半導体メモリ装置において、前記内部基準クロック信号は、外部から入力されるクロックイネーブル信号を論理的に含む信号であることを特徴とする半導体メモリ装置。

【請求項4】

請求項1乃至3の内のいずれか一つに記載の半導体メモリ装置において、前記内部基準

クロック信号は、内部動作状態を示す信号を論理的に含む信号であることを特徴とする半導体メモリ装置。

【請求項 5】

請求項 4 記載の半導体メモリ装置において、前記内部動作状態を示す信号は、省電力モードが有効であるか否かを示すことを特徴とする半導体メモリ装置。

【請求項 6】

請求項 1 乃至 5 の内のいずれか一つに記載の半導体メモリ装置を備えたことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、半導体メモリ装置に関し、特に同期型半導体メモリ装置に関する。

【0002】

【従来の技術】

代表的な同期型半導体メモリであるシンクロナス D R A M の信号入力方式は、例えば、特開平 8 - 1 8 0 6 7 7 号公報（以下、従来技術 1 と呼ぶ）に示されている。ここでは、外部から入力される基準クロック信号と、これの有効、無効を指示するクロックイネーブル信号などから内部クロック信号を生成する。他の同期回路は、すべて内部クロック信号および、これから生成されるクロック信号に同期して動作する。

【0003】

20

また、外部から入力されるコマンド信号から、内部動作を決定する内部コマンド信号を生成する過程は、例えば、特開平 8 - 1 7 1 8 2 号公報（以下、従来技術 2 と呼ぶ）に開示されている。

【0004】

図 5 は従来技術 1 及び 2 に示される半導体メモリ装置を示すブロック図であり、図 6 は図 5 の動作を示すタイミング図である。図 5 及び図 6 において、C L K , C K E , C S B , R A S B , C A S B , W E B はそれぞれ外部から入力される信号である。

【0005】

この C L K は、外部基準クロック信号であり、すべての内部動作はこの信号の立ち上がりエッジに同期して行われる。また、C K E は、外部クロックイネーブル信号であり、この信号レベルが、論理的に「偽」である場合には、次サイクルの C L K の立ち上がりエッジは無視され、これによる内部動作は行われない。さらに、C S B , R A S B , C A S B , W E B は、それぞれ外部コマンド信号であるチップセレクト信号、ロウアドレスストロブ信号、カラムアドレスストロブ信号、及びライトイネーブル信号であり、内部の動作はこれらの信号の C L K が立ち上り時のレベルの組み合わせによって決定される。

30

【0006】

レシーバ回路 1 1 ~ 1 6 は、各外部入力信号の外部信号電圧レベル、例えば、ロウ・ボルテージ・トランジスタ・トランジスタ・ロジック（L V T T L）レベルを、内部信号電圧レベルに変換する。ここで行われるのは、レベル変換のみであり、入力と出力に論理的な違いはない。

40

【0007】

内部クロック発生回路 1 は、C L K と C K E 信号から内部基準クロック信号 I C L K を生成する。I C L K 信号は、C L K と C K E の論理を含んでおり、他の内部回路の動作はすべて I C L K に同期して行われ、結果として C K E 信号により C L K 信号を無視することができる。

【0008】

ラッチ回路 2 1 ~ 2 4 は、I C L K に基づき外部コマンド信号をラッチする。これにより、C L K に対する、外部コマンド信号のセットアップ時間、ホールド時間を規定する。このセットアップ時間、ホールド時間を調整するのが遅延回路 5 3 ~ 5 6 である。この遅延回路 5 3 ~ 5 6 において、内部クロック発生回路 1 において、C L K , C K E から I C L

50

K信号を生成し、各ラッチ回路21～24に分配するには、時間がかかるので、ほぼこれに見合う遅延を行う。

【0009】

コマンドデコーダ31～31+n(但し、nは自然数)は、ラッチ回路41～41+nより出力される信号S81～S81+nの組み合わせより、複数の内部コマンド信号S71～S71+nの内1つを活性化する(または、いずれも活性化しない)。

【0010】

ラッチ回路41～41+nは、コマンドデコーダ31～31+nには、それぞれ異なった経路で信号S61、S64が入力されるため、その出力には、ハザードが含まれる。このハザードは、これが入力される内部回路の誤動作の原因になるので、ラッチ回路41～41+nでラッチすることにより、このハザードを除去する。

10

【0011】

ラッチ回路41～41+nは、内部クロックの遅延信号(ICLK D)によって駆動される。コマンドデコーダ31～31+nにおいて、信号S61～S64から信号S71～S71+nを生成するには、ある程度遅延時間がかかるので、ICLK D信号は、ICLK信号から遅延回路51によって、コマンドデコーダ31～31+nの遅延時間にほぼ相当する遅延によって生成される。

【0012】

ラッチ回路41～41+nの出力信号S81～S81+nは内部コマンド信号であり、シンクロナスDRAMの内部動作はこれらにより開始される。

20

【0013】

以上から、内部コマンド信号S81～S81+n生成までのクリティカルパスは、CLK入力から順に、レシーバ11、12、内部クロック発生回路1、ラッチ回路21～24、コマンドデコーダ31～31+nを経て、ラッチ回路41～41+nに入力され、ここで内部コマンド信号S81～S81+nとして出力される。

【0014】

【発明が解決しようとする課題】

しかしながら、従来技術による半導体メモリ装置では、外部入力信号をラッチするために、内部クロック信号の生成を待たなければならない。このため、この後に行われるコマンドデコード以降のすべての動作がこの影響を受け、速度が遅くなる。

30

【0015】

そこで、本発明の技術的課題は、外部コマンド信号入力および外部クロック入力信号からの動作が高速な同期型の半導体メモリ装置を提供することにある。

【0016】

【課題を解決するための手段】

前記課題を解決するために、本発明においては、外部入力クロック信号に論理的に等しい信号により、外部入力信号をラッチし、セットアップ時間、ホールド時間を規定する。その後、内部クロック発生回路とコマンドデコーダの動作を並行に行う。コマンドデコーダで生成される内部コマンド信号を内部クロック発生回路で生成される内部クロック信号により、他の内部回路へリリースする構成を有している。

40

【0017】

即ち、本発明によれば、外部基準クロック信号に同期して複数の外部入力信号をラッチする複数の第1のラッチ手段と、これら第1のラッチ手段から出力される前記複数の外部入力信号の組み合わせに基づいて内部動作を決定する内部動作信号を生成する内部動作信号生成手段と、前記外部基準クロック信号及び他の制御信号が入力され前記外部基準クロック信号及び他の制御信号を論理的に含む内部基準クロック信号を生成する内部クロック発生回路と、前記内部基準クロック信号に同期して前記内部動作信号をラッチする第2のラッチ手段とを有することを特徴とする半導体メモリ装置が得られる。

【0018】

また、本発明によれば、前記外部基準クロックを基にこれと同一周波数で位相の異なる

50

同期クロック信号を生成する同期クロック生成手段を設け、この同期クロック信号が、前記第1のラッチ手段及び前記内部クロック発生回路に入力されることを特徴とする半導体メモリ装置が得られる。

【0019】

また、本発明によれば、前記いずれかの半導体メモリ装置において、前記内部基準クロック信号は、外部から入力されるクロックイネーブル信号を論理的に含む信号であることを特徴とする半導体メモリ装置が得られる。

【0020】

また、本発明によれば、前記いずれか一つの半導体メモリ装置において、前記内部基準クロック信号は、内部動作状態を示す信号を論理的に含む信号であることを特徴とする半導体メモリ装置が得られる。

10

【0021】

また、本発明によれば、前記半導体メモリ装置において、前記内部動作状態を示す信号は、省電力モードが有効であるか否かを示すことを特徴とする半導体メモリ装置が得られる。

【0023】

さらに、本発明によれば、前記いずれかの半導体メモリ装置を備えたことを特徴とする情報処理装置が得られる。

【0024】

【発明の実施の形態】

20

以下、本発明の実施の形態について説明する。

【0025】

図1は本発明の第1の実施の形態による半導体メモリ装置の構成を示すブロック図である。また、図2は図1の半導体メモリ装置の動作を示すタイミング図である。

【0026】

図1及び図2を参照すると、CLK, CKE, CSB, RASB, CASB, WEBは従来技術のものと同じく、それぞれ外部から入力される信号であり、機能的にも同一である。また、レシーバ回路11~16は、従来技術によるものと同じく各外部入力信号の外部信号電圧レベルを、内部信号電圧レベルに変換する。

【0027】

30

ラッチ回路21~24は、CLKに基づき外部コマンド信号をラッチする。これにより、CLKに対する、コマンド信号のセットアップ時間、ホールド時間を規定する。

【0028】

このとき、セットアップ時間、ホールド時間を調整するためには、CLK入力信号S11生成までの時間と、各外部コマンド信号(CSB, RASB, CASB, 及びWEB)入力から信号S13~16生成までの時間がほぼ等しいことから、ほとんど遅延を要さない。

【0029】

内部クロック発生回路1は、従来例と同様に、CLKとCKE信号から内部基準クロック信号ICKLKを生成する。

40

【0030】

コマンドデコーダ31~31+n(但し、nは自然数)は、従来例と同様に、ラッチ回路21~24により出力される信号S21~S24の組み合わせにより、複数の内部コマンド信号S31~S31+nの内1つを活性化する(または、いずれも活性化しない)。

【0031】

内部クロック発生回路1とコマンドデコーダ31~31+nには、それぞれ異なった経路で信号が入力されるため、その出力には、ハザードが含まれる。ラッチ回路41~41+nでラッチすることにより、このハザードを除去する。

【0032】

また、本発明の第1の実施の形態においては、従来技術によるものとは異なり、ラッチ回路

50

21 ~ 24 が CLK の論理でのみ動作する。したがって、CKE を「偽」とすることにより、コマンドデコーダ 31 ~ 31 + n の動作は停止しない。

【0033】

しかし、ラッチ回路 41 ~ 41 + n は、CLK と CKE の論理からなる ICLK 信号によって制御されるため、CKE が「偽」となった場合には、内部コマンド信号 S41 ~ S41 + n は発生せず、結果として、CKE 信号によって CLK 信号が無視される事になる。

【0034】

以上により、本発明の第 1 の実施の形態による内部コマンド信号 S41 ~ S41 + n 生成までのクリティカルパスは、CLK 入力からレシーバ 11, 12, 内部クロック発生回路 1, ラッチ回路 41 ~ 41 + n, 内部コマンド信号 S41 ~ S41 + n の内のどちらか遅い方となる。どちらになるかは、それぞれの構成要素の速度によるが、いずれにしても、その経路は従来技術によるものより短く、結果として CLK / CKE 入力から、内部コマンド発生までの時間は短くなる。

10

【0035】

なお、本第 1 の実施の形態では ICLK 信号を生成するのに CLK 及び CKE のみを用いて説明しているが、他の信号、例えば、省電力モードを示す内部信号等が内部クロック発生回路 1 に入力され、これを基に ICLK が生成されても、本質的に CLK と ICLK が異なる論理信号となれば問題ない。

【0036】

図 3 は本発明の第 2 の実施の形態による半導体メモリ装置の構成を示すブロック図である。図 4 は図 3 の半導体メモリ装置の動作を示すタイミング図である。

20

【0037】

図 3 及び図 4 を参照すると、CLK, CKE, CSB, RASB, CASB, WEB は従来技術によるものと同じく、それぞれ外部から入力される信号であり、機能的にも同一である。

【0038】

また、レシーバ回路 11 ~ 16 はレシーバ回路であり、従来技術及び第 1 の実施の形態と同じく各外部入力信号の外部信号電圧レベルを、内部信号電圧レベルに変換する。

【0039】

PLL 回路 2 は、入力信号と同一周波数で位相の異なる信号を出力する。本第 2 の実施の形態では位相の前進した信号 S20 を出力する。

30

【0040】

ラッチ回路 21 ~ 24 は、PLL 回路 2 の出力 S20 に基づき外部コマンド信号をラッチする。これにより、CLK に対する、コマンド信号のセットアップ時間、ホールド時間を規定する。このとき、セットアップ時間、ホールド時間を調整のためには、CLK 入力から S20 の位相差を、各外部コマンド信号 (CSB / RASB / CASB / WEB) 入力から S202 ~ S205 生成までの時間に基づいて調整すれば良い。

【0041】

一般に知られている様に、PLL 回路 2 は、自由に入力と出力の位相差をつける事ができるので、各外部コマンド信号から信号 S13 ~ S16 までは、遅延回路を要さない。

40

【0042】

内部クロック発生回路 1 は、信号 S20 と CKE 信号から内部基準クロック信号 ICLK を生成する。

【0043】

コマンドデコーダ 31 ~ 31 + n は、従来技術によるものと同様に、ラッチ回路 21 ~ 24 より出力される信号 S21 ~ S24 の組み合わせにより、複数の内部コマンド信号 S31 ~ S31 + n の内 1 つを活性化する (または、いずれも活性化しない)。

【0044】

内部クロック発生回路 1 とコマンドデコーダ 31 ~ 31 + n との間では、その動作に各々他方の出力を必要としない。したがって、これらは完全に並列に動作させることができる

50

。

【0045】

コマンドデコーダ31 ~ 31 + nには、それぞれ異なった経路で信号が入力されるため、その出力には、ハザードが含まれる。

【0046】

ラッチ回路41 ~ 41 + nは、ラッチすることによって、このハザードを除去する。

【0047】

また、本第2の実施の形態では、従来技術とは異なり、ラッチ回路21 ~ 24が内部クロック発生回路1の論理でのみ動作する。したがって、CKEを「偽」とする事により、コマンドデコーダ31 ~ 31 + nの動作は停止しない。しかし、ラッチ回路41 ~ 41 + nは、信号S20とCKEの論理からなるCLK信号によって制御されるため、CKEが「偽」となった場合には、内部コマンド信号S41 ~ S41 + nは発生せず、結果として、CKE信号によって、信号S20と位相のみが異なるCLK信号が無視される事になる。

10

【0048】

本第2の実施の形態によれば、ラッチ回路21 ~ 24を制御する信号S20の位相を自由に選択できるために、CLK信号に対する外部コマンド信号のセットアップ時間、ホールド時間の規格に関わらず、信号S20に対する信号S13 ~ S16のセットアップ時間、ホールド時間の調整を自由に行う事ができる。このため、実質的に内部コマンド信号S41 ~ S41 + n生成までのクリティカルパスは外部コマンド信号であるCSB, RASB, CASB, 及びWEBの入力から、レシーバ13 ~ 16, 信号S12, ラッチ回路21 ~ 24, コマンドデコーダ31 ~ 31 + n, ラッチ回路41 ~ 41 + n, 内部コマンド信号S41 ~ S41 + nとなる。

20

【0049】

外部コマンド信号はCLKに対して、セットアップ時間分速く入力されるため、内部コマンド信号生成も速くなる。

【0050】

なお、本第2の実施の形態では、信号S20を生成するためにPLL回路を用いているが、機能的に同一であれば他の回路、例えばDLL回路等を用いても問題はない。

【0051】

30

【発明の効果】

以上説明したように、本発明では、外部コマンド信号入力および外部クロック入力信号からの動作が高速な同期型の半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体メモリ装置の構成を示すブロック図である。

【図2】図1の半導体メモリ装置の動作を示すタイミング図である。

【図3】本発明の第2の実施の形態による半導体メモリ装置の構成を示すブロック図である。

【図4】図3の半導体メモリ装置の動作を示すタイミング図である。

40

【図5】従来技術による半導体メモリ装置の構成を示すブロック図である。

【図6】図5の半導体メモリ装置の動作を示すタイミング図である。

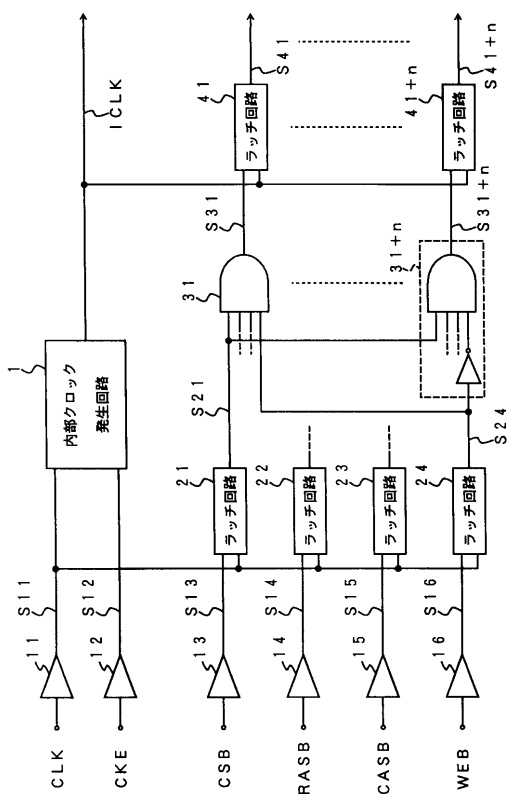
【符号の説明】

- 1 内部クロック発生回路
- 2 PLL回路
- 21 ~ 24, 41 ~ 41 + n ラッチ回路
- 31 ~ 31 + n 内部コマンド信号発生器(コマンドデコーダ)
- 51, 53 ~ 56 遅延回路
- CLK 外部基準クロック信号
- CKE 外部クロックイネーブル信号

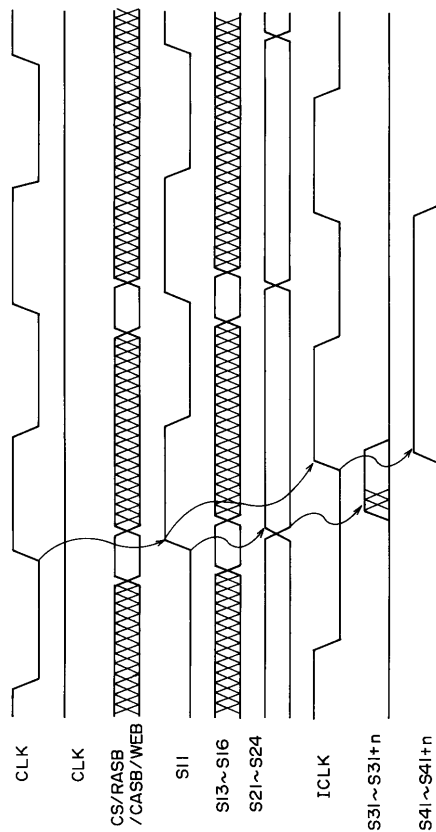
50

- I C L K 内部クロック信号
- I C L K D 内部クロックの遅延信号
- C S B 外部コマンド信号(チップセレクト信号)
- R A S B 外部コマンド信号(ロウアドレスストローブ信号)
- C A S B 外部コマンド信号(カラムアドレスストローブ信号)
- W E B 外部コマンド信号(ライトイネーブル信号)

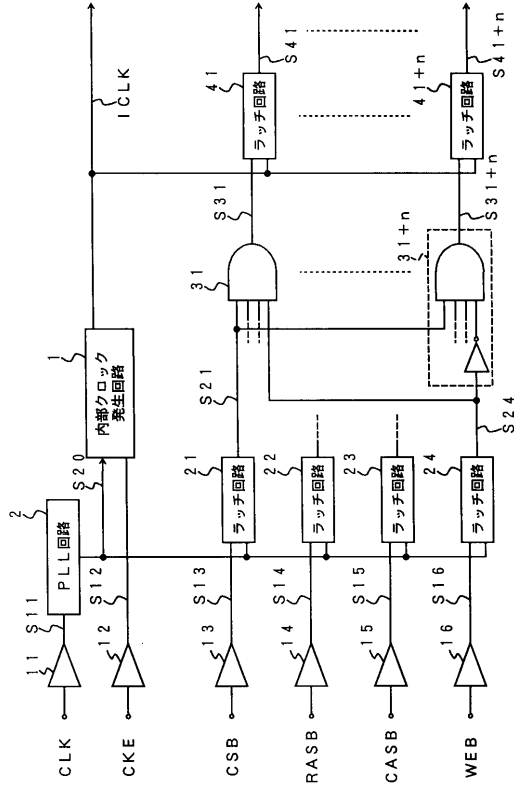
【 図 1 】



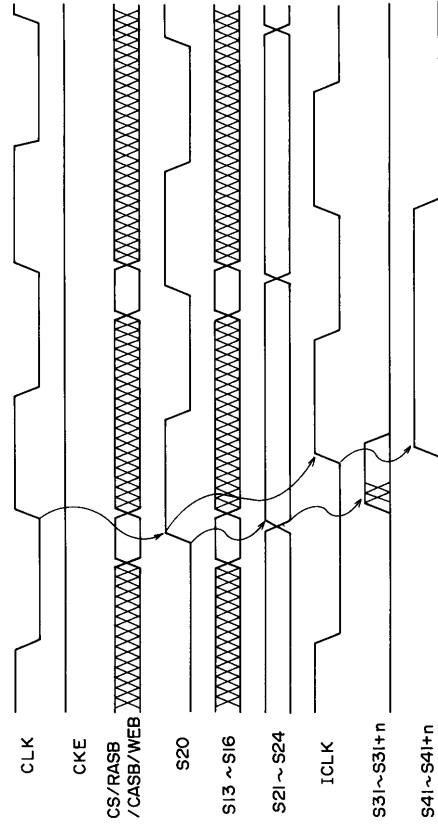
【 図 2 】



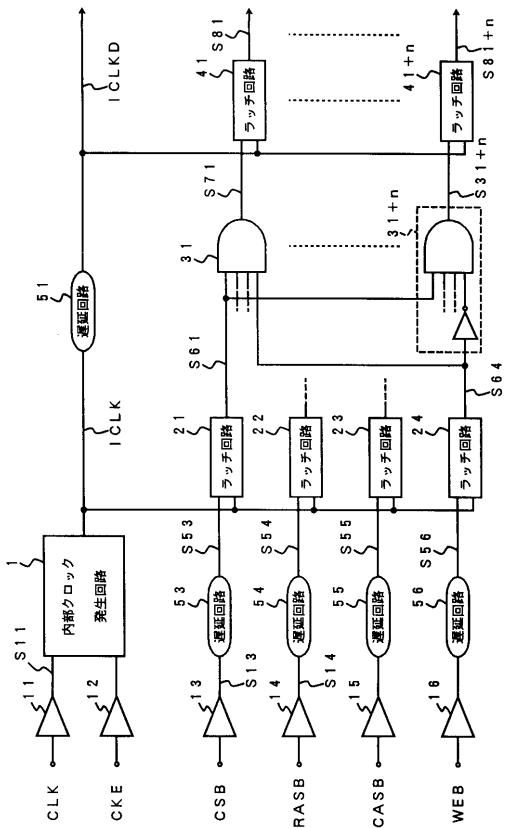
【 図 3 】



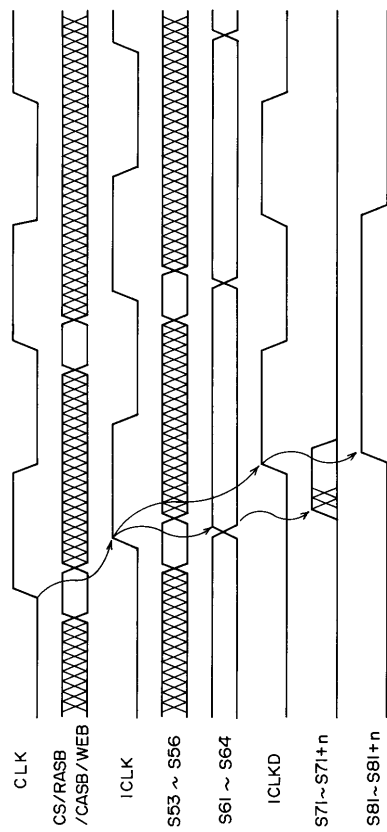
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平7 - 141870 (JP, A)
特開平7 - 122067 (JP, A)
特開平6 - 76567 (JP, A)
特開平6 - 318391 (JP, A)
特開平8 - 180677 (JP, A)
特開平8 - 17182 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)

G11C 11/34