

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-544550
(P2008-544550A)

(43) 公表日 平成20年12月4日(2008.12.4)

(51) Int.Cl.	F 1	テーマコード (参考)
H05K 3/00 H05K 1/02	(2006.01) (2006.01)	H05K 3/00 H05K 1/02
		K C

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号	特願2008-518281 (P2008-518281)
(86) (22) 出願日	平成18年6月20日 (2006.6.20)
(85) 翻訳文提出日	平成19年12月21日 (2007.12.21)
(86) 國際出願番号	PCT/US2006/023832
(87) 國際公開番号	W02007/001995
(87) 國際公開日	平成19年1月4日 (2007.1.4)
(31) 優先権主張番号	200504031-6
(32) 優先日	平成17年6月22日 (2005.6.22)
(33) 優先権主張国	シンガポール (SG)

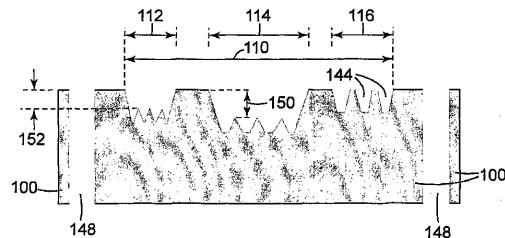
(71) 出願人	599056437 スリーエム イノベイティブ プロパティ ズ カンパニー アメリカ合衆国 55133-3427 ミネソタ州, セント ポール, スリーエム センター ポスト オフィス ボックス 33427
(74) 代理人	100084146 弁理士 山崎 宏
(74) 代理人	100081422 弁理士 田中 光雄
(74) 代理人	100118625 弁理士 大畠 康
(74) 代理人	100065259 弁理士 大森 忠孝

最終頁に続く

(54) 【発明の名称】ホールを有する誘電体基板及び製造分野における方法

(57) 【要約】

本発明は一態様において、フォトレジスト層を誘電体基板に適用し、ホールの配列を基板にエッチングするためのパターンをフォトレジストに形成するために、フォトマスクを通してフォトレジストの一部を化学線に露光し、フォトレジストを現像して、ホールの配列を形成するために誘電体基板にエッチングを施し、各ホールは少なくとも部分的に誘電体基板を貫通して伸張し、過剰なフォトレジストが除去される工程を含む、誘電体基板のホールを形成する方法を含む。本発明は別の態様において、一部ホールは基板を部分的に貫通して伸張し、一部のホールは基板を完全に貫通して伸張するホールを同時に形成する方法である。本発明は他の態様において、本発明の方法を使用して形成される誘電体基板である。



【特許請求の範囲】**【請求項 1】**

誘電体基板のホールを形成する方法であって、
フォトレジスト層を誘電体基板に適用する工程、
ホールの配列を基板にエッティングするためのパターンをフォトレジストに形成するため
に、フォトマスクを通してフォトレジストの一部を化学線に露光する工程、
フォトレジストを現像する工程、
各ホールが誘電体基板を少なくとも部分的に貫通して伸張する、ホールの配列を形成す
るために誘電体基板にエッティングする工程、及び
過剰なフォトレジストを除去する工程を含む、方法。

10

【請求項 2】

誘電体基板を部分的に貫通して伸張するホールの配列を誘電体基板にエッティングする工
程によって形成する、請求項 1 に記載の誘電体基板にホールを形成する方法。

【請求項 3】

誘電体基板が可撓性である、請求項 1 又は 2 に記載の誘電体基板にホールを形成する方
法。

【請求項 4】

誘電体基板にホールを形成する方法であって、更に、
異なるドットの配列から成るフォトマスクを備える工程、
フォトマスクを通してフォトレジストの一部を化学線に露光する工程、及び
エッティングの後、誘電体基板に形成された少なくとも 2 つのホールが接続されるように
、フォトマスク上のドットのサイズが選択されたホールの配列を形成するために、誘電体
基板をエッティングする工程を含む、請求項 1 ~ 3 のいずれか一項に記載の方法。

20

【請求項 5】

誘電体基板にホールを形成する方法であって、更に、
異なるドットの配列から成るフォトマスクを備える工程、
フォトマスクを通してフォトレジストの一部を化学線に露光する工程、及び
エッティングの後、誘電体基板に形成された少なくとも 2 つのホールが接続されるように
、フォトマスク上のドットのピッチが選択されたホールの配列を形成するために、誘電体
基板をエッティングする工程を含む、請求項 1 ~ 3 のいずれか一項に記載の方法。

30

【請求項 6】

誘電体基板にホールを形成する方法であって、更に、
異なるドットの配列から成るフォトマスクを備える工程、
フォトマスクを通してフォトレジストの一部を化学線に露光する工程、
エッティングの後、誘電体基板に形成された少なくとも 2 つのホールが接続されるように
、フォトマスク上のドットのサイズ及びピッチが選択されたホールの配列を形成するため
に、誘電体基板をエッティングする工程を含む、請求項 1 ~ 3 のいずれか一項に記載の方法
。

【請求項 7】

ホールの配列が誘電体基板に折り目ガイドを形成するように配置される、請求項 1 ~ 6
のいずれか一項に記載の誘電体基板のホールを形成する方法。

40

【請求項 8】

基板の折り目ガイドのエッティング部分の厚みが、エッティングされない誘電体基板厚の約
80% である、請求項 7 に記載の誘電体基板のホールを形成する方法。

【請求項 9】

誘電体基板がポリイミド系樹脂から形成される、請求項 1 ~ 8 のいずれか一項に記載の
誘電体基板のホールを形成する方法。

【請求項 10】

誘電体基板であって、

誘電体基板に少なくとも部分的にエッティングされた、少なくとも 1 つのホールの配列、

50

誘電体基板上に形成された配線、及び

配線保護のため、配線を被覆するソルダーレジスト層を含む、誘電体基板。

【請求項 1 1】

誘電体基板にホールの配列が部分的にエッチングされる、請求項 1 0 に記載の誘電体基板。

【請求項 1 2】

誘電体基板が可撓性である、請求項 1 0 又は 1 1 に記載の誘電体基板。

【請求項 1 3】

基板の複数のホールの少なくとも 2 つのホールがエッチングされた後に接続される、請求項 1 0 ~ 1 2 のいずれか一項に記載の誘電体基板。 10

【請求項 1 4】

誘電体基板に折り目ガイドを形成するためにホールの配列が配置される、請求項 1 0 ~ 1 3 のいずれか一項に記載の誘電体基板。

【請求項 1 5】

折り目ガイド基板のエッチング部分の厚みが、エッチングされない誘電基板厚の約 80 % である、請求項 1 4 に記載の誘電体基板。

【請求項 1 6】

誘電体基板がポリイミド系樹脂から形成される、請求項 1 0 ~ 1 5 のいずれか一項に記載の誘電体基板。 20

【請求項 1 7】

誘電体基板が少なくとも 1 つの集積回路を更に含むことができる、請求項 1 0 ~ 1 6 のいずれか一項に記載の誘電体基板。

【請求項 1 8】

誘電体基板のホールを形成する方法であって、
フォトレジスト層を誘電体基板に適用する工程、
少なくとも 1 つのホールの配列を含む複数のホールを基板にエッチングするためのパターンをフォトレジストに形成するために、フォトマスクを通してフォトレジストの一部を化学線に露光する工程、

フォトレジストを現像する工程、

誘電体基板を少なくとも部分的に貫通し、並びに少なくとも 1 つのホールが誘電体基板を完全に貫通して伸張するホールの配列を形成するために、誘電体基板にエッチングする工程、及び 30

過剰なフォトレジストを除去する工程を含む、方法。

【請求項 1 9】

誘電体基板が可撓性である、請求項 1 8 に記載の誘電体基板のホールを形成する方法。

【請求項 2 0】

誘電体基板にホールを形成する方法であって、更に、
異なるドットの配列から成るフォトマスクを備える工程、
フォトマスクを通してフォトレジストの一部を化学線に露光する工程、
エッチングの後、誘電体基板に形成された少なくとも 2 つのホールが接続されるように、フォトマスク上のドットのサイズが選択されたホールの配列を形成するために、誘電体基板をエッチングする工程を含む、請求項 1 8 又は 1 9 に記載の方法。 40

【請求項 2 1】

誘電体基板にホールを形成する方法であって、更に、
異なるドットの配列から成るフォトマスクを備える工程、
フォトマスクを通してフォトレジストの一部を化学線に露光する工程、
エッチングの後、誘電体基板に形成された少なくとも 2 つのホールが接続されるように、フォトマスク上のドットのピッチが選択されたホールの配列を形成するために、誘電体基板をエッチングする工程を含む、請求項 1 8 又は 1 9 に記載の方法。

【請求項 2 2】

10

20

30

40

50

誘電体基板にホールを形成する方法であって、更に、異なるドットの配列から成るフォトマスクを備える工程、フォトマスクを通してフォトレジストの一部を化学線に露光する工程、エッチングの後、誘電体基板に形成された少なくとも2つのホールが接続されるように、フォトマスク上のドットのサイズ並びにピッチが選択されたホールの配列を形成するために、誘電体基板をエッチングする工程を含む、請求項18又は19に記載の方法。

【請求項23】

ホールの少なくとも1つの配列が折り目ガイドを形成するために配置される、請求項18～22のいずれか一項に記載の誘電体基板のホールを形成する方法。

【請求項24】

基板の折り目ガイドのエッチング部分の厚みが、エッチングされない誘電基板厚の約80%である、請求項23に記載の誘電体基板のホールを形成する方法。

【請求項25】

誘電体基板がポリイミド系樹脂から形成される、請求項18～24のいずれか一項に記載の誘電体基板のホールを形成する方法。

【請求項26】

誘電体基板であって、

誘電体基板内側に部分的にエッチングされる少なくとも1つのホールの配列、

誘電体基板を完全に貫通してエッチングされる少なくとも1つのホール、

基板上に形成された配線、及び

配線を保護するために配線を被覆するソルダーレジストの層を含む、誘電体基板。

【請求項27】

誘電体基板が可撓性である、請求項26に記載の誘電体基板。

【請求項28】

複数のホールが誘電体基板を完全に貫通して形成される、請求項26又は27に記載の誘電体基板。

【請求項29】

誘電体基板に部分的にエッチングされるホールの配列の少なくとも2つのホールがエッチングされた後に接続される、請求項26～28のいずれか一項に記載の誘電体基板。

【請求項30】

誘電体基板に部分的にエッチングされたホールの配列が、誘電体基板に折り目ガイドを形成するために配置される、請求項26～29のいずれか一項に記載の誘電体基板。

【請求項31】

折り目ガイド基板のエッチング部分の厚みが、エッチングされない誘電基板厚の約80%である、請求項30に記載の誘電体基板。

【請求項32】

誘電体基板がポリイミド系樹脂から形成される、請求項26～31のいずれか一項に記載の誘電体基板。

【請求項33】

誘電体基板が少なくとも1つの集積回路を更に含むことができる、請求項26～32のいずれか一項に記載の誘電体基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御された化学エッチング法を使用した、ホールを有する誘電体基板の製造に関する。

【背景技術】

【0002】

より小型、よりコンパクト、及びより多機能なデバイスへと発達する市場動向において、そのようなデバイスのエンクロージャ内の電源、フレキシブル回路、その他の内部構成

10

20

30

40

50

要素の配置のための空間量は減少している。

【0003】

フレキシブル回路は可撓性誘電体基板上に形成される回路である。回路は、1層以上の導電層に加えて主要面の一方又は双方上に回路構成を有することができる。回路は多くの場合、中でも機能層、絶縁層、接着層、封緘層、硬化層を追加して含む。フレキシブル回路は、通常、柔軟性、重量制御などが重要である電子パッケージに有用である。多くの大量生産の状況において、フレキシブル回路はまた、使用される製造工程の効率に伴うコストにおいて利点をもたらす。

【0004】

各デバイスエンクロージャ中の空間利用を最大にするために、エンクロージャ内の内部構成要素のレイアウト、及び配置を含むデバイスの設計に多くの努力が払われている。このため、フレキシブル回路が所定の位置で容易に折れ曲ることが可能で、且つフレキシブル回路が補助装置を用いずに、それ自体その折れ曲った位置を保持することが可能であることに対する必要性が生まれる。デバイスの組み立てに応じて内部構成要素が配置されるとき、フレキシブル回路上において、フレキシブル回路に早期の障害を起こす可能性がある不必要な折り目を防止するため、基板が所定の位置でのみ折れ曲ることが重要である。

【0005】

図1は、フレキシブル回路10がいかにディスプレイパネルに取り付けられるかの例を示す断面図である。簡潔さのために、図は、フレキシブル回路10を全体として見ており、フレキシブル回路の各種構成要素を個別に表すものではない。図1は、一端上にディスプレイパネル35が取り付けられ、他端上にディスプレイパネルを駆動している電子部品30を有する、角15で折れ曲るフレキシブル回路10を示す。電子部品30の実施例は、プリント回路基板である。平行に配置されるフレキシブル回路10と放熱器20との間には、小さいエアーギャップ25がある。この例では、フレキシブル回路10が図1に示すように曲げられ、配置される場合、角15における屈曲角は約90度であることが望ましい。このように折られるとフレキシブル回路10は、その位置を維持し、従って、フレキシブル回路10が放熱器20と接触する可能性が減少する。不適切に折れ曲ったフレキシブル回路10は、その折られた位置の保持がより困難になり、図2に示すように、ゆがんでエアーギャップ25へ移動し、放熱器20と接触する傾向が高い。これは、フレキシブル回路10の早期故障という結果を招く可能性がある。

【0006】

放熱器20がないとき、折られた位置の保持がより困難で、ゆがむ傾向が高い、不適切に折れ曲ったフレキシブル回路10は、それがエンクロージャ内の他の内部構成要素、又はエンクロージャケーシング自体と接触するとき、振動、摩滅、静電放電、又は他の力のために、やはり早期の障害を招く可能性がある。ケーシング中の他の構成要素、又はケーシングは、振動、摩滅、静電放電又はその他の力の発生源になる可能性がある。

【0007】

所定の位置においてフレキシブル回路の折れ曲りをより容易にする1つの方法は、その位置での基材の量を減らすことである。図3は、例えば50ミクロン厚の中の厚み25ミクロンが、折る位置60で取り除かれる基板100を示す。図4において、負荷65は折る位置60の中心を支点として適用され、基板100を容易に折れ曲るようにする。

【0008】

日本特許出願番号第91450号は、エキシマーレーザの照射による光化学的アブレーションプロセスによって基材の分子間の結合を切断することによって、その絶縁基材材料の厚みを、曲げ位置で軽減したフィルムキャリアを記載する。

【0009】

日本特許出願に記載されている方法に関連して少なくとも3つの課題がある。第1に、曲げ位置で基板の厚みを減らすレーザ光線デバイスの使用は、フレキシブル回路の製造において追加的な工程である。第2に、レーザ光線を用いて作られる切れ込みは、溝に非常に鋭い角をつける傾向がある。この角は、基板が曲げられるとき、その角で基板にひびが

10

20

30

40

50

入る可能性がある高い応力を生成する高圧点となる。角でひびが生じることを避けるために、角における応力を減らす1つの方法は、溝の作成結果できる切れ込みの幅を広げることである。発生する応力が幅全体に分配されるにつれて、基板にひびが入る傾向はより低減される。しかしながら、このスロットの掘削は、相当な時間を製造工程に加える結果、生産性が低下する。第3に、基板の細片がレーザエッティングプロセス中に飛散して基板の表面を汚すことで、フレキシブル回路製造工程に洗浄ステップの追加が必要になることがある。基板の厚みを減らすためにレーザを使用し、基板細片を除去する洗浄工程を製造工程に追加することは、費用がかかり製造工程に経費を加える。

【0010】

日本特許番号第3327252号は、金型を使用するパンチングプレス 作業によって、ジグザグ状のメッシュホール格子を曲げる位置に形成することを記載する。この場合、フレキシブル回路製造工程の前に曲げ位置を形成するために、ホールの格子が基板に穿孔される。図5は、製造工程終了時のフレキシブル回路を示す。図において、ホール70は基板100に穿孔されたホールで、接着剤40は銅配線45に基板100を接着し、液体高分子55の層は銅配線45の表面を保護する。銅配線45は、ホール穿孔プロセスによって露出される。通常、ホール70の反対側で主要面上の銅配線45を保護するためにソルダーレジスト層50が適用される。曲げる間にひびが入るのを防ぐために液体高分子55は、可撓性であることを必要とする。液体高分子55はまた、ホール70の内部をコーティングするために選択的に適用されることを必要とし、且つコーティングの後硬化工程が必要で、製造工程が複雑になる。極端な曲げ状況の下で液体高分子55が銅配線45から剥離する可能性があるというリスクもある。

10

20

30

30

40

【特許文献1】日本特許出願番号第91450号

【特許文献2】日本特許番号第3327252号

【発明の開示】

【発明が解決しようとする課題】

【0011】

フレキシブル回路のための製造工程には多くのステップが必要であり、フレキシブル回路検査のようないくつかの工程では、基板を完全に貫通したホールのエッティングが必要である。フレキシブル回路の製造後、及びフレキシブル回路の使用を目的とする装置で使用のため採用されるときに、これらのスルーホールはまた、必要である。スルーホールは、それらが使われるとき、及びそれらが使われる目的に応じて、送り孔又は位置決め孔として役立てられる。

【課題を解決するための手段】

【0012】

広義には、一態様において、本発明は、フォトトレジスト層を誘電体基板に適用する工程、基板にエッティングされるホール配列のパターンをフォトトレジストに形成するために、フォトマスクを通してフォトトレジストの一部を化学線に露光する工程、フォトトレジストを現像する工程、各ホールが少なくとも部分的に誘電体基板を貫通して伸張するホールの配列を形成するために誘電体基板にエッティングする工程、及び過剰なフォトトレジストを取り除く工程を含む、誘電体基板にホールを形成する方法を含む。

【0013】

広義には、別の実施形態において、本発明は、誘電体基板にホールを形成する以下の工程：フォトトレジスト層を誘電体基板に適用する工程、基板にエッティングされる少なくとも1つのホールの配列を含む複数のホールのために、フォトトレジストにパターンを形成するために、フォトマスクを通してフォトトレジストの一部を化学線に露光する工程、フォトトレジストを現像する工程、誘電体基板を部分的に貫通し、並びに少なくとも1つのホールが、誘電体基板を完全に貫通して伸張するホールの配列を形成するために誘電体基板にエッティングする工程、及び過剰なフォトトレジストを取り除く工程を含む。

【0014】

少なくとも1つの実施例において、本方法は、異なるドットの配列を含むフォトマスク

50

を備える工程、フォトマスクを通してフォトレジストの一部を化学線に露光する工程、エッチングの後、誘電体基板に形成された少なくとも2つのホールが接続されるように、フォトマスク上のドットのサイズ及び／又はピッチが選択されたホールの配列を形成するために、誘電体基板にエッチングする工程を含む。

【0015】

広義には、別の実施形態において、本発明は、誘電体基板に部分的にエッチングされる少なくとも1つのホールの配列、誘電体基板の上に形成される配線、及び配線を保護するために配線を被覆するソルダーレジストの層を含む誘電体基板を含む。

【0016】

広義には、別の実施形態において、本発明は、誘電体基板に部分的にエッチングされた少なくとも1つのホールの配列、誘電体基板を完全に貫通してエッチングされる少なくとも1つのホール、誘電体基板上に形成された配線、及び配線を保護するために配線を被覆するソルダーレジストの層を含む誘電体基板を含む。

【0017】

少なくとも1つの実施形態において、誘電体基板は可撓性である。

【0018】

少なくとも1つの実施形態において、ホールの配列の少なくとも2つのホールは、エッチングされた後に接続される。

【0019】

少なくとも1つの実施形態において、ホールの配列は、誘電体基板に折り目のガイドを形成するために配置される。

【0020】

少なくとも1つの実施形態において、折り目ガイド基板のエッチング部分の厚みは、エッチングされない誘電基板の厚さの約80%である。

【0021】

少なくとも1つの実施形態において、誘電体基板はポリイミド系樹脂から形成される。

【0022】

少なくとも1つの実施形態において、誘電体基板は、少なくとも1つの集積回路を更に含むことができる。

【発明を実施するための最良の形態】

【0023】

回路は、サブトラクティブ、アディティブサブトラクティブ、及びセミアディティブ等、多くの適切な方法で作製されることが可能である。

【0024】

典型的なサブトラクティブの回路製造プロセスでは、通常約10ミクロン～約150ミクロンの厚さを有する基板がまず与えられる。

【0025】

基板は、導体が互いに絶縁されるように作用し、且つ回路の機械的強度の大半を受け持つ。基板の他の属性には、中でも柔軟性、薄さ、高温性能、エッチング性能、サイズ低減、軽量化が挙げられる。

【0026】

多くの異なる材料が、フレキシブル回路製造のための基板として使われ得る。基板の選択は、経済性、最終製品の用途、及び完成製品の構成要素に使用される組立て技術を含む要因の組み合わせに依存している。

【0027】

基板は、米国テキサス州パサディナ、カネカハイテクマテリアルズ社 (Kaneka High-Tech Materials, Inc) のアピカル (APICAL) NPI を含む商標名アピカル、及び米国オハイオ州サークルビル (Circleville)、デュポンハイパフォーマンスマテリアルズ (DuPont High Performance Materials) の商標名カプトン (KAPTON) (カプトンE、カプトンEN、カプトンH、及びカプトンVが含まれる) として入手可能なものの、を含む任意の好適

10

20

30

40

50

なポリイミドであり得るが、これらに限定されない。

【0028】

他のポリマー類では、中でも日本国大阪、クラレ高性能材料事業部 (Kuraray High Performance Materials Division) から入手可能な液晶重合体 (LCP)、米国バージニア州ホープウェル、デュポン・ティジンフィルム (DuPont Teijin Films) から商標名マイラー (MYLAR) 及びテオネックス (TEONEX) でそれぞれ入手可能な、ポリ (エチレンテレフタレート) (PET) 及びポリ (エチレンナフタレート) (PEN)、及び米国マサチューセッツ州ピツツフィールド、ゼネラルエレクトリック・プラスチックからレキサン (LEXAN) の商標名で入手可能なポリカーボネートが使用され得る。

【0029】

好ましくは、基板はポリイミド系樹脂である。望ましくは、誘電体基板は可撓性である。

【0030】

基板は、まず結合層でコーティングされ得る。結合層が付着された後、真空蒸着又はスパッタリングのような公知の方法によって導電層が付着されることができる。任意で、付着された導電層は、公知の電気メッキ又は無電界メッキプロセスによって更に所望の厚みにまでメッキされることができる。

【0031】

導電層は、フォトリソグラフィを含む多くの周知の方法を使用してパターン付けができる。フォトリソグラフィが使用される場合は、次いでフォトレジスト (水性又は溶剤ベースであり得、ネガ型フォトレジスト又はポジ型フォトレジストであり得る) が、少なくとも基板の金属コーティングされた側に、熱ローラを使用する標準的な積層技術、又はさまざまなコーティング技術 (例えば、ナイフコーティング、ダイコーティング、グラビアロールコーティング等) を使用して積層化又はコーティングされる。フォトレジストの厚みは、約1ミクロン～約100ミクロンにわたる。フォトレジストは、次にフォトマスク又はフォトツール (phototool) で例えば紫外光等の化学線に露光される。ネガ型フォトレジストに対しては、露光された部分が架橋され、フォトレジストの露光されていない部分は次いで適切な溶剤で現像される。

【0032】

導電層の露出部分は、適切なエッチング液を使用してエッチング除去される。次いで結合層の露出部分が適切なエッチング液を使用してエッチング除去される。残留する (露出されていない) 導電性金属層は最終的に約5ミクロン～約70ミクロンの厚みの範囲であることが好ましい。架橋されたレジストは、次いで適切な溶液中で積層から剥がされる。導電層は、配線を基板の上に形成することができる。配線は、配線保護のために、ソルダーレジストでメッキされてもよい。

【0033】

所望の場合は、基板はエッチングされて基板にフィーチャを形成することができる。被覆コーティング又はソルダーレジスト、及び追加メッキのような、それに続く処理工程が実施される。集積回路もまた、基板に設けることができる。

【0034】

回路部分を形成する別の可能な方法は、セミアディティブメッキ及び次の典型的な工程手順を利用するものであろう。

【0035】

基板は、結合層で被覆されることがある。薄い第1の導電層は、次いで真空スパッタリング又は蒸着技術を使用して付着されることがある。基板並びに導電層の材料及び厚みは、前の段落に記載したものと同じであり得る。

【0036】

導電層は、サブトラクティブ回路製作プロセスにおいて上述したものと同じ方法でパターン付けされることがある。導電層の第1の露出した部分は、次いで、約5ミクロン～約70ミクロンの範囲の所望の回路厚まで、標準的な電気メッキ法又は無電界メッキ法を

10

20

30

40

50

使用して更にメッキされることができる。

【0037】

レジストの架橋接続された露光部分は、その後剥がされる。続いて、薄い第1の導電層の露出部分は、基板を損なわないエッティング液でエッティングされる。結合層が、露出された部分で除去されるべき場合は、適切なエッティング液で除去されることがある。残留する導電層は、配線を基板の上に形成することができる。

【0038】

所望の場合は、基板がエッティングされて基板にフィーチャを形成することができる。被覆コーティング又はソルダーレジスト及び追加メッキのような、それに続く処理工程が実行される。基板は、1つ以上の集積回路を更に備えることができる。

10

【0039】

回路部分を形成する別に可能な方法は、サブトラクティブメッキ及びアディティブメッキの組み合わせを利用するものであり、これはサブトラクティブアディティブ法と呼ばれ、以下が典型的な手順である。

【0040】

基板は、結合層で被覆されることがある。薄い第1の導電層は、次いで真空スパッタリング又は蒸着技術を使用して付着されることがある。誘電体基板並びに導電層の材料及び厚みは、前述の段落に記載したものであり得る。

20

【0041】

導電層は、上述のフォトリソグラフィを含む多くの周知の方法によってパターン付けされることがある。フォトレジストが導電層に対して所望のパターンのポジティブパターンを形成するとき、露出された導電材料は、通常は適切なエッティング液でエッティング除去される。結合層は、次いで適切なエッティング液でエッティングされる。レジストの露光（架橋）された部分が次いで剥ぎ取られる。所望の導電層厚みは、続いて追加的なメッキを施すことによって約5ミクロン～70ミクロンの最終的な厚みを達成できる。

【0042】

所望の場合は、基板がエッティングされて基板にフィーチャを形成することができる。被覆コーティング又はソルダーレジスト、及び追加メッキのような、それに続く処理工程が実行される。

30

【0043】

本明細書の図は一定の縮尺で描画されない点に留意する必要がある。図は、本発明の概念の説明、及び／又は図解のために描画されており、縮尺図として解釈してはならない。また、大部分の図は3次元の物品の断面を表すことに注意するべきである。断面は時としてフレキシブル回路の異なる層を図解するために用いられることがある。

【0044】

図6Aは、ドットの配列134を有するフォトマスク132を示す。ドット134は、フォトマスク上のピッチ126によって分離される。フォトマスク132上のドット134の配置は、誘電体基板に適用されるフォトレジストのホールの配列に対応するパターンを与えるように設計されている。フォトレジストは、フォトレジストにホールのパターンをつけるために、フォトマスクを通して化学線に露光される。フォトレジストは、続いて公知のエッティング技術を使用してエッティングされる誘電体基板の領域を露出させるために現像される。上記のフォトマスク設計はネガ型フォトレジスト用であって、ポジ型フォトレジスト用には、フォトマスクに逆のコントラストが必要になる。

40

【0045】

図6Bは図6Aに示されるフォトマスク132を使用して基板にホールが部分的にエッティングされた後の誘電体基板100の平面図である。フォトマスク132の外郭は便宜のために図6Bに与えられているが、実際にはフォトマスクが図6Bの基板に存在しないことは公知である。図6Bで分かるように、部分的ホール144は、エッティングプロセスによって誘電体基板100にエッティングされている。部分的ホール144は、フォトマスク上のドット134と同じ位置に中心がある。しかし、部分的ホール144は、エッティング

50

プロセスのためにドット 134 より周長が広い。ピッチ 126 及び / 又は (図 6A に示される) フォトマスク上のドットのサイズのため、部分的ホール 144 が一旦エッティングされると、誘電体基板 145 の部分的ホール間の領域はエッティングされない。

【0046】

図 6C は、基板 100 の一部の断面図であって、誘電体基板において形成される部分的ホール 144 を示している。本図によって、部分的ホール 144 は、部分的ホール間のエッティングされない領域 145 と同じく明瞭に見ることができる。部分的ホール 144 が誘電体基板 100 において、折り目のガイドを形成するためにエッティングされる場合、幅 116 は折り目ガイドの折れ曲り部分の幅を定める。この幅は、ドットの段数及び / 又は (図 6A に示される) フォトマスク 132 上のドットのサイズを変えることによって変更することができる。

10

【0047】

図 7A は、ドット 134 の配列を有するフォトマスク 132 を示す。ドット 134 は、フォトマスク上のピッチ 124 によって分離される。フォトマスク 132 上のドット 134 の配置は、誘電体基板に適用されるフォトレジストのホールの配列に対応するパターンを与えるように設計されている。フォトレジストは、フォトレジストにホールのパターンをつけるために、フォトマスクを通して化学線に露光される。フォトレジストは、続いて公知のエッティング技術を使用してエッティングされる誘電体基板の領域を露出させるために現像される。再び、上記のフォトマスク設計はネガ型フォトレジスト用であって、ポジ型フォトレジスト用には、フォトマスクに逆のコントラストが必要になる。

20

【0048】

図 7B は図 7A に示されるフォトマスク 132 を使用して基板にホールが部分的にエッティングされた後の誘電体基板 100 の平面図である。フォトマスク 132 の外郭は便宜上図 7B に与えられているが、実際にはフォトマスクが図 7B の基板に存在しないことは公知である。図 7B で分かるように、部分的ホール 144 は、エッティングプロセスによって誘電体基板 100 にエッティングされている。部分的ホール 144 は、フォトマスク上のドット 134 と同じ位置に中心がある。しかし、部分的ホール 144 は、エッティングプロセスのためにドット 134 より周長が広い。ピッチ 124 及び / 又は (図 7A に示される) フォトマスク上のドットのサイズのため、部分的ホール 144 が一旦エッティングされると、誘電体基板 100 の部分的ホール間の領域はエッティングされない。

30

【0049】

図 7C は、基板 100 の一部の断面図であって、誘電体基板において形成される部分的ホール 144 を示している。本図によって、部分的ホール 144 は、部分的ホール間のエッティングされない領域 145 と同じく明瞭に見ることができる。ホール間の部分 146 は、誘電体基板表面の下、深さ 150 に部分的にエッティングされる。部分的ホール 144 が誘電体基板 100 において、折り目のガイドを形成するためにエッティングされる場合、幅 114 は折り目ガイドの折れ曲り部分の幅を定める。この幅は、ドットの段数及び / 又は (図 7A に示される) フォトマスク 132 上のドットのサイズを変えることによって変更することができる。

40

【0050】

図 8A は、ドット 134 及び付加的なドット 138 の 3 つの配列を有するフォトマスク 132 を示す。ドット 134 は、フォトマスク上でピッチ 122、124 及び 126 によって分離される。ドットの周長は、フォトマスク上のドットの配列間のドットのピッチと同様に変化する。フォトマスク 132 上のドット 134 の配置は、誘電体基板に適用されるフォトレジストのホールの配列に対応するパターンを与えるように設計されている。フォトレジストは、フォトレジストにホールのパターンをつけるために、フォトマスクを通して化学線に露光される。フォトレジストは、続いて公知のエッティング技術を使用してエッティングされる誘電体基板の領域を露出させるために現像される。再び、上記のフォトマスク設計はネガ型フォトレジスト用であって、ポジ型フォトレジスト用には、フォトマスクに逆のコントラストが必要になる。

50

【0051】

図8Bは、基板100の一部の断面図で誘電体基板において形成される部分的ホール144及び貫通ホール148を示している。この図によって、エッチングされた誘電体基板におけるフォトマスク上のドットのピッチ及び周長の違いが、明らかに示される。最小のピッチ122及び最短の周長を有するホールが、幅112を有する配列を基板100に形成する。これら部分的にエッチングされたホールは、誘電体基板表面の下、深さ152にエッチングされたホール間の領域で接続される。小さめのピッチ126及び最短の周長を有するホールが、幅116を有する配列を基板100に形成する。これら部分的にエッチングされたホールは、図8Bに示すように、接続されない。最小ピッチ122を有するホールと比較すると、これらのホールはホールのピッチが小さいため、接続されない。大きな周長及び最大ピッチ124を有するホールは、幅114を有する配列を基板100内に形成する。これらのホールは、より小さい周長のホールより深く、誘電体基板表面の下、深さ150にエッチングされたホール間の領域で接続される。

10

【0052】

最大周長のホール138は、図8Bに示すように基板100を完全に貫通して伸張する。図8Bは、ホールが基板にどれくらい貫入しているかを決定するためにホールの周長を用いることができることを示す。ホールの周長とホールのピッチの組み合わせは、ホールのエッチングの深さ、及びホール間の何らかのエッチングを決定するために用いることができる。本発明の方法を使用することによって、誘電体基板を部分的に、完全に貫通するホールを同時にエッチングされることができる。

20

【0053】

誘電体基板のホールにエッチングすることに加えて、回路は、上記の工程でエッチングされない基板の主要面の上に形成されることがある。誘電体基板上に金属及び回路を形成する方法及び装置は公知である。例えば、配線は基板上に形成され、配線を保護するためにソルダーレジストの層が配線を被覆して配置され得る。

20

【0054】

図9A～図9Dは、本発明に従う基板の部分的ホールを作るために用いる選択的な化学エッチングプロセスの1つの実施例を示す。この例では、基板は、75ミクロン厚のポリイミド系樹脂である。図9Aにおいて、ポリイミド系樹脂200は、ネガ型フォトレジスト210によってカバーされる。エッチングプロセスにおいて使用されるエッチング液と正しく作用する限り、ポジ型、又はネガ型いずれかのフォトレジストが使用できる点に留意しなくてはならない。本実施例における、ネガ型フォトレジストの最適な厚さは、20ミクロン～50ミクロンの間である。

30

【0055】

フォトレジスト210を適用する工程の後、フォトレジスト210は、図9Bに示すようにフォトマスク220を通して化学線に露光される。この例では、フォトマスク220上の被覆領域225は、下にあるフォトレジスト210の対応領域が（矢印によって示される）化学線に露光されるのを防止する。

30

【0056】

フォトレジスト210を露光させた後、フォトレジスト210は、図9Cに示すように現像される。フォトレジスト210を現像すると、露光されないフォトレジストが取り除かれて、ホール215がフォトレジスト210に残る。折り目のガイドを形成するためにフォトレジスト210にホールの配列のパターンが作られるが、本例では、説明を容易にするために単一のホールだけが形成されることに留意しなくてはならない。

40

【0057】

ポリイミド系樹脂200は、続いて公知の化学エッチングプロセスを使用してエッチングされる。エッチングプロセスによって、図9Dに示すようにポリイミド系樹脂200にホール144が形成される。ホール144はポリイミド系樹脂200を完全に貫通して伸張しないことに留意することが重要である。ホール144がポリイミド系樹脂を完全に貫通して伸張すると、（図9A～9Dでは示されない）ソルダーレジスト層がポリイミド系

50

樹脂 200 の第 2 側部上の（図 9A～9D では示されない）銅配線の層を後に被覆して加えられるとき、ソルダーレジストは、ホール 144 を通って漏れて、ポリイミド系樹脂 200 の第 1 側部を汚染する。また、エッティングプロセスによってホール 144 の側部は、フォトレジスト 210 に設けられたホール 215 より広くなることに留意すべきである。ホール周長 144 が、フォトレジスト 210 のホール周長 215 と比較してより大きいのは、エッティングプロセスの特徴である。

【0058】

図 9D のホール 144 はポリイミド系樹脂 200 を完全に貫通して伸張しない一方で、同じプロセスを使用してポリイミド系樹脂を完全に貫通して伸張するホールを作成することができるに留意しなくてはならない。スルーホールを作成することが望ましい場所においては、銅配線は、その場所に加えられない。スルーホール付近に銅配線がないことによって、ソルダーレジストの漏れ及び汚染という先行技術の課題が解決される。スルーホールは、繰出し孔、ツールホール等として役立てることができる。

10

【0059】

図 10 は、本発明の選択的な化学エッティング法によって形成されたホール 144 の配列を有するポリイミド系樹脂 200 の断面図である。ホール 144 の配列は、最初に対応するドットの配列を有するフォトマスク 220 を通してフォトレジスト 210 の部分にパターンを付け、露光させることによって形成される。再び、図 10 では、露光されていない領域がフォトレジスト 210 にホール 215 の配列を形成するように、ネガ型フォトレジスト 210 が使われる。ポリイミド系樹脂 200 は、それから、ホール 144 を形成するようにエッティングされる。配列のホール 144 は、ホールのエッティングの間、ホールの間をエッティングする相互エッティングが発生することによって間隙 146 を形成するように間隔が空けられている。これらのセクションは、既存のフォトレジスト 210 の下でエッティングされる。相互エッティングは、ポリイミド系樹脂 200 における折り目ガイド 114 を形成するために、ホール 144 を接続する。折り目ガイドのエッティングされない誘電基板の設計厚は、基板材料及び折り目ガイドに必要な屈曲量を含む多くのパラメータに依存する。例示的な実施形態において、折り目ガイド基板のエッティング部分の厚みは、エッティングされない誘電基板厚の約 80 % である。

20

【0060】

図 6A、7A、及び 8A は、ネガ型フォトレジストのホールの配列用のパターンを与えるフォトマスクがどのように設計され得るかを図示している。これらの図において、ドット 134 はフォトマスク上の領域にわたり、仮想線 132 は基板上に形成される折り目ガイドの境界を示す。

30

【0061】

更なる実施例において、エッティングは、強アルカリ性溶液を使用して実行され得る。一実施形態において、米国テキサス州パサディナ、カネカハイテクマテリアルズ社 (Kaneka High-Tech Materials, Inc) のアピカル (APICAL) NPI 3 ミルポリイミドのためのエッチ液として水酸化カリウム (KOH) が使われ、ポリイミド系樹脂エッティングは、温度 93 度 800 キロパスカルの噴霧圧を使用して 350 秒間エッティングが実行された。一般に言えば、ホールピッチが 200 ミクロンのときに、ホールがエッティング前のポリイミド系樹脂厚の約 63 % で形成される場合、ポリイミド系樹脂の最小厚を設定することが望ましい。本例では、エッティングされない基板厚の約 63 % でエッティングされた基板厚が、折り目ガイドに折れ曲り領域を与える。この例では、エッティングされた基板の厚みがエッティングされない基板厚さの約 63 % であるときに、最適な折り目ガイドが形成される。他の実施例において、折り目ガイドを形成するためにエッティングされる基板の異なる厚さを用いることができる。本例の基板フィルムが約 220 秒間エッティングされる場合、ホールが形成されるポリイミドフィルムの厚みはエッティングされないポリイミドフィルムの厚みの約 90 % である。この例では、基板をより短い時間エッティングすると、より長時間のエッティングで生じるホールより、エッティングされない基板の厚みが大きい位置にホールを生じる。フォトマスク上のドットのサイズ及びピッチは、エッティング時間の間に発生するエ

40

50

ッチングの量にも関係する。

【0062】

実施例に示されるホールは円いが、いかなる形状のホールも形成され得る点に留意する必要がある。ホールは、例えば六角形であり得る。また、ホールは、同一のサイズ、又は様々なサイズでもよく、及び所定の位置範囲内、又は異なる所定の位置で、一定間隔、又は異なる間隔で配置することができる。

【0063】

前述によって、本発明はその好ましい形態を含み記載された。当業者にとって明らかな変更及び修正は付隨する請求項に記載の範囲に組み込まれることになる。

【0064】

本発明は、以下の図面を制限されることなく参照し、実施例を通じてのみ更に説明される。

【図面の簡単な説明】

【0065】

【図1】ディスプレイパネルに取り付けられた基板の実施例。

【図2】ディスプレイパネルに取り付けられたフレキシブル回路が、折り曲げられた位置を維持できない結果、ディスプレイパネルが元の位置から離れたためにゆがみ、不適切に折り曲げられたフレキシブル回路の実施例。

【図3】所定の位置で基板の一部が除去された基板の例。

【図4】所定の位置においてみぞの中央に負荷がかけられた結果折り曲げられた基板の例。

【図5】日本の特許番号第3327252号に記載されているプロセスを使用して得られたフレキシブル回路の例。

【図6A】フォトレジストにホールの配列のためのパターンを与えるように設計されたフォトマスクの第1の例。

【図6B】図6Aのフォトマスクを使用したエッチングの後、作成された部分的ホールを有する基板における折り目ガイドの平面図。

【図6C】図6Aのフォトマスクを使用して作られた接続されない部分的ホールを有する基板の断面図。

【図7A】フォトレジストにホールの配列のためのパターンを与えるように設計されたフォトマスクの第2の例。

【図7B】図7Aのフォトマスクを使用したエッチングの後、作成された部分的ホールを有する基板における折り目ガイドの平面図。

【図7C】図7Aのフォトマスクを使用して作られた接続された部分的ホールを有する基板の断面図。

【図8A】図は、フォトレジストのホール間が異なるサイズ及び異なる間隔である、異なる配列のホールのためのパターンを与えるように設計されたフォトマスクの第3の実施例。

【図8B】図は、図8Aのフォトマスクを使用して作られた、接続されない部分的ホール、接続された部分的ホール及び接続されないスルーホールを有する基板の断面図。

【図9A】図は、本発明の基板における部分的ホールを形成する第1の工程。

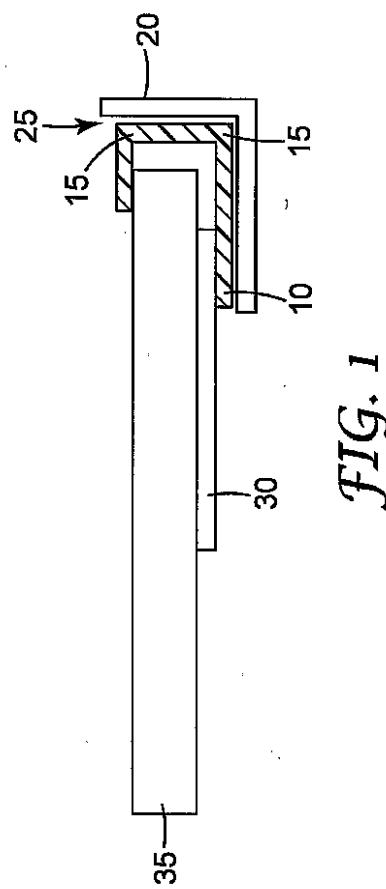
【図9B】図は、本発明の基板における部分的ホールを形成する第2の工程。

【図9C】図は、本発明の基板における部分的ホールを形成する第3の工程。

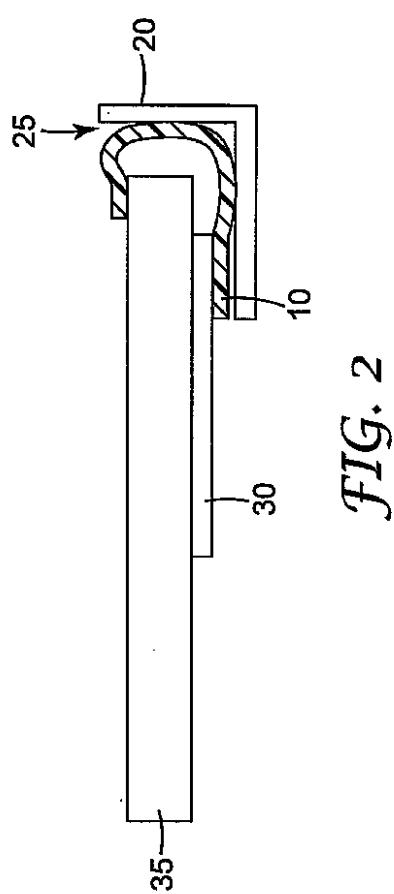
【図9D】図は、本発明の基板における部分的ホールを形成する第4の工程。

【図10】基板に折り目ガイド作成するために化学エッチ液を使用して、本発明の基板の一実施例に選択的にエッチングすることによって形成されるホールの配列。

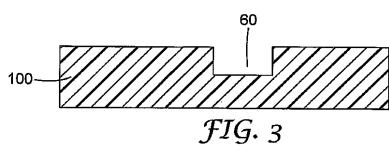
【図 1】



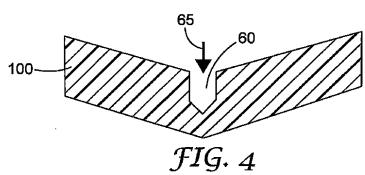
【図 2】



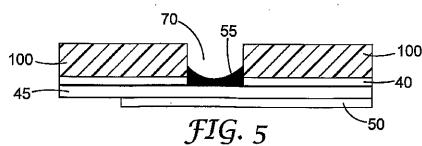
【図 3】



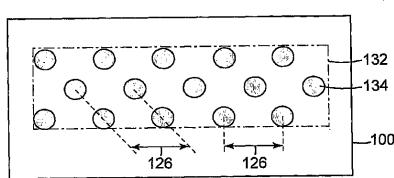
【図 4】



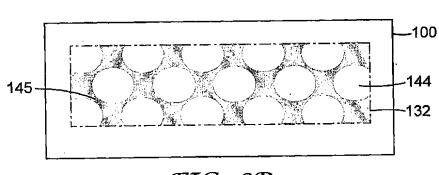
【図 5】



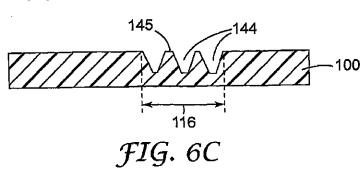
【図 6 A】



【図 6 B】



【図 6 C】



【図 7 A】

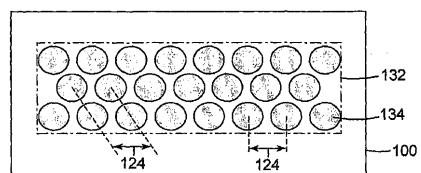


FIG. 7A

【図 7 B】

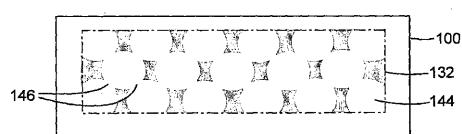


FIG. 7B

【図 7 C】

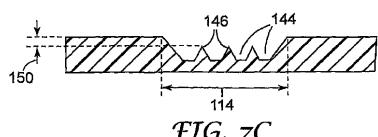


FIG. 7C

【図 8 A】

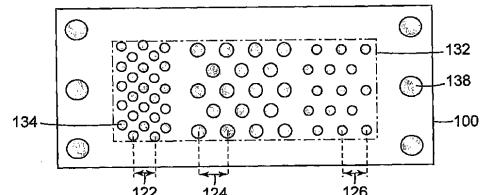


FIG. 8A

【図 8 B】

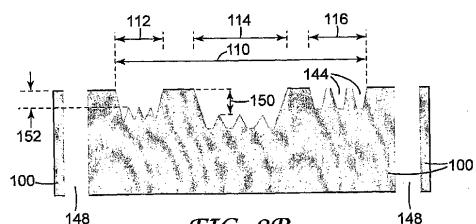


FIG. 8B

【図 9 A】

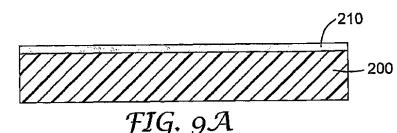


FIG. 9A

【図 9 B】

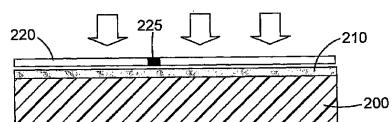


FIG. 9B

【図 9 C】

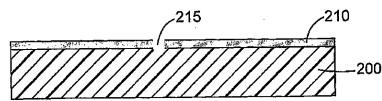


FIG. 9C

【図 9 D】

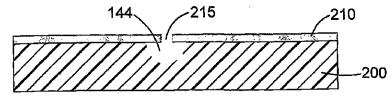


FIG. 9D

【図 10】

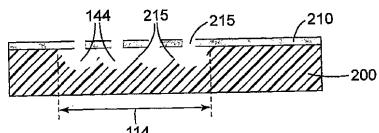


FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2006/023832																		
A. CLASSIFICATION OF SUBJECT MATTER INV. H05K1/00 H05K3/00																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H05K																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 6 633 002 B2 (ATOU NORIAKI [JP]) 14 October 2003 (2003-10-14)</td> <td style="padding: 2px;">10,12, 14,16, 17, 26-28, 30-33</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">column 6, line 5 - column 9, line 43; figures</td> <td style="padding: 2px;">1,3,7,9, 18,19, 23,25</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">US 6 638 689 B1 (TAKAHASHI SATOSHI [JP] ET AL) 28 October 2003 (2003-10-28) column 6, line 32 - line 63</td> <td style="padding: 2px;">1,3,7,9, 18,19, 23,25</td> </tr> <tr> <td style="padding: 2px;">A</td> <td style="padding: 2px;">US 6 162 996 A (SCHMIDT WALTER [CH] ET AL) 19 December 2000 (2000-12-19) column 4, line 55 - column 5, line 12; figure 5</td> <td style="padding: 2px;">2,4-6, 11;13</td> </tr> <tr> <td></td> <td style="text-align: center; padding: 2px;">-/-</td> <td></td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 6 633 002 B2 (ATOU NORIAKI [JP]) 14 October 2003 (2003-10-14)	10,12, 14,16, 17, 26-28, 30-33	Y	column 6, line 5 - column 9, line 43; figures	1,3,7,9, 18,19, 23,25	Y	US 6 638 689 B1 (TAKAHASHI SATOSHI [JP] ET AL) 28 October 2003 (2003-10-28) column 6, line 32 - line 63	1,3,7,9, 18,19, 23,25	A	US 6 162 996 A (SCHMIDT WALTER [CH] ET AL) 19 December 2000 (2000-12-19) column 4, line 55 - column 5, line 12; figure 5	2,4-6, 11;13		-/-	
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 6 633 002 B2 (ATOU NORIAKI [JP]) 14 October 2003 (2003-10-14)	10,12, 14,16, 17, 26-28, 30-33																		
Y	column 6, line 5 - column 9, line 43; figures	1,3,7,9, 18,19, 23,25																		
Y	US 6 638 689 B1 (TAKAHASHI SATOSHI [JP] ET AL) 28 October 2003 (2003-10-28) column 6, line 32 - line 63	1,3,7,9, 18,19, 23,25																		
A	US 6 162 996 A (SCHMIDT WALTER [CH] ET AL) 19 December 2000 (2000-12-19) column 4, line 55 - column 5, line 12; figure 5	2,4-6, 11;13																		
	-/-																			
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.																		
<small>* Special categories of cited documents :</small> <ul style="list-style-type: none"> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed 																				
<small>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</small>																				
<small>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</small>																				
<small>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</small>																				
<small>"&" document member of the same patent family</small>																				
Date of the actual completion of the international search	Date of mailing of the international search report																			
10 October 2006	17/10/2006																			
Name and mailing address of the ISA/ European Patent Office, P.B. 5018 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Gori, Patrice																			

INTERNATIONAL SEARCH REPORT

International application No PCT/US2006/023832

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 04 342148 A (TOKYO SHIBAURA ELECTRIC CO) 27 November 1992 (1992-11-27) figures -----	10,26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/023832

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
US 6633002	B2	14-10-2003	JP	3327252 B2	24-09-2002
			JP	2000332066 A	30-11-2000
			TW	469548 B	21-12-2001
			US	2002157857 A1	31-10-2002
US 6638689	B1	28-10-2003	JP	3238369 B2	10-12-2001
			JP	11295890 A	29-10-1999
US 6162996	A	19-12-2000	WO	9526122 A1	28-09-1995
			DE	59410240 D1	13-03-2003
			EP	0700630 A1	13-03-1996
JP 4342148	A	27-11-1992	NONE		

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,L,C,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ピンセント・ヨン・チン・リー
シンガポール 787472シンガポール、タゴア・レイン 9番
(72)発明者 イ・リヤン・フ
シンガポール 787472シンガポール、タゴア・レイン 9番
(72)発明者 小柳 達則
東京都世田谷区玉川台 2丁目33-1
(72)発明者 大倉 啓幸
東京都世田谷区玉川台 2丁目33-1
(72)発明者 伊東 正彦
東京都世田谷区玉川台 2丁目33-1
F ターム(参考) 5E338 AA12 BB15 BB16 BB28 BB56 EE21 EE26