

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4351783号
(P4351783)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int. Cl. F I
HO4J 11/00 (2006.01) HO4J 11/00 Z

請求項の数 2 (全 11 頁)

<p>(21) 出願番号 特願2000-63579 (P2000-63579) (22) 出願日 平成12年3月8日(2000.3.8) (65) 公開番号 特開2001-251275 (P2001-251275A) (43) 公開日 平成13年9月14日(2001.9.14) 審査請求日 平成19年1月19日(2007.1.19)</p>	<p>(73) 特許権者 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地 (74) 代理人 100098291 弁理士 小笠原 史朗 (72) 発明者 竹内 章生 大阪府門真市大字門真1006番地 松下 電器産業株式会社内 審査官 富澤 哲生</p>
---	---

最終頁に続く

(54) 【発明の名称】 デジタル復調装置

(57) 【特許請求の範囲】

【請求項1】

信号の有効期間である有効シンボルと、前記有効期間の一部を複写して前記有効シンボルの前にガードインターバルとして付加したものを1シンボルとするマルチキャリア信号を復調するデジタル復調装置であって、

前記受信されたマルチキャリア信号に同期してベースバンド信号を生成し、後述する電源オフ期間駆動信号に基いて電源をオフするチューナと、

前記チューナの出力である前記ベースバンド信号を復調してビット系列データを生成し、後述する電源オフ期間駆動信号に基いて電源をオフする復調器と、

前記復調器の出力である前記ビット系列データに誤り訂正を施し、後述する電源オフ期間駆動信号に基いて電源をオフする誤り訂正器と、

前記誤り訂正器の誤り訂正動作に基いて受信信号の確からしさを判定してBERを生成する誤り率計測器と、

前記チューナ、前記復調器、前記誤り訂正器の少なくとも何れかの電源をオフさせる期間であり0より大きく前記ガードインターバルの期間以下である電源オフ期間について、前記誤り率計測器の出力であるBERが高い場合は前記電源オフ期間を短くさせBERが低い場合は前記電源オフ期間を長くさせる旨の電源オフ期間制御信号を生成する制御器と、

前記制御器の出力である電源オフ期間制御信号に基づいて前記チューナ、前記復調器、前記誤り訂正器の少なくとも何れかの電源をオフさせる電源オフ期間駆動信号を生成する

10

20

スイッチと、を有するデジタル復調装置。

【請求項 2】

信号の有効期間である有効シンボルと、前記有効期間の一部を複写して前記有効シンボルの前にガードインターバルとして付加したものを 1 シンボルとするマルチキャリア信号を復調するデジタル復調装置であって、

前記受信されたマルチキャリア信号に同期してベースバンド信号を生成し、後述する電源オフ期間駆動信号に基いて電源をオフするチューナと、

前記チューナの出力である前記ベースバンド信号を復調してビット系列データを生成し、後述する電源オフ期間駆動信号に基いて電源をオフする復調器と、

前記復調器の出力である前記ビット系列データに誤り訂正を施し、後述する電源オフ期間駆動信号に基いて電源をオフする誤り訂正器と、

前記復調器の動作に基いて受信信号の C N 比を検出する C N 算出器と、

前記チューナ、前記復調器、前記誤り訂正器の少なくとも何れかの電源をオフさせる期間であり 0 より大きく前記ガードインターバルの期間以下である電源オフ期間について、前記 C N 算出器の出力である C N 比が低い場合は前記電源オフ期間を短くさせ C N 比が高い場合は前記電源オフ期間を長くさせる旨の電源オフ期間制御信号を生成する制御器と、

前記制御器の出力である電源オフ期間制御信号に基づいて前記チューナ、前記復調器、前記誤り訂正器の少なくとも何れかの電源をオフさせる電源オフ期間駆動信号を生成するスイッチと、を有するデジタル復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、受信したマルチキャリア信号を復調するデジタル復調装置に関し、さらに詳述すると電力制御機能を有するデジタル復調装置に関する。

【0002】

【従来の技術】

デジタル受信機に用いられるデジタル復調装置は低消費電力化に向けて、各機能 L S I の低電圧化や電源回路の高効率化などが進められている。チューナ部、復調部、および誤り訂正部から構成されるフロントエンド部においても、同様の取組が行われているが、アナログ部においてはコストの問題もあり低消費電力に最適なデバイスを使用できない。図 10 に、従来のデジタル復調装置を示す。デジタル復調装置 A M D c は、チューナ 10、復調器 11、誤り訂正器 12、スイッチ 13、およびマイコン 14 を有する。チューナ 10、復調器 11、および誤り訂正器 12 によってフロントエンド部 F E が構成される。

フロントエンド部 F E は、スイッチ 13 を介してマイコン 14 によって電力制御される。デジタル復調装置 A M D c においては、フロントエンド部 F E は電源が常時 O N 状態であり、利用者がデジタル受信機を使用しない時には、デジタル復調器 A M D c のチューナ 10 は通電されないことを前提として構成されている。

【0003】

【発明が解決しようとする課題】

しかしながら、利用者がデジタル受信機を使用するときには、デジタル復調装置 A M D c においては、フロントエンド部 F E を構成するチューナ 10、復調器 11、および誤り訂正器 12 の全てが機能状態（通電されて正常に動作している状態）である。つまり、デジタル復調装置 A M D c においては、通常の視聴時には低消費電力化が実現されていない。

本発明は上記の課題を解決するために成されたもので、通常の視聴時にフロントエンド部が機能状態であっても、低消費電力化を実現できる電力制御機能を有するデジタル復調機を提供することを目的とする。

【0004】

【課題を解決するための手段および発明の効果】

信号の有効期間である有効シンボルと、当該有効期間期間の一部を複製して当該有効シンボルの時間的に前にガードインターバルとして付加したものを1シンボルとするマルチキャリア信号を復調するデジタル復調装置であって、前記1シンボル中において電力制御に最適な期間を特定する期間特定器と、特定された最適な期間に受信装置を構成する機能ブロックの動作を制御する電力制御器とを備えることを特徴とする。

【0005】

上述のように、第1の発明においては、通常視聴時でフロントエンド部が機能状態であっても低消費電力化を実現しうるものである。

【0006】

第2の発明は、第1の発明において、最適な期間は、DVB-T方式およびISDB-T方式の何れかによって規定されているガードインターバル期間内にあることを特徴とする。

【0007】

第3の発明は、第2の発明において、最適な期間は、DVB-T方式およびISDB-T方式の何れかによって規定されているシンボル長の任意の整数倍毎に位置することを特徴とする。

【0008】

第4の発明は、第1、第2、第3、および第4の発明の何れかの発明において、期間特定器は、受信されたマルチキャリア信号の受信状態を監視して受信状態を示す受信状態信号を生成する受信状態監視器を備えると共に、受信状態信号に基づいて、前記最適な期間が前記受信状態の悪化に従い短なるように決定することを特徴とする。

【0009】

第5の発明は、第4の発明において、受信状態監視器は、受信されたマルチキャリア信号の誤り率を計測することを特徴とする。

【0010】

第6の発明は、第4の発明において、受信状態監視器は、受信されたマルチキャリア信号のC/N比を算出とすることを特徴とする。

【0011】

第7の発明は、第1～第6の発明の何れかの発明において、機能ブロック(FE)は、受信されたマルチキャリア信号に同期してベースバンド信号を生成するチューナと、ベースバンド信号を復調してビット系列データを生成する復調器と、ビット系列データに誤り訂正を施す誤り訂正器とで構成されることを特徴とする。

【0012】

第8の発明は、第7の発明において、電力制御器はチューナの少なくとも一部を停止させることを特徴とする。

【0013】

第9の発明は、第7発明において、電力制御器は復調器の少なくとも一部を停止させることを特徴とする。

【0014】

第10の発明は、第7の発明において、電力制御器はチューナおよび復調器の少なくとも一部を停止させることを特徴とする。

【0015】

【発明の実施の形態】

(第1の実施形態)

以下に、図1を参照して本発明の第1の実施形態にかかるデジタル復調装置について説明する。デジタル復調装置AMDp1は、チューナ10、復調器11、誤り訂正器12、スイッチ13、およびマイコン14P1を有する。チューナ10、復調器11、および誤り訂正器12によってフロントエンド部FEが構成される。フロントエンド部FEは、

10

20

30

40

50

スイッチ 13 を介してマイコン 14 P 1 によって電力制御される。

【 0016 】

テレビ番組などを視聴する場合、受信されたマルチキャリア信号 S_r (以降、「受信信号 S_r 」と略称する) はチューナ 10 で増幅、選局されてベースバンド信号 S_b に変換される。復調器 11 は、ベースバンド信号 S_b に復調処理を施してビット系列のデータ S_t に変換する。誤り訂正器 12 は、ビット系列データ S_t の誤り部を正しいデータに変換して訂正済みビット系列データ S_{tc} を生成する。マイコン 14 P 1 は、フロントエンド部 FE の電力制御期間を特定して、スイッチ 13 を駆動するスイッチ駆動信号 S_{w1} を生成する。

【 0017 】

スイッチ 13 は好ましくはトランジスタで構成され、スイッチ駆動信号 S_{w1} に基づいてマイコン 14 によって事前に設定されたタイミングでフロントエンド部 FE を ON / OFF するように駆動される。このように、本発明において、スイッチ 13 はフロントエンド部 FE (チューナ 10、復調器 11、誤り訂正器 12) に対する電力制御手段として、マイコン 14 はデジタル復調装置 AMD p 1 のフロントエンド部 FE の駆動期間を特定する電力制御手段として設けられている。つまり、スイッチ 13 によって、フロントエンド部 FE を構成するチューナ 10、復調器 11、および誤り訂正器 12 のそれぞれの駆動を制御できる。

【 0018 】

図 2 を参照して、チューナ 10 の詳細な構成について説明する。チューナ 10 は、アンプ 18、周波数変換器 (ミキサ) 19、選局器 20、およびフィルタ 21 を含む。つまり、上述のスイッチ 13 はチューナ 10 を構成するアンプ 18、周波数変換器 19、選局器 20、フィルタ 21 のそれぞれの駆動を制御する。

【 0019 】

さらに、図 3 を参照して、復調器 11 の構成について詳しく説明する。復調器 11 は、直交検波器 22、FFT 処理器 23、キャリア復調器 24、および同期再生器 25 を含む。上述のスイッチ 13 は、復調器 11 を構成する直交検波器 22、FFT 処理器 23、キャリア復調器 24、および同期再生器 25 のそれぞれの駆動を制する。

【 0020 】

次に、図 4 に示すタイミングチャートを参照して、デジタル復調装置 AMD p 1 におけるマイコン 14 P 1 による電力制御方法について説明する。同図に示すように、受信信号 S_r は複数の搬送波に分割して送信されるマルチキャリア (多重搬送波) 伝送信号であり、当該信号有効期間である有効シンボル長 T_u と、当該信号期間の時間的に後ろの無効期間部分 T_g を有する。この無効期間部分 T_g には、有効期間 T_u の情報を誤りなく再生するための情報が付加されており、何らかの原因により受信状態が悪化した場合には、無効期間部分 T_g と有効期間部分 T_u から有効期間 T_u の情報を復調するように利用されるものとする。

本実施形態においては、有効期間 T_u に後続する無効期間 T_g に有効期間 T_u の一部を複写して、有効シンボル T_u の時間的に前にガードインターバル T_g として付加して無効期間 $T_g +$ 有効期間 T_u を 1 シンボルとする信号を受信するものとする。

【 0021 】

そこで、スイッチ駆動信号 S_{w1} は、1 シンボル毎に存在するガードインターバル T_g に続く所定の期間をフロントエンド部 FE を駆動しない電力制御期間 T_{c1} として設定している。電力制御期間 T_{c1} は 0 より大きく無効期間 T_g 以下の時間である。また、電力制御期間 T_{c1} は、1 シンボル毎に 1 つの電力制御期間 T_{c1} が設定設定されるので、受信信号 S_r 全体に関しても、電力制御期間 T_{c1} は 0 より大きく無効期間 T_g 以下の時間である関係が保たれる。このようにデジタル復調装置 AMD p 1 は、マイコン 14 P 1 により設定されたタイミングによってフロントエンド部 FE の駆動が制御されて、テレビ視聴のために必要最低限の電力で動作できる。

【 0022 】

10

20

30

40

50

このように、1シンボル毎に1つの電力制御期間TC1を設ける代わりに、N(1以上の任意の正数)個のシンボル毎に1つの電力制御期間TCNを設けるようにしても良い。この関係を図4において、スイッチ駆動信号Sw1'として示す。なお、同図においては、N=2の例が示されている。この電力制御期間TCNは、DVB-T(Digital Video Broadcast; デジタルビデオ放送)方式あるいはISDB-T(Integrated Services Digital Broadcasting; 統合デジタル放送)方式で規定されている数種類のガードインターバルに後続して設けられる。結果、通常視聴時でフロントエンド部FEが機能状態であっても低消費電力化を実現できるものである。また、電力制御期間TCNは、Nシンボル毎に1つの電力制御期間TCNが設定されるので、受信信号Sr全体に関しては、電力制御期間TCNは0より大きく無効期間Tg/N以下の時間である関係が保たれる。

10

【0023】

(第2の実施形態)

図5を参照して、本発明の第2の実施形態にかかるデジタル復調装置について説明する。本例にかかるデジタル復調装置AMDp2は、図1に示したデジタル復調装置AMDp1のマイコン14P1がマイコン14P2に交換されるとともに、同マイコン14P2とフロントエンド部FEとの間に信号処理器15が新たに設けられている。なお、デジタル復調装置AMDp2において受信される信号は、上述の第1の実施形態にかかるデジタル復調装置AMDp1において受信されるものと同じである。また、本例においては、誤り訂正器12は、復調器11によって復調された有効期間Tuと無効期間Tgの復調された部分から誤り訂正が施された訂正済みビット系列データStcを出力する。

20

【0024】

信号処理器15は、フロントエンド部FEにおける受信信号Srの受信状態を監視する。つまり、信号処理器15は、誤り訂正器12の誤り訂正動作に基づいて、受信信号Srの確からしさを判定して、受信状態を表す監視信号Srcを生成する。

【0025】

マイコン14P2は、監視信号Srcに基づいてフロントエンド部FEの電力制御期間を特定して、スイッチ13を駆動するスイッチ駆動信号Sw2を生成する。つまり、マイコン14P2は監視信号Srcに基づいて、信号処理器15における判定が所定の確からしさを保つ様に事前に設定されたタイミングに従い、スイッチ13を駆動する信号スイッチ駆動信号Sw2を生成する。

30

例えば、受信状態の悪化によって、フロントエンド部FEから出力される訂正済みビット系列データStcの誤り率が高くなった場合は、マイコン14P2はスイッチ13に対して電力制御期間TC2を短くするためのスイッチ駆動信号Sw2を生成して出力する。無効期間Tgの電力制御期間TC2が短くなるので、無効期間Tg中の情報を多く復調器11に渡すことができる。けっか、誤り訂正率が向上する。

【0026】

スイッチ13は、スイッチ駆動信号Sw2に基づいてフロントエンド部FEを構成するチューナ10、復調器11、および誤り訂正器12のそれぞれをON/OFFする。

【0027】

なお、スイッチ駆動信号Sw2によるフロントエンド部FEの駆動制御タイミングは、図4を参照して説明した電力制御期間TC1およびTCNと基本的に同じである。ただし、電力制御期間TC1あるいはTCNの出現タイミングが監視された受信信号Srの受信状態が許容範囲内になるように決定することが、スイッチ駆動信号Sw1の場合と異なる。

40

【0028】

(第3の実施形態)

次に、図6および7を参照して、本発明の第3の実施形態にかかるデジタル復調装置について説明する。本例にかかるデジタル復調装置AMDp3は、図5に示したデジタル復調装置AMDp2の信号処理器15が誤り率計測器16に交換されていると共にマイコン14P2がマイコン14P3に交換されている。

50

【0029】

誤り率計測器16は、フロントエンド部FEにおける受信信号Srの受信状態を監視する。つまり、誤り率計測器16は、誤り訂正器12の誤り訂正動作にもとづいて、受信信号Srの確からしさ(BER)を判定して、確度信号Sr_pを生成する。

【0030】

マイコン14P3は確度信号Sr_pに基づいて、誤り率計測器16において判定された確からしさ(BER)を基準にしたタイミングでスイッチ13を駆動する信号スイッチ駆動信号Sw3を生成する。

【0031】

スイッチ13は、スイッチ駆動信号Sw3に基づいてフロントエンド部FEを構成するチューナ10、復調器11、および誤り訂正器12のそれぞれをON/OFFする。

10

【0032】

次に図7を参照して、マイコン14P3がスイッチ駆動信号Sw3によって規定するフロントエンド部FEの駆動制御タイミングについて説明する。図7(a)において、縦軸T_{gcnt}は無効期間T_gにおける制御時間(図4におけるTC2に対応)を示し、横軸BERは誤り率計測器16によって検出された受信信号Srの確からしさを示す。図7(b)において、縦軸1/Nは制御期間T_{gcnt}の出現頻度を示す。

【0033】

図7(a)に示すように、確度信号Sr_pが示す確からしさBERの値に応じて、時間軸の受信信号Srに対しガードインターバルT_g以降の期間である電力制御期間T_{gcnt}を定める。すなわち、BERの値が高いときは受信状態が悪化しており、無効期間T_gの情報をより多く復調に利用するために、制御期間T_{gcnt}を短く設定する。またBERの値が低いときは、受信状態は良いと判断して制御期間T_{gcnt}を長く設定して、より省電力効果を高めることができる。かかる構成によれば、マイコン14の設定により、テレビ視聴のために必要最低限の電力でデジタル復調器を動作させることができる。

20

【0034】

なお、上記マイコン14のタイミングがNシンボル毎の場合(電力制御期間TCN)には、当該動作の頻度は図7(b)に示すとおりで上記と同様の作用を示すものである。

【0035】

なお、スイッチ駆動信号Sw3によるフロントエンド部FEの駆動制御タイミングは、図4を参照して説明した電力制御期間TC1およびTCNと基本的に同じである。ただし、電力制御期間TC1あるいはTCNの出現タイミングおよび個々の制御時間TCが、受信信号Srを復調したデータの誤り率の計測値に基づいて決定されるスイッチ駆動信号Sw1の場合と異なる。

30

【0036】

(第4の実施形態)

図8および図9を参照して、本発明の第4の実施形態にかかるデジタル復調装置について説明する。本実施形態にかかるデジタル復調装置AMDp4は、図8に示すように、図6に示したデジタル復調装置AMDp3の誤り率計測器16がCN算出器17に交換されていると共にマイコン14P3がマイコン14P4に交換されている。

40

【0037】

CN算出器17は、誤り率計測器16と同様にフロントエンド部FEにおける受信信号Srの受信状態を監視するが、ただし誤り訂正器12ではなく復調器11に接続されている。つまり、CN算出器17は、前記復調器11の動作に基づいて受信信号Srの純度(C/N比)を検出してC/N比信号Sr_nを生成する。マイコン14P4は、C/N比信号Sc_nに基づいて、受信信号Srの純度(C/N)を基準にしたタイミングで、スイッチ13を駆動させるスイッチ駆動信号Sw4を生成する。

【0038】

次に図9を参照して、マイコン14P4がスイッチ駆動信号Sw4によって規定するフロントエンド部FEの駆動制御タイミングについて説明する。図9(a)において、縦軸T

50

g c n tは無効期間T gの制御時間(図4におけるTCに対応)を示し、横軸CNはCN算出器17によって検出された受信信号Srの純度(C/N)を示す。図9(b)において、縦軸1/Nは制御期間T g c n tの出現頻度を示す。

【0039】

図9(a)に示すように、CN比信号Scnが示す受信信号Srの純度CNの値に従って、時間軸の受信信号に対しガードインターバルTg以降の期間の電力制御期間を決定する。すなわち、CN比が高い場合は、受信状態は良好であると見なし、制御期間T g c n tを長く設定して省電力効果を高めても有効期間Tuの情報を正しく復調できる。しかしながら、CN比が低い場合には、無効期間Tgの情報を復調に用いてフロントエンド部FEの出力である訂正済みビット系列データStcの誤り率を下げる必要がある。かかる構成によれば、マイコン14の設定により、テレビ視聴のための必要最低限の電力でデジタル復調器を動作させることができる。

10

【0040】

なお、上記マイコン14P4によるタイミングがNシンボル毎の場合にも、当該動作の頻度は図9(b)に示すとおりで上記と同様の作用を示すものである。以上のように、本発明によれば、通常視聴時でフロントエンド部が機能状態であってもフロントエンド部FEの構成要素の全て或いは一部を停止されることによって、デジタル復調装置の低消費電力化を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかるデジタル復調装置の構成を示すブロック図である。

20

【図2】図1に示したチューナの構成を示すブロック図である。

【図3】図1に示した復調器の構成を示すブロック図である。

【図4】図1にデジタル復調装置におけるフロントエンド部の電力制御タイミングの説明図である。

【図5】本発明の第2の実施形態にかかるデジタル復調装置の構成を示すブロック図である。

【図6】本発明の第3の実施形態にかかるデジタル復調装置の構成を示すブロック図である。

【図7】図6に示したデジタル復調装置におけるフロントエンド部の電力制御タイミングの説明図である。

30

【図8】本発明の第4の実施形態にかかるデジタル復調装置の構成を示すブロック図である。

【図9】図8に示したデジタル復調装置におけるフロントエンド部の電力制御タイミングの説明図である。

【図10】従来のデジタル復調装置の構成を示すブロック図である。

【符号の説明】

AMDp1 ~ AMDp4、AMDc デジタル復調装置

FE フロントエンド部

10 チューナ

40

11 復調器

12 誤り訂正器

13 スイッチ器

14、14P1 ~ 14P4 マイコン

15 信号処理器

16 誤り率計測器

17 CN算出器

18 アンプ

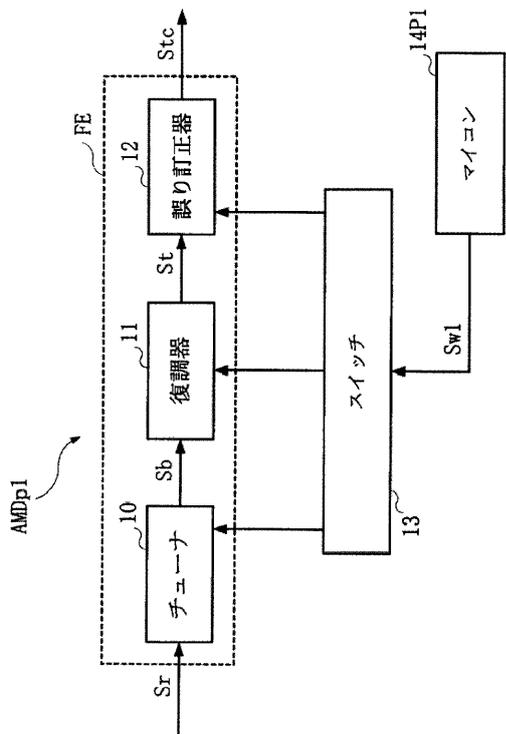
19 ミキサ

20 選局器

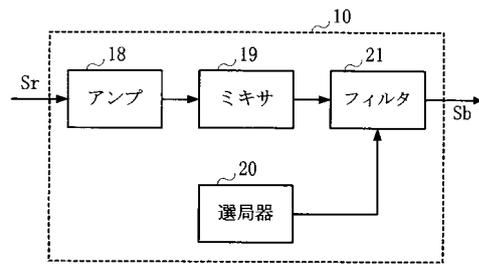
50

- 2 1 フィルタ
- 2 2 直交検波器
- 2 3 F F T 処理器
- 2 4 キャリア復調器
- 2 5 同期再生器

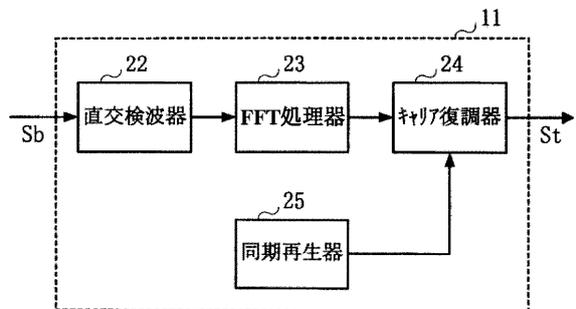
【 図 1 】



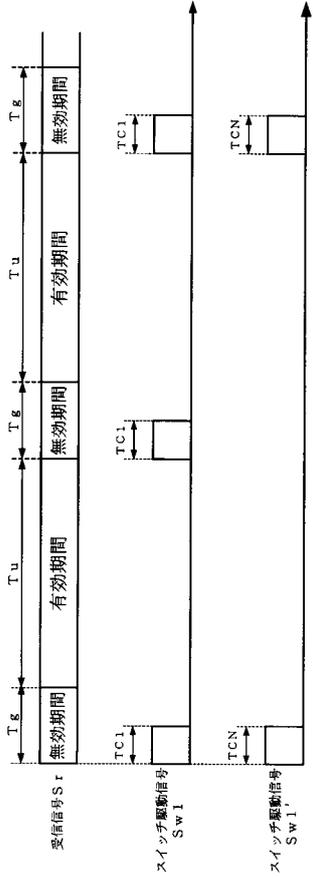
【 図 2 】



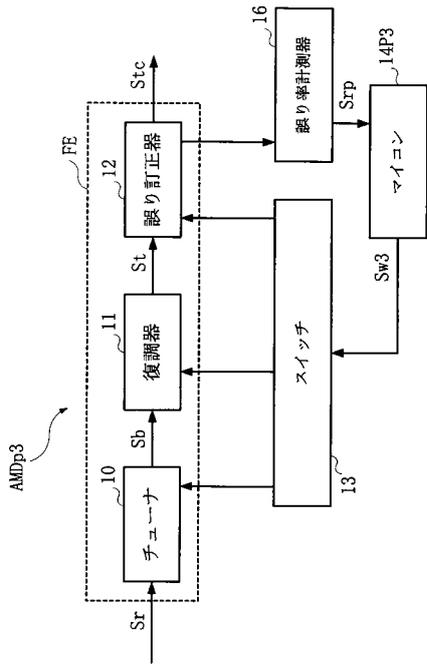
【 図 3 】



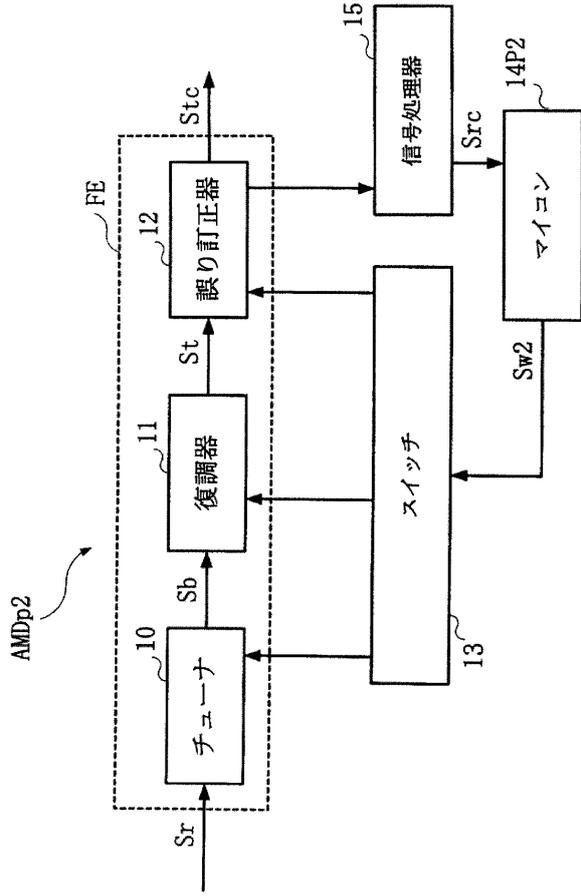
【図4】



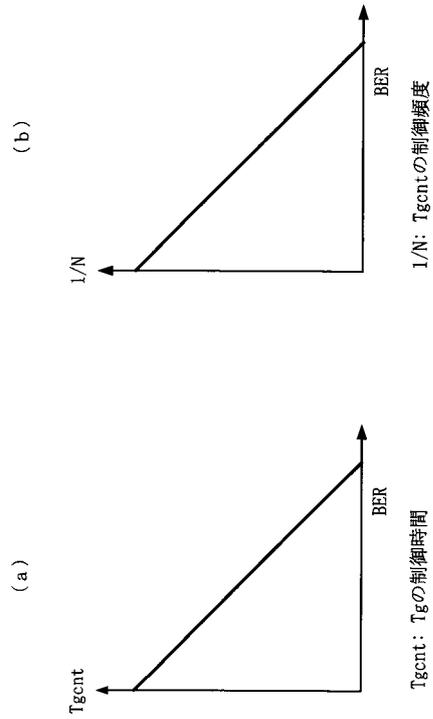
【図6】



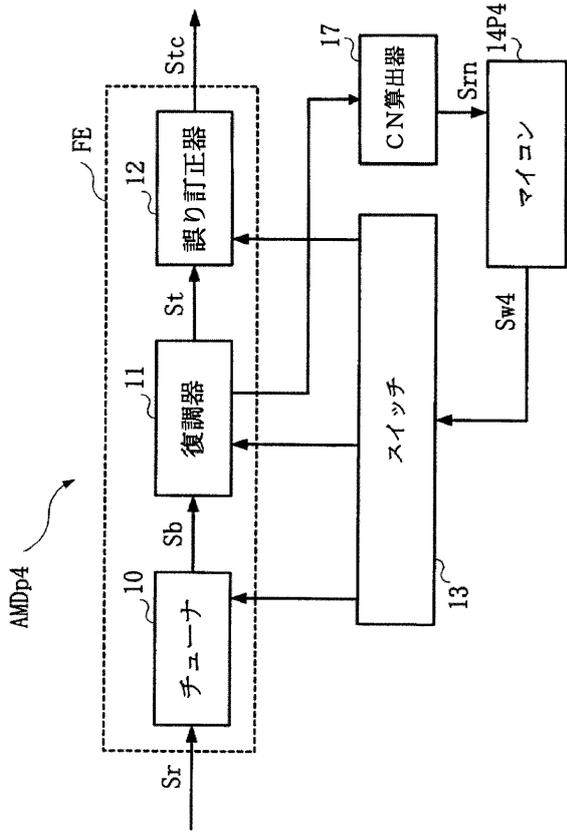
【図5】



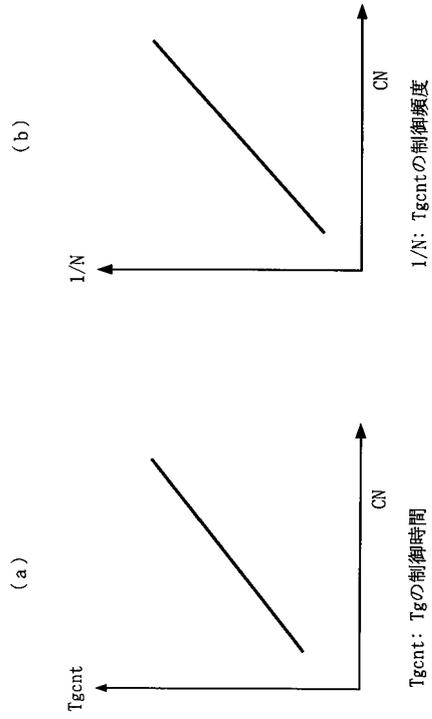
【図7】



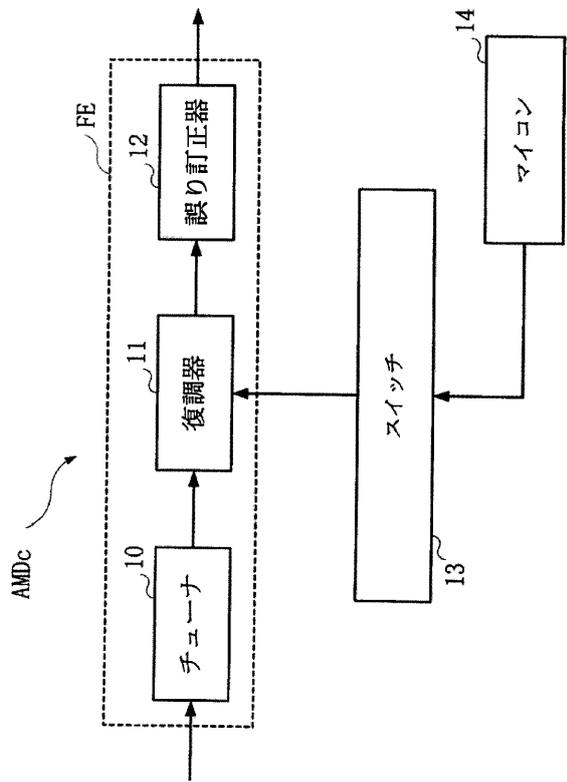
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開2000-031838(JP,A)
特開平11-346203(JP,A)
特開平11-008601(JP,A)
特開2001-69023(JP,A)
特開2000-332633(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04J 11/00