



Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes
zum Patentgesetz

ISSN 0433-6461

(11)

1567 37

Int.Cl.³

3(51) G 01 R 19/10

MIT FUER ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

1) WP G 01 R / 227 989 2 (22) 03.03.81 (44) 15.09.82

1) siehe (72)

2) SCHWAGER, PETER, DIPL.-ING.; DD;

3) siehe (72)

4) H. FISSLER, VEB ZFT MIKROELEKTRONIK, 8080 DRESDEN, KARL-MARX-STRASSE

4) SCHALTUNGSANORDNUNG ZUR DIFFERENZMESSUNG ZEITLICH NACHEINANDER ANLIEGENDER
SPANNUNGEN

7) Die erfindungsgemäße Schaltungsanordnung nach Figur 1 dient zur Messung kleiner Differenzen zeitlich
nacheinander anliegender Spannungen großer Beträge. Dabei soll unabhängig von der Speicherzeit der ersten
angelegten Spannung eine große Meßgenauigkeit erreicht werden. Die über einen ADC gewandelten Spannungswerte
können in einem Register beliebig lange gespeichert werden und stehen nach Wandlung in einem DAC in einem
analogen Wert zur Differenzbildung mit einem weiteren angelegten Spannungswert zur Verfügung. -Figur 1-

Schaltungsanordnung zur Differenzmessung zeitlich nacheinander anliegender Spannungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Messung geringer Differenzen zwischen zeitlich nacheinander anliegenden Spannungen sowie zwischen einer angelegten Spannung und einem vorgegebenen, gespeicherten Spannungswert.

Charakteristik der bekannten technischen Lösungen

Es sind Möglichkeiten bekannt, den Betrag einer Spannung mit Hilfe eines Kondensators zu speichern, um nach Anlegen einer zweiten Spannung eine Differenzbildung mit entsprechender Verstärkung vornehmen zu können.

Bei einer ersten Möglichkeit wird über einen Schalter ein gegen Masse geschalteter Kondensator auf den Wert der ersten Spannung aufgeladen. Über einen Spannungsfolger ist der Kondensator mit dem ersten Eingang einer Differenzstufe verbunden. Die zweite Spannung ist über einen zweiten Schalter mit dem zweiten Eingang der Differenzstufe verbunden. Nach Einspeichern des Spannungswertes in den Kondensator liegt dieser massebezogen an dem ersten Eingang der Differenzstufe an. Nach Öffnen des ersten Schalters und Schließen des zweiten Schalters wird die Differenz der beiden Spannungen in dem, der Differenzstufe folgenden Verstärker verstärkt.

Nachteilig ist hierbei, daß die beiden Spannungen auf getrennten Wegen der Differenzstufe zugeführt werden und daß durch die zeitliche Drift des Kondensators eine ständige Fehlerquelle gegeben ist.

Eine zweite Möglichkeit führt die beiden Spannungen auf demselben Weg dem Verstärker zu. Dabei ist ein über einen Schalter mit Masse verbundener Kondensator mit dem Spannungseingang verbunden. Die erste Spannung wird auf den mit Masse verbundenen Kondensator aufgeprägt. Nach Öffnen des Schalters, der den Massebezug realisiert, liegt die erste Spannung potentialfrei über den Kondensator an.

Durch Anlegen der zweiten Spannung ergibt sich am vorher gegen Masse geschalteten Anschluß des Kondensators die massebezogene Differenzspannung zwischen zweiter und erster Eingangsspannung.

Nachteilig ist hierbei der durch die zeitliche Drift des Kondensators entstehende, bei kurzen Zeiten zeitproportionale Fehler.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, die Genauigkeit der Messung von kleinen Differenzen zeitlich nacheinander anliegender Spannungen mit vorzugsweise großen Beträgen zu erhöhen, wobei insbesondere der zeitliche Fehler beseitigt wird.

Darlegung des Wesens der Erfindung

Die Erfindung löst die Aufgabe, die Spannungswerte zeitlich konstant zu speichern, wobei eine Fehlerkompensation zwischen gespeicherten und tatsächlichen Spannungswerten durchgeführt wird.

Merkmale der Erfindung

Die erfindungsgemäße Schaltungsanordnung weist einen Eingang auf, der mit dem ersten Eingang einer Differenzstufe verbunden ist.

Der Ausgang der Differenzstufe ist hierbei mit einem ADC (Analog-Digital-Umsetzer) verbunden, dessen Ausgang mit einem Digitalrechner und dem ersten Eingang eines Umschalters verbunden ist. Der Ausgang des Digitalrechners ist mit dem zweiten Eingang des Umschalters verbunden.

Der Ausgang des Umschalters ist über ein taktbares Register mit einem DAC (Digital-Analog-Umsetzer) verbunden, der seinerseits über einen Schalter mit dem zweiten Eingang der Differenzstufe verbunden ist.

In dieser Schaltungsanordnung wird der erste am Eingang der Schaltungsanordnung anliegende Spannungswert bei geöffnetem Schalter zwischen dem DAC und der Differenzstufe über den ADC in das Register eingetaktet und dort gespeichert.

Der im Register vorliegende Wert wird über den DAC sofort in eine entsprechende analoge Spannung umgewandelt. Am Ausgang des DAC liegt folglich die mit dem Fehler der AD-DA-Wandlung behaftete erste Eingangsspannung an.

Durch Schließen des Schalters zwischen dem DAC und der Differenzstufe liegt jetzt die fehlerbehaftete erste Eingangsspannung an dem einen und die tatsächliche erste Eingangsspannung an dem zweiten Eingang der Differenzstufe, so daß am Ausgang der Differenzstufe der absolute, für die momentanen Bedingungen charakteristische Fehler anliegt.

In Ausgestaltung der Erfindung ist die Differenzstufe ein invertierender Summierverstärker mit einstellbarer Verstärkung.

Der Wert der Differenz, die durch die AD-DA-Wandlung bedingt ist, wird entsprechend verstärkt und im Digitalrechner gespeichert.

Durch den ermittelten Fehler läßt sich dieser in der

nachfolgenden Messung kompensieren.

Wird jetzt die zweite Spannung am Eingang der Schaltungsanordnung angelegt, so wird in der Differenzstufe die Differenz zwischen dem ersten, gespeicherten und dem zweiten, zeitlich nachfolgenden Spannungswert gebildet. Die Differenzspannung wird in Abhängigkeit von ihrer Größe und dem Eingangsspannungsbereich des verwendeten ADC verstärkt und als analoger Wert oder als vom ADC gewandelter digitaler Wert genutzt.

Die digitale Speicherung des ersten Spannungswertes und des Fehlers, der durch die AD-DA-Wandlung des ersten Spannungswertes entsteht, ermöglicht eine beliebig lange Speicherzeit sowie die Eingabe beliebiger Werte in das Register und die Fehlerkompensation.

Der Digitalrechner wird hierbei zur Fehlerkompensation benötigt. Falls die fehlerbehaftete Spannungsdifferenz ausreichend ist, wird der Fehlerbetrag nicht ermittelt, wodurch der Digitalrechner entfällt.

Ausführungsbeispiel

Die Erfindung ist anhand eines Ausführungsbeispiels und einer Zeichnung näher erläutert.

In der Fig. 1 ist die gesamte Schaltungsanordnung dargestellt.

Der Eingang E ist dabei mit dem ersten Eingang einer Differenzstufe 1, als invertierender Summierverstärker 1.1 ausgebildet, verbunden.

Der Summierverstärker 1.1 führt zum analogen Ausgang A_a und zu einem Analog-Digital-Wandler (ADC) 2, der mit einem digitalen Ausgang A_d, einem Digitalrechner 3 und dem ersten Eingang eines Umschalters 4 verbunden ist. Der zweite Eingang des Umschalters 4 ist mit dem Ausgang des Digitalrechners 3 verbunden.

Der Ausgang des Umschalters 4 ist wiederum mit dem Eingang des Registers 5 verbunden.

Von Register 5 führt der Signalweg über einen DAC (Digital-Analog-Wandler) und einen Schalter 7 auf den invertierenden zweiten Eingang des Summierverstärkers 1.1. Wird an den Eingang der Schaltungsanordnung gemäß Fig. 1 bei geöffnetem Schalter 7 die erste Spannung angelegt, so wird diese über den mit der Verstärkung von eins eingestellten invertierenden Summierverstärker 1.1 an den Eingang des ADC 2 geführt, in einen äquivalenten digitalen Wert gewandelt und über den Umschalter 4 in das Register 5 getaktet. Durch die sofortige DA-Wandlung im DAC 6 liegt an dessen Ausgang die invertierte, mit dem Fehler der AD-DA-Wandlung behaftete erste Eingangsspannung an. Um den Fehler der AD-DA-Wandlung in der späteren Differenzbildung zwischen erster und zweiter Eingangsspannung eliminieren zu können, soll er zunächst in seiner bei der Differenzbildung auftretenden Größe erfaßt werden. Das geschieht derart, daß nach Schließen des Schalters 7 und Einstellen der für den gewünschten Differenzbereich erforderlichen Verstärkung im Summierverstärker 1.1 die Summe zwischen dem invertierten, fehlerbehafteten ersten Eingangswert und dem tatsächlichen ersten Eingangswert gebildet und entsprechend verstärkt wird. Am Ausgang des Summierverstärkers 1.1 liegt folglich der, entsprechend der gewählten Verstärkung verstärkte Fehler der AD-DA-Wandlung an. Dieser wird mit dem ADC 2 in einen äquivalenten digitalen Wert gewandelt und im Digitalrechner 3 gespeichert. Wird jetzt bei Beibehaltung der eingestellten Zustände die zweite Spannung an den Eingang der Schaltungsanordnung gelegt, so liegt am Ausgang des Summierverstärkers 1.1 die entsprechend der gewählten Verstärkung verstärkte Differenzspannung zwischen der ersten mit dem Fehler der AD-DA-Wandlung behafteten Eingangsspannung und der zweiten, zeitlich später an den Eingang der Schaltungsanordnung angelegten Spannung an. Nach der AD-Umsetzung im ADC 2 wird der entsprechende Digitalwert ebenfalls in den Digitalrechner eingegeben.

Durch die Subtraktion des ersten in den Digitalrechner 3 eingegebenen Wertes vom zweiten in den Digitalrechner 3 eingegebenen Wert fällt der verstärkte Fehler der AD-DA-Umsetzung aus der verstärkten Differenz zwischen der ersten und zweiten Eingangsspannung heraus.

Nach einer Division durch den im Summierverstärker 1.1 eingestellten Verstärkungsfaktor liegt das Ergebnis, die gewünschte Differenz zwischen erster und zweiter, zeitlich beliebig später angelegter Eingangsspannung, vor.

Für spezielle Probleme kann statt des ersten am Eingang der Schaltungsanordnung anliegenden, mit dem Summierverstärker 1.1 invertierten und über den Umschalter 4 in das Register 5 eingetakteten Spannungswert auch ein aus dem Digitalrechner 3, mit entsprechender Polarität anliegender Spannungswert über den Umschalter 4 in das Register 5 getaktet und zu einer Differenzbildung mit einer Eingangsspannung der Schaltungsanordnung herangezogen werden.

Erfindungsanspruch

1. Schaltungsanordnung zur Messung von Differenzen zwischen zeitlich nacheinander anliegenden Spannungen, gekennzeichnet dadurch, daß der Ausgang einer Differenzstufe (1), deren erster Eingang der Eingang der Schaltungsanordnung ist, mit einem ADC (2) verbunden ist, daß der Ausgang des ADC (2) mit einem Digitalrechner (3) und dem ersten Eingang eines Umschalters (4) verbunden ist, daß der Ausgang des Digitalrechners (3) mit dem zweiten Eingang des Umschalters (4) verbunden ist, daß der Ausgang des Umschalters (4) über ein taktbares Register (5) mit einem DAC (6) verbunden ist und daß der DAC (6) mit dem zweiten Eingang der Differenzstufe (1) über einen Schalter (7) verbunden ist.
2. Schaltungsanordnung nach Punkt 1, gekennzeichnet dadurch, daß die Differenzstufe (1) ein invertierender Summierverstärker (1.1) ist.

Hierzu 1 Seite Zeichnungen

