(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0197767
(24) 등록일자 1999년02월25일

(21) 출원번호 10-1996-0009093
(22) 출원일자 1996년03월29일
(65) 공개번호 특1996-0035661
(43) 공개일자 1996년10월24일

(30) 우선권주장 95-071368 1995년03월29일 일본(JP)
96-057533 1996년03월14일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 니시가와 메이세이
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호가부시키가이샤 도시바 반도체시스템 기술센터내
(74) 대리인 김윤배, 이세진

심사관 : 이철희

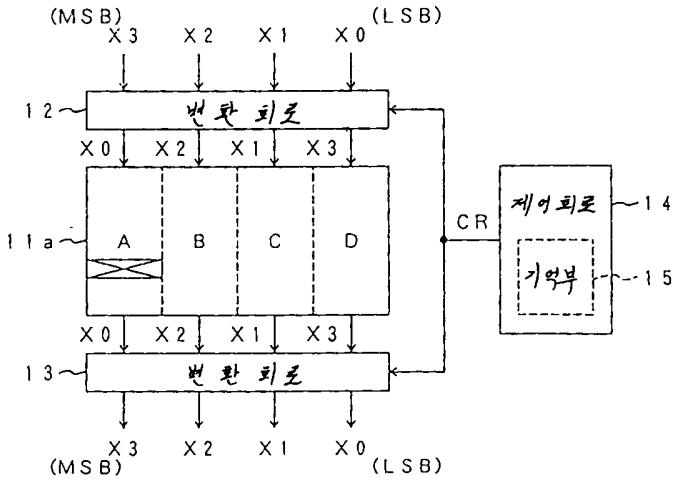
(54) 데이터를 기록 또는 독출하기 위한 장치 및 방법

요약

본 발명은 기억부의 결함을 구제시키지 않고, 데이터를 오류에 의한 영향을 최소한으로 한다.

서로 다른 무게를 갖는 복수비트(X3~X0)는 변환회로(12)에 입력된다. 변환회로(12)는 RAM(11a)에 결함부분이 있는 경우, 그 결함부분에 가장 무게가 작은 비트(LSB)가 기록되도록 복수비트(X3~X0)를 변환한다. 변환회로(13)는 RAM(11a)에서 독출된 복수비트(X3~X0)가 올바른 순번으로 되도록 다시 복수비트(X3~X0)를 변환한다. 제어회로(14)는 기억부(15)에 기억된 결함부분에 관한 정보에 기초하여 변환회로(12,13)의 동작을 제어한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 메모리장치의 개념을 나타낸 블록도.

제2도는 본 발명의 제1실시의 형태에 관한 메모리장치를 나타낸 블록도.

제3도는 제2도의 변환회로(12)의 구성을 나타낸 도면.

제4도는 제2도의 변환회로(13)의 구성을 나타낸 도면.

제5도는 본 발명의 제1실시의 형태에 관한 메모리장치를 나타낸 블록도.

제6도는 제3도 및 제4도의 셀렉터의 구성을 나타낸 도면.

제7도는 본 발명의 제2실시의 형태에 관한 메모리장치를 나타낸 블록도.

제8도는 제7도의 변환회로의 구성을 나타낸 도면.

제9도는 제7도의 변환 제어신호 발생회로(18)의 구성을 나타낸 도면.

제10도는 제9도의 디코더(21)를 나타낸 회로도.

제11도는 본 발명의 제3실시의 형태에 관한 메모리장치를 나타낸 블록도.

제12도는 본 발명의 제4실시의 형태에 관한 메모리장치를 나타낸 블록도.

제13도는 변환회로에 시프트레지스터를 이용한 예를 나타낸 도면.

제14도는 제13도의 시프트레지스터의 동작을 나타낸 도면.

제15도는 본 발명의 제5실시의 형태에 관한 메모리장치를 나타낸 블록도.

제16도는 본 발명에 있어서의 데이터의 오차를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

11,15,15a,15b : 기억부 11a : RAM

12,13 : 변환회로 14 : 제어회로

16 : 에러패턴 선택신호 생성회로 17 : 셀렉터

18 : 변환 제어신호 생성회로 19 : 어드레스 디코더

20 : 래치회로 21 : 디코더

22,23 : 시프트레지스터 S7～S0, S3'～S0' : 셀렉터

CI1～CI10 : 클럭드인버터 NOR : 노아게이트

I0～I7 : 인버터 N1～N11 : 낸드게이트

A1～A3 : 앤드게이트

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 정보를 기억하는 미디어에 관한 것이다.

[종래의 기술 및 그 문제점]

종래, 반도체 메모리는 리던던시(용장)회로를 구비하고 있다. 이 리던던시회로는 결함을 갖춘 메모리셀을 예비의 메모리셀로 바꾸는 기능을 갖추고 있다. 따라서, 메모리셀의 일부에 결함이 있어도 데이터의 오류를 방지할 수 있다.

그러나, 예비의 메모리셀의 수(열 또는 행)에는 가격이나 구제효율 면에서 제한이 있다. 따라서, 결함을 갖는 메모리셀의 수가 예비의 메모리셀의 수(열 또는 행)를 초과하면, 그 초과분에 대해서는 구제할 수 없다.

또한, 종래 하드디스크는 결함셀을 포함하는 경우 결함셀을 포함하는 섹터를 회피하여 정보를 기록하고 있다. 따라서, 하드디스크의 기억용량이 실질적으로 감소해 버린다.

이와 같이, 종래 반도체 메모리에 있어서는 결함을 갖는 메모리셀의 수가 예비의 메모리셀의 수(열 또는 행)를 초과하면, 그 초과분에 대해서는 구제할 수 없다는 결점이 있다. 또한, 하드디스크에 있어서는 결함셀을 포함하는 섹터를 회피하여 기록하기 때문에, 하드디스크의 기억용량이 실질적으로 감소하는 결점이 있다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, RAM, ROM 등의 반도체 메모리에 있어서는 결함을 갖는 메모리셀을 구제하지 않아도 데이터의 오류에 의한 영향을 최소한으로 억제할 수 있으며, HD(하드디스크), FD(플로피디스크), CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크), MT(자기테이프)등의 기록매체에 있어서는 결함을 갖는 섹터를 갖추고 있어도 데이터의 오류에 의한 영향을 최소한으로 억제할 수 있는 데이터를 기록 또는 독출하기 위한 장치 및 방법을 제공함에 그 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명의 메모리장치는, 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 것이고, 복수의 영역을 갖춘 기억수단과, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함이 있는 경우에 상기 복수비트를 변환하는 제1변환수단 및 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 제1영역에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 메모리장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 것이고, 복수의 영역을 갖추고 각각의 영역이 복수의 부분으로 구성되는 기억수단과, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스수단, 상기 복수의 영영 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환수단 및, 상기 제1비트의 무게보다도 작은 무게를

갖는 제2비트가 상기 제1영역의 상기 결함부분에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 메모리장치는 더욱이, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단을 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트를 바른 위치로 되돌리도록 상기 제2변화수단을 제어한다.

상기 제2비트는 LSB인 것이 좋다.

상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어한다.

상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 상기 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역의 상기 결함부분에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어한다.

상기 제1 및 제2변환수단은 예컨대, 복수의 셀렉터로 구성된다. 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트가 상기 제1영역에 기록되도록 상기 시프트레지스터를 제어한다.

상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘다. 또한 상기 제어수단은 상기 제1 및 제2영역에 관한 정보를 기억해 두는 기억부를 갖춘다.

상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역의 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트가 상기 제1영역의 상기 결함부분에 기억되도록 상기 제1변환수단을 제어한다.

상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역이다.

본 발명의 메모리장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 것이고, 복수의 영역을 갖춘 기억수단과, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환하는 제1변환수단 및 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 서로 연속하는 2이상의 비트로 구성되는 제2비트군이 상기 제1영역에 기록되고, 상기 제1비트군이 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변화수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 메모리장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 것이고, 복수의 영역을 갖추고, 각각의 영역이 복수의 부분으로 구성되는 기억수단과, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환수단 및 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제2비트군이 상기 제1영역의 상기 결함부분에 기록되며, 상기 제1비트군이 상기 제1영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 메모리장치는 더욱이, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트군을 바른 위치로 되돌리도록 상기 제2변환수단을 제어한다.

상기 제2비트군은 LSB를 포함하고 있는 것이 좋다.

상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제4비트군이 상기 제2영역에 기록되고, 상기 제3비트군이 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변화수단을 제어한다.

상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제4비트군이 상기 제2영역의 상기 결함부분에 기록되고, 상기 제3비트군이 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어한다.

상기 제1 및 제2변환수단은 예컨대, 복수의 셀렉터로 구성된다. 또한, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트군이 상기 제1영역에 기록되도록 상기 시프트레지스터를 제어한다.

상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘다.

상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트군이 상기 결함부분에 기억되도록 상기 제1변환수단을 제어한다.

상기 기억수단의 사이 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역이다.

본 발명의 장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 것이고, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부가 있는 경우에 상기 복수비트를 변환하는 제1변환수단과, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 제1영역에 기록되고, 상기 제1비트가 상기 제1영역이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 것이고, 상기 복수비트가 기억되어있는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단과, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환수단 및, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 제1영역의 상기 결함부분에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 장치는 더욱이, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트가 바른 위치로 되돌리도록 상기 제2변환수단을 제어한다.

상기 제2비트는 LSB인 것이 좋다.

상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어한다.

상기 복수의 영역내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역의 상기 결함부분에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 부분에 기록되도록 상기 제1변환수단을 제어한다.

상기 제1 및 제2변환수단은 예컨대, 복수의 셀렉터로 구성된다. 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트가 상기 제1영역에 기록되도록 상기 시프트레지스터를 제어한다.

상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘다. 상기 제어수단은 상기 제1 및 제2영역에 관한 정보를 기억해 두는 기억부를 갖춘다.

상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역의 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트가 상기 제1영역의 상기 결함부분에 기억되도록 상기 제1변환수단을 제어한다.

상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역이다.

본 발명의 장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 것이고, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2 이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환하는 제1변환수단과, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2 이상의 비트로 구성되는 제2비트군이 상기 제1영역에 기록되며, 상기 제1비트군이 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 장치는 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 것이고, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단과, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2 이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환수단 및, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2 이상의 비트로 구성되는 제2비트군이 상기 제1영역의 상기 결함부분에 기록되며, 상기 제1비트군이 상기 제1영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하고 있다.

본 발명의 장치는 더욱이, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트군이 바른 위치로 되돌리도록 상기 제2변환수단을 제어한다.

상기 제2비트군은 LSB를 포함하고 있는 것이 좋다.

상기 복수의 영역 내, 상기 복수비트의 서로에 연속하는 2 이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에 상기 제어수단은 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2 이상의 비트로 구성되는 제4비트군이 상기 제2영역에 기록되며, 상기 제3비트군이 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어한다.

상기 복수의 영역 내, 상기 복수비트의 서로에 연속하는 2 이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2 이상의 비트로 구성되는 제4비트군이 상기 제2영역의 상기 결함부분에 기록되며, 상기 제3비트군이 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어한다.

상기 제1 및 제2변환수단은 예컨대, 복수의 셀렉터로 구성된다. 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트군이 상기 제1영역에 기록되도록 상기 시프트레지스터를 제어한다.

상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘다. 상기 제어수단은 상기 제1 및 제2 영역에 관한 정보를 기억해두는 기억부를 갖춘다.

상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트군이 상기 결함부분에 기억되도록 상기 제1변환수단을 제어한다.

상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역이다.

본 발명의 방법은 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 것이고, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트를 상기 제1영역에 기록하고, 상기 제1비트를 상기 제1영역 이외의 다른 영역에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하여 상기 제1 및 제2비트를 바른 위치로 되돌린다는 일련의 공정으로 구성된다.

상기 제1영역에는 LSB가 기록되는 것이 좋다.

본 발명의 방법은 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 것이고, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 공급하고, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트를 상기 제1영역의 상기 결함부분에 기록하고, 상기 제1비트를 상기 제1영역 이외의 다른 영역의 부분에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하여 상기 제1 및 제2비트를 바른 위치로 되돌린다는 일련의 공정으로 구성된다.

상기 제1영역의 상기 결함부분에는 LSB가 기록되는 것이 좋다.

본 발명의 방법은 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한것이고, 상기 복수의 영역내, 상기 복수비트의 서로 연속하는 2 이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 2 이상의 비트로부터 구성되는 제2비트군을 상기 제1영역에 기록하고, 상기 제1비트군을 상기 제1영역 이외의 다른 영역에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하여 상기 제1 및 제2비트를 바른 위치로 되돌린다는 일련의 공정으로 구성된다.

상기 제2비트군은 LSB를 포함하는 것이 좋다.

본 발명의 방법은 각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 것이고, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 공급하고, 상기 복수의 영역 내, 상기 복수비트의 서로에 연속하는 2 이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 2 이상의 비트로 구성되는 제2비트군을 상기 제1영역의 상기 결함부분에 기록하고, 상기 제1비트군을 상기 제1영역 이외의 다른 영역의 부분에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하여 상기 제1 및 제2비트를 바른 위치로 되돌린다는 일련의 공정으로 구성된다.

상기 제1비트군은 LSB가 포함되는 것이 좋다.

본 발명의 장치는 각각 다른 무게를 갖는 복수비트의 내, 적어도 제1비트가 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 기억수단의 상기 결함부분에 기억되어 있는 경우에 상기 기억수단으로부터 상기 복수비트를 독출하기 위한 것이고, 상기 기억수단으로부터 상기 복수비트를 독출하는 수단과, 상기 복수비트를 변환하는 상기 제1 및 제2비트를 바른 위치로 되돌리는 수단을 구비하고 있다.

본 발명의 장치는 각각 다른 무게를 갖는 복수비트의 내, 연속하는 2 이상의 비트로 구성되는 제1비트군이 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 연속하는 2 이상의 비트로 구성되는 제2비트군이 상기 기억수단의 상기 결함부분에 기억되어 있는 경우에 상기 기억수단으로부터 상기 복수비트를 독출하기 위한 것이고, 상기 기억수단으로부터 상기 복수비트를 독출하는 수단과, 상기 복수비트를 변환하고, 상기 제1 및 제2비트군을 구성하는 각 비트를 바른 위치로 되돌리는 수단을 구비하고 있다.

본 발명의 방법은 각각 다른 무게를 갖는 복수비트의 내, 적어도 제1비트 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 기억수단의 상기 결함부분에 기억되어 있는 경우에 상기 기억수단으로부터 상기 복수비트를 독출하기 위한것이고, 상기 기억수단으로부터 상기 복수비트를 독출하고, 상기 복수비트를 변환하고, 상기 제1 및 제2비트를 바른 위치로 되돌린다는 일련의 공정으로 구성된다.

본 발명의 방법은 각각 다른 무게를 갖는 복수비트의 내, 연속하는 2 이상의 비트로 구성되는 제1비트군

이 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 연속하는 2 이상의 비트로 구성되는 제2비트군이 상기 기억수단의 상기 결함부분에 기억되어 있는 경우에 상기 기억수단으로부터 상기 복수비트를 독출한 것이고, 상기 기억수단으로부터 상기 복수비트를 독출하고, 상기 복수비트를 변환하며, 상기 제1 및 제2비트군을 구성하는 각 비트를 바른 위치로 되돌린다는 일련의 공정으로 구성된다.

상기 구성을 갖는 장치 및 방법에 의하면, RAM, 재기록 가능한 ROM 등의 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, 광자기디스크, 상변화재기록형 디스크 및 자기테이프 등의 기억매체의 일부에 결함이 있는 경우에도 변환회로에 의해 LSB(최하위 비트)가 결함부분에 기억되도록 복수비트의 데이터(화상데이터나 음악데이터 등)의 각 비트를 변환하고 있다.

따라서, 기억부의 결함부분에 기억되는 데이터는 본래의 데이터와는 다르지만, 결함부분에 기억되는 데이터와 본래의 데이터의 오차는 최소한으로 억제되어 있다. 또한, 이 정도의 오차는 인간의 시각 또는 청각으로 인식할 수 있기 때문에, 화상데이터나 음악데이터의 재생등에 있어서 부적합한 것은 아니다.

또한, 결함부분을 갖춘 메모리셀을 구제 또는 결함부분을 갖춘 섹터를 회피하기 위한 회로가 불필요하기 때문에 회로규모를 작게 할 수 있다.

이와 같이, 본 발명은 인간의 시각 또는 청각에 관한 화상데이터나 음악데이터 등의 데이터를 기억하는 경우에 있어서, 결함부분을 구제 또는 회피하는 것은 아니고, 데이터의 변환을 행함으로써 메모리셀 또는 섹터의 결함에 의한 영향을 최소한으로 억제하는 것이다.

[실시예]

이하, 예시도면을 참조하면서 본 발명의 독출·기록장치 및 이를 이용한 메모리장치 및, 독출·기록방법에 대하여 상세히 설명한다.

제1도는 기억부이다. 기억부(11)는 예컨데, ROM이나 RAM이라는 반도체메모리, HD(하드디스크), FD(플로피디스크), CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화형재기록 디스크), MT(자기테이프) 등의 기록매체로 구성되어 있다.

12 및 13은 변환회로이다. 변환회로(12)는 비트마다 다른 무게가 부가되는 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환하여 기억부(11)에 기억하는 기능을 갖춘다. 변환회로(13)는 기억부(11)에서 독출된 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환하여 출력하는 기능을 갖는다.

14는 제어회로이다. 제어회로(14)는 변환 제어신호(CR)를 변환회로(12, 13)에 주고, 변환회로(12,13)에 있어서의 각 비트의 변환을 제어한다.

더욱이, 본 발명의 독출, 기록장치는 변환회로(12, 13) 및 제어회로(14)로 구성되고, 본 발명의 메모리장치는 본 발명의 독출·기록장치의 기억부(11)를 더한 것으로 구성된다.

반도체 메모리의 경우 예컨대, 변환회로(12, 13) 및 제어회로(14)는 기억부(11: 반도체 메모리)가 형성되는 반도체칩과는 별개로 1개 또는 그 이상의 반도체칩에 형성된다. 다만, 기억부(11), 변환회로(12, 13) 및 제어회로(14)를 1개의 반도체칩 중에 형성하도록 해도 된다.

HD, FD, CD-RAM, SD-RAM, MO, PD 및 MT 등의 기록매체의 경우 에컨대, 변환회로(12, 13) 및 제어회로(14)는 이 기록메체의 드라이브장치 내에 형성된다. 이 경우, 변환회로(12, 13) 및 제어회로(14)는 1개 또는 그 이상의 반도체칩으로 형성된다.

일반적으로, 오디오나 비디오 등의 인간의 시각이나 청각에 작용하는 기기에 있어서는 화상데이터 또는 음악데이터의 1비트 또는 복수비트의 오류가 있어도 그 오류가 인간의 시각 또는 청각에 관여되지 않는 경우가 있다. 즉, 이와 같은 인간의 시각 또는 청각에 관한 화상데이터 또는 음악데이터 등에 대해서는 어느 정도의 오류를 허용해도 된다는 것이다.

본 발명은 이와 같은 인간의 시각 또는 청각에 관한 화상데이터 또는 음악데이터 등을 기억하는 메모리회로에 있어서, 결함을 갖는 메모리셀을 구제 또는 결함을 갖는 섹터를 회피하기 위한 것 뿐만 아니라 데이터의 변환을 행함으로써 메모리셀 또는 섹터의 결함에 의한 영향을 최소한으로 억제하려는 것이다.

결국, RAM, ROM, FD 및 HD 등의 기억부(11)의 일부에 결함이 있는 경우 예컨대, 변환회로(12)는 LSB(최하위 비트)가 결함영역에 기억되도록 화상데이터 4 음악데이터 등을 나타내는 각 비트를 변환한다.

따라서, 본래의 LSB의 기록이 예정되어 있는 영역에 결함이 있는 경우에는 각 비트를 변환할 필요는 없지만, LSB 이외의 비트 예컨대, MSB(최상위의 비트)의 기록이 예정되어 있는 영역에 결함이 있는 경우에는 LSB가 그 결함영역에 기억되도록 각 비트를 변환한다.

제2도는 본 발명의 제1실시의 형태에 관한 메모리장치를 나타낸 것이다.

이 메모리장치는 반도체 메모리(RAM)에 관한 것이다. 더욱이, 예컨대 디지털 오디오에서는 음악데이터가 16비트로 나타내지만, 이하에서는 설명을 간단하게 하기 위하여 4비트의 경우에 대하여 설명한다.

우선, 이 메모리장치의 구성에 대하여 설명한다.

RAM(11a)은 행렬상태로 형성된 복수의 메모리셀로 이루어진 기억부를 갖추고 있다. 더욱이, 기억부의 주변회로는 생략하고 있다.

RAM(11a)의 기억부는 예컨대, 행방향으로 4등분되고, 영역(A~D)이 구성되어 있다. 변환회로(12)는 비트마다 다른 무게가 부가되는 화상데이터 또는 음악데이터 등을 나타내는 각 비트를 변환하여 RAM(11a)에 인가한다. 또한, 변환회로(13)는 RAM(11a)에서 독출된 화상데이터 또는 음악데이터 등을 나타내는 각 비트를 옳바르게 변환한다.

제어회로(14)는 기억부(15: 예컨대, ROM)를 구비하고 있다. 제어회로(14)는 기억부(15)에 기억된 데이터

에 기초하여 변환회로(12, 13)로 변환되는 제어신호(CR)를 인가하고, 변환회로(12, 13)에 있어서의 각 비트의 변환을 제어한다.

제3도는 제2도의 변환회로(12)의 일예를 나타낸 것이다. 제4도는 제2도의 변환회로(13)의 일예를 나타낸 것이다.

변환회로(12)는 4개의 셀렉터(S0~S3)에서 구성되고, 변환회로(13)는 4개의 셀렉터(S0'~S3')에서 구성되어 있다.

변환회로(12)의 각 셀렉터(S0~S3)에는 변환 제어신호(CR) 및 화상데이터 또는 음악데이터 등을 나타내는 4비트데이터(X3~W0)가 입력된다. 각 셀렉터(S0~S3)는 표 1에 나타낸 바와 같이, 변환 제어신호(CR)에 기초하여 소정 비트의 데이터로 선택하고, 이 선택된 1비트의 데이터를 출력한다.

변환회로(13)의 각 셀렉터(S3'~S0')에는 변환 제어신호(CR) 및 메모리부의 4비트의 출력데이터(X3~X0)가 입력된다. 각 셀렉터(S3'~S0')는 표 2에 나타낸 바와 같이, 변환 제어신호(CR)에 기초하여 소정의 1비트의 데이터를 선택하고, 이 선택된 1비트의 데이터를 출력한다.

[표 1]

제어신호 (에러패턴 E3, E2, E1, E0)		0 0 0 0	0 0 0 1	0 0 1 0	0 1 0 0	1 0 0 0
입	력	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0
선 택 되 는 신 호	셀렉터S3	X3	X3	X3	X3	X0
	셀렉터S2	X2	X2	X2	X0	X2
	셀렉터S1	X1	X1	X0	X1	X1
	셀렉터S0	X0	X0	X1	X2	X3
출	력	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X0, X1	X3, X0, X1, X2	X0, X2, X1, X3

[표 2]

제어신호 (에러패턴 E3, E2, E1, E0)		0 0 0 0	0 0 0 1	0 0 1 0	0 1 0 0	1 0 0 0
입	력	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X0, X1	X3, X0, X1, X2	X0, X2, X1, X3
선 택 되 는 신 호	셀렉터S3'	X3	X3	X3	X3	X3
	셀렉터S2'	X2	X2	X2	X2	X2
	셀렉터S1'	X1	X1	X1	X1	X1
	셀렉터S0'	X0	X0	X0	X0	X0
출	력	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0

다음에, 이 메모리장치의 동작에 대하여 설명한다.

우선, 제조시나 시스템의 기동시에 있어서 RAM(11a)에 대하여 데이터의 기록 및 독출하는 시험을 행하고, 화상데이터 또는 음악데이터가 기록되거나 또는 오기록 되버리는 것과 같은 결함을 갖는 메모리셀이 RAM(11a)에 존재하지 안하는지를 검사한다.

또한, 결함을 갖는 메모리셀이 RAM(11a)에 존재하는 경우에는 그 결함을 갖는 메모리셀이 RAM(11a)의 어느 영역에 존재하는가를 확인한다. 메모리셀 결함에 관한 데이터는 제어회로(14)의 기억부(15)에 기억된다.

제어회로(14)는 화상데이터 또는 음악데이터의 기억시, 기어부(15)의 정보에 기초하여 변환회로(12)에 변환 제어신호(CR)를 인가한다. 이 변환 제어신호(CR)는 예컨대, 4비트로 나타내고, 화상데이터 또는 음악데이터의 각 비트의 배치를 결정한다.

변환회로(12)의 각 셀렉터(S0~S3)는 표 1에 나타낸 바와 같이, 이 제어신호(CR)를 받으면 화상데이터 또는 음악데이터를 나타내는 4비트 내의 소정의 1비트를 선택하고 출력한다.

이 때, 결함을 갖는 메모리셀이 MSB 등의 상위비트(큰 무게를 갖는 비트)를 기억하는 영역에 존재하는 경우에는 제어회로(14)는 해당영역에 LSB 등의 하위비트(작은 무게를 갖는 비트)가 기억되도록 변환회로

(12)에 제어신호(CR)를 인가한다.

예컨대, RAM(11a)의 영역(A)에 결함을 갖는 메모리셀이 존재하는 경우 제어회로(14)는 제어신호(CR)로서 1, 0, 0, 0을 변환회로(12)의 각 셀렉터(S3~S0)에 인가한다. 그 결과, 셀렉터(S3)는 비트(X0)를 선택, 셀렉터(S2)는 비트(X2)를 선택하고, 셀렉터(S1)은 비트(X1)를 선택하여, 셀렉터(S0)는 비트(X3)를 선택한다.

따라서, 화상데이터 또는 음악데이터의 4비트는 X3(MSB), X2, X1, X0(LSB)에서 X0(LSB), X2, X1, X3(MSB)으로 변환된다. 결국, 비트(X0)가 영역(A)의 메모리셀에 기록되는 것으로 된다.

또한, RAM(11a)의 영역(A)에 결함을 갖는 메모리셀이 존재하는 경우, 제어회로(14)는 제어신호(CR)로서 1, 0, 0, 0을 변환회로(13)의 각 셀렉터(S3'~S0')에 인가한다. 그 결과, 셀렉터(S3')는 비트(X3)를 선택하고, 셀렉터(S2)는 비트(X2)를 선택하고, 셀렉터(S1)는 비트(X1)를 선택하며, 셀렉터(S0)는 비트(X0)를 선택한다.

따라서, RAM(11a)에서 출력되는 화상데이터 또는 음악데이터의 4비트는 X0(LSB), X2, X1, X3(MSB)에서 X3(MSB), X2, X1, X0(LSB)으로 변환된다.

더욱이, 제어신호(CR)는 결함을 갖는 영역을 나타내는 에러패턴이다. 즉, 0, 0, 0, 0의 경우는 결함이 없고, 1, 0, 0, 0의 경우는 영역(A)에 결함이 있고, 0, 1, 0, 0의 경우는 영역(B)에 결함이 있고, 0, 0, 1, 0의 경우는 영역(C)에 결함이 있으며, 0, 0, 0, 1의 경우에는 영역(D)에 결함이 있는 것을 나타내고 있다.

제5도는 RAM(11a)의 4개의 영역 내 1개 이상의 영역에 결함이 있는 경우를 나타내고 있다.

이 경우도, 메모리셀의 결함에 관한 데이터는 제어회로(14)의 기억부(15)에 기억된다. 그리고, RAM(11a)의 4개의 영역 내 1개 이상의 영역에 결함이 있는 경우에는 변환회로(12)는 표 3에 나타낸 바와 같이, 제어신호(CR: 에러패턴(E3~E0))에 의해 제어되고, 변환회로(13)는 표 4에 나타낸 바와 같이 제어신호(CR: 에러패턴(E3~E0))에 의해 제어된다.

[표 3]

에러패턴	입 력	에러패턴	입 력	에러패턴	입 력	에러패턴	입 력
E3, E2, E1, E0	출 력	E3, E2, E1, E0	출 력	E3, E2, E1, E0	출 력	E3, E2, E1, E0	출 력
0 0 0 0	X3X2X1X0	0 1 0 0	X3X2X1X0	1 0 0 0	X3X2X1X0	1 1 0 0	X3X2X1X0
	X3X2X1X0		X3X0X1X2		X0X2X1X3		X0X1X2X3
0 0 0 1	X3X2X1X0	0 1 0 1	X3X2X1X0	1 0 0 1	X3X2X1X0	1 1 0 1	X3X2X1X0
	X3X2X1X0		X3X1X2X0		X1X2X3X0		X1X2X3X0
0 0 1 0	X3X2X1X0	0 1 1 0	X3X2X1X0	1 0 1 0	X3X2X1X0	1 1 1 0	X3X2X1X0
	X3X2X1X0		X3X0X1X2		X0X2X1X3		X0X2X1X3
0 0 1 1	X3X2X1X0	0 1 1 1	X3X2X1X0	1 0 1 1	X3X2X1X0	1 1 1 1	X3X2X1X0
	X3X2X1X0		X3X2X1X0		X2X3X1X0		X3X2X1X0

[표 4]

에러패턴	입 력	에러패턴	입 력	에러패턴	입 력	에러패턴	입 력
E3, E2, E1, E0	출 력	E3, E2, E1, E0	출 력	E3, E2, E1, E0	출 력	E3, E2, E1, E0	출 력
0 0 0 0	X3X2X1X0	0 1 0 0	X3X0X1X2	1 0 0 0	X0X2X1X3	1 1 0 0	X0X1X2X3
	X3X2X1X0		X3X2X1X0		X3X2X1X0		X3X2X1X0
0 0 0 1	X3X2X1X0	0 1 0 1	X3X1X2X0	1 0 0 1	X1X2X3X0	1 1 0 1	X1X2X3X0
	X3X2X1X0		X3X2X1X0		X3X2X1X0		X3X2X1X0
0 0 1 0	X3X2X1X0	0 1 1 0	X3X0X1X2	1 0 1 0	X0X2X1X3	1 1 1 0	X0X2X1X3
	X3X2X1X0		X3X2X1X0		X3X2X1X0		X0X2X1X3
0 0 1 1	X3X2X1X0	0 1 1 1	X3X2X1X0	1 0 1 1	X2X3X1X0	1 1 1 1	X3X2X1X0
	X3X2X1X0		X3X2X1X0		X3X2X1X0		X3X2X1X0

예컨대, RAM(11a)의 영역(A) 및 영역(B)에 각각 결함을 갖는 메모리셀이 존재하는 경우 제어회로(14)는

제어신호(CR)로서 1, 1, 0, 0을 변환회로(12)의 각 셀렉터(S3~S0)에 인가한다. 그 결과, 셀렉터(S3)는 비트(X0)를 선택, 셀렉터(S2)는 비트(X1)를 선택하고, 셀렉터(S1)는 비트(X2)를 선택하며, 셀렉터(S0)는 비트(X3)를 선택한다.

따라서, 화상데이터 또는 음악데이터의 4비트는 X3(MSB), X2, X1, X0(LSB)에서 X1, X2, X3(MSB)으로 변환된다. 결국, 비트(X0)가 영역(A)의 메모리셀에 기록되고, 비트(X1)가 영역(B)의 메모리셀에 기록되는 것으로 된다.

또한, RAM(11a)의 영역(A) 및 영역(B)에 각각 결함을 갖는 메모리셀이 존재하는 경우, 제어회로(14)는 제어신호(CR)로서 1, 1, 0, 0을 변환회로(13)의 각 셀렉터(S3'~S0')에 인가한다. 그 결과, 셀렉터(3')는 비트(X3)를 선택, 셀렉터(S2)는 비트(X2)를 선택하고, 셀렉터(S1)는 비트(X1)를 선택하며, 셀렉터(S0)는 비트(X0)를 선택한다.

따라서, RAM(11a)에서 출력되는 화상데이터 또는 음악데이터의 4비트는 X0(LSB), X1, X2, X3(MSB)에서 X3(MSB), X2, X1, X0(LSB)으로 변환된다.

제6도는 제3도의 셀렉터(S3~S0)의 회로구성의 일예를 나타낸 것이다.

이 셀렉터의 회로구성은 RAM(11a)의 4개의 영역(A~D) 내 1개의 영역에만 결함이 있는 경우에 이용된다.

더욱이, CI1~CI10은 클럭드인버터, NOR는 노아게이트이고 E3~E1은 에러패턴을 나타내고 있다.

상기 제1실시예의 형태에서는 1개의 영역에 1개에서도 결함을 갖는 메모리셀이 존재하는 경우에는 그 영역에는 무게가 작은 비트 예컨대, LSB가 기억되도록 구성하고 있다.

즉, 영역(A)에 있어서 결함을 갖는 메모리셀이 선택된 경우에는 영역(A)의 메모리셀에는 영역(A)에 기억되는 것이 예정되어 있는 비트(MSB)에 대하여 해당 비트의 무게보다도 작은 무게를 갖는 비트 예컨대, LSB가 기억된다.

따라서, 결함을 갖는 메모리셀을 구제하지 않아도 데이터의 오류에 의한 영향을 최소한으로 억제할 수 있다.

그런데, 상기 제1실시의 형태에서는 영역(A)에 있어서 정산인 메모리셀이 선택된 경우에도 영역(A)에 기억되는 것이 예정되어 있는 비트(MSB)에 대하여 해당 비트의 무게보다도 작은 무게를 갖는 비트 예컨대, LSB가 기억된다.

그래서, 이하의 제2실시 형태에서는 어드레스마다 비트데이터를 변환하는지 안하는지를 결정할 수 있는 메모리장치를 제공한다.

제7도는 본 발명의 제2실시의 형태에 관한 메모리장치를 나타낸 것이다.

이 메모리장치는 반도체 메모리(RAM)에 관한 것이다. 더욱이, 예컨대 디지털 오디오에서는 음악데이터가 16비트로 나타나지만, 이하에서는 설명을 간단히 하기 위해 8비트의 경우에 대하여 설명한다.

우선, 이 메모리장치의 구성에 대하여 설명한다.

RAM(11a)은 행렬상태로 형성된 복수의 메모리셀로부터 구성되는 기억부를 갖추고 있다.

RAM(11a)의 기억부는 예컨대, 행방향으로 8등분되고 영역(A~H)이 구성되어 있다. 변환회로(12)는 비트마다 다른 무게가 부가되는 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환하여 RAM(11a)에 인가한다. 또한, 변환회로(13)는 RAM(11a)에서 독출된 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환한다.

제어회로(14)는 기억부(15a, 15b: 예컨대, ROM)를 구비하고 있다. 기억부(15a)는 불량의 메모리셀이 존재하는 행을 선택하는 에러 어드레스를 기억한다. 또한, 기억부(15b)는 에러 어드레스에 의해 선택된 1개의 행에 있어서 8개의 영역(A~H)내 불량의 메모리셀이 존재하는 영역(에러패턴)을 기억한다.

제어회로(14)는 에러패턴 선택신호 생성회로(16), 셀렉터(17) 및 변환 제어신호 생성회로(18)를 구비하고 있다.

에러패턴 선택신호 생성회로(16)는 어드레스(a) 및 기억부(15a)의 출력신호(에러 어드레스)를 받고, 어드레스(a)와 에러 어드레스가 일치한 경우에 에러패턴 선택신호를 출력한다.

셀렉터(17)는 에러패턴 선택신호의 종류에 기초하여 기억부(15b)의 출력신호(에러패턴)를 선택하고 출력한다. 변환 제어신호 생성회로(18)는 셀렉터(17)에서 출력되는 에러패턴에 기초하여 3비트의 변환 제어신호(CR)를 변환 제어회로(12,13)에 인가한다.

어드레스 디코더는 어드레스(a)를 받아 RAM(11a)의 n(n은 자연수)의 행의 내, 1개의 행을 선택한다.

제8도는 제7도의 변환회로(12)의 일예를 나타내는 것이다.

변환회로(12)는 8개의 셀렉터(S7~S0)에서 구성되어 있다. 변환회로(12)는 각 셀렉터(S7~S0)에는 변환제어신호(Am, Bm, Cm(m은 0~7) CR 및 화상데이터나 음악데이터 등을 나타내는 8비트 데이터(X7~X0)가 입력된다. 각 셀렉터(S7~S0)는 표 5에 나타낸 바와 같이, 변환 제어신호(Am, Bm, Cm)CR에 기초하여 소정의 1비트의 데이터를 선택하고, 이 선택된 1비트의 데이터를 출력한다.

[표 5]

e7 e6 e5 e4 e3 e2 e1 e0	셀렉터신호 C7 B7 A7	C6 B6 A6	C5 B5 A5	C4 B4 A4	C3 B3 A3	C2 B2 A2	C1 B1 A1	C0 B0 A0	출력 X'7	X'6	X'5	X'4	X'3	X'2	X'1	X'0
0 0 0 0 0 0 0 0	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	0 0 0	X7	X6	X5	X4	X3	X2	X1	X0
0 0 0 0 0 0 0 1	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	0 0 0	X7	X6	X5	X4	X3	X2	X1	X0
0 0 0 0 0 0 1 0	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 0	0 0 1	X7	X6	X5	X4	X3	X2	X0	X1
0 0 0 0 0 1 0 0	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 0 0	0 0 1	0 1 0	X7	X6	X5	X4	X3	X0	X1	X2
0 0 0 0 1 0 0 0	1 1 1	1 1 0	1 0 1	1 0 0	0 0 0	0 1 0	0 0 1	0 1 1	X7	X6	X5	X4	X0	X2	X1	X3
0 0 0 0 1 0 0 0	1 1 1	1 1 0	1 0 1	0 0 0	0 1 1	0 1 0	0 0 1	1 0 0	X7	X6	X5	X0	X3	X2	X1	X4
0 0 1 0 0 0 0 0	1 1 1	1 1 0	0 0 0	1 0 0	0 1 1	0 1 0	0 0 1	1 0 1	X7	X6	X0	X4	X3	X2	X1	X5
0 1 0 0 0 0 0 0	1 1 1	0 0 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	1 1 0	X7	X0	X5	X4	X3	X2	X1	X6
1 0 0 0 0 0 0 0	0 0 0	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	1 1 1	X0	X6	X5	X4	X3	X2	X1	X7

제9도는 제7도의 변환 제어신호 생성회로(18)의 회로구성의 일예를 나타낸 것이다. 제10도의 제9도의 데이터(21)의 일예를 나타낸 것이다.

이 변환 제어신호 생성회로의 구성은 RAM(11a)의 8개의 영역(A~H) 내 1개의 영역에만 결함이 있는 경우에 이용된다.

e7~e0는 기억부(15B)에서 출력되는 에러패턴이다. 에러패턴(e7~e0)은 래치회로(20)를 통과하고, 디코더(21)에 의해 디코드된다. 래치회로(20)는 래치펄스(P)에 의해 제어되고, 디코더(21)는 변환 제어신호(Am, Bm, Cm) CR을 출력한다.

I0~I7은 인버터, N1~N11은 낸드게이트, A1~A3은 앤드게이트이다. /NO-ERR은 소정의 어드레스에 의해 선택된 행으로 불량의 메모리셀이 접속되어 있는 경우(e7~e0의 적어도 1개가 1로 된다)에는 1레벨로 된다.

다음에, 이 메모리장치의 동작에 대하여 설명한다.

우선, 제조시나 시스템의 기동시에 있어서 RAM(11a)의 데이터의 기록 및 독출 시험을 행하고, 화상데이터 또는 음악데이터가 기록되거나 또는 오기록되어버리는 것과 같은 결함을 갖는 메모리셀이 RAM(11a)에 존재하는지 안하는지를 검사한다.

또한, 결함을 갖는 메모리셀이 RAM(11a)에 존재하는 경우에는 결함을 갖는 메모리셀의 어드레스와 그 메모리셀이 존재하는 영역을 확인한다.

그리고, 결함을 갖는 메모리셀의 어드레스에 관한 데이터를 제어신호(14)의 기억부(15a)에 기억하고, 결함을 갖는 메모리셀이 존재하는 영역에 관한 데이터를 제어회로(14)의 기억부(15b)에 기억한다.

화상데이터 또는 음악데이터의 기억시, 어드레스(a)와 데이터(X7~X0)가 주어지면, 어드레스(a)는 어드레스 디코더(19) 및 에러패턴 선택신호 생성회로(16)에 입력된다.

어드레스 디코더(19)는 어드레스(a)를 디코드하고, RAM(11a)의 1개의 행을 선택한다. 에러패턴 선택신호 생성회로(16)는 어드레스(a)와 기억부(15a)의 에러 어드레스를 비교하여 양자가 일치한 경우에 에러패턴 선택신호를 발생시킨다.

우선, 어드레스(a)와 에러 어드레스가 일치하지 않는 경우에 대하여 설명한다. 이 경우, 에러패턴 선택신호는 출력되지 않기 때문에 셀렉터(17)는 불량의 메모리셀이 존재하지 않는 것을 의미하는 에러패턴(e7~e0이 모두 0)을 선택하고, 이 에러패턴을 변화 제어신호 생성회로(18)에 인가한다.

변환 제어신호 생성회로(18)는 이 에러패턴을 디코드하고, 표 5에 나타낸바와 같이 소정의 변환 제어신호(Am, Bm, Cm)CR을 변환회로(12,13)에 인가한다.

변환회로(12)는 8비트의 데이터(X7~X0)를 변환하는 것은 아니고, 그대로 8비트의 데이터(X7~X0)를 RAM(11a)에 전송한다. 데이터(X7~X0)는 어드레스(a)에 의해 선택되는 1개의 행의 각 메모리셀에 기억된다.

다음에, 어드레스(a)와 에러 어드레스가 일치하는 경우에 대하여 설명한다. 이 경우, 에러패턴 선택신호가 출력되기 위하여 셀렉터(17)는 불량의 메모리셀이 존재하는 것을 의미하는 에러패턴(e7~e0의 내 1개가 0)을 선택하고, 이 에러패턴을 변환 제어신호 생성회로(18)에 인가한다.

변환 제어신호 생성회로(18)는 이 에러패턴을 디코드하고, 표 5에 나타낸 바와 같이 소정의 변환 제어신호(Am, Bm, Cm) CR을 변환회로(12, 13)에 인가한다. 변환회로(12)는 결함을 갖는 메모리셀이 MSB 등의 무게 부가가 많은 비트를 기억하는 영역에 존재하는 경우에는 해당영역에 LSB가 기억되도록 데이터(X7~X0)를 변환한다.

예컨대, RAM(11a)의 영역(A)에 결함을 갖는 메모리셀이 존재하는 경우, 에러패턴은 e7만이 1로 되기 때문에 변환회로(12)는 LSB가 영역(A)에 기억되고, MSB가 영역(H)에 기억되도록 화상데이터 또는 음악데이터를 나타내는 8비트를 X7(MSB), X6, ~X1, X0(LSB)에서 X0(LSB), X6, ~X1, X7(MSB)으로 변환된다. 결국, 비트(X0)가 영역(A)의 메모리셀에 기억되는 것으로 된다.

또한, 변환회로(13)는 RAM(11a)에서 출력되는 8비트의 데이터 X0(LSB), X6, ~X1, X7(MSB)를 X7(MSB), X6, ~X1, X0(LSB)으로 변환한다. 결국, 변환회로(12)는 화상데이터 또는 음악데이터의 차례를 원래로 되돌려 출력한다.

상기 제2실시형태에서는 RAM(11a) 의 8개의 영역 내 1개의 영역에만 불량의 메모리셀이 존재하는 경우에

대하여 설명했지만, 본 발명은 RAM(11a)의 8개의 영역 내, 1개 이상의 영역에 불량의 메모리셀이 존재하는 경우에도 적용할 수 있다.

이 경우, 불량의 메모리셀이 존재하는 1개 이상의 영역에는 그 1개 이상의 영역에 기억되는 것이 예정되어 있는 각 비트의 무게보다도 작은 무게를 갖는 비트가 기억된다.

예컨대, 불량의 메모리셀이 존재하는 1개 이상의 영역에는 상당히 LSB 및 LSB측의 비트가 가장 잘 기억되도록 구성하는 것이 좋다.

이에 의해, 결함을 갖는 메모리셀을 구제하지 않아도 데이터의 오류에 의한 영향을 최소한으로 억제할 수 있다.

상술의 제1 및 제2실시의 형태에서는 1비트 단위로 데이터의 변환을 행하고 있다. 그러나, 실제의 음악데이터나 화상데이터는 16비트이므로 1비트 단위로 데이터의 변환을 행하면, 변환회로(12, 13)나 제어회로(14)의 구성이 복잡해지면서 회로규모가 크게된다.

그래서, 이하의 제3 및 제4실시의 형태에서는 RAM(11a)을 복수의 블록으로 나누고, 예컨대 16비트의 데이터를 복수비트 단위로 변환하는 메모리장치를 제공한다.

제11도는 본 발명의 제3실시의 형태에 관한 메모리장치를 나타낸 것이다.

이 메모리장치는 반도체 메모리(RAM)에 관한 것이다. 본 실시예에서는 디지털 오디오에 있어서의 16비트의 음악데이터를 RAM에 기록하는 경우에 대하여 설명한다.

우선, 이 메모리장치의 구성에 대하여 설명한다.

RAM(11a)은 행렬상태로 형성된 복수의 메모리셀로부터 구성되는 기억부를 갖추고 있다.

RAM(11a)의 기억부는 예컨대, 행방향으로 4등분되고 영역(A~D)이 구성되어 있다. 변환회로(12)는 비트마다 다른 무게가 부가되는 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환하여 RAM(11a)에 인가한다. 또한, 변환회로(13)는 RAM(11a)에서 독출된 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환한다.

제어회로(14)는 기억부(15: 예컨대, ROM)를 구비하고 있다. 제어회로(14)는 기억부(15)에 기억된 데이터에 기초하여 변환회로(12, 13)에 변환 제어신호(CR)를 인가하고, 변환회로(12, 13)에 있어서의 각 비트의 변환을 제어한다.

다음에, 이 메모리장치의 동작에 대하여 설명한다.

우선, 제조시나 시스템의 동작시에 있어서 RAM(11a)의 데이터의 기록 및 독출 시험을 행하고, 화상데이터 또는 음악데이터가 기록되거나 또는 오기록 되어버리는 것과 같은 결함을 갖는 메모리셀이 RAM(11a)에 존재하는지 안하는지를 검사한다.

또한, 결함을 갖는 메모리셀이 RAM(11a)에 존재하는 경우에는 그 결함을 갖는 메모리셀이 RAM(11a)의 어느 영역에 존재하는가를 확인한다. 메모리셀의 결함에 관한 데이터는 제어회로(14)의 기억부(15)에 기억된다.

제어회로(14)는 화상데이터 또는 음악데이터의 기억시, 기억부(15)의 정보에 기초하여 변환회로(12)에 변환 제어신호(CR)를 인가한다. 이 변환 제어신호(CR)는 화상데이터 또는 음악데이터의 각 비트의 배치를 결정한다.

즉, 결함을 갖는 메모리셀(MSB) 측의 무게 부가가 많은 비트를 기억하는 영역에 존재하는 경우에는 제어회로(14), 해당영역에 LSB 측의 비트가 기억되도록 제어신호(CR)를 변환회로(12)에 인가한다.

예컨대, RAM(11a)의 영역(A)에 결함을 갖는 메모리셀이 존재하는 경우, 제어회로(14)는 비트(X3~X0)가 영역(A)에 기억, 비트(X11~X8)가 영역(B)에 기억되고, 비트(X7~X4)가 영역(C)에 기억되며, 비트(X15~X12)가 영역(D)에 기억되도록 변환회로(12)를 제어한다.

따라서, 화상데이터 또는 음악데이터의 16비트는 X15(MSB)~X0(LSB)에서 X3~X0, X11~X8, X7~X4, X15~X12로 변환된다. 결국, LSB 측의 비트(X3~X0)가 영역(A)의 메모리에 기록되는 것으로 된다.

또한, RAM(11a)의 영역(A)에 결함을 갖는 메모리셀이 존재하는 경우 변환회로(13)는 제어회로(14)에서의 제어신호(CR)에 기초하여 RAM(11a)에서 독출되는 비트 X3~X0, X11~X8, X7~X4, X15~X12를 X15(MSB)~X0(LSB)로 변환한다.

더욱이, 상기 제3실시의 형태에서는 RAM(11a)의 4개의 영역 내 1개의 영역에만 결함부분이 존재하는 경우에 대하여 설명했지만, 본 발명은 RAM(11a)의 4개의 영역 내 1개 이상의 영역에 결함부분이 존재하는 경우에도 적용할 수 있다.

이 경우, 결함부분을 갖는 1개 이상의 영역에는 그 1개 이상의 영역에 기억되는 것이 예정되어 있는 각 비트의 무게보다도 작은 무게를 갖는 비트가 기억된다.

예컨대, 결함부분을 갖는 1개 이상의 영역에는 상당히 LSB 및 LSB 측의 비트가 가장 잘 기억되도록 구성하는 것이 좋다.

이에 의해, 결함을 갖는 메모리셀을 구제하지 않아도 데이터의 오류에 의한 영향을 최소한으로 억제할 수 있다.

제12도는 본 발명의 제4실시의 형태에 관한 메모리장치를 나타낸 것이다.

이 메모리장치는 반도체 메모리(RAM)에 관한 것이다. 본 실시예에서는 디지털 오디오에 있어서의 16비트

의 음악데이터를 RAM에 기록하는 경우에 대하여 설명한다.

우성, 이 메모리장치의 구성에 대하여 설명한다.

RAM(11a)은 행렬상태로 형성된 복수의 메모리셀로부터 구성되는 기억부를 갖추고 있다.

RAM(11a)의 기억부는 예컨대, 행방향으로 4등분되어 영역(A~D)이 구성되어 있다. 변환회로(12)는 비트마다 다른 무게가 부가되는 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환하여 RAM(11a)에 인가한다. 또한 변환회로(13)는 RAM(11a)에서 독출된 화상데이터나 음악데이터 등을 나타내는 각 비트를 변환한다.

제어회로(14)는 기억부(15a, 15b: 예컨대, ROM)를 구비하고 있다. 기억부(15a)는 불량의 메모리셀이 존재하는 행을 선택하는 에러 어드레스를 기억한다. 또한, 기억부(15b)는 에러 어드레스에 의해 선택된 1개의 행에 있어서 4개의 영역(A~D) 내 불량의 메모리셀이 존재하는 영역(에러패턴)을 기억한다.

제어회로(14)는 에러패턴 선택신호 생성회로(16), 셀렉터(17) 및 변환 제어신호 생성회로(18)를 구비하고 있다.

에러패턴 선택신호 생성회로(16)는 어드레스(a) 및 기억부(15a)의 출력신호(에러 어드레스)를 받고, 어드레스(a)와 에러 어드레스가 일치한 경우에 에러패턴 선택신호를 출력한다.

셀렉터(17)는 에러패턴 선택신호의 종류에 기초하여 기억부(15b)의 출력신호(에러패턴)를 선택하여 출력한다. 변환 제어신호 생성회로(18)는 셀렉터(17)에서 에러패턴에 기초하여 변환 제어신호(CR)를 변환 제어회로(12, 13)에 인가한다.

어드레스 데이터는 어드레스(a)를 받아 RAM(11a)의 n(n은 자연수)의 행의 내, 1개의 행을 선택한다.

다음에, 이 메모리장치의 동작에 대하여 설명한다.

우선, 제조시나 시스템의 기동시에 있어서 RAM(11a)의 데이터의 기록 및 독출 시험을 행하고, 화상데이터 또는 음악데이터가 기록되거나 또는 오기록되어버리는 것과 같은 결함을 갖는 메모리셀이 RAM(11a)에 존재하는지 안하는지를 검사한다.

또한, 결함을 갖는 메모리셀이 RAM(11a)에 존재하는 경우에는 결함을 갖는 메모리셀의 어드레스와 그 메모리셀이 존재하는 영역을 확인한다. 그리고, 결함을 갖는 메모리셀의 어드레스에 관한 데이터를 제어회로(14)의 기억부(15a)에 기억하고, 결함을 갖는 메모리셀이 존재하는 영역에 관한 데이터를 제어회로(14)의 기억부(15)에 기억한다.

화상데이터 또는 음악데이터의 기억시, 어드레스(a)와 데이터(X15~X0)가 주어지면, 어드레스(a)는 어드레스 디코더(19) 및 에러패턴 선택신호 생성회로(16)에 입력된다.

어드레스 디코더(19)는 어드레스(a)를 디코드하여 RAM(11a)의 1개의 행을 선택한다. 에러패턴 선택신호 생성회로(16)는 어드레스(a)와 기억부(15a)의 에러 어드레스를 비교하여 양자가 일치한 경우에 에러패턴 선택신호를 발생한다.

우선, 어드레스(a)와 에러 어드레스가 일치하지 않은 경우에 대하여 설명한다. 이 경우, 에러패턴 선택신호는 출력되지 않기 때문에 셀렉터(17)는 불량의 메모리셀이 존재하지 않는 것을 의미하는 에러패턴을 선택하고, 이 에러패턴을 변환 제어신호 생성회로(18)에 인가한다.

변환 제어신호 생성회로(18)는 이 에러패턴을 디코드하여 소정의 변환 제어신호(CR)를 변환회로(12, 13)에 인가한다.

변환회로(12)는 16비트의 데이터(X15~X0)를 변환하지 않고, 그대로 데이터(X15~X0)를 RAM(11a)에 전송한다. 데이터(X15~X0)는 어드레스(a)에 의해 선택되는 1개의 행의 각 메모리셀에 기억된다.

다음에, 어드레스(a)와 에러 어드레스가 일치하는 경우에 대하여 설명한다. 이 경우, 에러패턴 선택신호가 출력되기 위하여 셀렉터(17)는 불량의 메모리셀이 존재하는 것을 의미하는 에러패턴을 선택하고, 이 에러패턴을 변환 제어신호 생성회로(18)에 인가한다.

변환 제어신호 생성회로(18)는 이 에러패턴을 디코드하여 소정의 변환 제어신호(CR)를 변환회로(12, 13)에 인가한다. 변환회로(12)는 결함을 갖는 메모리셀이 MSB 측의 무게 부가가 많은 비트를 기억하는 영역에 존재하는 경우에는 해당영역에 LSB 측의 비트가 기억되도록 데이터(X15~X0)를 변환한다.

상기 제4실시의 형태에서는 RAM(11a)의 4개의 영역 내 1개의 영역에만 불량의 메모리셀이 존재하는 경우에 대하여 설명했지만, 본 발명은 RAM(11a)의 4개영역 내 1개 이상의 영역에 불량의 메모리셀이 존재하는 경우에도 적용할 수 있다.

본 발명은 반도체 메모리 외, 각각 다른 무게를 갖는 복수비트의 데이터를 기억하면서 어드레스에 의해 데이터를 기억하는 부분을 지정하는 구성을 갖는 기록매체 예컨대, 하드디스크나 MO(광자기디스크)라는 미디어에도 적용할 수 있다.

제15도는 본 발명의 제5실시예에 관한 메모리장치를 나타낸 것이다.

이 메모리장치는 HD(하드디스크), FD(플로피디스크), CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 드라이브장치에 관한 것이다.

본 실시의 형태에서는 디지털 오디오에 있어서의 16비트의 음악데이터 또는 화상데이터를 기억부 (HD, FD, CD-RAM, SD-RAM, MO, PD 및 MT 등)에 기록하는 경우에 대하여 설명한다.

우선, 이 메모리장치의 구성에 대하여 설명한다.

변환회로(12)는 기억부(11)의 소정의 기억영역에 결함부분이 존재하는 경우에 기록데이터(X15~X0)를 변

환한다. 기록데이터(X15~X0)는 서로 다른 무게를 갖고, 서로 연속하는 16비트로부터 구성된다.

변환회로(12)에서 출력되는 기록데이터는 패리티 부가부(24)를 경유하여 변조부(25)에 입력된다.

변조부(25)에서는 예컨대, 기록데이터가 EFM 변조된다. EFM 변조된 기록데이터는 기억부(11)의 소정의 기억영역에 기록된다.

여기서, 기억부(11)의 소정의 기억영역에 소정의 비트의 기록 예정되어 있는 경우에 있어서, 그 소정의 기억영역에 결함부분이 존재하는 경우에는 그 소정의 기억영역에는 소정의 비트의 무게보다도 작은 무게를 갖는 비트(최적으로는 LSB)가 기록된다.

또한, 기억부(11)에서 독출된 독출데이터는 복조부(26)에 입력된다. 복조부(26)에서는 예컨대, 독출데이터가 EFM 복조된다. EFM 복조된 독출데이터는 정정처리부(27)에 있어서 정정치리가 행해진다.

정정처리부(27)의 출력데이터는 변환회로(13)에 입력된다. 변환회로(13)는 기억부(11)에서 독출된 독출데이터가 바른 위치로 배치되도록 서로 연속하는 16비트를 각각 변환한다.

변환회로(12, 13)의 동작은 제어회로(14)에 의해 제어되어 있다.

제어회로(14)는 어드레스(a)를 받고, 이 어드레스가 기억부(11)의 결함부분을 지정하는 경우에 기록데이터 또는 독출데이터를 변환한다.

더욱이, 기억부(11)의 결함부분은 미리 검사에 의해 특정하게 두고, 이 결함부분에 관한 정보를 제어회로(14) 내의 기억부에 기억시켜 둘 수 있다.

또한, 본 실시의 형태의 메모리장치에 기억부(11)의 결함부분을 검출하는 검출회로를 설치, 이 검출회로가 갖는 기억부(11)의 결함부분에 관한 정보에 기초하여 기록데이터 또는 독출데이터를 변환하도록 해도 된다.

상술의 제1~제5실시의 형태에 있어서, 변환회로(12, 13)는 셀렉터나 시프트레지스터 등으로부터 구성할 수 있다.

제13도는 변환회로에 시프트레지스터를 이용한 경우를 나타내고 있다. 또한 제14도는 제13도의 시프트레지스터(22, 23)의 동작을 나타내고 있다.

이 경우, 제어회로는 클럭신호(CK1)를 시프트레지스터(22)에 주고, 클럭신호(CK2)를 시프트레지스터(23)에 인가한다. 시프트레지스터(22, 23)는 클럭신호의 수에 따른 입력데이터(예컨대, 8비트(X7~X0))를 변환한다.

즉, 시프트레지스터(22)는 RAM(11a)에 불량의 메모리셀이 존재하는 경우, 상당히 LSBX0가 불량의 메모리셀에 기억되도록 입력데이터를 변환한다. 또한, 시프트레지스터(23)는 RAM(11a)에서 출력되는 데이터를 올바른 순서대로 변환하여 출력데이터로서 출력한다.

또한, 상술의 제1~제5실시의 형태에 있어서 에러 어드레스나 불량의 메모리셀이 존재하는 영역에 관한 데이터는 제어회로의 기억부에 기억했지만, 이에 변하여 외부(변환회로 및 제어회로가 형성되는 반도체칩과는 별개의 반도체칩에 형성되는 반도체 메모리)에서 공급하도록 해도 된다.

[발명의 효과]

이상 설명한 바와 같이, 본 발명의 독출·기록장치 및 이를 이용한 메모리장치 및 독출·기록방법에 의하면, 다음과 같은 효과를 나타낸다.

인간의 시각 또는 청각에 관한 화상데이터나 음악데이터 등을 기억부에 기록하는 경우에 있어서, 데이터의 변환을 행함으로써 메모리셀 또는 섹터의 결함에 의한 영향을 최소한으로 억제하고 있다.

즉, RAM, ROM, FD나 HD 등의 기억부의 일부에 결함이 있는 경우, 변환회로에 의해 LSB(최하위의 비트) 또는 LSB 측의 비트가 결함영역에 기억되도록 화상데이터나 음악데이터 등을 나타내는 각비트를 변환하고 있다.

따라서, 제16도에 나타낸 바와 같이 결함부분에 기억되는 데이터는 본래의 데이터와는 다르지만, 결함부분에 기억되는 데이터와 본래의 데이터의 오차는 최소한으로 억제되어 있다.

또한, 이 정도의 오차는 인간의 시각 또는 청각으로 인식할 수 없기 때문에 화상데이터나 음악데이터의 재생등에 있어서 적합하지 않다.

또한, 결함부분을 갖는 메모리셀을 구제 또는 결함을 갖는 섹터를 회피하기 위하여 회로가 불필요하기 때문에 회로규모를 작게 할 수 있다.

(57) 청구의 범위

청구항 1

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 메모리장치에 있어서, 복수의 영역을 갖는 기억수단과, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환하는 제1변환 수단 및, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 제1영역에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 메모리장치.

청구항 2

제1항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상

기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트가 바른 위치로 되돌리도록 상기 제2 변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 제2비트는 LSB인 것을 특징으로 하는 메모리장치.

청구항 4

제1항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에, 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 5

제2항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 메모리장치.

청구항 6

제2항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트가 상기 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 메모리장치.

청구항 7

제1항에 있어서, 상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 메모리장치.

청구항 8

제4항에 있어서, 상기 제어수단은 상기 제1 및 제2영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 메모리장치.

청구항 9

제1항 또는 제2항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 메모리장치.

청구항 10

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 메모리장치에 있어서, 복수의 영역을 갖추고, 각각의 영역이 복수의 부분으로 구성되는 기억수단과, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환 수단 및, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 제1영역의 상기 결함부분에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 메모리장치.

청구항 11

제10항에 있어서, 상기 기억수단으부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트가 바른 위치로 되돌리도록 상기 제2 변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 12

제10항 또는 제11항에 있어서, 상기 제2비트는 LSB인 것을 특징으로 하는 메모리장치.

청구항 13

제10항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 상기 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우, 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역의 상기 결함부분에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 14

제11항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 메모리장치.

청구항 15

제11항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트가 상기 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 메모리장치.

청구항 16

제10항에 있어서, 상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역의 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트가 상기 제1영역의 상기 결함부분에 기억되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 17

제10항 또는 제11항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 메모리장치.

청구항 18

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 메모리장치에 있어서, 복수의 영역을 갖는 기억수단과, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2 이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환하는 제1변환수단 및, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제2비트군이 상기 제1영역에 기록되며, 상기 제1비트군이 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 메모리장치.

청구항 19

제18항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트군이 바른 위치로 되돌리도록 상기 제2변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 20

제18항 또는 제19항에 있어서, 상기 제2비트군은 LSB를 포함하고 있는 것을 특징으로 하는 메모리장치.

청구항 21

제18항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에, 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제4비트군이 상기 제2영역에 기록되며, 상기 제3비트군이 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 22

제19항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 메모리장치.

청구항 23

제19항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트군이 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 메모리장치.

청구항 24

제18항에 있어서, 상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 메모리장치.

청구항 25

제21항에 있어서, 상기 제어수단은 상기 제1 및 제2영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 메모리장치.

청구항 26

제18항 또는 제19항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 메모리장치.

청구항 27

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기록하기 위한 메모리장치에 있어서, 복수의 영역을 갖추고, 각각의 영역이 복수의 부분으로 구성되는 기억수단과, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우, 상기 복수비트를 변환하는 제1변환수단 및, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제2비트군이 상기 제1영역의 상기 결함부분에 기록되며, 상기 제1비트군이 상기 제1영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 메모리장치.

청구항 28

제27항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트군이 바른 위치로 되돌리도록 상기 제2변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 29

제27항 또는 제28항에 있어서, 상기 제2비트군은 LSB를 포함하고 있는 것을 특징으로 하는 메모리장치.

청구항 30

제27항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에, 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제4비트군이 상기 제2영역의 상기 결함부분에 기록되고, 상기 제3비트군이 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 31

제28항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 메모리장치.

청구항 32

제28항에 있어서, 상기 제1변화수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트군이 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 메모리장치.

청구항 33

제27항에 있어서, 상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트군이 상기 결함부분에 기억되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 메모리장치.

청구항 34

제27항 또는 제28항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 메모리장치.

청구항 35

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 장치에 있어서, 복수의 영역을 갖추고, 각각의 영역이 복수의 부분으로 구성되는 기억수단과, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환하는 제1변환수단과, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트군이 상기 제1영역에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 장치.

청구항 36

제35항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트가 바른 위치로 되돌리도록 상기 제2변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 37

제35항 또는 제36항에 있어서, 상기 제2비트는 LSB인 것을 특징으로 하는 장치.

청구항 38

제35항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에, 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 39

제36항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 장치.

청구항 40

제36항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트가 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 장치.

청구항 41

제35항에 있어서, 상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 장치.

청구항 42

제38항에 있어서, 상기 제어수단은 상기 제1 및 제2영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 장치.

청구항 43

제35항 또는 제36항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피 디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 장치.

청구항 44

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 장치에 있어서, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단과, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환수단과, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 제1영역의 상기 결함부분에 기록되고, 상기 제1비트가 상기 제1영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 장치.

청구항 45

제44항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트가 바른 위치로 되돌리도록 상기 제2변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 46

제44항 또는 제45항에 있어서, 상기 제2비트는 LSB인 것을 특징으로 하는 장치.

청구항 47

제44항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 제3비트의 기록이 예정되어 있는 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에, 상기 제어수단은 상기 제3비트의 무게보다도 작은 무게를 갖는 제4비트가 상기 제2영역의 상기 결함부분에 기록되고, 상기 제3비트가 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 48

제45항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 장치.

청구항 49

제45항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트가 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 장치.

청구항 50

제44항에 있어서, 상기 제어수단은 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역의 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에, 상기 제2비트가 상기 제1영역의 상기 결함부분에 기억되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 51

제44항 또는 제45항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피 디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 장치.

청구항 52

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 장치에 있어서, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 서로에 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환하는 제1변환수단과, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제1비트군이 상기 제1영역에 기록되고, 상기 제1비트군이 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 장치.

청구항 53

제52항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트군이 바른 위치로 되돌리도록 상기 제2변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 54

제52항 또는 제53항에 있어서, 상기 제2비트군은 LSB를 포함하고 있는 것을 특징으로 하는 장치.

청구항 55

제52항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 서로에 연속하는 2이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있는 경우에, 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제4비트군이 상기 제2영역에 기록되고, 상기 제3비트군이 상기 제2영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 56

제53항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로 구성되어 있는 것을 특징으로 하는 장치.

청구항 57

제53항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트군이 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 장치.

청구항 58

제52항에 있어서, 상기 제어수단은 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 장치.

청구항 59

제55항에 있어서, 상기 제어수단은 상기 제1 및 제2영역에 관한 정보를 기억해 두는 기억부를 갖춘 것을 특징으로 하는 장치.

청구항 60

제52항 또는 제53항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 장치.

청구항 61

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하기 위한 장치에 있어서, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 인가하는 어드레스 수단과, 상기 복수의 영역 내, 상기 복수비트의 서로에 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환하는 제1변환수단, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2이상의 비트로 구성되는 제1비트군이 상기 제1영역에 기록되며, 상기 제1비트군이 상기 제1영역 이외의 다른 영역에 기록되도록 상기 제1변환수단을 제어하는 제어수단을 구비하여 구성된 것을 특징으로 하는 장치.

청구항 62

제61항에 있어서, 상기 기억수단으로부터 독출되는 상기 복수비트를 변환하는 제2변환수단을 구비하고, 상기 제어수단은 상기 기억수단으로부터 독출되는 상기 제1 및 제2비트군이 바른 위치로 되돌리도록 상기 제2변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 63

제61항 또는 제62항에 있어서, 상기 제2비트군은 LSB를 포함하고 있는 것을 특징으로 하는 장치.

청구항 64

제61항에 있어서, 상기 복수의 영역 내, 상기 복수비트의 서로에 연속하는 2 이상의 비트로 구성되는 제3비트군의 기록이 예정되어 있는 제2영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에, 상기 제어수단은 상기 제3비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖고, 서로 연속하는 2 이상의 비트로 구성되는 제4비트군이 상기 제2영역의 상기 결함부분에 기록되며, 상기 제3비트군이 상기 제2영역 이외의 다른 영역의 부분에 기록되도록 상기 제1변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 65

제62항에 있어서, 상기 제1 및 제2변환수단은 복수의 셀렉터로부터 구성되어 있는 것을 특징으로 하는 장치.

청구항 66

제62항에 있어서, 상기 제1변환수단은 상기 복수비트가 입력되는 시프트레지스터를 갖추고, 상기 제어수단은 상기 제2비트군이 제1영역에 기록되도록 상기 시프트레지스터를 제어하는 것을 특징으로 하는 장치.

청구항 67

제61항에 있어서, 상기 결함부분을 지정하는 에러 어드레스에 관한 정보를 기억해 두는 기억부와, 상기 제1영역에 관한 정보를 기억해 두는 기억부를 갖추고, 상기 제어수단은 상기 어드레스 수단에 의해 지정된 어드레스와 상기 에러 어드레스가 일치한 경우에 상기 제2비트군이 상기 결함부분에 기억되도록 상기

제1변환수단을 제어하는 것을 특징으로 하는 장치.

청구항 68

제61항 또는 제62항에 있어서, 상기 기억수단의 상기 복수의 영역은 반도체 메모리, 하드디스크, 플로피 디스크, CD-RAM, SD-RAM, MO(광자기디스크), PD(상변화재기록형 디스크) 및 MT(자기테이프)의 기억영역인 것을 특징으로 하는 장치.

청구항 69

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 방법에 있어서, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있는 경우에 상기 복수비트를 변환, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트를 상기 제1영역에 기록하고, 상기 제1비트를 상기 제1영역 이외의 다른 영역에 기록하며, 상기 수단으로부터 독출된 상기 복수비트를 변환하고, 상기 제1 및 제2비트를 바른 위치로 되돌리는 것을 특징으로 하는 방법.

청구항 70

제69항에 있어서, 상기 제1영역에는 LSB가 독출되는 것을 특징으로 하는 방법.

청구항 71

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록되면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 방법에 있어서, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 공급하고, 상기 복수의 영역 내, 상기 복수비트의 제1비트의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트를 상기 제1영역에 상기 결함부분에 기록하고, 상기 제1비트를 상기 제1영역 이외의 다른 영역의 부분에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하고, 상기 제1 및 제2비트를 바른 위치로 되돌리는 것을 특징으로 하는 장치.

청구항 72

제71항에 있어서, 상기 제1영역의 상기 결함부분에는 LSB가 기록되는 것을 특징으로 하는 방법.

청구항 73

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 방법에 있어서, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역 결함부분이 있는 경우에 상기 복수비트를 변환, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 2이상의 비트로 구성되는 제2비트군을 상기 제1영역에 기록하고, 상기 제1비트군이 상기 제1영역 이외의 다른 영역에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하고, 상기 제1 및 제2비트군을 바른 위치로 되돌리는 것을 특징으로 하는 방법.

청구항 74

제73항에 있어서, 상기 제2비트군은 LSB를 포함하는 것을 특징으로 하는 방법.

청구항 75

각각 다른 무게를 갖는 복수비트로 구성되는 데이터를 기억수단의 복수의 영역에 기록하면서 상기 데이터를 상기 기억수단의 복수의 영역으로 독출하기 위한 방법에 있어서, 상기 복수비트가 기억되는 상기 복수의 영역의 부분을 지정하는 어드레스를 공급하고, 상기 복수의 영역 내, 상기 복수비트의 서로 연속하는 2이상의 비트로 구성되는 제1비트군의 기록이 예정되어 있는 제1영역에 결함부분이 있으면서 상기 어드레스가 상기 결함부분을 지정하는 경우에 상기 복수비트를 변환, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 2이상의 비트로 구성되는 제2비트군을 상기 제1영역에 기록하고, 상기 제1비트군을 상기 제1영역 이외의 다른 영역의 부분에 기록하며, 상기 기억수단으로부터 독출된 상기 복수비트를 변환하고, 상기 제1 및 제2비트군을 바른 위치로 되돌리는 것을 특징으로 하는 방법.

청구항 76

제75항에 있어서, 상기 제2비트군은 LSB를 포함하고 있는 것을 특징으로 하는 방법.

청구항 77

각각 다른 무게를 갖는 복수비트의 내, 적어도 제1비트가 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 기억수단의 상기 결함부분에 기억되어 있는 경우에 상기 기억수단으로부터 상기 복수비트를 독출하기 위한 장치에 있어서, 상기 기억수단으로부터 상기 복수비트를 독출하는 수단과, 상기 복수비트를 변환하고, 상기 제1 및 제2비트를 바른 위치로 되돌리는 수단을 구비하여 구성된 것을 특징으로 하는 장치.

청구항 78

각각 다른 무게를 갖는 복수비트의 내, 연속하는 2이상의 비트로 구성되는 제1비트군이 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 연속하는 2이상의 비트로 구성되는 제2비트군이 상기 기억수단의 상기 결함부분에 기억되는 경우에 상기 기억

수단으로부터 상기 복수비트를 독출하기 위한 장치에 있어서, 상기 기억수단으로부터 상기 복수비트를 독출하는 수단과, 상기 복수비트를 변환하고, 상기 제1 및 제2비트군을 구성하는 각 비트를 바른 위치로 되돌리는 수단을 구비하여 구성된 것을 특징으로 하는 장치.

청구항 79

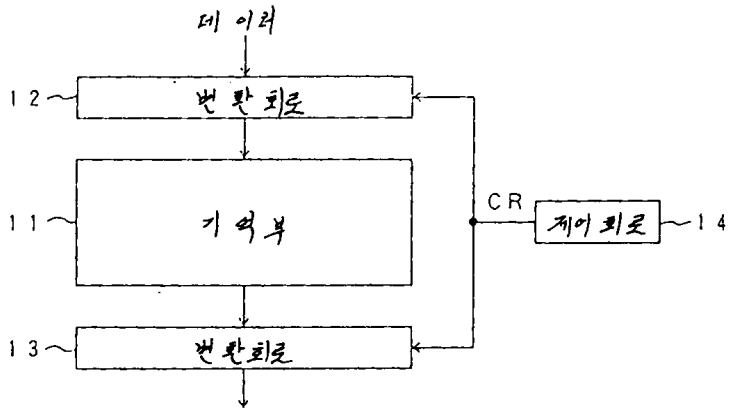
각각 다른 무게를 갖는 복수비트의 내, 적어도 제1비트가 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트의 무게보다도 작은 무게를 갖는 제2비트가 상기 기억수단의 상기 결함부분에 기억되어 있는 경우에 상기 기억수단으로부터 상기 복수비트를 독출하기 위한 방법에 있어서, 상기 기억수단으로부터 상기 복수비트를 독출하고, 상기 복수비트를 변환하며, 상기 제1 및 제2비트를 바른 위치로 되돌리는 것을 특징으로 하는 방법.

청구항 80

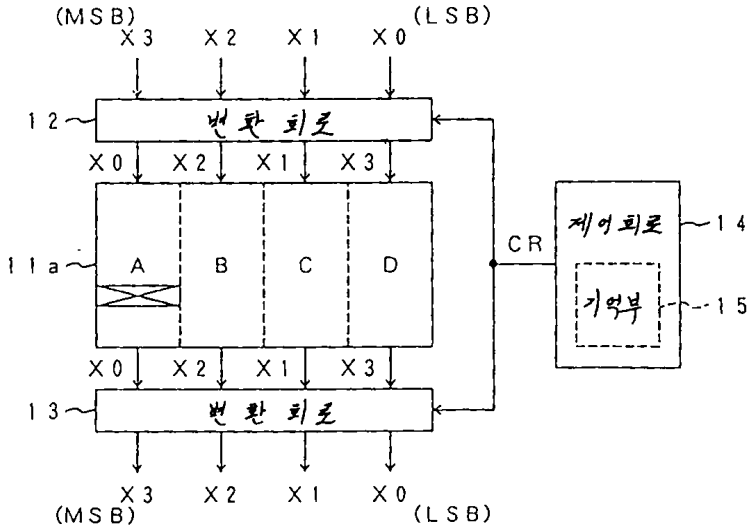
각각 다른 무게를 갖는 복수비트의 내, 연속하는 2 이상의 비트로 구성되는 제1비트군이 기억수단의 결함부분 이외의 부분에 기억되고, 상기 제1비트군을 구성하는 각 비트의 무게보다도 작은 무게를 갖는 연속하는 2 이상의 비트로 구성되는 제2비트군이 상기 기억수단의 상기 결함부분에 기억되는 경우에 상기 기억수단으로부터 상기 복수비트를 독출하기 위한 방법에 있어서, 상기 기억수단으로부터 상기 복수비트를 독출하고, 상기 복수비트를 변환하며, 상기 제1 및 제2비트군을 구성하는 각 비트를 바른 위치로 되돌리는 것을 특징으로 하는 방법.

도면

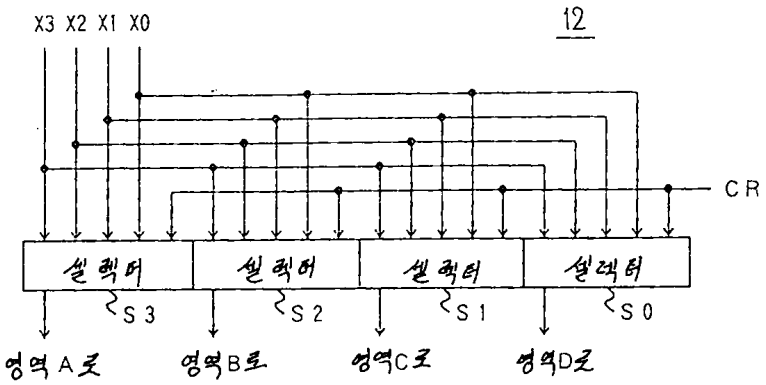
도면1



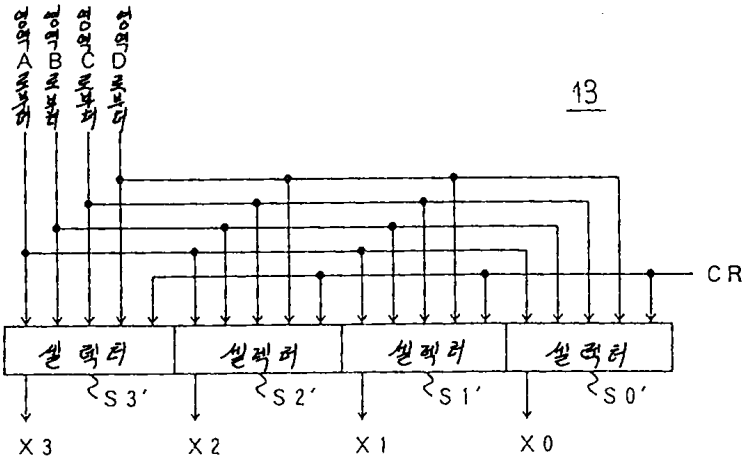
도면2



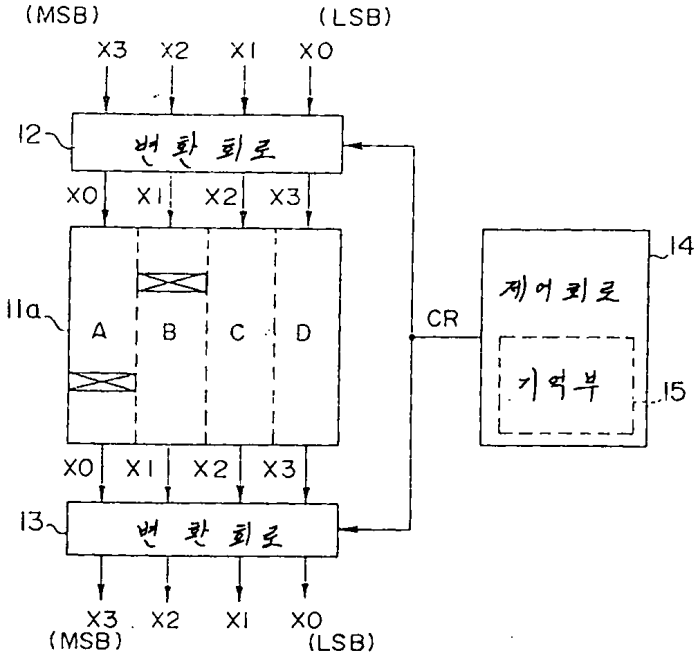
도면3


X3 X2 X1 X0
12
CR
셀렉터
셀렉터
셀렉터
셀렉터
S3
S2
S1
S0
영역A로
영역B로
영역C로
영역D로

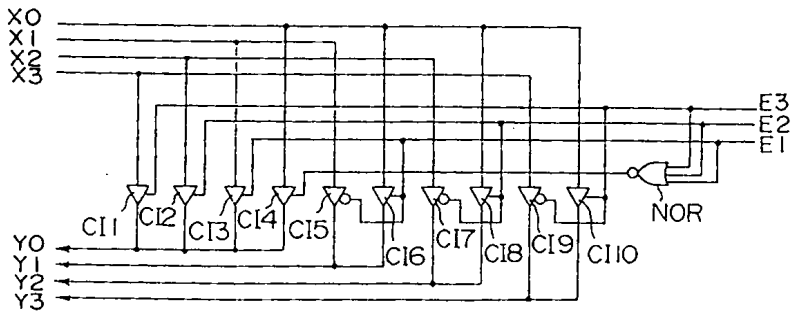
도면4


영역A로부터
영역B로부터
영역C로부터
영역D로부터
13
CR
셀렉터
셀렉터
셀렉터
셀렉터
S3'
S2'
S1'
S0'
X3
X2
X1
X0

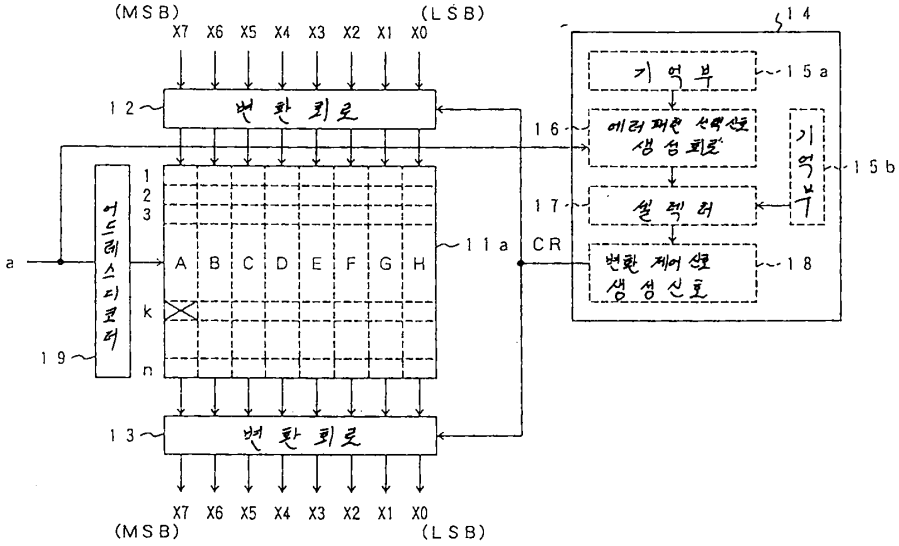
도면5


(MSB)
(LSB)
X3 X2 X1 X0
12
변환회로
X0 X1 X2 X3
11a
A
B
C
D
CR
14
제어회로
기억부
15
X0 X1 X2 X3
13
변환회로
X3 X2 X1 X0
(MSB)
(LSB)

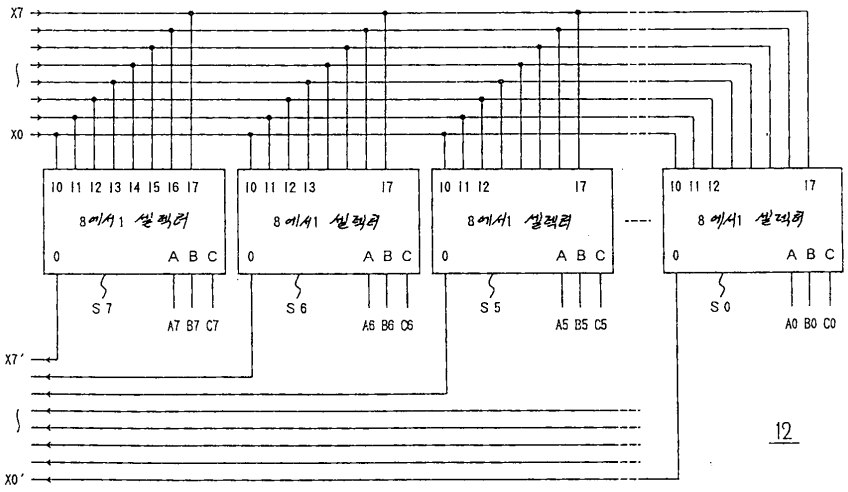
도면6


X0
X1
X2
X3
E3
E2
E1
NOR
CI1
CI2
CI3
CI4
CI5
CI6
CI7
CI8
CI9
CI10
Y0
Y1
Y2
Y3

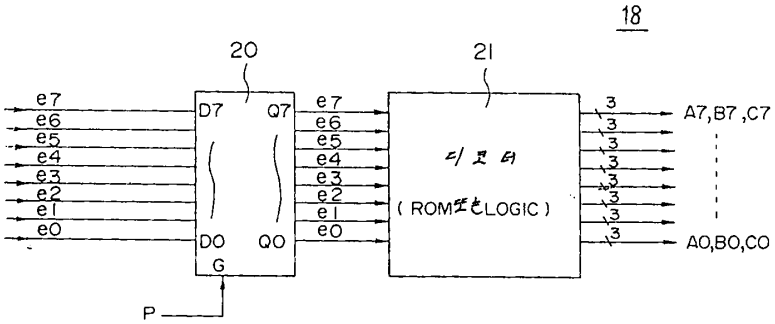
도면7


(MSB)
(LSB)
X7 X6 X5 X4 X3 X2 X1 X0
14
기억부
15a
12
변환회로
16
에러제한 선택신호 생성회로
기억부
15b
17
셀렉터
CR
변환 제어신호 생성신호
18
11a
A B C D E F G H
1 2 3 k n
a
어드레스 디코더
19
13
변환회로
X7 X6 X5 X4 X3 X2 X1 X0
(MSB)
(LSB)

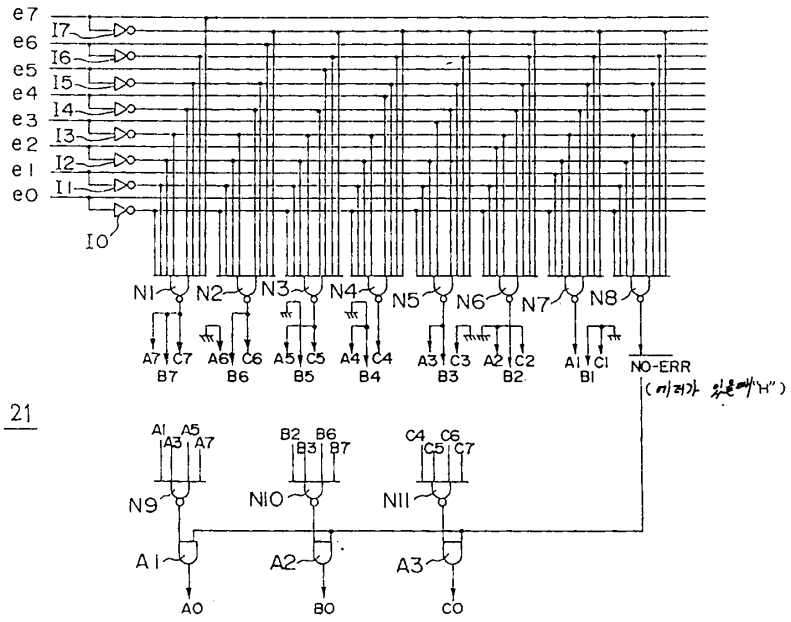
도면8


X7
X0
I0 I1 I2 I3 I4 I5 I6 I7
8에서1 셀렉터
0
A B C
S7
A7 B7 C7
I0 I1 I2 I3 I7
S6
A6 B6 C6
I0 I1 I2 I7
S5
A5 B5 C5
I0 I1 I2 I7
S0
A0 B0 C0
X7'
X0'
12

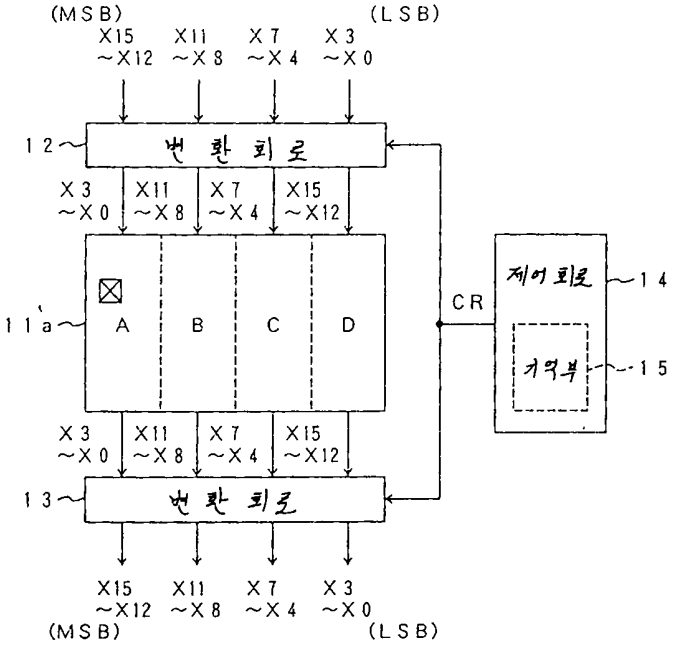
도면9


18
20
21
e7
e6
e5
e4
e3
e2
e1
e0
D7
Q7
DO
QO
G
P
레 코 더
(ROM또는LOGIC)
3
A7,B7 ,C7
A0,B0,C0

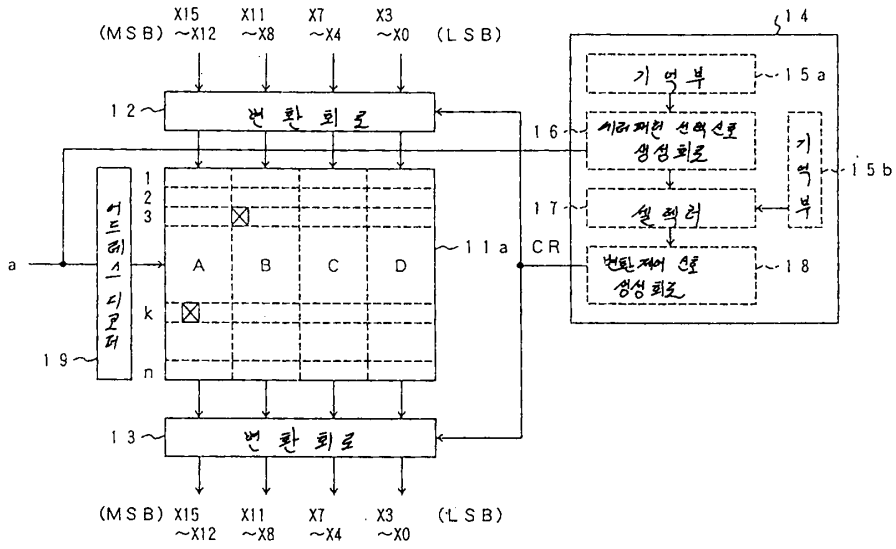
도면10


e7
e6
e5
e4
e3
e2
e1
e0
I7
I6
I5
I4
I3
I2
I1
I0
N1
N2
N3
N4
N5
N6
N7
N8
A7 C7 B7
A6 C6 B6
A5 C5 B5
A4 C4 B4
A3 C3 B3
A2 C2 B2
A1 C1 B1
NO-ERR
(비교가 일치때 "H")
21
A1 A5 A3 A7
B2 B6 B3 B7
C4 C6 C5 C7
N9
N10
N11
A1
A2
A3
A0
B0
C0

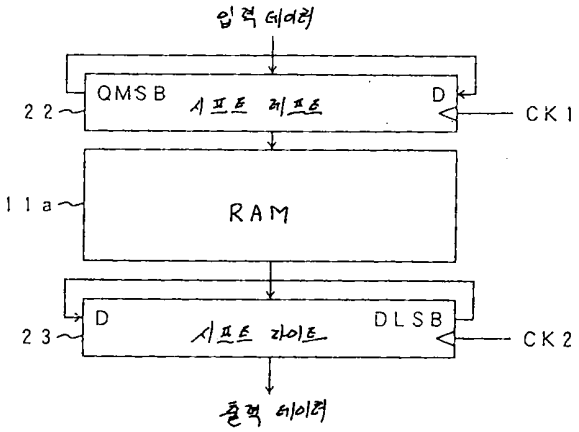
도면11


(MSB)
(LSB)
X15 ~X12
X11 ~X8
X7 ~X4
X3 ~X0
12
변환회로
X3 ~X0
X11 ~X8
X7 ~X4
X15 ~X12
11a
A
B
C
D
CR
제어회로
14
기억부
15
13
변환회로
X15 ~X12
X11 ~X8
X7 ~X4
X3 ~X0
(MSB)
(LSB)

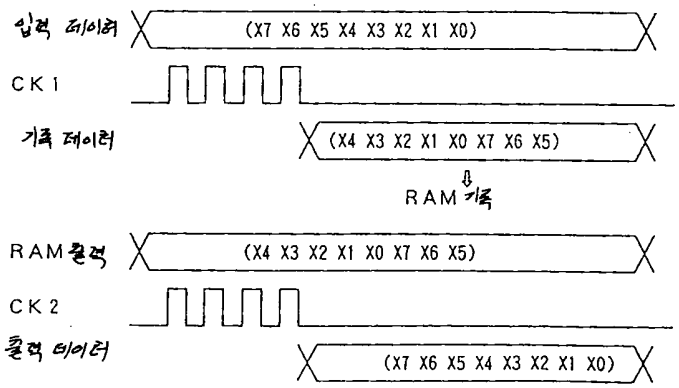
도면12


(MSB)
X15 ~X12
X11 ~X8
X7 ~X4
X3 ~X0
(LSB)
12
변환회로
14
기억부
15a
16
시리얼 선택신호 생성회로
기억부
15b
17
셀렉터
18
변환제어 신호 생성회로
a
어드레스 디코더
19
1
2
3
k
n
A
B
C
D
11a
CR
13
변환회로
(MSB)
X15 ~X12
X11 ~X8
X7 ~X4
X3 ~X0
(LSB)

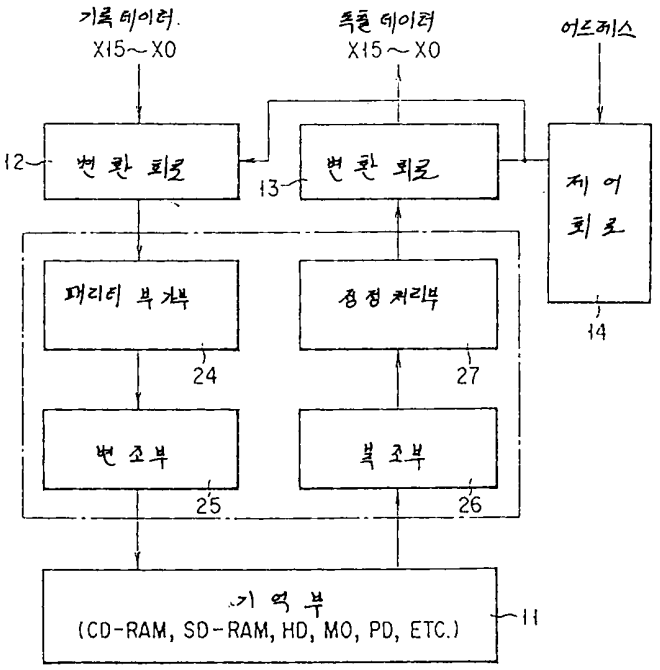
도면13



도면14



도면15



도면16

