



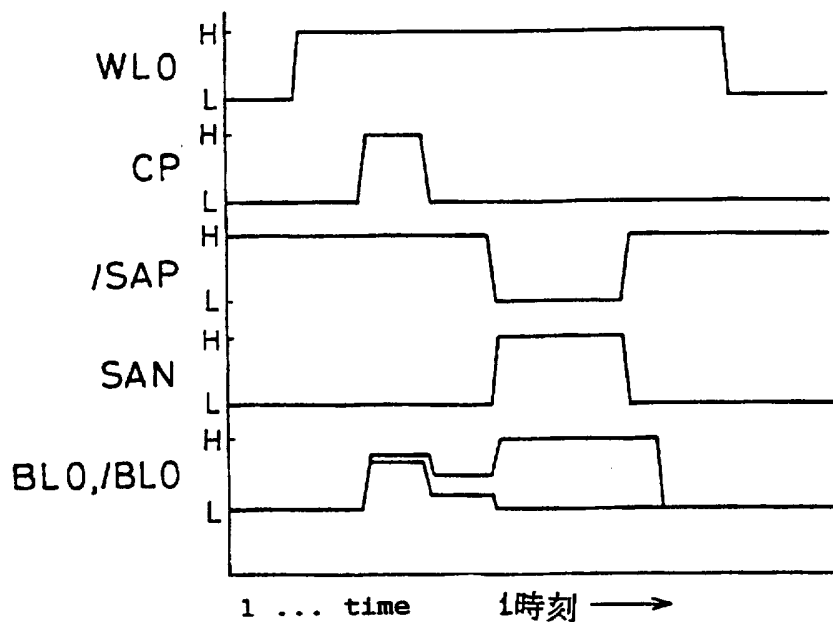
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G11C 11/22, 11/40, H01L 27/10</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/35314</p> <p>(43) 国際公開日 1997年9月25日(25.09.97)</p>
<p>(21) 国際出願番号 PCT/JP97/00882</p> <p>(22) 国際出願日 1997年3月18日(18.03.97)</p> <p>(30) 優先権データ 特願平8/60528 1996年3月18日(18.03.96) JP 特願平8/176079 1996年7月5日(05.07.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電子工業株式会社 (MATSUSHITA ELECTRONICS CORPORATION)[JP/JP] 〒569 大阪府高槻市幸町1番1号 Osaka, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 平野博茂(HIRANO, Hiroshige)[JP/JP] 〒631 奈良県奈良市富雄北2-7-21 Nara, (JP) 浅利康二(ASARI, Koji)[JP/JP] 〒569-11 大阪府高槻市郡家新町35-22 Osaka, (JP)</p> <p>(74) 代理人 弁理士 松田正道(MATSUDA, Masamichi) 〒532 大阪府大阪市淀川区宮原5丁目1番3号 新大阪生島ビル Osaka, (JP)</p>	<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書 補正書</p>	

(54) Title: DATA READING METHOD FOR FERROELECTRIC MEMORY, AND FERROELECTRIC MEMORY

(54) 発明の名称 強誘電体メモリ装置のデータ読み出し方法及び強誘電体メモリ装置



(57) Abstract

A ferroelectric memory reading method capable of carrying out a low-voltage operation more reliably than a conventional method of this kind, and a ferroelectric memory are provided. In order to achieve the above objects, an operation for turning the electric potentials of bit lines BLO, /BLO into logical voltages "H", "L" respectively is carried out by a sense amplifier after a pulsatile cell plate signal CP has been applied to a cell plate electrode as shown in, for example, the figure. Namely, an electric field is temporarily applied to a ferroelectric capacitor, and then the application of a signal to the cell plate electrode is controlled so as not to apply the electric field to the same capacitor, the electric potentials of the bit lines being thereafter amplified by a sense amplifier.

(57) 要約

低電圧動作が従来に比べてより一層確実にできる強誘電体メモリ装置の読み出し方法及び強誘電体メモリ装置を提供することを目的とする。この目的を達成するために、例えば、第1図に示す様に、セルプレート電極にパルス状のセルプレート信号CPを印加した後に、ビット線BL0と/BL0の電位を、それぞれセンスアンプにより論理電圧”H”と”L”にする動作を行う。即ち、セルプレート電極に対して、強誘電体キャパシタに一旦電界をかけて、その後電界をかけない様に信号の印加を制御した後に、ビット線の電位をセンスアンプで増幅する。

情報としての用途のみ

PCTに基づいて公開される国際出版をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	RSE	スウェーデン
AT	オーストリア	FI	フィンランド	LT	リトアニア	SG	シンガポール
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LV	ラトヴィア	SK	スロバキア共和国
BB	バルバドス	GB	イギリス	MC	モナコ	SN	セネガル
BF	ブルキナ・ファソ	GH	グルジア	MD	モルドバ	SZ	スワジランド
BG	ブルガリア	GN	ギニア	MG	マダガスカル	TD	チュニジア
BR	ブラジル	GR	ギリシャ	MK	マケドニア	TG	トーゴ
BY	ベラルーシ	HU	ハンガリー	ML	マリ	TJ	タジキスタン
CA	カナダ	IE	アイルランド	MN	モンゴル	TM	トルクメニスタン
CC	中央アフリカ共和国	IS	アイスランド	MR	モーリタニア	TR	トルコ
CF	中央アフリカ共和国	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CG	コンゴ	JP	日本	MX	メキシコ	UG	ウガンダ
CH	スイス	KE	ケニア	NE	ニジェール	US	米国
CI	コート・ジボアール	KG	キルギスタン	NL	オランダ	UZ	ウズベキスタン共和国
CM	カメルーン	KP	朝鮮民主主義人民共和国	NO	ノルウェー	VN	ベトナム
CN	中国	KR	大韓民国	NZ	ニュージーランド	YU	ユーゴスラビア
DE	ドイツ	KZ	カザフスタン	PL	ポーランド		
DK	デンマーク	LI	リヒテンシュタイン	PT	ポルトガル		
		LU	ルクセンブルク	RO	ルーマニア		

明 細 書

強誘電体メモリ装置のデータ読み出し方法及び強誘電体メモリ装置

技術分野

本発明は、強誘電体メモリ装置の読み取り方法及び強誘電体メモリ装置に関するものである。

背景技術

近年、メモリセルのキャパシタに強誘電体材料を用いることにより記憶データの揮発性を実現した強誘電体メモリ装置が考案されている。強誘電体キャパシタはヒステリシス特性を有し、電界が零のときでも履歴に応じた異なる極性の残留分極が残る。記憶データを強誘電体キャパシタの残留分極で表わすことにより揮発性メモリ装置を実現するものである。

アメリカ特許4,873,664号明細書には、二つのタイプの強誘電体メモリ装置が開示されている。第1のタイプは、メモリセルが1ビットあたり1トランジスタおよび1キャパシタ(1T1C)で構成したものであり、たとえば256個の本体メモリセル(ノーマルセル)毎に1個のリファレンスメモリセルが設けられる。第2のタイプは、リファレンスメモリセルを設けずに、メモリセルが1ビットあたり2トランジスタおよび2キャパシタ(2T2C)で構成したものであり、1対の相補データが1対の強誘電体キャパシタに記憶される。

キャパシタを構成する強誘電体材料としては、 KNO_3 、 $\text{PbLa}_2\text{O}_3\text{-ZrO}_2\text{-TiO}_2$ 、および $\text{PbTiO}_3\text{-PbZrO}_3$ などが知られている。PCT国際公開第WO93/12542公報によれば、強誘電体メモリ装置に適した、P

b T i O₃-P b Z r O₃に比べて極端に疲労の小さい強誘電体材料も知られている。

例えば2 T 2 C構成の強誘電体メモリ装置の構成とその従来の動作態様について簡単に説明する。第3 1 図がメモリセル構成図、第3 2 図がセンスアンプ回路図、第3 3 図が動作タイミング図、第3 4 図が強誘電体キャパシタの動作のヒステリシス特性図、第3 5 図が電源電圧とデータ読み出し時ビット線電圧の関係図である。

また、第3 1 図において、C 0 0 ~ C 3 7 が強誘電体キャパシタ、C P D がセルプレートドライバ、S A 0 ~ S A 3 がセンスアンプ、C P がセルプレート信号、W L 0 ~ W L 3 がワード線、B L 0 ~ B L 3、/ B L 0 ~ / B L 3 がビット線である。また、第3 2 図において、B P がビット線プリチャージ信号、/ S A P、S A N がセンスアンプ制御信号、V S S が接地電圧、V D D が電源電圧である。

また、第3 4 図において、点A ~ F が、強誘電体キャパシタの両電極に正負の電界を印加したときのヒステリシス特性を示す点であり、点P 9 0 1 ~ P 9 0 3 が強誘電体キャパシタの読み出し時の状態を示す点である。

メモリセル構成は、例えばセンスアンプS A 0 にビット線B L 0 と/ B L 0 が接続され、ビット線B L 0、/ B L 0 にはワード線W L 0 をゲートとするNチャネル型M O S トランジスタを介してそれぞれ強誘電体キャパシタC 0 0、C 0 1 が接続されている。さらに強誘電体キャパシタC 0 0、C 0 1 はセルプレートドライバC P D で駆動されるセルプレート信号C P に接続されている。また、センスアンプS A 0 はセンスアンプ制御信号/ S A P、S A N で制御され、ビット線プリチャージ信号B P によってビット線B L 0 と/ B L 0 のプリチャージが制御される回路構成である。

次に、動作については第33図および第34図を参照しながら説明する。

まず、ビット線プリチャージ信号BPによってビット線BL0と/BL0は論理電圧“L”にプリチャージされている。その後、ビット線プリチャージ信号BPを論理電圧“L”にし、ビット線BL0と/BL0はフローティング状態になる。

また、強誘電体キャパシタC00およびC01の初期状態は、それぞれ、第34図の点Bと点Eである。次に、ワード線WL0を論理電圧“H”、セルプレート信号CPを論理電圧“H”とする。ここでは、ワード線WL0の論理電圧“H”の電位レベルは電源電圧VDD以上に昇圧した電圧である。このとき、強誘電体キャパシタC00およびC01の両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位が、ビット線BL0と/BL0に生じる。それら双方の電圧が、読み出されたデータとなる。強誘電体キャパシタC00およびC01の状態は、それぞれ、第34図の点P901と点P902である。

この後、センスアンプ制御信号/SAPを論理電圧“L”、SANを論理電圧“H”とし、センスアンプSA0を作動させる。これによって、ビット線から読み出された電位が電源電圧VDDと接地電圧VSSに増幅される。即ち、センスアンプSA0の動作により、ビット線BL0、/BL0から読み出された電位の内、より高い電位を示したビット線BL0に電源電圧VDDが印加される。これにより、ビット線BL0の電位が論理電圧“H”に変わる。これと同時に、より低い電位を示したビット線/BL0に接地電圧VSSが印加されて、ビット線BL0の電位が論理電圧“L”に変わる。このようにして、双方のビット線の電位を、その電位の違いに応じて、論理電圧“H”と“L”に変えることが出来る。

つまり、双方のビット線の電位差が、センスアンプSA0により電源電圧VDDと接地電圧VSSとの電位差にまで増幅されるのである。この様な動作を、本明細書では、単に、ビット線から読み出された電位を電源電圧VDDと接地電圧VSSに増幅すると言う。

このとき、強誘電体キャパシタC00およびC01の状態は、それぞれ、第34図の点P903と点Dである。

次に、再書き込み動作としてセルプレート信号CPを論理電圧“L”とする。この再書き込み動作は、強誘電体キャパシタの分極レベルの減少を防止し、次の読み出し動作がスムーズに行える様にするための動作である。強誘電体キャパシタC00およびC01の状態は、それぞれ、第34図の点Aと点Eである。

この後、センスアンプを停止し、ビット線プリチャージ信号BPによってビット線BL0と/BL0は論理電圧“L”にプリチャージする。強誘電体キャパシタC00およびC01の状態は第34図の点Bと点Eである。

また、上記の読み出し動作としてセルプレート信号CPを論理電圧“H”としビット線BL0と/BL0にデータが読み出されたときのビット線BL0と/BL0の電位と電源電圧との関係が第35図に示されている。第35図に示した点線は、ワード線WL0の論理電圧“H”の電位レベルが、電源電圧VDDより充分高く、メモリセルトランジスタのしきい値の影響が無いとしたときのビット線BL0の電位を示す線である。しかし、実際には点線で示された電位よりも低い実線で示された電位となる。

しかし、従来の2T2C構成の強誘電体メモリ装置では、上記でも示したように、メモリセルトランジスタのしきい値の影響によりビット線に読み出される電位が低くなることがあり、この場合にはビット線対間の電位差すなわちビット線

B L 0 と / B L 0 の電位差が小さくなる。特に低電圧ではその影響が大きくなり低電圧動作が困難となるという問題点があった。

そのため、この問題点を解決するためにワード線を昇圧すると、回路的に複雑になると共に、高電源電圧でワード線を昇圧することによりメモリセルトランジスタの耐圧などの点で課題が生じる。

また、読み出し動作における、ビット線の論理電圧“L”側の動作としては、強誘電体キャパシタに対して、電源電圧と同じ値の電圧が、しかも一方向に印加されることになるため、強誘電体キャパシタの読み出し回数の寿命の面で、不利となることがあるという課題があった。尚、これらの課題は、2 T 2 C 構成の強誘電体メモリ装置に限ったものではなく、1 T 1 C 構成の強誘電体メモリ装置についてもいえる。

発明の開示

本発明は、この様な従来の課題を考慮し、低電圧動作が従来に比べてより一層確実に行える強誘電体メモリ装置の読み出し方法及び強誘電体メモリ装置を提供することを目的とする。

上記目的を達成するため、請求項1記載の本発明は、ワード線に接続されたゲートとビット線に接続されたドレインとを有するメモリセルトランジスタと、セルプレートに接続された第1の電極と前記メモリセルトランジスタのソースに接続された第2の電極とを有する、データが記憶された強誘電体キャパシタと、前記ビット線に接続された電位変更手段とを備えた強誘電体メモリ装置における前記記憶されたデータの読み出し方法であって、前記セルプレートを第1の電位から前記第2の電位に遷移させ、更にその第2の電位から前記第1の電位の側に遷

移させる一連の動作を少なくとも1回行った後、前記ビット線の電位を前記電位変更手段により所定値に変え、その所定値を読み出す強誘電体メモリ装置のデータ読み出し方法である。

請求項記載2の本発明は、上記所定値に変える動作を前記セルプレートの前記一連の動作の後に行うか、あるいは、前記第1の電位から前記第2の電位に遷移させた後に行うかを、前記ビット線のビット線容量の値及び/又は前記強誘電体メモリ装置の所定の電源電圧の値に基づいて、決定する強誘電体メモリ装置のデータ読み出し方法である。

請求項3記載の本発明は、ワード線に接続されたゲートとビット線に接続されたドレインとを有するメモリセルトランジスタと、所定の電位に遷移するセルプレートと、前記セルプレートに接続された第1の電極と前記メモリセルトランジスタのソースに接続された第2の電極とを有する、データが記憶される強誘電体キャパシタと、前記ビット線に接続されたセンスアンプと、前記セルプレートに対し前記第1の電位から前記第2の電位に遷移させ、更にその第2の電位から前記第1の電位の側に遷移させた後、前記センスアンプに対し、前記ビット線の電位を所定値に変えさせる制御手段とを備えた強誘電体メモリ装置である。

請求項8記載の本発明は、ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、前記ビット線に接続されたセンスアンプと、所定の電圧を検知する電圧検知回路と前記検知電圧に基づいて、セルプレートの駆動を制御する制御回路とを具備し、前記制御回路は、前記電圧検知回路の検知結果が所定基準を満たすか否かに応じて、前記セルプレートを遷移駆動させる第1の駆動モード又は、前

記セルプレートを実用パルス駆動させる第2の駆動モードの何れかの駆動モードに切り換える強誘電体メモリ装置である。

上記構成により、本発明は、例えばセルプレート信号を実用パルス駆動し、強誘電体メモリセルキャパシタに電界を一方向に印加した後、更に、無印加又は逆方向に印加した後に、センスアンプを駆動する読み出し方式により、あるいは、セルプレート信号を複数回遷移させた後にセンスアンプを駆動する読み出し方式により、読み出しビット線電圧差を大きくする。また、電源電圧検知信号により、上記駆動方式を選択的に使用することにより、広電源電圧範囲で読み出しビット線電圧差を大きくする。また、セルプレート信号を複数回遷移させる読み出し方式において、その遷移回数を消費電流を考慮して最適化でき、また、セルプレート信号の遷移時の電圧を最適化することもできる。

図面の簡単な説明

第1図は、本発明の第1の実施の形態の強誘電体キャパシタの動作タイミング図である。

第2図は、本発明の第1の実施の形態の強誘電体キャパシタの動作のヒステリシス特性図である。

第3図は、本実施の形態の他の例の強誘電体キャパシタの動作タイミング図である。

第4図は、本実施の形態の他の例の強誘電体キャパシタの動作のヒステリシス特性図である。

第5図は、本発明の第1の実施の形態における電源電圧とデータ読み出し時ビット線電圧の関係図である。

第6図は、本発明の第2の実施の形態の強誘電体キャパシタの動作のヒステリシス特性図である。

第7図は、本発明の第3の実施の形態の動作タイミング図である。

第8図は、本発明の第4の実施の形態における動作タイミング図である。

第9図は、本発明の第4の実施の形態における強誘電体キャパシタの動作のヒステリシス特性図である。

第10図は、本発明の第4の実施の形態における電源電圧とデータ読み出し時ビット線電圧の関係図である。

第11図は、本発明におけるプレート遷移動作方式と第4の実施の形態におけるプレートパルス駆動動作方式との選択切り換え点の電源電圧依存性を示す図である。

第12図は、本発明の第5の実施の形態における強誘電体キャパシタの動作のヒステリシス特性図である。

第13図は、本発明の第5の実施の形態における電源電圧とデータ読み出し時ビット線電圧の関係図である。

第14図は、1T1C型のメモリセル構成図である。

第15図は、本発明の第6の実施の形態における動作タイミング図である。

第16図は、本発明の第7の実施の形態における動作タイミング図である。

第17図は、本発明の第8の実施の形態における動作タイミング図である。

第18図は、本発明の第8の実施の形態における強誘電体キャパシタの動作のヒステリシス特性図である。

第19図は、本発明の第9の実施の形態における動作タイミング図である。

第20図は、本発明の第8、第9の実施の形態における動作におけるプレート

駆動回数とビット線読み出し電圧の関係図である。

第21図は、本発明の第10の実施の形態における動作タイミング図である。

第22図は、本発明の第10の実施の形態における強誘電体キャパシタの動作のヒステリシス特性図である。

第23図は、本発明の第11の実施の形態における動作タイミング図である。

第24図は、本発明の第11の実施の形態における強誘電体キャパシタの動作のヒステリシス特性図である。

第25図は、本発明の第12の実施の形態における動作タイミング図である。

第26図は、本発明の第12の実施の形態における強誘電体キャパシタの動作のヒステリシス特性図である。

第27図は、2T2C型のメモリセル構成図である。

第28図は、従来例の動作タイミング図である。

第29図は、従来例の強誘電体キャパシタの動作のヒステリシス特性図である。

第30図は、従来例のビット線容量とビット線電圧の関係図である。

第31図は、メモリセルの構成の一例を示す図である。

第32図は、センスアンプ回路の構成の一例を示す図である。

第33図は、従来例の動作タイミング図である。

第34図は、従来例の強誘電体キャパシタの動作のヒステリシス特性図である。

第35図は、従来例の電源電圧とデータ読み出し時ビット線電圧の関係図である。

符号の説明

1 メモリセル

2 ビット線プリチャージ回路

3 センスアンプ

4 リファレンス電圧発生回路

P201~P203、P401~P403、P901~P903 強誘電体キ
ャパシタの読み出し時の状態を示す点

C0~C9、C00~C09、C10~C37 強誘電体キャパシタ

CPD セルプレートドライバ

SA0~SA3 センスアンプ

CP セルプレート信号

WL、WL0~WL3 ワード線

BL、/BL、BL0~BL3、/BL0~/BL3 ビット線

BP ビット線プリチャージ信号

/SAP、SAN、SAE センスアンプ制御信号

VSS 接地電圧

VDD 電源電圧

RCP リファレンスセルプレート信号

RWL リファレンスワード線

EQ0、EQ1 ビット線イコライズ信号

INV 否定回路

Qn0~Qn27 Nチャンネル型MOSトランジスタ

Qp21~Qp23 Pチャンネル型MOSトランジスタ

t11~t218 時刻

L1H~L3H、L1L~L3L ビット線容量を示す直線

H11～H215、L11～L215 各動作状態での強誘電体キャパシタの状態を示す点

VH1～VH21 “H”の読み出し電圧

VL1～VL21 “L”の読み出し電圧

$\Delta V1 \sim \Delta V21$ 読み出し電位差

発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)

ここでは、本発明の強誘電体メモリ装置の一実施の形態について、図面を用いて説明する。

即ち、第1図は、本発明の第1の実施の形態の強誘電体メモリ装置における動作タイミング図、第2図は、強誘電体キャパシタの動作のヒステリシス特性図、第5図は、電源電圧とデータ読み出し時ビット線電圧の関係図である。

メモリセルの構成は、従来と同様の構成であり、第31図に示す通りである。又、センスアンプの回路図も、従来と同様であり、第32図に示す通りである。従って、本実施の形態の強誘電体メモリ装置の回路構成の説明は省略する。但し、センスアンプやセルプレート信号CPを制御する制御回路(図示省略)は、従来と異なるものである。この点については、以下に示す動作説明の中で触れる。

尚、第2図において、点A～Fは、強誘電体キャパシタの両電極に正負の電界を印加したときのヒステリシス特性を示し、点P201～P203は、強誘電体キャパシタの読み出し時の状態を示す点である。

又、本発明の電位変更手段は、第31図に示すセンスアンプSA0～SA3に

対応する。

以下、本実施の形態の動作について、第1図および第2図を参照しながら説明し、本発明の強誘電体メモリ装置のデータ読み出し方法の一実施の形態についても同時に述べる。

まず、ビット線プリチャージ信号BP（図示省略）がHのとき、ビット線BL0と／BL0は、論理電圧“L”にプリチャージされている。

次に、ビット線プリチャージ信号BPをLとすると、ビット線BL0と／BL0は、フローティング状態となる。また、強誘電体キャパシタC00およびC01の初期状態は、それぞれ、第2図に示す点Bと点Eに対応する状態にある。

次に、制御回路（図示省略）からの指示により、ワード線WL0を論理電圧“H”、セルプレート信号CPを論理電圧“H”とする。ここでは、ワード線WL0の論理電圧“H”の電位レベルは、電源電圧VDD以上としている。そのため、強誘電体キャパシタに印加される電圧は、電源電圧VDD以上に昇圧された電圧からメモリセルトランジスタのしきい値だけ低い電圧となる。例えば、電源電圧VDDが3.0V、昇圧された電圧が4.0V、しきい値が1.5Vであれば、強誘電体キャパシタに印加される電圧は、 $4.0 - 1.5 = 2.5$ Vとなる。昇圧された電圧が電源電圧VDDからメモリセルトランジスタのしきい値電圧以上である場合は、例えば、 $3.0 + 1.5 = 4.5$ V以上であれば、強誘電体キャパシタに印加される電圧は、電源電圧VDD（3.0V）である。

このとき、強誘電体キャパシタC00およびC01の両電極に電界がかかり、強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位が、ビット線BL0と／BL0に生じる。このとき、強誘電体キャパシタC00およびC01の状態は、それぞれ、第2図に示す点P201と点P202に対応する

状態である。

次に、制御回路からの指示によりセルプレート信号CPを論理電圧“L”とする。このとき、ビット線BL0と／BL0に読み出された電位は低下するが、それら相互の電位差は、セルプレート信号CPを論理電圧“L”とする前に比べてより一層大きくすることが出来る。又、メモリセルトランジスタのしきい値の影響があったとしても、その影響を少なく出来る。その理由は、次の通りである。

即ち、ビット線電位が低下するため、ワード線に接続されたメモリセルトランジスタのゲート電圧と、ビット線に接続されたメモリセルトランジスタのドレイン又はソースとの電位差が大きくなるため、しきい値の影響を受けにくくなる。この電位差、即ち、ワード線とビット線間の電位差が、しきい値以上であれば、しきい値の影響はほとんど受けない。

ここでは、強誘電体キャパシタC00およびC01の状態は、第2図に示す点P203とほぼ点Eになる。

この後、制御回路から出力されるセンスアンプ制御信号／SAPを論理電圧“L”、SANを論理電圧“H”とし、センスアンプSA0を作動させる。これによって、ビット線から読み出された電位が電源電圧VDDと接地電圧VSSに増幅されるとともに、再書き込み動作も行われる。強誘電体キャパシタC00およびC01の状態は、第2図の点Aと点Eである。なお、本発明の制御手段は、上記制御回路に対応する。

ここで、点Aの状態では、上述した通り、ワード線WL0が充分昇圧されているため、強誘電体キャパシタには電源電圧VDDの電圧が印加されている。

この後、制御回路からの信号によりセンスアンプの動作を停止し、ビット線プリチャージ信号BPがLからHに変化することによってビット線BL0と／BL

0は論理電圧“L”にプリチャージする。強誘電体キャパシタC00およびC01の状態は第2図の点Bと点Eである。

又、上記の読み出し動作として、セルプレート信号CPを論理電圧“H”とし、その後、セルプレート信号CPを論理電圧“L”とした後に、ビット線BL0と/BL0にデータが読み出された場合の、ビット線BL0と/BL0の電位と電源電圧との関係が第5図に示されている。第5図の様にビット線BL0と/BL0の電位差は、従来の場合より大きな電圧となる。

また、セルプレート信号CPを論理電圧“L”とするとき、センスアンプは作動していない。そのため、ビット線はフローティング状態であり負荷が小さいため、動作が速く、消費電力も少ないという効果がある。

また、センスアンプの作動と同時に、強誘電体キャパシタへのデータ再書き込み動作も行われると言う効果もある。実際の場合、動作の下限電圧は、2.0Vから1.5V程度まで下げることが可能であり、従って、低電圧化が可能である。

また、読み出し動作において、強誘電体キャパシタC01には、P202の点で、電源電圧よりも低い電圧しか印加されないので、強誘電体キャパシタの読み出し回数の寿命の面でも、従来に比べて有利である。

次に、第1図に示した、セルプレート信号CPの駆動電圧がビット線BL0、/BL0の駆動電圧よりも大きくした場合の例を、第3図、第4図を参照しながら述べる。ここで、第3図、第4図は、それぞれ、第1図、第2図に対応している。即ち、第3図は、本例の強誘電体メモリ装置における動作タイミング図であり、第4図がその強誘電体キャパシタの動作のヒステリシス特性図である。

即ち、第3図に示すように、セルプレート信号CPの論理電圧“H”の電圧レベルをセンスアンプの駆動電圧（ここでは、電源電圧VDDである）よりも大き

くすることにより、ビット線BL0とビット線/BL0との電位差を、第1図に示した場合に比べて、より大きくすることが出来る。従って、この場合、第1図に示した動作を行う上記の例に比べて、データの読み出し電位差が大きくなるので、更に、低電圧動作が可能である。

(実施の形態2)

第6図は、本発明の第2の実施の形態の強誘電体メモリ装置における強誘電体キャパシタの動作のヒステリシス特性図であり、同図を参照しながら、本実施の形態の説明を行う。

即ち、同図において、点A～Fは、強誘電体キャパシタの両電極に正負の電界を印加したときのヒステリシス特性、点P401～P403は、強誘電体キャパシタの読み出し時の状態を示す点である。

本実施の形態の動作タイミングについては、第1の実施の形態で示した第1図と同様である。本実施の形態の特徴は、上記実施の形態と異なり、ワード線を昇圧しないことにある。即ち、強誘電体キャパシタのH側のデータの再書き込み時又は書き込み時に、電源電圧の様な高い電圧を印加せず、強誘電体キャパシタの寿命、特に読み出し書き込み回数の寿命を伸ばす工夫をしたものである。

以下に、本実施の形態の動作について説明する。

まず、ビット線プリチャージ信号BPによってビット線BL0と/BL0は論理電圧“L”にプリチャージされている。また、強誘電体キャパシタC00およびC01の初期状態は第6図の点Bと点Eである。

次に、ワード線WL0を論理電圧“H”、セルプレート信号CPを論理電圧“H”とする。ここでは、ワード線WL0の論理電圧“H”の電位レベルは、電源電圧VDDである。強誘電体キャパシタに印加される電圧は、電源電圧VDDか

らメモリセルトランジスタのしきい値だけ低い電圧である。このとき、強誘電体キャパシタC00およびC01の両電極に電界がかかり、強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線BL0と/BL0に生じる。

次に、制御回路からの指示によりセルプレート信号CPを論理電圧“L”とする。このとき、ビット線BL0と/BL0に読み出された電位は低下するが、それら相互の電位差は、セルプレート信号CPを論理電圧“L”とする前に比べてより一層大きくなる。又、メモリセルトランジスタのしきい値の影響があつたとしても、その影響を少なく出来る。強誘電体キャパシタC00およびC01の状態は第6図に示す点P403と点Eである。

この後、上記第1の実施の形態と同様に、センスアンプSA0を作動させる。これによって、ビット線に読み出された電位が電源電圧VDDと接地電圧VSSに増幅されるとともに、再書き込み動作も行われる。強誘電体キャパシタC00およびC01の状態は第6図に示す点Aと点Eである。

本実施の形態の場合、上述した通り、点Aの状態では、ワード線が昇圧されていないため、強誘電体キャパシタには電源電圧VDDからメモリセルトランジスタのしきい値だけ低い電圧しか印加されない。

この後、センスアンプを停止し、ビット線プリチャージ信号BPによってビット線BL0と/BL0は論理電圧“L”にプリチャージする。強誘電体キャパシタC00およびC01の状態は、第6図に示す点Bと点Eに対応する状態である。

本実施の形態の強誘電体メモリ装置では、第1の実施の形態で述べたことと同様、読み出し動作における、強誘電体キャパシタC01への印加電圧が、電源電圧VDDより低くなる。また、本強誘電体メモリ装置の場合、再書き込み時にお

いて、強誘電体キャパシタC00に対して、電源電圧VDDからメモリセルトランジスタのしきい値だけ低い電圧しか印加されない。そのために、本強誘電体メモリ装置の強誘電体キャパシタC00、C01の寿命、特に読み出し書き込み回数の寿命が伸びると言う効果がある。さらに、再書き込み時において、強誘電体キャパシタに印加される電圧が、電源電圧VDDよりしきい値分だけ低いため、駆動のための消費電力も少ないという効果もある。

(実施の形態3)

第7図は、本発明の第3の実施の形態の強誘電体メモリ装置における動作タイミング図であり、同図を参照しながら本実施の形態を説明する。

本実施の形態の強誘電体キャパシタの動作のヒステリシス特性は、第2の実施の形態の場合と同様であり、第6図を用いて説明する。

本実施の形態の特徴は、ワード線を選択する前にセルプレート信号を駆動し、ワード線を選択したときに、すぐに強誘電体キャパシタから電荷を読み出すようにしたことにより、高速動作を実現するものである。尚、センスアンプSA0の作動タイミングは、第1及び第2の実施の形態と同様である。

次に、本実施の形態の動作について説明する。

まず、ビット線プリチャージ信号BPによってビット線BL0と/BL0は論理電圧“L”にプリチャージされている。また、強誘電体キャパシタC00およびC01の初期状態は第6図の点Bと点Eである。

次に、セルプレート信号CPを論理電圧“H”とする。このとき、強誘電体キャパシタの状態は特に変わらない。

次に、ワード線WL0を論理電圧“H”とする。ここでは、ワード線WL0の論理電圧“H”の電位レベルは電源電圧VDDとするが、昇圧することも可能で

ある。このとき、セルプレート信号CPは、既に論理電圧“H”であるため、強誘電体キャパシタC00およびC01の両電極に電界がかかり、強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位が、ビット線BL0と/BL0に生じる。そして、それらの電位が読み出される。

次に、セルプレート信号CPを論理電圧“L”とする。このとき、ビット線BL0と/BL0に読み出された電位は低下するが、それらの電位差は、メモリセルトランジスタのしきい値の影響がなくなるため、大きくなる。強誘電体キャパシタC00およびC01の状態は、第6図の点P403と、ほぼ点Eとなる。

この後、センスアンプを作動させる。これによって、ビット線に読み出された電位が、電源電圧VDDと接地電圧VSSに増幅されるとともに、再書き込み動作も行われる。強誘電体キャパシタC00およびC01の状態は、第6図の点Aと点Eである。点Aの状態ではワード線が昇圧されていないため、強誘電体キャパシタには、電源電圧VDDからメモリセルトランジスタのしきい値だけ低い電圧しか印加されない。

この後、センスアンプを停止し、ビット線プリチャージ信号BPによってビット線BL0と/BL0は、論理電圧“L”にプリチャージする。強誘電体キャパシタC00およびC01の状態は、第6図の点Bと点Eである。

この様に、本実施の形態の強誘電体メモリ装置によれば、ワード線の選択と同時に、強誘電体キャパシタから電荷が読み出されるため、高速動作を実現できる。さらに第2の実施の形態と組み合わせた実施例によって、両方の効果を得ることもできる。

以上、2T2C型の構成の強誘電体メモリ装置について説明したが、この構成に限ったものではなく、1T1C型の構成の強誘電体メモリ装置についても同様

の動作方法により実施でき、同様の効果が得られる。以下、セルプレートを一且、Hレベルに上げ、その後、Lレベルに下げた後に、センスアンプを作動させると言う、上述した様な動作方法を、プレートパルス駆動動作方式と呼ぶ。

このように、上述した実施の形態によれば、強誘電体メモリセルキャパシタからビット線に読み出される電位は、メモリセルトランジスタのしきい値の影響がなく、低電圧動作が可能である。また、セルプレート信号遷移時の負荷も小さく、高速動作が可能で低消費電力の強誘電体メモリ装置とすることができるという効果がある。

ところで、上述した実施の形態は、ビット線容量の値及び電源電圧の値が所定の条件下にある場合、特に、後述する様に、ビット線容量の値が小さい場合や、電源電圧が小さい場合に有効に作用するものである。しかし、強誘電体メモリ装置の、ビット線容量や電源電圧は、動作中において変動することもあり、また、意図的に各種値の設定を変えることもある。このように、ビット線容量や電源電圧が変化することにより、上述したビット線間の電位差は変化する。

そこで、以下に、ビット線容量や電源電圧の変化をも考慮して、上記プレートパルス駆動動作を実施する場合等の実施の形態を説明する。

実施の形態の説明に入る前に、先ず、上述した、ビット線容量や電源電圧が変化することにより、ビット線間の電位差が変化する点について、従来の構成を基にして述べる。

即ち、従来の2T2C型の構成の強誘電体メモリ装置について、その構成と動作について簡単に説明する。

第27図は、メモリセルおよびその周辺回路構成図、第28図は動作タイミング図、第29図は強誘電体キャパシタの動作のヒステリシス特性図、第30図は

ビット線容量とビット線電圧の関係図である。また、C21～C22が強誘電体キャパシタ、CPがセルプレート信号である。また、WLがワード線、BL、/BLがビット線である。又、BPがビット線プリチャージ信号、SAEがセンスアンプ制御信号、VSSが接地電圧である。また、INVが否定回路、Qn21～Qn27がNチャンネル型MOSトランジスタ、Qp21～Qp23がPチャンネル型MOSトランジスタである。また、1がメモリセル、2がビット線プリチャージ回路、3がセンスアンプを表している。t211～t218は、時刻（タイミング）を示し、L1H、L1Lはビット線容量を示す直線である。また、H211～H215、L211～L215は、各動作状態での強誘電体キャパシタの状態を示す点である。また、VH21は“H”の読み出し電圧、VL21は“L”の読み出し電圧、 $\Delta V21$ は読み出し電位差である。

回路構成は、センスアンプ3にビット線BLと/BLが接続され、ビット線BL、/BLにはワード線WLをゲートとするNチャンネル型MOSトランジスタQn21、Qn22を介してそれぞれ強誘電体キャパシタC21、C22が接続されている。さらに、強誘電体キャパシタC21、C22は、セルプレート信号CPに接続されている。また、センスアンプ3は、センスアンプ制御信号SAEで制御され、ビット線プリチャージ信号BPによってビット線BLと/BLのプリチャージが制御される回路構成である。

次に、上記2T2C型の構成の強誘電体メモリ装置の動作について第28図および第29図を参照しながら説明する。

まず、ビット線プリチャージ信号BPによってビット線BLと/BLは論理電圧“L”にプリチャージされている。このとき、強誘電体キャパシタC21およびC22の初期状態は、第29図の点H211と点L211である。

時刻 t_{211} で、ビット線 BL と \overline{BL} をフローティング状態とし、時刻 t_{212} で、ワード線 WL を論理電圧 “H”、時刻 t_{213} で、セルプレート信号 CP を論理電圧 “H” とする。ここでは、ワード線 WL の論理電圧 “H” の電位レベルは、電源電圧 V_{DD} 以上に昇圧した電圧である。このとき、強誘電体キャパシタ C_{21} および C_{22} の両電極に電界がかかり、強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位が、ビット線 BL と \overline{BL} に読み出される。強誘電体キャパシタ C_{21} および C_{22} の状態は第 29 図の点 H_{213} と点 L_{213} である。

時刻 t_{214} で、センスアンプ制御信号 SAE を論理電圧 “H” とし、センスアンプを作動させる。これによって、ビット線に読み出された電位が電源電圧 V_{DD} と接地電圧 V_{SS} に増幅される。強誘電体キャパシタ C_{21} および C_{22} の状態は第 29 図の点 H_{214} と点 L_{214} である。

時刻 t_{215} で、再書き込み動作としてセルプレート信号 CP を論理電圧 “L” とする。強誘電体キャパシタ C_{21} および C_{22} の状態は第 29 図の点 H_{215} と点 L_{215} である。

この後、センスアンプを停止し、ビット線プリチャージ信号 BP によって、ビット線 BL と \overline{BL} は、論理電圧 “L” にプリチャージする。強誘電体キャパシタ C_{21} および C_{22} の状態は第 29 図の点 H_{211} と点 L_{211} である。

次に、第 30 図に読み出し動作におけるビット線容量とビット線電圧の関係について説明する。読み出し動作におけるビット線電圧は、ビット線容量によって変わる。この点については、第 29 図において、ビット線容量を示す直線 L_{1H} および直線 L_{1L} の傾き（ビット線容量）の変化によって読み出しビット線電圧 V_{H21} 、 V_{L21} が変わることが示されている。また、これにともない、ビッ

ト線BLと/B Lのビット線電圧差 ΔV_{21} も変わる。この第30図に読み出し動作におけるビット線容量とビット線電圧の関係図からビット線BLと/B Lのビット線電圧差 ΔV_{21} は、極大値をもつことがわかる。また、この極大値をもつときのビット線容量値は、メモリセル容量と関係があり、ビット線容量とメモリセル容量との比で決まるものである。

このように、ビット線容量値を最適化することにより、ビット線BLと/B Lのビット線電圧差 ΔV_{21} を大きくすることができ、センスアンプの動作を安定させることができものである。しかし、実際のデバイスでは、ビット線容量が非常に小さいことがあり、ビット線BLと/B Lの読み出しビット線電圧差が小さく、低電圧動作が困難となることがある。

そこで、次に、この様なビット線電圧差の変化を考慮して、例えば、ビット線容量が小さいとき、あるいは、電源電圧が低い場合には、上記プレートパルス駆動動作方式を使用し、それ以外の条件では、従来のプレート遷移動作方式を使用すると言う駆動方式の切換を行う場合を中心に述べる。又、その他の実施の形態についても具体的に述べる。

以下、本発明の強誘電体メモリ装置の実施の形態について、図面を参照しながら説明する。

(実施の形態4)

第8図は本実施の形態の強誘電体メモリ装置で、ある電源電圧値以下で選択的に使用する動作タイミング図、第9図が強誘電体キャパシタの動作のヒステリシス特性図である。また、第10図がビット線容量とビット線電圧の関係図である。また、第11図が、従来のプレート遷移動作方式と第8図のプレートパルス駆動動作方式との選択切り換え点の電源電圧依存性を示す図である。メモリセルおよ

びその周辺回路構成図は従来例と同じ第27図である。図中の記号については、従来例と同様である。尚、L2H, L2Lは、セルプレート信号CPを立ち下げで”L”とした時のビット線容量を示す直線である。

本実施の形態の動作について第8図および第9図を参照しながら説明する。

まず、ビット線プリチャージ信号BPによってビット線BLと/BLは論理電圧“L”にプリチャージされている。

このとき、強誘電体キャパシタC21およびC22の初期状態は第9図の点H11と点L11である。

時刻t11でビット線BLと/BLをフローティング状態とし、時刻t12でワード線WLを論理電圧“H”、時刻t13でセルプレート信号CPを論理電圧“H”とする。ここでは、ワード線WLの論理電圧“H”の電位レベルは、電源電圧VDD以上に昇圧した電圧である。このとき、強誘電体キャパシタC21およびC22の両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線BLと/BLに読み出される。強誘電体キャパシタC21およびC22の状態は、第9図の点H13と点L13である。

次に、時刻t14でセルプレート信号CPを論理電圧“L”とする。強誘電体キャパシタC21およびC22の状態は第9図の点H14と点L14である。ビット線電圧差は $\Delta V1$ となる。

時刻t15でセンスアンプ制御信号SAEを論理電圧“H”としセンスアンプを作動させる。これによって、ビット線に読み出された電位が電源電圧VDDと接地電圧VSSに増幅されると同時に再書き込みされる。強誘電体キャパシタC21およびC22の状態は第9図の点H15と点L15である。

この後、センスアンプを停止し、ビット線プリチャージ信号BPによってビット線BLと/BLは論理電圧“L”にプリチャージする。強誘電体キャパシタC21およびC22の状態は第9図の点H11と点L11である。

次に、上記プレートパルス駆動動作方式におけるビット線容量とビット線電圧の関係について第10図で説明する。ビット線電圧差はビット線容量によって変わる。ビット線電圧差は、プレートパルス駆動動作方式では ΔV_1 、従来のプレート遷移動作方式では ΔV_{21} となり、ビット線容量が1.8以下ではプレートパルス駆動動作方式の方がビット線電圧差は大きくなる。また、この第10図は電源電圧が5Vのときの図である。同図に示すよりも更に電源電圧が低くなると、ビット線容量が大きな場合でも、プレートパルス駆動動作方式の方が、プレート遷移動作方式よりも、ビット線電位差の点で有利となる。この関係を示したものが第11図である。

本実施の形態では、電源電圧によって、どちらの動作方式の方が、読み出し電位差を大きく出来るかと言う観点から、より一層有利な動作方式を選択するものである。例えば、ビット線容量が3.5の時には、電源電圧検知を3Vとし、電源電圧が3V以下では、プレートパルス駆動動作方式を選択し、電源電圧が3V以上ではプレート遷移動作方式を選択することができる。また、プレートパルス駆動動作方式はセンスアンプの作動と同時に強誘電体キャパシタへのデータ再書き込み動作も行われるという効果もある。

(実施の形態5)

本実施の形態5では、実施の形態4の動作方式をメモリセルのワード線WLの論理電圧“H”の電位レベルを電源電圧VDDとしたときのものである。回路構成、動作方式については実施の形態4と同様である。ワード線を昇圧せずに電源

電圧としたときには、ワード線がゲートであるメモリセルトランジスタのしきい値の影響があり、ビット線にHのデータが十分に読み出されないことがある。低電圧でビット線の容量が小さいときにこの影響は大きい。

動作について、第8図、第9図および第12図を参照しながら説明する。まず、ビット線プリチャージ信号BPによってビット線BLと/BLは論理電圧“L”にプリチャージされている。このとき、強誘電体キャパシタC21およびC22の初期状態は第12図の点H21と点L21である。第8図に示す様に、時刻t11でビット線BLと/BLをフローティング状態とし、時刻t12でワード線WLを論理電圧“H”、時刻t13でセルプレート信号CPを論理電圧“H”とする。ここでは、ワード線WLの論理電圧“H”の電位レベルは電源電圧VDDである。このとき、強誘電体キャパシタC21およびC22の両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線BLと/BLに読み出される。ただし、メモリセルトランジスタのしきい値Vtの影響でビット線のHのデータが十分に読み出されないため、強誘電体キャパシタC21およびC22の状態は第12図の点B23と点L23である。このときのビット線電圧差は $\Delta V2$ となる。次に、時刻t14でセルプレート信号CPを論理電圧“L”とする。強誘電体キャパシタC21およびC22の状態は第12図の点H24と点L24である。ビット線電圧差は $\Delta V3$ となる。時刻t15でセンスアンプ制御信号SAEを論理電圧“H”としセンスアンプを作動させる。これによって、ビット線に読み出された電位が電源電圧VDDと接地電圧VSSに増幅されると同時に再書き込みされる。強誘電体キャパシタC21およびC22の状態は第12図の点H25と点L25である。この後センスアンプを停止し、ビット線プリチャージ信号BPによってビット線BLと/BLは

論理電圧“L”にプリチャージする。強誘電体キャパシタC21およびC22の状態は第12図の点H21と点L21である。

次に、上記プレートパルス駆動動作方式と従来のプレート遷移動作方式におけるビット線容量とビット線電圧の関係について第13図で説明する。ビット線電圧差はビット線容量によって変わり、プレートパルス駆動動作方式では ΔV_3 、従来のプレート遷移動作方式では ΔV_2 となる。ワード線を昇圧していないため、従来のプレート遷移動作方式では、ビット線容量が小さいときに実施の形態4より急激に悪くなる。ビット線容量が3.5以下ではプレートパルス駆動動作方式の方がビット線電圧差は大きくなる。

本実施の形態では、実施の形態4と同様に、電源電圧によって読み出し電位差の有利な動作方式を選択するものであるが、ワード線を昇圧していない本実施例では実施の形態4に比べて低電圧動作でその効果が大きい。

(実施の形態6)

実施の形態6は1T1C構成の強誘電体メモリ装置において、実施の形態4や2のように電源電圧によって選択的に動作方式を変更するものである。

第14図がメモリセルおよびその周辺回路構成図、第15図が動作タイミング図である。C0～C7が強誘電体キャパシタ、CPがセルプレート信号、RCPがリファレンスセルプレート信号、WL0、WL1がワード線、RWLがリファレンスワード線、BL0～BL1、/BL0～/BL1がビット線、EQ0、EQ1がビット線イコライズ信号、BPがビット線プリチャージ信号、SAEがセンスアンプ制御信号、Qn0～Qn9がNチャンネル型MOSトランジスタ、1がメモリセル、2がビット線プリチャージ回路、3がセンスアンプ、4がリファレンス電圧発生回路である。t81～t89は時刻である。尚、1T1C構成の強

誘電体メモリ装置は、上述した通り、1個のリファレンスメモリセルに対し、例えば、256個の本体メモリセル1が設けられており、従って、ワード線も256本設けられている。第14図では、説明の簡略化のために、1個のリファレンスメモリセルに対し1本のワード線しか記載していない。また、ビット線BL0に対して、メモリセルキャパシタC0、C4が電氣的に接続され、ビット線/BL0に対して、メモリセルキャパシタC1、C5が電氣的に接続される。また、ビット線BL1に対して、メモリセルキャパシタC2、C6が電氣的に接続され、ビット線/BL1に対して、メモリセルキャパシタC3、C7が電氣的に接続される。

回路構成は、センスアンプ3にビット線BL0と/BL0が接続され、ビット線BL0、BL1にはワード線WL0をゲートとするNチャネル型MOSトランジスタQn0、Qn2を介してそれぞれ強誘電体キャパシタC0、C2が接続され、さらに強誘電体キャパシタC0、C2はセルプレート信号CPに接続されている。また、ビット線/BL0、/BL1にはワード線RWL0をゲートとするNチャネル型MOSトランジスタQn5、Qn7を介してそれぞれ強誘電体キャパシタC5、C7が接続され、さらに強誘電体キャパシタC5、C7はリファレンスセルプレート信号RCPに接続されている。また、ビット線BL0とBL1およびビット線/BL0と/BL1はそれぞれゲートがビット線イコライズ信号EQ0、EQ1であるNチャネル型MOSトランジスタQn8、Qn9を介して電氣的に接続できる。また、センスアンプ3はセンスアンプ制御信号SAEで制御され、ビット線プリチャージ信号BPによってビット線BL0と/BL0、BL1と/BL1のプリチャージが制御される回路構成である。

本実施の形態の動作について、第15図を参照しながら説明する。

ここでは、プレートパルス駆動動作を中心に述べ、プレート遷移動作については、上記実施の形態で説明した内容と同じであるので、その説明を省略する。

まず、ビット線プリチャージ信号BPによってビット線は論理電圧“L”にプリチャージされている。時刻t81でビット線をフローティング状態とし、時刻t82でワード線WL0、リファレンスワード線RWL0を論理電圧“H”、時刻t83でセルプレート信号CP、リファレンスセルプレート信号RCPを論理電圧“H”とする。ここで強誘電体キャパシタの両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線に読み出される。また、リファレンス強誘電体キャパシタメモリセルから読み出されたHとLのデータは、ビット線/BL0と/BL1により、イコライズされるため、本体メモリセルから読み出されたHまたはLのデータの電位の1/2となっている。

次に、時刻t84でセルプレート信号CP、リファレンスセルプレート信号RCPを論理電圧“L”とする。次に、時刻t85で、ビット線イコライズ信号EQ0を論理電圧“L”とし、リファレンス電位が発生されているビット線/BL0と/BL1を電氣的に分離し、時刻t86でセンスアンプ制御信号SAEを論理電圧“H”としセンスアンプを作動させる。これによって、ビット線に読み出された電位が電源電圧VDDと接地電圧VSSに増幅される。その後センスアンプを停止し、ビット線プリチャージ信号BPによってビット線を論理電圧“L”にプリチャージする。

この実施の形態における動作の特徴は、セルプレート信号CPおよびリファレンスセルプレート信号RCPをパルス駆動した後、すなわち、セルプレート信号CPおよびリファレンスセルプレート信号RCPを論理電圧“L”とした後に、

ビット線イコライズ信号EQ0を論理電圧“L”とし、リファレンス電位が発生されているビット線を電氣的に分離することにある。このような動作を行うことによって、リファレンス電位を正確に本体メモリセルから読み出されたHデータとLデータの間電位とすることができる。もし、セルプレート信号を論理電圧“L”とする前に、ビット線をイコライズすると、所望の間電位から少しずれることがある。

(実施の形態7)

実施の形態7も実施の形態6と同様で、1T1C構成の強誘電体メモリ装置において、実施の形態4や実施の形態5のように電源電圧によって選択的に動作方式を変更するものである。

第14図がメモリセルおよびその周辺回路構成図、第16図が動作タイミング図である。

動作について第16図を参照しながら説明する。まず、ビット線プリチャージ信号BPによってビット線は論理電圧“L”にプリチャージされている。時刻t91でビット線をフローティング状態とし、時刻t92でワード線WL0、リファレンスワード線RWL0を論理電圧“H”、時刻t93でセルプレート信号CP、リファレンスセルプレート信号RCPを論理電圧“H”とする。ここで強誘電体キャパシタの両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線に読み出される。また、リファレンス強誘電体キャパシタメモリセルから読み出されたHとLのデータはビット線/BL0と/BL1でイコライズされ本体メモリセルから読み出されたHまたはLのデータの電位の1/2となっている、次に、時刻t94で、ビット線イコライズ信号EQ0を論理電圧“L”とし、リファレンス電位が発生されているビ

ット線／BL0と／BL1を電氣的に分離する。次に、時刻 t 9 5 でセルプレート信号CP、リファレンスセルプレート信号RCPを論理電圧“L”とする。時刻 t 9 6 でセンスアンプ制御信号SAEを論理電圧“H”としセンスアンプを起動させる。これによって、ビット線に読み出された電位が電源電圧VDDと接地電圧VSSに増幅される。この後センスアンプを停止し、ビット線プリチャージ信号BPによってビット線を論理電圧“L”にプリチャージする。

この実施の形態における動作の特徴は、セルプレート信号およびリファレンスセルプレート信号RCPをパルス駆動する途中で、すなわち論理電圧“H”とした後に、ビット線イコライズ信号EQ0を論理電圧“L”とし、リファレンス電位が発生されているビット線を電氣的に分離し、その後セルプレート信号およびリファレンスセルプレート信号RCPを論理電圧“L”とすることにある。このような動作を行うことによって、リファレンス電位発生およびセンスアンプ起動の高速動作化ができる。

(実施の形態 8)

第 1 7 図は、本実施の形態における動作タイミング図であり、第 1 8 図は、強誘電体キャパシタの動作のヒステリシス特性図である。この第 8 の実施例の動作の特徴はセルプレートを複数回駆動した後にセルプレートを論理電圧“H”とし、ビット線の読み出し電位差を大きくすることにある。ここでは、回路構成図は、第 2 7 図で示した 2 T 2 C の回路図である。もちろん、このことは、1 T 1 C 型のメモリ構成にも適用できる。

本実施の形態の動作について第 1 7 図および第 1 8 図を参照しながら説明する。

まず、ビット線プリチャージ信号BPによってビット線BLと／BLは論理電圧“L”にプリチャージされている。このとき、強誘電体キャパシタC21およ

びC22の初期状態は第18図の点H101と点L101である。時刻t101でビット線BLと/BLをフローティング状態とし、時刻t102でワード線WLを論理電圧“H”、時刻t103でセルプレート信号CPを論理電圧“H”とする。このとき、強誘電体キャパシタC21およびC22の両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線BLと/BLに読み出される。強誘電体キャパシタC21およびC22の状態は第18図の点H103と点L103である。次に、時刻t104でセルプレート信号CPを論理電圧“L”とする。強誘電体キャパシタC21およびC22の状態は第18図の点H104と点L104である。次に、時刻t105でセルプレート信号CPを論理電圧“H”とする。強誘電体キャパシタC21およびC22の状態は第18図の点H105と点L105である。ビット線電圧差は $\Delta V10$ となる。時刻t106でセンスアンプ制御信号SAEを論理電圧“H”としセンスアンプを作動させる。これによって、ビット線に読み出された電位が電源電圧VDDと接地電圧VSSに増幅される。時刻t107で再書き込み動作としてセルプレート信号CPを論理電圧“L”とする。強誘電体キャパシタC21およびC22の状態は第18図の点H107と点L107である。この後センスアンプを停止し、ビット線プリチャージ信号BPによってビット線BLと/BLは論理電圧“L”にプリチャージする。強誘電体キャパシタC21およびC22の状態は第18図の点H101と点L101である。

第18図より明らかなように時刻t103で読み出されたビット線電圧差よりも、時刻t105で読み出されたビット線電圧差の方が大きい。本動作方式によると読み出されるビット線電圧差が大きくなり安定動作ができ、特にメモリセルキャパシタの特性のばらつきなどに対しても強くなるという効果がある。

(実施の形態 9)

第 19 図は本実施の形態における動作タイミング図である。この実施の形態は第 8 の実施の形態と同様でプレートを複数回駆動することによって、読み出されるビット線電圧差を大きくするものであるが、第 8 の実施の形態よりもプレートのパルス駆動回数が 1 回多いものである。動作については基本的に第 8 の実施の形態と同じである。第 20 図はプレートのパルス駆動回数と読み出されたビット線電圧差との関係を示したものである。プレートのパルス駆動回数が 5 回程度からビット線電圧差はかなり飽和してきている。プレートのパルス駆動回数を多くするとビット線電圧差は大きくなるが、それだけ消費電流も多くなる。そのため、適当な回数のプレートのパルス駆動回数が望ましい。第 8 の実施の形態や第 9 の実施の形態が現実的なものである。

(実施の形態 10)

第 21 図は本実施の形態における動作タイミング図、第 22 図が強誘電体キャパシタの動作のヒステリシス特性図である。この実施の形態における動作の特徴はプレートを複数回駆動した後にプレートを論理電圧“L”とし、ビット線の読み出し電位差を大きくすることにある。ここでは、回路構成図は、第 27 図に示した 2T2C である。もちろん、このことは、1T1C 型のメモリ構成にも適用できる。

動作について第 21 図および第 22 図を参照しながら説明する。まず、ビット線プリチャージ信号 BP によってビット線 BL と /BL は論理電圧“L”にプリチャージされている。このとき、強誘電体キャパシタ C21 および C22 の初期状態は第 22 図の点 H141 と点 L141 である。時刻 t141 でビット線 BL と /BL をフローティング状態とし、時刻 t142 でワード線 WL を論理電圧“

H”、時刻 t_{143} でセルプレート信号 CP を論理電圧 “H” とする。このとき、強誘電体キャパシタ C21 および C22 の両電極に電界がかかり強誘電体キャパシタと寄生容量などを含むビット線容量の容量比で決まる電位がビット線 BL と /BL に読み出される。強誘電体キャパシタ C21 および C22 の状態は第 22 図の点 H143 と点 L143 である。次に、時刻 t_{144} でセルプレート信号 CP を論理電圧 “L” とする。強誘電体キャパシタ C21 および C22 の状態は第 22 図の点 H144 と点 L144 である。次に、時刻 t_{145} でセルプレート信号 CP を論理電圧 “H” とする。強誘電体キャパシタ C21 および C22 の状態は第 22 図の点 H145 と点 L145 である。次に、時刻 t_{146} でセルプレート信号 CP を論理電圧 “L” とする。強誘電体キャパシタ C21 および C22 の状態は第 22 図の点 H146 と点 L146 である。ビット線電圧差は ΔV_{14} となる。時刻 t_{147} でセンスアンプ制御信号 SAE を論理電圧 “H” としセンスアンプを作動させる。これによって、ビット線に読み出された電位が電源電圧 VDD と接地電圧 VSS に増幅されるとともにデータの再書き込みが行われる。この後センスアンプを停止し、ビット線プリチャージ信号 BP によってビット線 BL と /BL は論理電圧 “L” にプリチャージする。強誘電体キャパシタ C21 および C22 の状態は第 22 図の点 H141 と点 L141 である。

第 22 図より明らかなように時刻 t_{144} で読み出されたビット線電圧差よりも、時刻 t_{146} で読み出されたビット線電圧差の方が大きい。本動作方式によると読み出されるビット線電圧差が大きくなり安定動作ができ、特にメモリセルキャパシタの特性のばらつきなどに対しても強くなるという効果がある。

(実施の形態 11)

本実施の形態における動作タイミングは第 8 の実施の形態と同様であるが、プ

プレートを複数回駆動するときの電圧レベルを変え振幅電圧を小さくしたものである。

第23図が本実施の形態における動作タイミング図、第24図が強誘電体キャパシタの動作のヒステリシス特性図である。動作については第8の実施の形態と同様である。

この実施の形態ではプレートの振幅電圧が小さいため消費電力が小さくなるという効果がある。また、読み出しビット線電位差についても振幅電圧の設定によっては第8の実施の形態とほぼ同程度にできる。

(実施の形態12)

本実施の形態における動作タイミングは第10の実施の形態と同様であるが、プレートに複数回駆動するときの電圧レベルを変え振幅電圧を小さくしたものである。

第25図が本実施の形態における動作タイミング図、第26図が強誘電体キャパシタの動作のヒステリシス特性図である。動作については第10の実施の形態と同様である。

この実施の形態ではプレートの振幅電圧が小さいため消費電力が小さくなるという効果がある。また、読み出しビット線電位差についても振幅電圧の設定によっては第10の実施の形態とほぼ同程度にできる。

本発明の請求項1、3に記載の発明は、例えば、強誘電体メモリセルキャパシタからビット線に読み出される電位は、メモリセルトランジスタのしきい値の影響がなく、より低電圧動作が可能となるという作用を有する。特にビット線の容量値が強誘電体メモリセルキャパシタの容量値より小さいときに有効である。

以上のべたところから明らかな様に、本発明の請求項5に記載の発明は、請求

項3に記載の発明において、例えば、ワード線を選択状態とした後にセルプレートをパルス駆動することで、セルプレートをパルス駆動したときに強誘電体メモリセルキャパシタから読み出される電荷をビット線に十分に読み出すことができ、読み出し電荷の無駄がないという作用を有する。

また、本発明の請求項6に記載の発明は、請求項3に記載の発明において、例えば、ワード線を電源電圧より高い電圧としないことで、特別な昇圧回路が不要であり、さらにワード線を昇圧しないため強誘電体メモリセルキャパシタにはメモリセルトランジスタのしきい値だけ低い電圧値しか印加されない。このため、強誘電体メモリセルキャパシタのエンデュランスによる劣化が抑えられ、エンデュランス特性（書き換え特性）が向上し、書き換え回数の寿命が向上するという作用を有する。

本発明の請求項7に記載の発明は、請求項3に記載の発明において、例えば、セルプレートを第1の電位から第2の電位に遷移させた後に前記ワード線を選択状態とし、その後前記セルプレートを第2の電位から第1の電位に遷移することにより、請求項5に記載の発明に比較して高速動作という作用を有する。

本発明の請求項2、8に記載の発明は、例えば、プレート遷移動作方式とプレートパルス駆動動作方式とを電源電圧検知信号により選択的に切り換えることにより広電源電圧範囲で読み出しビット線電圧差を大きくでき、低電圧動作が可能となる効果がある。特にプレートパルス駆動動作方式はビット線の容量値が小さく低電圧で有効である。

本発明の請求項9に記載の発明は、例えば、メモリセルのワード線を昇圧しないデバイスにおいて、請求項8と同様のプレート遷移動作方式とプレートパルス駆動動作方式とを電源電圧検知信号により選択的に切り換えることにより、ビッ

ト線の容量値が小さい場合、従来のプレート遷移動作方式固定の場合に比べて、低電圧動作に対して非常に効果がある。

本発明の請求項10に記載の発明は、例えば、1T1C型のメモリセルにプレートパルス駆動動作方式を用いる場合で、プレートパルス駆動の後にHデータとLデータのリファレンスビット線を分割することにより、HデータとLデータの1/2の電位を正確に発生できるという効果がある。

本発明の請求項11に記載の発明は、例えば、1T1C型のメモリセルにプレートパルス駆動動作方式を用いる場合で、プレートパルス駆動の途中でHデータとLデータのリファレンスビット線を分割することにより、リファレンス電位発生およびセンスアンプ起動の高速動作という効果がある。

本発明の請求項12～15に記載の発明は、例えば、セルプレート信号を複数回遷移させることにより、強誘電体メモリセルキャパシタからビット線に読み出される電荷量が大きくなるという効果がある。請求項14に記載の発明では、例えば、セルプレート信号を複数回遷移させ強誘電体メモリセルキャパシタに電圧印加状態でセンスアンプ駆動を行うもので、従来のプレート遷移動作方式より確実に大きな読み出し電位差が得られる。また、請求項15に記載の発明では、例えば、セルプレート信号を複数回遷移させ強誘電体メモリセルキャパシタに電圧無印加状態でセンスアンプ駆動を行うもので、ワード線を昇圧しないデバイスや低電圧動作においては、大きな読み出し電位差が得られる。

本発明の請求項16に記載の発明は、例えば、上記請求項12に記載のセルプレート信号複数回遷移動作において、遷移回数を増やすことにより読み出し電位差は大きくなるが、この読み出し電位差は飽和するため、遷移回数を最適化することにより、低消費電力の効果がある。

本発明の請求項17～19に記載の発明は、例えば、請求項12～15に記載の発明のようにセルプレート信号を複数回遷移させるときに、その遷移電圧を電源電圧より小さな電圧とし、読み出し電位差を大きくするとともに低消費電力の効果がある。

この様に本発明によれば、セルプレート信号を複数回遷移させることにより、強誘電体メモリセルキャパシタからビット線に読み出される電荷量を大きくすることができ、特に低電圧動作が可能な強誘電体メモリ装置のデータ読み出し方法及び強誘電体メモリ装置を実現することができるという効果がある。

産業上の利用可能性

以上説明したように、本発明は、例えば、セルプレート電極にパルス状のセルプレート信号CPを印加した後の、ビット線BL0と/BL0と電位を利用して、それらの電位をセンスアンプにより論理電圧”H”と”L”に変化させる構成としたことにより、低電圧での動作が従来に比べてより一層確実に行える強誘電体メモリ装置の読み出し方法及び強誘電体メモリ装置を提供することが出来る。

請 求 の 範 囲

1. ワード線に接続されたゲートとビット線に接続されたドレインとを有するメモリセルトランジスタと、セルプレートに接続された第1の電極と前記メモリセルトランジスタのソースに接続された第2の電極とを有する、データが記憶された強誘電体キャパシタと、前記ビット線に接続された電位変更手段とを備えた強誘電体メモリ装置における前記記憶されたデータの読み出し方法であって、

前記セルプレートを第1の電位から前記第2の電位に遷移させ、更にその第2の電位から前記第1の電位の側に遷移させる一連の動作を少なくとも1回行った後、前記ビット線の電位を前記電位変更手段により所定値に変え、その所定値を読み出すことを特徴とする強誘電体メモリ装置のデータ読み出し方法。

2. 前記所定値に変える動作を前記セルプレートの前記一連の動作の後に行うか、あるいは、前記セルプレートを前記第1の電位から前記第2の電位に遷移させた後に行うかを、前記ビット線のビット線容量の値及び/又は前記強誘電体メモリ装置の所定の電源電圧の値に基づいて、決定することを特徴とする請求項1記載の強誘電体メモリ装置のデータ読み出し方法。

3. ワード線に接続されたゲートとビット線に接続されたドレインとを有するメモリセルトランジスタと、

所定の電位に遷移するセルプレートと、

前記セルプレートに接続された第1の電極と前記メモリセルトランジスタのソースに接続された第2の電極とを有する、データが記憶される強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートに対し、前記第1の電位から前記第2の電位に遷移させ、更

にその第2の電位から前記第1の電位の側に遷移させた後、前記センスアンプに対し、前記ビット線の電位を所定値に変えさせる制御手段と、
を備えたことを特徴とする強誘電体メモリ装置。

4. 前記第1の電圧の側に遷移するとは、前記第2の電圧に遷移することであり、前記セルプレートの前記第1の電位と前記第2の電位の電位差が、前記センスアンプの駆動電圧よりも大きいことを特徴とする請求項3記載の強誘電体メモリ装置。

5. 前記第1の電圧の側に遷移するとは、前記第2の電圧に遷移することであり、前記第1の電位と前記第2の電位は、パルス状の電圧波形のLレベルとHiレベルに対応しており、前記制御手段は、前記ワード線を選択状態とした後に前記セルプレートに対し前記パルス状の電圧波形を出力させることを特徴とする請求項3記載の強誘電体メモリ装置。

6. 前記ワード線への印加電圧が、電源電圧以下の電圧であることを特徴とする請求項3記載の強誘電体メモリ装置。

7. 前記制御手段は、前記セルプレートに対し、前記第1の電位から前記第2の電位に遷移させた後に前記ワード線を選択状態とし、その後前記セルプレートに対し、前記第2の電位から前記第1の電位に遷移させることを特徴とする請求項3記載の強誘電体メモリ装置。

8. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

所定の電圧を検知する電圧検知回路と

前記検知電圧に基づいてセルプレートの駆動を制御する制御回路とを具備し、

前記制御回路は、前記電圧検知回路の検知結果が所定基準を満たすか否かに応じて、前記セルプレートを遷移駆動させる第1の駆動モード又は、前記セルプレートをパルス駆動させる第2の駆動モードの何れかの駆動モードに切り換えることを特徴とする強誘電体メモリ装置。

9. 前記ワード線の選択状態の電圧が、電源電圧以下の電圧であることを特徴とする請求項8記載の強誘電体メモリ装置。

10. ゲートが第1のワード線に、ドレインが第1のビット線にそれぞれ接続された第1のメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記第1のメモリセルトランジスタのソースにそれぞれ接続された第1強誘電体キャパシタと、

ゲートが第2のワード線に、ドレインが第2のビット線にそれぞれ接続された第2のメモリセルトランジスタと、

第3の電極がセルプレートに、第4の電極が前記第2のメモリセルトランジスタのソースにそれぞれ接続された第2強誘電体キャパシタと、

前記第1のビット線および前記第2のビット線を電氣的に接続するスイッチトランジスタと、

前記第1のビット線および前記第2のビット線に接続されたセンスアンプとを具備し、

前記第1のワード線と前記第2のワード線が選択され、前記スイッチトランジスタがオン状態で、前記セルプレートが第1の電源電圧から第2の電源電圧に遷移しさらに前記第1の電源電圧に遷移した後に、前記スイッチトランジスタをオ

フ状態とすることを特徴とする強誘電体メモリ装置。

11. ゲートが第1のワード線に、ドレインが第1のビット線にそれぞれ接続された第1のメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が第1のメモリセルトランジスタのソースにそれぞれ接続された第1強誘電体キャパシタと、

ゲートが第2のワード線に、ドレインが第2のビット線にそれぞれ接続された第2のメモリセルトランジスタと、

第3の電極がセルプレートに、第4の電極が前記第2のメモリセルトランジスタのソースにそれぞれ接続された第2強誘電体キャパシタと、

前記第1のビット線および前記第2のビット線を電氣的に接続するスイッチトランジスタと、

前記第1のビット線および前記第2のビット線に接続されたセンスアンプとを具備し、

前記第1のワード線および前記第2のワード線が選択され、前記スイッチトランジスタがオン状態で、前記セルプレートが第1の電源電圧から第2の電源電圧に遷移し、前記スイッチトランジスタがオフ状態となった後に前記セルプレートが前記第1の電源電圧に遷移することを特徴とする強誘電体メモリ装置。

12. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、

前記セルプレートに第1の電源電圧と第2の電源電圧に複数回遷移させた後に、前記センスアンプを動作させることを特徴とする強誘電体メモリ装置。

13. 前記第1の電源電圧と前記第2の電源電圧との差が前記センスアンプの駆動電圧よりも大きいことを特徴とする請求項12記載の強誘電体メモリ装置。

14. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する回路とを具備し、

前記セルプレートの初期の電圧を第1の電源電圧とし、前記セルプレートを前記第1の電源電圧と第2の電源電圧に複数回遷移させ、その後に前記第2の電源電圧にした後に、前記センスアンプを動作させることを特徴とする強誘電体メモリ装置。

15. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、

前記セルプレートの初期の電圧を第1の電源電圧とし、前記セルプレートを前記第1の電源電圧と第2の電源電圧に複数回遷移させ、その後に前記第1の電源電圧とした後に、前記センスアンプを動作させることを特徴とする強誘電体メモリ装置。

リ装置。

16. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、

前記セルプレートを第1の電源電圧と第2の電源電圧に複数回遷移した後に、前記センスアンプを動作させる場合、前記ビット線への読み出し電荷量の最大値の実質上半分以上となるまで、前記セルプレートを遷移させることを特徴とする強誘電体メモリ装置。

17. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、

前記セルプレートの初期の電圧を第1の電源電圧とし、前記セルプレートを第2の電源電圧と第3の電源電圧に複数回遷移させた後に、前記センスアンプを動作させることを特徴とする強誘電体メモリ装置。

18. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソ

ースにそれぞれ接続された強誘電体キャパシタと、
前記ビット線に接続されたセンスアンプと、
前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、
前記セルプレートの初期の電圧を第1の電源電圧とし、前記セルプレートを第2の電源電圧と第3の電源電圧に複数回遷移させ、その後前記第3の電源電圧にした後に、前記センスアンプを動作させることを特徴とする強誘電体メモリ装置。

19. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、

前記セルプレートの初期電圧を第1の電源電圧とし、前記セルプレートを第2の電源電圧と第3の電源電圧に複数回遷移させ、その後前記第1の電源電圧にした後に、前記センスアンプを動作させることを特徴とする強誘電体メモリ装置。

補正書の請求の範囲

[1997年8月19日(19.08.97)国際事務局受理:出願当初の請求の範囲4,5,10及び11は補正された;他の請求の範囲は変更なし。(3頁)]

にその第2の電位から前記第1の電位の側に遷移させた後、前記センスアンプに対し、前記ビット線の電位を所定値に変えさせる制御手段と、
を備えたことを特徴とする強誘電体メモリ装置。

4. (補正後) 前記第1の電圧の側に遷移するとは、前記第1の電圧に遷移することであり、前記セルプレートの前記第1の電位と前記第2の電位の電位差が、前記センスアンプの駆動電圧よりも大きいことを特徴とする請求項3記載の強誘電体メモリ装置。

5. (補正後) 前記第1の電圧の側に遷移するとは、前記第1の電圧に遷移することであり、前記第1の電位と前記第2の電位は、パルス状の電圧波形のLレベルとHレベルに対応しており、前記制御手段は、前記ワード線を選択状態とした後に前記セルプレートに対し前記パルス状の電圧波形を出力させることを特徴とする請求項3記載の強誘電体メモリ装置。

6. 前記ワード線への印加電圧が、電源電圧以下の電圧であることを特徴とする請求項3記載の強誘電体メモリ装置。

7. 前記制御手段は、前記セルプレートに対し、前記第1の電位から前記第2の電位に遷移させた後に前記ワード線を選択状態とし、その後前記セルプレートに対し、前記第2の電位から前記第1の電位に遷移させることを特徴とする請求項3記載の強誘電体メモリ装置。

8. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

前記ビット線に接続されたセンスアンプと、

所定の電圧を検知する電圧検知回路と

前記検知電圧に基づいてセルプレートの駆動を制御する制御回路とを具備し、
前記制御回路は、前記電圧検知回路の検知結果が所定基準を満たすか否かに応じて、前記セルプレートを遷移駆動させる第1の駆動モード又は、前記セルプレートをパルス駆動させる第2の駆動モードの何れかの駆動モードに切り換えることを特徴とする強誘電体メモリ装置。

9. 前記ワード線の選択状態の電圧が、電源電圧以下の電圧であることを特徴とする請求項8記載の強誘電体メモリ装置。

10. (補正後) ゲートが第1のワード線に、ドレインが第1のビット線にそれぞれ接続された第1のメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記第1のメモリセルトランジスタのソースにそれぞれ接続された第1強誘電体キャパシタと、

ゲートが第2のワード線に、ドレインが第2のビット線にそれぞれ接続された第2のメモリセルトランジスタと、

第3の電極がセルプレートに、第4の電極が前記第2のメモリセルトランジスタのソースにそれぞれ接続された第2強誘電体キャパシタと、

前記第1のビット線および前記第2のビット線を電氣的に接続するスイッチトランジスタと、

前記第1のビット線または前記第2のビット線に接続されたセンスアンプとを具備し、

前記第1のワード線と前記第2のワード線が選択され、前記スイッチトランジスタがオン状態で、前記セルプレートが第1の電源電圧から第2の電源電圧に遷移しさらに前記第1の電源電圧に遷移した後に、前記スイッチトランジスタをオ

フ状態とすることを特徴とする強誘電体メモリ装置。

1 1. (補正後) ゲートが第1のワード線に、ドレインが第1のビット線にそれぞれ接続された第1のメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が第1のメモリセルトランジスタのソースにそれぞれ接続された第1強誘電体キャパシタと、

ゲートが第2のワード線に、ドレインが第2のビット線にそれぞれ接続された第2のメモリセルトランジスタと、

第3の電極がセルプレートに、第4の電極が前記第2のメモリセルトランジスタのソースにそれぞれ接続された第2強誘電体キャパシタと、

前記第1のビット線および前記第2のビット線を電氣的に接続するスイッチトランジスタと、

前記第1のビット線または前記第2のビット線に接続されたセンスアンプとを具備し、

前記第1のワード線および前記第2のワード線が選択され、前記スイッチトランジスタがオン状態で、前記セルプレートが第1の電源電圧から第2の電源電圧に遷移し、前記スイッチトランジスタがオフ状態となった後に前記セルプレートが前記第1の電源電圧に遷移することを特徴とする強誘電体メモリ装置。

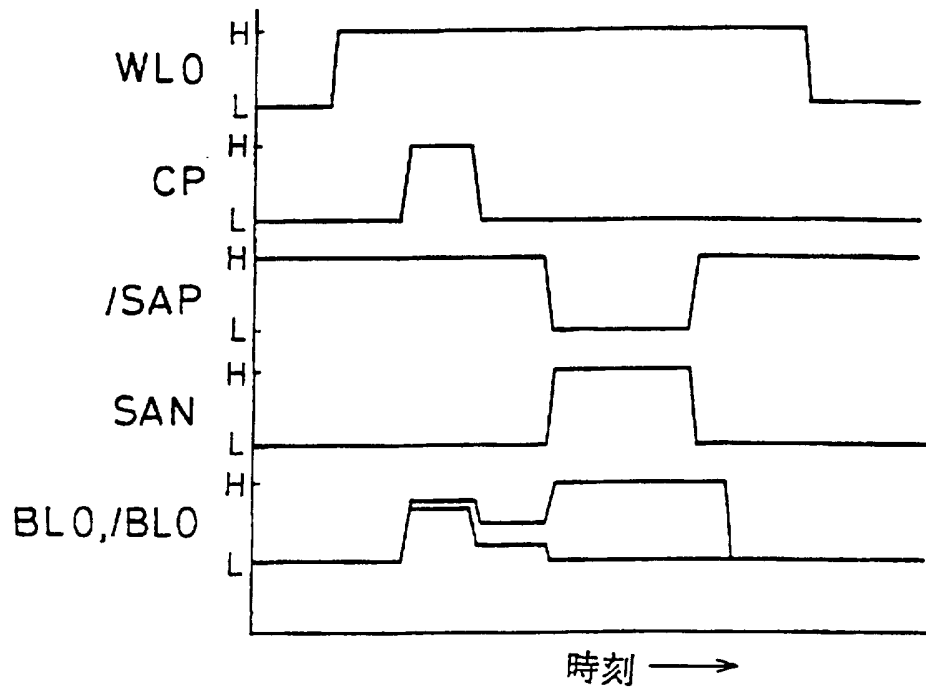
1 2. ゲートがワード線に、ドレインがビット線にそれぞれ接続されたメモリセルトランジスタと、

第1の電極がセルプレートに、第2の電極が前記メモリセルトランジスタのソースにそれぞれ接続された強誘電体キャパシタと、

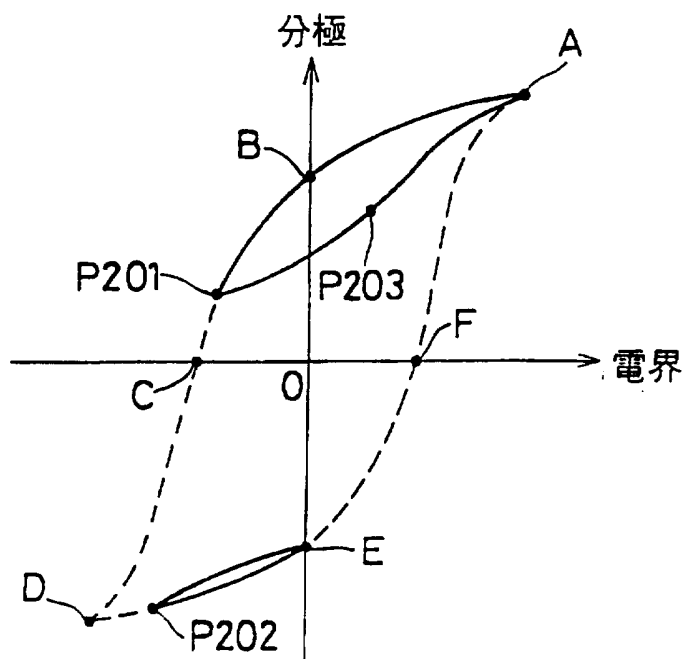
前記ビット線に接続されたセンスアンプと、

前記セルプレートと前記センスアンプとを制御する制御回路とを具備し、

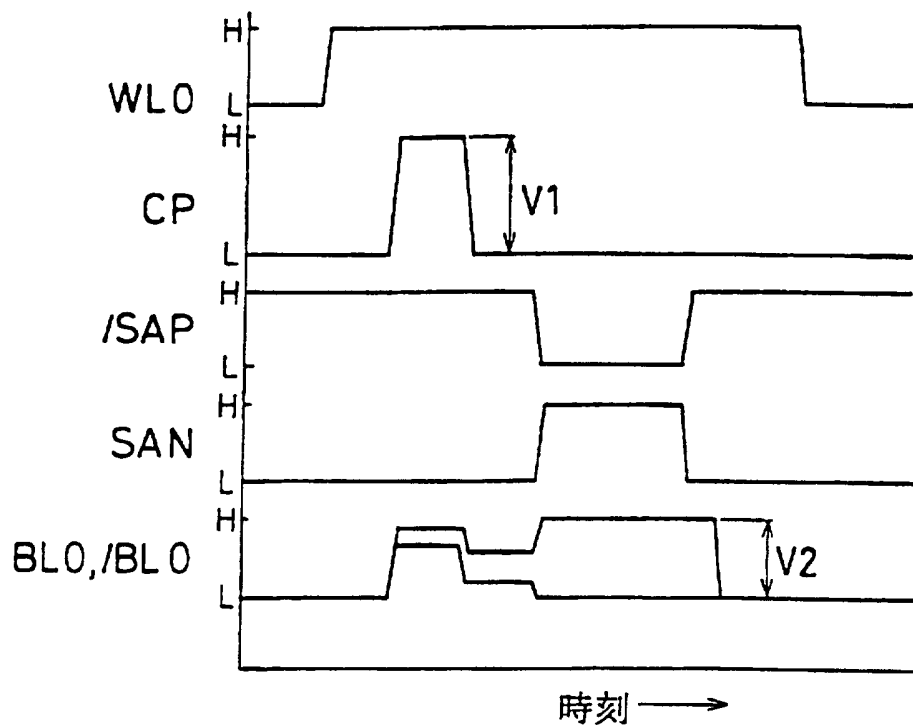
第1図



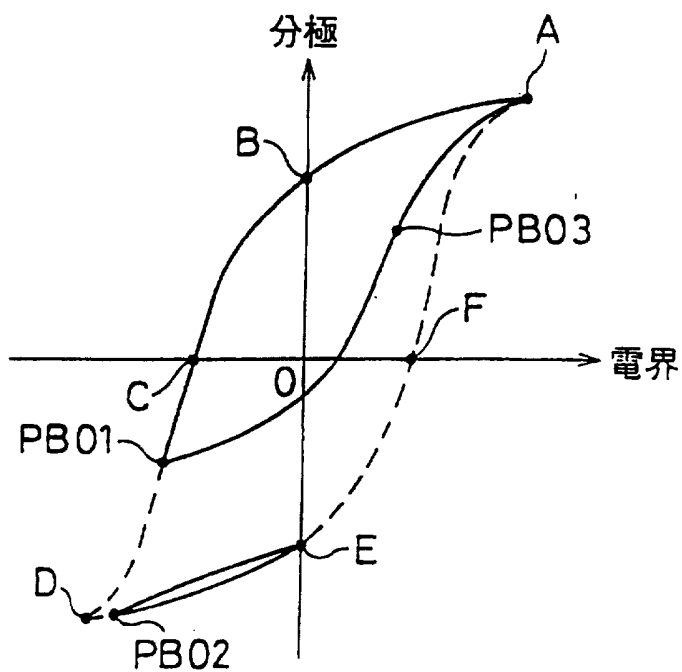
第2図



第3図

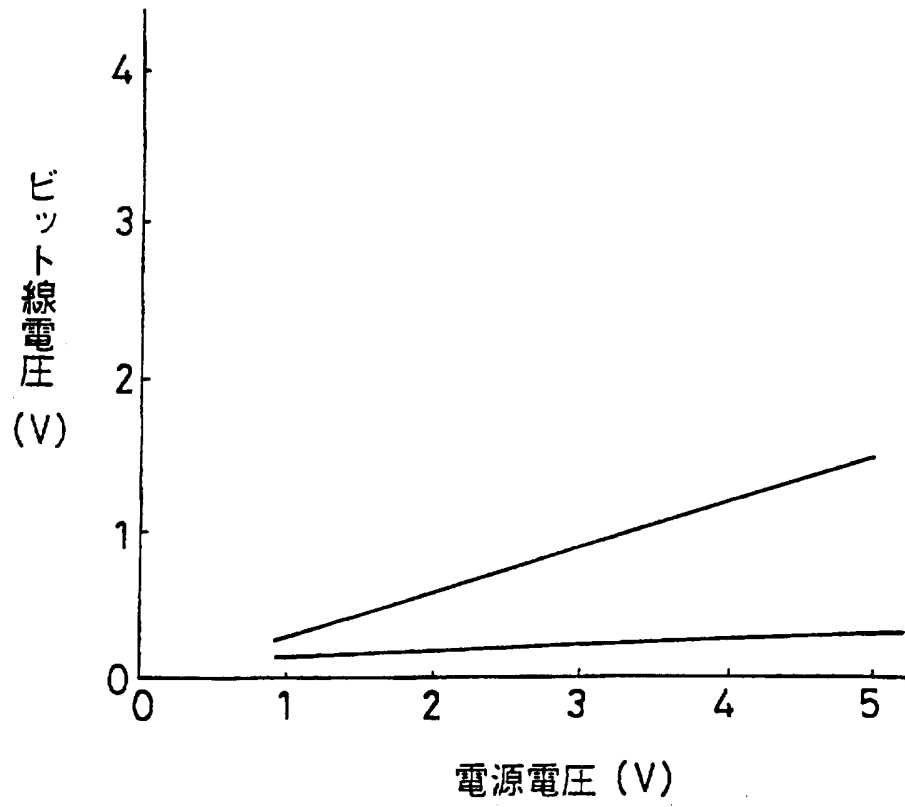


第4図

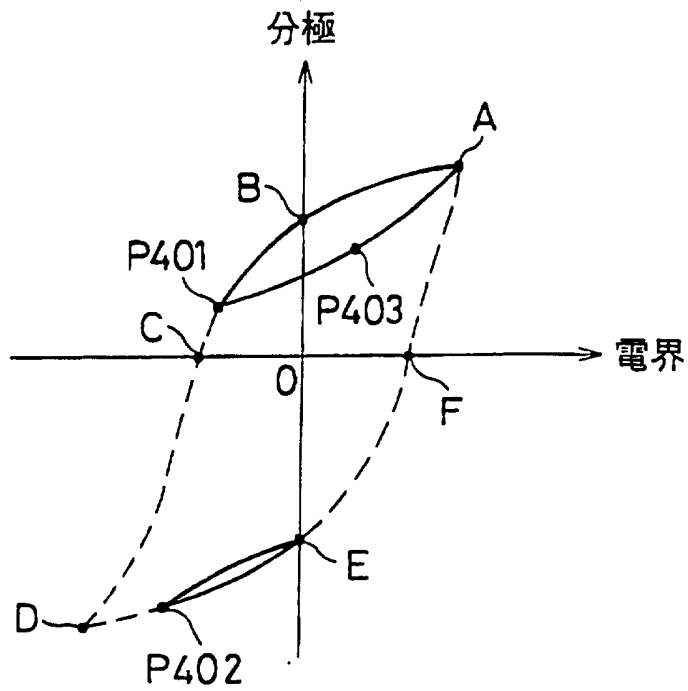


第5図

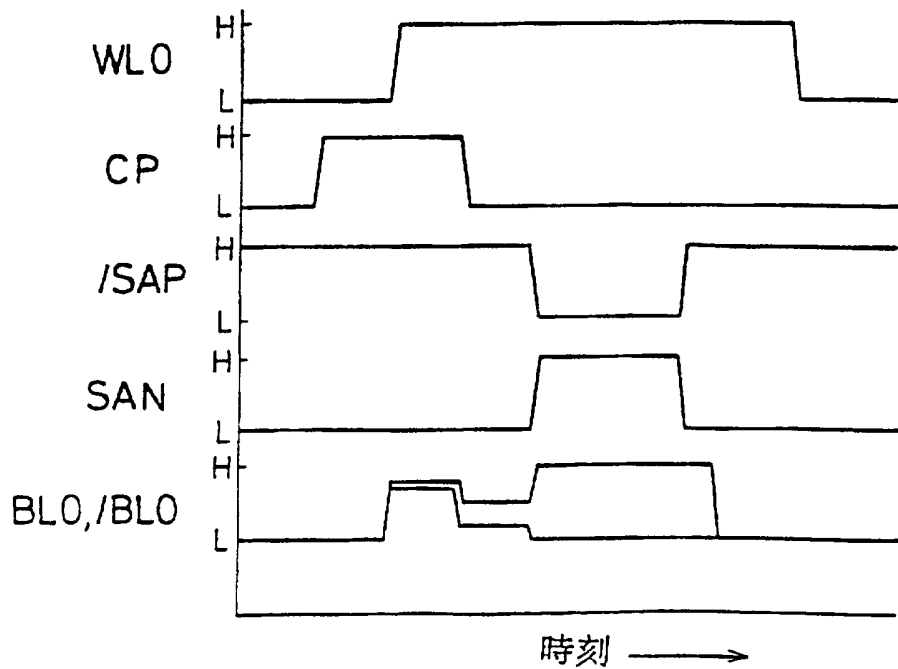
3 / 28



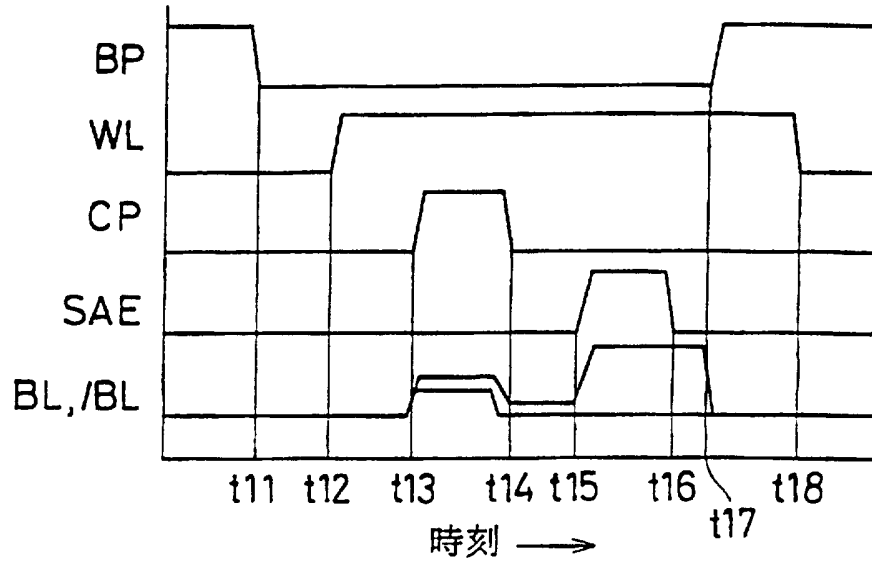
第 6 図



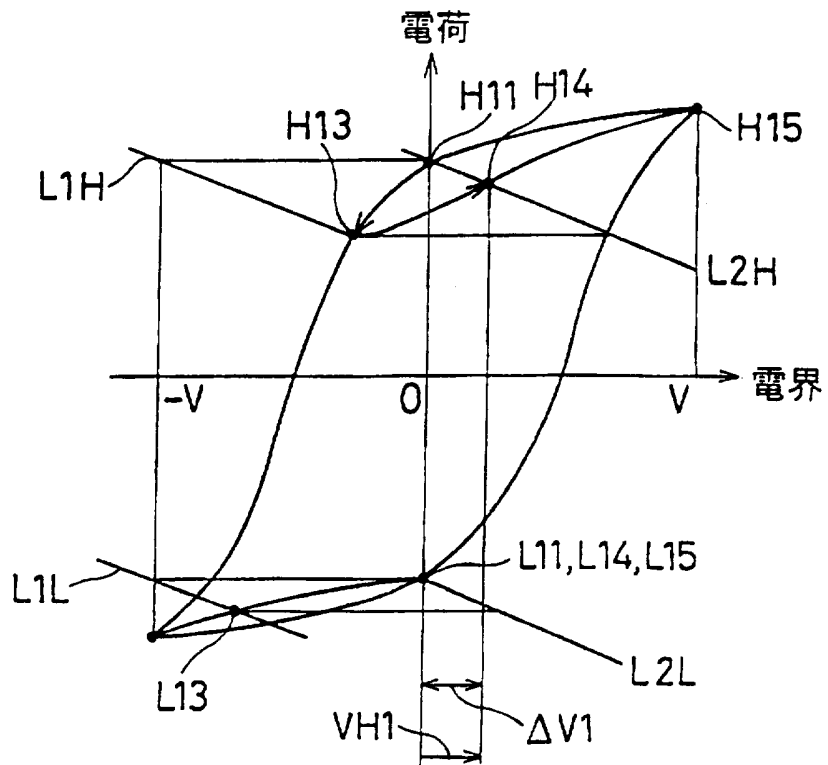
第 7 図



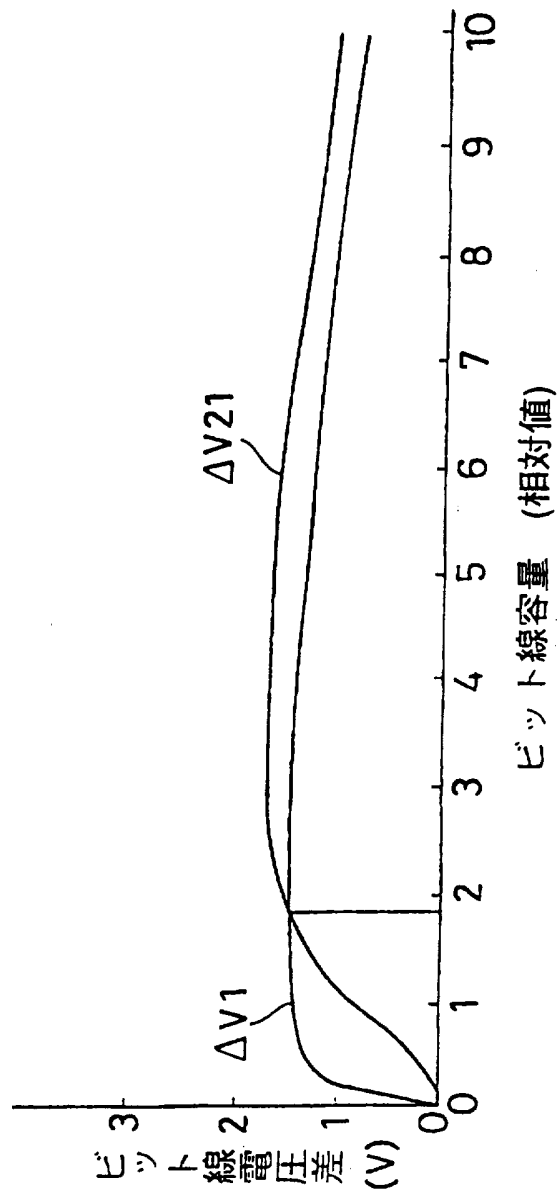
第 8 図



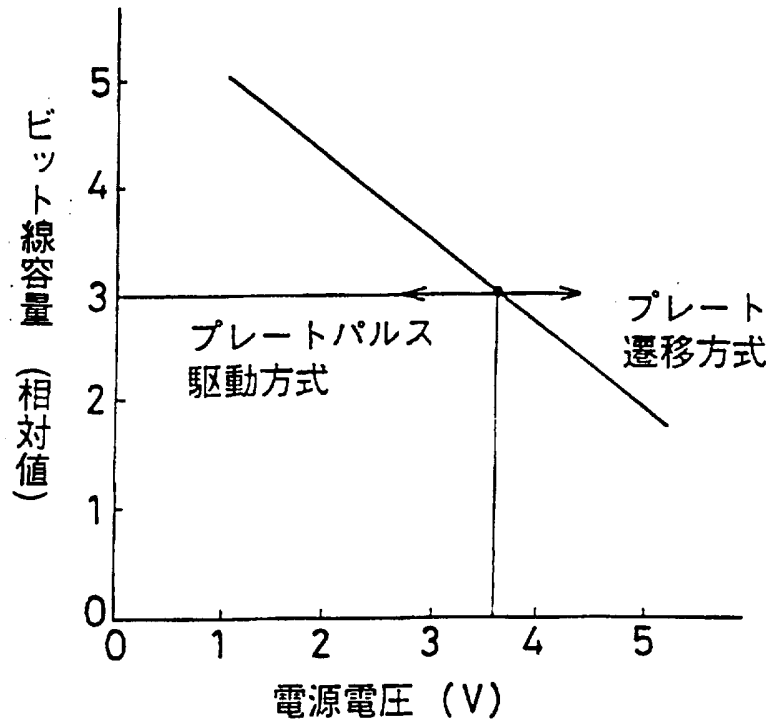
第 9 図



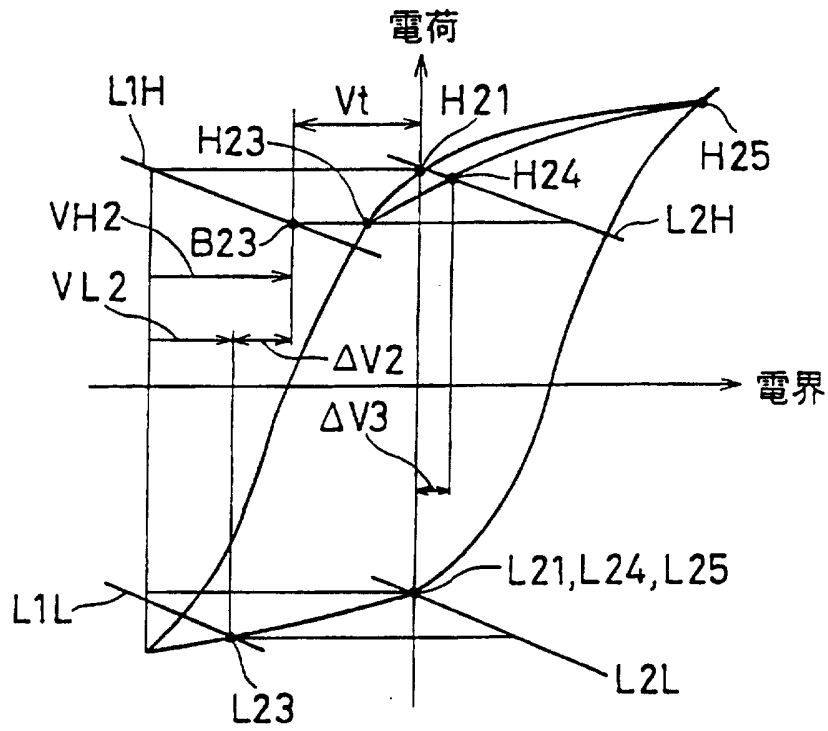
第10図



第 1 1 図

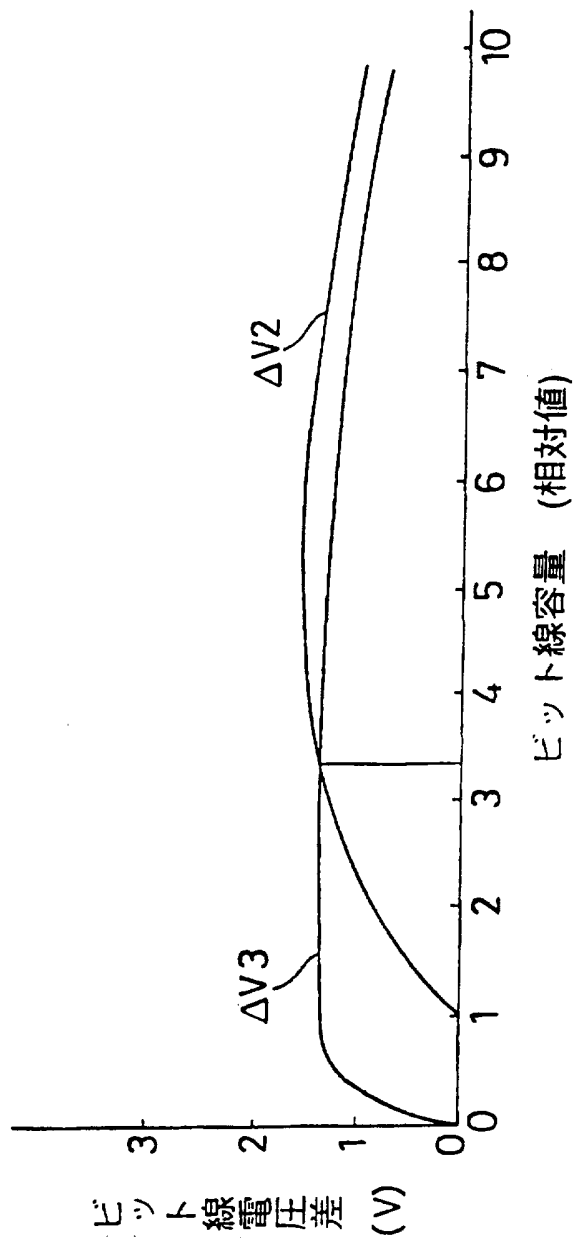


第 1 2 図

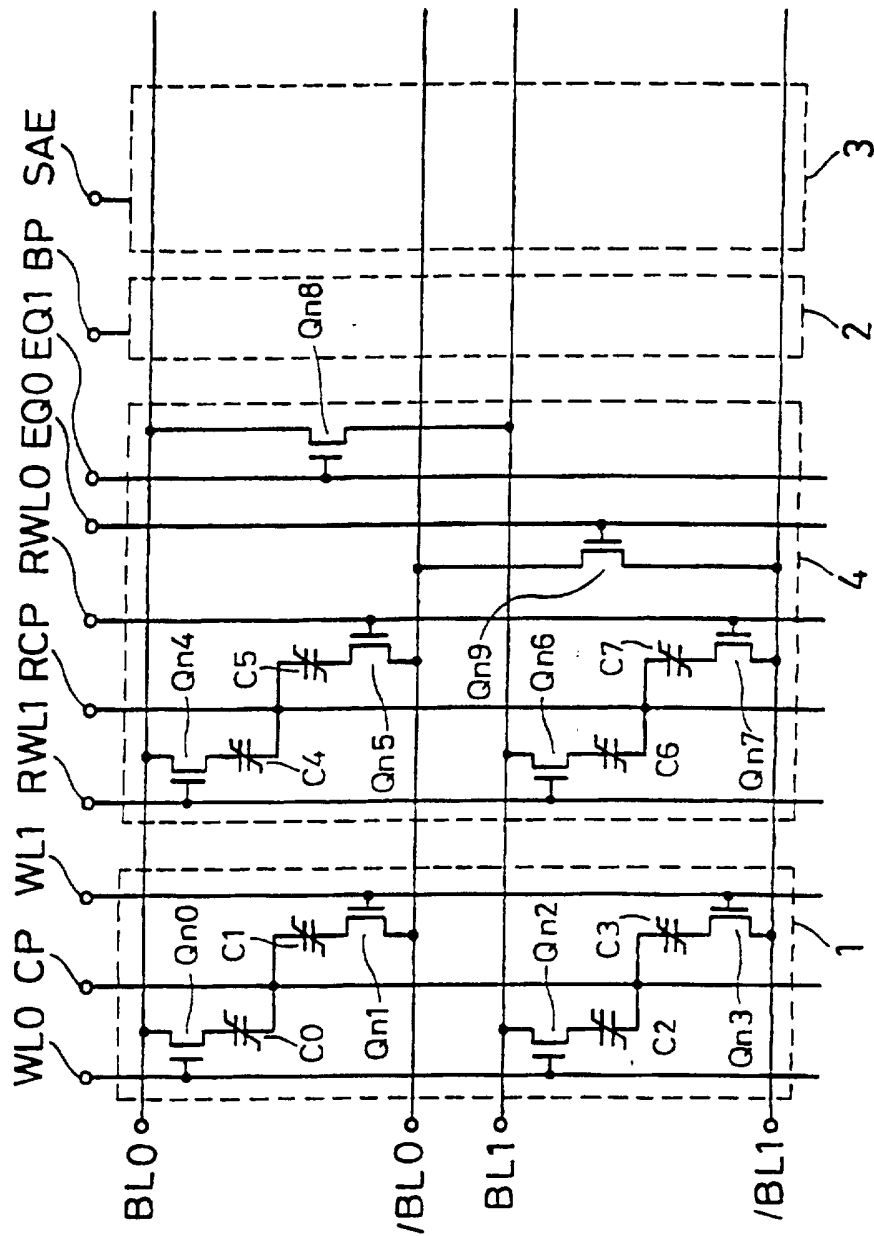


第13図

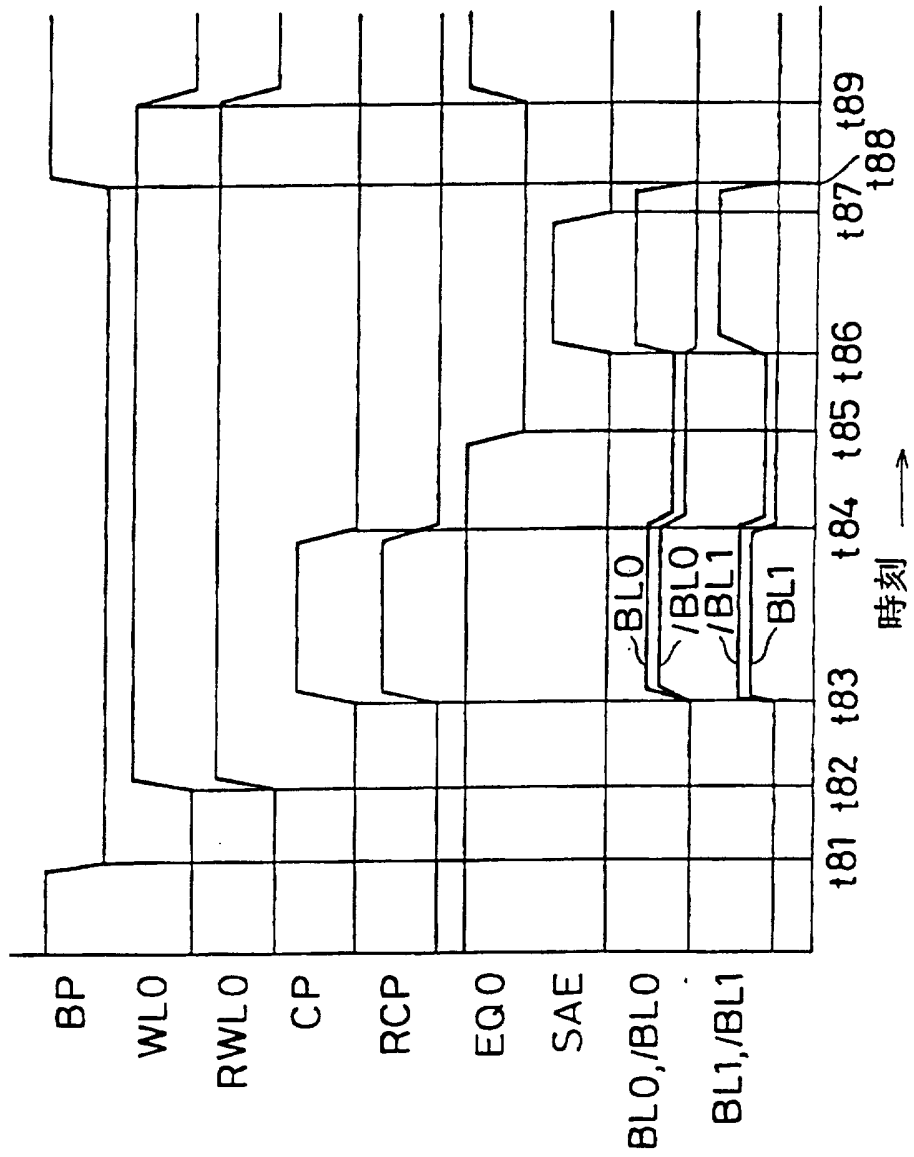
9 / 28



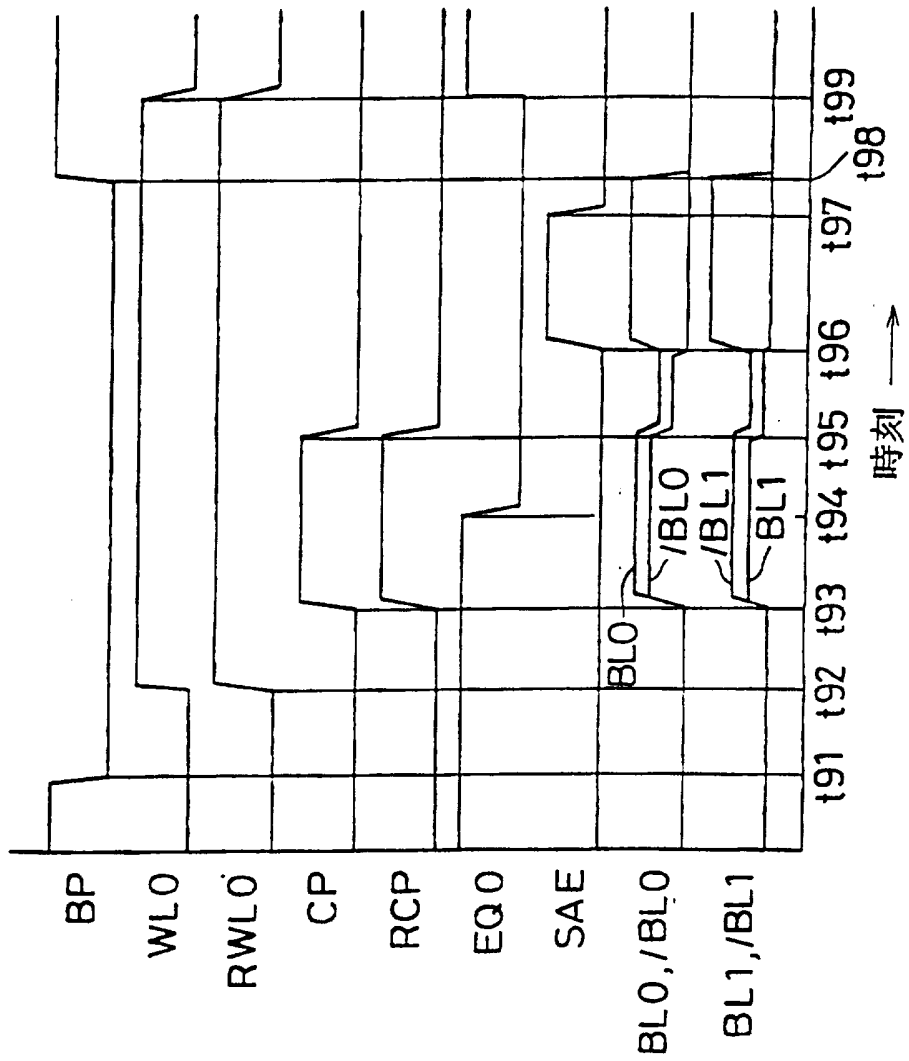
第 1 4 図



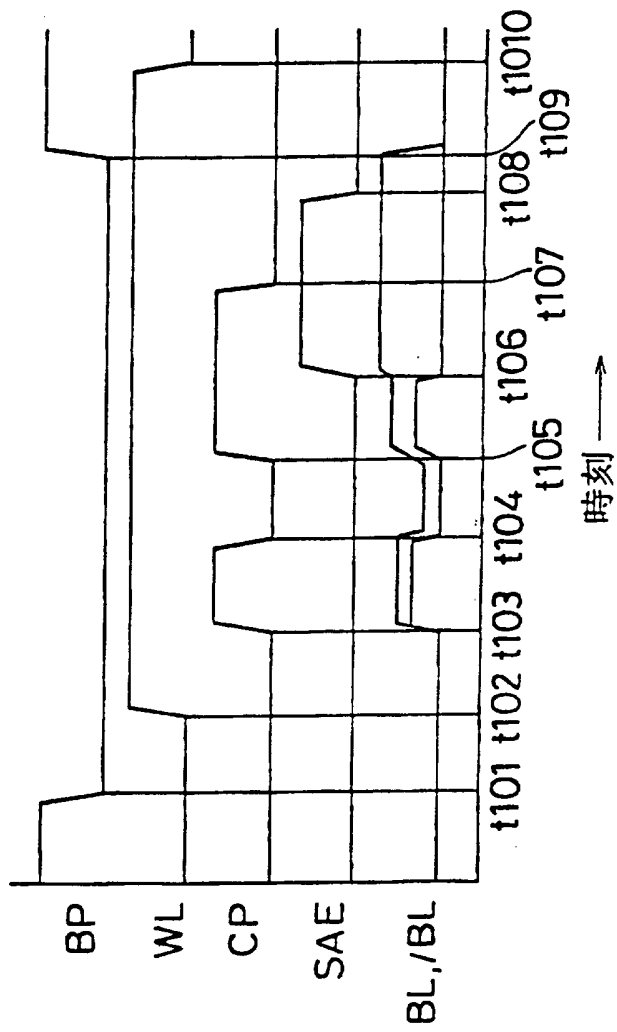
第15図



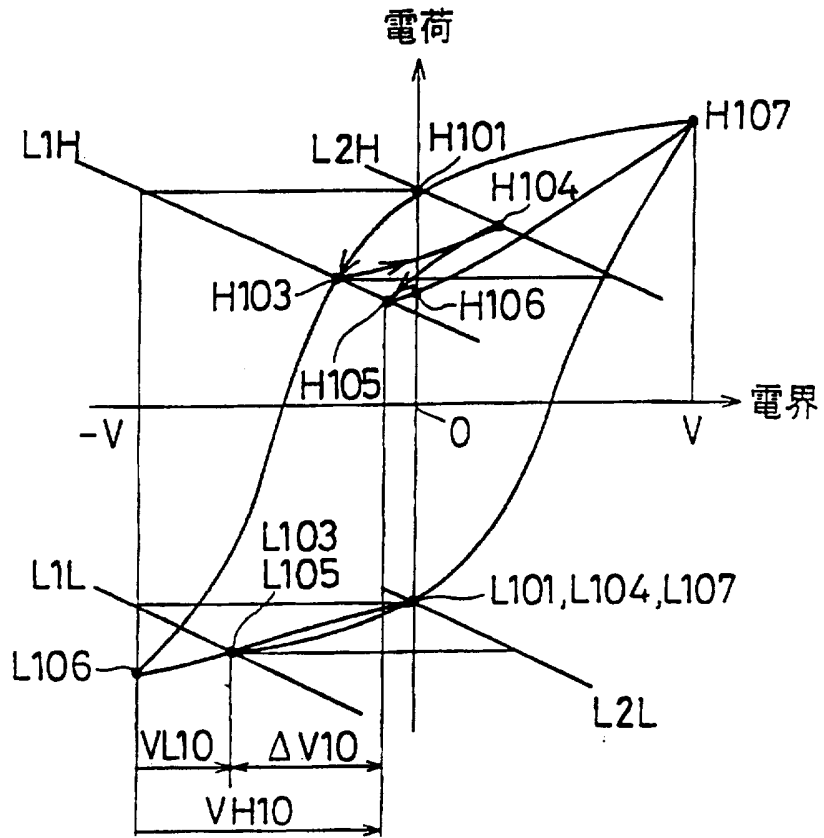
第16図



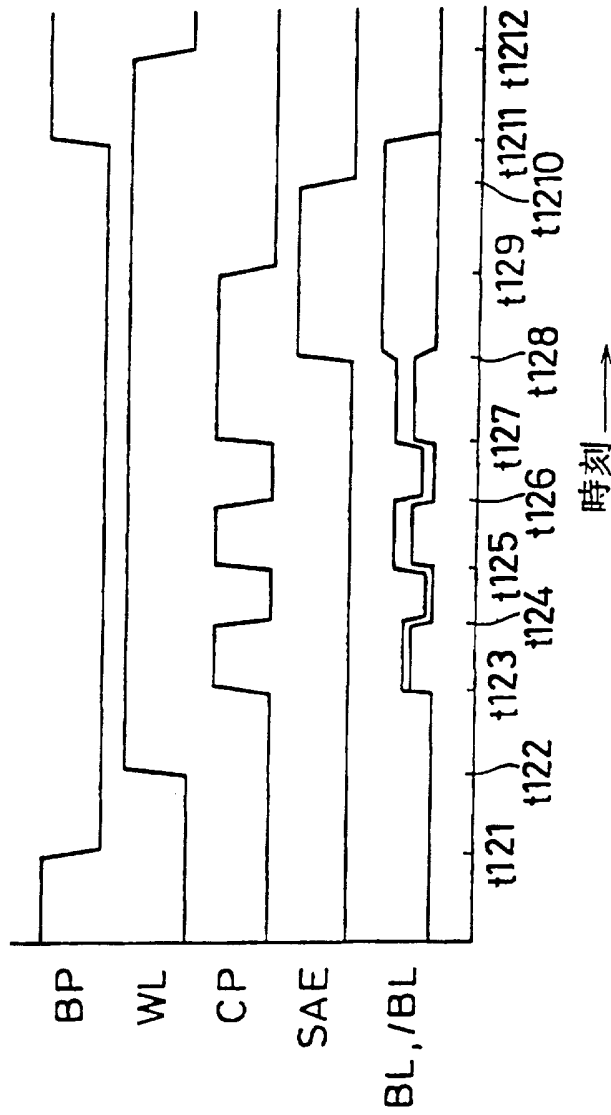
第 1 7 図



第18図

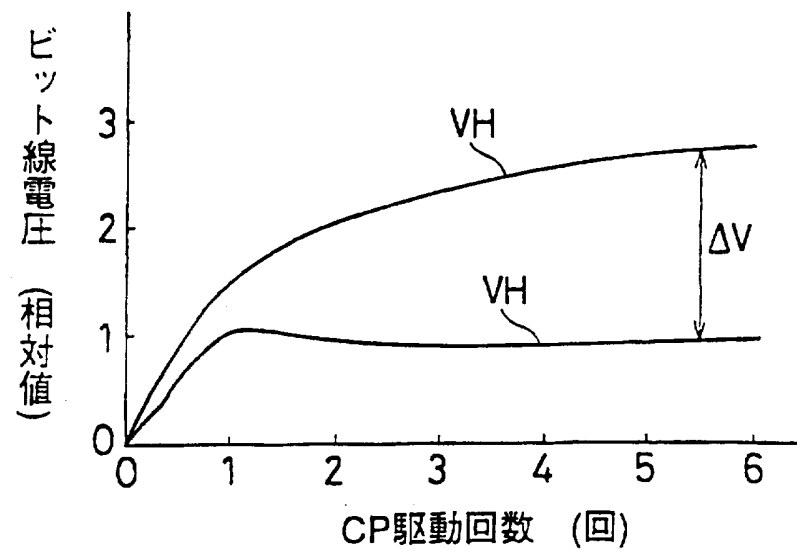


第19図

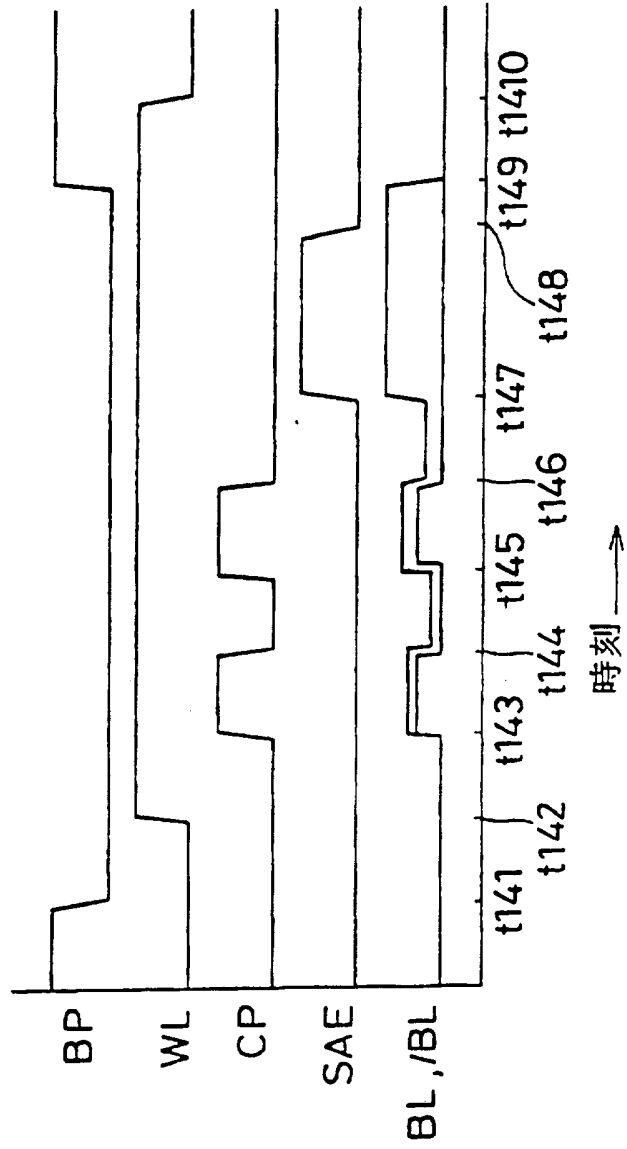


16 / 28

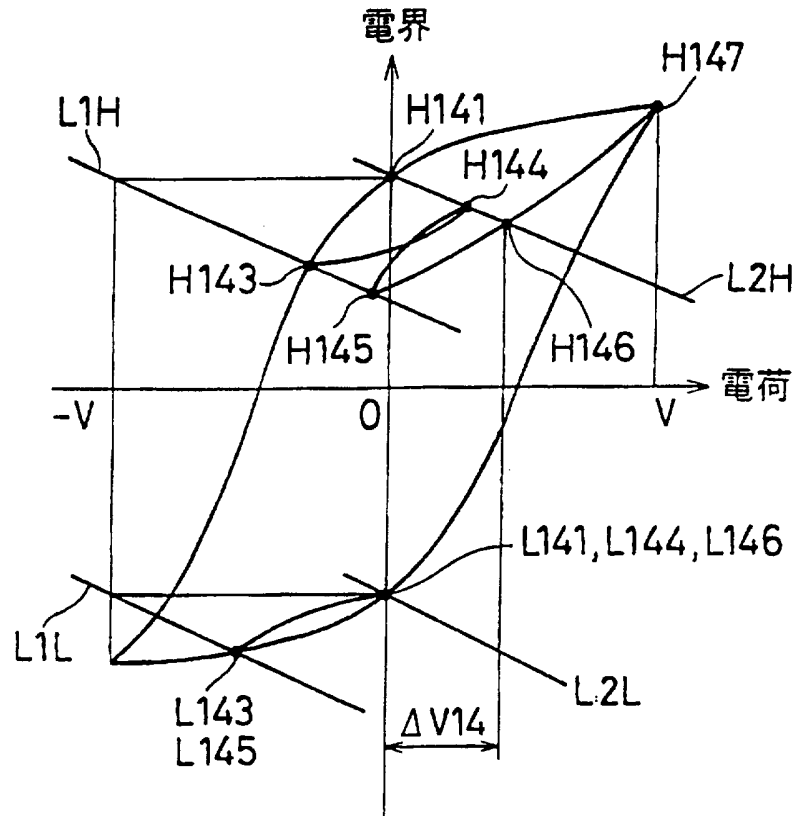
第20図



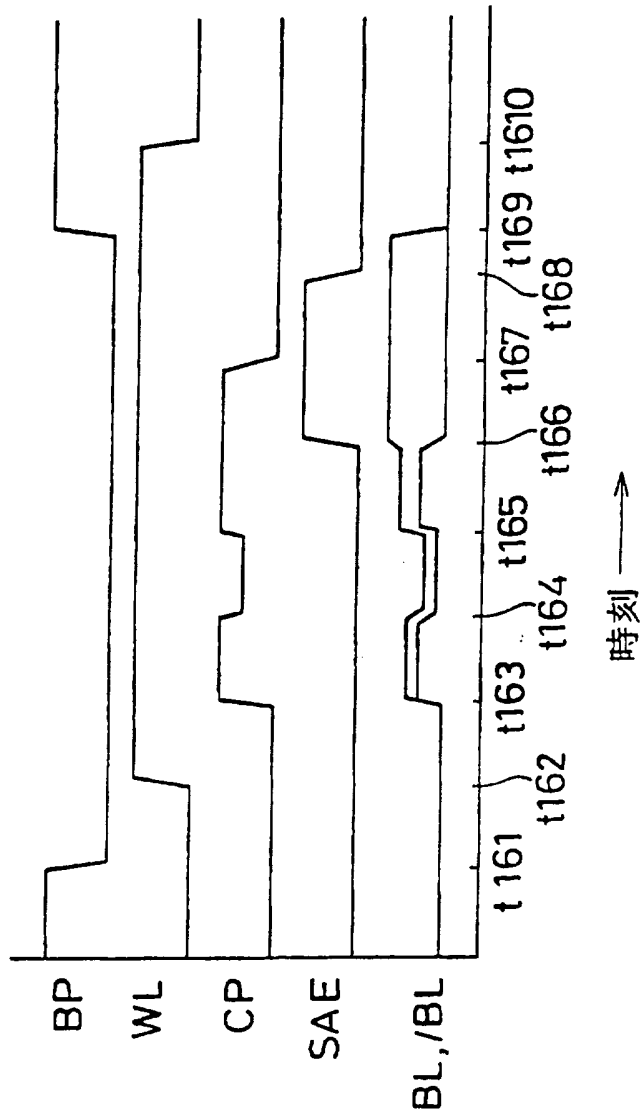
第21図



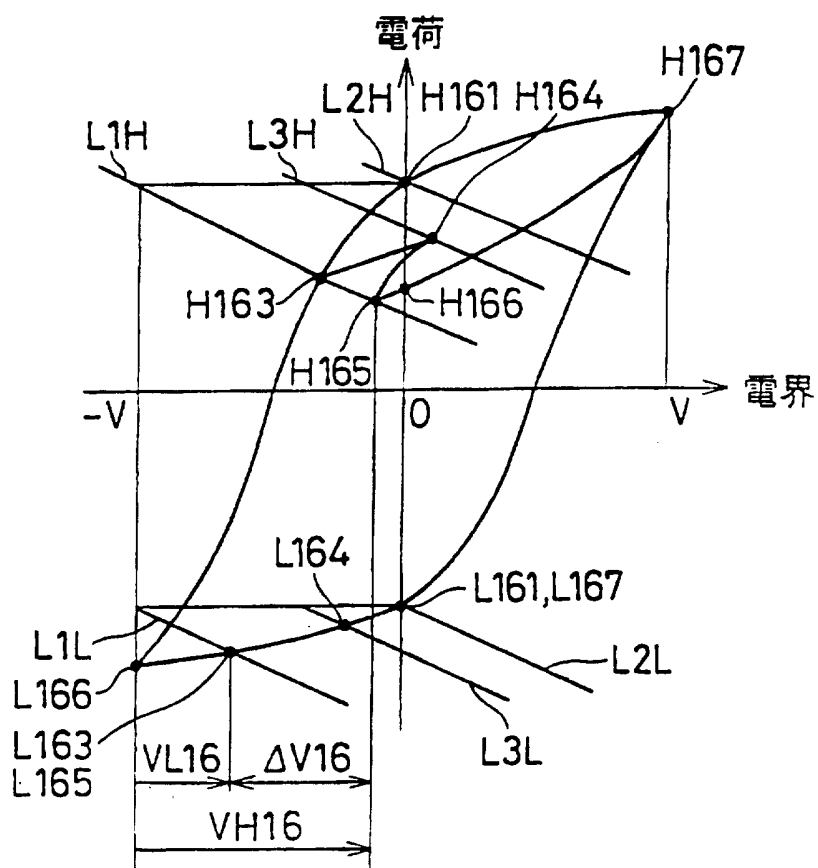
第22図



第 23 图

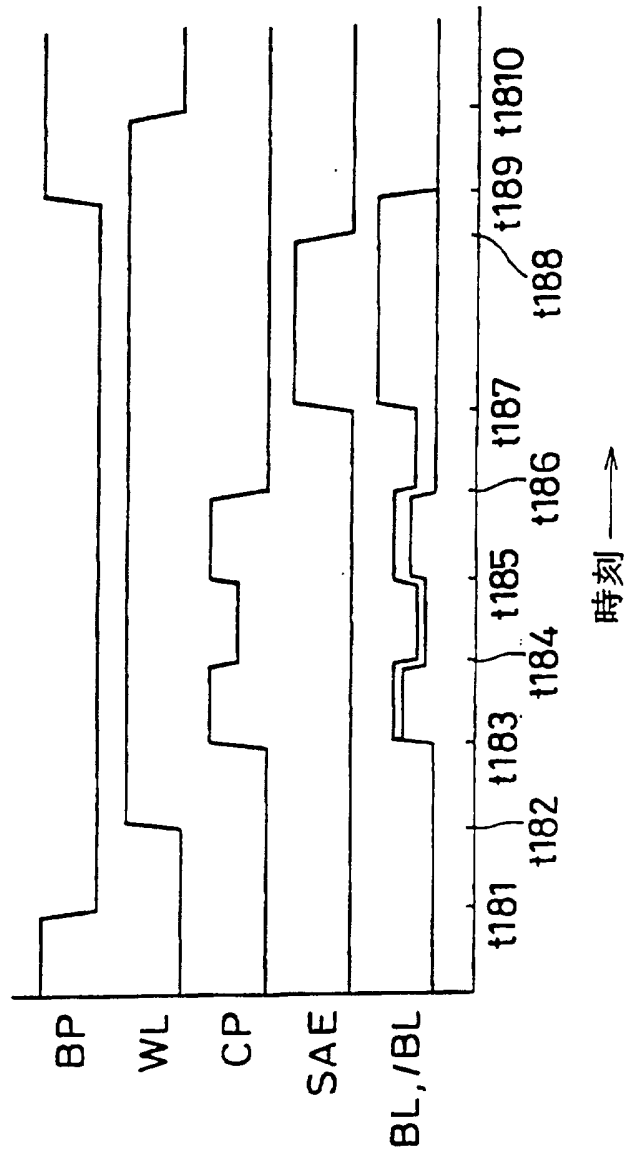


第 2 4 図

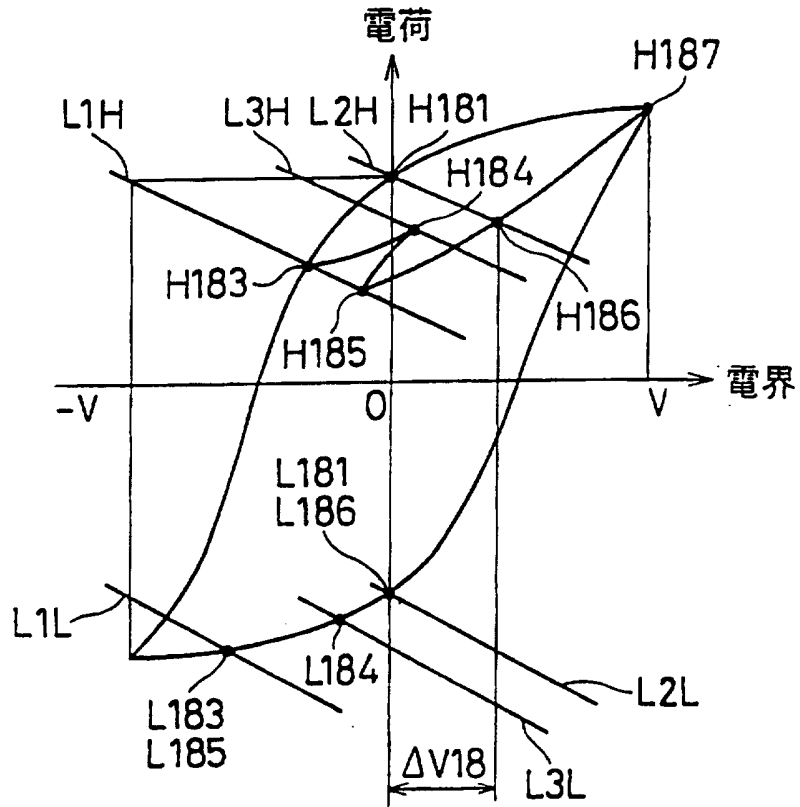


第25図

21 / 28

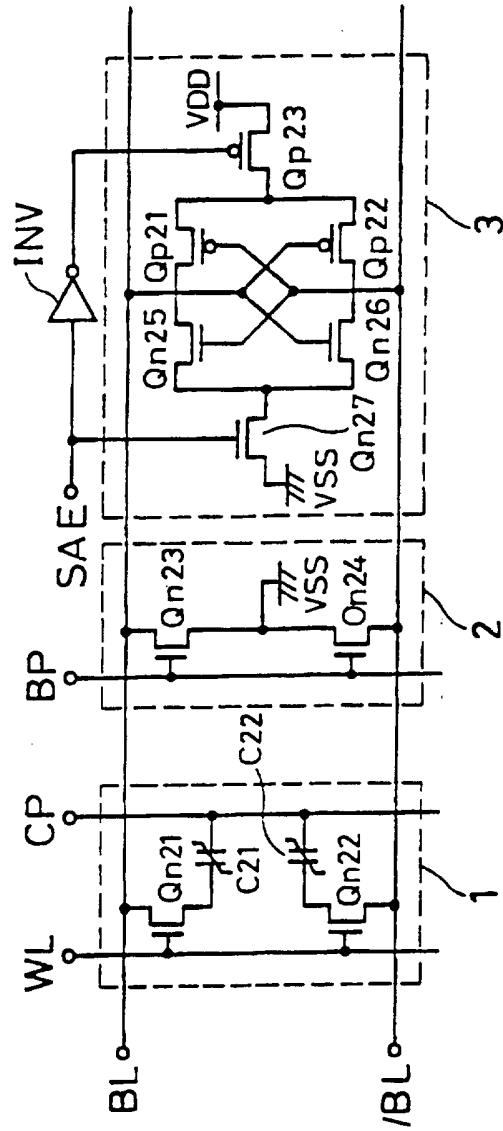


第 2 6 図

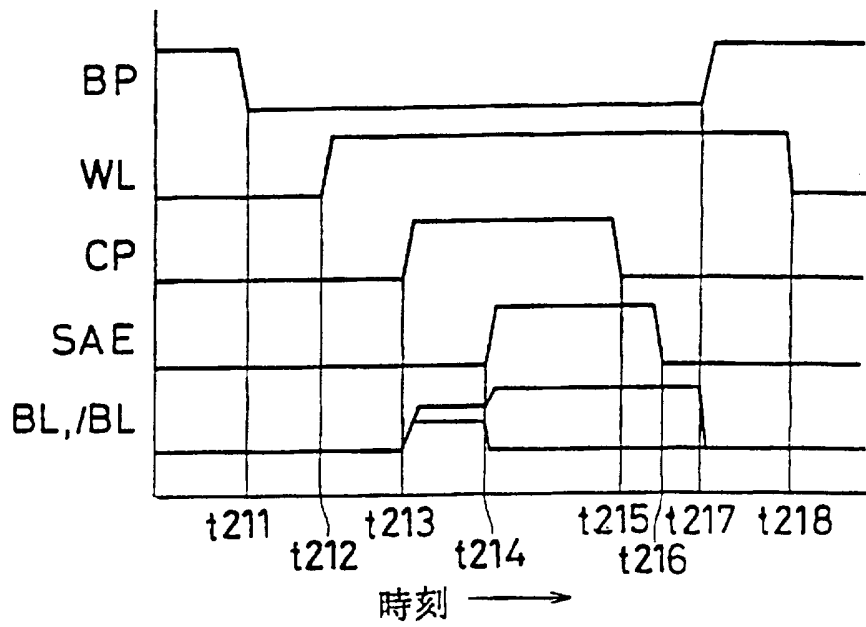


第 27 図

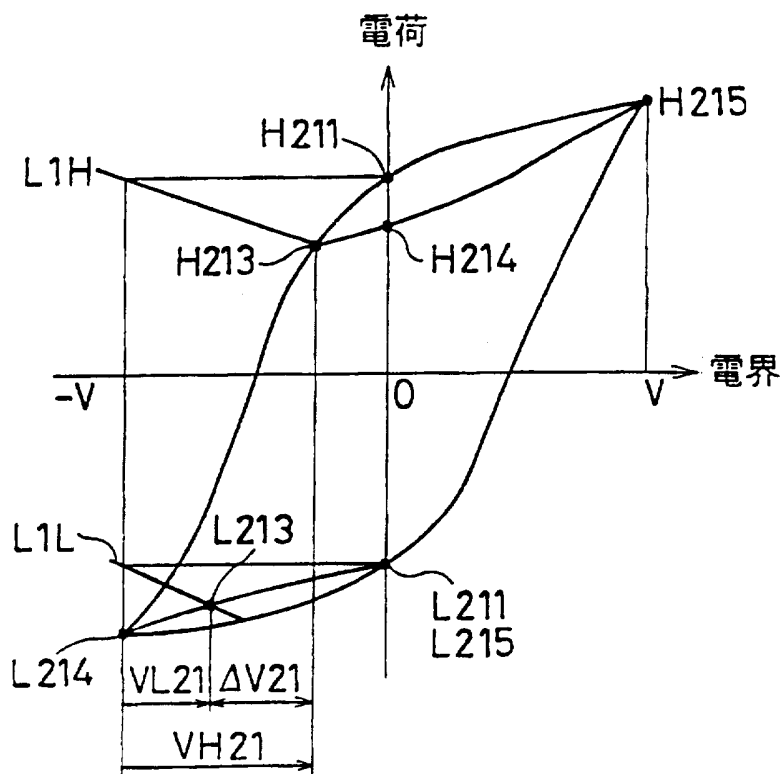
23 / 28



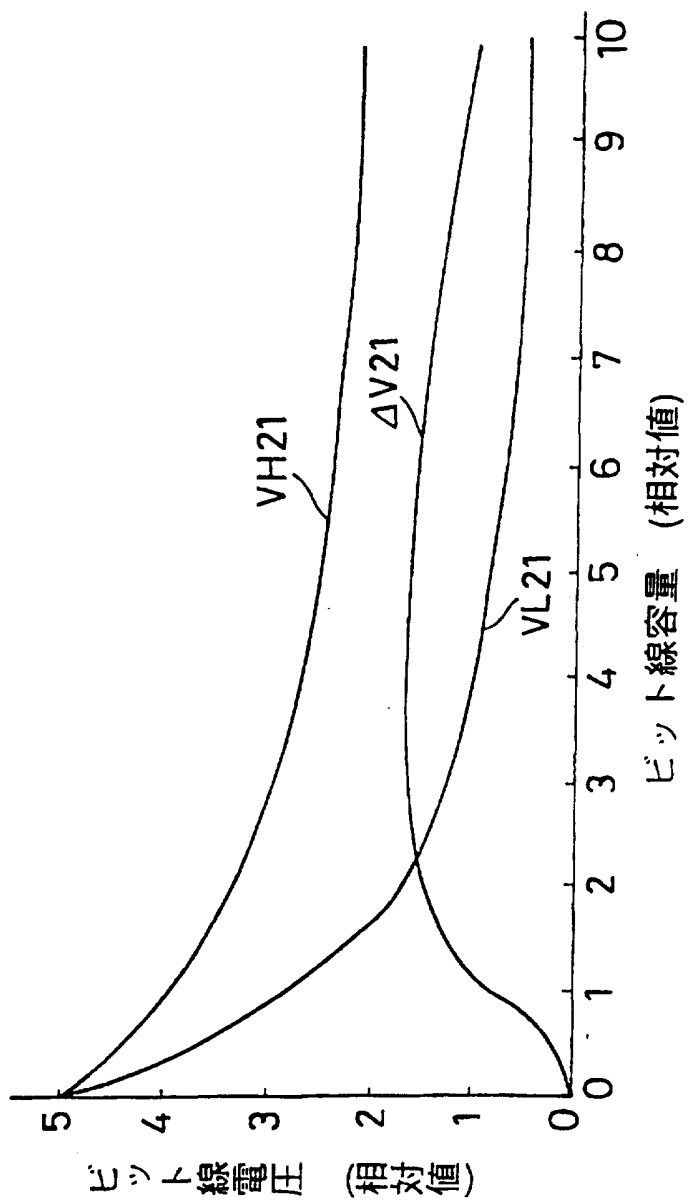
第 28 図



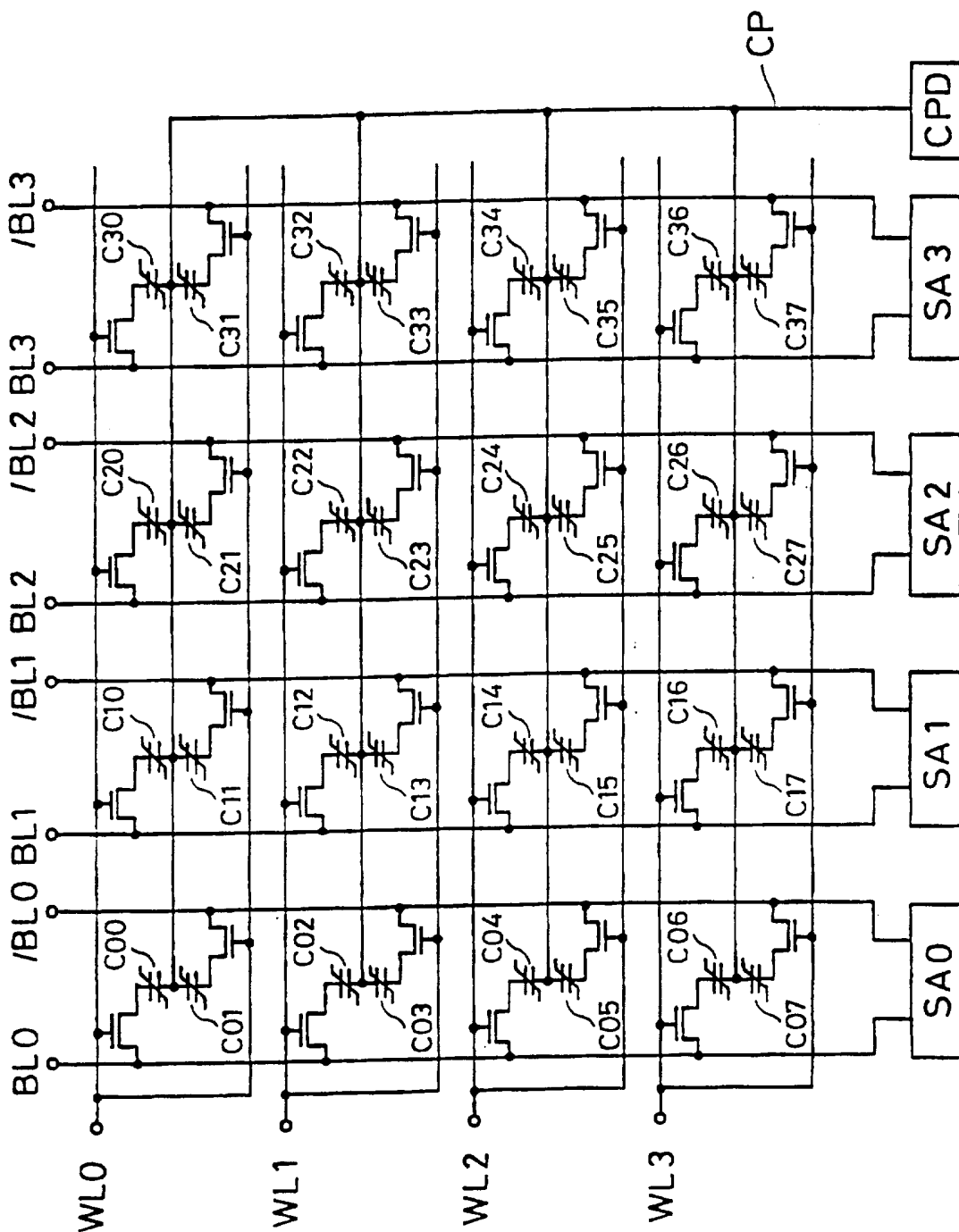
第 29 図



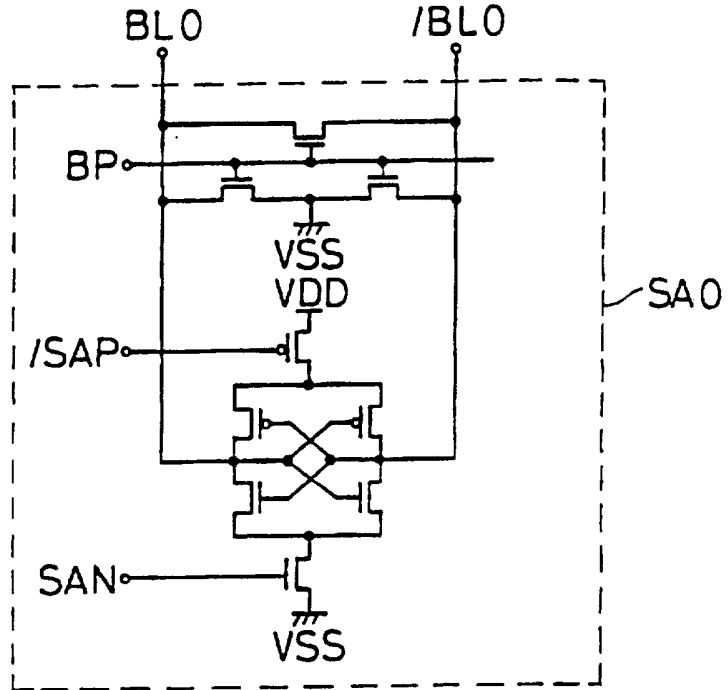
第30図



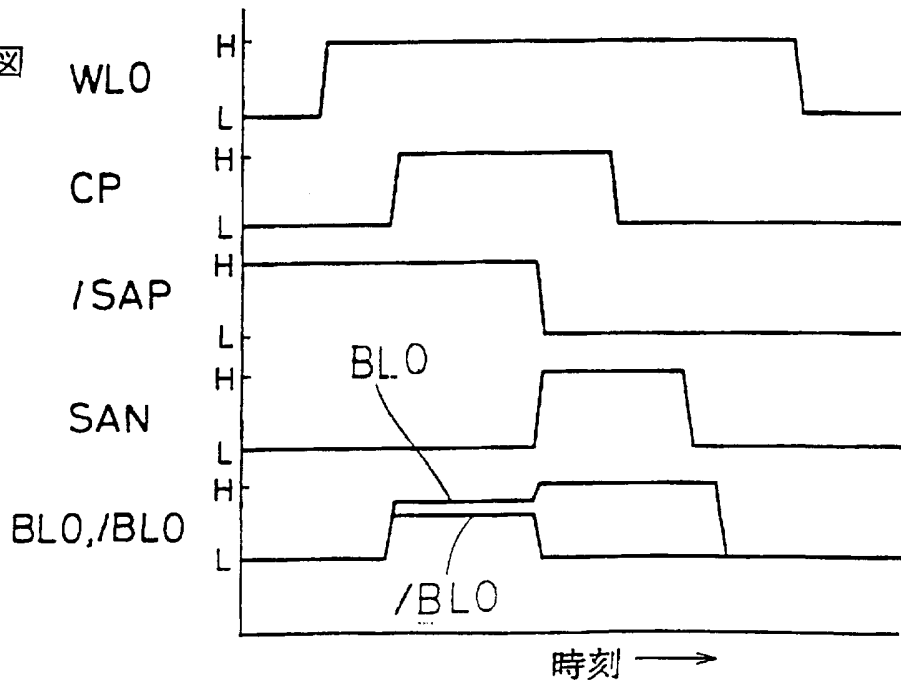
第 3 1 図



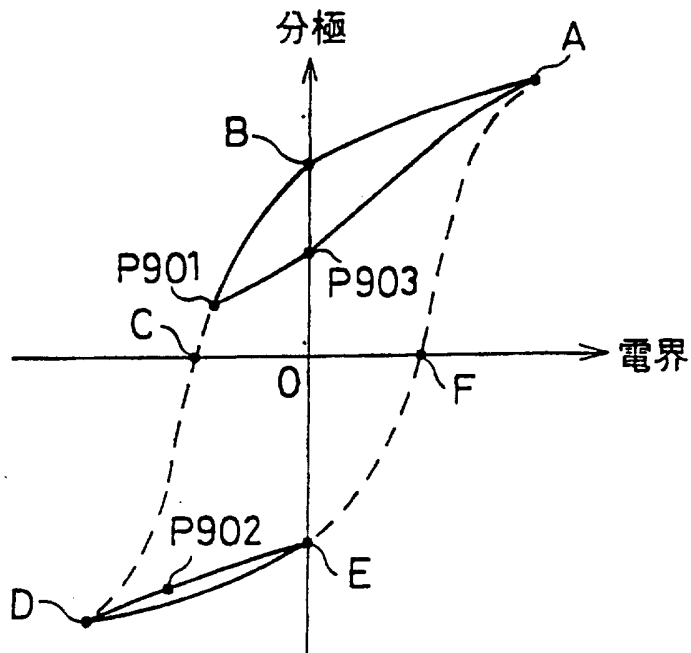
第 3 2 図



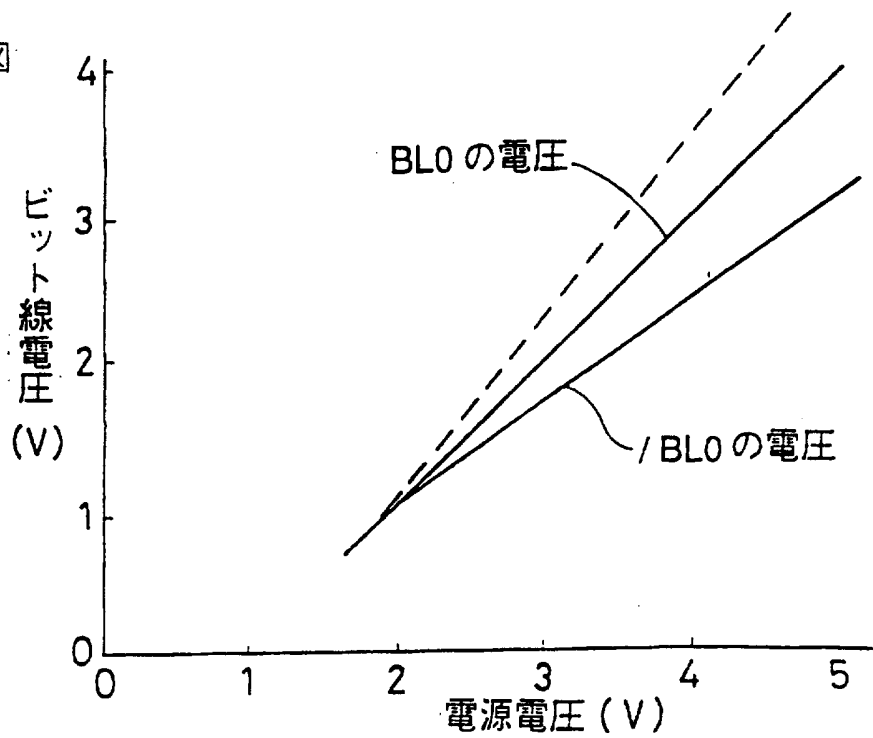
第 3 3 図



第34図



第35図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00882

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G11C11/22, G11C11/40, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G11C11/22, G11C11/40, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 1-158691, A (Chrythallis Corp.), June 21, 1989 (21. 06. 89), Figs. 11, 12 (Family: none)	1, 3, 5
X	JP, 6-125056, A (Sharp Corp.), May 6, 1994 (06. 05. 94), Fig. 5 & US, 5414654, A	4
P	JP, 8-273375, A (Ramtron International Corp.), October 18, 1996 (18. 10. 96), Fig. 9 & US, 5532953, A	1, 3, 5, 6
P	JP, 8-293195, A (Ramtron International Corp.), November 5, 1996 (05. 11. 96), Figs. 2, 3 & US, 5530668, A	1, 3, 5
P	JP, 8-263989, A (Sony Corp.), October 11, 1996 (11. 10. 96), Fig. 4 (Family: none)	10, 11

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

June 11, 1997 (11. 06. 97)

Date of mailing of the international search report

June 24, 1997 (24. 06. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ G11C11/22, G11C11/40, H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ G11C11/22, G11C11/40, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP、1-158691、A (クリサリス、コーポレイション) 21. 6月. 1989 (21. 06. 89)、第11図、第12図 (ファミリーなし)	1、3、5
X	JP、6-125056、A (シャープ株式会社) 6. 5月. 1994 (06. 05. 94)、第5図 & US、5414654、A	4
P	JP、8-273375、A (ラムトロン・インターナショナル・コーポレーション) 18. 10月. 1996 (18. 10. 96)、第9図 & US、5532953、A	1、3、5、6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 先行文献ではあるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

11. 06. 97

国際調査報告の発送日

24.06.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
堀田 和義

5L 8840

電話番号 03-3581-1101 内線 3563



C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P	JP、8-293195、A (ラムトロン・インターナショナル・コーポレーション) 5. 11月. 1996 (05. 11. 96)、第2図、第3図 & US、5530668、A	1、3、5
P	JP、8-263989、A (ソニー株式会社) 11. 10月. 1996 (11. 10. 96)、第4図 (ファミリーなし)	10、11