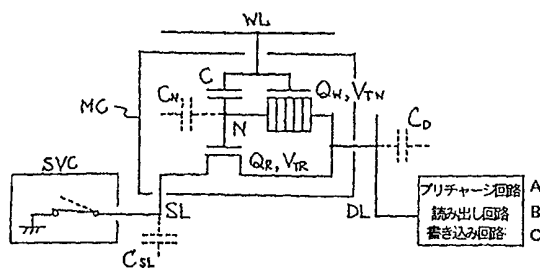




<p>(51) 国際特許分類7 G11C 11/40, 16/04, H01L 27/108</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/21092</p> <p>(43) 国際公開日 2000年4月13日(13.04.00)</p>
<p>(21) 国際出願番号 PCT/JP99/05338</p> <p>(22) 国際出願日 1999年9月29日(29.09.99)</p> <p>(30) 優先権データ 特願平10/280663 1998年10月2日(02.10.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) ヒタチ ヨーロッパ リミテッド (HITACHI EUROPE LIMITED)[GB/GB] パークシャー エス・エル・68ワイ・エイ メイドンヘッド ロウワー クックハム ロード ホワイトブルック パーク (番地なし) Berkshire, (GB)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 伊藤清男(ITO, Kiyoo)[JP/JP] 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP)</p>	<p>中里和郎(NAKAZATO, Kazuo)[JP/GB] ケンブリッジ シー・ビー・30エイチ・イー マディングレー ロード (番地なし) キャベンディッシュ ラボラトリー ヒタチ ケンブリッジ ラボラトリー ヒタチ ヨーロッパ リミテッド内 Cambridge, (GB)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)</p> <p>添付公開書類 国際調査報告書</p>	

(54)Title: SEMICONDUCTOR DEVICE

(54)発明の名称 半導体装置



- A ... PRECHARGE CIRCUIT
- B ... READ CIRCUIT
- C ... WRITE CIRCUIT

(57) Abstract

The operation of conventional large-capacity DRAMs (dynamic random access memories) is liable to be unstable because the read signal voltage of memory cell is low. If the signal voltage is raised by imparting an enough gain to memory cells, the memory cell area, in turn, increases. Therefore it has been desired that a memory cell operating stable, having a small area, and capable of operating as a RAM is available. A memory cell of the invention has, for example, a three-dimensional structure including a MOS transistor for holding information voltage, a write transistor (e.g. tunneling transistor) for supplying the information voltage, and a capacitor for controlling the voltage of the gate, thereby realizing a high-speed stably-operating semiconductor device of low cost. The semiconductor device can have a nonvolatile RAM function.

(57)要約

通常の大容量DRAM (ダイナミックランダムアクセスメモリ) は、メモリセルの読み出し信号電圧が小さいために動作が不安定になりやすい。メモリセルに利得 (ゲイン) をもたせて信号電圧を大きくしようとするとは今度はメモリセル面積が大きくなる。しがたがって動作が安定で面積の小さいRAM動作の可能なメモリセルが望まれる。

たとえば情報電圧をその保持するMOSトランジスタ、該情報電圧を与える書き込みトランジスタ (たとえばトンネルトランジスタ)、該ゲートの電圧を制御するキャパシタを立体構造にしてメモリセルとする。高速・安定動作の可能な安価な半導体装置が実現される。さらには不揮発性RAM機能さえ付加できる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサオ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア			TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン				
DE	ドイツ	KP	北朝鮮	PL	ポーランド		
DK	デンマーク	KR	韓国	PT	ポルトガル		
				RO	ルーマニア		

明 細 書

半導体装置

技術分野

- 5 本発明は、高信頼、大容量半導体メモリ装置に関する。

背景技術

- 半導体メモリには大別してRAM（ランダムアクセスメモリ）とROM（リードオンメモリ）がある。なかでも計算機の主記憶として最も大量に使われるのは
- 10 ダイナミックRAM（DRAM）である。記憶を蓄えるメモリセルは、一つの蓄積静電容量（キャパシタ）とそれに蓄えた電荷を読み出す読み出しトランジスタから構成される。このメモリはRAMとして最小の構成要素で実現されるため、大規模化に適している。従って相対的に安価で大量に生産されてきた。しかし、DRAMの問題点は動作が不安定になり易いことである。最も大きな不安定要因
- 15 はメモリセル自体に増幅作用がなく、したがってメモリセルからの読み出し信号電圧が小さく、メモリセルの動作が各種の雑音の影響を受け易いことである。さらにはメモリセル内に存在するpn接合（リーク）電流によってキャパシタに蓄えられた情報電荷は消失してしまう。そこで消失する前にメモリセルを周期的にリフレッシュ（再生書きこみ）動作をさせて記憶情報を保持させる。この周期は
- 20 リフレッシュ時間と称し、現状では100ms程度であるが、記憶容量が増大するにつれてますます長くする必要がある。すなわちリーク電流を抑える必要があるが、これは素子の微細化とともにますます困難になってきている。これを解決するメモリは、ROM特にフラッシュメモリである。フラッシュメモリはよく知られているように、DRAMセルと同等以上に小形で、メモリセル内に利得があるので本質的に信号電圧は大きく、したがって動作は安定である。また絶縁膜で囲まれた蓄積ノードに記憶電荷を蓄えるので、DRAMのようにpn接合電流はな
- 25

くりフレッシュ動作は不要である。しかし、蓄積ノードに微弱なトンネル電流を流して電荷を蓄えるので書きこみ時間が極端に長い。また、書き込みを繰り返すと絶縁膜に強制的に電流を流すことになり、徐々に絶縁膜が劣化し最終的には絶縁膜は導電膜となって記憶を保持できなくなる。したがって、製品では10万回
5 5
に書き込みを制御することが一般的である。つまりフラッシュメモリをRAMとして用いることはできない。このようにDRAMとフラッシュメモリはともに大容量メモリではあるが、それぞれ長所と短所があり、それぞれの特徴を活かして使い分けなければならない。

10 発明の開示

本発明は、RAM動作が可能な小型で利得のあるメモリセルとそれを用いた半導体メモリ装置を提供する。さらには蓄積（記憶）ノード内にpn接合電流のないメモリセル構造によって、10年程度の保持時間を保証できる不揮発RAMも提供することにある。

15 上記目的を達成するために、たとえば第1図と第2図に第1の実施例のメモリセルの回路図とその動作タイミングを示すように、メモリセルを2個のトランジスタと1個のキャパシタで構成する。すなわちメモリセルは、読み出し用のトランジスタQR、書き込み用のトランジスタQW、ならびにメモリセルノードNの電圧を制御する結合容量Cから構成される。Cの電極の一端とQWのゲートはワ
20 ード線WLに接続され、QRとQWのそれぞれの一端はデータ線に接続される。ここでQRはたとえばNチャンネルMOSFET（以下MOSトランジスタ）を仮定している。またQWはMOSFETで構成してもよいが、後述するようにトンネル現象を利用したトランジスタ（以下トンネルトランジスタ）を用いることもできる。トンネルトランジスタの場合にも、説明の都合上MOSFETと同様
25 に端子名を定義する。すなわちノードNに接続された端子をソース（あるいはドレイン）、データ線DLに接続された端子をドレイン（あるいはソース）、ワー

ド線WLに接続された端子をゲートと呼ぼう。このメモリセルでは、キャパシタ (C) があるために記憶ノードNの電圧をワード線電圧に応じて変化させることができる。したがってわざわざ他の選択用トランジスタを設けなくてもメモリセルを選択できるので、小型のメモリセルが実現できる。特に後述するように、QWとして縦型のトランジスタを使い、CとあるいはQRを立体構造にすれば小型化の利点はさらに発揮される。後述するように、周知の1個のMOSFETと1個のキャパシタからなるDRAMセルに比べて、面積がほぼ半分で表面の凹凸の少ないメモリセルがより少ないマスク枚数で製造することもできる。したがってメモリチップはより作り易くなり低価格になる。さらにはQWがトンネルトランジスタなら、メモリセル内の記憶ノードは絶縁膜で囲まれた構造になるので、原理的にはDRAMセルのようにpn接合電流によるリーク電流やソフトウェアの問題がない。したがってQWのしきい値電圧(VTW)を十分高く設定すると、メモリセルが非選択時にQWを通して記憶ノードからデータ線に流れる電流(いわゆるMOSFETのサブスレッショルド電流に相当)を十分小さく抑えられるので、データ保存時間が長くなる。したがってリフレッシュ時間のきわめて長いDRAM動作や、事実上リフレッシュ動作の不要な不揮発動作も可能となる。

図面の簡単な説明

第1図は、本発明の第1の実施例のメモリセルの回路図である。第2図は、本発明の第1の実施例のメモリセルの動作タイミング図である。第3図は、本発明の第1の実施例のメモリセルのノード電圧図である。第4図は、本発明のメモリセルアレーの回路図である。第5図は、本発明のメモリセルアレーの動作タイミング図である。第6図は、本発明に適用されるPMOSトランジスタとNMOSトランジスタからなるCMOSセンスアンプである。第7図は、本発明に適用されるデータコントロールセルからなるレジスタである。第8図は、本発明のメモリセルの端子電圧を制御する回路方式である。第9図は、本発明のメモリセルの

端子電圧を制御する他の回路方式である。第10図は、本発明のメモリセルの端子電圧を制御する動作タイミング図である。第11図は、本発明のメモリセルが不揮発性動作をする場合の動作タイミング図である。第12図は、本発明の第2の実施例のメモリセルの回路図である。第13図は、本発明の第2の実施例のメモリセルの動作タイミング図である。第14図は、本発明の実施例のトンネルトランジスタの断面図の概略である。第15図は、メモリセル内の書き込みトランジスタの所要しきい値電圧を求めるための電流・電圧特性である。第16図は、本発明の第1の実施例のメモリセルの平面図である。第17図は、本発明の第1の実施例のメモリセルの断面図である。第18図は、本発明の第1の実施例のメモリセルの他の断面図である。

発明を実施するための最良の形態

以下、図面を用いて本発明の実施例を説明する。尚、本願明細書において、Nはメモリセルの記憶ノード、WLはワード線、DLはデータ線を示す。ワード線WLには3値レベルのワード電圧パルスが印加される。すなわち非選択時には負電圧 $-V_B$ 、読み出し時に V_R 、書き込みあるいは再書き込み時には V_W が印加される。読み出し動作は書き込みトランジスタ Q_W を非導通のままで行なう。したがって読み出し電圧 V_R は、 Q_W のしきい値電圧 V_{TW} (Q_W が導通開始時のソース電圧を基準にしたゲート電圧) よりも小さな値に選ばれる。また書き込み電圧 V_W は $V_{DD} + V_{TW}$ 以上に選ばれる。2値情報(1、0)に対応した書き込み電圧(V_{DD} 、 $0V$)を V_{TW} の影響を受けずにセルノードNに書き込むためである。結合容量Cは、書き込み動作を終了しワード電圧を V_W から $-V_B$ に変化させて非選択状態に移行する時に、ノードNに書き込まれた電圧(V_{DD} あるいは $0V$)を負側にシフトさせる役目をする。ここで非選択状態のワード電圧を $-V_B$ と負の値に設定しているのは、ワード電圧の電圧振幅を大きくしてノードNの電圧をより大きく負側にシフトさせるためである。この負側にシフトした

ノードNの電圧がQRのしきい値電圧 V_{TR} よりも小さく設定されるならば、非選択セルのQRは非導通となる。もちろんQWのゲート電圧は $-V_B$ だからQWも非導通である。したがって同じデータ線DLに接続された他のメモリセルが選択されて、そのデータ線がVDDと0Vの間のいかなる電圧になっても、複数の非選択セルのそれぞれのQRは非導通なので、非選択セルが選択セルの動作に悪影響を与えることはない。ここでソース電圧制御回路SVCは、QRのソース線SLの電圧を、読み出し動作と書き込み（あるいは再書き込み）動作に応じて制御する回路である。

読み出し時にはSLを0Vに固定し、書き込み時にはSLを開放あるいは適当な正電圧を与えてQRの導通状態を制御する。これによってノードNにデータ線DLから高電圧VDDを印加する書き込み（あるいは再書き込み）の場合に起こる以下の諸問題を解決できる。たとえばSLを0Vに固定した場合を考えてみよう。データ線からVDDの直流電圧をノードNに印加する書き込みの場合、読み出しトランジスタQRは導通し、導通電流が流れ続けるので消費電力が大きくなる。あるいはデータ線に保持されたVDDの浮遊電圧をノードNに印加する再書き込みの場合、QRが導通するので、データ線とノードNは放電し V_{TR} 程度にまで低下して停止する。この低下した電圧がノードNに書き込まれるから、メモリセルの高電圧側の電圧マージンが著しく低下する。これらの問題は、例えば書き込み時にSLを開放状態（0Vの浮遊電圧）にすることによって解決される。この場合にも、QRが導通しSLを充電し始めるが、もしSLの寄生容量CSLがデータ線の寄生容量CDに比べて無視できるほど小さければ、SL電圧は高速に $VDD - V_{TR}$ まで充電されQRは非導通になる。データ線の電圧は $CS \ll CD$ なのでほぼVDDの値のままとなり、この値がそのままノードNに書き込まれる。したがって上記のようにQRを通して電流が流れ続けることも、またメモリセル高電圧側の電圧マージンの低下もなくなる。

以下第1図を用いて書き込み、保持、読み出しの各動作をさらに詳細に説明す

る。

DRAMと同様に、いかなるメモリセルも選択されない状態では、プリチャージ回路によってデータ線はVDDの浮遊状態にされる、すなわちVDDにプリチャージされるものとする。またソース線SLは書き込み・再書き込み動作時には
5 それまでの0Vの固定電圧から0Vの浮遊状態になり、CSLはCDに比べてはるかに小さいものと仮定する。

(1) 書き込み動作

セルノードNに書き込まれた情報電圧(VDD、0)は、ワード電圧がオフ状態の電圧 $-V_B$ に下降する過程で、セルキャパシタ C からの容量結合の影響を受けて最終電圧となる。ここで $V_N(H)$ と $V_N(L)$ をそれぞれ高電圧VDDと低電圧0Vが書き込まれた場合に対応したノードNの最終電圧とする。したがってこの $V_N(H)$ あるいは $V_N(L)$ が非選択セルのノード電圧となる。ここで $V_N(H)$ は以下のように求まる。すなわちVWがVDD+VTWまで下降するまでは、ノードNはCからの容量結合で低下しようとしても、まだ導通状態にあるQWによってデータ線から充電されるので結局VDDに保持される。VDD+VTWから $-V_B$ に下降する期間では、QWは非導通のためノードNは容量結合比 α で低下する。したがって、
15

$$V_N(H) = VDD - \alpha (VDD + VTW + V_B) \quad ,$$

$$\alpha = C / (C + C_N) \quad (1)$$

20 となる。ここで C_N はノードNの寄生容量である。 $V_N(L)$ も同様にして求まる。この場合には、VWはVTWまで下降するまではQWは導通状態なので、ノードNは上述の理由により0Vに保持される。しかしそれ以降では容量結合で降下し、

$$V_N(L) = -\alpha (VTW + V_B) \quad (2)$$

25 となる。式(1)、(2)が非選択状態でのセルノード(N)電圧となる。

(2) 保持動作

非選択セルはいかなる状態でもデータを保持し、また選択されたセルの動作に悪影響を与えてはならない。第1図に示したプリチャージ期間のように、すべてのセルが非選択の場合にでも、また一本のデータ線に接続された複数のセルの中で、ある一個のセルが選択されそのデータ線の電圧が0からVDDに変化する状態でも、この条件は満たされなければならない。このためにはQWとWRが完全に非導通であればよい。明らかに非選択セルではQWのしきい値電圧(V_{TW})は十分高く、しかもそのゲートには負電圧が印加されているからQWは完全に非導通である。一方、非選択セルでは、SL電圧は0Vの固定電圧であるから、QRが常に非導通であるためには、式(1)、(2)で表される電圧の両者、すなわちV_N(H)とV_N(L)がQRのしきい値(V_{TR})よりも低ければよい。V_N(H)は常にV_N(L)よりも高いから、その条件は以下の式で表される。

$$V_N(H) = V_{DD} - \alpha (V_{DD} + V_{TW} + V_B) < V_{TR} \quad (3)$$

(3) 読み出し動作

セル読み出し時には、印加されたワード電圧V_Rと結合容量CによってセルノードNは昇圧され、V_N(H)ならびにV_N(L)はそれぞれ以下に表わされるような電圧V_N(H)とV_N(L)に昇圧される。

$$\begin{aligned} V_N(H) &= V_N(H) + \alpha (V_R + V_B) \\ &= V_{DD} - \alpha (V_{DD} + V_{TW} - V_R) \end{aligned}$$

$$V_N(L) = V_N(L) + \alpha (V_R + V_B) = \alpha (V_R - V_{TW})$$

ここでたとえば情報1と0を弁別するには、QRはV_N(H)で導通し、V_N(L)で非導通である必要がある。これによってVDDにプリチャージされているデータ線は、図のように0Vに放電するか、あるいはVDDを保持する。この時、読み出し動作が書き込みトランジスタQWによって悪影響を受けないようにQWを非導通にしておく必要がある。このためにはQWは、V_N(L)の方がV_N(H)よりもそのソース電圧が低くて導通しやすいので、V_N(L)の場合にQWが非導通になる条件を満たせばよい。故に

$$V_N(H) = V_{DD} - \alpha (V_{DD} + V_{TW} - V_R) > V_{TR} \quad (4)$$

$$V_N(L) = \alpha (V_R - V_{TW}) < V_{TR} \quad (5)$$

$$V_R - V_N(L) < V_{TW} \quad (6)$$

となる。式 (5)、(6) より

$$5 \quad V_R < V_{TW} \quad (7)$$

となる。 V_{TR} を正の値とすれば式 (7) がみたされる限り式 (5) は成立する。故に式 (3)、(4)、(7) によってメモリセルの電圧マージンが決まる。

- 第3図は非選択セルの記憶ノードNの電圧 $V_N(H)$ と $V_N(L)$ 、ならびに選択セルの読み出し時の記憶ノードNの電圧 $V_N(H)$ と $V_N(L)$ を α に対して求めたものである。電圧条件は $V_{DD} = 2.5V$ 、 $V_{TW} - V_R = 0.25V$ のもとで $V_{TW} + V_B$ を可変にしている。実線は $V_{TW} + V_B = 2.5V$ で、点線は $V_{TW} + V_B = 3.5V$ である。ただし $V_N(H)$ と $V_N(L)$ は式 (4)、(5) から明らかのように、 $V_{TW} + V_B$ の値には無関係に一定である。 V_{TR} のとり得る範囲は、式 (3)、(4)、(5) で決まり図中の塗りつぶした領域となる。ここで $\alpha = 0.4$ を例に V_{TR} とメモリセルの電圧マージンの関係を調べてみよう。 $V_{TW} = 2V$ 、 $V_B = 0.5V$ では、すなわち $V_{TW} + V_B = 2.5V$ では、 V_{TR} は点aから点bまでの範囲の値をとれるが、仮に $V_{TR} = 0.75V$ (点A) としよう。この時非選択セルでは $V_N(H) = 0.5V$ (点b)、 $V_N(L) = -1V$ (点d) なのでトランジスタQRは完全に非導通である。
- 20 一方選択されると $V_N(H) = 1.4V$ (点a)、 $V_N(L) = -0.1V$ (点c) となる。したがって $V_N(H)$ でQRは導通し、 $V_N(L)$ で非導通となる。導通時のQRの実効ゲート電圧は $V_N(H) - V_{TR} = 0.65V$ となる。ここで $V_{TW} = 2V$ 、 $V_B = 1.5V$ とワード電圧を負側に1Vだけさらにバイアスし、 $V_{TW} + V_B = 3.5V$ とすると、QRの実効ゲート電圧はさらに大きく
- 25 くなり高速動作する。この場合、 V_{TR} のとり得る範囲は点aから点bと広がるので、非導通例の電圧マージン (点Aと点bの差、ならびに点Aと点bの差) を

ほぼ同じにしたままでVTRを0.35V(点A)まで下げることができる。したがってQRの実効ゲート電圧は $V_N(H) - VTR = 1.05V$ と大きくなる。

第4図はメモリセルアレーとその周辺回路の概略図、第5図はそれらの動作タイミング図である。メモリセルMCは複数のワード線(WL0、…、WL $n-1$)と複数のデータ線(DL0、…、DL $m-1$)の交点に接続される。各データ線は、周知のアドレス信号によって活性化される列信号(YS0、YS $m-1$)によって選択され、列選択トランジスタ(QY)を介して共通データ入出力対線(I/O、I/O)に接続される。

10 I/O対線はセンスアンプSA、データ入出力バッファDBを介してデータ出力Doに、またDBを介してデータ入力Diに接続される。各ワード線には、それぞれのワード線の選択状態を検出するデータコントロールレジスタ(DCR)が接続され、その出力信号線(DCL)からの信号によってDBが制御される。

本実施例の特長は以下の通りである。メモリセル内に利得があるので、つまり
15 読み出しトランジスタQRに流れ続ける電流がデータ線上の電圧に変換されるので、データ線上に現れる信号電圧は極めて大きくなる。前述したように設計によっては電源電圧の振幅にもできる。また1本のデータ線に接続できるメモリセルの数は原理的に無制限である。データ線の寄生容量(CD)が増えても利得があるのでメモリセルは正しく動作する。これに対して、周知のDRAMセルには利
20 得がないのでデータ線上に現れる信号電圧は極めて小さい。このためにデータ線を低雑音に適するようにわざわざ対線配置にした上で、狭いピッチのデータ対線毎に面積の大きな差動CMOSセンスアンプを設け信号を増幅しなければならない。さらにはCDを小さくし信号電圧を大きくするためにデータ対線を多分割にし、分割されたデータ対線毎に上記の差動アンプを設けなければならない。これ
25 らはすべてチップ面積を大きくする要因となる。したがって本実施例は、DRAMに比べて動作が安定で、チップ面積を小さくできる利点がある。以下、本実施

例の動作を説明する。

メモリセルアレーが非活性時には、各データ線上のプリチャージトランジスタ Q P を導通させ、すべてのデータ線を V D D にプリチャージしておく。I / O 対線もその半分の電圧値 V D D / 2 にプリチャージし等電位化しておく。また各ソース線 (S L 0、S L n - 1) の制御信号 R W C を高レベルにし、各ソース線のトランジスタ Q S L をオンにし各ソース線を 0 V に固定する。メモリセルアレーが活性化されると、行アドレス信号によって指定された 1 本のワード線 (たとえば W L 0) が選択され V R 電圧が印加されて読み出し動作が始まる。これによって W L 0 上のすべてのメモリセルが読み出され、対応するそれぞれのデータ線に読み出し信号電圧が現れる。たとえばセルノードが V N (H) の場合は、Q R は導通するので、V D D のフローティング状態にあった D L 0 は 0 V に放電される。一方 V N (L) の場合には、Q R は非導通なので D L 0 はの V D D ままである。読み出されたデータ線の電圧が V D D あるいは 0 V に定まった後に、列アドレス信号によって列選択スイッチ (たとえば Q Y) を導通させると、D L 0 の電圧は D L 0 と I / O 間の電荷分配 (c h a r g e s h a r i n g) によって I / O 線にとり出される。もし D L 0 が V D D の場合には、I / O 線には V D D / 2 に対して + u s の信号電圧が現れ、0 V の場合には - u s の信号電圧が現れる。

ここで D L 0 と I / O の寄生容量をそれぞれ C D、C I / O とすれば、

$$u s = (C D / (C D + C i o)) \cdot (V D D / 2) \quad (8)$$

である。I / O 対線の他方 I / O の電圧は V D D / 2 のままなので、この電圧を参照電圧にしてセンスアンプ S A を動作させれば、読み出し電圧の情報は弁別できる。第 6 図はラッチ型の C M O S センスアンプである。P チャネルならびに N チャネル MOS F E T の共通端子である S P ならびに S N をそれぞれ V D D / 2 から V D D に、V D D / 2 から 0 V に駆動すれば、I / O の + u s、- u s 情報は V D D あるいは 0 V に増幅され、データ入出力バッファ D B を通してデータ出力端子 D o にとり出される。これと並行して I / O の増幅された電圧は、V R に

- 続くVWのワード電圧の印加によってそのままメモリセルノードNに再書き込みされる。DL0に読み出されたVDDあるいは0Vの電圧は、I/Oに接続されることによってVDD以下に、あるいは0V以上に劣化してしまうので、センスアンプでVDDあるいは0Vに再生して再書き込みする必要があるためである。
- 5 他のデータ線(DL1~DLm-1)では、原理的に上記のような電圧劣化はないので、読み出し後のデータ線電圧はそのまま対応するメモリセルに再書き込みされる。ここで前述したように、VWが印加される直前で制御信号RWCを0Vにして、各QSLをオフにして各SL線を浮遊状態の0Vにしておく。これによってたとえば再書き込み時のデータ線の電圧レベルの低下を防ぐ。以上は読み出し動作であるが、書き込み動作は上述した再書き込み動作期間を利用して行われる。すなわちデータ入力端子Diからの書き込みデータに対応した電圧を、データ入出力バッファDBを介して差動電圧の形でI/O対線に与え、この電圧で読み出し時のセンスアンプ増幅電圧を置き換える。その結果の電圧(VDDあるいは0V)をI/OからDL0を介してセルノードに与えればよい。ここでメモリ
- 15 セルは一種のインバータなので、第5図に示したように、ワード線が選択されるたびにそのワード線上のすべてのメモリセルのノード電圧は高低と入れ替わる。そこでデータの入出力関係を論理的に矛盾のないようにするために、各ワード線に接続されたデータコントロールレジスタ(DCR)の出力信号でデータ入出力バッファDBを制御する。
- 20 第7図はデータコントロールレジスタとデータ入出力バッファの制御方式である。この制御方式の概念は、3個のトランジスタから成るセルを用いたDRAMを例に、すでにISSCC72(International Solid-State Circuits Conference in 1972)のDigest pp. 12-13で述べられている。すなわち各ワード線にはメモリ
- 25 セルと同じ構造のデータコントロールセル(DCC)が接続されている。あるワード線が選択されると、選択されたデータコントロールセルから共通出力信号線

(DCL) にその読み出し信号が出力される。この信号とメモリセルアレーからセンスアンプを介して読み出された信号が Exclusive OR をとられてデータ出力 DO となる。一方、DCL への読み出し信号とデータ入力 Di が Exclusive OR をとられてメモリセルアレーへの書き込みデータとなる。

- 5 尚、データ入出力の制御を高速に行うために、データコントロールセル内の出力トランジスタ (QR に相当) のチャンネル幅をメモリセルのチャンネル幅よりも大きくすることもできる。

- 第 8 図は再書き込みあるいは書き込み時に、データ線の高レベル (VDD) 側の低下を抑えるための SL 線の電圧制御方式である。1 本の SL 線を SL00、
- 10 SL01 などと多分割にし、実効的に 1 本あたりの SL 線の寄生容量 (CSL) を少なくしていることが特長である。前述したように、RWC をオフにして各 SL 線を浮遊状態にすると、データ線寄生容量 (CD) に対して CSL が小さくなった分だけ上記の電圧レベルの低下は抑えられる。他の特長は、分割されたそれぞれの SL 線にその電圧を制御するためにメモリセルと同じ構造のダミーセル (
- 15 DC) を接続し、そのデータ線 (DDL0、DDL1 など) を常に VDD に固定していることである。これによってデータ線の上記電圧レベルの低下の最大値を、以下に述べるようにさらに半減できる。前述したように、ワード線 (WL0) に読み出し電圧 (VR) が印加され、WL0 上のすべてのメモリセル (MC) が読み出され、対応するそれぞれのデータ線に読み出し電圧が出力される。もちろんこの期間は SL00、SL01 などは 0V に固定されている。各データ線が十分放電された後に SL00、SL01 などは浮遊状態の 0V とされ、その後に WL0 に書き込み電圧 (VW) が印加され、各データ線の電圧が各メモリセルの記憶ノード (N) に再書き込みされる。ここでデータ線の高レベル側の低下の程度は、WL0 上で特定の読み出し情報をもつメモリセルの数に依存する。すなわち
- 20 読み出し後にデータ線電圧が高レベルになるメモリセルの数 (k) が多いほど高レベル側の低下は少ない。より多くのメモリセルの QR で SL00 などの寄生容

量をほぼ $V_{DD} - V_{TR}$ まで充電するからである。すなわちデータ線の電圧低下分を ΔV_D とすれば、 $C_{SL} \cdot (V_{DD} - V_{TR}) = k C_D \cdot \Delta V_D$ となるからである。したがって $k = 1$ の場合に ΔV_D が最大になる。この低下を半減するのが上述したダミーセル(DC)である。ダミーセル内のQRは再書き込みや書き込み時には常に導通するので、実効的に $k = 2$ になり ΔV_D は半減する。ダミーセル方式以外にも、後述するように、SL線をある一定の電圧(たとえば $V_{DD} - V_{TR}$ 以上)に固定してからVWを印加する方法もある。すなわち読み出してデータ線に十分な読み出し電圧が出力された後に、SL線をそれまでの0Vから $V_{DD} - V_{TR}$ 以上に充電してからVWを印加する。充電する分だけサイクル時間は長くなるが、データ線の電圧低下はなくなる。

第9図はSL線の電圧を制御する回路の実施例である。読み出してデータ線電圧が定まった後に、各SL線の端部に接続されたトランジスタ Q_{SL0} 、 Q_{SL1} などのゲート電圧は、アドレス信号によってデコードされ個別に制御される。このため選択されたワード線(WL0)に対応した Q_{SL0} だけが非導通となり Q_{SL0} だけが0Vの浮遊状態になる。他の非選択状態のトランジスタは導通したままなのでSL10などは0Vに固定される。その後ワード電圧VWが印加される。第8図のようにRWCによって複数のトランジスタのゲートを一括制御する場合に比べて、RWCの負荷容量が軽減するので高速である。

第10図は、第9図のようにSL線の電圧供給源PSLを常に0Vに固定するのではなく、パルス駆動した例である。これによってVW印加時にSL00は強制的に $V_{DD} - V_{TR}$ に駆動される。 Q_{SL0} 、 Q_{SL1} などのゲート電圧はアドレス信号によってデコードされ、選択されたトランジスタ(Q_{SL0})だけが導通するので、PSLの負荷容量はほぼSL00だけとなり高速となる。

これまでの説明では、SL線は $V_{DD} - V_{TR}$ まで充電すればQRは非導通になることを前提としてきたが、実際には $V_{DD} - V_{TR}$ よりもかなり低い電圧でQRは非導通になる。よく知られているようにSL線が充電されるにつれてQR

の基板効果でVTRは上昇するからである。したがって実際には ΔVD はより小さく、またSL線の充電電圧はより小さくてよい。

ここでメモリセル内の書き込みトランジスタ(QW)に後述のトンネルトランジスタを使うと、記憶ノードを絶縁膜で囲まれた構造にできるので不揮発動作が可能になる。記憶ノードにはpn接合電流が存在しないので、記憶ノードの電荷はQWを通した経路だけで失われることになる。もしQWのしきい値電圧(VTW)を2V程度に十分高く設定できると、QWを通す電流も無視できるほど小さくなるからである。これを第3図の $VTW + VB = 3.5V$ 、 $VTW = 2V$ 、 $\alpha = 0.4$ の例を用いて説明しよう。

第11図に示すように、電源電圧が遮断(オフ)するとワード線やデータ線などは結局は0Vの浮遊状態になる。この時記憶ノードに蓄えられていた電圧(第3図の点bとd)もメモリセルのキャパシタCによって昇圧する。ワード電圧の電圧変化は1.5Vで $\alpha = 0.4$ なので、 $VN(H)$ は0.6Vだけ昇圧し0.7Vとなる。一方、 $VN(L)$ も-0.8Vに昇圧する。この後の電源がオフの期間(たとえば最長10年間)は、QWが弱く導通して記憶ノードNはデータ線から充電される。ここでQWが完全にオフするQWの最小しきい値電圧を後述するように1.6Vと仮定する。ワード電圧は0Vで $VTW = 2V$ なので、上記ノード電圧の中で問題となる-0.8V側だけが充電され-0.4Vまで達すると停止する。電源を再びオンにすると、記憶ノードはワード電圧の変化とキャパシタによって0.6Vだけ降下する。その後あるワード線に電圧(VR)が印加されて読み出し動作が始まる。この時の記憶ノード電圧は1.3Vだけ昇圧されるので $VN(H) = 1.4V$ 、 $VN(L) = 0.3V$ となる。明らかに電源がオフすることによって、メモリセルの $VN(H)$ と $VN(L)$ の電圧差は1.5Vから1.1Vと減少する。しかしもしQRのしきい値電圧(VTR)を0.75Vに選べば、QRは $VN(H)$ で導通し、 $VN(L)$ で非導通になるのでメモリセルは正しく動作する。すなわち不揮発動作が実現される。もちろん電源オン後

の2回目以降の読み出し動作ではVN (H) とVN (L) の電圧差は1.5Vに回復する。

第12図、第13図はメモリセルの他の実施例とその動作タイミングである。第1図のメモリセルからキャパシタ (C) が削除され、読み出し選択用MOSFET (QR2) が付加されている。第1図に比べてメモリセル面積は大きくなるが、設計が簡単になる。すなわち

(1) 読み出し専用ワード線 (RWL) をオンして、ノードNの記憶情報をデータ線DLに出力する。もしノードNの電圧が高レベル (VDD) ならQR1とQR2は両方とも導通するので、それまでVDDレベルにプリチャージされていたデータ線 (DL) は0Vに放電する。もしノードNの電圧が低レベルなら (0V) ならQR1は非導通なので、データ線はVDDのままである。この読み出し動作によってデータ線の電圧が確定した後にRWLをオフし、その後書き込み専用ワード線 (WWL) をオンにする。これによってデータ線の読み出し情報を再書き込みする。あるいは同じワード線上の特定のメモリセルには外部から強制的に書き込みデータ電圧を与えて書き込みする。したがって第1図とは異なり、メモリセルは常にダイナミック動作し貫通電流が流れ続けることはない。このため前述したようなキャパシタ (C) やSL線の電圧制御は不必要になり、SL線の電圧は固定電圧 (0V) でよい。

(2) RWLをオンしている期間はWWLはオフなので、読み出し動作によってメモリセルの記憶情報が破壊される恐れはない。

(3) ワード線 (RWL、WWL) には、QR2やQWのしきい値電圧が格別低くない限り非選択時に負電圧を印加する必要はない。もちろん上記しきい値電圧が低すぎる場合は負電圧を与えて両トランジスタを非導通にしなければならない。

(4) ワード線に与える電圧を、第2図に示すように3値レベルにする必要はない。

ここでQWにトンネルトランジスタを使えば、後述するようにQWとQR1は

立体構造にできるのでメモリセルは小型化される。ここでWWLと記憶ノードN間の結合容量をできるだけ小さくすれば、記憶ノードにはほぼVDDと0Vの電圧が書き込まれ保持される。またノードNの電荷も長期間保持され、QWのしきい値電圧を十分高く設定すれば、前述したように不揮発動作もより容易に実現できる。もちろんこのメモリセルを使ったメモリセルアレーに対しても、第4図に示したような回路が構成できる。各ワード線がRWL、WWLと2本になり、SL線がグランド電圧に固定される以外はまったく同じに構成できる。

第14図はトンネルトランジスタの断面構造の概略図である。積層した4層のポリシリコン（ポリ1～ポリ4）の両側にゲート酸化膜（膜厚 t_{ox} の熱酸化膜）を介してゲート電極Gが配置されている縦型トランジスタに特長がある。実際には両側のポリシリコンで形成されたゲート電極は、後述するように一体で形成され常に等電位である。ポリ1とポリ2はポリシリコンに 10^{20} cm^{-3} 程度のリンがドーブされており、トランジスタのドレインD（あるいはソースS）とソース（あるいはドレイン）を形成する。ポリ2とポリ3はきわめて低濃度（ $10^{15} \sim 10^{17} \text{ cm}^{-3}$ 程度）にリンがドーブされたイントリンシックポリシリコンでトランジスタの基板を形成する。ポリ1とポリ2、ポリ2とポリ3ならびにポリ3とポリ4の間には、たとえば薄い（2～3 nm）シリコン窒化膜から成るトンネル膜SN1、SN2、SN3が形成されている。SN1とSN3は、トランジスタ形成時に、ドレインあるいはソース領域の高濃度のリンが内部（ポリ2、ポリ3）の低濃度層に拡散しないようにストッパーの役割をさせる。ドレイン・ソース間に電流を流すためには、これらの膜厚は余り厚くないトンネル膜である必要がある。中央トンネル膜SN2は、トランジスタのオフ電流を小さく抑えるためのものである。すなわちオフ状態にあるトランジスタ内のポリ2とポリ3の領域で発生した正孔あるいは電子が、電流となってドレイン・ソース間を流れないようにするストッパーである。尚、ゲートに十分高い正の電圧を印加すると、このトンネル膜のポテンシャル障壁は下がるのでドレイン・ソース間に十

分大きなオン電流が流れる。もちろんオフ電流の目標値によっては、この中央トンネル膜を削除することもできる。また中央膜1層と仮定したが必要に応じて多層から成るトンネル膜でもよい。第14図のトンネルトランジスタの代表寸法は、 $l = 0.4 \mu\text{m}$ 、 $d = 0.2 \mu\text{m}$ 、 $t_{ox} = 10 \text{ nm}$ 程度である。この種のトランジスタは、トンネル膜厚を適当に選ぶと、基板濃度のきわめて低い通常の横形MOSトランジスタと類似の電流・電圧特性を得ることができる。第15図にその特性の概略を示す。ここで10年間の不揮発特性を保証するためのドレイン・ソース間に流れる電流 (I_{DS}) の許容最大値 (i) を求めてみよう。記憶ノード (N) の容量 (C) を 5 fF 、10年間 (Δt) で許容される記憶ノード電圧の低下 (ΔV) を 0.1 V とすると、 $i = C \cdot \Delta V / \Delta t = 1.6 \times 10^{-24} \text{ A}$ となる。一方、通常の回路設計ではトランジスタのしきい値電圧 (前述の V_{TW} に相当) は $I_{DS} = 10^{-8} \text{ A}$ 程度の電流を流すためのゲート・ソース電圧 (V_{GS}) で定義される。 10^{-24} A から 10^{-8} A の図のセミログで表わされた電流領域では I_{DS} と V_{GS} の関係は直線になるから、 I_{DS} を1桁増加させる V_{GS} の値を 100 mV とすると、 $V_{TW} 0.1 (\text{V/桁}) \times 16 (\text{桁}) = 1.6 \text{ V}$ となる。この V_{TW} の値はトランジスタ (QW) をほぼ10年間オフにするための最小値である。実際の設計では V_{TW} のばらつきや温度特性を考慮して、標準的な V_{TW} は前述した 2 V に設定される。

尚、メモリセル1個のデータは保持時間が1日程度でもよい場合には、許容電流の最大値は 10^{-20} A 程度であるから、 $V_{TW} 0.1 (\text{V/桁}) \times 12 (\text{桁}) = 1.2 \text{ V}$ でよい。前述のようにばらつきを考慮すると、標準的な V_{TW} を 1.6 V に設定すればよい。したがって不揮発動作に比べて、要求されるワード電圧の最大値 ($V_{DD} + V_{TW}$ 以上) は V_{TW} が低くなった分だけ小さくなるので、メモリセル内の書き込みトランジスタ (QW) やワード線を駆動する周辺回路内のトランジスタに対する破壊耐圧への要求は緩和される。尚、この場合には、DRAMで周知のリフレッシュ動作を行えばメモリセルのデータは保持される。す

なわちワード線を駆動して前述の読み出し・再書き込みをする動作を各ワード線に順序に周期的に行えばよい。

第16図は第1図のメモリセルの平面構造を示す。書き込みトランジスタには第14図のトランジスタが用いられている。第17図は断面AA部を、また第158図は断面BB部を示す。リングドープされたn型ポリシリコン膜で形成されたデータ線(DL)上に、厚い絶縁膜を介してボロンがドープされたP型ポリシリコン膜で形成されたワード線(WL)が直交配置されている。通常のMOSFET(第1図のQR)のゲート電極(N)の上に第14図の立体トンネルトランジスタを積み重ねているので、きわめて高密度のメモリセルが実現できる。明らかにQRの電流は平面内を流れるのに対し、QWの電流はそれと垂直方向に流れる。このために、よく知られた折り返しデータ線配置のDRAMメモリセルの面積は原理的に $8F^2$ (F:最小寸法)なのに対して、本発明のそれは $4F^2$ なのでセル面積は半減する。尚、第1図の結合容量(C)は、第17図に示すように、ワード線とポリ4の間の薄い熱酸化膜で形成できる。ポリ4の膜厚を調整すればCの大きさを変えることができる。本メモリセルは、前述のようにQWのしきい値電圧(V_{TW})さえ正しく設定すれば、データ保持時間も十分長く、またアルファ線などの入射によるソフトエラーに対しても著しく強くなる。すなわちメモリセルノード(N)にはpn接合がないので接合リーク電流はない、またアルファ線が照射されセル内部に電子・正孔対が発生しても、トンネル膜が電子と正孔のそれぞれの流れに対してストッパーとなるためにセル内のポテンシャルを変化させることはない、ためである。

以上、メモリセルの小型化を目的としたメモリセルの回路方式、ならびにそのメモリセルで構成したメモリセルアレーの動作方式を述べた。さらなる小型化のために、立体トランジスタ、たとえばトンネルトランジスタを用いたメモリセルの構造の一例も示した。

以上の発明によって高密度・大容量メモリが実現でき、さらには高速不揮発メ

メモリさえも実現できる。さらにはこのようなメモリと大規模論理（たとえばマイクロプロセッサ）を一つのチップに内蔵した半導体装置も実現できる。よく知られているように、従来のDRAMを内蔵したこの種の半導体チップは微細化とともにますます製造し難くなる。すなわち積層キャパシタセルでは、大きなキャパシタンスを得るために、セルアレーはますます高段差構造になり、それが大規模論理部分の微細化を妨げる。一方、溝型キャパシタセルはますますアスペクト比の大きな深溝が必要になり作り難くなる。たとえば256MビットDRAMではアスペクト比は40以上にも及ぶ。これに対して本発明のメモリでは、メモリセル内に利得があるので特別に大きな値のキャパシタンスは不必要である。したがって微細化してもますます顕著になる高段差構造や深溝構造は必要ではないので、作り易く安価な半導体装置を提供できる。

産業上の利用可能性

本発明は、高密度・大容量メモリ装置、さらには高速不揮発メモリ装置が実現できる。更には、このようなメモリ部と大規模論理回路部を一つのチップに内蔵した半導体装置が実現できる。

請求の範囲

1. 情報電圧をそのゲートに保持するMOSトランジスタ、該情報電圧を与えるための書きこみトランジスタ、該ゲートの電圧を制御するキャパシタから成る
5 メモリセルを有する半導体装置。
2. 請求項1のメモリセルにおいて、該書きこみトランジスタの第1ならびに第2端子はそれぞれ該ゲートと書きこみデータを与えるデータ線に接続され、第3の端子はワード線に接続され、さらに該キャパシタの一端の電極は該ゲートに接続され、他端の電極電圧は該メモリセルの読み出し時に制御されることを特長
10 とした半導体装置。
3. 請求項2のメモリセルにおいて、該キャパシタの他端の電極は該ワード線に接続したことを特長とした半導体装置。
4. 請求項1から3のメモリセルにおいて、該MOSトランジスタのドレイン（あるいはソース）は該データ線に接続されることを特長とした半導体装置。
- 15 5. 請求項4のメモリセルにおいて、該MOSトランジスタのソース（あるいはドレイン）は、該メモリセルの読み出し時と再書きこみあるいは書きこみ時に異なる電圧になるごとく制御されることを特長とした半導体装置。
6. 請求項3のメモリセルにおいて、該ワード線の読み出し時の選択パルス電圧の振幅は、再書きこみあるいは書きこみ時の選択パルス電圧の振幅よりも小さいことを特長とする半導体装置。
20
7. 請求項5のメモリセルにおいて、ワード線方向に接続された複数のメモリセルのそれぞれのソース（あるいはドレイン）を共通に結線し、該メモリセルとほぼ同じ構造をもつ該共通結線の電圧制御用セルを該複数のメモリセル対応に設けたことを特長とする半導体装置。
- 25 8. 情報電圧をそのゲートに保持するMOSトランジスタ、該情報電圧を与えるための書きこみトランジスタから成り、該書きこみトランジスタの第1ならび

に第2の端子はそれぞれ該ゲートとデータ線に接続され、第3の端子はワード線に接続され、該MOSトランジスタのドレイン（あるいはソース）は直接あるいは他のトランジスタを介して該データ線に接続されたメモリセルにおいて、該書きこみトランジスタは多層の半導体領域とバリヤ絶縁膜の構造からなり、該バリヤ絶縁膜を通して電荷の書きこみと消去、あるいはその一方を行うものであることを特長とする半導体装置。

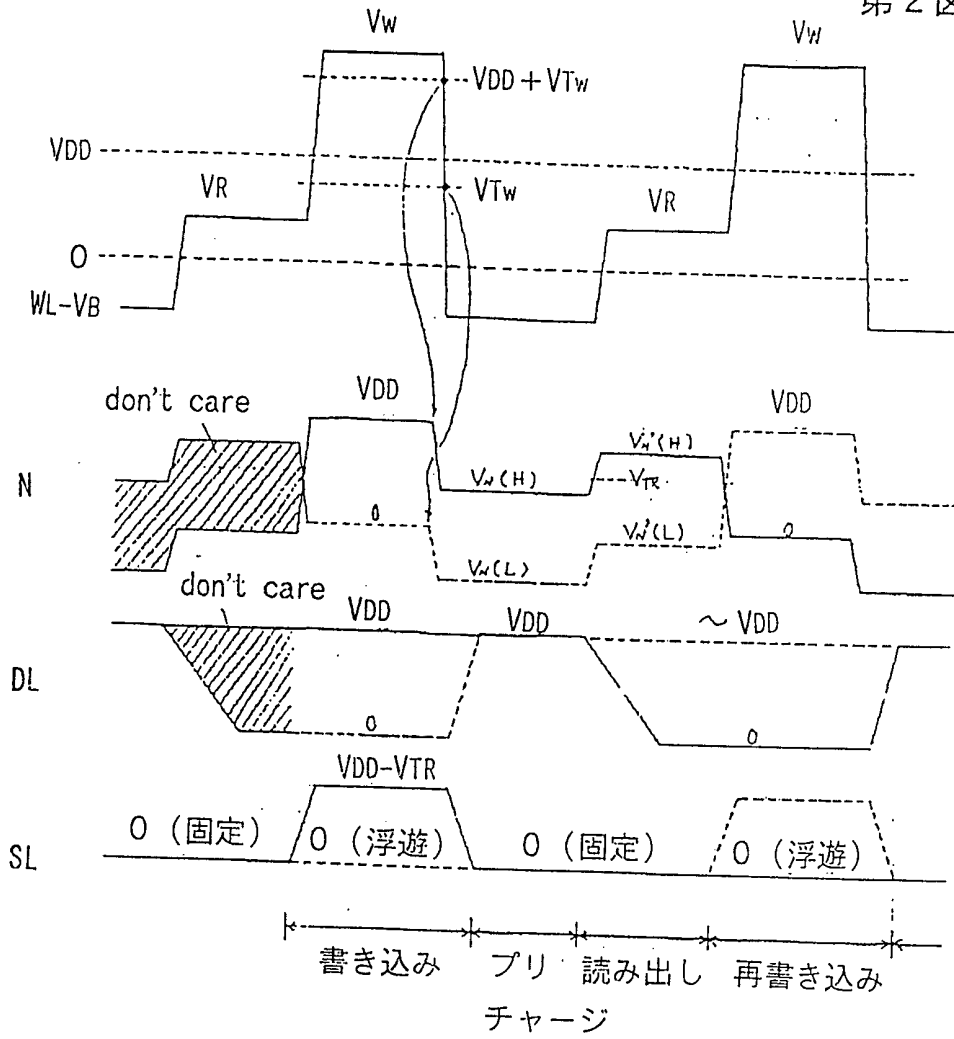
9. 少なくとも情報電圧をそのゲートに保持するMOSトランジスタ、該情報電圧を与えるための書きこみトランジスタから成り、該MOSトランジスタのドレイン（あるいはソース）はデータ線に接続されているメモリセルから成るメモリセルアレーであって、該データ線は該メモリセルの読み出し前には大きな電圧にプリチャージされていて、読み出し時に該MOSトランジスタが情報電圧に応じて導通する場合にはデータ線は小さな電圧まで放電し、非導通の場合にはデータ線は大きな電圧のままに保持されるメモリセルアレーにおいて、複数のデータ線対応に設けられた共通データ線上のセンスアンプが該大きな電圧と小さな電圧の中間の電圧を基準に動作することを特長とした半導体装置。

10. 該書きこみトランジスタのしきい値電圧は情報電圧をそのゲートに保持する該MOSトランジスタのしきい値電圧よりも大きいことを特長とした請求項8の半導体装置。

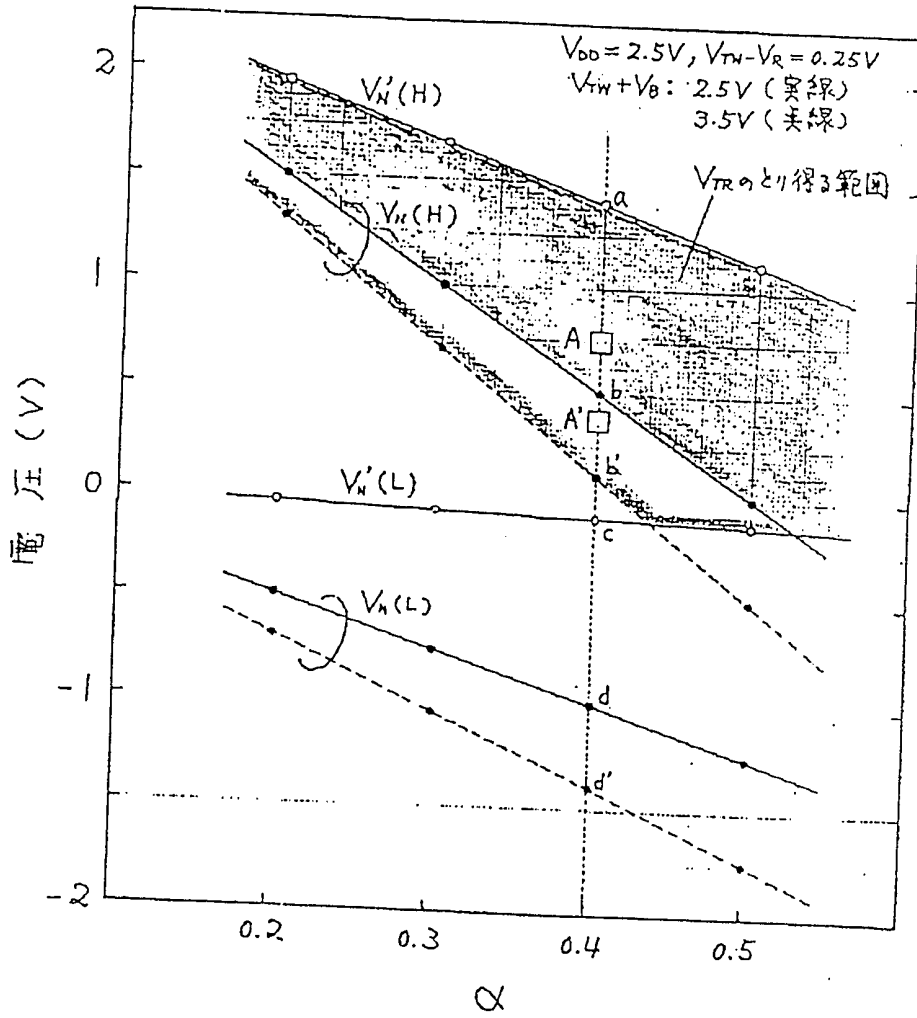
11. 少なくとも、情報電圧をそのゲートに保持するMOSトランジスタ、該情報電圧を与えるための書き込みトランジスタから成るメモリセルにおいて、該両トランジスタの電流経路は互いに垂直であることを特徴としたメモリセルを有する半導体装置。

12. 書きこみトランジスタはバリヤ絶縁膜の構造からなり、該バリヤ絶縁膜を通して電荷の書きこみと消去を行うことによって情報電圧を制御するものであって、該MOSトランジスタと立体的に配置されたことを特徴としたメモリセルを有する半導体装置。

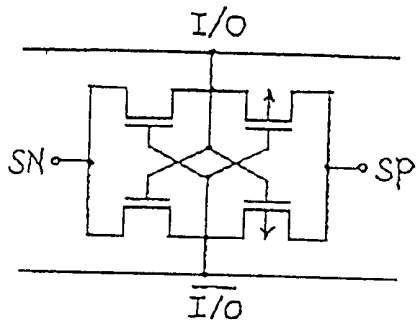
第 2 図



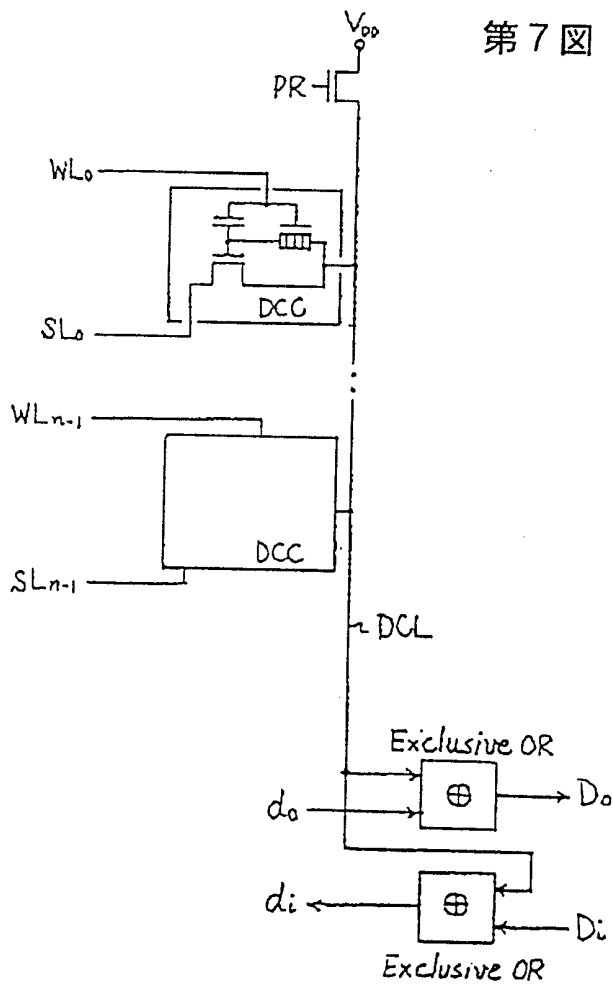
第3図



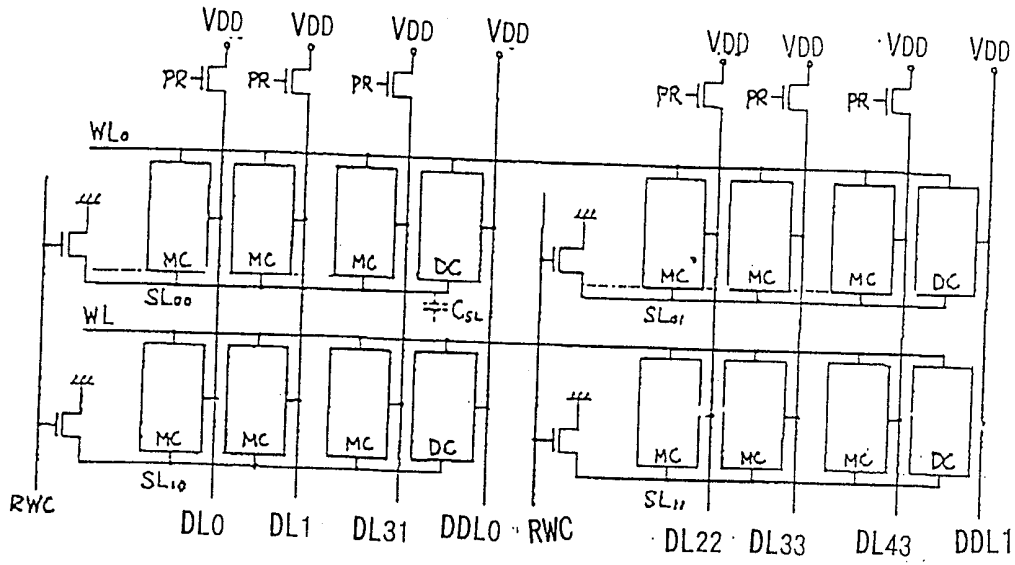
第 6 图



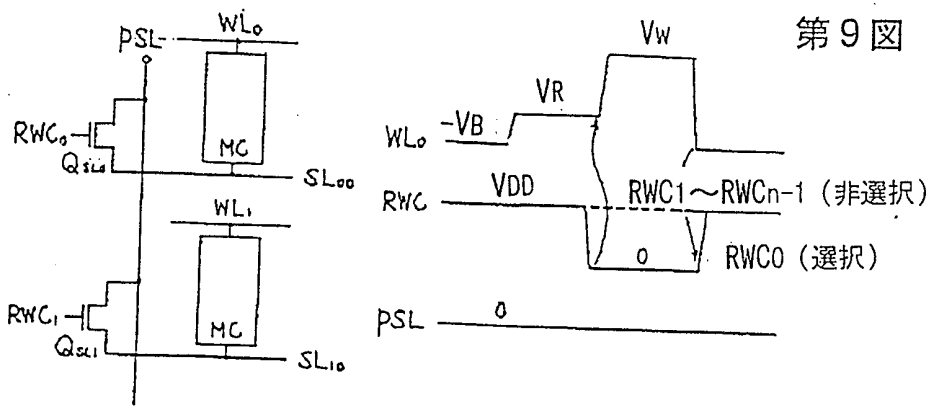
第 7 图



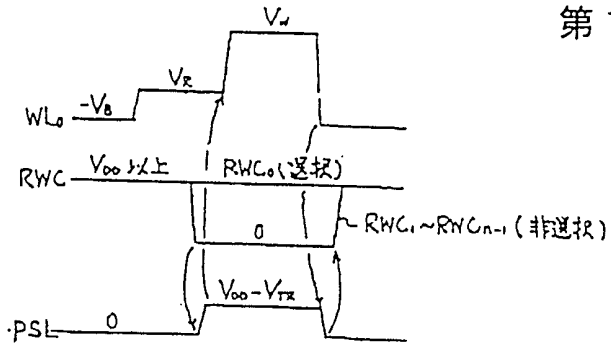
第 8 图



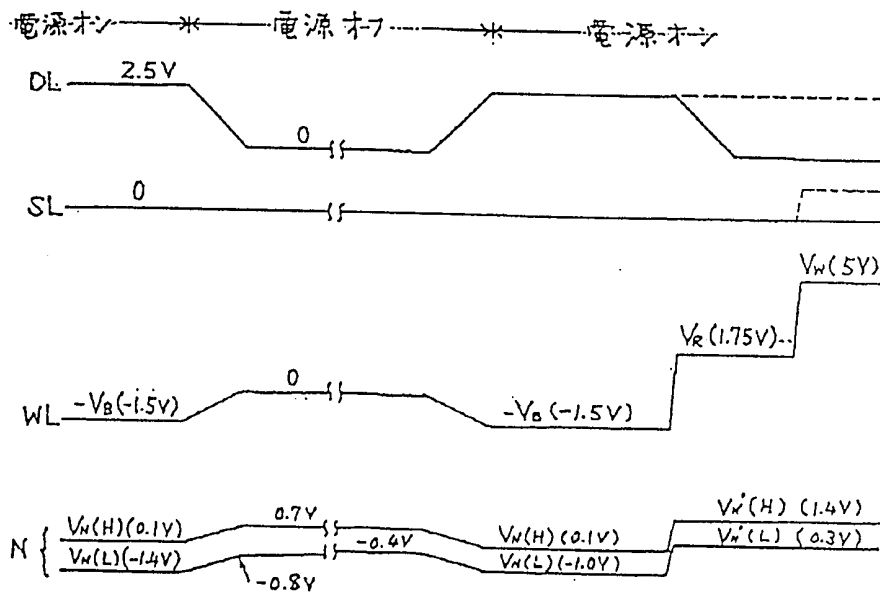
第 9 图



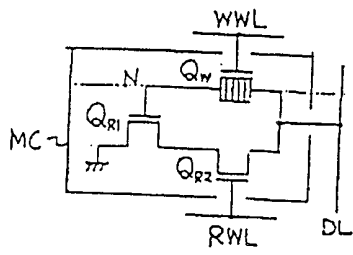
第10図



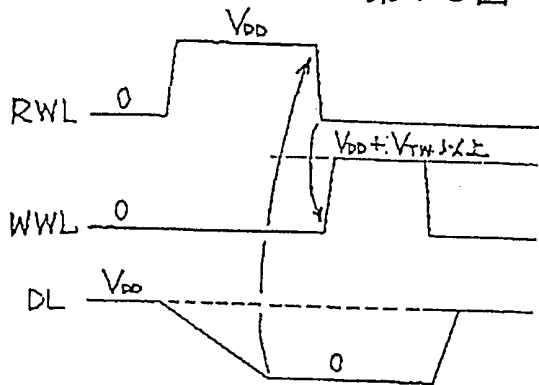
第11図



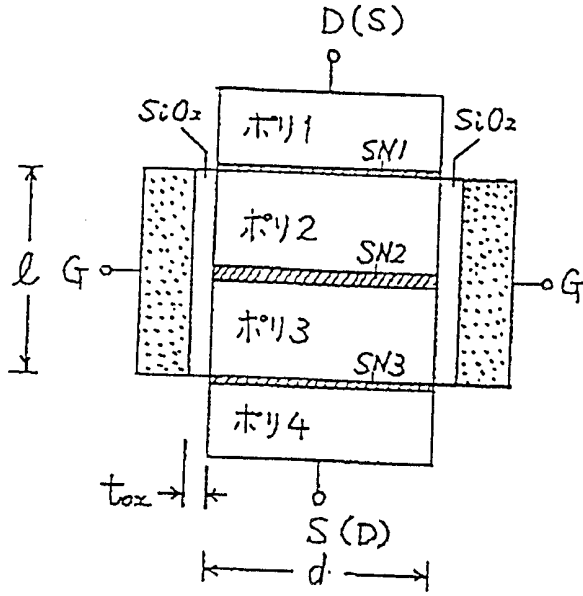
第 1 2 図



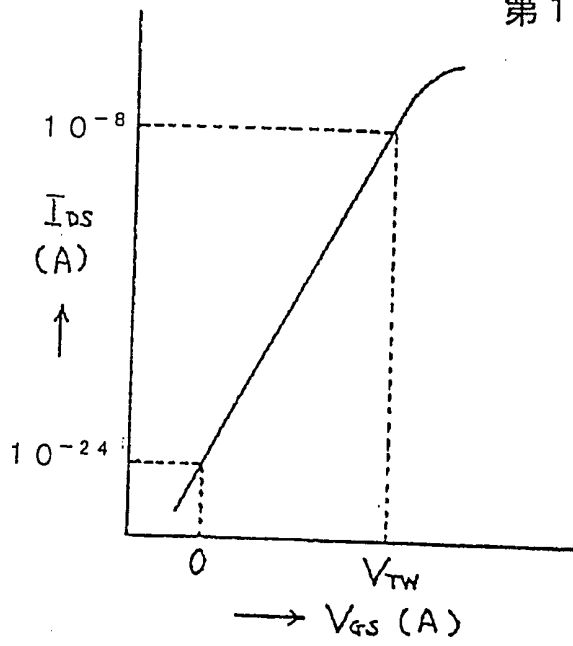
第 1 3 図



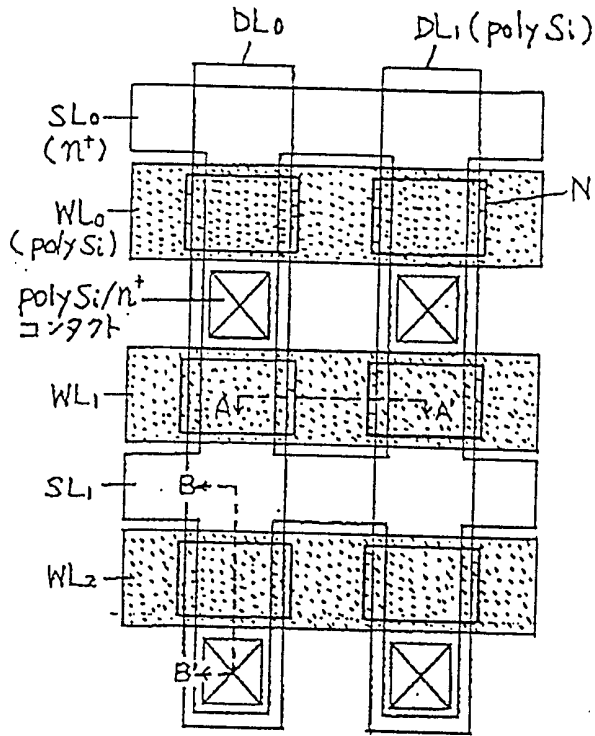
第14図



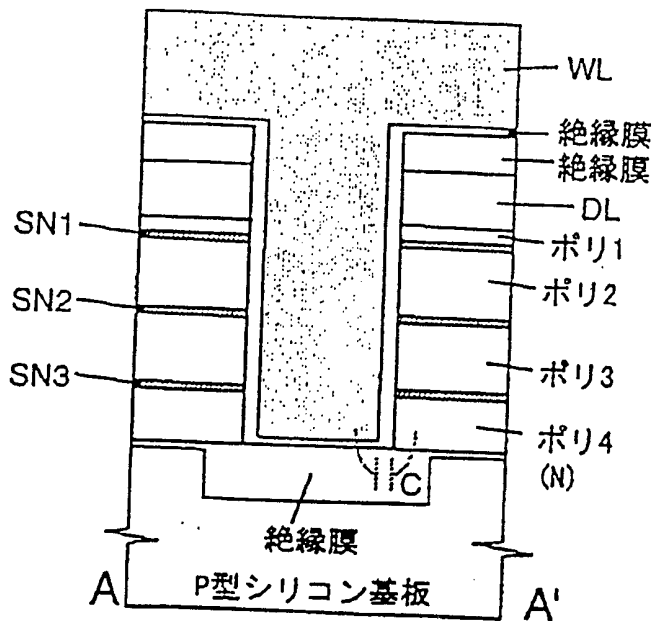
第15図



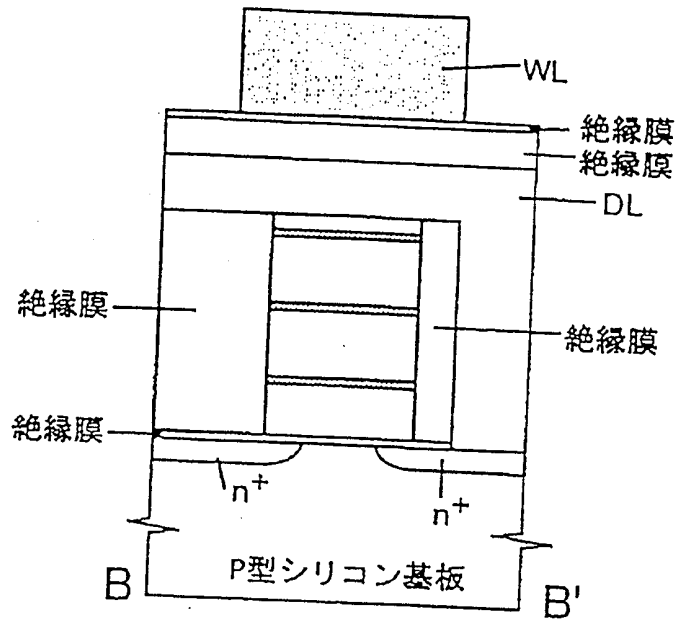
第16図



第17図



第18図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05338

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G11C 11/40, 16/04 H01L 27/108		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G11C 11/40, H01L 27/108		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Toroku Jitsuyo Shinan Koho 1994-1999		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 10-200001, A (Hitachi, Ltd.), 31 July, 1998 (31.07.98), Figs. 20, 27, 28 & CN, 1195861, A	1-3, 6, 8-12 7
X	JP, 2-54572, A (Matsushita Electric Ind. Co., Ltd.), 23 February, 1990 (23.02.90), Fig. 1 (Family: none)	4
X	JP, 63-4671, A (Hitachi, Ltd.), 09 January, 1988 (09.01.88), Fig. 3 (Family: none)	4
X	US, 5798965, A (Young Kwon Jun), 25 August, 1998 (25.08.98), Figs. 2, 3; column 8, lines 26 to 37 & JP, 9-283725, A (LG Semicon Co., Ltd.), Figs. 2, 3; Par. No. [0029] & DE, 19705001, A & KR, 97072409, A	4, 5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 27 December, 1999 (27.12.99)		Date of mailing of the international search report 25 January, 2000 (15.01.00)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C 11/40, 16/04
H01L 27/108

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C 11/40, H01L 27/108

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-1999年
日本国実用新案登録公報	1996-1999年
日本国登録実用新案公報	1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP, 10-200001, A (株式会社日立製作所), 31.7月.1998 (31.07.98), 図20, 図27, 図28 & CN, 1195861, A	1-3, 6, 8-12 7
X	JP, 2-54572, A (松下電器産業株式会社), 23.2月.1990 (23.02.90), 第1図 (ファミリーなし)	4
X	JP, 63-4671, A (株式会社日立製作所), 9.1月.1988 (09.01.88), 第3図 (ファミリーなし)	4
X	US, 5798965, A (Young Kwon Jun), 25.8月.1998 (25.08.98), 図2, 図3, 第8欄第26-37行 & JP, 9-283725, A (エルジイ・セミコン	4, 5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
27.12.99

国際調査報告の発送日
25.01.00

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
須原 宏光
5M 9057
電話番号 03-3581-1101 内線 3597

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	・カンパニー・リミテッド) , 図 2, 図 3, 【0029】 &DE, 197 05001, A&KR, 97072409, A	