



(12) 发明专利

(10) 授权公告号 CN 101178745 B

(45) 授权公告日 2010.06.09

(21) 申请号 200710157002.1

(22) 申请日 2007.11.16

(73) 专利权人 浙江大学

地址 310027 浙江省杭州市西湖区浙大路 38 号

(72) 发明人 任杰 郑勇军 马铁中 史峥 严晓浪

(74) 专利代理机构 杭州天勤知识产权代理有限公司 33224

代理人 胡红娟

(51) Int. Cl.

G06F 17/50 (2006.01)

(56) 对比文件

US 2005/0108669 A1, 2005.05.19, 全文.

US 2004/0153979 A1, 2004.08.05, 全文.

US 6178539 B1, 2001.01.23, 全文.

CN 1197288 A, 1998.10.28, 全文.

CN 1212453 A, 1999.03.31, 全文.

K. Mitsutake, et al. Yield Model with Redundancy Based on Critical Area Calculations. Semiconductor Manufacturing, 2000, Proceedings of ISSM

2000, The ninth International Symposium on. 2000, 187-190.

Julie Segal, et al. Critical Area Based Yield Modeling on an Advanced Microprocessor Design. Semiconductor

Manufacturing, 2000, Proceedings of ISSM 2000, The ninth International Symposium on. 2000, 191-194.

Sandra Levasseur-Frederic Duvivier. Application of a Yield Model Merging Critical Areas and Defectivity Data To Industrial Products.

Defect and Fault Tolerance in VLSI Systems, 1997, Proceeding., 1997 IEEE International Symposium on. 1997, 11-19.

A. V. FERRIS-PRABHU. Modeling the Critical Area in Yield Forecasts. IEEE JOURNAL OF SOLID-STATE CIRCUITSSC-20 4. 1985, 874-878.

陈中佛. 集成电路成品率研究. 微电子学 27 1. 1997, 27(1), 1-8.

审查员 陈茜茜

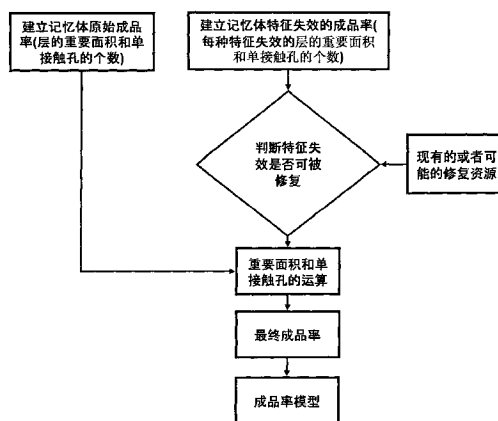
权利要求书 1 页 说明书 8 页 附图 3 页

(54) 发明名称

一种利用有效面积来建立记忆体电路的成品率模型的方法

(57) 摘要

本发明一种利用有效面积来建立记忆体电路成品率模型的方法,包括:(1)建立记忆体原始成品率模型;(2)建立记忆体特征失效成品率的模型;(3)记忆体特征失效的修复计算;(4)记忆体最终成品率的计算;(5)记忆体特征失效和工艺模块的缺陷率的互逆运算,建立记忆体电路成品率模型。本发明方法利用记忆体的设计版图,记忆体可利用的修复资源以及生产线各个工艺模块的缺陷率曲线,就可以精确地预估记忆体的初始成品率,修复之后的成品率,主要的失效特征的成品率,并且能够优化修复资源的设计。



CN 101178745 B

1. 一种利用有效面积来建立记忆体电路成品率模型的方法,包括:

(1) 建立记忆体原始成品率模型;所述的建立记忆体原始成品率模型的方法包括:通过对每层的断电和漏电缺陷曲线和该层的断电和漏电的有效面积的乘积来积分来获得该层的断电和漏电的成品率;通过玻松模型来获得每种接触孔的成品率;最后产品的原始成品率是所有层的断电和漏电的成品率以及每种接触孔的成品率的乘积;

(2) 建立记忆体特征失效成品率的模型;所述的建立记忆体特征失效成品率的模型的方法包括:首先对记忆体中的所有版图的元素进行标识,用蒙特卡洛的模拟方法来模拟缺陷发生的各种可能情况,并且计算每种情况发生的有效面积;

(3) 记忆体特征失效的修复计算;所述的记忆体特征失效的修复计算的方法包括:首先根据蒙特卡洛模拟方法所模拟的不同尺寸的缺陷可能造成的所有设计版图上图形失效的特征,判断每一种图形失效所对应的特征失效,然后再根据可用的修复资源来判断该特征失效是否能够被修复;

(4) 记忆体最终成品率的计算;所述的记忆体最终成品率的计算的方法包括:在判断各种不同的特征失效是否能够被修复之后,对于能够被修复的特征失效,就从原始成品率模型中减去该种特征失效的各层的有效面积和各个接触孔的个数;对于不能修复的特征失效,则不做任何运算;经过这个过程以后,剩下的有效面积和接触孔的个数就是无法修复的部分,进而获取最终产品的成品率;

(5) 记忆体特征失效和工艺模块的缺陷率的互逆运算,建立记忆体电路成品率模型;所述的记忆体特征失效和工艺模块的缺陷率的互逆运算方法是通过解析线性方程的办法来实现的;其中所述的线性方程是多个表示不同种特征失效的成品率和层的有效面积和接触孔关系的线性方程矩阵,其中任何一种表示特征失效的成品率和层的有效面积和接触孔关系的方程式为:

$$\text{特征失效的成品率} = \prod_{\text{层}} e^{-D_{\text{层}} * aCA_{\text{层}}} * \prod_{\text{接触孔}} e^{-N_{\text{接触孔}} * \lambda}, \text{其中 } e^{-D_{\text{层}} * aCA_{\text{层}}} \text{ 为该种}$$

特征失效的漏电成品率; $e^{-N_{\text{接触孔}} * \lambda}$  为该种特征失效的接触孔的成品率; $\lambda$  是接触孔的失效率, $N$  是某种单接触孔的个数。

## 一种利用有效面积来建立记忆体电路的成品率模型的方法

### 技术领域

[0001] 本发明涉及属于集成电路设计和制造领域,尤其是涉及一种利用有效面积的概念来建立记忆体电路的成品率模型的方法。

### 背景技术

[0002] 传统上记忆体成品率的估算是用和逻辑电路做比较的方法来得到的。这样的方法不是很准确因为没有考虑到记忆体电路的特殊性。建立精确的成品率模型对记忆体电路的设计和制造具有很好的指导意义。举例来说,当设计新的记忆体电路时,其最终的成品率是非常重要的。为了保证合适的成品率,就需要预先设计修复资源。如果修复资源过多,就会浪费芯片的面积,如果过少,就不能保证最终的成品率。如果可以建立精确的成品率模型,修复资源的设计就可以根据最终的成品率要求来设定,就可以达到优化设计的目标。

[0003] 记忆体电路也常常用于成品率的提高,通常用物理解构(PFA)的方法来对特征失效作出分析,从而建立起缺陷的分布。如果可以建立起精确的成品率模型,就可以从特征失效的成品率反推出各个工艺模块的缺陷率,从而精确地知道各个模块的工艺情况。

[0004] 综上所述,建立有效的记忆体成品率模型,可以对记忆体电路的设计以及生产线工艺的研发有很重要的指导作用。

### 发明内容

[0005] 本发明提出了一种利用有效面积来建立记忆体电路的成品率模型的方法,是基于记忆体的电路版图,其可用的修复资源以及生产线的缺陷率来建立成品率模型。

[0006] 本发明的利用有效面积来建立记忆体电路的成品率模型的方法,依次包括如下步骤:

[0007] 1. 记忆体原始成品率模型的建立

[0008] 通过对每层的断电和漏电缺陷曲线和该层的断电和漏电的有效面积的乘积来积分来获得该层的断电和漏电的成品率;通过玻松模型来获得每种接触孔的成品率;最后整个记忆体产品的成品率是所有以上单个成品率的乘积。在建立原始成品率模型的过程中,修复电路部分不应被包括在内。

[0009] 2. 记忆体特征失效成品率的模型的建立

[0010] 首先对记忆体中的所有版图的元素进行标识,用蒙特卡洛的方法来模拟缺陷发生的各种可能情况,并且计算该种情况的有效面积。

[0011] 记忆体电路是由两部分组成的;一部分是周围的地址解码电路和放大电路,即 X 地址解码器和 Y 地址解码器,他们用来给记忆体单元赋予一个地址,并且能够单独地写和读;另一部分是记忆体单元,是由单个的单元重复而组成的,每一个记忆体的最小单元是完全相同的。在记忆体内部,还有一部分是用来修复失效电路的。他们和其它记忆体是一样的,只是没有连入电路。当内部的单元失效后,这一部分就可以用来修复。记忆体的这种结构决定了其失效特征的确定性,并且其失效特征和其内部电路版图图形的失效特征具有

对应性。可以根据缺陷发生在电路的位置和设计层的不同,来精确地预测任何缺陷可能造成的特征失效的种类。举例来说,由于记忆体单元的唯一性,某个位置的接触孔失效可能会造成单个单元的失效,另一个位置的接触孔失效可能会造成两个临近的单元同时失效。

[0012] 特征失效成品率的模型就是根据实际的或者假设的缺陷率模型条件下,模拟缺陷可能发生的所有可能性,进而计算出发生各种特征失效的有效面积。

[0013] 3. 记忆体特征失效的修复计算

[0014] 首先根据蒙特卡洛模拟方法所模拟的不同尺寸的缺陷可能造成的所有设计版图上图形失效的特征,判断其图形失效所对应的特征失效,然后再根据可用的修复资源来判断该特征失效是否能够被修复。

[0015] 在修复资源一定或者假设一定的修复资源的情况下,可以决定修复资源是否能够修复每种特征失效;如果该特征失效可以被所有的资源修复,该特征失效则被列为是可以修复的;如果某一特征的失效是现有修复资源不可修复的,该特征失效则被列为不可修复的。

[0016] 4. 记忆体最终成品率的计算

[0017] 在判断各种不同的特征失效是否能够被修复之后,对于能够被修复的特征失效,就从原始成品率模型中减去其各层的有效面积和各个接触孔的个数;对于不能修复的特征失效,则不做任何运算;经过这个过程以后,剩下的有效面积和接触孔的个数就是无法修复的部分,进而就可以获取最终产品的成品率。

[0018] 在第二步建立特征失效成品率的过程中,每种特征失效的层的有效面积以及单个接触孔的个数。在第一步建立整个芯片的成品率模型的过程中,整个芯片的层的有效面积和单接触孔已经获得。

[0019] 记忆体最终成品率的计算是由有效面积和单接触孔的个数的运算来得到的。如果该特征失效是被可以修复的,其各个层的有效面积和单接触孔的个数就应被从整个芯片的有效面积和接触孔的个数中除去;相反,如果该特征失效是不可修复的,则其有效面积和接触孔个数不应减去。经过这样的有效面积和单个接触孔的运算,剩下的有效面积和单个接触孔的个数就会用于做最终成品率的计算,其成品率就是经过修复之后的成品率。

[0020] 5. 记忆体特征失效和工艺模块的缺陷率的互逆运算方法

[0021] 建立了特征失效成品率模型之后,其有效面积和单接触孔的数目可以计算出起成品率。如果从实际的生产中知道各个特征失效的实际成品率,就可以计算出每个工艺模块的缺陷率。这是一个可逆的过程,实际上是通过解析线性的方程得到各个模块的缺陷率。

[0022] 本发明方法有以下优点:

[0023] (1) 可以精确地预测记忆体电路的成品率从而对记忆体电路的设计具有指导意义;

[0024] (2) 可以建立特征失效的成品率模型;

[0025] (3) 可以实现实际的特征失效的成品率和各个工艺模块的缺陷率的互逆运算。

#### 附图说明

[0026] 图 1 是本发明的流程图;

[0027] 图 2 是记忆体单元内部 M1 层版图;

- [0028] 图 3 是记忆单元体内部 M1 标识的例子；
- [0029] 图 4 是一个缺陷造成 M1 断电的例子；
- [0030] 图 5 是工艺模块的缺陷率和特征失效互逆运算图。

### 具体实施方式

[0031] 现在采用典型的数据结合图 1 的程序流程说明本发明方法的具体过程：

[0032] 1. 记忆体原始成品率模型的建立

[0033] 记忆体电路原始成品率模型是每层或各个工艺模块断电和漏电缺陷的有效面积和单接触孔的个数为基础而建立的。该成品率模型包含每层或各个工艺模块的成品率以及每种接触孔的成品率，他们的乘积就是最后整个记忆体产品的初始成品率。

[0034] 下面以 SRAM 记忆体单元为例来说明此过程。一般而言，SRAM 记忆体单元包含有 AA, POLY, CONTACT, M1, VIA1, M2, VIA2 和 M3 层。其周围电路可能包含有其它高层金属比如 M4 和 M5 以及接触孔 VIA4。其原始成品率是由每层的断电和漏电成品率以及每种接触孔的成品率所构成的。所以其成品率应包含以下内容：

[0035] AA 断电成品率

[0036] POLY 断电成品率

[0037] M1 断电成品率

[0038] M2 断电成品率

[0039] M3 断电成品率

[0040] M4 断电成品率

[0041] M5 断电成品率

[0042] AA 漏电成品率

[0043] POLY 漏电成品率

[0044] M1 漏电成品率

[0045] M2 漏电成品率

[0046] M3 漏电成品率

[0047] M4 漏电成品率

[0048] M5 漏电成品率

[0049] Poly CONTACT 成品率

[0050] NAA CONTACT 成品率

[0051] PAA CONTACT 成品率

[0052] VIA1 成品率

[0053] VIA2 成品率

[0054] VIA3 成品率

[0055] VIA4 成品率

[0056] 最终产品的成品率是以上各个成品率的乘积。

[0057] 每层的断电和漏电成品率模型是由两条曲线乘积的积分来得到的。一条是该层的断电和漏电缺陷曲线，它们可以从光学检测设备的测量结果来获取；第二条是该层的断电和漏电的有效面积曲线，它们可以从记忆体的设计版图来得到。这两条曲线都是缺陷尺寸

的函数,一共可能的该层失效缺陷等于两条线的乘积的积分。下面以 M1 漏电成品率来说明以下过程。

[0058]

$$\text{M1 漏电所有可能的缺陷} = \int_{x_0}^{\infty} DD(x) * CA(x) dx$$

[0059]

$$= \int_{x_0}^{\infty} D_0 \frac{k}{x^p} * CA(x) dx$$

[0060]

$$= D_0 \int_{x_0}^{\infty} \frac{k}{x^p} * CA(x) dx$$

[0061]

$$= D_0 * aCA(p) \quad \text{----- (1)}$$

[0062] 其中, DD(X) 是 M1 漏电的缺陷曲线,  $D_0$ ,  $k$  和  $p$  是常数, CA(X) 是用来代表 M1 漏电有效面积的函数, CA(x) 可以从设计版图得到。积分的结果用  $D_0 * aCA$  来表达。

[0063] M1 漏电缺陷的成品率就可以通过玻松模型来获得,如公式 (2) 所示。

$$\text{M1 漏电成品率} = e^{-D_0 * aCA} \quad \text{----- (2)}$$

[0065] 重复以上的过程,就可以得到每一层的断电和漏电成品率。

[0066] 对于接触孔的成品率模型,则会用下面的公式 (3) 计算。

$$\text{接触孔的成品率} = e^{-N * \lambda} \quad \text{----- (3)}$$

[0068] 式中  $\lambda$  是接触孔的失效率,  $N$  是某种单接触孔的个数。必须注意是单接触孔,如果在同一个位置同时用到的接触孔  $\geq 2$ , 这个孔的个数则不被计入。这是因为在同一位置  $\geq 2$  的接触孔同时失效的概率是很小的,如果频繁地发生,说明整个生产线成品率基本为零。这不符合没有特征的失效的假设。

[0069]  $N$  可以从产品的设计版图中获得的。 $\lambda$  是由测试结构来得到的,其单位一般为每 10 亿个中失效多少个。

[0070] 重复以上的过程,就可以获得每一种接触孔的成品率。

[0071] 在获取每层的断电和漏电的成品率以及每种接触孔的成品率后,它们最后的乘积就是产品的原始成品率。表 1 是记忆体原始成品率模型的结果。

[0072] 2. 记忆体特征失效成品率的模型的建立

[0073] 记忆体电路是由两部分组成的;一部分是周围的地址解码和放大电路,即 X 解码器和 Y 解码器,他们用来给记忆体单元赋予一个地址,并且能够单独地写和读;另一部分是记忆体单元,是由单个的单元重复而组成的,每一个记忆体的最小单元是完全相同的。在记忆体内部,还有一部分是用来修复失效电路的。他们和其它记忆体是一样的,只是没有连入电路。当内部的单元失效后,这一部分就可以用来修复。记忆体的这种结构决定了其失效特征的确定性,并且其失效特征和其内部电路的失效具有对应性。可以根据起电路的位置和设计层的不同,可以精确地预测任何缺陷可能造成的特征失效的种类。举例来说,由于记忆体单元的唯一性,某个位置的接触孔失效可能会造成单个单元的失效,另一个位置的接

触孔失效可能会造成两个临近的单元同时失效。

[0074] 下面以 M1 断电缺陷发生为例来说明建立该模型的过程。从图 2 中的版图可以看出, M1 版图是有多种相同的形状重复而组成的, 这是因为整个记忆体都是由相同的单元重复组成。为了模拟不同的特征失效的情况, 必须先对每一种不同的版图形状进行标识。从图 3 中可以看出, 此形状的版图标识为 M1GROUP4。把这些版图的形状归为一起, 主要是因为一他们形状一样, 二是它们发生断电失效的缺陷后它们所造成的特征失效是一样的。举例来说, 如果 M1GROUP4 产生断电缺陷, 就会造成一个记忆体单元的失效。重复同样的过程, 就可以对记忆体版图中同样形状的进行归类。

[0075] 因为生产过程中缺陷的发生是无序发生的事件。用蒙特卡洛 (MONTOCARLO) 的模拟方法可以来模型缺陷发生的过程并且记录该缺陷可能造成的版图缺陷的种类。首先, 是选择一系列大小的缺陷, 然后依此对所有大小的缺陷做 MONTO CARLO 的模拟, 并且记录下所有事件的种类。图 4 是一个 M1 断电缺陷的示意图。从图中可以看出, 该图中的缺陷造成一个单元失效。

[0076] 在模拟各种缺陷发生的过程中, 也可以计算出各种事件发生的有效面积。

[0077] 特征失效成品率的模型就是根据实际的或者假设的缺陷率模型条件下, 模拟缺陷可能发生的所有可能性, 进而计算出发生各种特征失效的有效面积。表 1 所示的是 M1 断电缺陷可能的特征失效的种类以及其有效面积。

[0078] 任何一种版图失效都会对应一种特征失效的情况。以图 4 中 M1 断电缺陷为例, M1GROUP4(1) 断电缺陷会造成 BIT1 (单记忆体失效)。性依此类推, 对任何版图失效的情况, 都会有一种特征失效和其对应。

[0079] 重复以上的过程, 就可以得到 AA, POLY, M1, M2 和 M3 的断电和漏电的缺陷事件的有效面积以及该事件所引起的版图失效的情况。

[0080] 对各种接触孔而言, 也要进行同样的分析。举例来说, 对 VIA1 接触孔, 有的 VIA1 失效回造成一个单元的失效; 有的位置 VIA1 失效会造成相邻的两个单元失效 - 主要是由于 VIA1 所处的位置所定的。利用同样的道理, 就可以对 VIA1 进行分类。

[0081] 重复以上的过程就可以对所有的接触孔进行分类。需要指出的是因为 SRAM 只用到 M3, 所以修复的模型只需到该层为止。因为最终的成品率还要包含有周围电路, 所以其初始成品率和修复后的成品率会有到 M5。M4/M5 的断电和漏电有效面积以及 VIA3/VIA4 在修复前后是一样的。

[0082] 在对每层和每种接触孔各种版图失效以及其特征失效作出计算和分类后, 各个特征失效的有效面积和单接触孔的个数就可以得到, 如表 2 所示。

[0083] 3. 忆体特征失效的修复计算

[0084] 在修复资源一定或者假设一定的修复资源的情况下, 可以决定修复资源是否能够修复每种特征失效; 如果该特征失效可以被所有的资源修复, 该特征失效则被列为是可以修复的; 如果某一特征的失效是现有修复资源不可修复的, 该特征失效则被列为不可修复的。

[0085] 举例来说, 如果修复资源是 5 个多余的记忆体行, 那么对于单记忆体单元的失效, 其就是可以修复的; 对于一个或者多个整列的失效来说, 它们就是不能够被修复的。

[0086] 在表 1 中, 在根据不同的缺陷所造成的特征失效被模拟出来后, 就可以根据

修复资源的情况来判断该特征失效是否能够被修复。

[0087] 4. 记忆体最终成品率的计算

[0088] 在第二步建立特征失效成品率的过程中, 每种特征失效的层的有效面积以及单个接触孔的个数。第一步建立整个芯片的成品率模型的过程中, 整个芯片的层的有效面积和单接触孔已经获得。

[0089] 记忆体最终成品率的计算是由有效面积和单接触孔的个数的运算来得到的。如果该特征失效是被可以修复的, 其各个层的有效面积和单接触孔的个数就应被从整个芯片的有效面积和接触孔的个数中除去; 相反, 如果该特征失效是不可修复的, 则其有效面积和接触孔个数不应减去。经过这样的有效面积和单个接触孔的运算, 剩下的有效面积和单个接触孔的个数就会用于做最终成品率的计算, 就是经过修复之后的成品率。

[0090] 最终的成品率如表 3 所示。

[0091] 5. 记忆体特征失效和工艺模块的缺陷率的互逆运算方法

[0092] 建立了特征失效成品率模型之后, 其有效面积和单接触孔的数目可以计算出起成品率。如果从实际的生产中知道各个特征失效的实际成品率, 就可以计算出每个工艺模块的缺陷率。这是一个可逆的过程, 实际上是通过解析线性的方程得到各个模块的缺陷率。

[0093] 整个过程可用图 5 来描述。

[0094] 公式 (4) 所示的是该方程的部分。该方程组的相应系数  $aCA$  和  $N$  可以从图 5 内容得到。

[0095]

$$\left\{ \begin{array}{l} \text{BIT1} = \prod_{\text{层}} e^{-D_{\text{层}} * aCA_{\text{层}}} * \prod_{\text{接触孔}} e^{-N_{\text{接触孔}} * \lambda} \\ \text{YC2BIT} = \prod_{\text{层}} e^{-D_{\text{层}} * aCA_{\text{层}}} * \prod_{\text{接触孔}} e^{-N_{\text{接触孔}} * \lambda} \\ \dots\dots\dots \end{array} \right\} \quad \text{---- (4)}$$

[0096] 从以上的方程组可以看出, 如果已知左边, 就可以通过解方程来得到每层的缺陷率和每种接触孔的失效率。反之亦然, 如果一种缺陷率, 就可以获得特征失效的成品率。

[0097] 举例来说, 根据本发明方法模型可以预估记忆体产品的初始成品率为 70%; 经过修复之后, 其成品率可以达到 85%; 也可以估计特征失效的成品率, 比如, 一行记忆体单元同时失效的成品率是 95% 等。在建立成品率模型的过程中, 可以获取主要的失效特征的的各层的断电和漏电的有效面积; 如果从生产的过程中获得各种失效特征的实际成品率, 就可以返推计算出各个工艺模块的缺陷率。

[0098] 表 1 所有可能的 M1 断电缺陷所造成的特征失效的种类以及其有效面积

[0099]



蒙特卡洛模拟的 M1 断电缺陷事件	事件发生的有效面积 (cm <sup>2</sup> )	事件所对应的特征失效类型	判断是否能够被修复
M1Group4(1)	1.89E-07	一个单元	能够修复
M1Group3(1)	1.75E-07	一个单元	能够修复
M1Group5(1)	1.74E-07	一个单元	能够修复
M1Group2(1)	1.73E-07	一个单元	能够修复
M1Group1(1)	1.59E-07	同行相邻的两个单元	能够修复
M1Group4(1)M1Group6(1)	5.14E-08	方形相邻四单元	能够修复
M1Group2(1)M1Group6(1)	4.70E-09	同行相邻的两个单元	能够修复
等等			

[0100] 表 2 特征失效的有效面积和单接触孔个数

[0101]

类别	模型	一个单元失效	同行两个单元	同列两个单元	一列全部失效	两列全部失效	一个行失效	两行同时失效	相邻 4 单元失效
重要面积	AA 断电	1.70E-03	0	3.9E-06	0	0	0	0	0
	AA 漏电	4.21E-04	0	1.2E-03	0	0	0	0	0
	M1 断电	2.28E-03	2.58E-04	8.6E-04	0	0	0	0	5.70E-05
	M1 漏电	1.49E-03	9.93E-05	2.9E-03	0	0	0	0	0
	M2 断电	0	0	0	2.40E-03	2.3E-05	0	0	7.59E-04
	M2 漏电	0	0	0	2.38E-03	2.4E-03	0	0	0
	M3 断电	0	0	0	8.54E-04	0	1.51E-03	1.97E-06	0
	M3 漏电	0	0	0	0	0	0	8.92E-04	0
接触孔	NAACNT	1.23E+06	1.00E+06	7.7E+05	0	0	0	0	0
	PAACNT	2.00E+06	2.31E+05	1.0E+06	0	0	0	0	0
	Poly 断电	6.16E-03	2.98E-05	2.2E-03	0	0	0	0	0
	Poly 漏电	2.79E-03	9.77E-04	2.7E-04	0	0	0	0	6.43E-05
	PolyCNT	2.54E+06	0	0.0E+00	0	0	0	0	0
	Via1	1.54E+06	0	1.1E+06	0	0	0	0	0
	Via2	5.38E+05	0	1.1E+06	0	0	0	0	0

[0102] 表 3 记忆体模型结果

[0103]

模型		重要面积			成品率	
模型类别	层或接触孔	D0或λ	初始重要面积	经过修复后的重要面积	初始成品率	修复后的成品率
断电成品率模型	AA 断电	1	2.62E-03	9.07E-04	99.74%	99.91%
	Poly 断电	1	1.10E-02	2.60E-03	98.90%	99.74%
	M1 断电	1	4.84E-03	1.38E-03	99.52%	99.86%
	M2 断电	1	4.43E-03	1.27E-03	99.56%	99.87%
	M3 断电	1	3.57E-03	1.21E-03	99.64%	99.88%
	M4 断电	1	2.32E-03	2.32E-03	99.77%	99.77%
	M5 断电	1	4.18E-03	4.18E-03	99.58%	99.58%
漏电成品率模型	AA 漏电	1	2.75E-03	1.09E-03	99.73%	99.89%
	Poly 漏电	1	5.48E-03	1.38E-03	99.45%	99.86%
	M1 漏电	1	8.14E-03	3.61E-03	99.19%	99.64%
	M2 漏电	1	6.83E-03	2.09E-03	99.32%	99.79%
	M3 漏电	1	2.01E-03	1.12E-03	99.80%	99.89%
	M4 漏电	1	4.67E-03	4.67E-03	99.53%	99.53%
	M5 漏电	1	4.40E-03	4.40E-03	99.56%	99.56%
接触孔模型	PolyCNT	10	2.67E+06	1.35E+05	97.36%	99.87%
	NAACNT	10	3.97E+06	9.72E+05	96.11%	99.03%
	PAACNT	10	3.44E+06	2.06E+05	96.62%	99.79%
	Via1	5	2.70E+06	3.87E+04	98.66%	99.98%
	Via2	5	1.62E+06	0.00E+00	99.19%	100.00%
	Via3	5	1.66E+03	1.66E+03	100.00%	100.00%
	Via4	5	0.00E+00	0.00E+00	100.00%	100.00%
整体成品率					82.72%	95.55%

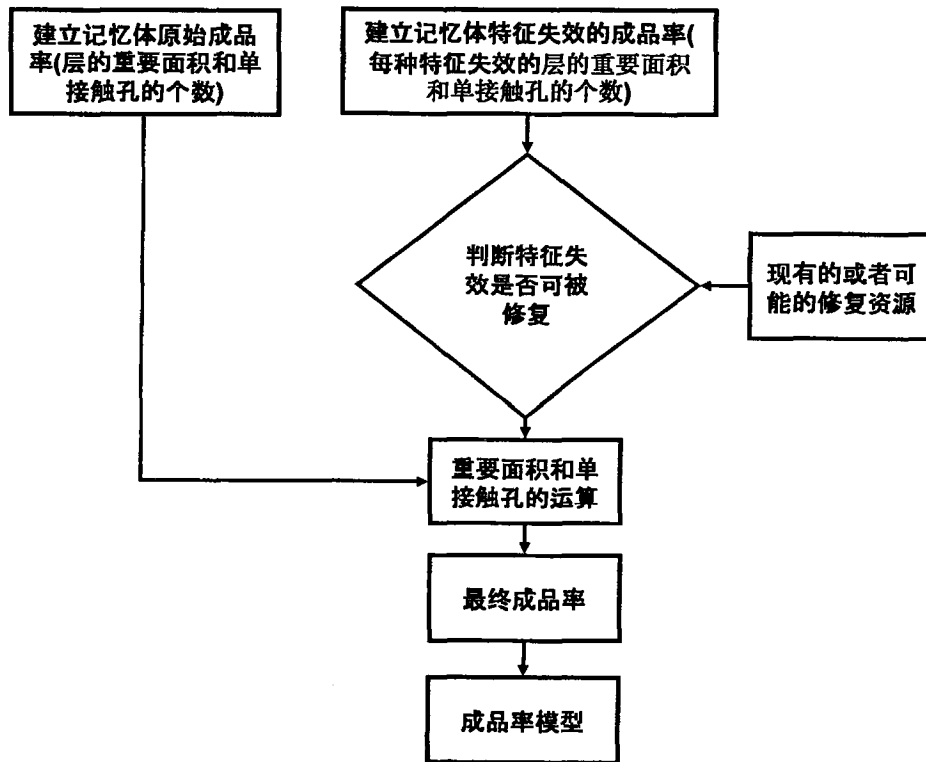


图 1

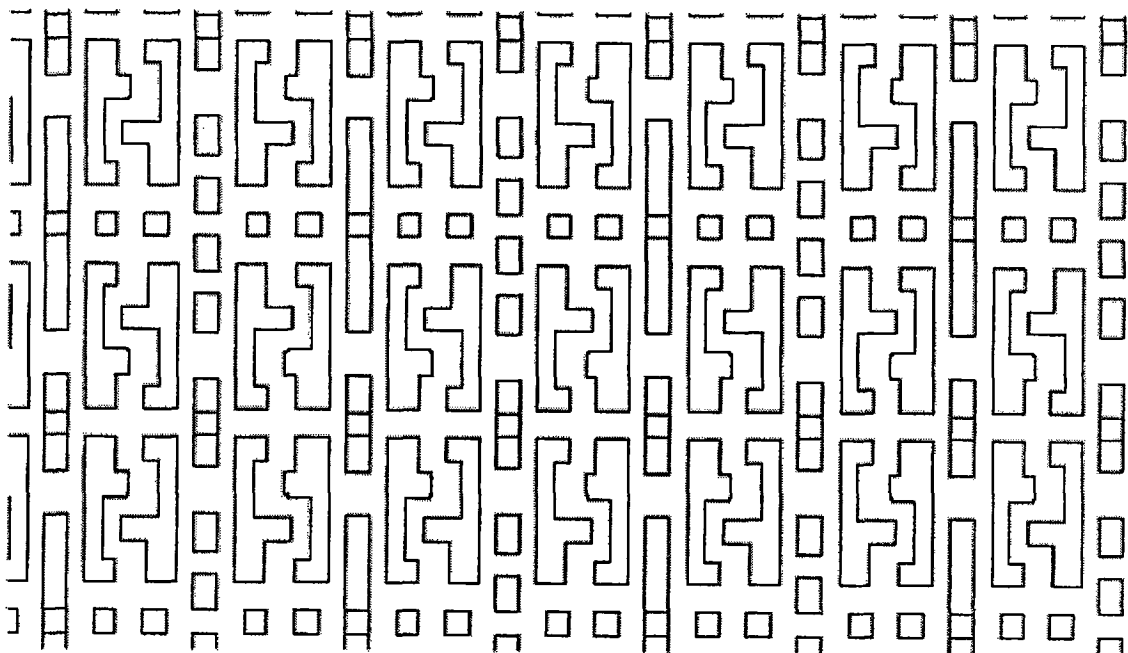


图 2

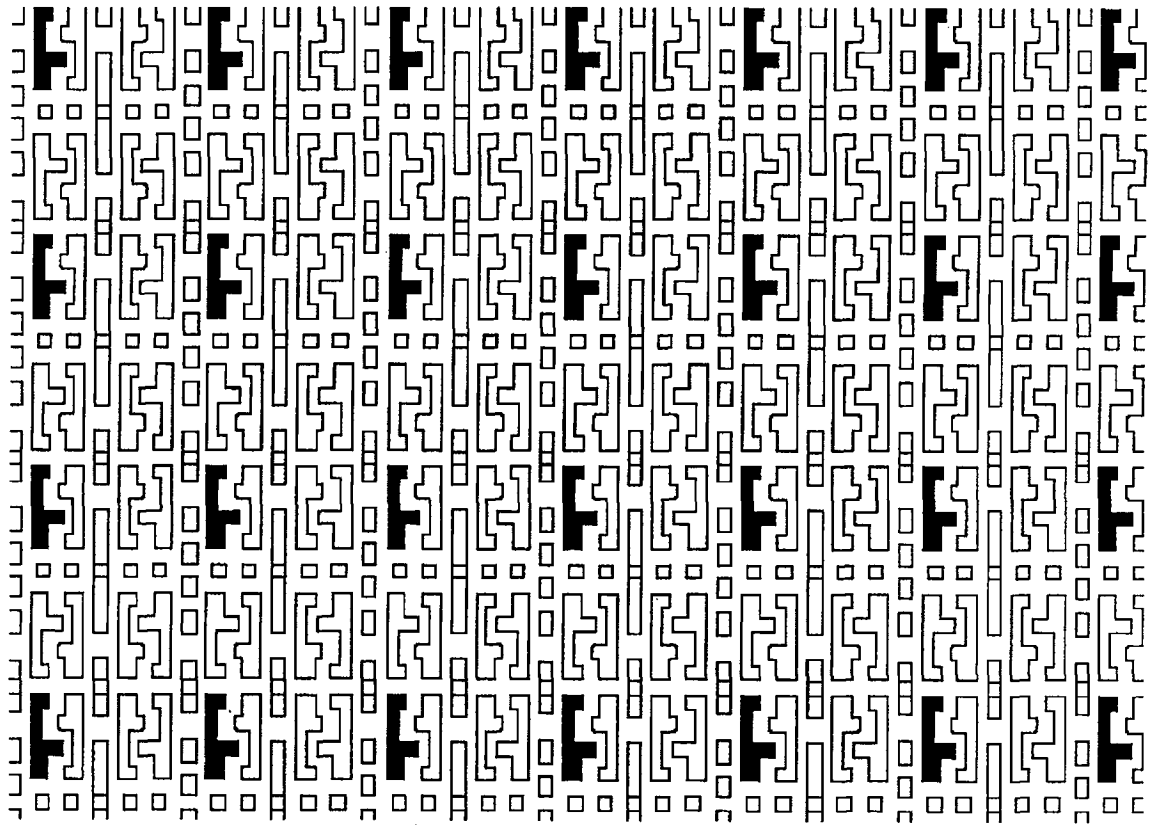


图 3

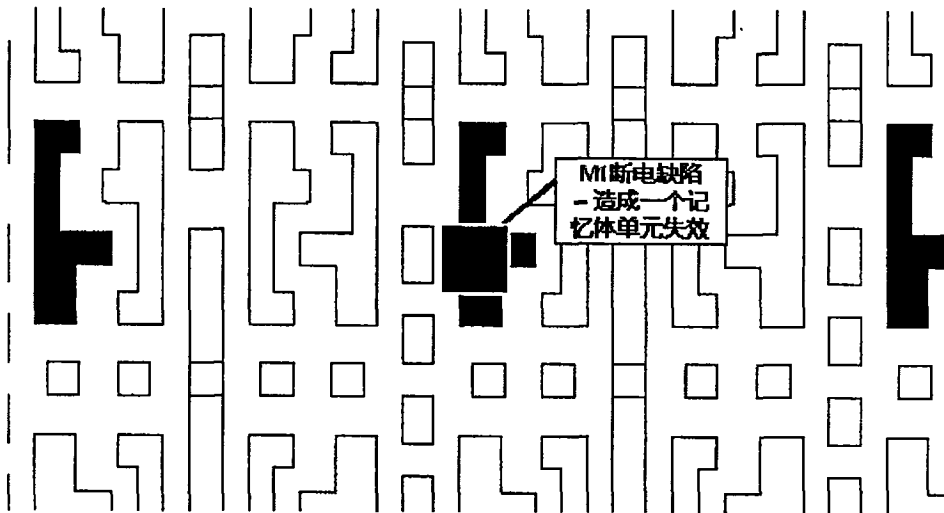


图 4

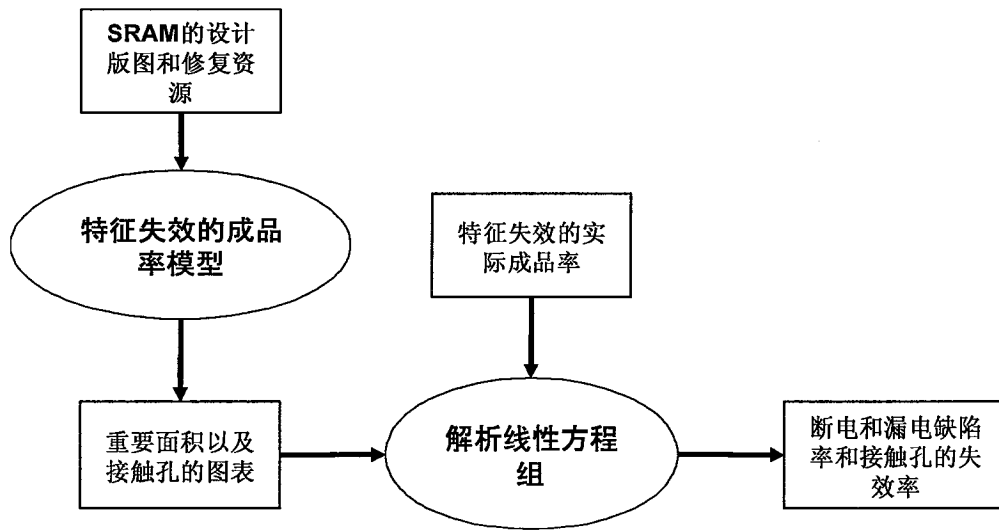


图 5