

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6732131号
(P6732131)

(45) 発行日 令和2年7月29日(2020.7.29)

(24) 登録日 令和2年7月9日(2020.7.9)

(51) Int. Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006.01)
 HO 1 L 29/812 (2006.01)

請求項の数 19 (全 17 頁)

(21) 出願番号	特願2019-530352 (P2019-530352)	(73) 特許権者	000006013
(86) (22) 出願日	平成29年9月27日 (2017.9.27)		三菱電機株式会社
(65) 公表番号	特表2019-525499 (P2019-525499A)		東京都千代田区丸の内二丁目7番3号
(43) 公表日	令和1年9月5日 (2019.9.5)	(74) 代理人	100110423
(86) 国際出願番号	PCT/JP2017/036048		弁理士 曾我 道治
(87) 国際公開番号	W02018/096796	(74) 代理人	100111648
(87) 国際公開日	平成30年5月31日 (2018.5.31)		弁理士 梶並 順
審査請求日	平成31年2月20日 (2019.2.20)	(74) 代理人	100122437
(31) 優先権主張番号	15/359, 636		弁理士 大宅 一宏
(32) 優先日	平成28年11月23日 (2016.11.23)	(74) 代理人	100147566
(33) 優先権主張国・地域又は機関	米国 (US)		弁理士 上田 俊一
		(74) 代理人	100161171
			弁理士 吉田 潤一郎

最終頁に続く

(54) 【発明の名称】 半導体デバイス及び半導体デバイスを設計する方法

(57) 【特許請求の範囲】

【請求項 1】

キャリア電荷を有するキャリアチャネルを形成する、第1のドーブ層を含む半導体構造と、

前記第1のドーブ層の導電型に等しい導電型を有する第2のドーブ層であって、前記第2のドーブ層は、 $4 \times 10^{19} \text{ cm}^{-3}$ から $6 \times 10^{19} \text{ cm}^{-3}$ までの範囲のn型ドーピング密度を有するデルタドーピング(-ドーピング)層である、前記第2のドーブ層と、

前記第2のドーブ層を介して前記半導体構造に近接して配置されたバリア層であって、前記第2のドーブ層の前記導電型とは反対の導電型を有する部分的にドーブされた層を含む、バリア層と、

前記キャリアチャネルにおける前記キャリア電荷を提供しかつ制御する一組の電極とを備えた、半導体デバイス。

【請求項 2】

前記第2のドーブ層は、前記バリア層の前記部分的にドーブされた層のドーピング密度より大きいn型ドーピング密度を有するデルタドーピング(-ドーピング)層である、請求項1に記載の半導体デバイス。

【請求項 3】

前記第2のドーブ層は、前記第1のドーブ層のドーピング密度より大きいn型ドーピング密度を有するデルタドーピング(-ドーピング)層である、

10

20

請求項 1 に記載の半導体デバイス。

【請求項 4】

前記第 1 のドーブ層の厚さは、前記第 2 のドーブ層の厚さより大きい、
請求項 1 に記載の半導体デバイス。

【請求項 5】

前記部分的にドーブされた層の厚さは、前記第 2 のドーブ層の厚さより大きい、
請求項 1 に記載の半導体デバイス。

【請求項 6】

前記第 2 のドーブ層は、10 nm から 30 nm までの範囲で前記キャリアチャンネルの前記キャリア電荷から離れて配置されている、

10

請求項 1 に記載の半導体デバイス。

【請求項 7】

前記キャリアチャンネルは、20 nm から 30 nm までの範囲の厚さを有するアンドーブチャンネル層から形成されている、

請求項 1 に記載の半導体デバイス。

【請求項 8】

前記バリア層における前記部分的にドーブされた層のドーピング密度は、 $5 \times 10^{16} \text{ cm}^{-3}$ から $5 \times 10^{17} \text{ cm}^{-3}$ までの範囲である、

請求項 1 に記載の半導体デバイス。

【請求項 9】

20

前記バリア層は、100 nm から 200 nm までの範囲の厚さを有する意図的にドーブされていない層を含み、該意図的にドーブされていない層は、前記第 2 のドーブ層と前記部分的にドーブされた層との間に配置されている、

請求項 1 に記載の半導体デバイス。

【請求項 10】

前記半導体構造は、

前記キャリアチャンネルを形成するアンドーブチャンネル層と、

アンドーブ最上部バリア層であって、前記第 1 のドーブ層から前記キャリアチャンネルに前記キャリア電荷を提供するために、該第 1 のドーブ層が該アンドーブ最上部バリア層間に配置されている、アンドーブ最上部バリア層と

30

を備えた、請求項 1 に記載の半導体デバイス。

【請求項 11】

前記アンドーブチャンネル層の材料及び前記第 2 のドーブ層の材料は、同一の材料から形成されている、

請求項 10 に記載の半導体デバイス。

【請求項 12】

前記半導体構造は、III-V 族チャンネル層と前記第 1 のドーブ層を有する III-V 族バリア層とを含む半導体ヘテロ構造であり、前記 III-V 族バリア層のバンドキャップは、前記 III-V 族チャンネル層のバンドギャップより大きく、それにより、前記キャリア電荷は、前記 III-V 族バリア層の前記第 1 のドーブ層から前記 III-V 族チャンネル層に提供される、

40

請求項 1 に記載の半導体デバイス。

【請求項 13】

前記 III-V 族チャンネル層の材料は、窒化ガリウム (GaN) 及び窒化インジウムガリウム (InGaN) のうち的一方又はそれらの組合せを含み、III-V 族バリア層の材料は、窒化アルミニウムガリウム (AlGaN)、窒化インジウムアルミニウム (InAlN)、窒化アルミニウム (AlN) 及び窒化インジウムアルミニウムガリウム (InAlGaN) のうちの 1 つ又はそれらの組合せを備えた、

請求項 12 に記載の半導体デバイス。

【請求項 14】

50

チャンネル層とキャリア電荷を提供する第1のバリア層とを含む半導体構造であって、前記チャンネル層はアンドープ層であり、前記第1のバリア層は、アンドープバリア、第1のn型ドーパバリア及び別のアンドープバリアからなる、半導体構造と、

前記チャンネルに隣接する第2のn型ドーパ層であって、前記第2のn型ドーパ層は、 $4 \times 10^{19} \text{ cm}^{-3}$ から $6 \times 10^{19} \text{ cm}^{-3}$ までの範囲のn型ドーピング密度を有するデルタドーピング(δ -ドーピング)層である、前記第2のn型ドーパ層と、

前記第2のn型ドーパ層を介して前記半導体構造に近接して配置された第2のバリア層であって、少なくとも部分的にp型ドーパされた層を含む、第2のバリア層と、

キャリアチャンネルにおける前記キャリア電荷を制御する一組の電極とを備えた、半導体デバイス。

10

【請求項15】

チャンネル層とキャリア電荷を提供する第1のバリア層とを含むIII-V族半導体ヘテロ構造を選択することであって、前記チャンネル層はアンドープ層であり、前記第1のバリア層は、アンドープバリア、第1のn型ドーパバリア及び別のアンドープバリアからなり、前記第1のバリア層の材料のバンドギャップは、前記チャンネル層の材料のバンドギャップより大きいように選択される、選択することと、

前記チャンネル層に隣接して第2のn型ドーパ層を配置することであって、前記第2のn型ドーパ層は、 $4 \times 10^{19} \text{ cm}^{-3}$ から $6 \times 10^{19} \text{ cm}^{-3}$ までの範囲のn型ドーピング密度を有するデルタドーピング(δ -ドーピング)層である、前記第2のn型ドーパ層を配置することと、

20

前記第2のn型ドーパ層を介して前記チャンネル層に近接してIII-V族半導体の第2のバリア層を選択することであって、該第2のバリア層は部分的にp型ドーパされた層を含む、選択することと、

キャリアチャンネルにおける前記キャリア電荷を制御する一組の電極を提供することとを備えた、半導体デバイスを設計する方法。

【請求項16】

前記第1のバリア層及び前記第2のバリア層の材料は、該第1のバリア層及び該第2のバリア層の格子定数と前記チャンネル層の格子定数との間の格子不整合が、該チャンネル層の前記格子定数のおよそ1パーセントの範囲にあるように選択される、請求項15に記載の方法。

30

【請求項17】

前記第2のバリア層を支持する基板を、該基板の熱伝導率が前記チャンネル層並びに前記第1のバリア層及び前記第2のバリア層の材料のうちの少なくとも1つより大きいように選択すること、

を更に含む、請求項15に記載の方法。

【請求項18】

前記チャンネル層は、第1の伝導帯端及び第2の伝導帯端を有し、平衡状態で、フェルミ準位からの前記第1の伝導帯端の距離は、該フェルミ準位からの前記第2の伝導帯端の距離より大きいように選択される、請求項15に記載の方法。

【請求項19】

前記第1の伝導帯端は、前記バリア層のうちの1つの伝導帯に接続され、前記第2の伝導帯端は、前記第2のn型ドーパ層の伝導帯と接続される、請求項18に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、包括的には、半導体デバイスに関し、より詳細には、高線形性相互コンダクタンスを有する半導体デバイスに関する。

【背景技術】

【0002】

窒化物半導体デバイス(nitride semiconductor)は、バンドギャップが大きい、破壊

50

電界が大きい、電子移動度が高い等の基本的な物理的特性のその顕著な組合せにより、高出力及び高周波応用に使用されている。Kバンド以上で利得及び効率要件を達成するために、通常の方法は、ゲート長を短縮することにより低ゲート容量を達成することである。しかしながら、GaN高電子移動度トランジスタ(HEMT)は、ゲート長が $0.2\mu\text{m}$ 未満に縮小すると、全ての電界効果トランジスタ(FET)のように短チャネル効果に対して脆弱である。短チャネル効果は、ドレイン依存ピンチオフ電圧、相互コンダクタンスの線形性を含む出力電流における飽和の喪失、大きいオフ時ドレインリーク電流及び低い破壊電圧の形態をとる。

【0003】

相互コンダクタンスの線形性は、変調信号の可変包絡線においてダイナミックレンジが広いために、RFパワーアンプに対して重要な要素である。理想的に線形のFETデバイスは、広範囲の入力ゲート-ソース電圧にわたり一貫したドレイン相互コンダクタンスを有する。平坦な相互コンダクタンスを達成する際の問題は、(1)2DEGとゲートとの間の絶対距離が小さいことと、(2)電子速度の準飽和状態によってもたらされる高ドレイン電流レベルでのアクセス抵抗の増大と、(3)高電流レベルでのチャネル及びバリア/チャネル界面に対して垂直な横電界(E-field)が大きいこととに関連する。

【発明の概要】

【発明が解決しようとする課題】

【0004】

したがって、RF応用に対して、短チャネル効果が抑制された線形相互コンダクタンスを有する高電子移動度チャネルを提供する、GaN材料トランジスタ構造が必要とされている。

【課題を解決するための手段】

【0005】

幾つかの実施の形態は、トランジスタの相互コンダクタンスの線形性を向上させる方法は、マルチチャネルヘテロ構造を使用してアクセス抵抗を変更するか、又は複合チャネル設計を使用して主要チャネル(main channel)の近くに副チャネル(minor channel)を形成することに関連する、という認識に基づく。別の実施可能性のある方法は、バッファ層にn-GaN層が導入されたAlGaN/GaN HEMTのチャネル層の下にnドープ層を導入することにより、副チャネルを生成することである。

【0006】

本発明による半導体デバイスの幾つかの実施の形態は、半導体デバイスが、キャリア電荷を有するキャリアチャネルを形成する、第1のドープ層を含む半導体構造と、第1のドープ層の導電型に等しい導電型を有する第2のドープ層と、第2のドープ層を介して半導体構造に近接して配置されたバリア層であって、第2のドープ層の導電型とは反対の導電型を有する部分的にドープされた層を含む、バリア層と、キャリアチャネルにおけるキャリア電荷を提供しかつ制御する一組の電極とを含むことを開示する。

【0007】

本発明の別の実施の形態は、半導体デバイスが、チャネル層とキャリア電荷を提供する第1のバリア層とを含む半導体構造であって、チャネル層はアンドープ層であり、第1のバリア層は、アンドープバリア、第1のn型ドープバリア及び別のアンドープバリアからなる、半導体構造と、チャネルに隣接する第2のn型ドープ層と、第2のn型ドープ層を介して半導体構造に近接して配置された第2のバリア層であって、少なくとも部分的にp型ドープされた層を含む、第2のバリア層と、キャリアチャネルにおけるキャリア電荷を制御する一組の電極とを含むことを開示する。

【0008】

本発明の更に別の実施の形態は、半導体デバイスを設計する方法を開示する、この方法は、チャネル層とキャリア電荷を提供する第1のバリア層とを含むIII-V族半導体ヘテロ構造を選択することであって、チャネル層はアンドープ層であり、第1のバリア層は、アンドープバリア、第1のn型ドープバリア及び別のアンドープバリアからなり、第1

10

20

30

40

50

のバリア層の材料のバンドギャップは、チャンネル層の材料のバンドギャップより大きいように選択される、選択することと、チャンネル層に隣接して第2のn型ドープ層を配置することと、第2のn型ドープ層を介してチャンネル層に近接してIII-V族半導体の第2のバリア層を選択することと、この第2のバリア層は部分的にp型ドープされた層を含む、選択することと、キャリアチャンネルにおけるキャリア電荷を制御する一組の電極を提供することを含む。

【0009】

本発明の上記の目的、特徴及び効果、並びに他の目的、特徴及び効果は、添付の図面を参照すると、実施形態の以下の詳細な説明から、より明らかになるであろう。

【図面の簡単な説明】

10

【0010】

【図1A】チャンネル及びバリア層を含む半導体構造を有する半導体デバイスの設計プロセスを示す図である。

【図1B】本発明の幾つかの実施形態による半導体デバイスの断面図である。

【図1C】本発明の幾つかの実施形態による半導体デバイスの断面図である。

【図2】従来のHEMT構造と提案HEMT構造との伝導帯図の比較を示す図である。

【図3】従来のHEMT構造と18nm又は25nmのバリア及び $L_g = 200\text{nm}$ を有する提案HEMT構造との移動特性の比較を示す図である。

【図4A】 $L_g = 200\text{nm}$ を有する従来のHEMT構造のI-V特性を示す図である。

20

【図4B】 $L_g = 200\text{nm}$ を有する提案HEMT構造のI-V特性を示す図である。

【図5】従来のHEMT構造と18nm又は25nmのバリア層を有する提案HEMT構造との電流利得カットオフ周波数の比較を示し、 $L_g = 200\text{nm}$ 、 $V_{ds} = 3\text{V}$ であり、ACシミュレーションが $f = 1\text{MHz}$ で行われた図である。

【図6】従来の構造と18nm又は25nmのバリアを有する提案構造とにおけるゲート長の関数としての電流利得カットオフ周波数の比較を示し、 $V_{ds} = 3\text{V}$ であり、ACシミュレーションが $f = 1\text{MHz}$ で行われた図である。

【図7】従来の構造と18nm又は25nmのバリアを有する提案構造とにおけるゲート長の関数としてのドレイン誘起障壁低下(drain induced barrier lowering)の比較を示し、 I_{ds} が 0.1mA/mm に達したときに V_{tn} が定義される図である。

30

【図8】デルタドープ層が挿入されたHEMTの相互コンダクタンスプロファイルを示す図である。

【発明を実施するための形態】

【0011】

本発明の様々な実施形態が、図面を参照して以下で説明される。図面は縮尺どおり描かれておらず、類似の構造又は機能の要素は、図面全体にわたって同様の参照符号によって表されることに留意されたい。図面は、本発明の特定の実施形態の説明を容易にすることのみを意図することにも留意されたい。図面は、本発明の網羅的な説明として意図されるものでもなければ、本発明の範囲を限定するものとして意図されるものでもない。加えて、本発明の特定の実施形態と併せて説明される態様は、必ずしもその実施形態に限定されず、本発明の任意の他の実施形態において実施することができる。

40

【0012】

幾つかの実施形態は、半導体デバイスが、i-n-iバリアと、バッファに挿入されたデルタドープn-GaN層と、バックバリアとからなり、それにより、(a)相互コンダクタンスの高いデバイス線形性を提供し、(b)短チャンネル効果を抑制することができる、という認識に基づく。

【0013】

短チャンネル効果は、チャンネル内の電子の不十分な閉じ込めから発生し、電流がGaN層の大部分内に流れることになる。キャリア閉じ込めを促進するために、バックバリア構造

50

を用いることができ、バックバリア構造は、電子のパンチスルーを防止し、短チャネル効果を抑制する。電子閉じ込め促進のためのバックバリア構造は、p型GaN、又は、GaNのバンドギャップより大きいバンドギャップを有する幾つかの材料とすることができる。

【0014】

トランジスタの相互コンダクタンスの線形性を向上させることは、バッファ層にnドーブ層を挿入することにより副チャンネルを生成することによって実現することができる。しかしながら、AlGaN/GaN HEMTでは分極場が大きいことと、n-GaN挿入層における均一なドーピング密度に限界があることとにより、良好なデバイス線形性を達成するために二次チャンネルを形成することは非常に困難である。デルタドーピング(δドーピング)は、最大の均一ドーピング密度が利用可能なSiソースによって制限されるため、ドーピング密度を著しく増大させる技法であり得る。GaN層におけるSiデルタドーピングは、 $1 \times 10^{12} \text{ cm}^{-2} \sim 2 \times 10^{13} \text{ cm}^{-2}$ 程度に高いシート濃度を提供することができるが、GaNにおけるSi均一ドーピングは、 10^{12} cm^{-2} 未満のシート濃度の範囲と等価である、最大で数 10^{19} cm^{-3} の濃度しか達成することができない。さらに、GaNにおける高密度均一ドーピングは、層の亀裂をもたらす可能性がある著しい量の歪みを導入し、一方で、Siデルタドーピングは、引張応力を低減させるとともに高ドーピング濃度を得る方法である。さらに、Siδドーピングは、電子移動度を増大させ、欠陥密度を低減させ、貫通刃状転位密度(threading edge dislocation density)を低減させるという他の利益を有する。

【0015】

幾つかの実施形態では、半導体デバイスは、基板の上に形成され、バックバリア層と、意図的にドーブされていないバッファ層と、挿入されたn型δドーブ層と、意図的にドーブされていない(unintentionally-doped)チャンネル層と、i-n-iバリア層と、バリア層の上のソース電極、ドレイン電極及びT字型ゲート電極と、デバイス全体の最上部の上のパッシベーション層とを含む。半導体デバイスは、AlGaN/GaN高電子移動度トランジスタ(HEMT)とすることができ、それは、超平坦な相互コンダクタンスを達成し、短チャネル効果を抑制し、大きいオン状態電流を得るという利点を提供する。

【0016】

より具体的には、半導体デバイスは、基板上のバックバリア層と、それに続く意図的にドーブされていないバッファ層と、次いで、挿入されたn型δドーブ層と、意図的にドーブされていないチャンネル層と、i-n-iバリア層と、次いで、バリア層の上のソース電極、ドレイン電極及びT字型ゲート電極と、デバイス全体の最上部のパッシベーション層とを含むことができる。バリア層とチャンネル層との間の分極によって、主チャンネル(major channel)(又は主電子チャンネル)が形成され、高濃度n型δドーブ層を配置することにより、副チャンネルが形成される。主チャンネルは、第1のチャンネルと呼ぶことができ、副チャンネルは、第2のチャンネルと呼ぶことができる。バリア層は、薄い意図的にドーブされていない層と、n型ドーブ層と、それに続く別の薄い意図的にドーブされていない層との積層体である。以下、本発明の幾つかの実施形態による提案HEMT構造について説明する。

【0017】

本発明の幾つかの実施形態は、半導体デバイスが、パワーアンプに対して、チャンネル層及びバリア層を含む半導体ヘテロ構造を選択することによって設計されるという認識に基づく。例えば、半導体デバイスを設計する方法は、チャンネル層とキャリア電荷を提供する第1のバリア層とを含むIII-V族半導体ヘテロ構造を選択することを含み、チャンネル層はアンドープ層であり、第1のバリア層は、アンドープバリア、第1のn型ドーブバリア及び別のアンドープバリアからなり、第1のバリア層の材料のバンドギャップは、チャンネル層の材料のバンドギャップより大きいように選択される。さらに、チャンネル層に隣接する第2のn型ドーブ層が配置され、III-V族半導体の第2のバリア層が、第2のn型ドーブ層を介してチャンネル層に近接して配置され、第2のバリア層は部分的にp型ドー

プされた層を含み、それにより、半導体デバイスの構造は、キャリアチャネル内のキャリア電荷を制御するために半導体ヘテロ構造に対して一組の電極を提供することにより得られる。

【0018】

図1Aは、チャンネル層及びバリア層を含む半導体構造を有する半導体デバイスを設計する方法を示す。

【0019】

チャンネル層及びバリア層を含む半導体構造が、半導体デバイスを製造するために決定される（選択される）。半導体デバイスは、RFパワーアンプに対して適用することができる。ステップ100において、チャンネル層及びバリア層を含むトランジスタ構造等の半導体構造を選択した後、ステップ110において、チャンネル層及びバリア層の材料が選択される。その後、ステップ120及び130において、層の厚さ、半導体構造におけるドーピング層の位置等、幾何学的パラメーターが決定される。この場合、幾何学的パラメーターとしては、ゲート電極、ソース電極及びドレイン電極のサイズを挙げるができる。さらに、半導体構造におけるドーブ層及び部分的にドーブされたバリア層のドーピング密度とともに、第1のドーピング層及び第2のドーピング層並びに部分的にドーブされたバリア層の不純物、化合物半導体材料における組成物の量が、決定される。例えば、n型ドーピング層は、シリコン(Si)ドーブ層とすることができ、p型ドーピング層は、マグネシウム(Mg)又は炭素(C)ドーブ層とすることができる。

【0020】

上記決定に基づき、半導体デバイスのエネルギーバンド構造（バンド構造）がシミュレートされる。例えば、バンド構造は、チャンネル層から部分的にドーブされたバリア層まで計算する（シミュレートする）ことができる。上述した半導体構造に基づき、デバイス性能がシミュレートされる。ステップ140においてデバイス性能をシミュレートした後、予め設定された定ドレイン電圧でのゲート電極とソース電極との間の電圧の関数としての相互コンダクタンスプロファイルに基づき、半導体デバイスの相互コンダクタンスの線形性が特徴付けられる。デバイス性能の評価結果に従って、ステップ120及び130を繰返し実行することができる。

【0021】

図1B及び図1Cは、本発明の幾つかの実施形態による半導体デバイスの断面図を示す。これらの図は、半導体デバイスの一例として高電子移動度トランジスタ(HEMT)の構造を示す。

【0022】

図1Bは、本発明の幾つかの実施形態による半導体デバイスの断面図である。半導体デバイスは、基板層10を含む。基板層10は、Si、SiC、サファイア及びダイヤモンドとすることができる。さらに、基板層10は、単一の基板層であるか、又は、基板層とドーブ層11との間の遷移層等、複数の層を含むことができる。ドーブ層11は、キャリアチャネル14の導電型と反対の導電型を有する不純物により完全に又は部分的にドーブされているバックバリア層である。

【0023】

本発明の幾つかの実施形態によれば、基板領域10（基板10）の形成に対して、限定されないが、化学気相成長法(CVD)、有機金属化学気相成長法(MOCVD)、DCプラズマDVD法を含む様々な方法を採用することができる。バックバリア層11は、基板領域10の上に、2 μ mの例示的な厚さで配置される。層11の材料は、p-GaN、AlGaN、InGaN及びp-ダイヤモンドとすることができる。p-GaNとしてのドーブ層11の場合、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲の例示的なドーピング密度で、Mg又はCドーパントによりドーブすることができ、AlGaN又はInGaNとしてのドーブ層11の場合、0.04~0.1の範囲のAl含有量/In含有量で真性とすることができ、p-ダイヤモンドとしての層11の場合、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲の例示的なドーピング密度でB等のp型ドーパントで

10

20

30

40

50

ドーピングすることができる。層 11 におけるドーパントは、エピタキシャル成長中に添加することができる、又は、層 11 が形成された後にイオン注入により添加することができる。

【0024】

バックバリア層 11 の上に、100 nm ~ 200 nm の例示的な厚さで、意図的にドーピングされていない (UID: unintentionally-doped) 半導体バッファ層 12 が配置される。UID 半導体バッファ層 12 の材料は、III 族窒化物材料又は III 族ヒ化物材料とすることができる。UID バッファ層 12 の上に、n 型ドーピング半導体層 13 が配置される。n 型ドーピング半導体層 13 は、第 2 のドーピング層 13 と呼ぶことができる。n 型ドーピング半導体層 13 は、薄い n 型ドーピング層又は n 型デルタドーピング層とすることができる。一実施形態では、ドーピング層 13 の材料は、 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の範囲のシートドーピング密度の Si デルタドーピング GaN 層とすることができ、デルタドーピング GaN 層の厚さはモノレイヤーから数層のマルチレイヤー (2.5 ~ 10) の範囲である。幾つかの実施形態によれば、高 n 型ドーピング密度での Si デルタドーピング GaN 層 13 の形成に対して、限定されないが、化学気相成長法 (CVD)、有機金属化学気相成長法 (MOCVD)、分子線エピタキシー法 (MBE) 及び有機金属化学気相エピタキシー法 (MOVPE) を含む、様々な方法を採用することができる。

10

【0025】

本発明の幾つかの実施形態では、第 1 のドーピング層の厚さは、第 2 のドーピング層の厚さより大きい。

【0026】

n 型ドーピング半導体層 13 の上に、意図的にドーピングされていない (UID) チャネル層 14 が配置される。チャネル層 14 の厚さは、10 nm ~ 40 nm の範囲とすることができる。幾つかの実施形態では、チャネル層 14 の材料は、III-V 族材料とすることができる。

20

【0027】

チャネル層 14 の上に、意図的にドーピングされていない化合物半導体バリア層 15 が配置される。バリア層 15 の厚さは、数ナノメートル (2 nm ~ 4 nm) とすることができる。バリア層 15 の材料は、チャネル層 14 の材料と比較して異なる格子定数及びバンドギャップエネルギーを有する。幾つかの実施形態では、バリア層 15 及びチャネル層 14 のヘテロ構造において、分極のために 2DEG チャネルが形成される。場合により、バリア層 15 及びチャネル層 14 の材料は、AlGaIn 及び GaIn、InAlN 及び GaIn、AlN 及び GaN、又は InAlGaIn 及び GaIn とすることができる。意図的にドーピングされていない層 15 の上に、 $1 \times 10^{18} \text{ cm}^{-3} \sim 3 \times 10^{18} \text{ cm}^{-3}$ の範囲のドーピング密度で、かつ 13 nm ~ 20 nm の範囲の厚さで、n 型ドーピング化合物半導体バリア層 16 が配置される。n 型ドーピング化合物半導体バリア層 16 は、第 1 のドーピング層 16 と呼ぶことができる。

30

【0028】

n 型半導体バリア層 16 の上に、数ナノメートル (2 nm ~ 4 nm) の例示的な厚さで、別の意図的にドーピングされていない半導体バリア層 17 が配置される。半導体層 15、16 及び 17 の材料は、同じであることが好ましく、AlGaIn、InAlN 及び InAlGaIn 等、化合物 III-V 族半導体材料とすることができる。さらに、半導体層 15、16 及び 17 は、i-n-i バリア層又はバリア層と呼ぶことができる。バリア層は、18 nm ~ 25 nm の範囲の総厚さを有することができ、そこでは、n 型半導体バリア層 16 の厚さは、13 nm ~ 20 nm で変化する。

40

【0029】

本発明の幾つかの実施形態では、意図的にドーピングされていない半導体バリア層 15 及び 17 は、第 1 のバリア層と呼ぶことができ、バックバリア 11 は、第 2 のバリア層と呼ぶことができる。この場合、第 1 のバリア層及び第 2 のバリア層の材料は、それらのバリア層とチャネル層との間の格子不整合が、チャネル層の格子定数のおよそ ±1 パーセントの範囲であるように選択することができる。この選択は、半導体デバイス構造において結晶歪

50

み及び欠陥を低減させるために有効である可能性がある。

【0030】

幾つかの実施形態によれば、UIDバリア層17への化合物半導体層14の形成に対して、限定されないが、化学気相成長法(CVD)、有機金属化学気相成長法(MOCVD)、分子線エピタキシー法(MBE)及び有機金属化学気相エピタキシー法(MOVPE)を含む、様々な方法を採用することができる。

【0031】

本発明の幾つかの実施形態では、基板10は、層11~17を支持するように、かつ、基板10の熱伝導率がチャンネル層14及びバリア層11の材料の少なくとも1つより高いように、選択することができる。さらに、第1のバリア層及び第2のバリア層の材料は、第1のバリア層及び第2のバリア層の格子定数とチャンネル層の格子定数との間の格子不整合が、チャンネル層の格子定数のおよそ±1パーセントの範囲であるように選択することができ、それにより、半導体デバイスにおける結晶欠陥が低減する。

【0032】

電極のセットは、ソース電極S1、T字型ゲート電極G1及びドレイン電極D1を含む。T字型ゲート電極の左部分 L_g1 は、 $0.05\mu\text{m}$ で固定することができる。幾つかの実施形態では、T字型ゲート電極の中心部分 L_g2 及びT字型ゲート電極の右部分 L_g3 は、それぞれ、 $0.05\mu\text{m} \sim 0.5\mu\text{m}$ 及び $0.1\mu\text{m} \sim 0.3\mu\text{m}$ の範囲とすることができる。一実施形態では、バリア層17とゲート電極の下側との間の距離 H_1 、ソース電極/ドレイン電極の高さ H_2 、及びT字型ゲート電極の高さ H_3 は、それぞれ、 $0.1\mu\text{m}$ 、 $0.2\mu\text{m}$ 及び $0.3\mu\text{m}$ である。幾つかの実施形態では、ソース電極S1/ドレイン電極D1を形成する材料は、オーム接触のためにTi/Al/Ni/Au金属積層体とすることができ、ショットキーT字型ゲート電極G1は、Ni/Au金属積層体又はPt金属によって形成することができる。

【0033】

他の幾つかの実施形態では、パッシベーション層として、誘電体層18(誘電体領域18)を形成することができる。誘電体層18は、限定されないが、 Al_2O_3 、 SiO_2 、AlN、 SiN_x 、 HfO_2 、ナノ多結晶ダイヤモンドを含む材料を含む、単一の又は複数の絶縁層を含むことができる。

【0034】

本発明の幾つかの実施形態によれば、図1B及び図1Cは、以下のようなサイズ及び組成物を有する層を有する、提案半導体デバイスと呼ぶデバイス構造例を示す。

基板層10: SiC

バックバリア層11: $1 \times 10^{17} \text{ cm}^{-3}$ のドーピング密度を有する $1.8\mu\text{m}$ p-GaN

意図的にドーピングされていない(UID)バッファ層12: $0.2\mu\text{m}$ UID-GaN層

n型デルタドーピング半導体層13: $6 \times 10^{19} \text{ cm}^{-3}$ のドーピング密度を有する 1nm n-GaN

意図的にドーピングされていない(UID)チャンネル層14: 25nm UID-GaN層

意図的にドーピングされていないバリア層15: 3nm UID- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 層

nドーピングバリア層16: $2 \times 10^{18} \text{ cm}^{-3}$ のドーピング密度を有する 13nm 又は 20nm n- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 層

意図的にドーピングされていないバリア層17: 2nm UID- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 層

誘電体層18: $0.5\mu\text{m}$ Si_3N_4

層17とゲート電極の下側との間の距離 H_1 : $0.1\mu\text{m}$

ソース電極S1/ドレイン電極D1高さ H_2 : $0.2\mu\text{m}$

ゲート電極G1高さ H_3 : $0.3\mu\text{m}$

T字型ゲート電極の左部分 L_{g1} の厚さ： $0.05 \mu\text{m}$

T字型ゲート電極の中心部分 L_{g2} の厚さ： $0.2 \mu\text{m}$

T字型ゲート電極の右部分 L_{g3} の厚さ： $0.1 \mu\text{m}$

【0035】

図2は、図1Cの提案デバイス内の交差線AA'のシミュレートされた伝導帯図を示す。比較のために、デルタドープ層13が含まれておらず、かつ層11及び16がアンドープ層である、従来のHEMTと呼ぶ参照構造もシミュレートする。図示するように、層14及び15によって形成されるヘテロ構造間の界面において、伝導帯 E_c は、図において第1の伝導帯端として示すように、平衡(equilibrium)においてフェルミ準位 E_F より下に下降し、それは主要チャネルを提供する。ヘテロ構造において2DEGシート電荷領域を形成する圧電分極及び自発分極のために、ヘテロ構造において電子が誘発される。さらに、提案HEMTにおいて、電子はまた、nドープ層16から主要チャネルにも提供される。従来のHEMTでは、デルタドープ層13及びドープバックバリア層11が導入されていないため、伝導帯は、チャネル層14からUIDバッファ層12まで比較的平坦である。その結果、2DEGチャネルにおける電子は、バイアス条件の下でバッファ層12に容易にあふれ出て、その結果、GaNバッファ層内で電流が流れる。この状況は、ゲート長が短い($0.2 \mu\text{m}$ 未満)場合により深刻であり、そうした場合、トランジスタ動作において短チャネル効果が優位を占める。高濃度n型デルタドープGaN層13を導入することにより、提案HEMTにおいて副チャネルを生成することができ、それによりアクセス抵抗が大幅に改善され、したがって、相互コンダクタンスの線形性が向上する。第2の伝導帯端における副チャネルは、キャリア電荷として追加の電子を提供する。トランジスタ動作中のバイアス条件の下で、副チャネル内の追加の電子は、ゲート電極及びソース電極に印加される広範囲のバイアスにおいて主要チャネルに平滑に移動する。このキャリア移動機構により、相互コンダクタンスの線形性が大幅に向上する。n型デルタドープ層13が導入されていない従来のHEMTの場合、主要チャネル内の電子は、広いバイアス範囲において不十分となり、その結果、図3に示すように、相互コンダクタンスの線形性が不十分になる。

【0036】

幾つかの実施形態では、フェルミ準位からの第1の伝導帯端の距離は、平衡状態(非バイアス状態)でのフェルミ準位からの第2の伝導帯端の距離より大きいように選択される。

【0037】

nドープ層16は、主チャネル内に高キャリア密度を提供するように2DEGに対するデルタドープ層13の影響をなくすために形成される。そして、バックバリア層11は、バッファ層12の伝導帯を引き上げるp型GaNであり、それにより、主チャネル及び副チャネルの両方において電子閉じ込めがはるかに改善される。キャリアがあふれ出ること及び短チャネル効果は、或る程度まで抑制することができる。

【0038】

図3は、 18 nm 厚さ又は 25 nm 厚さのi-n-iバリア層(層15、16及び17)を有する提案HEMTと従来のHEMTとの、 $V_{ds} = 3 \text{ V}$ でのシミュレートされた移動特性を示す。従来のHEMTと 18 nm 及び 25 nm のバリア層を有する提案HEMTとの閾値電圧(V_{th})は、それぞれ、 -5.8 V 、 -7.9 V 及び -10.8 V である。提案HEMTの閾値電圧は、正の側から負の側にシフトする。閾値電圧のシフトは、副チャネルの形成とゲート電極の下により多くの電子が存在することによる。図3は、 18 nm 又は 25 nm のバリア層を有する提案HEMTに対して、それぞれ、 $-7 \text{ V} \sim -1.5 \text{ V}$ 及び $-10 \text{ V} \sim -4.6 \text{ V}$ の広いゲートバイアス(V_{gs})範囲にわたり、略平坦な相互コンダクタンス(g_m)が達成されることを示す。

【0039】

25 nm バリア層及び 18 nm バリア層を有する提案HEMTは、超平坦領域が広範囲のゲート-ソース電圧(V_{gs})にわたる g_m のそれぞれの大きい値に近いままである、

10

20

30

40

50

相互コンダクタンス (g_m) を提供する。相互コンダクタンスの平坦領域は、トランジスタの振幅の線形性に反映する。したがって、提案 HEMT の相互コンダクタンス特性は、大信号パワーアンプの線形動作を達成するために望ましい特徴である。

【0040】

図3には、比較のために、ドープ層、ドープバックバリア層及びドープバリアを含まない従来の HEMT の相互コンダクタンスもまた示す。従来の HEMT の相互コンダクタンスは、相互コンダクタンスの優れた線形性を示す提案 HEMT とは対照的に、平坦領域を有していないことが示されている。

【0041】

図3はまた、提案 HEMT が、短チャネル効果を抑制するとともに、大きいオン状態電流を得ることにおいて他の利点を有することも示す。

10

【0042】

図4A及び図4Bは、それぞれ、従来の HEMT と 18 nm バリア層 (層15、16及び17) を有する提案 HEMT との $I_d - V_d$ 特性を示す。T字型ゲートの中心部分 L_g 2 は 0.2 μm で固定され、両方の場合に対して、熱モデルが有効である。小さいゲート長を有する従来の HEMT において、典型的な挙動が観察され、すなわち、短いゲートがチャネル内の電荷を完全に欠乏させることができないことによりもたらされる、出力特性における飽和の喪失である。この挙動は、提案 HEMT において、バックバリア層11を追加することによるキャリア閉じ込めの促進により排除される。さらに、従来の HEMT 及び提案 HEMT に対して $V_{g_s} = 0\text{V}$ での最大出力電流は、それぞれ、1.97 A/mm 及び 1.52 A/mm である。提案 HEMT においてより高い出力電流が存在するのは、デルタドーピング層13によって形成される副チャネルと、チャネル層14の厚さを最適化することにより達成される2つのチャネルの間の平滑なキャリア連通との効果による。

20

【0043】

図5は、比較のために、従来の HEMT と、18 nm 及び 25 nm のバリア層 (層15、16及び17) を有する提案 HEMT との V_{g_s} の関数としての電流利得カットオフ周波数を示す。この場合、ゲート長 $L_{g_2} = 200\text{nm}$ である 18 nm 及び 25 nm のバリア層を有する2つの提案 HEMT 構造を示す。

【0044】

30

デバイス移動特性は、 $V_{d_s} = 3\text{V}$ の AC モードでシミュレートし、相互コンダクタンス g_m 及びゲート容量 C_{g_d} 及び C_{g_s} は、 V_{g_s} の関数として抽出した。固有カットオフ周波数 f_T は、

【数1】

$$f_T = \frac{g_m}{2\pi C_{gs} \sqrt{1 + 2(C_{gd}/C_{gs})}}$$

として計算した。

【0045】

図5に示すように、 g_m のプラトー領域 (平坦領域) は、-7 V ~ -2.5 V 及び -10 V ~ -5 V のゲートバイアス V_{g_s} にわたり 18 nm 及び 25 nm のバリア層を有する提案 HEMT に対して得られる。対照的に、従来の HEMT は、 g_m のプラトー領域を有しておらず、 $V_{g_s} = -3.7\text{V}$ でピークを示し、 v_{g_s} により著しく低下する。提案 HEMT における非常に平坦な f_T (g_m のプラトー領域) 挙動は、達成される平坦な g_m のためであり、 V_{g_s} が変化するとき、それぞれのピーク値に近いままである。 f_T のこれらの特性は、大信号パワーアンプの線形動作を達成するために望ましい特徴である。

40

【0046】

図6は、中心ゲート長 L_{g_2} の関数として最大固有カットオフ周波数 f_{T_max} を示す。固有カットオフ周波数 f_T は、各 V_{g_s} に対して計算し、ピーク f_T を抽出した。図示するように、 f_{T_max} は、中心ゲート長 L_{g_2} が低減するにつれて増大する。この

50

増大は、ゲート容量が小さくなることによる。さらに、18 nmバリアを有する提案HEMTにおいて、20%低い $f_{T,max}$ が観察され、その理由は、提案HEMTでは、デバイス線形性の向上と $f_{T,max}$ の増大との間にトレードオフがあるためである。図6はまた、 L_g を0.1 μ m未満に縮小することにより、 $f_{T,max}$ の更なる増大が達成されるが、短チャネル効果がより深刻になることも示す。短チャネル効果を抑制するために、更にキャリア閉じ込めを改善し、 L_g とバリア厚さ(領域15、16及び17)との比を最適化することが必要である。

【0047】

図7は、従来のHEMTと、バックバリア層11のある提案HEMT又はバックバリア層11のない提案HEMTとにおける中心ゲート長 L_g の関数としてのドレイン誘起障壁低下(DIBL: drain-induced barrier lowering) (V_{th}/V_{ds} として定義され、シミュレーションでは1V及び10Vの V_{ds} を使用)の値を示す。ドレイン誘起障壁低下(DIBL)は、本来、デバイス動作に対して可能な限り低く維持する必要がある、相対的に高いドレイン電圧におけるトランジスタの閾値電圧の低下を指す、FETにおける短チャネル効果である。バックバリア層11のない提案HEMT構造では、DIBLは、デルタドープ層13によってもたらされる、バッファ層12における伝導帯の低下により、従来のHEMTより深刻である。バックバリア層11は、線形性を向上させることと、デルタドープ層13が導入される場合の短チャネル効果を抑制することとのトレードオフを解決するために必須である。提案HEMTにバックバリア層11が導入されるため、短いゲートを有する提案HEMTは、DIBLのはるかに小さい値のみでなく、(図3に示す)サブスレッショルドスロープの著しい改善も示す。

【0048】

より良好なキャリア閉じ込めとともに動作のより高い線形性を達成するために、意図的にドーピングされていないバッファ層12の厚さとバックバリア層11のドーピング密度との組合せが選択される。

【0049】

図8は、デルタドープ層13があるHEMT及びデルタドープ層13がないHEMTの相互コンダクタンスプロファイルを示す。比較の目的でバックバリア層11は追加されていない。

【0050】

意図的にドーピングされていない(UID)層12が薄すぎ、及び/又はバックバリア層11のドーピング密度が高すぎる場合、デルタドープ層13の位置における伝導帯は、副チャネルを形成することなく引き上げられ、その結果、デバイス動作の線形性が不十分になる。一方、UID層12が厚すぎ、及び/又はバックバリア層11のドーピング密度が低すぎる場合、チャネルキャリア閉じ込めが不十分であるために、短チャネル効果がHEMTのデバイス性能に大きく影響を与える。幾つかの実施形態では、意図的にドーピングされていない層12の厚さは、100 nm ~ 200 nmから選択することができ、p-GaNバックバリア層11におけるドーピング密度は、 $5 \times 10^{16} \text{ cm}^{-3}$ ~ $5 \times 10^{17} \text{ cm}^{-3}$ から選択することができる。

【0051】

UIDチャネル層14の厚さは、以下のように設計すべきである。UIDチャネル層14の厚さが増大することにより、より広い領域の相互コンダクタンス(g_m)が達成される。しかしながら、相互コンダクタンス g_m プロファイルは、チャネル層14の厚さが閾値厚さを超えて増大すると、平坦領域ではなく2ピーク挙動を示す傾向がある。場合により、チャネル層14は、20 nm ~ 30 nmの範囲にある可能性がある。それは、主チャネルと副チャネルとの間に比較的広いバリアが生成されることにより、2つのチャネルの間の連通を阻止する2チャネルデバイスがもたらされるためである。UIDチャネル層14の好ましい厚さは、20 nm ~ 30 nmで形成することができる。

【0052】

デルタドープ層13のドーピング密度もまた、デバイス線形性を向上させるために注意

10

20

30

40

50

深く設計するべきである。デルタドーピング密度が高すぎるか又は低すぎることにより、平坦領域ではなく2ピーク挙動がもたらされる。デルタドーピング層13のシートドーピング密度の好ましい範囲は、 $4 \times 10^{12} \text{ cm}^{-2} \sim 6 \times 10^{12} \text{ cm}^{-2}$ とすることができる。全体的に、線形性能及びキャリア閉じ込めは、意図的にドーピングされていない層12、UIDチャンネル層14の厚さと、バックバリア層11及びデルタドーピング層13のドーピング密度との組合せによって決まる。

【0053】

本発明の上記の実施形態は数多くの方法のいずれかにおいて実現することができる。例えば、それらの実施形態は、ハードウェア、ソフトウェア又はその組み合わせを用いて実現することができる。ソフトウェアにおいて実現されるとき、そのソフトウェアコードは、単一のコンピューター内に設けられるにしても、複数のコンピューター間に分散されるにしても、任意の適切なプロセッサ、又はプロセッサの集合体において実行することができる。そのようなプロセッサは集積回路として実現することができ、集積回路コンポーネント内に1つ以上のプロセッサが含まれる。しかしながら、プロセッサは、任意の適切な構成の回路を用いて実現することができる。

10

【0054】

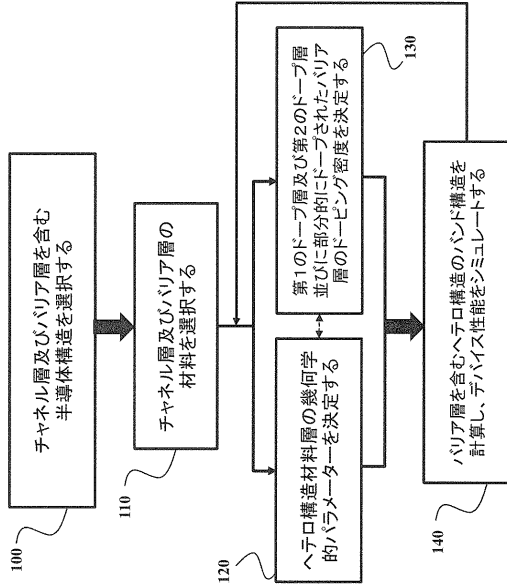
また、本発明の実施形態は方法として具現することができ、その一例が提供されてきた。その方法の一部として実行される動作は、任意の適切な方法において順序化することができる。したがって、例示的な実施形態において順次の動作として示される場合であっても、例示されるのとは異なる順序において動作が実行される実施形態を構成することもでき、異なる順序は、幾つかの動作を同時に実行することを含むことができる。

20

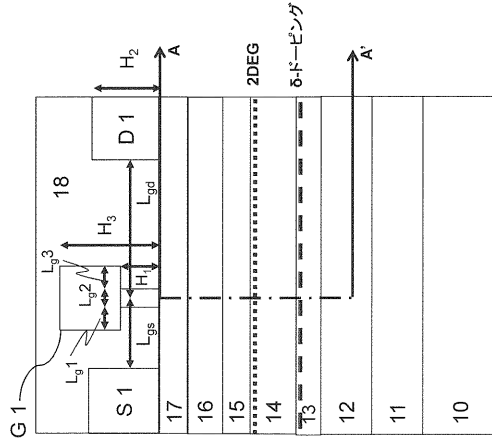
【0055】

請求項要素を修飾するために特許請求の範囲において「第1の」、「第2の」のような序数の用語を使用することは、それだけで、或る請求項要素が別の請求項要素よりも優先度が高いこと、優位であること、若しくは上位にあることを暗示するのでも、又は方法の動作が実行される時間的な順序を暗示するのでもなく、請求項要素を区別するために、或る特定の名称を有する1つの請求項要素を（序数用語を使用しなければ）同じ名称を有する別の要素から区別するラベルとして単に使用される。

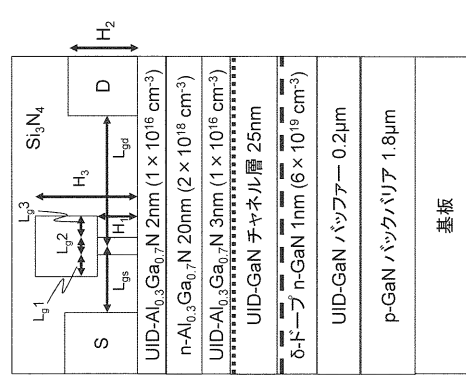
【図1A】



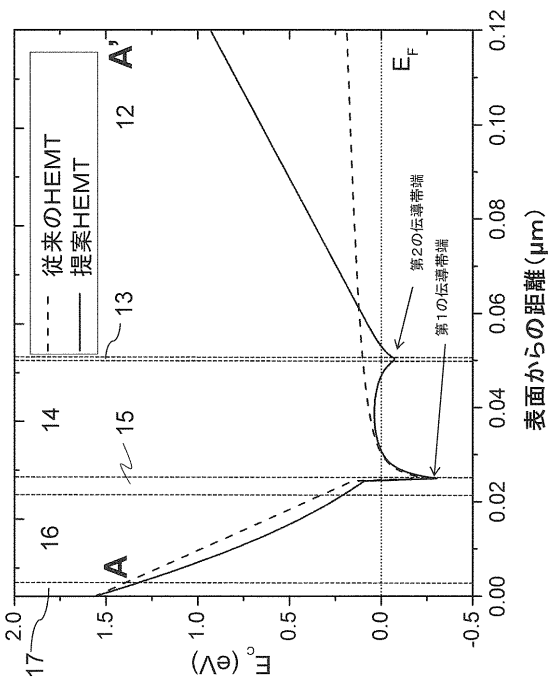
【図1B】



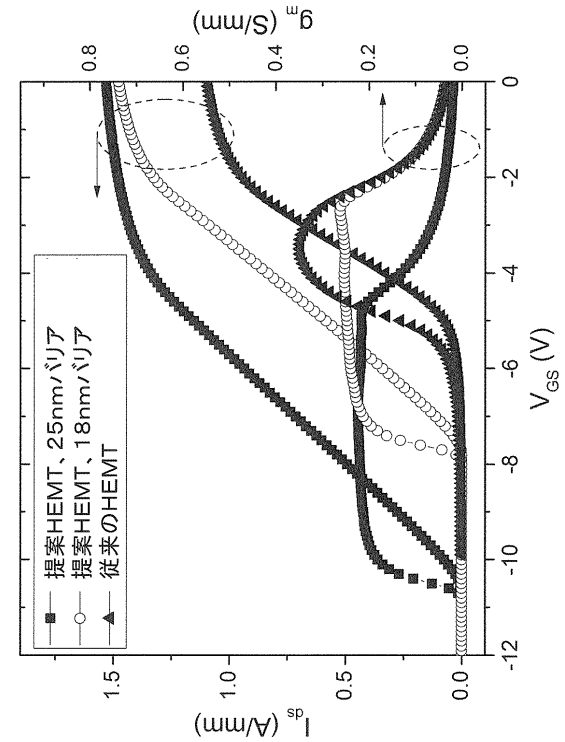
【図1C】



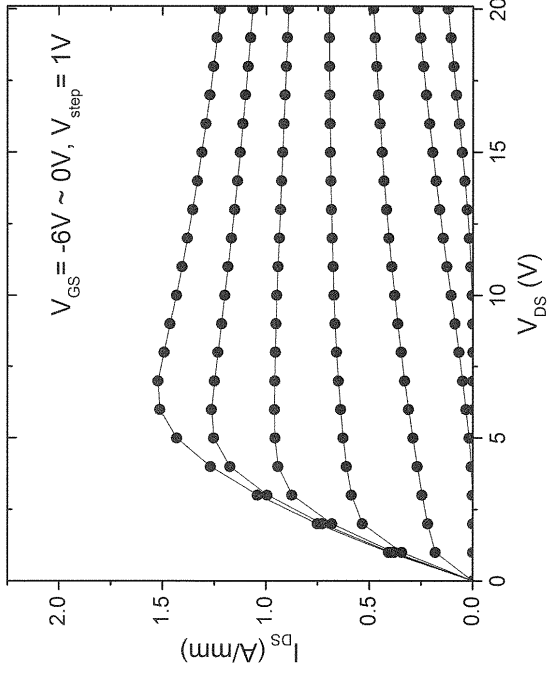
【図2】



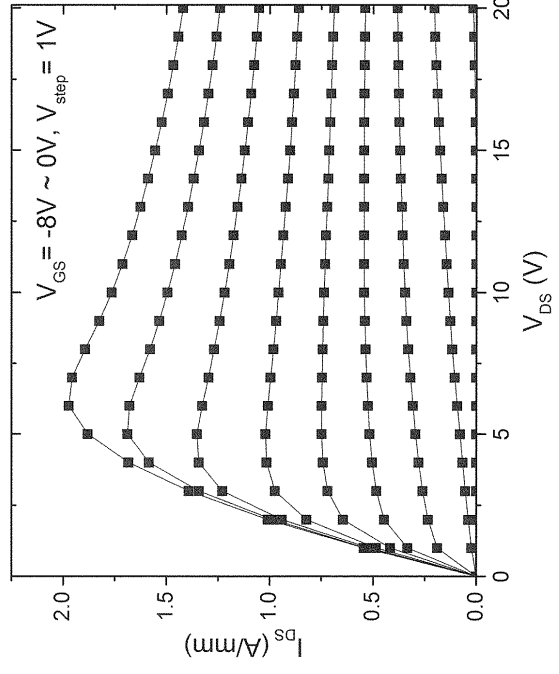
【図3】



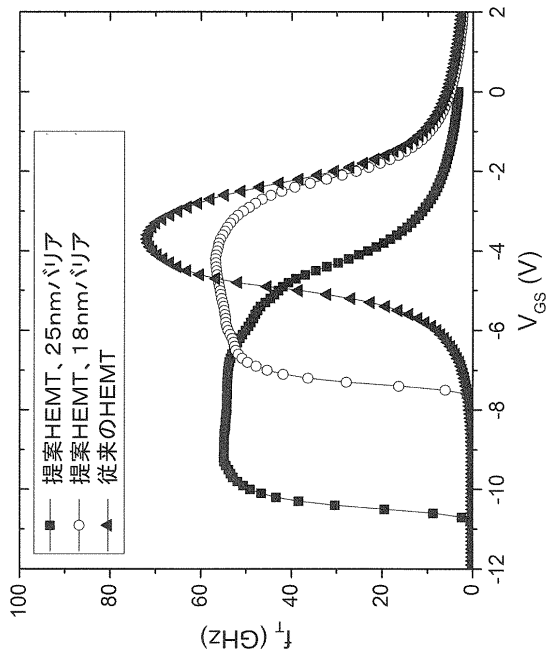
【 図 4 A 】



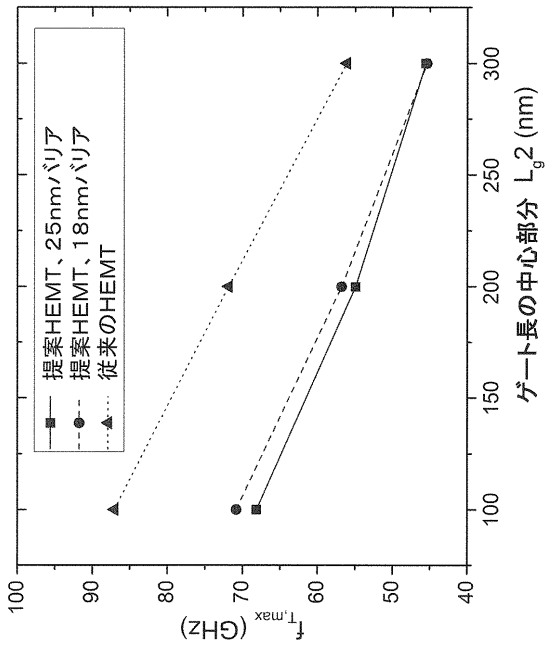
【 図 4 B 】



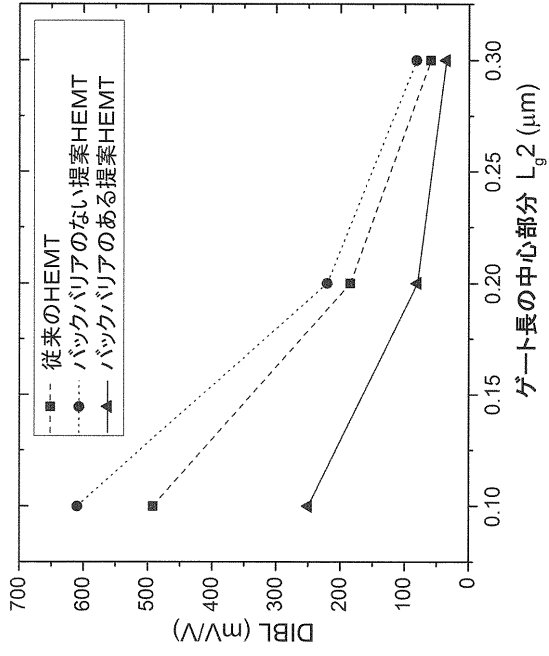
【 図 5 】



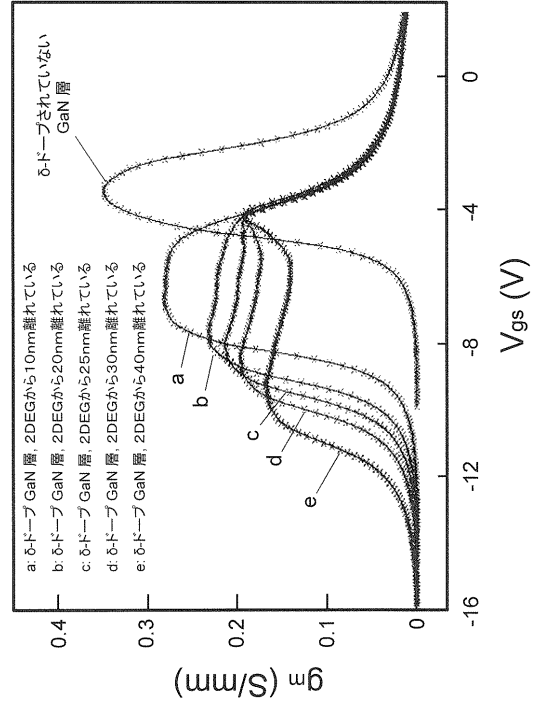
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 テオ、クーン・フー
アメリカ合衆国、マサチューセッツ州、ケンブリッジ、ブロードウェイ 201、ケアオブ・ミツ
ビシ・エレクトリック・リサーチ・ラボラトリーズ・インコーポレイテッド
- (72)発明者 タング、チェンジー
アメリカ合衆国、マサチューセッツ州、ケンブリッジ、ブロードウェイ 201、ケアオブ・ミツ
ビシ・エレクトリック・リサーチ・ラボラトリーズ・インコーポレイテッド

審査官 恩田 和彦

- (56)参考文献 韓国公開特許第10-2010-0089464(KR,A)
特開2010-267817(JP,A)
特開2005-302861(JP,A)
特開2007-200975(JP,A)
特開2011-181580(JP,A)
特開2012-131705(JP,A)
国際公開第2011/111126(WO,A1)
特開2007-221100(JP,A)
特開平10-107256(JP,A)
特開2013-048212(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 29/778
H01L 29/812