

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95147272

※ 申請日期：95.12.15

※IPC 分類：H3M 1/2 (2006.01)

一、發明名稱：(中文/英文)

改良之快閃式類比-至-數位轉換器/

IMPROVED FLASH ADC

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

邁威爾世界貿易有限公司 / Marvell World Trade Ltd.

代表人：(中文/英文)

史帝文 派克 / Steven Parker

住居所或營業所地址：(中文/英文)

巴貝多國 BB14027 聖麥可市布靈頓山莊砲台路 L 層/

L'Horizon, Gunsite Road, Brittons Hill, St. Michael,

Barbados BB14027

國 籍：(中文/英文) 巴貝多 / Barbados

三、發明人：(共 1 人)

姓 名：(中文/英文)

塞哈 史達佳 / SEHAT SUTARDJA

國 籍：(中文/英文)

美國 / USA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國 、 2006 年 1 月 18 日 、 60/759,869
2. 美國 、 2006 年 2 月 14 日 、 60/773,029
3. 美國 、 2006 年 3 月 20 日 、 11/384,855

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種差分類比-至-數位轉換器 (ADC)。該差分類比-至-數位轉換器包括：第一和第二電阻器梯分支，第一和第二放大器，以及多個比較器。每個電阻器梯分支包括兩個電阻器，這兩個電阻器具有：與中間節點通信的第一端，和與電流源通信的第二端。第一放大器將基於輸入信號的第一相位的電壓施加到第一電阻器梯分支的中間節點。第二放大器將基於輸入信號的第二相位的電壓施加到第二電阻器梯分支的中間節點。多個比較器中的每一個具有第一和第二輸入，其中第一輸入與第一電阻器梯分支的兩個電阻器之一通信，並且第二輸入與第二電阻器梯分支的兩個電阻器之一通信。

六、英文發明摘要：

A differential analog to digital converter (ADC) comprises first and second resistance ladder legs, first and second amplifiers, and a plurality of comparators. Each resistance ladder leg includes two resistances having first ends that communicate with a middle node and second ends that communicate with a current source. The first amplifier supplies a voltage based upon a first phase of an input signal to the middle node of the first resistance ladder leg. The second amplifier supplies a voltage based upon a second phase of the input signal to the middle node of the second resistance ladder leg. The plurality of comparators each has first and second inputs, wherein the first input communicates with one of the two resistances of the first resistance ladder leg, and the second input communicates with one of the two resistances of the second resistance ladder leg.

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

200	輸入級
202	電阻器梯和偏壓級
204	比較器和解碼級
210	第一放大器
212	第二放大器
214	第三放大器
216	第一回饋電阻器
218	第四放大器
220	第二回饋電阻器
226	正分支
228	負分支
230	第一梯電阻器
230-1~N	電阻器
232	第二梯電阻器
232-1~N	電阻器
234	第一電流源
236	電源電位
238	第二電流源
240	接地電位
242	第三梯電阻器
242-1~N	電阻器
244	第四梯電阻器
244-1~N	電阻器
246	第三電流源
248	第四電流源

250	比較器
252	比較器
253	比較器
254	比較器
260	鎖定裝置
261	鎖定裝置
262	鎖定裝置
263	鎖定裝置
264	解碼器模組

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬技術領域】

本發明係有關一種類比-至-數位轉換器，更具體而言係有關一種快閃式類比-至-數位轉換器。

【先前技術】

現在參照第 1 圖，其顯示用於類比-至-數位轉換器 (ADC) 的差分電阻器梯的功能電路圖。差分電阻器梯包括分別接收輸入信號的正相位和負相位的正分支 (leg) 100 和負分支 101。正分支 100 包括第一電壓源 102，該第一電壓源 102 輸出等於輸入信號的正相位 (V_+) 的 AC 電壓 (以接地電位 104 為基準)。該電壓被施加到包括電阻器 106-1、106-2...106-N 的第一電阻器 106 的第一端子。第一電阻器 106 的另一端子與包括電阻器 108-1、108-2...108-N 的第二電阻器 108 的第一端子通信。第二電阻器 108 的另一端子與第二電壓源 110 通信。第二電壓源 110 輸出與 V_+ 減去 DC 電壓 (V_{DC}) 相等的電壓 (以接地電位 104 為基準)。

負分支 101 包括第三電壓源 112，該第三電壓源 112 輸出與對包括電阻器 114-1、114-2...114-N 的第三電阻器 114 的第一端子的輸入信號的負相位 (V_-) 相等的 AC 電壓。第三電阻器 114 的另一端子與包括電阻器 116-1、116-2...116-N 的第四電阻器 116 的第一端子通信。第四電阻器 116 的另一端子與第四電壓源 118 通信。第四電壓源 118 輸出與 V_- 減去 DC 電壓 (V_{DC}) 相等的電壓 (以接地為基準)。第一和第二電阻器 106 和 108 通常是由許多 (經常為 2 的乘方) 較小的電阻器組成的。同樣，第三和第四電阻器 114 和 116 經常是由許多更小的電阻器組成的。對於線性 ADC，定義每個電阻器 106、108、114 和 116 的更小電阻器的數目通常是相等的。

現在參照第 2 圖，其顯示根據習知技術的替代差分電阻器梯組態的功能電路圖。此差分電阻器梯包括：分別接收輸入信號的正相位和負相位的正分支 136 和負分支 138。正分支 136 包括第一電壓源 140，該第一電壓源 140 輸出等於輸入信號的正相位 (V_+) 的電壓 (以接地為基準)。該電壓被

施加到包括電阻器 142-1、142-2...和 142-N 的第一電阻器 142 的第一端子。第一電阻器 142 的另一端子與包括電阻器 144-1、144-2...144-N 的第二電阻器 144 的第一端子和第二電壓源 146 通信。第二電壓源 146 輸出與 V_+ 減去一半 DC 電壓 (V_{DC}) 相等的電壓 (以接地為基準)。第二電阻器 144 的另一端子與第三電壓源 148 通信, 所述第三電壓源 148 輸出等於 V_+ 減去 V_{DC} 的電壓 (以接地為基準)。

負分支 138 包括第四電壓源 150, 該第四電壓源 150 輸出等於輸入信號的負相位 (V_-) 的電壓 (以接地為基準)。第四電壓源 150 與包括電阻器 152-1、152-2...152-N 的第三電阻器 152 的第一端子通信。第三電阻器 152 的另一端子與包括電阻器 154-1、154-2...154-N 的第四電阻器 154 的第一端子和第五電壓源 156 通信。第五電壓源 156 輸出等於 V_- 減去 $V_{DC}/2$ 的電壓 (以接地為基準)。第四電阻器 154 的另一端子與第六電壓源 158 通信, 所述第六電壓源 158 輸出等於 V_- 減去 V_{DC} 的電壓 (以地為基準)。

電阻器 142、144、152 和 154 中的每一個經常是由多個更小電阻器 (對線性 ADC 通常是相同數目) 組成的。第 2 圖的組態與第 1 圖的組態相似, 外加第二和第五電壓源 146 和 156。第二電壓源 146 被連接到中心節點, 該節點在第一和第二電阻器 142 和 144 之間。如果沒有第二電壓源 146, 則與驅動電壓源 140 和 148 距離相等的中心節點將最後接收到輸入信號。第二電壓源 146 的加入從該節點去除了延遲。最大延遲現在位於第一電阻器 142 的中點和第二電阻器 144 的中點。與驅動電壓源 140 和 146 的距離是中心節點的一半的這些中點僅經歷中心節點先前所具有的 RC 延遲的四分之一。對負分支 138 進行相同的修改, 將第五電壓源 156 添加到否則將經歷最大延遲的節點。

【發明內容】

一種差分類比-至-數位轉換器 (ADC) 包括: 第一和第二電阻器梯分支、第一和第二放大器和多個比較器。第一電阻器梯分支包括兩個電阻器, 這兩個電阻器具有: 與中間節點通信的第一端, 和與電流源通信的第二端。第二電阻器梯分支包括兩個電阻器, 這兩個電阻器具有: 與中間節點通信

的第一端，和與電流源通信的第二端。第一放大器將基於輸入信號的第一相位的電壓施加到第一電阻器梯分支的中間節點。第二放大器將基於輸入信號的第二相位的電壓施加到第二電阻器梯分支的中間節點。多個比較器中的每一個具有第一和第二輸入，其中第一輸入與第一電阻器梯分支的兩個電阻器之一通信，並且第二輸入與第二電阻器梯分支的兩個電阻器之一通信。

在其他特徵中，各多個比較器中的每一個被校準。第一和第二電阻器梯分支的電流源在校準期間被切斷。第一和第二放大器輸出電壓基於輸入信號的電壓，輸入信號在校準期間實質上等於零。各多個比較器中的每一個包括基於各數位值來調節的可調節電流源。相應數位值在校準期間被確定。

在其他特徵中，類比-至-數位轉換器還包括控制模組，該控制模組在校準期間基於多個比較器的輸出來改變各數位值。第一和第二放大器包括超阻抗放大器。第一和第二放大器包括嵌套超阻抗放大器。第一和第二電阻器梯分支的電阻器中的每一個包括 N 個各別電阻器，其中 N 是大於 1 的整數。各別電阻器具有實質上相等的電阻器值。

在其他特徵中，第一電阻器梯分支的電阻器包括串聯連接的 N 個各別電阻器。第一電阻器梯分支的電阻器包括：多個串聯連接的初級電阻器，和與初級電阻器中的每一個並聯連接的多組次級電阻器。第一電阻器梯分支的電阻器包括：多個串聯連接的初級電阻器，與初級電阻器中的每一個並聯連接的多組次級電阻器，以及與次級電阻器中的每一個並聯連接的多組第三級電阻器。

在其他特徵中，第一電阻器梯分支的電阻器包括 N 個各別電阻器。比較器的第一輸入與第一電阻器梯分支的 N 個各別電阻器中的兩個之間的連接通信，並且第二輸入與第二電阻器梯分支的各別電阻器中的兩個之間的連接通信。多個比較器的第一和第二輸入經歷傳播延遲，傳播延遲基於第一和第二輸入離中間節點中的對應節點的電性距離。

在其他特徵中，類比-至-數位轉換器還包括延遲元件，延遲元件與比較器的第一和第二輸入通信，並且產生從中間節點中的對應節點到比較器的

第一和第二輸入的實質相同的總合延遲。延遲元件包括電阻器迹線及/或電晶體。類比-至-數位轉換器還包括多個鎖定裝置，其每個對應於多個比較器之一。多個鎖定裝置在延遲的時刻鎖定來自多個比較器中的對應比較器的輸出，延遲的時刻基於多個比較器中的對應比較器的第一和第二輸入中的至少一個輸入處的傳播延遲。

在其他特徵中，類比-至-數位轉換器還包括解碼模組，解碼模組在多個鎖定裝置中的最後一個被致動之後實質同時讀取多個鎖定裝置的輸出。其中，類比-至-數位轉換器被實現在具有第一金屬層的積體電路上，並且其中第一和第二電阻器梯分支被實現在第一金屬層中。第一電阻器梯分支的兩個電阻器在中間節點處連接並被配置為彼此的鏡像，並且其中第二電阻器梯分支的兩個電阻器在中間節點處連接並被配置為彼此的鏡像。第一和第二電阻器梯分支的電阻器中的每一個被按照折疊形狀配置以使面積最小化。

一種用於從類比變換為數位的方法，包括：提供包括兩個電阻器的第一電阻器梯分支，這兩個電阻器具有：與中間節點通信的第一端，和與電流源通信的第二端；提供包括兩個電阻器的第二電阻器梯分支，這兩個電阻器具有與中間節點通信的第一端和與電流源通信的第二端；將基於輸入信號的第一相位的電壓施加到第一電阻器梯分支的中間節點；將基於輸入信號的第二相位的電壓施加到第二電阻器梯分支的中間節點；以及提供多個比較器，其每個具有第一和第二輸入，其中第一輸入與第一電阻器梯分支的兩個電阻器之一通信，並且第二輸入與第二電阻器梯分支的兩個電阻器之一通信。

在其他特徵中，該方法還包括校準多個比較器。該方法還包括在校準期間切斷第一和第二電阻器梯分支的電流源。該方法還包括在校準期間把輸入信號設置為實質上等於零。該方法還包括基於各數位值為多個比較器中的每一個調節電流源。該方法還包括在校準期間確定各數位值。

在其他特徵中，該方法還包括基於多個比較器的輸出來改變各數位值。該方法還包括建立對每個比較器實質上相同的從中間節點的各節點到比較器的第一和第二輸入的延遲。該方法還包括在延遲的時刻鎖定來自多

個比較器中的各比較器的輸出，延遲的時刻基於多個比較器中的各比較器的第一和第二輸入中的至少一個輸入處的傳播延遲。該方法還包括在最後的鎖定事件之後實質上同時地讀取被鎖定的輸出。

一種差分類比-至-數位轉換器，包括：第一梯裝置，用於提供兩個電阻器，這兩個電阻器具有與中間節點通信的第一端和與用於提供電流的電流源裝置通信的第二端；第二梯裝置，用於提供兩個電阻器，這兩個電阻器具有與中間節點通信的第一端和與用於提供電流的電流源裝置通信的第二端；第一放大裝置，用於將基於輸入信號的第一相位的電壓施加到第一梯裝置的中間節點；第二放大裝置，用於將基於輸入信號的第二相位的電壓施加到第二梯裝置的中間節點；以及多個比較裝置，用於比較第一和第二輸入處的電壓，其中第一輸入與第一梯裝置的兩個電阻器之一通信，並且第二輸入與第二梯裝置的兩個電阻器之一通信。

在其他特徵中，多個比較裝置中的每一個被校準。第一和第二梯裝置的電流裝置在校準期間被切斷。第一和第二放大裝置輸出基於輸入信號的電壓，輸入信號在校準期間實質上等於零。多個比較裝置中的每一個包括基於相應數位值來調節的可調節電流裝置。各數位值在校準期間被確定。

在其他特徵中，類比-至-數位轉換器還包括控制裝置，用於在校準期間基於多個比較裝置的輸出來改變各數位值。第一和第二放大裝置包括跨阻抗放大裝置。第一和第二放大裝置包括嵌套跨阻抗放大裝置。第一和第二梯裝置的電阻器中的每一個包括 N 個各別電阻器，其中 N 是大於 1 的整數。各別電阻器具有實質上相等的電阻值。

在其他特徵中，第一梯裝置的電阻器包括串聯連接的 N 個各別電阻器。第一梯裝置的電阻器包括：多個串聯連接的初級電阻器，和與初級電阻器中的每一個並聯連接的多組次級電阻器。第一梯裝置的電阻器包括：多個串聯連接的初級電阻器，與初級電阻器中的每一個並聯連接的多組次級電阻器，以及與次級電阻器中的每一個並聯連接的多組第三級電阻器。

在其他特徵中，第一梯裝置的電阻器包括 N 個各別電阻器。比較裝置的第一輸入與第一梯裝置的 N 個各別電阻器中的兩個之間的連接通信，並且第二輸入與第二梯裝置的各別電阻器中的兩個之間的連接通信。多個比

較裝置的第一和第二輸入經歷傳播延遲，傳播延遲基於第一和第二輸入離中間節點中的對應節點的電性距離。

在其他特徵中，類比-至-數位轉換器還包括延遲裝置，用於產生從中間節點中的對應節點到比較裝置的第一和第二輸入的實質上相同的總合延遲。延遲裝置包括電阻器迹線。延遲裝置包括電晶體。類比-至-數位轉換器還包括鎖定裝置，用於鎖定多個比較裝置的輸出。鎖定裝置在延遲的時刻鎖定來自多個比較器中的對應比較器的輸出，延遲的時刻基於多個比較裝置中的對應比較裝置的第一和第二輸入中的至少一個輸入處的傳播延遲。

在其他特徵中，類比-至-數位轉換器還包括解碼裝置，用於在多個鎖定裝置中的最後一個被啓動之後實質同時地讀取多個鎖定裝置的輸出。類比-至-數位轉換器被實現在具有第一金屬層的積體電路上，並且其中第一和第二梯裝置被實現在第一金屬層中。第一梯裝置的兩個電阻器在中間節點處連接並被配置為彼此的鏡像，並且其中第二梯裝置的兩個電阻器在中間節點處連接並被配置為彼此的鏡像。第一和第二梯裝置的電阻器中的每一個被按照折疊形狀配置以使面積最小化。

本發明的其他應用領域從下文所提供的詳細描述將變得清楚。應該明白，詳細描述和特定示例在指示本發明較佳實施例的同時僅是為了說明目的，而非限制本發明的範圍。

本發明從具體實施方式和附圖將得到更加充分的理解。

【實施方式】

較佳實施例的下列描述僅是示例性質的，並且並非打算限制本發明之應用或使用。為了清楚起見，附圖中將使用相同的標號來標識相似的元件。如在這裏所使用的，此術語模組指的是專用積體電路（ASIC）、電子電路、執行一個或更多個軟體或韌體程式的處理器（共用、專用或群組）和記憶體、組合邏輯電路，及/或提供所述功能的其他合適元件。如在這裏所使用的，短語“A、B 和 C 中的至少一個”應被解釋為表示使用非互斥邏輯或的邏輯（A 或 B 或 C）。應該明白一種方法中的步驟可按照不同順序執行而不改變本發明的原理。

現在參照第 3 和 5 圖，其顯示差分類比-至-數位轉換器 (ADC) 的功能電路圖。ADC 包括三級：輸入級 200、電阻器梯和偏壓級 202，以及比較器和解碼級 204。此外，ADC 可在解碼級 204 期間或之後包括另外的數位邏輯，例如用於減少亂真輸出 (spurious output) 代碼的半葛雷 (Half-Gray) 編碼器。ADC 還可在輸入級 200 之前或作為其一部分包括另外的調節電路及/或採樣和保持電路。

輸入級 200 接收具有正相位和負相位的差分信號。正相位被傳遞到第一放大器 210 的輸入，並且負相位被傳遞到第二放大器 212 的輸入。第一放大器 210 的輸出與第三放大器 214 的輸入和第一回饋電阻器 216 的第一端子通信。第一回饋電阻器 216 的另一端子與第三放大器 214 的輸出通信，從而產生超阻抗放大器 (transimpedance amplifier) (也就是將輸入電流變換為輸出電壓的放大器)。第一和第三放大器 210 和 214 與第一回饋電阻器 216 可由任何合適的放大器組態來替換，包括嵌套 (nested) 超阻抗放大器。這個和其他合適的嵌套超阻抗放大器在例如 2003 年 6 月 11 日提交的美國專利申請 No. 10/459,731 中被更加充分地描述，其整個在此併入作為參考。

第二放大器 212 的輸出與第四放大器 218 的輸入以及第二回饋電阻器 220 的第一端子通信。第二回饋電阻器 220 的另一端子與第四放大器 218 的輸出通信。第二和第四放大器 212 和 218 與第二回饋電阻器 220 也可由任何合適的放大器組態來替換，包括嵌套超阻抗放大器。

電阻器梯級 202 包括正分支 226 和負分支 228。第三放大器 214 的輸出與正分支 226 的輸入節點通信。第四放大器 218 的輸出與負分支 228 的輸入節點通信。正分支 226 的輸入節點與第一梯電阻器 230 和第二梯電阻器 232 的第一端子通信，第一梯電阻器 230 包括電阻器 230-1、230-2...230-N，第二梯電阻器 232 包括電阻器 232-1、232-2...232-N。第一梯電阻器 230 的另一端子與第一電流源 234 通信，該第一電流源 234 從電源電位 236 汲取電流。第二梯電阻器 232 的另一端子與第二電流源 238 通信，該第二電流源 238 使電流下落到接地電位 240。

負分支 228 的輸入節點與第三梯電阻器 242 和第四梯電阻器 244 的第一端子通信，第三梯電阻器 242 包括電阻器 242-1、242-2...242-N，第四梯

電阻器 244 包括電阻器 244-1、244-2...244-N。第三梯電阻器 242 的另一端子與第三電流源 246 通信，該第三電流源 246 從電源電位 236 取電流。第四梯電阻器 244 的另一端子與第四電流源 248 通信，該第四電流源 248 使電流下落到接地電位 240。

四個電流源 234、238、246 和 248 中的每一個提供 I_R 的偏壓電流，這在每個梯電阻器 230、232、242 和 244 的兩端產生了與梯電阻器 (R) 乘 I_R 的值相等的恒定電壓。第三放大器 214 的輸出改變正分支 226 的輸入節點處的電壓。因為流經第一和第二梯電阻器 230 和 232 的電流被保持恒定，所以梯電阻器 230 和 232 的另一端子處的電壓將保持不同於輸入節點處的恒定電壓。

因此，正分支 226 的輸入節點處的電壓擺動受電流源 234 和 238 的電壓限制的限制。例如，假定電源電位 236 調整於 1.5V (其可來源於 1.8V 電源)，並且每個梯電阻器 (R) 的值是 50Ω ，則適當的電流 I_R 為 5mA。這在每個梯電阻器兩端產生 0.25V 電壓。如果電流源 234 和 238 需要至少 0.25V 電壓降，那麼輸入節點的電壓可達到不超出電源電位 236 之 0.5V 並且不超出接地電位 240 之 0.5V。這是從 0.5V 到 1.0V 的電壓擺動，或者尖峰到尖峰 (peak-to-peak) 0.5V。

當對負分支 228 加以相似分析時，負分支 228 的輸入節點也可達到 $0.5V_{ppk}$ 擺動。當負分支 228 和正分支 226 被以相反方向驅動時，1.0V 的差分 V_{ppk} 擺動是可能的。當電流源 234、238、246 和 248 在它們的最小電壓 0.25V 附近工作時，它們的電流可能不同於理想情況。為了吸收電流的變化，第三和第四放大器 214 和 218 可被設計為跨導或 g_m 放大器。

比較器和解碼級 204 包括比較器 250、252、253 和 254。第一梯電阻器 230-1 的一個端子與比較器 250 的第一輸入通信。第四梯電阻器 244-1 的一個端子與比較器 250 的第二輸入通信。第二梯電阻器 232-1 的一個端子與比較器 252 的第一輸入通信。第三梯電阻器 242-1 的一個端子與比較器 252 的第二輸入通信。電阻器 230-1 與 230-2 之間的端子與比較器 253 的第一輸入通信。第四梯電阻器 244-1 的一個端子與比較器 253 的第二輸入通信。第二梯電阻器 232-1 的一個端子與比較器 254 的第一輸入通信。電阻器 242-1

和 242-2 之間的端子與比較器 254 的第二輸入通信。

包括每個梯電阻器 230、232、246 和 248 的電阻器的數目 N 對於線性 ADC 通常是相等的。比較器 253、254 中的“...”僅僅示為示例性目的，其代表實際 ADC 可以包含的任何數目的比較器。梯電阻器 230、232、242 和 244 的內部節點與比較器的通信將參考第 5 圖更詳細地說明。

比較器 250 的輸出與鎖定 (latching) 裝置 260 的輸入通信。比較器 252 的輸出與鎖定裝置 261 的輸入通信。比較器 253 的輸出與鎖定裝置 262 的輸入通信。比較器 254 的輸出與鎖定裝置 263 的輸入通信。鎖定裝置 260-263 的輸出與解碼器模組 264 的輸入通信。解碼器模組 264 包含將其輸入處的信號變換為 n 位元輸出信號的邏輯 (通常為組合邏輯)。解碼器模組 264 的輸入處的信號通常是溫度計碼 (thermometer code)，即比某位元更重要的所有位元為零，同時剩下的位為元 1 (或反之亦然)。

作為本 ADC 實現方式的性能特性的數值示例，假定每個比較器具有輸入電容 (0.4pF 的 C_{in})。每個梯電阻器 (230、232、242 和 244) 看見 (see) 以上輸入電容的一半 (0.2pF)，但是因為比較器的負載是分散式的，所以每個梯電阻器所見的實際電容僅略高於 0.1pF 。可根據 RC 時間常數來估計從輸入節點到梯電阻器之一的末端的最差情況的延遲。在電阻器為 50Ω 時，延遲大約是 $50\Omega \times 0.1\text{pF} = 5\text{ps}$ 。如果必要帶寬例如是 100MHz (這適用於 10Gb 乙太網或 2.5Gb 乙太網)，那麼 100MHz 信號的周期是 10ns ，從而產生 $5\text{ps}/10\text{ns}$ ，或者說 0.5×10^{-3} 信號周期。這約是 10 位元的信號解析度，大於 2.5Gb 乙太網所需的 7 或 8 位元。

當對比較器的偏移進行校準時，電流源 234、238、246 和 248 可被關閉。這保證了只要沒有輸入信號所有的比較器就將看見零輸入電壓差。然後為了校準，輸入信號可被去除，或者第二和第四放大器 214 和 218 可以好像輸入信號為零似的工作。此外，每個比較器可在工作共同模式輸入電壓的最佳點 (sweet spot) 處 (中間電壓) 被校準。這是有利的，因為按照溫度計碼產生轉換的比較器在中間電壓附近工作。

現在參照第 4A 圖，顯示比較器的第一 (前置放大) 級的典範實現方式的功能電路圖。該電路包括第一、第二、第三、第四、第五、第六和第七

電晶體 272-1、272-2、274-1、274-2、276-1、276-2 和 278。在該實現方式中，第一、第二、第三、第四、第五、第六和第七電晶體 272、274、276 和 278 是具有閘極、源極和汲極的金屬氧化物半導體場效應電晶體 (MOSFET)，但是也可以使用其他電晶體類型。

第一、第二、第三和第四電晶體 272 和 274 的源極（或者說第二端子）與接地電位 280 通信。第一和第二電晶體 272 的閘極端子（或者說控制端子）與電流鏡 (current mirror) 通信，該電流鏡為第一和第二電晶體 272 設置偏壓電流。電流鏡包括第七電晶體 278、第一電阻器 282 和電流源 284。電流源 284 與電源電位 286 通信並且向第一電阻器 282 的第一端子輸出電流。第一電阻器 282 的另一端子與第七電晶體 278 的汲極（或者說第一端子）通信。第一電阻器 282 的分接頭 (tap) 與第七電晶體 278 的閘極通信。在一些實現方式中，第一電阻器 282 的分接頭是中心分接頭。第七電晶體 278 的源極與接地電位 280 通信。

第七電晶體 278 的閘極與第一和第二電晶體 272 的閘極通信。第三和第四電晶體 274 的閘極分別受第一和第二數位-至-類比轉換器 (DAC) 288-1 和 288-2 控制。第一和第三電晶體 272-1 和 274-1 的汲極互相通信並且與第五電晶體 276-1 的汲極和第二電阻器 290 的第一端子通信。第二和第四電晶體 272-2 和 274-2 的汲極互相通信、並且與第六電晶體 276-2 的汲極和第二電阻器 290 的另一端子通信。

在該電路組態中，通過第一和第三電晶體 272-1 和 274-1 的電流加起來產生了第五電晶體 276-1 的偏壓電流。同樣地，通過第二和第四電晶體 272-2 和 274-2 的電流加起來產生了第六電晶體 276-2 的偏壓電流。第一和第二 DAC 288-1 和 288-2 各自接收數位輸入，當該數位輸入在被變換為類比時，將經過第三和第四電晶體 274 適當的建立補償電流。各 DAC 288-1 的數位輸入的值被校準，使得電流從比較器去除任何偏移電壓。在校準期間，第五和第六電晶體 276 的閘極（比較器的輸入）可被保持在參考電壓，例如 0.75V。

第五電晶體 276-1 的源極與第三電阻器 292-1 的第一端子通信。第三電阻器 292-1 的另一端子與電源電位 286 通信。第六電晶體 276-2 的源極與第

四電阻器 292-2 的第一端子通信。第四電阻器 292-2 的另一端子與電源電位 286 通信。

現在參照第 4B 圖，圖示了比較器的第一（前置放大）級的典範實現方式的更詳細的功能電路圖。該實現方式與第 4A 圖的實現方式相似，同時更詳細地示出了 DAC 288 的一種可能實現方式。在本實現方式中，第 4A 圖的 DAC 1 288-1 由第一選擇輸入 294 和第一類比多工器 296 組成。在此實施例中，第 4A 圖的 DAC 2 288-2 由第二選擇輸入 298 和第二類比多工器 300 組成。

多工器 296 和 300 接收來自第一電阻器 282 的類比電壓。示出了三個代表性連接，但是可以採用更多或更少連接。多工器 296 和 300 被示出為使用到第一電阻器 282 的相同連接，雖然不同的連接數目和連接點是可能的。第一選擇輸入 294 指示第一多工器 296 選擇其類比輸入電壓之一。可被多工器 296 放大的該電壓被傳遞到第三電晶體 274-1 的閘極。第二選擇輸入 298 指示第二多工器 300 選擇其類比輸入電壓之一，該電壓被傳遞到第四電晶體 274-2 的閘極。

被第一多工器 296 選擇的電壓可能來自與第七電晶體 278 的閘極通信的同一分接頭。在這種情況下，第三電晶體 274-1 的閘極處電壓將與第一電晶體 272-1 的閘極處電壓相同。如果第一和第三電晶體 272-1 和 274-1 是匹配的，則它們的合併電流將是兩倍。如果使第三電晶體 274-1 的大小為第一電晶體 272-1 的四分之一，則合併電流將是第一電晶體 272-1 單獨時的 125%。該配置較相同大小電晶體將允許合併電流的更精細的調節。

現在參照第 4C 圖，其說明根據本發明的原理的典範校準實現方式的功能方塊圖。控制模組 340 把一組數位值儲存在儲存模組 342 中。儲存模組與第一和第二組數位-至-類比轉換器 (DAC) 344 和 346 通信。DAC 344 和 346 接收來自儲存模組 342 的數位值，並且將這些值變換為類比信號。這些類比信號可能是電壓及/或電流。根據本發明的原理的類比-至-數位轉換器 (ADC) 348 包括一組 N 個差分比較器 350，包括比較器 350-1、350-2... 和 350-N。每個差分比較器 350 具有正輸入節點和負輸入節點，所述正輸入節點被第一組 DAC 344 中的一個 DAC 偏壓，所述負輸入節點被第二組 DAC

346 中的一個 DAC 偏壓。

例如，在第 4C 圖中，第一比較器 350-1 的正輸入被 DAC 1-1 344-1 的類比輸出偏壓，而負輸入被 DAC 1-2 346-1 偏壓。第二比較器 350-2 具有：被 DAC 2-1 344-2 偏壓的正輸入，和被 DAC 2-2 346-2 偏壓的負輸入。第 N 個比較器 350-N 具有被 DAC N-1 344-N 偏壓的正輸入和被 DAC N-2 346-N 偏壓的負輸入。控制模組 340 與 ADC 348 通信。當希望校準時，控制模組 340 可指示 ADC 348 進入某一狀態，例如維持零輸入電壓及/或設置經過電阻器梯分支的零電流。例如，可在 ADC 剛啟動時、周期性時間間隔處、當諸如溫度這樣的操作參數改變時或其他適當的時候執行校準。控制模組 340 接收 ADC 348 的數位輸出，並且調節儲存模組 342 中的參數一直到 ADC 348 的輸出達到期望值為止。

在其他實現方式中，可以使用更多或更少數目的 DAC（與 ADC 348 中的比較器的數目相比）。例如，單個 DAC 可以控制所有比較器的正輸入側的偏壓電流，而單個 DAC 可以控制所有比較器的負輸入側的偏壓電流。在另一種實現方式中，可以使用 DAC 向 ADC 348 的輸入提供已知的輸入電壓。控制模組 340 可將 ADC 348 的輸出與該已知電壓相比較。控制模組 340 可隨後調節儲存模組 342 中的值直到 ADC 348 的輸出達到期望值。

現在參照第 5 圖，其顯示第 3 圖的 ADC 的典範高位準實體佈局。正和負電阻器梯分支 226 和 228 被配置在校準 RAM（隨機存取記憶體）358 與比較器串之間。正分支 226 的電流源 238 和 234 互相靠近，並且還靠近負分支 228 的電流源 248 和 246。梯電阻器 230、232、242 和 244 在這裏被說明為更小的組成電阻器，例如電阻器 360-1、360-2、360-3 和 360-4。

與第一回饋電阻器 216 的另一端子通信的第三放大器 214 的輸出被顯示為驅動正分支 226 的中間節點（也就是第一和第二梯電阻器 230 和 232 之間的節點）。相似地，與第二回饋電阻器 220 的另一端子通信的第四放大器 218 的輸出被示出為驅動負分支 228 的中間節點。正和負分支 226 和 228 的中間節點位於實體佈局的底部，而電流源 238、234、248 和 246 位於頂部。

比較器在電阻器梯分支 226 和 228 的右側被排列成一行。前兩個比較

器 370-1 和 370-2 是偽 (dummy) 比較器。接下來的兩個比較器 250 和 252 在第 3 圖中被圖示，並且被顯示為連接到正和負分支 226 和 228 的相同節點。接下來的兩個比較器 370-3 和 370-4 與梯電阻器 230、232、242 和 244 通信。在比較器串的底部是最後四個比較器 370-127、370-128、370-129 和 370-130。比較器 370-129 和 370-130 是偽比較器。

比較器 250 和 252 分別對應於溫度計碼中的位 0 和 127。比較器 370-3 和 370-4 分別對應於位元 1 和 126；並且比較器 370-127 和 370-128 分別對應於位元 63 和 64。這裏所圖示的比較器的數目是 7 位元 ADC ($N=7$) 的示例性實現方式中所需的數目。有 $2^N + 4$ (132) 個比較器，其中這些比較器中的四個是偽比較器。電阻器梯的分支 226 和 228 中的每一個包括 2^{N-1} (64) 個電阻器。因此，梯電阻器 230、232、242 和 244 中的每一個包括 32 個各別的電阻器。

來自第三放大器 214 的信號在其進入電阻器梯的正分支 226 的點 (電阻器 360-1 和 360-2 之間的節點) 處經歷最少延遲。同樣的，來自第四放大器 218 的信號在其進入電阻器梯的負分支 228 的點 (電阻器 360-3 和 360-4 之間的中心節點) 處經歷最少延遲。隨著信號從放大器 214 和 218 傳播到每個電阻器梯分支 226 和 228 的各末端，在電流源 234、238、246 和 248 附近經歷最大延遲。到達位於電阻器梯的末端處的比較器的信號是經歷最大延遲的，使得由 ADC 測量到的電壓極值相對於由更靠近放大器 214 和 218 的比較器測量到的中間電壓被延遲。

該失真在第 6 圖中被圖形化顯示。其說明理想正弦波 400 的一個周期。還示出了因 ADC 的固有傳播延遲而失真的正弦波的一個周期。注意在中間電壓處，其具有很少延遲直到沒有延遲，而在正和負的電壓極值處都有更多延遲。兩種方法可減輕乃至消除失真。

現在參照第 7 圖，給出了漸進式比較器延遲元件的圖示。最接近輸入放大器 410 的比較器輸入 (這裏在 408 處表示) 通常接收輸入信號而沒有延遲。同時，諸如比較器 412 這樣離放大器 410 更遠的比較器輸入經歷大得多的延遲。爲了補償該不一致，延遲可以被人工加入到通向更近的比較器輸入的輸入的輸入路徑，使得所有的比較器輸入經歷相同的延遲。最接

近放大器 410 的比較器輸入將需要最大的添加延遲（被圖形表示為長信號迹線 (signal trace) 414）。比較器輸入離放大器 410 越遠則添加的延遲越少，直到最遠的比較器輸入 412 沒有添加延遲（由短信號迹線 416 表示）為止。

使用電晶體可更可行地實現比較器輸入延遲。注意因為感興趣的比較器是過渡區（靠近信號的中部）中的那些比較器，所以如果同樣的電晶體元件被用於延遲元件則延遲將總是正確的，儘管比較器的共同模式輸入電壓通常不同。可調節延遲元件的尺寸應被設計為允許所需的最大延遲的值。

現在參照第 8 圖，其圖示由於使由 ADC 中的傳播延遲引起的失真最小化的替代設計。選通放大器 430 與鎖定裝置（首先在第 3 圖中示出）通信，其說明其中三個：第一鎖定裝置 432-1、第二鎖定裝置 432-2 和第三鎖定裝置 432-3。鎖定裝置 432 從各的比較器接收它們的輸入。

鎖定裝置被用選通脈衝啟動，這時鎖定裝置保持其輸入處的值（從各比較器接收的 0 或 1）。因為離驅動放大器最遠的比較器經歷最大的延遲，所以相應的鎖定裝置可在對應的晚些時候（如相應比較器經歷的延遲所確定的）被啟動。在所有鎖定裝置已被選通之後，它們的內容可被同時讀取以確定數位輸出串。該串可由解碼器模組（例如第 3 圖的解碼器模組 264）從溫度計碼轉換為二進位碼。因為鎖定裝置在它們的內容已被鎖定之後被全部同步讀取，所以它們在不同時間被選通的事實不轉化為輸出。

為了在不同時間使鎖定裝置選通，選通放大器 430 經由一連串的延遲元件 434 把選通信號傳遞到鎖定裝置 432。延遲元件 434 被圖形表示為電阻器迹線，雖然可以使用諸如電晶體這樣的其他延遲元件。第三鎖定裝置 432-3 最接近選通放大器 430，並且將因此最早鎖定其相應比較器的輸出。第二鎖定裝置 432-2 離選通放大器 430 更遠，並且因此略晚鎖定其各比較器的輸出。第一鎖定裝置 432-1 離選通放大器 430 最遠並因此最後鎖定其相應輸入。若要重復，到達最遠鎖定裝置 432-1 的選通信號的更大延遲允許了輸入電壓信號到達最遠比較器的時間，這與第一鎖定裝置 432-1 相關聯。

現在參照第 9 圖，其顯示分段電阻器梯實現方式的功能電路圖。在先前的附圖（例如第 5 圖）中，電阻器梯被圖示為電阻器的串聯連接。對於具有 128 個電阻器（這可產生差分組態中產生的 8 位元解析度或單端組態

的 7 位元解析度) 的 100Ω 電阻器梯，每個電阻器將大約是 0.78Ω ($100\Omega/128$)。在許多製程中，這麼小的電阻器可能難於精確製作，乃至根本難於製造。解決方案是使用分段梯網路。

主分段 450 包括許多主 (main) 分段電阻器 452，而次級分段 454 包括許多次級電阻器 456。一組 M 個次級電阻器 456 互相串聯連接，然後與單個初級 (primary) 電阻器 452 並聯連接。對於電阻器梯，該並聯組合被重複所需的必要次數。作為一個示例，如果主分段中有 8 個初級電阻器，則要製作具有總共 128 級的電阻器梯，每組次級電阻器應包含 16 個電阻器 ($M = 128/8$)。

如果電阻器梯要具有 100Ω 的電阻器，則具有 16 個次級電阻器的初級電阻器的每個並聯組合應是 12.5Ω ($100\Omega/8$)。如果初級電阻器具有 15Ω 的電阻器，則 75Ω 與 15Ω 並聯將產生需要的 12.5Ω 。這樣，每個次級電阻器可以是 4.69Ω ($75\Omega/16$)。

現在參照第 10 圖，圖示了三級分段梯網路。如果第 9 圖的兩級分段網路所需的電阻器 (例如示例的 4.69Ω 電阻器) 仍然小到無法實現，則可以添加第三段。主、次級和第三級電阻器的單獨示例性並聯組合在第 10 圖中被圖示。八個這些並聯組合將實現具有總共 128 級的電阻器梯。主分段的 15Ω 電阻器 452 仍然存在。一組第三級電阻器 460 被置為與單個次級電阻器 462 並聯，並且一組這些並聯組合被置為互相串聯並與初級電阻器 452 並聯。

如果每個第三級電阻器是 15Ω ，則一組四個串聯將是 60Ω 。 60Ω 與 27.3Ω 並聯產生 18.75Ω 。四個這些 18.75Ω 的並聯組合之串聯產生 75Ω 。 75Ω 與 15Ω 並聯產生 12.5Ω ，其當被重複八次時給出合適的總電阻器 100Ω 的梯電阻器。這種方式的電阻器分段可以繼續，直到所需的最小電阻器能夠在當前製程下被形成為止。

因為電阻器的尺寸仍然相當小，所以可使用金屬導線 (metal wiring) 製作每個主分段。取決於次級分段的大小，它們仍可使用多個電阻器來製作。主電阻器分段應被相同材料的其他金屬環繞以保證相等的金屬厚度。這在 65nm 製程中更重要，因為如果金屬密度不均勻則 CMP (化學機械平

面化)可能容易導致金屬厚度沿著主分段變化。可以通過將金屬電阻器置於校準 RAM 與比較器矩陣之間來將其包圍，如第 5 圖中所示。CMP 凹陷 (dishing) 問題每次隨著升高的金屬位準而積累，從而使金屬 1 成為理想的電阻器材料 (由於其均勻性)。通過使用金屬電阻器，很有可能將無需次級電阻器，除了要分解最後兩到三位元之外 (僅被二或四除盡)。注意被一除盡意味著沒有次級電阻器。

現在參照第 11 圖，其顯示電阻器梯的典範佈局。充當電阻器的第一金屬 1 迹線 480 被按照折疊形狀配置，以使所需的面積最小化。按照與第一金屬 1 迹線 480 對稱相同的折疊組態的第二金屬 1 迹線 481 與第一金屬 1 迹線 480 相鄰。第一金屬 1 迹線 480 的一端被連接到第二金屬 1 迹線 481 的相鄰一端。該連接點包含用於連接到輸入放大器的接觸方塊 (contact square) 482。接觸方塊 482 位於由第一和第二金屬 1 迹線 480 和 481 形成的金屬一結構的中間。金屬 1 迹線 480 和 481 包括兩個一半的電阻器梯 (例如第 3 圖的梯電阻器 230 和 232)。金屬 2 迹線 484 在另外的接觸方塊 486 處接觸金屬 1 迹線 480 和 481。

現在參照第 12A-12G 圖，其顯示裝置的各種典範實現方式。現在參照第 12A 圖，該裝置可被實現在硬碟驅動器 500 中。該裝置可實現及/或被實現在信號處理及/或控制電路及/或電源供應器 503 兩者或兩者之一中的類比-至-數位轉換器中，該電路通常在第 12A 圖中標識為 502。在一些實現方式中，HDD 500 中的信號處理及/或控制電路 502 及/或其他電路 (未圖示) 可處理資料、執行編碼及/或加密、執行計算，及/或對輸出到和/接收自磁儲存媒體 506 的資料進行格式化。

HDD 500 可經由一個或多個有線或無線通信連接 508 與諸如電腦這樣的主機裝置 (未圖示)、諸如個人數位助理、行動電話，媒體或 MP3 播放器等這樣的行動計算裝置，及/或其他裝置進行通信。HDD 500 可被連接到諸如隨機存取記憶體 (RAM) 這樣的記憶體 509、諸如快閃記憶體這樣的低等待時間非揮發性記憶體、唯讀記憶體 (ROM) 及/或其他合適的電子資料儲存體。

現在參照第 12B 圖，本發明可被實現在數位多功能光碟 (DVD) 驅動

器 510 中。該裝置可實現及/或被實現在信號處理及/或控制電路(該電路通常在第 12B 圖中標識為 512)兩者或兩者之一、DVD 驅動器 510 之大容量資料儲存裝置、及/或電源供應器 513 中的類比-至-數位轉換器中。DVD 驅動器 510 中的信號處理及/或控制電路 512 及/或其他電路(未圖示)可處理資料、執行編碼及/或加密、執行計算,及/或對讀取自光學儲存媒體 516 的資料及/或寫入到光學儲存媒體 516 的資料進行格式化。在一些實現方式中, DVD 510 中的信號處理及/或控制電路 512 及/或其他電路(未圖示)還可執行諸如編碼及/或解碼這樣的其他功能及/或與 DVD 驅動器相關聯的任何其他信號處理功能。

DVD 驅動器 510 可經由一個或更多個有線或無線通信連接 517 與諸如電腦、電視或其他裝置這樣的輸出裝置(未圖示)進行通信。DVD 驅動器 510 可與以非揮發性方式儲存資料的大容量資料儲存裝置 518 進行通信。大容量資料儲存裝置 518 可包括硬碟驅動器(HDD)。HDD 可具有第 12A 圖所示的組態。HDD 可以是包括所具有的直徑小於大約 1.8 英寸的一個或多個碟片的微型 HDD。DVD 510 可被連接到諸如 RAM、ROM 這樣的記憶體 519、諸如快閃記憶體這樣的低等待時間非揮發性記憶體及/或其他合適的電子資料儲存體。

現在參照第 12C 圖,本發明可被實現在高畫質電視(HDTV) 520 中。該裝置可實現及/或被實現於信號處理及/或控制電路(該電路通常在第 12E 圖中標識為 522)兩者或兩者之一、WLAN 介面、HDTV 520 的大容量資料儲存裝置及/或電源供應器 523 中的類比-至-數位轉換器中。HDTV 520 以有線或無線格式接收 HDTV 輸入信號並且為顯示器 526 生成 HDTV 輸出信號。在一些實現方式中,HDTV 520 的信號處理及/或控制電路 522 及/或其他電路(未圖示)可處理資料、執行編碼及/或加密、執行計算、格式化資料及/或執行可能需要的任何其他類型的 HDTV 處理。

HDTV 520 可與諸如光學及/或磁儲存裝置這樣的以非揮發性方式儲存資料的大容量資料儲存裝置 527 進行通信。至少一個 HDD 可具有第 12A 圖所示組態並且/或者至少一個 DVD 可具有第 12B 圖所示的組態。HDD 可以是包括所具有的直徑小於大約 1.8 英寸的一個或多個碟片的微型 HDD。

HDTV 520 可被連接到諸如 RAM、ROM 這樣的記憶體 528、諸如快閃記憶體這樣的低等待時間非揮發性記憶體及/或其他合適的電子資料儲存體。HDTV 520 還可支援經由 WLAN 網路介面 529 與 WLAN 進行連接。

現在參照第 12D 圖，該裝置可實現及/或被實現於車輛 530 的控制系統、WLAN 介面、車輛控制系統的大容量資料儲存裝置及/或電源供應器 533 中的類比-至-數位轉換器中。在一些實現方式中，該裝置執行動力系控制系統 532，其從一個或更多個感測器接收輸入，其例如為溫度感測器、壓力感測器、旋轉感測器、氣流感測器及/或其他任何合適的感測器；及/或產生一個或更多個輸出控制信號，例如，引擎操作參數、傳動操作參數、及/或其他控制信號。

該裝置還可被實現在車輛 530 的其他控制系統 540 中。控制系統 540 可同樣從輸入感測器 542 接收信號並且/或者將控制信號輸出到一個或更多個輸出裝置 544。在一些實現方式中，控制系統 540 可以是防鎖死煞車系統 (ABS)、導航系統、遠端資訊系統、車輛遠端資訊系統、車道偏離系統、自適應巡航控制系統、諸如身歷聲系統、DVD、光碟這樣的車輛娛樂系統等的一部分。可以設想其他實現方式。

動力系控制系統 532 可與以非揮發性方式儲存資料的大容量資料儲存裝置 546 進行通信。大容量資料儲存裝置 546 可包括：諸如硬碟驅動器 HDD 及/或 DVD 這樣的光學及/或磁儲存裝置。至少一個 HDD 可具有第 12A 圖中所示的組態及/或至少一個 DVD 可具有第 12B 圖中所示的組態。HDD 可以是包括所具有的直徑小於大約 1.8 英寸的一個或多個碟片的微型 HDD。動力系控制系統 532 可被連接到諸如 RAM、ROM 這樣的記憶體 547、諸如快閃記憶體這樣的低等待時間非揮發性記憶體及/或其他合適的電子資料儲存體。動力系控制系統 532 還可支援經由 WLAN 網路介面 548 與 WLAN 進行連接。控制系統 540 還可包括大容量資料儲存裝置、記憶體及/或 WLAN 介面 (均未圖示)。

現在參照第 12E 圖，本裝置可被實現在可包括行動天線 551 的行動電話 550 中。該裝置可實現及/或被實現於信號處理及/或控制電路 (該電路通常在第 12E 圖中標識為 552) 兩者或兩者之一、WLAN 介面、行動電話 550

的大容量資料儲存裝置及/或電源供應器 553 中的類比-至-數位轉換器中。在一些實現方式中，行動電話 550 包括麥克風 556、諸如揚聲器及/或音頻輸出孔這樣的音頻輸出 558、顯示器 560 及/或諸如小鍵盤、點選裝置、語音致動 (actuation) 及/或其他輸入裝置這樣的輸入裝置 562。行動電話 550 中的信號處理及/或控制電路 552 及/或其他電路 (未圖示) 可以處理資料、執行編碼及/或加密、執行計算、格式化資料及/或執行其他行動電話功能。

行動電話 550 可與諸如光學及/或磁儲存裝置這樣的以非揮發性方式儲存資料的大容量資料儲存裝置 564 進行通信。所述光學及/或磁儲存裝置例如是硬碟驅動器 HDD 及/或 DVD。至少一個 HDD 可具有第 12A 圖所示的組態及/或者至少一個 DVD 可具有第 12B 圖所示的組態。HDD 可以是包括所具有的直徑小於大約 1.8 英寸的一個或更多個碟片的微型 HDD。行動電話 550 可被連接到諸如 RAM、ROM 這樣的記憶體 566、諸如快閃記憶體這樣的低等待時間非揮發性記憶體及/或其他合適的電子資料儲存體。行動電話 550 還可支援經由 WLAN 網路介面 568 與 WLAN 進行連接。

現在參照第 12F 圖，該裝置可被實現在機頂盒 580 中。該裝置可實現及/或被實現於信號處理及/或控制電路 (該電路通常在第 12F 圖中標識為 584) 兩者或兩者之一、WLAN 介面、機頂盒 580 的大容量資料儲存裝置及/或電源供應器 583 中的類比-至-數位轉換器中。機頂盒 580 從諸如寬帶源這樣的源接收信號並且輸出適於諸如電視機及/或監視器及/或其他視頻及/或音頻輸出裝置這樣的顯示器 588 的標準及/或高清晰音頻/視頻信號。機頂盒 580 的信號處理及/或控制電路 584 及/或其他電路 (未圖示) 可處理資料、執行編碼及/或加密、執行計算、格式化資料及/或執行任何其他的機頂盒功能。

機頂盒 580 可與以非揮發性方式儲存資料的大容量資料儲存裝置 590 進行通信。大容量資料儲存裝置 590 可包括諸如硬碟驅動器 HDD 及/或 DVD 這樣的光學及/或磁儲存裝置。至少一個 HDD 可具有第 12A 圖所示的組態並且/或者至少一個 DVD 可具有第 12B 圖所示的組態。HDD 可以是包括所具有的直徑小於大約 1.8 英寸的一個或多個碟片的微型 HDD。機頂盒 580 可被連接到諸如 RAM、ROM 這樣的記憶體 594、諸如快閃記憶體這樣的

低等待時間非揮發性記憶體及/或其他合適的電子資料儲存體。機頂盒 580 還可支援經由 WLAN 網路介面 596 與 WLAN 進行連接。

現在參照第 12G 圖，該裝置可被實現在媒體播放器 600 中。該裝置可實現及/或被實現於信號處理及/或控制電路(該電路通常在第 12G 圖中標識為 604) 兩者或兩者之一、WLAN 介面、媒體播放器 600 的大容量資料儲存裝置及/或電源供應器 613 中的類比-至-數位轉換器中。在一些實現方式中，媒體播放器 600 包括顯示器 607 及/或諸如小鍵盤、觸摸墊等這樣的用戶輸入 608。在一些實現方式中，媒體播放器 600 可使用通常採用選單、下拉選單、圖示的圖形用戶介面 (GUI) 及/或經由顯示器 607 及/或用戶輸入 608 的指向和點選 (point-and-click) 介面。媒體播放器 600 還包括諸如揚聲器及/或音頻輸出孔這樣的音頻輸出 609。媒體播放器 600 的信號處理及/或控制電路 604 及/或其他電路 (未圖示) 可處理資料、執行編碼及/或加密、執行計算、格式化資料及/或執行任何其他媒體播放器功能。

媒體播放器 600 可與以非揮發性方式儲存諸如壓縮音頻及/或視頻內容這樣的資料的大容量資料儲存裝置 610 進行通信。在一些實現方式中，壓縮音頻檔案包括與 MP3 格式或其他合適的壓縮音頻及/或視頻格式相容的檔案。大容量資料儲存裝置可包括諸如硬碟驅動器 HDD 及/或 DVD 這樣的光學及/或磁儲存裝置。至少一個 HDD 可具有第 12A 圖所示的組態並且/或者至少一個 DVD 可具有第 12B 圖所示的組態。HDD 可以是包括所具有的直徑小於大約 1.8 英寸的一個或更多個碟片的微型 HDD。媒體播放器 600 可被連接到諸如 RAM、ROM 這樣的記憶體 614、諸如快閃記憶體這樣的低等待時間非揮發性記憶體及/或其他合適的電子資料儲存體。媒體播放器 600 還可支援經由 WLAN 網路介面 616 與 WLAN 進行連接。亦可設想除上述那些之外的其他實現方式。

由以上說明熟習此技術人士瞭解：本發明廣泛之揭示可以各種方式實施。因此，雖然本發明以其特定實施例說明，但本發明之真實範圍並不受限於此。這是因為，在研究此等圖式、說明書、以及以下申請專利範圍後，其他修正對於熟習此技術人士為明顯。

【圖式簡單說明】

第 1 圖是根據類比-至-數位轉換器 (ADC) 的習知技術的差分電阻器梯的功能電路圖；

第 2 圖是根據習知技術的替代差分電阻器梯配置的功能電路圖；

第 3 圖是差分 ADC 的功能電路圖；

第 4A 圖是比較器的第一 (前置放大) 級的示例性實施裝置的功能電路圖；

第 4B 圖是比較器的第一 (前置放大) 級的示例性實施裝置的更詳細的功能電路圖；

第 4C 圖是示範性校準實施裝置的功能方塊圖；

第 5 圖是第 3 圖的 ADC 的示範性高位準實體佈局；

第 6 圖是傳播延遲失真的圖形表示；

第 7 圖是漸進比較器延遲元件的圖示；

第 8 圖是用於使由傳播延遲引起的失真最小化的替代設計；

第 9 圖是分段電阻器梯實現裝置的功能電路圖；

第 10 圖是三級分段梯網路的一個元件的功能電路圖；

第 11 圖是電阻器梯的示範性佈局；

第 12A 圖是硬碟驅動器的功能方塊圖；

第 12B 圖是數位多功能光碟 (DVD) 的功能方塊圖；

第 12C 圖是高畫質電視的功能方塊圖；

第 12D 圖是車輛控制系統的功能方塊圖；

第 12E 圖是行動電話的功能方塊圖；

第 12F 圖是機頂盒的功能方塊圖；以及

第 12G 圖是媒體播放器的功能方塊圖。

【主要元件符號說明】

100	正分支
101	負分支
102	第一電壓源

104	接地電位
106	第一電阻器
106-1~N	電阻器
108	第二電阻器
108-1~N	電阻器
110	第二電壓源
112	第三電壓源
114	第三電阻器
114-1~N	電阻器
116	第四電阻器
116-1~N	電阻器
118	第四電壓源
136	正分支
138	負分支
140	第一電壓源
142	第一電阻器
142-1~N	電阻器
144	第二電阻器
144-1~N	電阻器
146	第二電壓源
148	第三電壓源
150	第四電壓源
152	第三電阻器
152-1~N	電阻器
154	第四電阻器
154-1~N	電阻器
156	第五電壓源
158	第六電壓源

200	輸入級
202	電阻器梯和偏壓級
204	比較器和解碼級
210	第一放大器
212	第二放大器
214	第三放大器
216	第一回饋電阻器
218	第四放大器
220	第二回饋電阻器
226	正分支
228	負分支
230	第一梯電阻器
230-1~N	電阻器
232	第二梯電阻器
232-1~N	電阻器
234	第一電流源
236	電源電位
238	第二電流源
240	接地電位
242	第三梯電阻器
242-1~N	電阻器
244	第四梯電阻器
244-1~N	電阻器
246	第三電流源
248	第四電流源
250	比較器
252	比較器
253	比較器

254	比較器
260	鎖定裝置
261	鎖定裝置
262	鎖定裝置
263	鎖定裝置
264	解碼器模組
272-1~2	第一、第二電晶體
274-1~2	第三、第四電晶體
276-1~2	第五、第六電晶體
278	第七電晶體
280	接地電位
282	第一電阻器
284	電流源
286	電源電位
288-1~2	第一、第二數位-至-類比轉換器(DAC)
290	第二電阻器
292-1~2	電阻器
294	第一選擇輸入
296	第一類比多工器
298	第二選擇輸入
300	第二類比多工器
340	控制模組
342	儲存模組
344-1~N	DAC 1-1~ DAC N-1
346-1~N	DAC1-2~DAC N-2
348	類比-至-數位轉換器(ADC)
350	差分比較器
350-1~N	第 1~N 比較器

358	校準隨機存取記憶體(RAM)
360-1~4	電阻器
370-1~130	比較器
400	正弦波
408	比較器輸入
410	放大器
412	比較器
414	信號迹線
416	信號迹線
430	選通放大器
432	鎖定裝置
432-1~3	第一、第二、第三鎖定裝置
434	延遲元件
450	主分段
452	主分段電阻器
454	次級分段
456	次級電阻器
460	第三級電阻器
462	次級電阻器
480	迹線
481	迹線
482	接觸方塊
484	迹線
486	接觸方塊
500	硬碟驅動器
502	信號處理及/或控制電路
503	電源供應器
506	磁儲存媒體

508	通信連接
509	記憶體
510	DVD 驅動器
512	信號處理及/或控制電路
513	電源供應器
516	光學儲存媒體
517	通信連接
518	大容量資料儲存裝置
519	記憶體
520	高畫質電視
522	信號處理及/或控制電路
523	電源供應器
526	顯示器
527	大容量資料儲存裝置
528	記憶體
529	WLAN 網路介面
530	車輛
532	動力系控制系統
533	電源供應器
540	控制系統
542	輸入感測器
544	輸出裝置
546	大容量資料儲存裝置
547	記憶體
548	WLAN 網路介面
550	行動電話
551	行動天線
552	信號處理及/或控制電路

553	電源供應器
556	麥克風
558	音頻輸出
560	顯示器
562	輸入裝置
564	大容量資料儲存裝置
566	記憶體
568	WLAN 網路介面
580	機頂盒
583	電源供應器
584	信號處理及/或控制電路
588	顯示器
590	大容量資料儲存裝置
594	記憶體
596	WLAN 網路介面
600	媒體播放器
604	信號處理及/或控制電路
607	顯示器
608	用戶輸入
609	音頻輸出
610	大容量資料儲存裝置
613	電源供應器
614	記憶體
616	WLAN 網路介面

十、申請專利範圍：

1. 一種差分類比-至-數位轉換器，包括：

第一電阻器梯分支，包括兩個電阻器，所述兩個電阻器具有與中間節點通信的第一端和與電流源通信的第二端；

第二電阻器梯分支，包括兩個電阻器，所述兩個電阻器具有與中間節點通信的第一端和與電流源通信的第二端；

第一放大器，將基於輸入信號的第一相位的電壓施加到該第一電阻器梯分支之該中間節點；

第二放大器，將基於所述輸入信號的第二相位的電壓施加到該第二電阻器梯分支的該中間節點；

多個比較器，每個具有第一和第二輸入，其中該第一輸入與該第一電阻器梯分支的該兩個電阻器之一通信，並且該第二輸入與該第二電阻器梯分支的該等兩個電阻器之一通信；以及

延遲元件，所述延遲元件與該等比較器的第一和第二輸入通信，並且產生從該中間節點中的對應節點到該等比較器的該第一和第二輸入的實質上相同的總合延遲，

其中，該等多個比較器的該第一和第二輸入經歷傳播延遲，該傳播延遲基於該第一和第二輸入離該中間節點中的對應之一節點的電性距離。

2. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該多個比較器中的每一個被校準。

3. 如申請專利範圍第 2 項之差分類比-至-數位轉換器，其中該第一和第二電阻器梯分支的該電流源在校準期間被切斷。

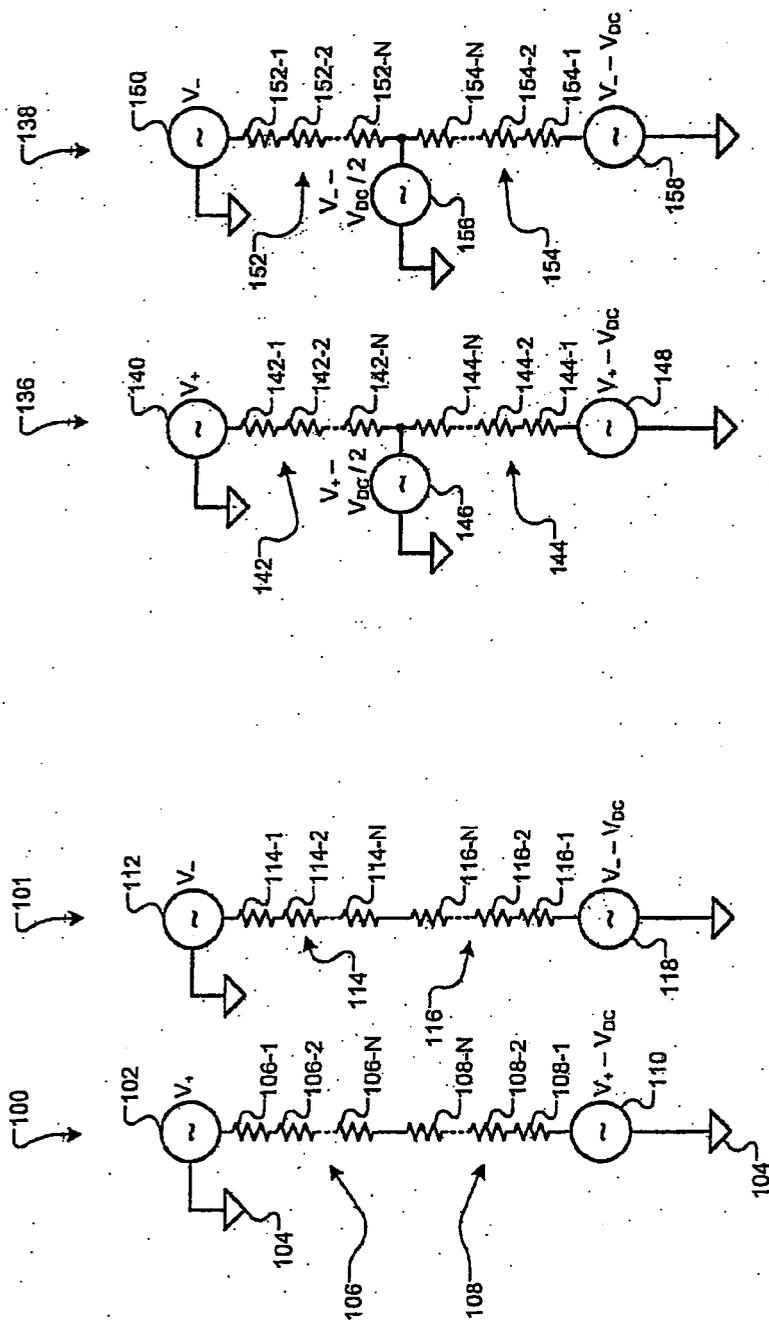
4. 如申請專利範圍第 3 項之差分類比-至-數位轉換器，其中該第一和第二放大器輸出基於輸入信號的電壓，該輸入信號在校準期間實質上等於零。

5. 如申請專利範圍第 2 項之差分類比-至-數位轉換器，其中該多個比較器中的每一個包括基於各數位值來調節的可調節電流源。
6. 如申請專利範圍第 5 項之差分類比-至-數位轉換器，其中各該等數位值在校準期間被確定。
7. 如申請專利範圍第 6 項之差分類比-至-數位轉換器，更包括控制模組，該控制模組在校準期間基於該等多個比較器的輸出來改變各該等數位值。
8. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該第一和第二放大器包括超阻抗放大器。
9. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中第一和第二放大器包括嵌套超阻抗放大器。
10. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該第一和第二電阻器梯分支的電阻器中的每一個包括 N 個各別電阻器，其中 N 是大於 1 的整數。
11. 如申請專利範圍第 10 項之差分類比-至-數位轉換器，其中該各別電阻器具有實質上相等的電阻器值。
12. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該第一電阻器梯分支的該電阻器包括 N 個串聯連接的各別電阻器。
13. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該第一電阻器梯分支的該電阻器包括多個串聯的初級電阻器和與該初

級電阻器中的每一個並聯的多組次級電阻器。

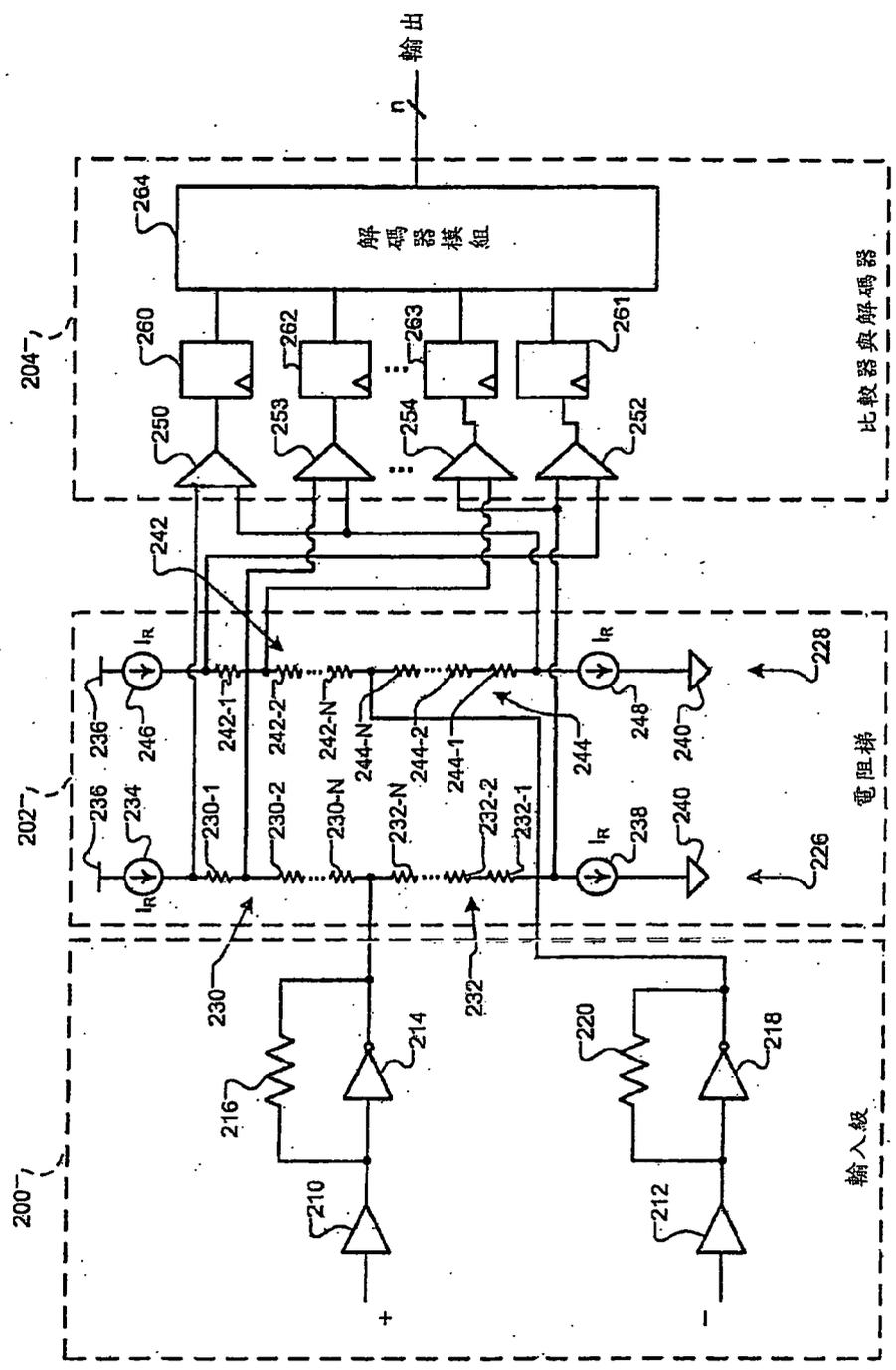
14. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該第一電阻器梯分支的電阻器包括多個串聯的初級電阻器，與該初級電阻器中的每一個並聯的多組次級電阻器，以及與該次級電阻器中的每一個並聯的多組第三級電阻器。
15. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該第一電阻器梯分支的該電阻器包括 N 個各別電阻器。
16. 如申請專利範圍第 15 項之差分類比-至-數位轉換器，其中該等比較器的第一輸入與該第一電阻器梯分支的該 N 個各別電阻器中的兩個之間的連接通信，並且該第二輸入與該第二電阻器梯分支的各別電阻器中的兩個之間的連接通信。
17. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該等延遲元件包括電阻器迹線。
18. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該等延遲元件包括電晶體。
19. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，更包括多個鎖定裝置，其每個對應於該等多個比較器之一。
20. 如申請專利範圍第 19 項之差分類比-至-數位轉換器，其中該等多個鎖定裝置在延遲的時刻鎖定來自該等多個比較器中的對應比較器的輸出，該等延遲的時刻基於該等多個比較器中的對應比較器的第一和第二輸入中的至少一個輸入處的傳播延遲。

21. 如申請專利範圍第 20 項之差分類比-至-數位轉換器，更包括解碼模組，該解碼模組在該等多個鎖定裝置中的最後一個被致動之後實質上同時讀取該等多個鎖定裝置的輸出。
22. 如申請專利範圍第 1 項之差分類比-至-數位轉換器，其中該類比-至-數位轉換器被實現在具有第一金屬層的積體電路上，以及其中該第一和第二電阻器梯分支被實現在該第一金屬層中。
23. 如申請專利範圍第 22 項之差分類比-至-數位轉換器，其中該第一電阻器梯分支的該兩個電阻器在該中間節點處連接並被配置為彼此的鏡像，並且其中該第二電阻器梯分支的該等兩個電阻器在該中間節點處連接並被配置為彼此的鏡像。
24. 如申請專利範圍第 23 項之差分類比-至-數位轉換器，其中該第一和第二電阻器梯分支的電阻器中的每一個被按照折疊形狀配置以使面積最小化。

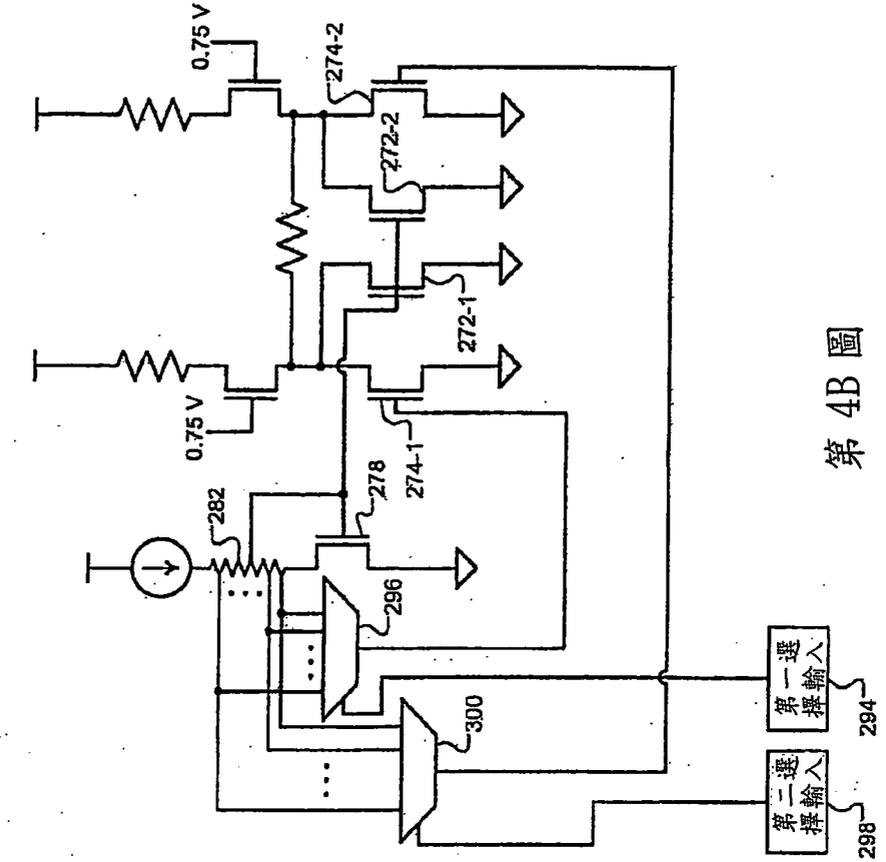


第 1 圖

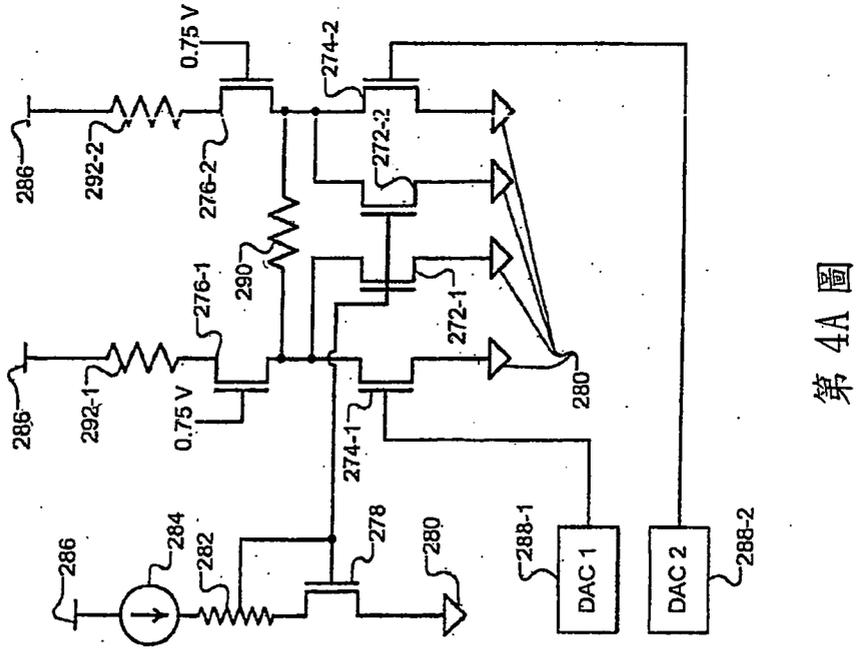
第 2 圖



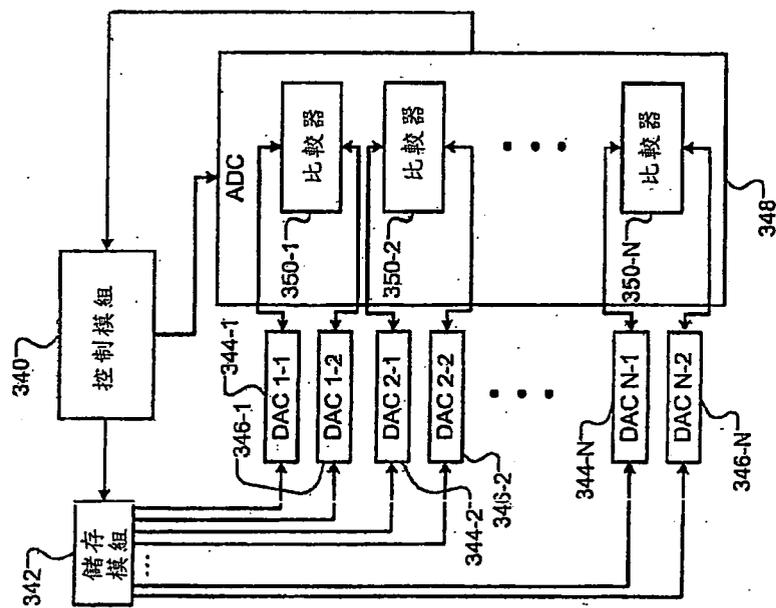
第 3 圖



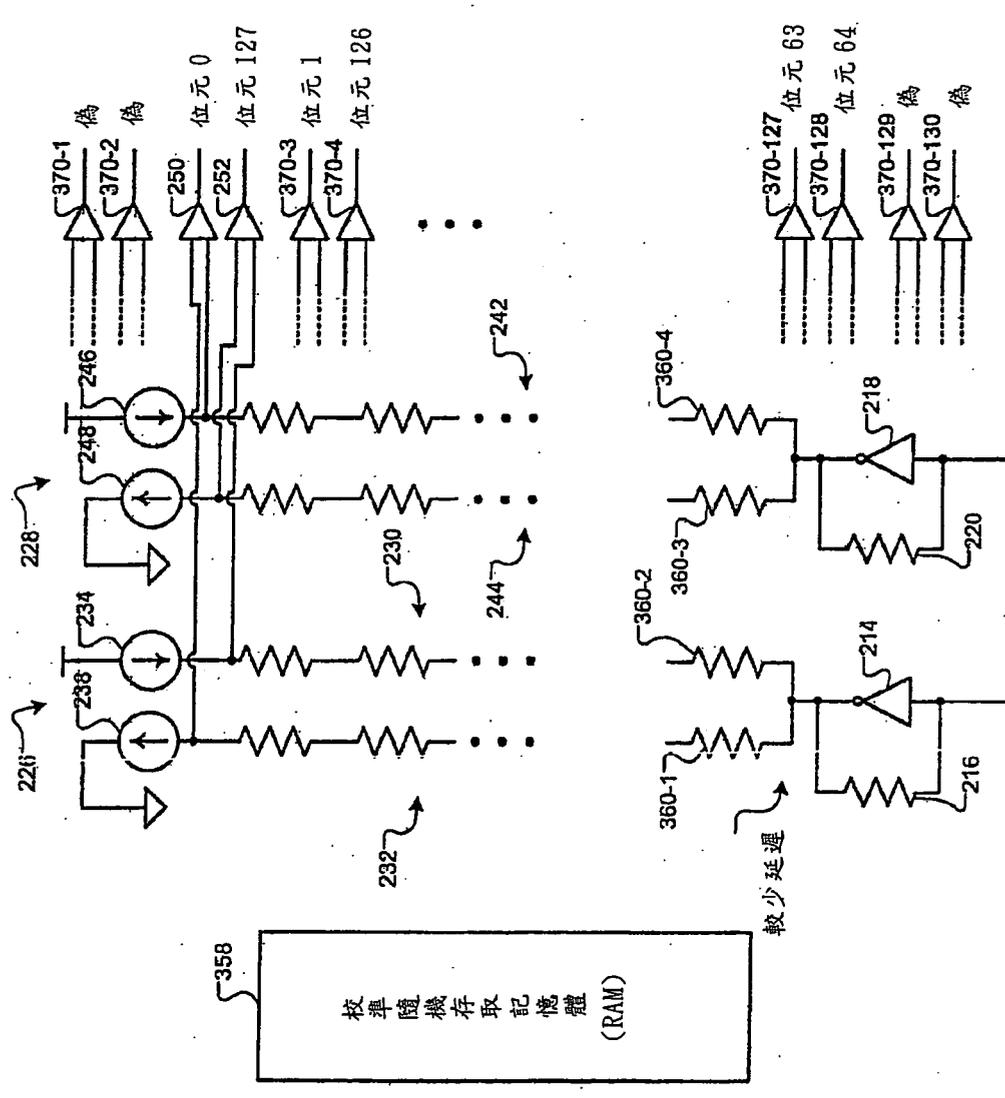
第 4B 圖



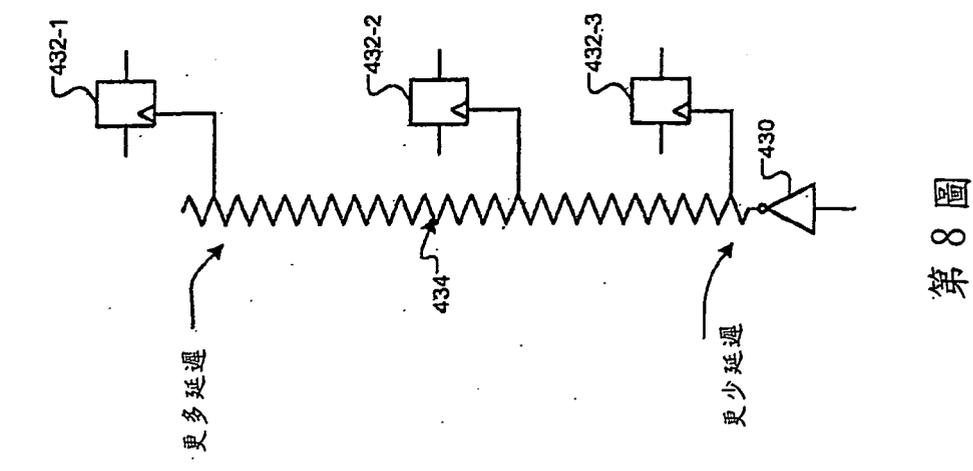
第 4A 圖



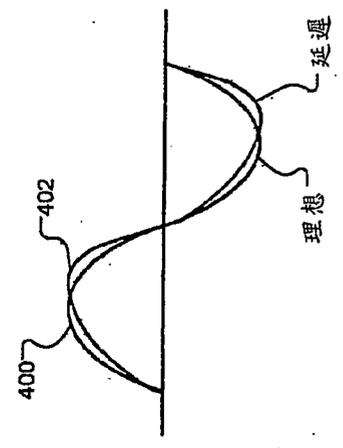
第 4C 圖



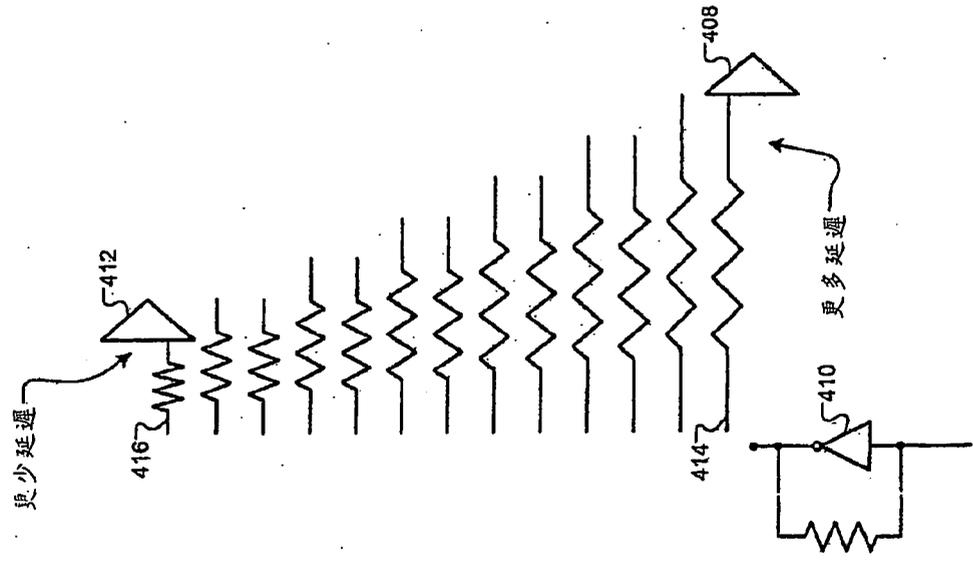
第 5 圖



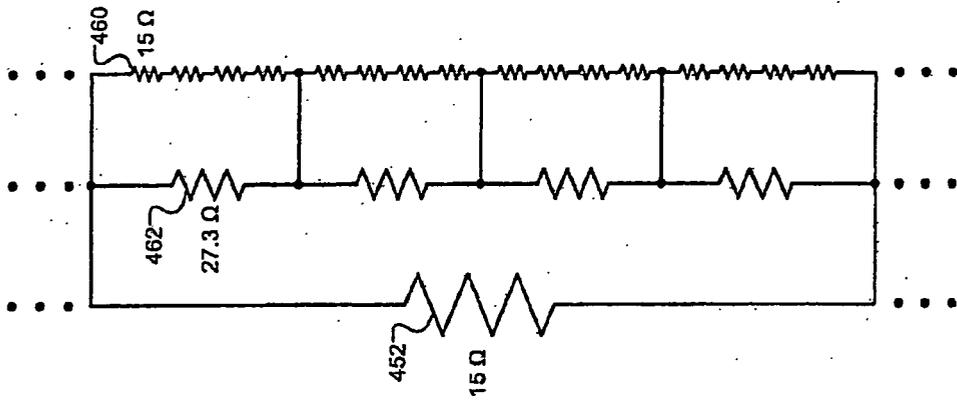
第 7 圖



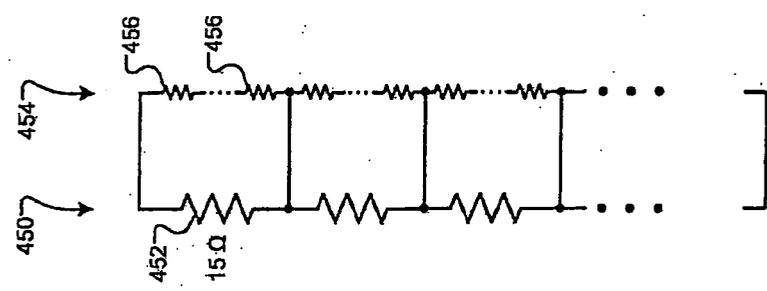
第 6 圖



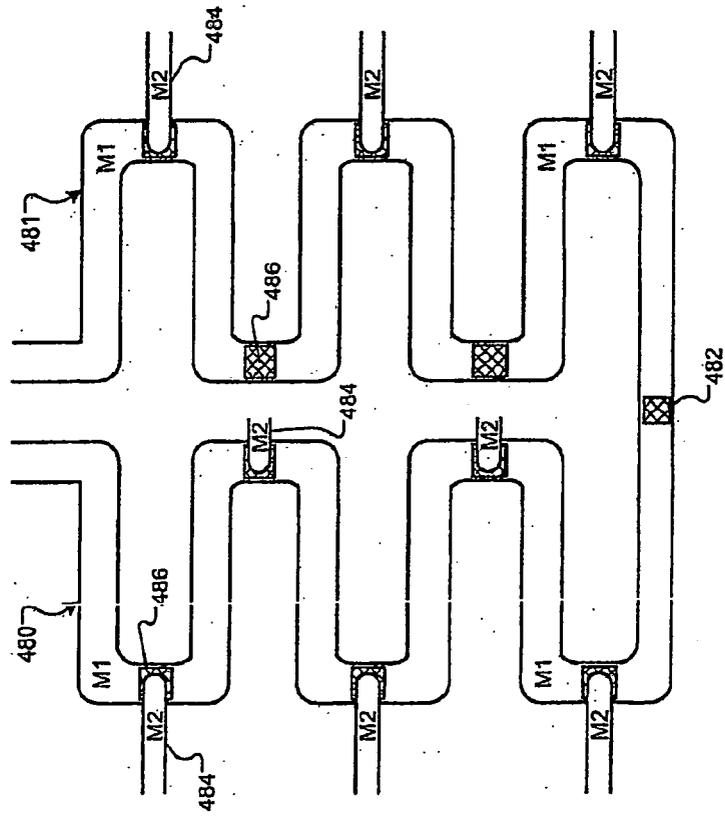
第 8 圖



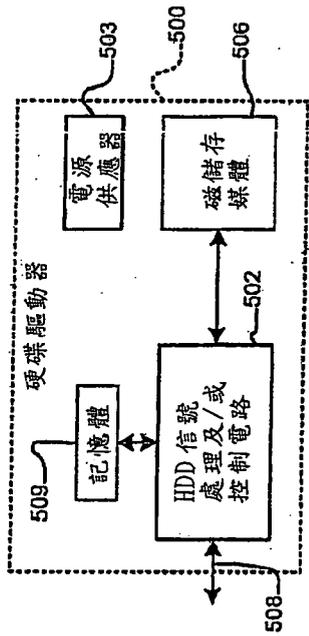
第 10 圖



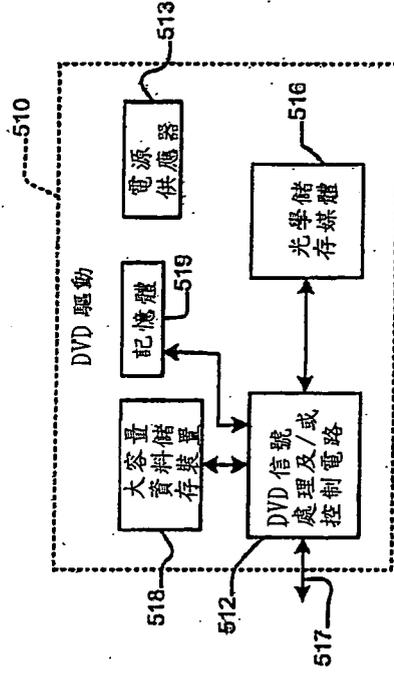
第 9 圖



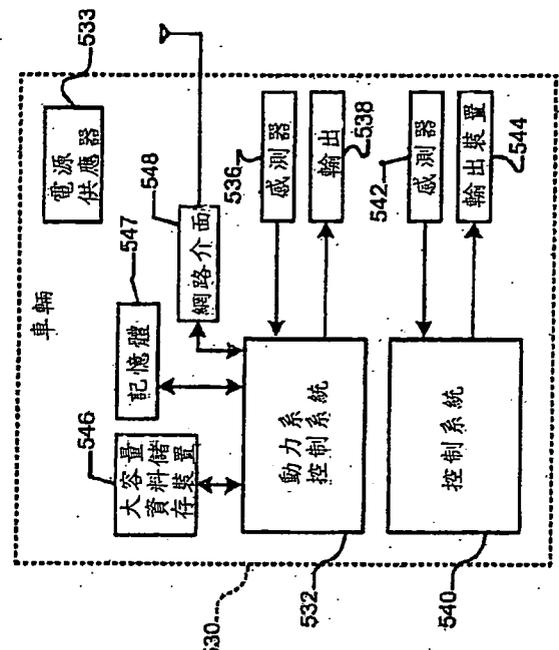
第 11 圖



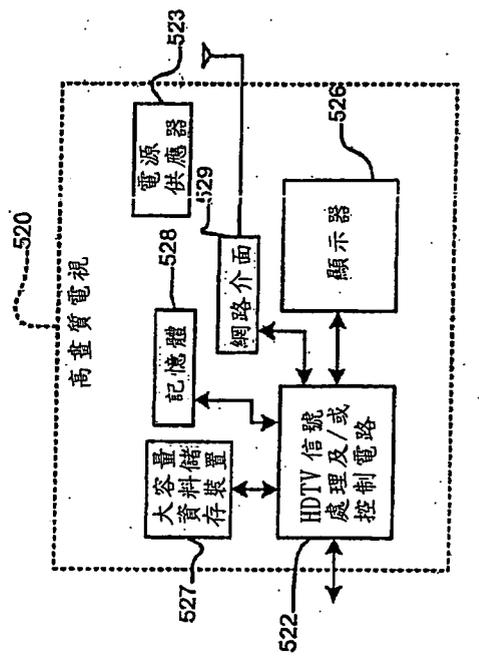
第 12A 圖



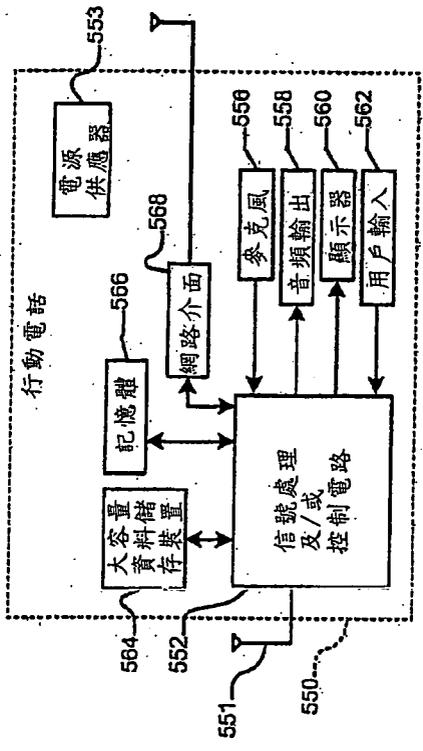
第 12B 圖



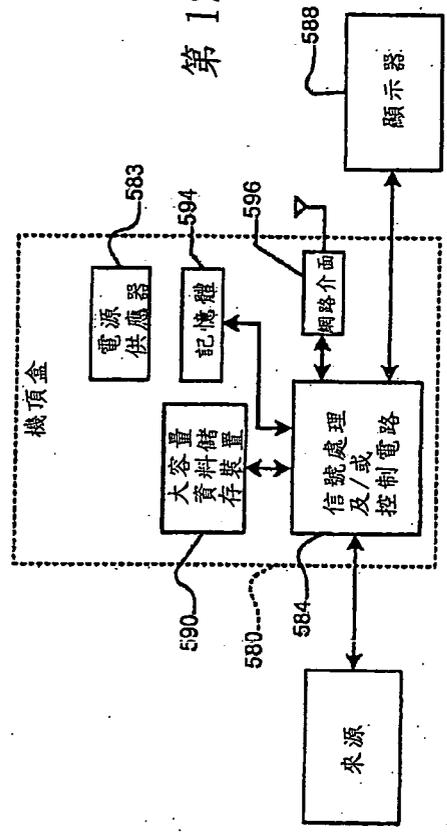
第 12D 圖



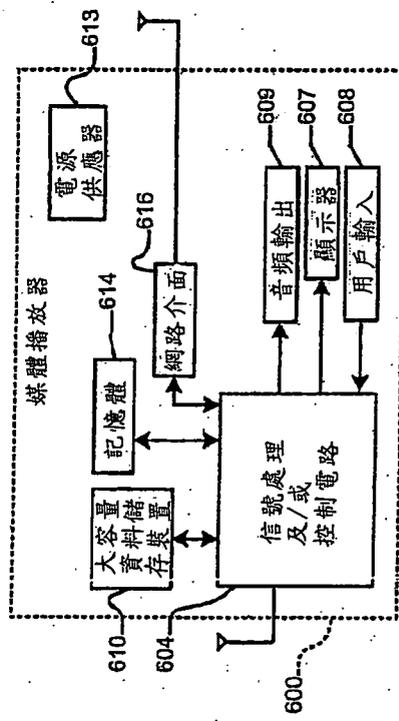
第 12C 圖



第 12E 圖



第 12F 圖



第 12G 圖