(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 3/037

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0199272
(24) 등록일자 1999년03월04일

(21) 출원번호 10-1996-0038405
(22) 출원일자 1996년09월05일
(65) 공개번호 특1997-0019072
(43) 공개일자 1997년04월30일

(30) 우선권주장 95-227741 1995년09월05일 일본(JP)
95-306060 1995년11월24일 일본(JP)
96-013275 1996년01월29일 일본(JP)
96-119004 1996년05월14일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 마에노 히데시
일본국 도오쿄도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 덴끼 가부시끼가이샤 나이
(74) 대리인 이화익

심사관 : 정순원

(54) 플립플롭회로, 스캔패스 및 기억회로

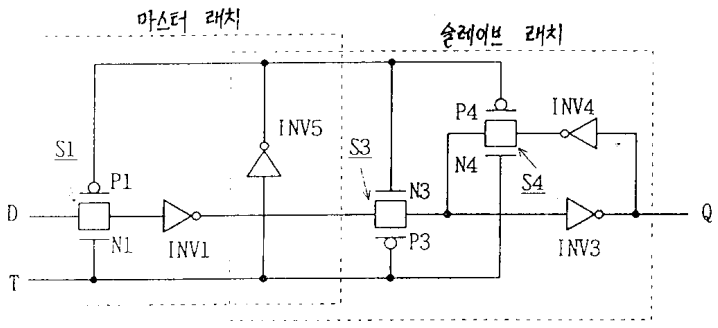
요약

S/H 타이밍 또는 T-Q 지연을 감소시키고, 소비전력을 억제하는 플립플롭회로를 얻기 위해, 마스터·래치는 트랜스미션 게이트(S1) 및 인버터(INV1)를 갖는 다이내믹형의 하프·래치로 구성되어 있고, 슬레이브·래치는 트랜스미션 게이트(S3,S4) 및 인버터(INV3,INV4)를 갖는 스태틱형의 하프·래치로 구성되어 있다.

슬레이브·래치에 있어서, 트랜스미션 게이트(S4)의 동작은 클럭신호(T)뿐만 아니라 모드신호(MODE)에 의해서도 제어된다.

모드신호(MODE)가 로우레벨로 전환되어 있는 경우, 상기 트랜스미션 게이트(S4)는 비도통상태로 되기 때문에, 상기 슬레이브·래치가 다이내믹형의 동작을 한다.

대표도



명세서

[발명의 명칭]

플립플롭 회로, 스캔패스 및 기억회로

[도면의 간단한 설명]

제1도는 본 발명의 제2의 전구사상에 근거하는 플립플롭회로의 구성을 나타내는 회로도.

제2도는 본 발명의 제2의 전구사상에 근거하는 다른 플립플롭회로의 구성을 나타내는 회로도.

제3도는 본 발명의 실시의 형태1의 구성을 나타내는 회로도.

제4도는 본 발명의 실시의 형태1의 변형을 나타내는 회로도.

제5도는 본 발명의 실시의 형태2의 구성을 나타내는 회로도.

제6도는 본 발명의 실시의 형태3의 구성을 나타내는 회로도.

제7도는 본 발명의 실시의 형태4의 구성을 나타내는 회로도.

제8a,8b도는 본 발명의 실시의 형태5의 구성을 나타내는 회로도.

제9도는 본 발명의 실시의 형태6의 구성을 나타내는 회로도.

제10도는 본 발명의 실시의 형태7의 구성을 나타내는 회로도.

제11도는 본 발명의 실시의 형태8의 구성을 나타내는 회로도.

제12도는 본 발명의 실시의 형태9의 구성을 나타내는 회로도.

제13도는 본 발명의 실시의 형태10의 구성을 나타내는 회로도.

제14도는 본 발명의 실시의 형태11을 설명하는 회로도.

제15도는 셀렉터(SEL1)의 회로구성과, 모드신호(MODE) 및 반전모드신호(/MODE)와의 관계를 나타내는 회로도.

제16a,16b도는 셀렉터(SELP)의 구성을 나타내는 회로도.

제17a도는 본 발명의 실시의 형태12를 설명하는 회로도.

제17b도는 본 발명의 실시의 형태12를 설명하는 평면도.

제18a도는 본 발명의 실시의 형태12의 변형을 설명하는 회로도.

제18b도는 본 발명의 실시의 형태12의 변형을 설명하는 평면도.

제19a도는 본 발명의 실시의 형태12의 다른 변형을 설명하는 회로도.

제19b도는 본 발명의 실시의 형태12의 다른 변형을 설명하는 평면도.

제20a도는 본 발명의 실시의 형태12를 설명하는 회로도.

제20b도는 본 발명의 실시의 형태12를 설명하는 평면도.

제21a도는 본 발명의 실시의 형태13을 설명하는 회로도.

제21b도는 본 발명의 실시의 형태13을 설명하는 평면도.

제22도는 본 발명의 실시의 형태14를 설명하는 회로도.

제23도는 본 발명의 실시의 형태15를 설명하는 회로도.

제24a,24b도는 본 발명의 실시의 형태16을 설명하는 회로도.

제25도는 본 발명의 실시의 형태16을 설명하는 회로도.

제26a도는 본 발명의 실시의 형태16의 변형을 설명하는 회로도.

제26b도는 본 발명의 실시의 형태16의 변형을 설명하는 설명도.

제27a,27b도는 본 발명의 실시의 형태17을 설명하는 회로도.

제28도는 본 발명의 실시의 형태17을 설명하는 회로도.

제29도는 본 발명의 실시의 형태17의 변형을 설명하는 회로도.

제30도는 본 발명의 실시의 형태18을 설명하는 회로도.

제31도는 본 발명의 실시의 형태18의 변형을 설명하는 회로도.

제32도는 본 발명의 실시의 형태18의 변형을 설명하는 회로도.

제33도는 본 발명의 실시의 형태18의 변형을 설명하는 회로도.

제34도는 본 발명의 실시의 형태19를 설명하는 회로도.

제35도는 본 발명의 실시의 형태19의 변형을 설명하는 회로도.

제36도는 본 발명의 실시의 형태20을 설명하는 회로도.

제37도는 본 발명의 실시의 형태20의 변형을 설명하는 회로도.

제38도는 본 발명의 실시의 형태20의 다른 변형을 설명하는 회로도.

제39도는 본 발명의 실시의 형태20의 또 다른 변형을 설명하는 회로도.

제40a,40b,40c 및 40d도는 본 발명의 실시의 형태21을 설명하는 회로도.

제41a,41b도는 본 발명의 실시의 형태22를 설명하는 회로도.

제42a,42b도는 본 발명의 실시의 형태22의 변형을 설명하는 회로도.

제43a,43b도는 본 발명의 실시의 형태23을 설명하는 회로도.

제44a,44b도는 본 발명의 실시의 형태24를 설명하는 회로도.

제45a,45b도는 본 발명의 실시의 형태25를 설명하는 회로도.

제46a,46b,46c,46d 및 46e도는 본 발명의 실시의 형태25의 제1의 변형을 설명하는 회로도.

제47a,47b도는 본 발명의 실시의 형태25의 제2의 변형을 설명하는 회로도.

제48a,48b도는 본 발명의 실시의 형태25의 제3의 변형을 설명하는 회로도.

제49a,49b도는 본 발명의 실시의 형태26를 설명하는 회로도.

제50도는 본 발명의 실시의 형태26의 제1의 변형을 설명하는 회로도.

제51도는 본 발명의 실시의 형태26의 제2의 변형을 설명하는 회로도.

제52도는 본 발명의 실시의 형태26의 제3의 변형을 설명하는 회로도.

제53a,53b도는 본 발명의 실시의 형태27을 설명하는 회로도.

제54도는 본 발명의 실시의 형태28을 설명하는 회로도.

제55a,55b도는 본 발명의 실시의 형태29를 설명하는 회로도.

제56도는 본 발명의 실시의 형태29의 동작을 설명하는 타이밍챠트.

제57a,57b도는 본 발명의 실시의 형태30을 설명하는 회로도.

제58a,58b 및 58c도는 본 발명의 실시의 형태31을 설명하는 회로도.

제59도는 본 발명의 실시의 형태31의 동작을 설명하는 타이밍챠트.

제60a,60b도는 본 발명의 실시의 형태32를 설명하는 회로도.

제61,62도는 본 발명의 실시의 형태33을 설명하는 회로도.

제63,64도는 본 발명의 실시의 형태34를 설명하는 회로도.

제65,66도는 본 발명의 실시의 형태35를 설명하는 회로도.

제67도는 본 발명의 실시의 형태36을 설명하는 회로도.

제68도는 본 발명의 실시의 형태36의 동작을 설명하는 타이밍챠트.

제69도는 본 발명의 실시의 형태37을 설명하는 회로도.

제70도는 본 발명의 실시의 형태37의 동작을 설명하는 타이밍챠트.

제71도는 기록동작을 동기에서, 판독동작을 비동기에서 행하는 RAM의 구성을 나타내는 블록도.

제72도는 제71도에 나타내어진 RAM의 동작을 나타내는 타이밍챠트.

제73도는 본 발명의 실시의 형태38을 설명하는 블록도.

제74도는 본 발명의 실시의 형태38의 동작을 설명하는 타이밍챠트.

제75도는 본 발명의 실시의 형태39를 설명하는 블록도.

제76도는 본 발명의 실시의 형태40을 설명하는 블록도.

제77a,77b도는 종래의 기술을 나타내는 회로도 및 타이밍챠트.

제78a,78b도는 종래의 기술을 나타내는 회로도 및 타이밍챠트.

* 도면의 주요부분에 대한 부호의 설명

S1~S5, S10, S11, SBYP : 트랜스미션 게이트

INV1~INV7, INV51, INV52, INV61, INV62 : 인버터

SEL1, SEL2, SELS, SELM, 503 : 셀렉터

P1~P5, P10, P11 : PMOS 트랜지스터

N1~N5, N10, N11 : NMOS 트랜지스터

NAND1, NANDTB, NANDMB, NANDTy : NAND게이트

NOR1, NORTy : NOR게이트

B0 : 0 체크회로 B1 : 1 체크회로

T1,T2 : 클럭신호 Tx : 클럭원신호

MODE : 모드신호 401~403 : 플립플롭

501 : RAM 코어 502 : 라이트 펄스 발생 제어 회로

601 : OR 회로 700~702 : 스캔 플립플롭

[발명의 상세한 설명]

[발명이 속하는 기술분야]

본 발명은 플립플롭회로, 특히 마스터·슬레이브형의 플립플롭회로에 관한 것이다.

[종래의 기술]

제77a,77b도는 한쌍의 하프·래치인 마스터·래치 및 슬레이브·래치의 직렬접속으로 구성되는 1상엣지트리거형의 플립플롭회로의 종래의 구성 및 그 동작을 나타낸다.

즉, 제77a도는 스태틱형의 마스터·래치와 슬레이브·래치를 직렬로 접속한 경우의 구성을 나타내는 회로도이고, 동일 제77b도는 그 동작을 나타내는 타이밍챠트이다.

입력단자가 마스터·래치에 접속되고, 출력단자가 슬레이브·래치에 접속된다.

그리고, 클럭단에 주어지는 클럭신호(T)의 하강 타이밍에서 입력단자에 주어지는 입력신호(D)가 받아들여지고, 출력단자에 출력신호(Q)가 출력된다.

즉, 제77a 및 77b도는 네가티브·엣지·트리거형의 플립플롭회로이다.

클럭신호(T)의 하강엣지의 전후에 있어서는, 데이타 입력단자에 주어진 입력신호(D)를 일정시간동안 안정시킬 필요가 있다.

제77b도를 참조하여, 클럭신호(T)의 하강엣지에서 세트업 타임만 이전에, 이미 입력신호(D)가 값 Data1을 채용하고 있다.

또한, 클럭신호(T)의 하강엣지에서 홀드타임만 경과할 때까지, 입력신호(D)가 값 Data1을 유지하고 있다.

상기 일정 시간은 이 세트업타임과 홀드타임과의 합계를 가리키고, 이후는 편의상 「S/H 타임」이라고 부른다.

클럭신호(T)가 H레벨인 경우에는 인버터(INV5)의 출력이 L레벨이 된다.

이때, MOS 트랜지스터(N1,P1)로 구성되는 트랜스미션 게이트와, MOS 트랜지스터(N4, P4)로 구성되는 트랜스미션 게이트는 어느것이나 ON(도통)하고, MOS 트랜지스터(N2,P2)로 구성되는 트랜스미션 게이트와, MOS 트랜지스터(N3,P3)로 구성되는 트랜스미션 게이트는 어느것이나 OFF(비도통)로 된다.

그리고, 입력신호(D)가 인버터(INV1)의 입력단에 전달되는 한편, 인버터(INV4)의 출력단과 인버터(INV3)의 입력단이 접속되어 슬레이브·래치는 데이타유지상태가 된다.

반대로, 클럭신호(T)가 L레벨인 경우에는 MOS 트랜지스터(N1,P1)로 구성되는 트랜스미션 게이트와, MOS 트랜지스터(N4,P4)로 구성되는 트랜스미션 게이트는 어느것이나 OFF(비도통)하고, MOS 트랜지스터(N2,P2)로 구성되는 트랜스미션 게이트와, MOS 트랜지스터(N3,P3)로 구성되는 트랜스미션 게이트는 어느것이나 ON(도통)한다.

그리고, 인버터(INV1)의 출력단이 인버터(INV3)의 입력단에 접속되는 한편, 인버터(INV1)의 출력단과 인버터(INV2)의 입력단이 접속되어 마스터·래치는 데이타유지상태가 된다.

따라서, 클럭신호(T)의 하강엣지(클럭신호(T)가 H레벨에서 L레벨로 변화하는 시점)에서 데이타입력단자의 데이타를 받아 들이어 데이타출력단자에 출력하는 동작이 행해진다.

단지, 클럭신호(T)의 하강 후, 데이타출력단자에 출력신호(Q)가 얻어지기까지, 회로동작에 의한 지연이 존재한다.

이하, 편의상 이것을 「T-Q 지연」이라고 부른다.

플립플롭회로의 출력단자는 제77a도에 있어서 인버터(INV3)의 출력단과 접속되어 있지만, 인버터(INV4)의 출력단이든지 인버터(INV3)의 입력단에 접속하는 경우도 있다.

이 경우에, 제77a도에 있어서 나타낸 회로의 출력신호(Q)와 논리반전한 출력신호가 얻어진다.

제78a,78b도는 한쌍의 하프·래치인 마스터·래치 및 슬레이브·래치의 직렬접속으로 구성되는 2상클럭형의 플립플롭회로의 종래의 구성 및 그 동작을 나타낸다.

제78a도는 스태틱형의 마스터·래치와 슬레이브·래치를 직렬로 접속한 경우의 구성을 나타내는 회로도이고, 제77b도는 그 동작을 나타내는 타이밍챠트이다.

입력단자가 마스터·래치에 접속되고, 출력단자가 슬레이브·래치에 접속된다.

그리고, 클럭신호(T)의 하강 타이밍에서 입력단자에 주어지는 입력신호(D)가 마스터·래치에 받아 들여지고, 입력신호(D)의 반전한 논리가 신호(D3)로서 슬레이브·래치에 전달된다.

클럭신호(T2)가 L레벨인 기간에는 인버터(INV52)의 출력이 H레벨로 되고, 슬레이브·래치는 데이타유지상태이지만, 클럭신호(T2)의 상승 타이밍에서 출력단자에 출력신호(Q)가 출력된다.

여기서, 클럭신호(T1,T2)가 동시에 H레벨이 되는 것은 없다.

클럭신호(T)와 같이, 클럭신호(T1)의 하강엣지의 전후에 있어서는 S/H 타임에서 입력신호(D)가 일정한 값을 유지할 필요가 있다.

그리고, 클럭신호(T2)가 상승한 후, 데이타출력단자에 출력신호(Q)가 얻어지기까지, 회로동작에 의한 지

연이 존재하고, 제77a,77b도에 있어서는 편의상 이것을 「T2-Q 지연」이라고 부른다.

1상엣지 트리거형의 플립플롭회로의 종래의 구성에서는 클럭신호(T)가 H레벨에서 L레벨로 변화하는 과도상태에 있어서, 순간적이기는 하지만, MOS 트랜지스터(N1,P2,P3,N4)가 동시에 ON 한다.

또, 인버터(INV5)의 지연시간만큼 지연되어 MOS 트랜지스터(P1,N2,N3,P4)가 동시에 ON한다.

그 때문에, 순간적으로 입력신호(D)가 채용하는 값과, 인버터(INV2)의 출력단에 생기는 데이타가 인버터(INV1)의 입력단에서 경합하기 때문에, 입력신호(D)의 값에 관하여서는 S/H 타임을 크게 설정할 필요가 있다.

바꾸어 말하면, 마스터·래치에 있어서는 값이 일정한 기간동안 S/H 타임 이상의 입력신호(D)만 래치할 수가 있다.

또한, 데이타의 경합에 의해 전류가 흘러, 불필요한 전력을 소비한다.

한편, 슬레이브·래치에 있어서는, 인버터(INV1)의 출력단에 생기는 데이타와, 인버터(INV4)의 출력단에 주어지는 데이타가 인버터(INV3)의 입력단에서 경합하기 때문에, T-Q 지연이 커져서, 회로동작이 느리다고 하는 문제점이 생긴다.

유사하게, 2상클럭형의 플립플롭회로의 종래의 구성에 있어서도, 클럭신호(T1)가 H레벨에서 L레벨로 변화하는 과동상태에 있어서, 순간적으로 입력신호(D)가 채용되는 값과, 인버터(INV2)의 출력단에 생기는 데이타가 인버터(INV1)의 입력단에서 경합한다.

또한, 클럭신호(T2)가 L레벨에서 H레벨로 변화하는 과동상태에 있어서, 순간적으로 신호(D3)가 채용하는 값과, 인버터(INV4)의 출력단에 생기는 데이타가 인버터(INV3)의 입력단에서 경합한다.

[발명의 요약]

본 발명의 제1의 관점에 따른 플립플롭회로는 제1 및 제2의 하프·래치의 직렬접속에 의해서 구성되고, 입력단자 및 출력단자를 구비하고, 상기 제1의 하프·래치는 다이내믹형이고, 상기 제2의 하프·래치는 상기 입력단자에 작동적으로 결합된 입력단과, 출력단을 포함하고, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, 상기 제1의 스위치의 상기 출력단에 접속된 입력단과, 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, 제2의 인버터와, 그 개폐가 상기 제1의 스위치와 상보적인 제2의 스위치와, 그 개폐가 모드신호에 의해서 제어되는 제3의 스위치를 갖는다.

그리고, 상기 제2의 인버터 및 상기 제2 및 제3의 스위치는 상기 제1의 인버터의 상기 출력단과, 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속되고, 상기 제2 및 상기 제3의 스위치 양자가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속된다.

본 발명의 제2의 관점에 따른 상기 제1 및 제2의 하프래치는 마스터래치 및 슬레이브래치로 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 통해서 간접적으로 상기 입력단자에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접적으로 또는 상기 제2의 인버터를 통해서 간접적으로 상기 출력단자에 접속된다.

본 발명의 제3의 관점에 따른, 상기 제2의 하프·래치의 상기 제1의 스위치는 제1의 NMOS 트랜지스터 및 제1의 PMOS 트랜지스터를 포함하고, 상기 제1의 하프·래치는 입력단자에 접속된 입력단과, 출력단을 포함하고, 그 개폐가 상기 제2의 하프·래치의 상기 제1의 스위치와 상보적인 스위치와, 상기 제2의 하프·래치의 상기 제1의 인버터의 입력단과 2진 논리의 한편의 논리에 대응하는 제1전위에 주는 제1전위점과의 사이에서, 상기 제1의 PMOS 트랜지스터와 직렬로 접속되는 제2의 PMOS 트랜지스터와, 상기 제2의 하프·래치의 상기 제1의 인버터의 입력단과 2진논리의 다른쪽의 논리에 대응하는 제2전위를 주는 제2전위점과의 사이에서, 상기 제1의 NMOS 트랜지스터와 직렬로 접속되는 제2의 NMOS 트랜지스터를 갖는다.

그리고, 상기 제2의 NMOS 트랜지스터 및 상기 제2의 PMOS 트랜지스터의 각각의 게이트는 공통으로 상기 제1의 하프·래치의 상기 스위치의 상기 출력단에 접속된다.

본 발명의 제4의 관점에 따른, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브래치로서 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 입력단자에 직접적으로 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 통해서 간접적으로 상기 출력단자에 접속된다.

본 발명의 제5의 관점에 따른, 플립플롭회로는 통상의 입력신호와 스캔 테스트용 신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 출력되는 출력단을 갖는 셀렉터와, 출력단자와, 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에서 직렬로 접속되는 제1 및 제2의 하프·래치를 구비한다.

그리고, 상기 제1의 하프·래치는 다이내믹형이고, 상기 제2의 하프·래치는 모드신호에 의해서 다이내믹형과 스태틱형이 바꾸어지고, 상기 셀렉터는 상기 모드신호에 의해서 제어되어, 상기 제2의 하프·래치가 다이내믹형으로 되면 상기 통상의 입력신호를 출력하고, 상기 제2의 하프·래치가 스태틱형으로 되면 상기 스캔테스트용신호를 출력한다.

본 발명의 제6의 관점에 따른, 상기 제2의 하프·래치는 상기 셀렉터의 상기 출력단과 작동적으로 결합된 입력단과 출력단을 포함하고, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, 제2의 인버터와, 상기 클럭신호와 상기 모드신호와의 논리 연산을 하는 논리게이트와, 그 개폐가 상기 논리게이트의 출력에 의해서 제어되는 제2의 스위치를 갖는다.

그리고, 상기 제2의 인버터와 상기 제2의 스위치는 상기 제1의 인버터의 상기 입력단과 상기 제1의 인버터의 상기 출력단과의 사이에서 직렬로 접속되고, 상기 제2의 스위치가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속되고, 상기 제2의 스위치는 상기 모드신호가 소정의 값을 채용하여

상기 제2의 하프·래치를 스태틱형으로 하는 경우에는 그 개폐가 상기 제1의 스위치와 상보적이고, 상기 모드신호가 다른 값을 채용하여 상기 제2의 하프·래치를 다이내믹형으로 하는 경우에는 도통하지 않는다.

본 발명의 제7의 관점에 따른, 상기 플립플롭회로는 홀드신호와, 클럭원신호와, 모드원신호를 입력하고, 클럭신호 및 상기 모드신호를 출력하는 논리회로를 더 구비한다.

그리고, 상기 홀드신호가 제1의 값을 채용한 경우에는 상기 클럭원신호에 따라서 상기 클럭신호가, 상기 모드원신호에 따라서 상기 모드신호가 각각 결정되고, 상기 홀드신호가 상기 제1의 값과 상보적인 제2의 값을 채용한 경우에는 상기 클럭원신호 및 상기 모드원신호에 관계없이 상기 클럭신호 및 상기 모드신호의 값이 고정된다.

본 발명의 제8의 관점에 따른, 상기 제1의 하프·래치는 마스터·래치로서, 상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 통해서 간접적으로 상기 셀렉터의 상기 출력단에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접적으로 또는 상기 제2의 인버터를 통해서 간접적으로 상기 출력단자에 접속된다.

본 발명의 제9의 관점에 따른, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능한다.

그리고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 셀렉터의 상기 출력단에 직접적으로 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 통해서 간접적으로 상기 출력단자에 접속된다.

본 발명에 따른 제10의 관점에 따른, 상기 제2의 하프·래치는 상기 셀렉터의 상기 출력단에 작동적으로 결합된 입력단과 출력단을 포함하고, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, 제2의 인버터와, 그 개폐가 상기 제1의 스위치와 상보적인 제2의 스위치와, 그 개폐가 상기 모드신호에 의해서 제어되는 제3의 스위치를 갖는다.

그리고, 상기 제2의 인버터 및 상기 제2 및 제3의 스위치는 상기 제1의 인버터의 상기 입력단과 상기 제1의 인버터의 상기 출력단과의 사이에서 직렬로 접속되고, 상기 제2 및 제3의 스위치가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속되고, 상기 제3의 스위치는 상기 모드신호가 상기 제2의 하프·래치를 다이내믹형으로 하는 경우에는 도통하지 않는다.

본 발명의 제11관점에 따른, 상기 플립플롭회로는 홀드 신호와, 클럭원신호와, 모드원신호를 입력하여, 클럭신호 및 상기 모드신호를 출력하는 논리회로를 더 구비한다.

그리고, 상기 홀드신호가 제1의 값을 채용한 경우에는 상기 클럭원신호에 따라서 상기 클럭신호가, 상기 모드원신호에 따라서 상기 모드신호가 각각 결정되고, 상기 홀드신호가 상기 제1의 값과 상보적인 제2의 값을 채용한 경우에는, 상기 클럭원신호 및 상기 모드원신호에 관계없이, 상기 클럭신호 및 상기 모드신호의 값이 고정된다.

본 발명의 제12의 관점에 따른, 상기 제2의 인버터는 상기 제2의 인버터의 출력단을 구성하는 한쌍의 출력선과, 제1의 상기 출력선과 접속된 드레인과, 상기 제2의 인버터의 입력단에 접속된 게이트와, 상기 제2의 인버터의 출력하는 2진 논리의 한편에 대응하는 제1의 전위가 주어지는 소스를 구비하는 NMOS 트랜지스터와, 제2의 상기 출력선과 접속된 드레인과, 상기 제2의 인버터에 상기 입력단에 접속된 게이트와, 상기 2진논리의 다른쪽에 대응하여, 상기 제1의 전위보다도 높은 제2의 전위가 주어지는 소스를 구비하는 PMOS 트랜지스터를 더 포함한다.

그리고, 상기 제2의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션 게이트이고, 상기 제2의 스위치의 상기 PMOS 트랜지스터의 게이트 및 상기 제2의 스위치의 상기 NMOS 트랜지스터의 게이트의 어느것인가 한편이 상기 클럭신호를 받고, 다른쪽이 상기 클럭신호와 상보적인 역클럭신호를 받고, 상기 제2의 인버터의 상기 NMOS 트랜지스터와 상기 제2의 스위치의 상기 NMOS 트랜지스터는 직렬로 접속되고, 상기 제2의 인버터의 상기 PMOS 트랜지스터와 상기 제2의 스위치의 상기 PMOS 트랜지스터는 직렬로 접속된다.

본 발명의 제13의 관점에 따른, 상기 제2의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션 게이트이고, 상기 제2의 스위치의 상기 PMOS 트랜지스터의 게이트 및 상기 제2의 스위치의 상기 NMOS 트랜지스터의 게이트의 어느것인가 한편이 상기 클럭신호, 다른쪽이 상기 클럭신호와 상보적인 역클럭신호를 각각 받고, 상기 제3의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션 게이트이고, 상기 제3의 스위치의 상기 NMOS 트랜지스터의 게이트 및 상기 제3의 스위치의 상기 PMOS 트랜지스터의 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 모드신호와 상보적인 역모드신호가, 각각 주어지고, 상기 제2의 스위치의 상기 NMOS 트랜지스터와 상기 제3의 스위치의 상기 NMOS 트랜지스터가 직렬로 접속되고, 상기 제2의 스위치의 상기 PMOS 트랜지스터와 상기 제3의 스위치의 상기 PMOS 트랜지스터가 직렬로 접속된다.

본 발명의 제14관점에 따르면, 상기 제1의 하프·래치는 마스터·래치로서, 상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 통하여 간접적으로 상기 셀렉터의 상기 출력단에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접적으로 또는 상기 제2의 인버터를 통하여 간접적으로 상기 출력단자에 접속된다.

본 발명의 제15관점에 따른, 상기 제1의 하프·래치는 상기 셀렉터의 상기 출력단에 접속된 입력단과 출력단을 포함하고, 그 개폐가 상기 제2의 하프·래치의 상기 제1의 스위치와 상보적인 스위치와, 상기 제1의 하프·래치의 상기 스위치의 상기 출력단에 접속된 입력단과, 상기 제2의 하프·래치를 통하여 상기

출력단자에 간접적으로 접속된 출력단을 포함하는 인버터를 갖는다.

그리고, 상기 제1의 하프·래치의 상기 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션 게이트이다.

상기 셀렉터는 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제1의 하프·래치의 상기 스위치의 상기 PMOS 트랜지스터를 통하여 상기 제1의 하프·래치의 상기 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 PMOS 트랜지스터와, 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제1의 하프·래치의 상기 스위치의 상기 NMOS 트랜지스터를 통하여 상기 제1의 하프·래치의 상기 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 NMOS 트랜지스터와, 상기 스캔테스트용 신호를 받는 제1의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 PMOS 트랜지스터와, 상기 스캔테스트용신호를 받는 제1의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 NMOS 트랜지스터를 구비한다.

그리고, 상기 제1의 NMOS 트랜지스터의 상기 게이트 및 상기 제1의 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 역모드신호가, 각각 주어진다.

상기 제1의 하프·래치의 상기 스위치의 상기 NMOS 트랜지스터의 상기 게이트 및 상기 제1의 하프·래치의 상기 스위치의 상기 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 클럭신호가, 다른쪽에는 상기 역클럭신호가, 각각 주어진다.

본 발명의 제16관점에 따른, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 셀렉터의 상기 출력단에 직접적으로 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 통하여 간접적으로 상기 출력단자에 접속된다.

본 발명의 제17관점에 따른, 상기 제2의 하프·래치의 상기 제1의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션 게이트이다.

상기 셀렉터는 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 PMOS 트랜지스터를 통하여 상기 제1의 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 PMOS 트랜지스터와, 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 NMOS 트랜지스터를 통하여 상기 제1의 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 NMOS 트랜지스터와, 상기 스캔테스트용 신호를 받는 제1의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 PMOS 트랜지스터와, 상기 스캔테스트용신호를 받는 제1의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 NMOS 트랜지스터를 구비한다.

상기 제1의 NMOS 트랜지스터의 상기 게이트 및 상기 제1의 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 모드신호와 상보적인 역모드신호가, 각각 주어지고, 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 NMOS 트랜지스터의 상기 게이트 및 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 클럭신호가, 다른쪽에는 상기 클럭신호와 상보적인 역클럭신호가, 각각 주어진다.

본 발명에 제18관점에 따른, 상기 제2의 하프·래치는 상기 모드신호와, 비교신호와, 상기 통상의 입력신호가 주어지고, 상기 모드신호 및 상기 제1의 비교신호가 활성화한 경우에, 상기 제1의 인버터의 상기 입력단에 소정의 전위를 주는 논리검출수단을 더 갖는다.

본 발명의 제19관점에 따른, 스캔패스는 직렬로 접속된 제1 및 제2의 플립플롭회로를 구비하고, 상기 제1의 플립플롭회로는 제1의 통상의 입력신호와 스캔테스트용신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 모드신호에 따라서 출력되는 출력단을 포함하는 셀렉터와, 출력단자와, 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형이 전환되어 동작하는 제2의 하프·래치를 갖는다.

상기 제2의 플립플롭회로는 제2의 통상의 입력신호와 상기 제1의 플립플롭회로의 상기 출력단자에 주어진 신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 모드신호에 따라서 출력되는 출력단을 포함하는 셀렉터와, 출력단자와, 상기 셀렉터의 상기 출력단과, 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖는다.

상기 제1의 플립플롭회로의 상기 셀렉터는 상기 모드신호가 상기 제1의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 상기 제1의 통상의 입력신호 및 상기 스캔테스트용신호를 출력하고, 상기 제2의 플립플롭회로의 상기 셀렉터는 상기 모드신호가 상기 제1의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 상기 제2의 통상의 입력신호 및 상기 제1의 플립플롭회로의 상기 출력단자에 주어진 신호를 출력한다.

본 발명의 제20의 관점에 따른 스캔패스는 직렬로 접속된 제1 및 제2의 플립플롭회로를 구비하고, 상기 제1의 플립플롭회로는 통상의 입력신호와 스캔테스트용신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 모드신호에 따라서 출력되는 출력단을 포함하는 셀렉터와, 출력단자와, 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와 직렬로 접속되고, 상기 모

드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖는다.

상기 제2의 플립플롭회로는 상기 제1의 플립플롭회로의 상기 출력단자에 접속된 입력단자와, 출력단자와, 상기 입력단자와 상기 제2의 플립플롭회로의 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, 상기 입력단자와 상기 제2의 플립플롭회로의 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 상기 제1의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖는다.

상기 제1의 플립플롭회로의 상기 셀렉터는 상기 모드신호가 상기 제1의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 상기 통상의 입력신호 및 상기 스캔테스트용신호를 출력한다.

본 발명의 제21의 관점에 따른, 제1 및 제2의 하프·래치의 직렬접속에 의해서 구성되고, 입력단자 및 출력단자를 구비하는 플립플롭회로에 있어서, 상기 제1의 하프·래치는 다이내믹형이고, 상기 제2의 하프·래치는 상기 입력단자에 작동적으로 결합된 입력단과 출력단을 포함하고, 그 개폐가 클럭신호에 의해서 제어되는 제1의 스위치와, 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, 2진논리의 한편에 대응하는 제1전위를 주는 제1전위점과 상기 제1의 인버터의 상기 입력단과의 사이에서 서로 직렬로 접속되는 제1 내지 제3의 스위치와, 2진논리의 다른쪽에 대응하는 제2전위를 주는 제2전위점과 상기 제1의 인버터의 상기 입력단과의 사이에서 서로 직렬로 접속되는 제4 내지 제6의 스위치를 구비하고, 상기 제1 및 제4의 스위치의 개폐는 상기 제1의 인버터의 출력에 의해서, 상기 제2의 스위치의 개폐는 상기 클럭신호에 의해서, 상기 제3의 스위치의 개폐는 모드신호에 의해서, 상기 제5의 스위치의 개폐는 상기 클럭신호와 상보적인 역클럭신호에 의해서, 상기 제6의 스위치의 개폐는 상기 모드신호와 상보적인 역모드신호에 의해서, 각각 제어된다.

본 발명의 제22의 관점에 따른 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 입력단자에 직접적으로 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 통하여 간접적으로 상기 출력단자에 접속된다.

본 발명중의 제23의 관점에 따른, 상기 제1의 하프·래치는 마스터·래치로서,

상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 통하여 간접적으로 상기 입력단자에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접적으로, 또는 상기 제1전위에 직접 접속되는 부분을 제외하는 상기 제1내지 제3의 스위치가 직렬로 접속되는 경로와, 상기 제2전위에 직접 접속되는 부분을 제외하는 상기 제4 내지 제6의 스위치가 직렬로 접속되는 경로를 접속하는 접속선을 통하여 간접적으로, 상기 출력단자에 접속된다.

본 발명의 제24의 관점에 따른, 기억회로는 입력단과 출력단을 포함하고, 그 개폐가 클럭신호에 의해서 제어되는 제1의 스위치와, 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 출력단을 포함하는 제1인버터와, 제2의 인버터와, 그 개폐가 상기 제1의 스위치와 상보적인 제2의 스위치와, 그 개폐가 모드신호에 의해서 제어되는 제3의 스위치를 구비한다.

그리고, 상기 제2의 인버터 및 상기 제2 및 제3의 스위치가 상기 제1의 인버터의 상기 출력단과 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속되고, 상기 제2 및 상기 제3의 스위치 양자가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속된다.

본 발명의 제25의 관점에 따른, 상기 제1의 인버터는 CMOS 게이트 어레이의 기본셀을 사용하여 구성된 CMOS 인버터회로이고, 상기 CMOS 인버터 회로는 적어도 한편의 도전형의 복수의 MOS 트랜지스터가 병렬로 접속된다.

본 발명의 제26의 관점에 따른, 상기 제2의 인버터는 CMOS 게이트 어레이의 기본셀을 사용하여 구성된 CMOS 인버터회로이고, 상기 CMOS 인버터 회로는 적어도 한편의 도전형의 복수의 MOS 트랜지스터가 병렬로 접속된다.

본 발명의 제27의 관점에 따른, 상기 제2의 인버터의 입력단은 상기 제1의 인버터의 상기 출력단에 접속되고, 상기 제2의 스위치의 상기 입력단은 상기 제2의 인버터의 상기 출력단에 접속되고, 상기 제3의 스위치의 상기 입력단은 상기 제2의 스위치의 상기 출력단에 접속되고, 상기 제1의 인버터의 상기 입력단은 상기 제3의 스위치의 상기 출력단에 접속되고, 상기 기억회로는 상기 제3의 스위치의 상기 입력단에 접속된 출력단자를 더 구비한다.

본 발명의 제28의 관점에 따른, 상기 기억회로는 입력단과, 상기 제1의 스위치의 상기 입력단에 접속된 출력단을 갖는 하프·래치를 더 구비한다.

그리고, 상기 하프·래치의 동작은 상기 제1의 스위치의 개폐와 상보적으로 개폐하는 상기 하프·래치의 상기 입력단과 상기 출력단과의 사이에서 스위치에 의해서 제어된다.

본 발명의 제29의 관점에 따른, 상기 제2의 인버터의 입력단은 상기 제1의 인버터의 상기 출력단에 접속되고, 상기 제2의 스위치의 상기 입력단은 상기 제2의 인버터의 상기 출력단에 접속되고, 상기 제3의 스위치의 상기 입력단은 상기 제2의 스위치의 상기 출력단에 접속되고, 상기 제1의 인버터의 상기 입력단은 상기 제3의 스위치의 상기 출력단에 접속되고, 상기 기억회로는 상기 제3의 스위치의 상기 입력단에 접속되는 입력단과 출력단을 갖는 제1의 드라이브회로를 더 구비한다.

본 발명의 제30의 관점에 따른, 상기 기억회로는 입력단과, 상기 제1의 스위치의 상기 입력단에 접속된 출력단을 갖는 하프·래치를 더 구비한다.

그리고, 상기 하프·래치의 동작은 상기 제1의 스위치의 개폐와 상보적으로 개폐되는 상기 하프·래치의 상기 입력단과 상기 출력단과의 사이에서 스위치에 의해서 제어된다.

본 발명의 제31의 관점에 따른, 상기 기억회로는 복수의 입력단자와, 상기 복수의 입력단자와 상기 제1의 인버터와의 사이에서 상기 제1의 스위치와 직렬로 접속되고, 소정의 신호에 의해서 제어되는 셀렉터를 더 구비한다.

본 발명의 제32의 관점에 따른, 상기 기억회로는 제1 및 제2의 입력단자와, 어느것이나 소정의 신호에 의해서 제어되는 제1의 PMOS 트랜지스터 및 제1의 NMOS 트랜지스터에 의해서 구성되는 셀렉터를 더 구비한다.

그리고, 상기 제1의 스위치는 제2의 PMOS 트랜지스터 및 제2의 NMOS 트랜지스터에 의해서 구성되고, 상기 제1의 PMOS 트랜지스터 및 상기 제2의 PMOS 트랜지스터가 상기 제1의 입력단자와 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속되고, 상기 제1의 NMOS 트랜지스터 및 상기 제2의 NMOS 트랜지스터가 상기 제2의 입력단자와 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속된다.

본 발명의 제33의 관점에 따른, 기억회로는 스캔패스를 형성하기 위해 서로 직렬로 접속되는 제32의 관점에 따른 상기 복수의 기억회로에 의해 구성되고, 상기 기억회로는 리셋트신호가 주어지고, 상기 리셋트신호에 따라서 상기 모드신호, 상기 클럭신호 및 상기 소정의 신호의 논리를 고정하는 논리회로를 더 구비한다.

본 발명의 제34의 관점에 따른, 상기 모드신호는 상기 소정의 신호로서 채용된다.

본 발명의 제35의 관점에 따른, 상기 모드신호는 상기 소정의 신호로서 채용된다.

본 발명의 제36의 관점에 따른, 상기 기억회로는 상기 제1의 인버터의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제4의 스위치와, 상기 제4의 스위치의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제2의 드라이브회로를 더 구비한다.

그리고, 상기 제1의 스위치는 상기 제4의 스위치의 개폐와 상보적으로 개폐한다.

본 발명의 제37의 관점에 따른, 상기 제2의 인버터의 입력단은 상기 제1의 인버터의 상기 출력단에 접속되고, 상기 제2의 스위치의 상기 입력단은 상기 제2의 인버터의 상기 출력단에 접속되고, 상기 제3의 스위치의 상기 입력단은 상기 제2의 스위치의 상기 출력단에 접속되고, 상기 제1의 인버터의 상기 입력단은 상기 제3의 스위치의 상기 출력단에 접속되고, 상기 기억회로는 상기 제1의 인버터의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제4의 스위치와, 상기 제4의 스위치의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제1의 드라이브회로와, 상기 제1의 인버터의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제5의 스위치와, 상기 제5의 스위치의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제2의 드라이브회로를 더 구비한다. 그리고, 상기 제4 및 제5의 스위치는 상기 제1의 스위치의 개폐와 상보적으로 개폐하고, 상기 제1 및 제2의 드라이브회로의 출력은 상보적인 값을 얻는다.

본 발명의 제38의 관점에 따른, 상기 제3의 스위치는 상기 제2의 스위치가 도통하고 있는 경우만 도통한다.

본 발명의 제39의 관점에 따른, 플립플롭회로는 복수의 입력단자와, 상기 복수의 입력단자에 주어진 신호들중의 한쌍을 모드신호에 따라서 선택적으로 출력하는 셀렉터와, 상기 셀렉터의 출력을 받는 입력단 및 출력단을 갖는 마스터·래치와, 상기 마스터·래치의 상기 출력단에 접속된 입력단 및 출력단을 포함하는 스위치와, 상기 스위치의 출력단에 접속된 입력단 및 출력단을 포함하는 드라이브회로를 갖는 슬레이브·래치와, 하나의 복수의 입력단자와 접속된 입력단 및 상기 슬레이브·래치의 상기 드라이브회로의 상기 입력단에 접속된 출력단을 갖고, 바이패스 신호에 따라서 개폐하는 바이패스용스위치를 구비한다.

그리고, 적어도 하나의 상기 마스터·래치 및 상기 슬레이브·래치의 동작은 상기 모드신호에 따라서 다이내믹형과 스태틱형으로 전환한다.

본 발명의 제40의 관점에 따른, 상기 하나의 복수의 입력단자는 상기 복수의 입력단자에 주어진 신호중의 상기 한쌍의 신호중의 하나이다.

본 발명의 제41의 관점에 따른, 상기 플립플롭회로는 상기 하나의 복수의 입력단자에 접속된 입력단 및 상기 바이패스용스위치의 상기 입력단에 접속된 출력단을 갖는 바이패스용인버터를 더 구비한다.

본 발명의 제42의 관점에 따른, 상기 플립플롭회로는 상기 바이패스신호와, 클럭신호의 기초가 되는 클럭원신호를 입력하여, 상기 마스터·래치 및 상기 슬레이브·래치의 동작을 제어하는 클럭신호를 출력하는 논리회로를 더 구비한다.

상기 바이패스신호가 제1의 값을 채용한 경우에는 상기 클럭원신호에 따라서 상기 클럭신호가 결정되고, 상기 바이패스신호가 상기 제1의 값과 상보적인 제2의 값을 채용한 경우에는 상기 클럭원신호에 관계없이, 상기 클럭신호의 값이 고정된다.

본 발명의 제43의 관점에 따르면, 상기 마스터·래치는 상기 마스터·래치의 입력단에 접속된 입력단 및 출력단을 포함하는 스위치와, 상기 마스터·래치의 상기 스위치의 출력단에 접속된 입력단 및 출력단을 포함하는 드라이브회로를 더 갖는다.

상기 마스터·래치의 상기 드라이브회로는 상기 바이패스용스위치가 도통하는 경우에는 고정된 값을 출력하고, 상기 바이패스용스위치가 도통하지 않은 경우에는 상기 마스터·래치의 상기 스위치에 의해 전달되는 신호의 변화에 따라서 변화되는 신호를 출력한다.

본 발명의 제44의 관점에 따른, 상기 하나의 복수의 입력단자는 상기 복수의 입력단자에 주어진 신호중의 상기 한쌍의 신호 어느것인가와도 다르다.

본 발명의 제45의 관점에 따른, 플립플롭회로는 마스터·래치 및 슬레이브·래치로서 기능하는 한쌍의 하프·래치의 직렬 접속을 구비하고, 상기 한쌍의 하프·래치의 적어도 한편은 모드신호에 의해서 다이내믹형/스태틱형으로 전환되어 동작하고, 상기 마스터·래치 및 상기 슬레이브·래치의 동작은 각각 서로 다

른 한쌍의 클럭신호에 의해서 제어된다.

본 발명의 제46의 관점에 따른, 상기 플립플롭회로는 복수의 입력신호로부터 하나의 입력신호를 상기 모드신호에 따라서 선택하여 상기 마스터·래치에 전달하는 셀렉터를 더 구비한다.

본 발명의 제47의 관점에 따른, 상기 플립플롭회로는 상기 한쌍의 클럭신호의 한편과, 클럭원신호를 입력하여, 상기 한쌍의 클럭신호의 다른쪽을 생성하는 논리회로를 더 구비하고, 상기 클럭원신호의 값이 천이를 하는 경우는 반드시 한쌍의 천이를 하고, 상기 한쌍의 천이는 상기 한쌍의 클럭신호의 상기 한편이 비활성에 있는 기간에 존재한다.

본 발명의 제48의 관점에 따른, 상기 한쌍의 상기 클럭신호의 상기 한편은 상기 마스터·래치의 동작을 제어하고, 상기 한쌍의 상기 클럭신호의 상기 다른쪽은 상기 슬레이브·래치의 동작을 제어하고, 상기 복수의 입력신호는 한쌍으로 되고, 상기 클럭원신호는 상기 모드신호로서 채용된다.

본 발명의 제49의 관점에 따른, 플립플롭회로는 복수의 제1의 입력을 입력하여, 그중에서 1개를 선택, 출력하는 제1의 셀렉터와, 상기 제1의 셀렉터의 출력을 받아, 제1의 클럭신호로 동작하여 제1의 출력을 출력하는 제1의 하프·래치와, 상기 제1의 출력 및 적어도 하나의 제2의 입력을 입력하여, 그중에서 한 개를 선택, 출력하는 제2의 셀렉터와, 상기 제2의 셀렉터의 출력을 받아, 제2의 클럭신호로 동작하여 제2의 출력을 출력하는 제2의 하프·래치를 구비한다.

본 발명의 제50의 관점에 따른, 상기 복수의 제1의 입력의 개수는 2이고, 상기 제2의 입력의 개수는 1이고, 상기 제1 및 제2의 셀렉터는 어느것이나 모드신호에 의해서 그 동작이 제어된다.

본 발명의 제51의 관점에 따른, 상기 제1 및 제2의 하프·래치의 적어도 한편이 상기 모드신호에 따라서 다이내믹형/스태틱형으로 전환되어 동작한다.

본 발명의 제52의 관점에 따른, 플립플롭회로는 입력단 및 출력단을 갖는 제1의 스위치와, 상기 제1의 스위치의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제1의 인버터와, 상기 제1의 인버터의 상기 출력단에 접속된 입력단 및 출력단을 갖는 제2의 인버터와, 상기 제1의 인버터의 상기 출력단에 접속된 제1의 하프·래치와, 상기 제2의 인버터의 상기 출력단에 접속된 제2의 하프·래치를 구비한다.

그리고, 상기 제1 및 제2의 하프·래치는 서로 동기하여 동작하고, 상기 제1의 스위치는 상기 제1 및 제2의 하프·래치가 정보를 전달하는 상태에 있을 때에 비도통하고, 상기 제1 및 제2의 래치가 정보를 유지하는 상태에 있을 때에 도통한다.

본 발명의 제53의 관점에 따른, 상기 플립플롭회로는 상기 제2의 인버터의 상기 출력단과 상기 제1의 인버터의 상기 입력단과의 사이에 개재되는 제2의 스위치를 더 구비한다.

그리고, 상기 제2의 스위치는 상기 제1 및 제2의 하프·래치가 정보를 전달하는 상태에 있을 때에 도통하고, 상기 제1 및 제2의 래치는 정보를 유지하는 상태에 있을 때에 비도통한다.

본 발명의 제54의 관점에 따른, 상기 플립플롭회로는 상기 제2의 인버터의 상기 출력단과 상기 제1의 인버터의 상기 입력단과의 사이에서, 상기 제2의 스위치와 직렬로 접속되는 제3의 스위치를 더 구비한다.

그리고, 상기 제3의 스위치는 모드신호에 의해서 상기 제1 및 제2의 스위치 및 상기 제1 및 제2의 하프·래치와는 독립하여 개폐한다.

본 발명의 제55의 관점에 따른, 상기 플립플롭회로는 복수의 입력단자와, 상기 복수의 입력단자에 주어진 신호를 택일적으로 상기 제1의 스위치의 상기 입력단에 주는 셀렉터를 더 구비하고, 상기 셀렉터는 상기 제3의 스위치의 개폐와 동기하여 동작한다.

본 발명의 제56의 관점에 따른, 기억회로는 어드레스에 대응하여 데이타의 기록 및 판독을 하는 코어부와, 기록허가원신호를 입력하고, 이것을 클럭신호에 기초를 둔 타이밍에서 출력하는 제1의 플립플롭과, 기록되어야 되는 상기 데이타를 입력하고, 이것을 상기 클럭신호에 기초를 둔 타이밍에서 상기 코어부에 출력하는 제2의 플립플롭과, 상기 제1의 플립플롭의 출력을 입력하고, 이것을 상기 클럭신호에 기초를 둔 타이밍으로 기록허가신호로서 상기 코어부에 주는 기록제어부와, 판독어드레스가 주어지는 제1입력단과, 기록어드레스가 주어지는 제2입력단과, 출력단을 갖는 선택수단을 구비하고, 상기 선택수단의 상기 출력단은 상기 제1의 플립플롭의 출력의 값이 기록동작에 대응하고 있는 경우에는 상기 기록어드레스를 상기 클럭신호에 기초를 둔 타이밍에서 상기 코어부에 주고, 상기 제1의 플립플롭의 출력의 값이 판독동작에 대응하고 있는 경우에는 상기 판독어드레스를 상기 코어부에 주고, 상기 코어부는 상기 기록허가신호가 활성화하는 것에 의해, 상기 선택수단의 상기 출력단에 주어진 신호에 대응하는 상기 어드레스에 상기 제2의 플립플롭의 출력을 기록한다.

본 발명의 제57의 관점에 따른, 상기 선택수단은 상기 제2입력단에 접속되어 상기 클럭신호에 기초를 둔 타이밍에서 상기 기록신호를 전달하는 제3의 플립플롭과, 상기 제1입력단에 접속된 제1단과, 상기 제3의 플립플롭에 접속된 제2단과, 상기 선택수단의 상기 출력단에 접속된 제3단과, 상기 제1의 플립플롭의 출력단에 접속된 제어단을 포함하는 선택기를 갖는다.

그리고, 상기 선택기는 상기 제어단에 주어진 값에 따라서, 상기 제1단에 주어진 신호 및 상기 제2단에 주어진 신호의 어느 것인가 한편을 제3단에 준다.

본 발명의 제58의 관점에 따른, 상기 제3의 플립플롭은 스캔타입의 플립플롭이고, 상기 선택수단에는 테스트신호도 주어지고, 상기 테스트신호가 활성화하고 있는 경우 및 상기 제1의 플립플롭의 출력이 기록동작에 대응하고 있는 경우의 적어도 한편의 경우에는, 자신의 상기 출력단에 자신의 상기 제2단에 주어진 신호를 준다.

본 발명의 제59의 관점에 따른, 상기 선택수단은 상기 기록어드레스 및 스캔테스트용신호를 모드신호에 따라서 선택적으로 출력하는 셀렉터와, 상기 셀렉터의 출력을 전달하는 마스터·래치와, 상기 마스터·래치의 출력단에 접속된 입력단과, 출력단을 포함하는 스위치를 갖고, 이것을 개재하여 상기 마스터·래치

의 출력을 전달하는 슬레이브·래치와, 상기 판독어드레스가 주어지는 입력단과, 상기 슬레이브·래치의 상기 드라이브회로의 상기 입력단에 접속된 출력단을 갖고, 바이패스신호의 활성/비활성에 따라서 각각 ON/OFF하는 바이패스용스위치를 구비한다.

그리고, 상기 바이패스신호는 상기 테스트신호가 활성화하고 있는 경우 및 상기 제1의 플립플롭의 출력이 기록동작에 대응하고 있는 경우의 적어도 한 편의 경우에 비활성화하고, 상기 바이패스신호가 활성화한 경우에는 상기 슬레이브·래치의 상기 스위치는 상기 클럭신호에 관계없이 비도통한다.

본 발명의 제60의 관점에 따른, 상기 마스터·래치 및 상기 슬레이브·래치의 한편은 상기 모드신호가 상기 셀렉터에 상기 스캔테스트용신호를 출력시키도록 제어하는 경우에, 스태틱형으로 동작하고, 상기 모드신호가 상기 셀렉터에 상기 기록어드레스를 출력시키도록 제어하는 경우에, 다이내믹형으로서 동작하고, 다른쪽은 다이내믹형으로서 동작한다.

본 발명의 제61의 관점에 따른, 상기 제1의 입력단과 상기 제2의 입력단은 공통으로 접속되고, 상기 기록어드레스 및 상기 판독어드레스의 양자에 공통으로 주어진다.

본 발명의 제1, 제2 또는 제4의 관점에 따른 상기 플립플롭회로에 의하면, 통상 동작시에 있어서는 제3의 스위치를 OFF로 하여 제2의 하프·래치가 다이내믹형의 동작을 하도록, 또한 전원전류테스트를 할 때에는 제3의 스위치를 ON으로 하여 제2의 하프·래치가 스태틱형의 동작을 하도록, 각각 모드신호를 제어할 수가 있다.

따라서, 통상 동작시에 있어서는 고속으로 동작하고, 전원전류테스트를 할 때에는 불필요한 전류소비를 피할 뿐만 아니라, 고장의 오인을 피할 수가 있다.

본 발명의 제5의 관점에 따른 상기 플립플롭회로에 의하면, 모드신호가 제2의 하프·래치의 동작을 다이내믹형과 스태틱형으로 전환하는 기능에 덧붙여, 셀렉터를 제어를 하는 기능도 갖기 때문에, 배선수를 절약하면서 제1의 관점의 효과를 얻는 스캔타입의 플립플롭회로를 실현할 수가 있다.

본 발명의 제6, 제8, 또는 제9의 관점에 따른 상기 플립플롭회로에 의하면, 논리게이트에 의해서 제2의 스위치가 모드신호 및 클럭신호에 따라서 제어된다.

본 발명의 제10의 관점에 따른 상기 플립플롭회로에 의하면, 제4의 스위치에 의해서 제2의 하프·래치의 동작이 다이내믹형과 스태틱형으로 전환된다.

본 발명의 제3, 제12, 제13, 제14, 제15, 제16, 제17, 제21, 제22, 제23의 관점에 따른 상기 플립플롭회로에 의하면, 배선의 혼잡을 회피할 수 있고, 레이아웃에 필요한 면적을 저감할 수가 있다.

본 발명의 제18의 관점에 따른 상기 플립플롭회로에 의하면, 통상의 입력신호가 소정의 값이 아닌 경우를 검출하고 기억할 수가 있다.

본 발명의 제19, 20의 관점에 따른 상기 스캔패스에 의하면, 배선수를 절약하면서 상기 제1의 관점의 효과를 얻는 스캔패스를 실현할 수가 있다.

본 발명의 제7 또는 제11의 관점에 따른 상기 플립플롭회로에 의하면, 홀드 신호를 제어함으로써, 클럭신호의 천이에 따르는 전력소비를 피하면서, 기억내용을 유지할 수가 있다.

본 발명의 제24의 관점에 따른 상기 기억회로에 의하면, 통상 동작시에 있어서는 제3의 스위치를 OFF로 하여 기억회로가 다이내믹형의 동작을 하도록, 또한 전원전류테스트를 할 때에는 제3의 스위치를 ON으로 하여 기억회로가 스태틱형의 동작을 하도록, 각각 모드신호를 제어할 수가 있다.

따라서, 통상 동작시에 있어서는 고속으로 동작하고, 전원전류테스트를 할 때에는 불필요한 전류소비를 피할 뿐만 아니라, 고장의 오인을 피할 수가 있다.

본 발명의 제25, 제26의 관점에 따른 상기 기억회로에 의하면, 출력신호를 얻는 인버터의 구동능력을 향상시킴으로써, 출력신호의 천이를 고속으로 할 수 있다. 본 발명의 제27의 관점에 따른 상기 기억회로에 의하면, 스태틱형 하프·래치로서의 기능 및, 다이내믹형 하프·래치 및 3상태 버퍼로서의 기능을 전환하여 발휘할 수 있다.

본 발명의 제28의 관점에 따른 상기 기억회로에 의하면, 하프·래치가 마스터·래치로서 기능한다.

그리고, 제27의 관점에 따른 상기 기억회로가 다이내믹형 하프·래치 및 3상태 버퍼로서의 기능을 발휘함으로써, 하프·래치의 입력단에서 출력단자로 신호가 전달되는데, 클럭신호의 반주기분이 필요하게 된다.

그러므로, 제28의 관점에 따른 상기 기억회로를 직렬로 접속하여 스캔패스를 구성한 경우에도 클럭신호의 스큐(skew)에 대하여 적어도 클럭신호의 반주기의 타이밍·마진을 얻는 수 있어, 스큐에 의한 악영향을 억제할 수가 있다.

본 발명의 제29의 관점에 따른 상기 기억회로에 의하면, 스태틱형 하프·래치로서의 기능 및 2개의 다이내믹형 하프·래치가 직렬로 접속됨으로써 형성되는 회로로서의 기능을 전환하여 발휘할 수 있다.

본 발명의 제30의 관점에 따른 상기 기억회로에 의하면, 하프·래치가 마스터·래치로서 기능한다.

그리고, 제29의 관점에 따른 상기 기억회로가 2개의 다이내믹형 하프·래치를 직렬로 접속함으로써 형성되는 회로로서의 기능을 발휘함으로써, 하프·래치의 입력단에서 제1의 드라이브회로의 출력단으로 신호가 전달되는데, 클럭신호의 반주기분이 필요하게 된다.

따라서, 제30의 관점에 따른 상기 기억회로를 직렬로 접속하여 스캔패스를 구성한 경우에는 클럭신호의 스큐에 대하여 적어도 클럭신호의 반주기의 타이밍·마진을 얻을 수 있어, 스큐에 의한 악영향을 억제할 수가 있다.

본 발명의 제31, 제32의 관점에 따른 상기 기억회로에 의하면, 소정의 신호에 의해서 복수의 신호를 전환

하여, 제29의 관점에 따른 상기 기억회로에 전달되기 때문에, 스캔플립플롭으로서 기능할 수가 있다.

더구나, 통상 동작을 할 때는 제3의 스위치의 도통/비도통에 대응하여, 스태틱형과 다이내믹형의 동작을 바꿀 수 있다.

본 발명의 제33의 관점에 따른 상기 기억회로에 의하면, 제32의 관점에 따른 상기 기억회로의 직렬 접속에 의해서 구성되는 스캔패스의 리셋트를 소규모인 회로에서 실현할 수가 있다.

본 발명의 제34, 제35의 관점에 따른 기억회로에 의하면, 상기 기억회로는 모드신호의 전환에 의해서, 통상 동작을 스태틱형 하프·래치로 행하고, 시프트동작을 다이내믹형의 플립플롭회로로서 행하는 2개의 기능을 갖는다.

그리고, 통상 동작의 출력단을 시프트동작시의 스캔패스의 접속점으로서도 채용할 수가 있다.

본 발명의 제36의 관점에 따른 상기 기억회로에 의하면, 상기 제4의 스위치와, 제2의 드라이브회로에 의해서 구성되는 다이내믹형의 하프·래치가 추가되기 때문에, 마스터·슬레이브형의 플립플롭을 구성할 수가 있다.

한편, 제3의 스위치가 오픈되어 있는 경우에는 제1의 드라이브회로의 출력도 마스터·슬레이브형의 플립플롭의 출력이기 때문에, 2개의 출력을 선택하여 스캔패스에 전달시킬 수 있다.

본 발명의 제37의 관점에 따른 상기 기억회로에 의하면, 서로 상보적인 값이 타이밍을 정합시키면서, 제1 및 제2의 드라이브회로에서 출력될 수가 있다.

본 발명의 제38의 관점에 따른 상기 기억회로에 의하면, 스태틱형 동작을 할 때에 제2의 스위치가 개폐되지 않기 때문에, 전력소비를 억제할 수가 있다.

본 발명의 제39의 관점에 따른 상기 플립플롭회로에 의하면, 플립플롭회로에 주어지는 신호는 클럭신호와 동기하여 전파되지만, 입력단자중의 한 개에 주어진 신호는 클럭신호와 동기하지 않고 전파될 수 있다.

본 발명의 제40의 관점에 따른 상기 플립플롭회로에 의하면, 셀렉터에 주어진 신호의 한편은 플립플롭을 경유하여 클럭신호와 동기하여 전달될 수 있거나, 클럭신호와 비동기의 신호로서 전달될 수 있다.

본 발명의 제41의 관점에 따른 상기 플립플롭회로에 의하면, 마스터·래치가 자신에게 입력된 신호를 시켜서 출력하는 동작을 하는 경우에, 슬레이브·래치의 드라이브회로의 입력단에 주어지는 신호에 관하여 충돌을 생기지 않도록 함으로써, 불필요한 전력소비를 피할 수 있다.

본 발명의 제42의 관점에 따른 상기 플립플롭회로에 의하면, 바이패스동작을 할 때에, 마스터·래치로부터 전달되는 신호와, 바이패스회로에서 전달되는 신호의 충돌 및 이것에 기인하는 불필요한 전력소비를 피할 수 있다.

본 발명의 제43의 관점에 따른 상기 플립플롭회로에 의하면, 마스터·래치의 스위치로 전달되는 신호의 변동에 의해서 드라이브회로에 흐르는 관통전류를 억제할 수가 있다.

본 발명의 제44의 관점에 따른 상기 플립플롭회로에 의하면, 클럭신호와 동기하여 전달되는 신호와는 달리, 클럭신호와 비동기적으로 전달되는 신호를 별도로 입력할 수가 있다.

본 발명의 제45의 관점에 따른 상기 플립플롭회로에 의하면, 통상 동작시에 있어서는 한편의 하프·래치를 다이내믹형으로 동작시킴으로써 고속 처리를 실현하고, 전원전류테스트를 할 때에는 스태틱형으로 동작시킴으로써 불필요한 전류 소비를 피할 뿐만 아니라, 고장의 오인을 피할 수가 있다.

본 발명의 제46의 관점에 따른 상기 플립플롭회로에 의하면, 모드신호가 하프·래치의 동작을 다이내믹형/스태틱형으로 전환하는 기능에 덧붙여, 셀렉터를 제어하는 기능도 갖기 때문에, 배선수를 절약하면서 제45의 관점의 효과를 얻는 스캔타입의 플립플롭회로를 실현할 수가 있다.

본 발명의 제47의 관점에 따른 상기 플립플롭회로에 의하면, 클럭원신호가 천이하는 경우에는 한쌍의 클럭신호의 다른쪽은 한쌍의 클럭신호의 한편이 비활성에 있는 기간에서 한쌍의 천이를 하고, 플립플롭회로는 2상클럭으로 동작한다.

클럭원신호가 천이하지 않은 경우에, 한쌍의 클럭신호의 다른쪽은 한쌍의 클럭신호의 한편과 상보적인 값을 채용하고, 상기 플립플롭회로는 1상엣지트리거형으로서 기능한다.

따라서, 클럭원신호에 의해서 플립플롭의 동작타입을 바꿀 수 있다.

본 발명의 제48의 관점에 따른 상기 플립플롭회로에 의하면, 상기 클럭원신호가 천이하지 않은 경우에, 상기 모드신호는 소정의 값에 고정되기 때문에, 입력신호의 한편에 관하여 1상엣지·트리거형으로서 플립플롭회로가 동작한다.

한편, 상기 클럭원신호가 천이하는 경우에는, 상기 제1의 클럭신호가 비활성인 기간에 있어서 그 천이를 행하기 때문에, 모드신호가 상기 소정의 값을 채용하는 경우에 있어서, 마스터·래치는 입력신호의 한편을 전달하지 않는다.

따라서, 이 경우에는, 입력신호의 다른쪽을 2상클럭형으로 동작한다.

따라서, 모드신호를 이끌기 위한 배선을 별도로 설치할 필요가 없다.

본 발명의 제49의 관점에 따른 상기 플립플롭회로에 의하면, 플립플롭회로를 직렬로 접속하고, 제2의 출력을 다음단에 전달함으로써 단일의 스캔패스를 구성하더라도, 제1 및 제2의 하프·래치가 각각 하나의 논리회로를 테스트하기 때문에, 2개의 논리회로를 테스트할 수 있다.

본 발명의 제50의 관점에 따른 상기 플립플롭회로에 의하면, 셀렉터에 의해서 통상 동작용의 신호와 스캔

테스트의 시프트동작용의 신호를 선택하여, 플립플롭회로에 그것을 전달시킬 수 있다.

본 발명의 제51의 관점에 따른 상기 플립플롭회로에 의하면, 통상 동작과 시프트동작에서, 제50의 관점에 따른 상기 플립플롭회로의 동작을 다이내믹형/스태틱형으로 전환하여 동작시킬 수 있다.

본 발명의 제52의 관점에 따른 상기 플립플롭회로에 의하면, 제1의 하프·래치의 출력과, 제2의 하프·래치의 출력으로서 상보적인 값을 천이 타이밍에서 정합시켜서 얻을 수 있다.

본 발명의 제53의 관점에 따른 상기 플립플롭회로에 의하면, 제1의 하프·래치는 마스터·래치가 스태틱형으로 동작하는 마스터·슬레이브형의 플립플롭회로의 슬레이브·래치로서 기능한다.

제2의 하프·래치는 마스터·래치가 다이내믹형으로 동작하는 마스터·슬레이브형의 플립플롭회로의 슬레이브·래치로서 기능한다.

본 발명의 제54의 관점에 따른 상기 플립플롭회로에 의하면, 상기 제1의 스위치 및 상기 제1 및 제2의 인버터에 의해 구성되는 마스터·래치를 제3의 스위치의 개폐에 의해서 다이내믹/스태낵형으로 기능시킬 수 있다.

본 발명의 제55의 관점에 따른 상기 플립플롭회로에 의하면, 복수의 입력단자에 주어지는 신호의 종류에 응해서, 상기 제1의 스위치 및 상기 제1 및 제2의 인버터에 의해 구성되는 마스터·래치를 다이내믹/스태낵형으로 기능시킬 수 있다.

본 발명의 제56의 관점에 따른 상기 기억회로에 의하면, 선택수단은 기록동작에 있어서는
기록어드레스를, 판독동작에 있어서는 판독어드레스를, 각각 코어부에 준다.

기록동작은 클럭신호와 동기하고 있고, 판독동작은 비동기이다.

판독어드레스 및 기록어드레스는 각각 제1입력단 및 제2입력단에 주어지기 때문에, 클럭신호와 비동기한 판독동작으로부터, 클럭신호와 동기한 기록동작으로 시프트하는 프로세서에서, 판독어드레스를 기록어드레스로 변경하기 위한 더미(dummy)기간을 설치할 필요가 없다.

본 발명의 제57의 관점에 따른 상기 기억회로에 의하면, 제3의 플립플롭은 기록어드레스를 클럭신호와 동기시켜서 선택기에 준다.

즉, 상기 선택기는 클럭신호와 비동기한 기록어드레스 및 판독어드레스를 선택적으로 코어부에 준다.

따라서, 판독동작은 비동기에서, 기록동작은 동기에서, 각각 실행할 수 있다.

본 발명의 제58의 관점에 따른 상기 기억회로에 의하면, 테스트신호를 활성화시킴으로써, 제3의 플립플롭에 주어진 스캔테스트용신호를 판독어드레스로서 코어에 공급할 수가 있다.

본 발명의 제59, 제60의 관점에 따른 상기 기억회로에 의하면, 기록동작에 있어서는 바이패스신호가 활성화되지 않기 때문에, 판독어드레스는 바이패스되지 않고, 셀렉터로부터 출력된 기록어드레스는 마스터·래치 및 슬레이브·래치를 통하여 선택수단으로부터 출력된다.

또한, 판독동작에 있어서는 바이패스신호가 활성화되기 때문에, 판독어드레스가 바이패스되어 클럭신호와 동기하는 일 없이 선택수단으로부터 출력된다.

한편, 미리 모드신호에 의해서 스캔테스트용신호를 마스터·래치에 전달하도록 셀렉터를 제어하고, 스캔테스트용신호가 유지된 후, 테스트신호를 활성화시킨 경우에, 기록동작은 아니지만 판독어드레스는 바이패스되지 않고, 스캔테스트용신호가 선택수단으로부터 출력된다.

따라서, 스캔테스트용신호를 판독어드레스로서 코어에 공급할 수가 있다.

본 발명의 제61의 관점에 따른 상기 기억회로에 의하면, 제1의 입력단 및 제2의 입력단이 공통으로 접속되고, 클럭신호와 비동기한 판독동작으로부터, 클럭신호와 동기한 기록동작으로 시프트하는
프로세서에서, 판독어드레스로부터 기록어드레스로 변경하기 위한 더미기간을 설치할 필요가 있는 경우에 있어서도, 제어신호가 스캔모드를 지정하는 경우에는 제3의 플립플롭에 주어진 스캔테스트용신호를 사용하여 테스트용의 어드레스를 코어에 공급할 수가 있다.

본 발명은 상기의 문제점을 해결하기 위한 것으로, S/H 타임 또는 T-Q 지연(또는 T2-Q 지연)을 작게 하고, 소비전력을 억제하는 플립플롭회로를 제공하는 것을 목적으로 한다.

또, 본 명세서에 있어서 「스캔패스」라는 것은 플립플롭회로의 직렬접속에 있어서, 통상 동작과는 다른 테스트동작에서 스캔테스트용의 신호를 전달하는 것을 가리킨다.

본 발명의 상기와 다른 목적, 특징, 관점 및 이점은 첨부도면에 의거하여 본 발명의 이하 상세한 설명으로부터 더 분명해진다.

[발명의 실시의 형태]

이하에서는 발명의 실시의 형태를 구체적으로 설명하기 전에, 종래의 기술로부터 본 발명에 달하기까지의 전구적인 사상(이하 「전구사상」이라고 칭하는)를 설명하므로써, 본 발명의 기술적 내용을 명확하게 할 수 있다.

A. 전구사상 :

(a-1) 제1의 전구사상

S/H 타임이든지 T-Q지연의 증대를 피하는 방법으로서, 마스터·래치 및 슬레이브·래치를 어느것이나 다이내믹형의 하프·래치로 구성할 수 있다.

즉, 제77a도에 나타내어진 구성으로부터 MOS 트랜지스터(N2,N4,P2,P4) 및 인버터(INV2,INV4)를 제거한 구

성이다.

여기서, 인버터(INV1,INV3)는 CMOS 트랜지스터로 구성되는 것으로 한다.

마스터·래치가 데이타유지상태에 있는 경우에는 인버터(INV1)의 입력단이, 슬레이브·래치가 데이타유지상태에 있는 경우에는 인버터(INV2)의 입력단이, 각각 플로팅 상태가 된다.

그리고, 인버터(INV1,INV3)의 입력단에 각각 기생하는 용량이 H, L레벨의 어느것인가를 유지함으로써, 데이타가 유지된다.

따라서, 데이타의 경합은 생기지 않지만, 속도성능이 개선되고, 소비전력도 저감할 수가 있다.

그러나, 클럭신호(T)를 정지한 경우, 이 용량이 리이크 등에 의해서 충방전되고, 인버터(INV1,INV3)의 입력단의 전위가 H도 아니고, L도 아닌 중간전위로 된다.

이 경우에, 인버터(INV1,INV3)에 있어서 관통전류가 흘러버리는 문제점이 있다.

이러한 플립플롭회로를 CMOS 트랜지스터로 구성된 집적회로에 적용하면, 클럭신호(T)를 정지하면서 행해지는 집적회로의 DC테스트, 특히 전원전류 테스트를 정확히 행할 수 없다고 하는 문제점이 생긴다.

CMOS 트랜지스터로 구성된 회로는 정상동작에 있어서 거의 전류가 흐르지 않기 때문에, 상기 관통전류에 의해서 상기 회로와 전원과의 사이에 전류가 흐르면, 고장을 오진하게 되는 문제점이 생긴다.

이러한 관통전류의 존재는 저소비전력화에 있더라도 바람직하지 않다.

저소비전력화의 기술중의 하나로서, 사용않고 있는 회로블럭에 설치된 플립플롭회로의 클럭신호를 정지하는 것이 채용된다.

그와 같은 기술이 적용되는 회로블럭에 있어서 제1의 전구사상에 따른 다이내믹형의 마스터·래치 및 슬레이브·래치를 가지는 플립플롭회로가 사용되면, 클럭신호의 정지에 의해서 흐르는 관통전류가 불필요한 전력을 소비하는 것이 명백하다.

따라서, 마스터·래치 및 슬레이브·래치의 양자를 다이내믹형의 하프·래치로 구성하는 것은 바람직하지 않다.

(a-2) 제2의 전구사상

종래의 기술 및 제1의 전구사상으로부터, 한쌍의 하프·래치중의 한편을 다이내믹형에, 다른쪽에 스태틱형에, 각각 구성한다고 하는 사상에 도달할 수 있다.

제1도 및 제2도는 이 제2의 전구사상에 근거하는 2개의 형의 플립플롭회로의 구성을 나타내는 회로도이다.

제1도에 나타내어진 구성에는 마스터·래치가 다이내믹형이고, 슬레이브·래치가 스태틱형이다.

제2도에 나타내어진 구성에서는 마스터·래치가 스태틱형이고, 슬레이브·래치가 다이내믹형이다.

우선, 제1도의 구성부터 설명한다.

마스터·래치는 NMOS 트랜지스터(N1) 및 PMOS 트랜지스터(P1)의 병렬접속으로 이루어지는 트랜스미션 게이트(S1)와 트랜스미션 게이트(S1)에 직렬로 접속된 인버터2(INV1)와, 트랜스미션 게이트(S1)에 병렬로 접속된 인버터(INV5)를 구비하고 있다.

트랜스미션 게이트(S1)의 일단은 입력단자에 접속되어, 입력신호(D)를 받는다.

트랜스미션 게이트(S1)의 타단은 인버터(INV1)의 입력단에 접속되어 있다.

클럭신호(T)가 주어지는 클럭단이 NMOS 트랜지스터(N1)의 게이트 및 인버터(INV5)의 입력단에 공통으로 접속된다.

인버터(INV5)의 출력단은 PMOS 트랜지스터(P1)의 게이트에 접속된다.

슬레이브·래치는 NMOS 트랜지스터(N3) 및 PMOS 트랜지스터(P3)의 병렬 접속으로 이루어지는 트랜스미션 게이트(S3)와, 이것에 직렬로 접속되는 인버터(INV3)와, NMOS 트랜지스터(N4) 및 PMOS 트랜지스터(P4)의 병렬접속으로 이루어지는 트랜스미션 게이트(S4)와, 이것에 직렬로 접속되는 인버터(INV4)를 구비하고 있다.

그리고, 슬레이브·래치는 더 인버터(INV5)를 마스터·래치와 공유하고 있다.

트랜스미션 게이트(S3)의 일단은 마스터·래치가 구비하는 인버터(INV1)의 출력단에 접속되고, 타단은 인버터(INV3)의 입력단에 접속된다.

인버터(INV3)의 출력단은 출력단자 및 인버터(INV4)의 입력단에 공통으로 접속된다.

인버터(INV4)의 출력단에는 트랜스미션 게이트(S4)의 일단이 접속되고, 트랜스미션 게이트(S4)의 타단은 트랜스미션 게이트(S3)의 타단 및 인버터(INV3)의 입력단에 공통으로 접속된다.

인버터(INV5)의 입력단 및 출력단은 PMOS 트랜지스터(P3)의 게이트 및 NMOS 트랜지스터(N3)의 게이트에, 각각 접속되어 있다.

인버터는 모두 CMOS 구조를 갖고 있다.

마스터·래치의 트랜스미션 게이트(S1)의 일단은 입력단자에 직접적으로 접속되고, 슬레이브·래치의 트랜스미션 게이트(S3)의 일단은 입력단자에 간접적으로 접속된다.

또한, 슬레이브·래치의 인버터(INV3)의 출력단은 출력단자에 직접적으로 접속되고, 마스터·래치의 인버터(INV1)의 출력단은 출력단자에 간접적으로 접속된다. 다음에, 제1도에 나타내어지는 구성을 갖는 플립플롭회로의 동작에 관해서 설명한다.

우선, 클럭신호(T)가 H레벨이다고 가정한다.

인버터(INV5)의 출력은 L레벨이고, 트랜스미션 게이트(S1,S4)의 양자는 ON(도통)이 되고, 트랜스미션 게이트(S3)는 OFF(비도통)가 된다.

그리고, 입력신호(D)가 인버터(INV1)의 입력단에 전달되는 한편, 인버터(INV4)의 출력단과 인버터(INV3)의 입력단이 접속되기 때문에, 슬레이브·래치가 데이타 유지 상태가 되어, 출력단자에 생기는 논리치는 변동하지 않는다.

클럭신호(T)가 H에서 L로 천이하는 것에 의해, 트랜스미션 게이트(S1)는 OFF가 되고, 인버터(INV1)의 입력단에 기생하는 용량은 입력신호(D)의 값을 유지한다.

이때, 스태틱형과는 달리, 인버터(INV1)의 입력단은 플로팅 상태이기 때문에, 이 기생용량을 유지하는 값은 다른 값과 경합하지 않는다.

따라서, S/H 타임을 크게 설정할 필요가 없어, 일정치를 채용하는 기간이 짧은 입력신호(D)에도 대응할 수가 있다.

클럭신호(T)가 L이기 때문에, 트랜스미션 게이트(S4)는 오프가 되고, 트랜스미션 게이트(S3)는 ON된다.

따라서, 인버터(INV1)의 입력단에 기생하는 용량에 의해 유지되는 논리는 인버터(INV1,INV3)에 의해서 2회 반전되고, 출력신호(Q)로서 출력단에 주어진다.

그리고, 전원전류테스트를 할 때, 클럭신호(T)를 강제적으로 H레벨로 하면, 제1의 전구사상에 있어서 생긴 문제점은 해소된다.

이것에 의해서, 트랜스미션 게이트(S1)는 ON이 되고, 인버터(INV1)의 입력단은 중간전위로 되지 않기 때문에, 인버터(INV1)에는 관통전류가 흐르지 않는다.

그러나, 제1도에 나타내어진 구성에는 S/H 타임을 억제할 수 있더라도 T-Q 지연을 저감할 수는 없다.

다음에, 제2도의 구성을 설명한다.

마스터·래치는 제1도에 나타내어진 구성에 있어서의 인버터(INV1)에 대하여 병렬로, 트랜스미션 게이트(S2)와 인버터(INV2)의 직렬접속을 추가한 구성을 구비하고 있다.

인버터(INV2)의 입력단은 인버터(INV1)의 출력단에 접속되고, 인버터(INV2)의 출력단은 트랜스미션 게이트(S2)의 일단에 접속되고, 트랜스미션 게이트(S2)의 타단은 인버터(INV1)의 입력단에 접속되어 있다.

트랜스미션 게이트(S2)는 NMOS 트랜지스터(N2) 및 PMOS 트랜지스터(P2)의 병렬접속에 의해서 구성되어 있고, NMOS 트랜지스터(N2)의 게이트 및 PMOS 트랜지스터(P2)의 게이트에는 각각 인버터(INV5)의 출력단 및 입력단이 접속되어 있다.

슬레이브·래치는 제1도에 나타내어진 구성으로부터 트랜스미션 게이트(S4) 및 인버터(INV4)를 삭제한 구성을 구비하고 있다.

다음에, 제2도에 나타낸 구성을 갖는 플립플롭회로의 동작에 관해서 설명한다.

우선, 클럭신호(T)가 H레벨이다고 가정한다.

인버터(INV5)의 출력이 L레벨이고, 트랜스미션 게이트(S1)는 ON(도통)하고, 트랜스미션 게이트(S2,S3)는 어느것이나 OFF(비도통)한다.

그리고, 인버터(INV1)의 입력단에는 인버터(INV2)의 출력단에 생긴 신호가 전달되지 않고, 입력신호(D)만이 전달된다.

한편, 인버터(INV1)의 출력단에 생긴 신호는 인버터(INV3)의 입력단에는 전달되지 않는다.

따라서, 인버터(INV1)의 입력단은 플로팅 상태가 되고, 여기에 기생하는 용량에 의해 유지되는 값은 다른 값과 경합하지 않는다.

이렇게 하여, 슬레이브·래치가 데이타유지상태로 되기 때문에, T-Q 지연을 작게 할 수가 있어, 동작속도를 빠르게 할 수 있다.

클럭신호(T)가 H에서 L로 천이하는 것에 의해, 트랜스미션 게이트(S1)는 OFF하고, 트랜스미션 게이트(S2)는 ON하기 때문에, 인버터(INV1,INV2)가 입력신호(D)를 유지한다.

트랜스미션 게이트(S3)도 ON하기 때문에, 인버터(INV3)의 입력단에 의해 유지되는 논리는 인버터(INV1, INV3)에 의해서 2회 반전되고, 출력신호(Q)로서 출력단에 주어진다.

그리고, 전원전류테스트를 할 때, 클럭신호(T)를 강제적으로 L 레벨로 하면, 제1의 전구사상에 있어서 생긴 문제점은 해소된다.

이것에 의해서, 트랜스미션게이트(S3)는 ON하고, 인버터(INV3)의 입력단은 중간전위가 되지 않기 때문에, 인버터(INV3)에 관통전류가 흐르지 않는다.

그러나, 제2도에 나타내어진 구성에 있어서, T-Q 지연을 억제할 수 있더라도 S/H 타임을 저감할 수는 없다.

B. 본 발명의 실시의 형태 :

본 발명의 실시의 형태에 있어서는, 제2의 전구사상을 근거로 하여, 하프·래치의 적어도 한편을 다이내믹형과 스태틱형으로 바꿔 동작시키는 기술이 설명된다.

이러한 전환은 모드신호에 의해서 행해지고, 하프·래치를 다이내믹형으로 전환함으로써 플립플롭회로의 동작을 신속하게 하는 한편, 하프·래치를 스태틱형으로 전환함으로써 플립플롭회로의 전원전류 테스트의 오진을 피한다.

이하, 순차 구체적으로 나타내어 간다.

[(b-1) 실시의 형태 1]

제3도는 본 발명의 실시의 형태1의 구성을 나타내는 회로도이다.

마스터·래치는 제1도에 나타내어진 제2의 전구사상에 사용된 마스터·래치와 동일의 구성을 하고 있다.

한편, 슬레이브·래치는 제1도에 나타내어진 슬레이브·래치에 대하여, 트랜스미션 게이트(S4)에 대한 신호를 주는 방법이 다르다.

즉, 슬레이브·래치는 NAND게이트(NAND1)와, 인버터(INV6)를 더 구비하고 있고, 트랜스미션 게이트(S4)를 구성하는 NMOS 트랜지스터(N4)의 게이트에는 인버터(INV6)의 출력단이, PMOS 트랜지스터(P4)의 게이트에는 인버터(INV6)의 입력단이, 각각 접속되어 있다.

그리고, 인버터(INV6)의 입력단에는 NAND게이트(NAND1)의 출력단이 접속되어 있다.

여기서, NAND게이트(NAND1)의 한편의 입력단은 모드신호(MODE)를, 다른쪽의 입력단은 클럭신호(T)를 각각 받는다.

이것 때문에, 모드신호(MODE)가 L레벨에 있으면, 제1의 전구사상에 있어서, 설명된, 2개의 다이내믹형의 하프·래치의 직렬접속의 구성과 같은 동작을 하지 않기 때문에, S/H 타임 및 T-Q 지연의 양자를 억제할 수가 있다.

한편, 모드신호(MODE)가 H레벨에 있으면, 제3도에 나타내어진 회로의 동작은 제2의 전구사상에 있어서 제1도를 사용하여 설명된 회로와 같은 동작을 한다.

따라서, 이 플립플롭회로가 통상 동작을 하면, 모드신호(MODE)를 L레벨로 하는 것에 의해, 회로동작을 신속하게 할 수 있다.

그리고, 이 플립플롭회로의 DC테스트, 특히 전원전류 테스트를 할 경우, 모드신호(MODE)를 H레벨로 하고, 또한 클럭신호(T)를 강제적으로 H레벨로 한다.

이것에 의해서, 트랜스미션 게이트(S4)가 ON하여 인버터(INV3)의 입력단의 플로팅 상태가 해소되기 때문에, 인버터(INV3)에 있어서의 관통전류를 피할 수가 있다.

요컨대, 본 실시의 형태에 의하면, 제1의 전구사상의 장점을 손상하지 않고, 그 단점을 해소할 수가 있다.

즉, 회로동작을 신속하게 하면서도 불필요한 전력소비를 억제할 수가 있다고 하는 효과가 있다.

또, 출력신호(Q)의 반전신호($\overline{Q}$)를 인버터(INV4)의 출력단에서 꺼낼 수 있다.

제4도는 본 실시의 형태를 변형한 구성의 일부를 나타내는 회로도이다.

간단을 위해, 이 도면을 마스터·래치의 부분만을 나타내고 있다.

트랜스미션 게이트(S101)는 제3도의 트랜스미션 게이트(S1)를 치환한 것이다.

입력신호(D)는 PMOS 트랜지스터(P201)의 게이트 및 NMOS 트랜지스터(N201)의 게이트에 공통으로 주어진다.

PMOS 트랜지스터(P201)의 드레인과 NMOS 트랜지스터(N201)의 드레인은 공통으로 인버터(INV1)의 입력단에 접속되어 있다.

PMOS 트랜지스터(P201)의 소스는 PMOS 트랜지스터(P1)를 개재하여 전위(VDD)를 주는 전위점에 접속되어 있다.

또한, NMOS 트랜지스터(N201)의 소스는 NMOS 트랜지스터(N1)를 개재하여 접지되어 있다.

PMOS 트랜지스터(P1) 및 NMOS 트랜지스터(N1)는 제3도에 나타내어진 경우와 같이, 각각의 게이트전극에 클럭신호(T) 및 그 반전이 주어지고, 거의 동시에 개폐한다.

그리고, PMOS 트랜지스터(P1) 및 NMOS 트랜지스터(N1)가 도통하는 경우에는 트랜스미션 게이트(S101)는 인버터로서 기능한다.

PMOS 트랜지스터(P1) 및 NMOS 트랜지스터(N1)가 도통하지 않은 경우에는 트랜스미션 게이트(S101)의 출력단은 하이 임피던스 상태로 설정된다.

이러한 변형은 이하에 나타내어지는 여러 가지의 실시의 형태에 있어서도 적용할 수 있다.

[(b-2) 실시의 형태 2]

제5도는 본 발명의 실시의 형태2의 구성을 나타내는 회로도이다.

마스터·래치는 제1도에 나타내어진 제2의 전구사상에 사용된 마스터·래치와 동일의 구성을 하고 있다.

한편, 슬레이브·래치는 인버터(INV3)의 입력단과 트랜스미션 게이트(S3)의 타단을 공통으로 접속한 점과 트랜스미션 게이트(S4)의 타단과의 사이에 개재되는 트랜스미션 게이트(S5)와, 트랜스미션 게이트(S5)에 병렬로 접속된 인버터(INV7)를 더 구비한다.

트랜스미션 게이트(S5)는 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N5)와의 병렬 접속에 의해서 구성되어 있다.

그리고, PMOS 트랜지스터(P5)의 게이트전극 및 NMOS 트랜지스터(N5)의 게이트전극에는 인버터(INV7)의 출력단 및 입력단이 각각 접속되어 있다.

인버터(INV7)의 입력단에는 모드신호(MODE)가 주어진다.

이것 때문에, 모드신호(MODE)가 L레벨에 있으면, 트랜스미션 게이트(S5)는 OFF하여, 제1의 전구사상에 있어서 설명된, 2개의 다이내믹형의 하프·래치의 직렬접속의 구성과 같은 동작을 하기 때문에, S/H 타임 및 T-Q 지연의 어떤것도 억제할 수가 있다.

한편, 모드신호(MODE)가 H레벨에 있으면, 트랜스미션 게이트(S5) ON하여, 제5도에 나타내어진 회로의 동작은 제2도의 전구사상에 있어서 제1도를 사용하여 설명된 회로와 같은 동작을 한다.

따라서, 본 실시의 형태에 의하면 실시의 형태1과 같은 효과가 있다.

물론, 출력신호(Q)의 반전신호($\overline{Q}$)를 인버터(INV4)의 출력단에서 꺼낼 수 있다.

또, 제5도에 있어서, 점선으로 나타낸 접속선, 즉 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N4)와의 접속선, 또는 PMOS 트랜지스터(P4)와 NMOS 트랜지스터(N5)와의 연결은, 생략하더라도 동작에는 영향이 없다.

이 접속선을 생략하면, 배선수가 효율적으로 감소될 수 있다.

[(b-3) 실시의 형태 3]

제77a도에 나타내어진 슬레이브·래치중의 인버터(INV3)는 통상 하나의 PMOS 트랜지스터와 하나의 NMOS 트랜지스터와의 직렬접속에 의해서 구성된다.

그리고, 출력신호(Q)에 대한 부하로 되는 용량이 증가되면, 슬레이브·래치의 홀드타임이 증가된다.

이것을 방지하기 위해서, 출력신호(Q)를 받아 다음단에 전달하는 드라이브회로를 설치하여, 슬레이브·래치에 대하여 상기의 용량이 직접 인버터(INV3,INV4)에 접속되지 않도록 하는 기술이 알려지고 있다.

그러나, 실시의 형태2에 나타내어진 슬레이브·래치에서, 통상 동작에 대하여 같은 것을 사용하는 경우에, 모드신호(MODE)를 L레벨로 하는 것에 의해 다이내믹형의 동작이 실현된다.

그 때문에, 슬레이브·래치의 홀드타임은 증가되지 않는다.

이러한 경우에, 새롭게 상기의 드라이브회로를 설치할 필요가 없다.

그러면서, 다음단에 전달되는 출력신호(Q)는 인버터(INV3)의 구동능력이 클수록 고속인 천이가 실현된다.

제6도는 실시의 형태3의 구성을 나타내는 회로도이다.

여기서 나타낸 것은 슬레이브·래치의 부분만이고, 제5도에 나타내어진 플립플롭회로의 슬레이브·래치로서 적용할 수 있다.

여기서는 편의상, 마스터·래치로부터 신호(Q3)가 얻어진다고 가정한다.

제6도에 있어서는 인버터(INV3)가 복수의 트랜지스터대(PINV31, NINV31, PINV32, NINV32,...)로 구성되어 있다.

각각의 트랜지스터쌍에 의해 구성된 인버터는 병렬로 접속되어 있다.

그 개수는 3개 이상이어도 좋다.

따라서, 통상 트랜지스터 사이즈가 통일되어 있는 CMOS 게이트 어레이를 사용한 경우에 있어서, 인버터(INV3)의 구동능력을 높이는 경우에는 본 실시의 형태가 유효하다.

또, 제6도에 있어서는 인버터(INV4)가 PMOS 트랜지스터(PINV4)와 NMOS 트랜지스터(NINV4)로 구성되어 있는 모양을 나타내고 있다.

출력신호(Q)의 반전신호($\overline{Q}$)는 인버터(INV4)의 출력으로서 얻어지지만, 인버터(INV3)의 입력단에서 얻어질 수도 있다.

이와 같이, 특히 인버터(INV4)의 출력이 필요하지 않으면, 트랜스미션 게이트(S4)를 구성하는 PMOS 트랜지스터(P4)와 NMOS 트랜지스터(NINV4)와의 접속선, 또는 PMOS 트랜지스터(PINV4)와 NMOS 트랜지스터(N4)와의 접속선은, 생략하더라도 동작에는 영향이 없기 때문에, 점선으로 나타내고 있다.

이 접속선을 생략함으로써, 배선수가 감소하게 되는 효과를 초래할 수가 있다.

[(b-4) 실시의 형태 4]

제7도는 실시의 형태4의 구성을 나타내는 회로도이다.

여기서 나타낸 것은 슬레이브·래치의 부분만이고, 제5도에 나타내어진 플립플롭회로의 슬레이브·래치로

서 적용할 수 있다.

제7도에 있어서는 인버터(INV4)가 복수의 트랜지스터대(PINV41, NINV41, PINV42, NINV42, ...)로 구성되어 있다.

각각의 트랜지스터쌍에 의해 구성된 인버터가 병렬로 접속되어 있다.

그 개수는 3개 이상이어도 좋다.

따라서, 통상 트랜지스터 사이즈가 통일되어 있는 CMOS 게이트 어레이를 사용한 경우에 있어서, 인버터(INV4)의 구동능력을 높일 때는 본 실시의 형태가 유효하다.

출력신호(Q)의 반전신호($\overline{Q}$)는 인버터(INV3)의 입력단에서 얻을 수 있지만, 상기와 같이 구성된 인버터(INV4)로부터 출력신호(Q)의 반전신호($\overline{Q}$)를 얻음으로써, 실시의 형태 3과 유사하게 반전신호($\overline{Q}$)의 고속천이가 실현된다.

[(b-5) 실시의 형태 5]

제8a도는 본 발명의 실시의 형태5의 구성을 나타내는 회로도이다.

제8a도에 나타내어진 플립플롭회로는 제3도에 나타내어진 실시의 형태1에 따른 플립플롭회로에 셀렉터(SEL1)를 부가한 구성을 갖고 있다.

이것 때문에, 제8a도에 나타내어진 플립플롭회로는 테스트 용이화 설계에서 채용되는 스캔타입의 플립플롭회로로서 사용될 수가 있다.

제8b도는 제8a도에 나타내어진 플립플롭회로를 사용하여 형성한 스캔타입의 플립플롭회로의 직렬접속(스캔패스)를 나타낸다.

셀렉터(SEL1)는 그 제어단에 주어지는 신호에 의존하는 통상의 입력신호(DI)와 스캔테스트용신호(SI)를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편을 출력하는 출력단을 갖고 있다.

셀렉터(SEL1)는 그 제어단에 주어지는 신호가 L레벨인 경우에는 통상의 입력신호(DI)를, H레벨인 경우에는 스캔테스트용신호(SI)를, 각각 출력단에 준다.

실시의 형태5에 있어서는, 셀렉터(SEL1)의 제어단에 모드신호(MODE)를 준다.

우선, 모드신호(MODE)가 L레벨로 설정되어 있는 경우, 셀렉터(SEL1)는 통상의 입력신호(DI)를 출력하고, 트랜스미션 게이트(S1)는 이것을 입력신호(DI)로서 받는다.

그리고, 클럭신호(T)의 하강에 응하여 출력단자에 출력신호(Q)로서 이것을 출력한다.

그리고, 제8b도에 나타낸 것 같이, 직렬접속된 스캔타입의 플립플롭회로에서, 각각의 출력신호(Q)가 다음단의 플립플롭회로의 입력신호(DI)에 영향을 주는 것이 없다.

이때, 트랜스미션 게이트(S4)는 OFF하고 있기 때문에 어느쪽의 하프·래치도 다이내믹형으로 되어, S/H타임 및 T-Q 지연의 어떤것도 억제할 수가 있다.

즉, 이 회로가 통상의 플립플롭회로로서 사용될 때의 동작을 신속하게 할 수 있다.

한편, 모드신호(MODE)를 H레벨로 설정하면, 트랜스미션 게이트(S4)의 ON/OFF는 클럭신호(T)에 의존하고, 슬레이브·래치는 스태틱형으로서 동작한다.

이때, 셀렉터(SEL1)는 스캔테스트용신호(SI)를 출력하고, 트랜스미션 게이트(S1)는 이것을 입력신호(D)로서 받는다.

그리고, 클럭신호(T)의 하강에 대응하여, 출력단자에 출력신호(Q)로서 이것을 출력한다.

제8b도에 나타낸 것 같이, 직렬접속된 스캔타입의 플립플롭회로는 출력신호(Q)로서 스캔테스트용신호(SI)를 순차 다음단의 플립플롭회로에 전달한다.

스캔테스트용신호(SI)의 전달은 스캔테스트에 있어서 주어지는 시프트동작이기 때문에, 이때의 회로동작의 속도는 통상 동작에 있어서의 그것과 같이 신속한 것은 요구되지 않는다.

또한, 모드신호(MODE)를 H레벨로 설정하고 더욱 클럭신호(T)를 강제적으로 H레벨로 함으로써 전원전류 테스트의 오진을 피할 수가 있는 것은 실시의 형태1 및 2와 같다.

물론, 출력신호(Q)의 반전신호($\overline{Q}$)를 인버터(INV4)의 출력단에 꺼낼 수 있다.

본 실시의 형태에 있어서는 모드신호(MODE)가 셀렉터(SEL1)의 선택동작의 제어와, 슬레이브 래치의 다이내믹형과 스태틱형과의 전환은 제어와의 양쪽을 겸무하기 때문에, 배선수를 절약하면서, 실시의 형태1의 기술을 스캔타입의 플립플롭회로에 적용할 수가 있다고 하는 효과가 있다.

[(b-6) 실시의 형태 6]

제9도는 볼 발명의 실시의 형태6의 구성을 나타내는 회로도이다.

제9도에 나타내어전 플립플롭회로는 제5도에 나타내어진 실시의 형태2에 따른 플립플롭회로에 셀렉터(SEL1)부가한 구성을 갖고 있다.

이것 때문에, 제9도에 나타내어진 회로는 제8a도에 나타내어진 플립플롭회로와 유사하게, 제8b도에 나타

낸 것과 같이 접속하는 것에 의해, 스캔타입의 플립플롭회로로서 사용될 수가 있다.

본 실시의 형태에 있어서도, 셀렉터(SEL1)의 제어단에는 모드신호(MODE)가 주어진다.

따라서, 본 실시의 형태에 의해서는, 실시의 형태5의 효과와 유사하게, 배선수를 절약하면서, 실시의 형태2의 기술을 스캔타입의 플립플롭회로에 적용할 수가 있다고 하는 효과가 있다.

또, 본 실시의 형태에 의하면, 인버터(INV7)가 모드신호(MODE)와 논리가 반대인 역모드신호($\overline{\mathrm{MODE}}$)를 출력하기 때문에, 셀렉터(SEL1)가 선택동작에 있어서 모드신호(MODE)뿐만 아니라 역모드신호($\overline{\mathrm{MODE}}$)도 필요로 하는 것이더라도 좋다.

또, 셀렉터(SEL1)의 회로구성은 여러 가지의 구성이 가능하다.

제15도는 셀렉터(SEL1)의 회로구성과, 모드신호(MODE) 및 역모드신호($\overline{\mathrm{MODE}}$)와의 관계를 나타내는 회로도이다.

셀렉터(SEL1)는 PMOS 트랜지스터(P10) 및 NMOS 트랜지스터(N10)로 구성되는 트랜스미션 게이트(S10)와, PMOS 트랜지스터(P11) 및 NMOS 트랜지스터(N11)로 구성되는 트랜스미션 게이트(S11)로 구성되어 있다.

트랜스미션 게이트(S10)의 일단에는 통상의 입력신호(DI)가, 트랜스미션 게이트(S11)의 일단에는 스캔테스트용신호(SI)가, 각각 입력된다.

그리고, 트랜스미션 게이트(S10)의 타단과, 트랜스미션 게이트(S11)의 타단은 공통으로 접속되어, 셀렉터(SEL1)의 출력단을 구성한다.

모드신호(MODE)가 H, 따라서, 역모드신호($\overline{\mathrm{MODE}}$)가 L로 된 경우에는, 트랜스미션 게이트(S10,S11)는 각각 OFF, ON하여, 마스터·래치에 입력신호(D)로서 스캔테스트용신호(SI)가 출력된다.

한편, 모드신호(MODE)가 L, 따라서 역모드신호($\overline{\mathrm{MODE}}$)가 H로 된 경우에는, 트랜스미션 게이트(S10,S11)는 각각 ON, OFF하여, 입력신호(D)로서, 통상의 입력신호(DI)가 출력된다.

다른 실시의 형태와 같이, 출력신호(Q)의 반전신호($\overline{\mathrm{Q}}$)를 인버터(INV4)의 출력단에서 꺼낼 수 있다.

제16a,16b도는 셀렉터(SEL1)의 일부를 구성하는 셀렉터(SELP)의 구성을 나타내는 회로도이다.

제16a도는 복합논리 게이트를 나타내고, 제16b도는 이것을 PMOS 트랜지스터 및 NMOS 트랜지스터로 실현한 경우의 회로구성을 나타내고 있다.

셀렉터(SELP)는 모드신호(MODE)가 H로 된 경우에는 스캔테스트용신호(SI)의 논리반전이, 모드신호(MODE)가 L로 된 경우에는 통상의 입력신호(DI)의 논리반전이, 각각 입력신호(D)로서 출력된다.

그 때문에, 셀렉터(SELP)를 사용하여 셀렉터(SEL1)를 실현하기 위해서는, 더욱 인버터를 설치하거나, 스캔테스트용신호(SI)의 논리반전 및 통상의 입력신호(DI)의 논리반전을 입력하는 것이 필요하다.

[(b-7) 실시의 형태 7]

제10도는 본 발명의 실시의 형태7의 구성을 나타내는 회로도이다.

슬레이브·래치는 제2도에 나타내어진 제2의 전구사상에 사용된 슬레이브·래치와 동일의 구성을 하고 있다.

한편, 마스터·래치는 제2도에 나타내어진 마스터·래치에 대하여, 트랜스미션 게이트(S1)에 대한 신호를 주는 방법이 다르다.

즉, 마스터·래치는 NOR 게이트(NOR1)와, 인버터(INV6)를 더 구비하고 있고, 트랜스미션 게이트(S2)를 구성하는 PMOS 트랜지스터(P2)의 게이트에는 인버터(INV6)의 출력단이, NMOS 트랜지스터(N2)의 게이트에는 인버터(INV6)의 입력단이, 각각 접속되어 있다.

그리고, 인버터(INV6)의 입력단에는 NOR 게이트(NOR1)의 출력단이 접속되어 있다.

여기서, NOR 게이트(NOR1)의 한편의 입력단은 모드신호(MODE)를, 다른 쪽의 입력단은 클럭신호(T)를, 각각 받는다.

이것 때문에, 모드신호(MODE)가 H레벨에 있으면, 상기 회로는 제1의 전구사상에 있어서 설명된, 2개의 다이내믹형의 하프·래치의 직렬접속의 구성과 같은 동작을 하기 때문에, S/H 타임 및 T-Q 지연의 어떤것도 억제할 수가 있고, 소비전력을 경감할 수가 있다.

한편, 모드신호(MODE)가 L레벨에 있으면, 제10도에 나타내어진 회로의 동작은 제2의 전구사상에 있어서 제2도를 사용하여 설명된 회로와 같은 동작을 한다.

따라서, 이 플립플롭회로이 통상의 동작을 하는 경우에, 모드신호(MODE)를 H레벨로 하는 것에 의해 회로동작을 신속하게 할 수 있다.

그리고, 이 플립플롭회로의 DC테스트, 특히 전원전류 테스트를 할 경우에, 모드신호(MODE)를 L레벨로 하고, 또한 클럭신호(T)를 강제적으로 L레벨로 한다.

이것에 의해서, 트랜스미션 게이트(S2)가 ON하여, 인버터(INV1)의 입력단의 플로팅상태가 해소되기 때문

에, 인버터(INV1)에 있어서의 관통전류를 피할 수가 있다.

요컨대, 본 실시의 형태에 의하면, 제1의 전구사상의 장점을 손상하지 않고, 그 단점을 해소할 수가 있다.

즉, 회로동작을 신속하게 하면서도 불필요한 전력소비를 억제할 수가 있다고 하는 효과가 있다.

[(b-8) 실시의 형태 8]

제11도는 본 발명의 실시의 형태8의 구성을 나타내는 회로도이다.

슬레이브·래치는 제2도에 나타내어진 제2의 전구사상에 사용된 마스터·래치와 동일의 구성을 하고 있다.

한편, 마스터·래치는 인버터(INV1)의 입력단과 트랜스미션 게이트(S1)의 타단이 공통으로 접속된 점과 트랜스미션 게이트(S2)의 타단과의 사이에 개재되는 트랜스미션 게이트(S5)와, 트랜스미션 게이트(S5)에 병렬로 접속된 인버터(INV7)를 더 구비한다.

트랜스미션 게이트(S5)는 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N5)와의 병렬접속에 의해서 구성되어 있다.

그리고, PMOS 트랜지스터(P5)의 게이트 및 NMOS 트랜지스터(N5)의 게이트에는 인버터(INV7)의 출력단 및 입력단이 각각 접속되어 있다.

인버터(INV7)의 입력단에는 모드신호(MODE)가 주어지고 있다.

이것 때문에, 모드신호(MODE)가 L레벨에 있으면, 상기 회로는 제1의 전구사상에 있어서 설명된 2개의 다이내믹형의 하프·래치의 직렬접속의 구성과 같은 동작을 하도록 트랜스미션 게이트(S5)가 OFF로 되기 때문에, S/H 타임 및 T-Q 지연의 양자를 억제할 수가 있다.

한편, 모드신호(MODE)가 H레벨에 있으면, 제11도에 나타내어진 회로의 동작은 제2의 전구사상에 있어서 제2도를 사용하여 설명된 회로와 같도록 트랜스미션 게이트(S5)를 ON한다.

따라서, 본 실시의 형태에 의하면 실시의 형태7과 같은 효과가 있다.

또, 회로도면에서, 점선으로 나타낸 접속선, 즉 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N2)와의 접속선, 또는 PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N5)와의 접속선은 생략하더라도 동작에는 영향이 없다.

이 접속선을 생략하는 것에 의해, 배선수가 감소하는 효과를 초래할 수가 있다.

[(b-9) 실시의 형태 9]

제12도는 본 발명의 실시의 형태9의 구성을 나타내는 회로도이다.

제12도에 나타내어진 플립플롭회로는 제10도에 나타내어진 실시의 형태7에 따른 플립플롭회로에 셀렉터(SEL2)를 부가한 구성을 갖고 있다.

이것 때문에, 제12도에 나타내어진 플립플롭회로는 제8a도에 나타내어진 플립플롭회로와 같게, 제8b도에 나타낸 것 같이 접속하는 것에 의해, 스캔타입의 플립플롭회로로서 사용할 수가 있다.

셀렉터(SEL2)는 그 제어단에 주어지는 신호에 의해서 통상의 입력신호(DI)와 스캔테스트용신호(SI)를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편을 출력하는 출력단을 갖고 있다.

셀렉터(SEL2)는 그 제어단에 주어지는 신호가 H레벨인 경우에는 통상의 입력신호(DI)를, L레벨인 경우에는 스캔테스트용신호(SI)를, 각각 출력단에 준다.

실시의 형태9에 있어서는 셀렉터(SEL2)의 제어단에 모드신호(MODE)를 준다.

우선, 모드신호(MODE)가 H레벨로 설정되어 있는 경우, 셀렉터(SEL2)의 통상의 입력신호(DI)를 출력하고, 트랜스미션 게이트(S1)는 이것을 입력신호(D)로서 받는다.

그리고, 클럭신호(T)의 하강에 대응하여 출력단자에 출력신호(Q)로서 이것을 출력한다.

그리고, 제8b도에 나타낸 것 같이, 직렬접속된 스캔타입의 플립플롭회로에서, 각각의 출력신호(Q)가 다음단의 플립플롭회로의 입력신호(DI)에 영향을 주지 않는다.

이때, 트랜스미션 게이트(S2)는 OFF하고 있기 때문에 어느쪽의 하프·래치도 다이내믹형로서 동작하기 때문에 S/H 타임 및 T-Q 지연의 양자를 억제할 수가 있다.

즉, 통상의 플립플롭회로로서 사용되는 경우에, 그 동작을 신속하게 할 수 있다.

한편, 모드신호(MODE)를 L레벨로 설정하는 경우, 트랜스미션 게이트(S2)의 ON/OFF는 클럭신호(T)에 의존하게 되고, 마스터·래치는 스태틱형으로서 동작한다.

이때, 셀렉터(SEL2)는 스캔테스트용신호(SI)를 출력하고, 트랜스미션 게이트(S1)는 이것을 입력신호(D)로서 받는다.

그리고, 클럭신호(T)의 하강에 대응하여, 출력단자에 출력신호(Q)로서 이것을 출력한다.

제8b도에 나타낸 것 같이, 직렬접속된 스캔타입의 플립플롭회로는 출력신호(Q)로서 스캔테스트용신호(SI)를 순차 다음단의 플립플롭회로에 전달한다. 스캔테스트용신호(SI)의 전달은 스캔테스트에서 행해지는 시프트 동작이고, 이때의 회로동작의 속도는 통상 동작에 있어서의 그것과는 달리 신속한 회로동작을 요구하지 않는다.

또한, 모드신호(MODE)를 L레벨로 설정하고, 더욱 클럭신호(T)를 강제적으로 L레벨로 하는 것에 의해 전원 전류테스트의 오진을 피할 수가 있는 것은 실시의 형태7 및 8과 같다.

본 실시의 형태에 있어서는 모드신호(MODE)가 셀렉터(SEL2)의 선택동작의 제어와, 슬레이브·래치의 다이내믹형과 스태틱형과의 전환의 제어와의 양쪽을 겸무하기 때문에, 배선수를 절약하면서, 실시의 형태7의 기술을 스캔타입의 플립플롭회로에 적용할 수 있다고 하는 효과가 있다.

[(b-10) 실시의 형태 10]

제13도는 본 발명의 실시의 형태10의 구성을 나타내는 회로도이다.

제13도에 나타내어진 플립플롭회로는 제11도에 나타내어진 실시의 형태8에 따른 플립플롭회로에 셀렉터(SEL1)를 부가한 구성을 갖고 있다.

이것 때문에, 제13도에 나타내어진 회로도 제8a도에 나타내어진 플립플롭회로와 마찬가지로, 제8b도에 나타낸 것 같이 접속하는 것에 의해, 스캔타입의 플립플롭회로로서 사용될 수가 있다.

본 실시의 형태에 있어서도, 셀렉터(SEL1)의 제어단에는 모드신호(MODE)가 주어진다.

따라서, 본 실시의 형태에 의해서는 실시의 형태9의 효과와 마찬가지로, 배선수를 절약하면서, 실시의 형태8의 기술을 스캔타입의 플립플롭회로에 적용할 수가 있다고 하는 효과가 있다.

또, 본 실시의 형태에 의하면, 인버터(INV7)가 역모드신호($\overline{\mathrm{MODE}}$)를 출력하기 때문에, 셀렉터(SEL1)가 그 선택동작에 있어서 모드신호(MODE)뿐만 아니라 역모드신호($\overline{\mathrm{MODE}}$)도 필요로 하는 것이더라도 좋다.

또, 제2의 전구사상에 있어서 제1도 및 제2도를 사용하여 나타내어진 플립플롭회로와, 실시의 형태1 내지 10에 이러한 플립플롭회로를 조합하여 반도체칩상에 적재하는 것도 물론 가능하다.

속도성능을 요구하는 반도체칩의 부분에 있어서 본 발명에 따른 플립플롭회로를 사용하고, 속도성능을 요구하지 않은 부분에 있어서는 제1도 및 제2도에 나타내어진 플립플롭회로를 사용하면, 모드신호(MODE)가 불필요하고, 배선의 혼잡을 해소할 수 있는 등의 이점이 있다.

또한, 실시의 형태7 내지 10에 있어서, 슬레이브·래치의 인버터(INV3)를 생략할 수 있다.

이 경우에, 슬레이브·래치에 있어서의 논리는 트랜스미션 게이트(S3)를 구성하느 NMOS 트랜지스터(N3), PMOS 트랜지스터(P3)의 각각의 드레인이 공통으로 접속되는 점에서 존재하는 기생용량에 의해서 기억된다.

실시의 형태10에 있어서 인버터(INV3)를 생략하는 경우, 그 셀렉터(SEL1)로서 제16도에 나타낸 구성을 채용하는 것이 바람직하다.

이것은 셀렉터(SEL1) 자신이 다음단에 대한 구동능력을 갖기 때문에, NMOS 트랜지스터(N3), PMOS 트랜지스터(P3)의 각각의 드레인에 있어서의 기생용량에 있어서 유지되는 정보가 손상되지 않고서 전달될 수 있기 때문이다.

[(b-11) 실시의 형태 11]

제14a, 14b도는 본 발명의 실시의 형태11을 설명하는 회로도이다.

제14a도는 실시의 형태1 내지 10에 있어서 채용된 트랜스미션 게이트(S*)와 인버터(INV*)와의 접속관계를 나타내고 있다.

트랜스미션 게이트(S*)는 PMOS 트랜지스터(P*) 및 NMOS 트랜지스터(N*)로 구성되어 있다.

실시의 형태1 내지 6에 있어서, 「*」은 「4」에 해당하고, 제14a도의 단자(A)는 출력단자에 해당한다.

또한, 실시의 형태1 및 5에 관하여, 제14a도의 단자(B,C)는 어느것이나 인버터(INV3)의 입력단에 접속되고, 실시의 형태2 및 6에 관하여, 단자(B,C)는 각각 NMOS 트랜지스터(N5), PMOS 트랜지스터(P5)접속된다.

또한, 실시의 형태7 내지 10에 있어서, 「*」는 「2」에 해당하고, 단자(A)는 인버터(INV1)의 출력단에 접속되어 있다.

또한, 실시의 형태7 및 9에 관하여, 제14a도의 단자(B,C)는 어느것이나 인버터(INV1)의 입력단에 접속되고, 실시의 형태8 및 10에 관하여, 단자(B,C)는 각각 NMOS 트랜지스터(N5), PMOS 트랜지스터(P5)에 접속된다.

제14a도에 나타낸 접속은 제14b도에 나타낸 회로에 의해서 실현될 수가 있다. 인버터(INV*)는 점선으로 둘러싸인 구성에 의해서 실현된다.

즉, NMOS 트랜지스터(N*)에 접속된 드레인과, 단자(A)에 접속된 게이트전극과, L에 대응하는 전위(GND)가 주어지는 소스를 포함하는 NMOS 트랜지스터(QN)와, PMOS 트랜지스터(P*)에 접속된 드레인과, 단자(A)에 접속된 게이트전극과, H에 대응하는 전위(VDD)가 주어지는 소스를 구비하는 PMOS 트랜지스터(QP)에 의해 인버터(INV*)가 구성된다.

이러한 구성을 채용하는 것에 의해, NMOS 트랜지스터(N*)와 PMOS 트랜지스터(QP)를 접속하는 배선(이것은 NMOS 트랜지스터(QN)와 PMOS 트랜지스터(P*)를 접속하는 배선이기도 하는)이 불필요하다.

따라서, 실시의 형태1 내지 10에 있어서, 제14a도에 나타내어진 회로구성이 대응하는 개소에 제14b도에

나타내어진 회로구성을 적용함으로써, 배선수를 저감할 수가 있다고 하는 효과가 더 부가된다.

또, NMOS 트랜지스터(N*)와 NMOS 트랜지스터(QN)는 단자(B)와 접지전위(GND)를 주는 전위점과의 사이에서 직렬로 접속되어 있기 때문에, 이들을 서로 교체시켜도 좋다.

유사하게, PMOS 트랜지스터(P*)와 PMOS 트랜지스터(QP)는 단자(C)와 전위(VDD)를 주는 전위점과의 사이에서 직렬로 접속되어 있기 때문에, 이들을 서로 교체시켜도 좋다.

[(b-12) 실시의 형태 12]

실시의 형태11에 대하여, 더욱 배선을 생략할 수 있다.

제17a, 17b도는 실시의 형태6에 있어서 제9도에 나타내어진 회로의 셀렉터(SEL1)로서 제15도의 구성을 적용한 경우를 나타내고 있고, 제7a도는 회로도, 제7b도는 CMOS 게이트 어레이의 평면도이다.

여기서, 셀렉터(SEL1)의 출력단과 트랜스미션 게이트(S1)와의 접속배선을 간략화하고 있다.

즉, 셀렉터(SEL1)의 PMOS 트랜지스터(P10,P11)는 트랜스미션 게이트(S1)의 PMOS 트랜지스터(P1)와 접속되지만, NMOS 트랜지스터(N1)와는 접속되지 않는다.

유사하게, 셀렉터(SEL1)의 NMOS 트랜지스터(N10,N11)는 트랜스미션 게이트(S1)의 NPMOS 트랜지스터(N1)와 접속되지만, PMOS 트랜지스터(P1)와는 접속되지 않는다.

더욱, 인버터(INV1)와 트랜스미션 게이트(S3)와의 접속, 인버터(INV4)와 트랜스미션 게이트(S4)와의 접속에 관하여, 실시의 형태11에 설명된 구성이 제14b도를 사용하여 적용된다.

이와 같이, 배선을 간략하고 있기 때문에, 이러한 회로를 실현하는 경우에 있어서 반도체상에 부설되는 배선의 혼잡을 완화할 수가 있다.

바꾸어 말하면, 배선에 대한 폭을 좁게 함으로써 집적도를 향상시킬 수 있다.

제17b도은 트랜지스터의 레이아웃의 예를 나타낸다.

PMOS 트랜지스터행이 윗쪽으로, NMOS 트랜지스터행이 아래쪽으로, 각각 나란히 형성되어 있다.

U의 글자형의 도형은 게이트전극을 나타내고 있다.

또한, 흑선은 제1층배선을, 넓은 반점(half-dot)선은 제2층배선을, 각각 나타내고 있다.

□마크는 제1층배선과 반도체영역 또는 게이트전극을 접속하는 콘택트홀을 나타내고, □와 X로 나타낸 개소에 있어서는 제1층배선과 제2층배선을 서로 접속하는 스루홀이 형성된다.

제17b도를 참조하여, 좌측에서 순차로 제1열, 제2열, ...로 열번호가 부착된다.

소자분리는 게이트분리를 사용하여 행해지고 있다.

즉, 전위(VDD)가 주어진 게이트를 갖는 PMOS 트랜지스터와, 전위(GND)가 주어진 게이트를 갖는 NMOS 트랜지스터는 어느것이나 그 속하는 행의 양측에 위치하는 반도체영역을 전기적으로 분리한다.

제1열, 제3열, 제6열, 제8열, 제15열, 제17열의 PMOS 트랜지스터 및 NMOS 트랜지스터는 게이트분리를 위해 사용된다.

제2열에서 인버터(INV7)가, 제9열에서 인버터(INV1)가, 제13열에서 인버터(INV4)가, 제14열에서 인버터(INV3)가 제16열에서 인버터(INV15)가, 각각 형성되어 있다.

또한, 제4열, 제5열, 제7열, 제10열, 제11열, 제12열에 각각 트랜스미션 게이트(S11, S10, S1, S3, S5, S4)가 형성되어 있다.

이와 같이, CMOS 트랜지스터를 레이아웃하는 것에 의해, 필요한 배선의 수는 적어지고, 열방향에 필요한 폭은 좁아질 수 있다.

또, 인버터(INV4)를 구성하는 PMOS 트랜지스터 및 NMOS 트랜지스터의 드레인을 접속하여, 반전신호($\overline{Q}$)를 얻을 수 있다.

물론, 인버터(INV3)의 입력단에서 반전신호($\overline{Q}$)를 얻을 수도 있다.

또한, PMOS 트랜지스터(P4,P5)와 인버터(INV4)를 구성하는 PMOS 트랜지스터는 서로 직렬로 접속되어 있기 때문에, 이것들의 순서를 서로 교체시킬 수 있다.

유사하게, NMOS 트랜지스터(N4,N5)와 인버터(INV4)를 구성하는 NMOS 트랜지스터는 서로 직렬로 접속되어 있기 때문에, 이것들의 순서를 서로 교체시킬 수 있다.

또한, PMOS 트랜지스터(P3)와 인버터(INV1)를 구성하는 PMOS 트랜지스터는 서로 직렬로 접속되어 있기 때문에, 이것들의 순서를 서로 교체시킬 수 있다.

유사하게, NMOS 트랜지스터(N3)와 인버터(INV1)를 구성하는 NMOS 트랜지스터는 서로 직렬로 접속되어 있기 때문에, 이것들의 순서를 서로 교체시킬 수 있다.

제20a, 20b도는 트랜지스터(P3)과 인버터(INV1)를 구성하는 PMOS 트랜지스터와의 순서를 교체시키고, 더욱 NMOS 트랜지스터(N3)와 인버터(INV1)를 구성하는 NMOS 트랜지스터와의 순서를 교체시킨 구성을 나타내고 있다.

인버터(INV1)는 2개의 트랜지스터와 2개의 전원으로 분리되고, 그 사이에 트랜지스터(P3,N3)가 삽입되어

있다.

그리고, 이들 4개의 트랜지스터는 2개의 전원의 사이에서 서로 직렬로 접속되어 있고, 3상태형인버터(INVT)를 형성하고 있다.

인버터(INV1)를 구성하는 PMOS 트랜지스터의 소스는 PMOS 트랜지스터(P3)를 개재하여, 인버터(INV1)를 구성하는 NMOS 트랜지스터의 소스는 NMOS 트랜지스터(N3)를 개재하여, 각각 전위(VDD, GND)가 주어진다.

이 경우, 인버터(INV1)는 마스터·래치에 속하는 것이 아니고, 슬레이브·래치에 속해 있다고 생각할 수 있다.

즉, 실시의 형태10에 있어서 설명되었던 것 같이, 다이내믹형의 하프·래치의 인버터가 생략되어 있다고 생각할 수 있다.

이 경우, 마스터·래치에 있어서의 논리의 기억 트랜스미션 게이트(S1)를 구성하는 NMOS 트랜지스터(N1), PMOS 트랜지스터(P1)의 각각의 드레인이 공통으로 접속되는 점에 존재하는 기생용량에 의해서 행해진다.

제18a도는 제17a도에 나타내어진 회로에 NAND게이트(NANDR)를 부가한 구성을 갖고 있다.

NAND게이트(NANDR)는 통상의 입력신호(DI)의 기초가 되는 원입력신호(DIN)와, 리셋트신호(R)를 각각 게이트전극에서 받는 한쌍의 NMOS 트랜지스터와, 이들을 각각 게이트전극에서 받는 한쌍의 PMOS 트랜지스터로 구성되어 있다.

그리고, 한쌍의 PMOS 트랜지스터는 서로 병렬로 접속되고, 그 드레인은 공통으로 트랜스미션 게이트(S10)의 구성요소인 PMOS 트랜지스터(P10)에 접속되어 있다.

또한, 한쌍의 NMOS 트랜지스터는 서로 직렬로 접속되고, 한편의 드레인에는 트랜스미션 게이트(S10)의 구성요소인 NMOS 트랜지스터(N1)가 접속되고 다른쪽의 드레인은 접지되어 있다.

그러나, NAND게이트(NANDR)의 구성요소인 PMOS 트랜지스터의 드레인과 NMOS 트랜지스터의 드레인은 직접 접속되지 않는다.

이 점에서, 통상의 2입력 NAND게이트와는 다르다.

요컨대, 접속선(L1)은 생략가능하고, 이것은 접속선(L1)을 점선으로 표시함으로써 나타내어지고 있다.

NAND게이트(NANDR)를 부가함으로써, 제17도에 나타내어진 회로에 대하여 동기리셋트를 인가할 수 있다.

구체적으로, 모드신호(MODE)를 L레벨로 하고, 또한 리셋트신호(R)도 L레벨로 한다.

그리고, 클럭신호(T)의 하강에 의해 출력신호(Q)가 H레벨로 리셋트된다.

제18b도는 제18a도를 실현하는 CMOS 게이트어레이의 평면도이다.

제17b도에 나타낸 평면도와 비교하여, 전원(VDD)용의 배선과 접지(GND)용의 배선과의 사이에 부설해야 할 배선의 단수를 1단감할 수 있는 배선의 배치를 나타내고 있다.

한편으로, 점선으로 나타내어진 접속선(L1)은 생략가능하고, PMOS 트랜지스터가 나란히 있는 행과, NMOS 트랜지스터가 나란히 있는 행과의 경계를 가리는 배선은 생략할 수 있다.

따라서, 배선의 배치가 번잡하게 되는 것을 피할 수 있기 때문에, 전원(VDD)용의 배선과, 접지(GND)용의 배선과의 사이에 부설해야 할 배선의 단수를 증가시키지 않는다.

제19a도는 제17a도에 나타내어진 회로에서 인버터(INV3)를 2입력 NAND게이트(NAND3)로 치환한 구성을 갖고 있다.

NAND게이트(NAND3)의 한편의 입력단은 트랜스미션 게이트(S3)에 접속되고, 다른쪽의 입력단에는 리셋트신호(R)가 주어지고 있다.

리셋트신호(R)를 L레벨로 설정함으로써, 슬레이브 래치가 리셋트되고, 출력신호(Q)는 H레벨이 된다.

만일 필요하다면, 더욱 모드신호(MODE) 및 클럭신호(T)를 H레벨로 설정하면, 출력신호(Q)(또는 $\overline{Q}$)가 주어지어야 되는 다음단의 스캔플립플롭의 마스터·래치를 리셋트할 수 있다.

제19b도는 제19a도를 실현하는 CMOS 게이트 어레이의 평면도이다.

물론, 제18도 및 제19도에 나타내어진 회로에서도, 모드신호(MODE)가 L레벨에 있으면, 슬레이브·래치가 다이내믹형의 동작을 하기 때문에, 고속, 저소비전력이 된다.

또한, 모드신호(MODE)가 H레벨에 있으면, 슬레이브·래치가 스태틱형의 동작을 하기 때문에, 클럭신호(T)를 정지함으로써, 저소비전력화가 가능해진다.

[(b-13) 실시의 형태 13]

실시의 형태12와 같이 하여, 실시의 형태10에 있어서, 제13도에 나타내어진 회로에 대하여 배선을 생략할 수 있다.

제21a, 21b도는 제13도에 나타내어진 회로의 셀렉터(SEL1)로서, 제15도의 구성을 적용한 경우를 나타내고 있고, 동일 도면(A)은 회로도, 동일 도면(B)은 CMOS 게이트 어레이의 평면도이다.

여기서, 실시의 형태12와 같이, PMOS 트랜지스터(P10,P11)는 트랜스미션 게이트(S1)의 PMOS 트랜지스터(P1)와 접속되지만, NMOS 트랜지스터(N1)와는 접속되지 않는다.

유사하게, 셀렉터(SEL1)의 NMOS 트랜지스터(N10,N11)는 트랜스미션 게이트(S1)의 NPMOS 트랜지스터(N1)와 접속되지만, PMOS 트랜지스터(P1)와는 접속되지 않는다.

더욱, 인버터(INV2)와 트랜스미션 게이트(S2)와의 접속에 관하여서는, 실시의 형태11로 제14b도를 사용하여 나타내어진 구성을 작용하고 있다.

제21b도는 트랜지스터 레이아웃의 예를 나타낸다.

제1열, 제3열, 제6열, 제8열, 제13열, 제16열의 PMOS 트랜지스터 및 NMOS 트랜지스터는 게이트 분리에 사용된다.

제2열에서 인버터(INV7)가, 제10열에서 인버터(INV2)가, 제11열에서 인버터(INV1)가, 제14열에서 인버터(INV3)가, 제15열에서 인버터(INV5)가, 각각 형성되어 있다.

또한, 제4열, 제5열, 제7열, 제8열, 제9열, 제12열에 각각 트랜스미션 게이트(S11,S10,S1,S5,S2,S3)가 형성되어 있다.

이와같이, CMOS 트랜지스터를 레이아웃함으로써, 회로를 실현하는 경우에 있어서 반도체상에 부설되는 배선의 혼잡을 완화할 수가 있고, 바꾸어 말하면, 배선에 대한 폭을 좁게 하여 집적도의 향상을 꾀할 수 있다.

또, PMOS 트랜지스터(P2,P5)와 인버터(INV2)를 구성하는 PMOS 트랜지스터와는 서로 직렬로 접속되어 있기 때문에, 이것들의 순서를 교체시킬 수 있다.

유사하게, NMOS 트랜지스터(N2,N5)와 인버터(INV2)를 구성하는 NMOS 트랜지스터와는 서로 직렬로 접속되어 있기 때문에, 이것들의 순서를 교체시킬 수 있다.

(b-14) 실시의 형태14

제22도는 본 발명의 실시의 형태14를 설명하는 회로도이다.

스캔타입의 플립플롭회로(SFF)의 다음단 이후에는 플립플롭회로(FF1,FF2,FF3)가 순차 직렬로 접속되어 있다.

스캔타입의 플립플롭회로(SFF)는 예컨대, 실시의 형태5에 있어서 제8a도를 참조하여 설명된 회로구성 또는 실시의 형태6에 있어서, 제9도를 참조하여 설명된 회로구성을 사용하고, 플립플롭회로(FF1,FF2,FF3)는 예컨대, 실시의 형태1에 있어서 제3도를 참조하여 설명된 회로구성 또는 실시의 형태2에 있어서 제5도를 참조하여 설명된 회로구성을 사용할 수 있다.

클럭신호(T) 및 모드신호(MODE)는 이들 4개의 플립플롭회로에서 공용되어 있다.

이들 4개의 플립플롭회로의 모든 슬레이브·래치는 모드신호(MODE)가 L, H레벨을 채용하는 것에 대응하여 각각 다이내믹형, 스태틱형의 동작을 한다.

그리고, 스캔타입의 플립플롭회로(SFF)는 모드신호(MODE)가 L, H레벨을 채용하는 것에 대응하여 각각의 입력신호(DI)와 스캔테스트용신호(SI)를 출력한다.

따라서, 모드신호(MODE)가 L인 경우에는 이것들의 4개의 플립플롭은 고속으로 동작하는 4비트의 시프트레지스터로서 기능한다.

모드신호(MODE)가 H인 경우에는 제8b도에 나타내어진 것과 같은 스캔패스를 구성하여, 실시의 형태5와 같은 효과를 얻을 수 있다.

혹, 스캔타입의 플립플롭회로(SFF)는 예컨대, 실시의 형태9에 있어서 제12도를 참조하여 설명된 회로구성을 사용하고, 플립플롭회로(FF1,FF2,FF3)는 예컨대, 실시의 형태7에 있어서 제10도를 참조하여 설명된 회로구성을 사용할 수 있다.

이들 4개의 플립플롭회로의 모든 슬레이브·래치는 모드신호(MODE)가 H, L레벨을 채용하는 것에 대응하여 각각 다이내믹형, 스태틱형의 동작을 한다.

그리고, 스캔타입의 플립플롭회로(SFF)는 모드신호(MODE)가 H, L레벨을 채용하는 것에 대응하여 각각 통상의 입력신호(DI)와 스캔테스트용신호(SI)를 출력한다.

따라서, 모드신호(MODE)가 H인 경우에는 이것들의 4개의 플립플롭은 고속으로 동작하는 4비트의 시프트레지스터로서 기능한다.

모드신호(MODE)가 L인 경우에는 제8b도에 나타내어진 것과 같은 스캔패스를 구성하여, 실시의 형태5와 같은 효과를 얻을 수 있다.

또한, 스캔타입의 플립플롭회로(SFF)는 예컨대, 실시의 형태10에 있어서 제13도를 참조하여 설명된 회로구성을 사용하고, 플립플롭회로(FF1,FF2,FF3)는 예컨대, 실시의 형태8에 있어서 제11도를 참조하여 설명된 회로구성을 사용할 수 있다.

이들 4개의 플립플롭회로의 모든 슬레이브·래치는 모드신호(MODE)가 L, H레벨을 채용하는 것에 대응하여 각각 다이내믹형, 스태틱형의 동작을 한다.

그리고, 스캔타입의 플립플롭회로(SFF)는 모드신호(MODE)가 L, H레벨을 채용하는 것에 대응하여 각각 통상의 입력신호(DI)와 스캔테스트용신호(SI)를 출력한다.

따라서, 모드신호(MODE)가 L인 경우에는 이것들의 4개의 플립플롭은 고속으로 동작하는 4비트의 시프트레지스터로서 기능한다.

모드신호(MODE)가 H인 경우에는 제8b도에 나타내어진 것과 같은 스캔패스를 구성하여, 실시의 형태5와 같은 효과를 얻을 수 있다.

스캔타입의 플립플롭회로(SFF)와, 플립플롭회로(FF1,FF2,FF3)는 이것들의 동작을 다이내믹형으로 하는 모드신호(MODE)가 H일 때나 L일 때나, 제22도에 나타내어진 스캔패스를 구성할 수가 있다.

이 경우에, 모드신호(MODE)가 동일의 값을 채용할 경우, 직렬로 접속된 모든 플립플롭회로의 동작이 다이내믹형이 되도록, 또는 직렬로 접속된 모든 플립플롭회로의 마스터·래치 및 슬레이브·래치의 한편의 동작이 스태틱형이 되도록, 적절히 인버터를 설치하여 모드신호(MODE)를 반전, 입력시킬 필요가 있다.

클럭신호(T)에 관해서도, 마찬가지로 직렬로 접속된 모든 플립플롭회로의 마스터·래치 및 슬레이브·래치의 한편의 동작이 모드신호(MODE)에 의해서 스태틱형이 되는 경우에, 클럭신호(T)의 단일의 논리로 모든 플립플롭의 전원전류테스트를 할 수 있도록 인버터를 설치하여 그 논리를 반전시켜서 플립플롭회로에 그것을 줄 필요가 있다.

그러나, 이와 같이 클럭신호(T)를 전달하는 경로에 있어서, 인버터르 개재함으로써, 통상 동작시 시프트레지스터의 실질적인 단수가 감소되어도 좋다.

예컨대, 포지티브·엣지·트리거형의 플립플롭회로와 네가티브·엣지·트리거형의 플립플롭회로를 직렬로 접속하는 것과 같은 경우이다.

[(b-15) 실시의 형태 15]

실시의 형태 5,6,9,10에 있어서 설명되었던 것 같은 스캔타입의 플립플롭회로에 체크회로를 부가함으로써, 고장발견의 기능을 갖게 할 수 있다.

제23도는 실시의 형태15의 구성을 설명하는 회로도이다.

이 회로는 제13도에 나타내어진 회로의 구성에 대하여, 0 체크회로(B0), 1체크회로(B1)를 부가한 구성을 갖고 있다.

1체크회로(B1)는 인버터(INV1)의 입력단과 전위(VDD)를 주는 전원(간단을 위해, 전원(VDD)라고 칭하는)의 사이에 직렬로 접속된 3개의 PMOS 트랜지스터(P101, P102, P103))로 구성되어 있다.

PMOS 트랜지스터(P101)의 게이트에는 모드신호(MODE)가, PMOS 트랜지스터(P102)의 게이트에는 통상의 입력신호(DI)가, PMOS 트랜지스터(P103)의 게이트에는 비교제어신호(CMP1)가, 각각 주어진다.

유사하게, 0체크회로(30)는 인버터(INV1)의 입력단과 접지전위(GND)를 주는 전원(간단을 위해, 접지(GND)라고 칭하는)의 사이에 직렬로 접속된 3개의 NMOS 트랜지스터(N101,N102,N103)로 구성되어 있다.

NMOS 트랜지스터(N101)의 게이트에는 역모드신호($\overline{\mathrm{MODE}}$)가, NMOS 트랜지스터(N102)의 게이트에는 통상의 입력신호(DI)가, NMOS 트랜지스터(N103)의 게이트에는 비교제어신호(CMP0)가, 각각 주어진다.

여기서, 고장발견의 대상이 되는 회로로서는 전형적으로 RAM을 예시할 수 있다.

RAM의 출력은 통상의 입력신호(DI)로서 셀렉터(SEL1)에 주어진다.

통상 동작, 시프트 동작을 하는 경우에는 비교 제어 신호(CMP0, CMP1)가 각각 L, H로 설정되기 때문에, 0체크회로(B0) 및 1체크회로(B1)는 인버터(INV1)의 입력단을 전원(VDD), 접지(GND)에 접속하지 않는다.

즉, 이 경우의 동작은 실시의 형태10에 기재된 것과 같다.

RAM을 테스트를 하는 동작에 있어서는, 미리, 시프트동작에 의해서 마스터·래치에 소정의 값을 기억하여 놓는다.

예컨대, RAM에 기억된 값이 모두 L인 경우, 마스터·래치의 인버터(INV1)의 입력단에 H을 입력하여, 이것을 마스터·래치에 기억시킨다.

그리고, 클럭신호(T)를 L로 고정하면, 트랜스미션 게이트(S1)를 OFF하고, 모드신호(MODE)를 H로 전환함으로써, 마스터·래치는 스태틱에 상기의 데이타를 유지시킬 수 있다.

그 후, 비교제어신호(CMP0, CMP1)를 어느것이나 H로 설정한다.

이것에 의해, 1체크회로(B1)는 인버터(INV1)를 전위(VDD)에 풀업하지 않는다.

또한, 모드신호(MODE)로서 해당 RAM의 테스트용의 스트로보(strobe) 펄스를 준다.

모드신호(MODE)가 L가 되면, RAM의 출력이 셀렉터(SEL1)에 주어진다

이러한 상태에 있어서, RAM의 출력이 H가 되는 경우가 있으면, NMOS 트랜지스터(N102)는 ON하고, RAM의 스트로보 펄스에 의해서 역모드신호($\overline{\mathrm{MODE}}$)가 H가 되어 NMOS 트랜지스터(N101)는 ON하고, 비교제어신호(CMP0)에 의해서 NMOS 트랜지스터(N103)도 ON하고 있다.

따라서, 인버터(INV1)의 입력단의 값은 H에서 L로 변화한다.

즉, 마스터·래치의 입력단에서 기억되어 있는 데이타가 H가 아니고, L인 것에 의해서 고장검출이 행해진다.

유사하게 RAM에 기억된 값이 모두 H인 경우, 마스터·래치의 인버터(INV1)의 입력단에 시프트동작에 의해서 L를 입력한다.

그리고, 클럭신호(T)를 L로 고정하고, 모드신호(MODE)를 H로 전환함으로서 마스터·래치는 스태틱에 상기의 데이타를 유지시킬 수 있다.

그후, 비교제어신호(CMP0,CMP1)를 어느것이나 L로 설정한다.

이것에 의해, 0체크회로(B0)가 인버터(INV1)를 접지(GND)에 풀다운하지 않는다.

이러한 상태에 있어서, RAM의 출력이 L가 되는 경우가 있으면, PMOS 트랜지스터(P102)는 ON하고, RAM의 스트로보 펄스에 의해서 모드신호(MODE)가 L되어 PMOS 트랜지스터(P101)는 ON한다.

더욱 비교제어신호(CMP1)에 의해서 PMOS 트랜지스터(P103)도 ON하고 있기 때문에, 인버터(INV1)의 입력단의 값은 L에서 H로 변화한다.

즉, 마스터·래치의 입력단에서 기억되어 있는 데이타가 L이 아니고 H인 것에 의해서 고장검출이 행해진다.

이것들의 고장은 복수의 어드레스에 대한 상기의 동작(판독 및 판정)후에, 시프트동작에 의해서 스캔레지스터의 내용을 판독함으로써, 외부에서 RAM의 고장의 유무를 판정할 수가 있다.

물론, 실시의 형태10에서 설명하였던 것같이, 인버터(INV3)를 생략할 수도 있다.

이 경우에, 셀렉터(SEL1)는 제16도에 나타내어지는 것 같은 구성을 갖는 것이 바람직하다.

[(b-16) 실시의 형태 16]

제24a, 제24b도 및 제25도는 실시의 형태16의 구성을 설명하는 회로도이다.

제24a, 24b도는 마스터·슬레이브형식의 플립플롭회로의 슬레이브·래치로서 기능하는 하프·래치를 나타내고 있다.

제25도는 제24a도에 나타내어진 슬레이브·래치를 사용한 플립플롭회로를 나타내고 있다.

우선, 제24a, 24b도에 나타내어진 하프·래치에 관해서 설명하고, 그 후에 제25도에 나타내어진 플립플롭회로에 관해서 설명한다.

제24a도에 나타내어진 하프·래치는 제5도에 나타내어진 회로의 구성으로부터 신호(QZ)를 꺼내는 형태를 갖고 있다.

단지, 제24도에 있어서는, 제6도와 같이, 인버터(INV4)가 PMOS 트랜지스터(PINV4) 및 NMOS 트랜지스터(NINV4)로 구성되어 있는 모양을 나타내고 있다.

PMOS 트랜지스터(PINV4)는 PMOS 트랜지스터(P4)와 접속되어 있고, 또한 NMOS 트랜지스터(NINV4)는 NMOS 트랜지스터(N4)와 접속되어 있다.

PMOS 트랜지스터(PINV4) 및 NMOS 트랜지스터(NINV4)을 직접 접속할 필요는 없다.

모드신호(MODE)가 H레벨인 경우에, 트랜스미션 게이트(S5)가 ON하고, 신호(QZ)는 트랜스미션 게이트(S3)에 의해서 전달된 신호(D3)와 같은 논리를 채용한다.

이때, 제24a도에 나타내어진 회로는 스태틱형의 하프·래치로서 기능한다.

물론, 신호(D3)와 같은 논리를 채용하는 신호로서는 인버터(INV3)의 입력단에서 얻어지는 신호(QLA), 인버터(INV4)의 출력단에서 얻어지는 신호(QLB)도 채용할 수 있다.

그리고, 신호(D3)와 상보적인 논리를 채용하는 신호로서는 인버터(INV3)의 출력단에서 얻어지는 신호(QL)을 채용할 수가 있다.

모드신호(MODE)가 L레벨인 경우에는 트랜스미션 게이트(S5)가 OFF하고, 제24a도에 나타내어진 회로는 트랜스미션 게이트(S3) 및 인버터(INV3)로 구성되는 다이내믹형의 하프·래치와, 트랜스미션 게이트(S4) 및 인버터(INV4)로 구성되는 3상태형 인버터와의 직렬접속된 것으로서 기능한다.

제24b도는 제24a도의 기능을 개념적으로 나타내는 회로도이고, 직접적으로 제24a도의 회로와 대응하는 것은 아니다.

모드신호(MODE)가 H이면, 신호(D3)와 같은 논리가 신호(QZ)로서 얻어진다.

그 한편, 모드신호(MODE)가 L이면, 클럭신호(T)에 의해서 H 임피던스가 되기도 하고, 또는 신호(QZ)가 얻어지기도 한다.

제25도에 나타내어진 플립플롭는 제24a도에 나타내어진 하프·래치를 슬레이브·래치로서 사용하고, 이것에 대한 전단의 회로로서 마스터·래치를 설치한 스캔 플립플롭이고, 이 마스터·래치의 구성은 제17a도에 나타내어진 것과 유사하다.

제17a도에 나타내어진 마스터·래치와, 제25도에 나타내어진 마스터·래치와의 차이는 셀렉터를 구성하는 트랜지스터(P10, P11, N10, N11)의 도통/비도통을 모드신호(MODE)(및 역모드신호($\overline{\mathrm{MODE}}$))에 의해서 제어하지 않고, 새로운 신호(SMB)(및 그 반전신호($\overline{\mathrm{SMB}}$))로 제어한다는 점이다.

구체적으로, 신호(SMB)는 PMOS 트랜지스터(P10)의 게이트 및 NMOS 트랜지스3터(N11)의 게이트 및 인버터(INV71)의 입력단에 주어진다.

인버터(INV71)의 출력단에서 신호($\overline{SMB}$)가 얻어져서, 이것이 PMOS 트랜지스터(P11)의 게이트 및 NMOS 트랜지스터(N10)의 게이트에 주어진다.

또, 슬레이브·래치의 트랜스미션 게이트(S3)와 마스터·래치의 인버터(INV1)와의 접속에 관하여서는, 제17도에 나타내어졌던 것 같이, 반드시 트랜스미션 게이트(S3)의 NMOS 트랜지스터(N3)와 PMOS 트랜지스터(P3)가 병렬로 접속될 필요가 없다.

그 점에서, 제25도에 나타내어진 슬레이브·래치와 제24a도에 나타내어진 하프·래치와는 다르지만, 동작에 있어서 다른 곳은 없고, 오히려, 배선의 번잡을 피할 수가 있다.

제17a도에 나타내어진 회로와는 달리, 셀렉터를 구성하는 트랜스미션 게이트(S10,S11)의 동작은 모드신호(MODE)가 아니고, 신호(SMB)에 의해서 제어되기 때문에, 모드신호(MODE)의 값은 통상 동작을 할까, 시프트동작을 할까에는 기여하지 않는다.

시프트동작을 할 때는 신호(SMB)를 L로 하고, 스캔테스트용신호(SI)는 트랜스미션 게이트(S1)에 전달된다.

그리고, 모드신호(MODE)는 L레벨로 설정된다.

따라서, 제25도에 나타내어진 플립플롭 전체에서는 클럭신호(T)에 H레벨로 전달되는 마스터·래치와, 클럭신호(T)가 L레벨로 전달되는 슬레이브·래치와, 클럭신호(T)가 H레벨로 전달되는 3상태형인버터와의 직렬접속으로서 기능한다.

이와 같이, 신호를 전달시키는 클럭신호(T)의 상태가 서로 다른 신호전달수단을 교대로 직렬 배치한 플립플롭회로에 관하여서, 이들을 직렬로 접속한 경우에, 클럭신호(T)의 스큐에 의한 오동작을 억제한다고 하는 이점이 있다.

이러한 기술은 플립플롭회로 전체에 신호를 전달하기 위해 클럭신호(T)의 반주기분이 필요하다는 것을 이용하고 있다.

요컨대, 클럭신호(T)의 하강에 의해서 확정된 트랜스미션 게이트(S1)의 출력은 클럭신호(T)가 L레벨일때에 트랜스미션 게이트(S3)가 도통하고 있기 때문에 인버터(INV3)의 입력단에 주어지지만, 트랜스미션 게이트(S4)가 OFF하고 있기 때문에, 출력신호(QZ)의 값을 결정하는데는 기여하지 않는다.

그리고, 클럭신호(T)의 상승에 의해서 트랜스미션 게이트(S4)가 ON하여, 스위치출력신호(QZ)의 값이 결정된다.

이렇게, 신호가 전달되는데에는 클럭신호(T)의 반주기분이 요구되기 때문에, 이 반주기분이 클럭신호(T)의 스큐에 대한 마진으로서 얻어진다.

특히, 3상태형의 신호전달수단을 사용한 경우에 관하여는 특개평 6-68691호 공보에 개시되어 있다.

이상과 같이 하여, 제25도에 나타내어진 플립플롭회로를 사용하면, 이것을 직렬접속하여 스캔패스를 구성하였을 때에, 클럭신호(T)의 스큐의 영향을 억제할 수가 있다고 하는 이점이 있다.

한편, 통상 동작을 할 때는 신호(SMB)를 H로 하고, 통상의 입력신호(DI)는 트랜스미션 게이트(S1)에 전달된다.

이때, 모드신호(MODE)를 L레벨로 하여 슬레이브·래치를 다이내믹형으로서 동작시켜서 소비전력이든지 속도성능을 유리하게 할 수 있고, 모드신호(MODE)를 H레벨로 전환하여 슬레이브·래치를 스태틱형으로서 동작시켜서 DC 테스트를 하기도 하고, 클럭신호(T)를 정지시켜서 소비전력을 경감할 수도 있다.

물론, 마스터·래치는 상기의 다이내믹형에 한정되지 않고, 스태틱형을 사용해도 좋다.

제26a, 26b도는 실시의 형태16의 변형의 구성을 설명하는 회로도이다.

제25도에 나타내어진 회로에서는 셀렉터를 제어하기 위해서 별도로 신호(SMB)를 채용하였지만, 이것을 모드신호(MODE)에 겸무시킬 수 있다.

이 경우에는, 제26a도에 나타낸 것 같이, 인버터(INV7)가 제25도에 나타내어진 인버터(INV71)로서도 기능할 수 있다.

따라서, 신호(SMB)를 별도로 얻을 필요가 없기 때문에, 플립플롭회로를 구성하는 배선이 적어진다고 하는 이점이 있다.

제26b도는 제17b도와 유사하여, 각 트랜지스터를 CMOS 게이트 어레이에서 실현하는 상태를 나타내고 있다.

단지, 모드신호(MODE)에 신호(SMB)를 겸무시킴으로써, 통상 동작시에 있어서 모드신호(MODE)가 H로 설정되어야 하고, 스태틱형의 동작만 행할 수 있다.

[(b-17) 실시의 형태 17]

제27a,27b도 및 제28도는 실시의 형태17의 구성을 설명하는 회로도이다.

제27a, 27b도는 마스터·슬레이브형식의 플립플롭회로의 슬레이브·래치로서 기능하는 하프·래치를 나타내고 있다.

제28도는 제27a도에 나타내어진 슬레이브·래치를 사용한 플립플롭회로를 나타내고 있다.

우선, 제27a, 27b도에 나타내어진 하프·래치에 관해서 설명하고, 그 후에 제28도에 나타내어진 플립플롭

회로에 관해서 설명한다.

제27a도에 나타내어진 하프·래치는 제24a도에 나타내어진 회로에 대하여 인버터(INV8)를 추가한 구성을 나타내고 있다.

인버터(INV8)는 트랜스미션 게이트(S4,S5)의 접속점에 접속되는 입력단을 갖고, 출력단은 출력신호(QFL)를 출력한다.

모드신호(MODE)가 H레벨인 경우에, 트랜스미션 게이트(S5)가 ON하고, 신호(QFL)는 트랜스미션 게이트(S3)에 의해서 전달된 신호(D3)와 상보적인 논리를 채용한다.

이때, 제27a도에 나타내어진 회로는 스태틱형의 하프·래치로서 기능한다.

물론, 신호(D3)와 상보적인 논리를 채용하는 신호로서는 인버터(INV3)의 출력단에서 얻어지는 신호(QL)도 채용할 수 있다.

그리고, 신호(D3)와 같은 논리를 채용하는 신호로서는 인버터(INV3)의 입력단에서 얻어지는 신호(QLA), 트랜스미션 게이트(S4)의 양단으로부터 얻어지는 신호(QZ, QLB)를 채용할 수가 있다.

모드신호(MODE)가 L레벨인 경우에, 트랜스미션 게이트(S5)가 OFF하고, 제27a도에 나타내어진 회로는 트랜스미션 게이트(S3) 및 인버터(INV3,INV4)로 구성되는 다이내믹형의 하프·래치(주어진 신호를 반전하지 않고서 출력하는)와, 트랜스미션 게이트(S4) 및 인버터(INV8)로 구성되는 다이내믹형의 하프·래치(주어진 신호를 반전하여 출력하는)가 직렬접속된 것으로서 기능한다.

제28b도는 제27a도의 기능을 개념적으로 나타내는 회로도이고, 직접적으로 제27a도의 회로와 대응하는 것은 아니다.

모드신호(MODE)가 H이면, 신호(D3)와 상보적인 논리가 신호(QFL)로서 얻어진다.

한편, 모드신호(MODE)가 L이면, 클럭신호(T)가 H레벨이 되기 때문에, 트랜스미션 게이트(S4)가 도통하여 신호(QFL)가 갱신된다.

요컨대, 이 경우에 제27a도에 나타내어진 회로는 제27b도에 나타내어진 회로와 같이, 다른 레벨에 의해서 동작하는 레벨 트리거형의 하프·래치의 직렬접속에 의해서 얻어지는 엣지 트리거형의 플립플롭회로로서 기능한다.

제28도에 나타내어진 플립플롭은 제27a도에 나타내어진 하프·래치를 슬레이브·래치로서 사용하고, 이것에 대한 전단의 회로로서 제25도에 사용된 마스터·래치를 설치한 스캔플립플롭이다.

실시의 형태16과 같이, 시프트동작을 할 때는 신호(SMB)를 L로 하고, 스캔테스트용신호(SI)는 트랜스미션 게이트(S1)에 전달된다.

그리고, 모드신호(MODE)는 L레벨로 설정된다.

따라서, 제28도에 나타내어진 플립플롭 전체는 클럭신호(T)가 H레벨로 전달되는 마스터·래치와, 클럭신호(T)가 L레벨로 전달되는 슬레이브·래치와, 클럭신호(T)가 H레벨로 전달되는 하프·래치와의 직렬접속으로서 기능한다.

이와 같이, 신호를 전달시키는 클럭신호(T)의 상태가 서로 다른 신호전달수단을 교대로 직렬 배치함으로써 형성된 플립플롭회로가 얻어지기 때문에, 실시의 형태16와 같이, 이 플립플롭회로를 직렬로 접속한 경우에, 클럭신호(T)의 스큐에 의한 오동작을 억제한다고 하는 이점이 있다.

즉, 클럭신호(T)의 반주기분이 클럭신호(T)의 스큐에 대한 마진으로서 얻어진다.

특히, 하프·래치를 3단에 직렬접속한 경우에 관하여는 특개평 6-5090(1994)호 공보에 개시되어 있다.

이상과 같이, 제28도에 나타내어진 플립플롭회로를 사용하면, 이것을 직렬접속함으로써 스캔패스를 구성하는 경우에, 클럭신호(T)의 스큐에 의한 영향을 억제할 수 있는 이점이 있다.

실시의 형태16에 대한 변형과 같이, 제28도에 나타내어진 구성에 대하여 변형을 시행할 수 있다.

제29도는 그와 같은 변형을 나타낸 회로도이다.

요컨대, 신호(SMB)를 모드신호(MODE)에 겸무시키고, 인버터(INV7)는 인버터(INV71)를 겸무한다.

이것에 의해서, 플립플롭회로를 구성하는 배선이 적어진다고 하는 이점이 있다.

[(b-18) 실시의 형태 18]

제30도는 실시의 형태18의 구성을 설명하는 회로도이다.

제30도는 제27a도에 나타내어진 구성에 대하여, 신호(D3)를 출력하는 셀렉터를 추가한 구성을 갖는 스캔플립플롭을 나타내고 있다.

셀렉터는 제17도에 나타내어진 구성과 같이, 트랜스미션 게이트(S10,S11)로 구성되어 있다.

그리고, 제25도에 나타내어진 구성과 같이, 셀렉터의 제어는 신호(SMB) 및 그 반전신호($\overline{SMB}$)에 의해서 행해지고 있다.

단지, 트랜스미션 게이트(S3)에 주어지는 신호(D3)로서, 트랜스미션 게이트(S10)를 전달하는 스캔테스트용신호(SI) 또는 트랜스미션 게이트(S11)를 전달하는 통상의 입력신호(DI)가 채용되고, 더구나 트랜스미션 게이트(S3,S10,S11)가 어느것이나 MOS 트랜지스터상(P3,N3), (P10,N10), (P11,N11)에 의해서 구성되어 있기 때문에, NMOS 트랜지스터(N3)는 PMOS 트랜지스터(P10,P11)와 접속되지 않아도 되고, PMOS 트랜지스

터(P3)는 NMOS 트랜지스터(N10,N11)와 접속되지 않아도 된다.

모드신호(MODE)가 L레벨인 경우에, 트랜스미션 게이트(S5)가 OFF하고, 제30도에 나타내어진 회로는 트랜스미션 게이트(S3) 및 인버터(INV3,INV4)로 구성되는 다이내믹형의 하프·래치(주어진 신호를 반전하지 않고서 출력하는)와, 트랜스미션 게이트(S4) 및 인버터(INV8)로 구성되는 다이내믹형의 하프·래치(주어진 신호를 반전하여 출력하는)가 직렬접속된 것으로서 기능한다.

그리고, 시프트동작을 할 경우, 신호(SMB)를 L레벨로 설정함으로써, 스캔테스트용신호(SI)가 상기 2개의 다이내믹형의 하프·래치에 의해서 반전되어 신호(QFL)로서 출력된다.

만일 신호(QFL)의 논리를 스캔테스트용신호(SI)의 그것과 동일한 것으로 할 필요가 있는 것이면, 인버터(INV8)의 출력단에 접속된 입력단을 갖는 인버터를 더 설치하여, 그 출력단에서 신호(QFL)를 얻을 수 있고, 또는 인버터(INV8)를 비반전의 버퍼로 치환할 수도 있다.

통상 동작을 할 경우, 신호(SMB)를 H레벨로 설정함으로써, 통상의 입력신호(DI)가 상기 2개의 다이내믹형의 하프·래치에 의해서 반전되어 신호(QFL)로서 출력된다.

물론, 통상의 입력신호(DI)와 같은 논리를 채용하는 신호로서, 인버터(INV3)의 입력단에서 얻어지는 신호(QLA), 트랜스미션 게이트(S4)의 양단으로부터 얻어지는 신호(QLB,QZ)도 채용할 수 있다.

그리고, 통상의 입력신호(DI)와 상보적인 논리를 채용하는 신호로서 인버터(INV3)의 출력단에서 얻어지는 신호(QL)도 채용할 수가 있다.

통상 동작을 할 경우, 모드신호(MODE)를 H레벨로 설정할 수 있다.

이것에 의해서, 제30도에 나타내어진 회로는 스태틱형의 하프·래치로서 기능한다.

따라서, 클럭신호(T)를 정지하여 데이타를 유지할 수 있기 때문에, 소비전력을 저감할 수가 있다.

제31도는 본 실시의 형태의 변형의 구성을 나타내는 회로도이다.

여기서 나타내어진 구성은 제30도에 나타내어진 구성으로부터 NMOS 트랜지스터(N10) 및 PMOS 트랜지스터(P11)를 삭제한 구성을 갖고 있다.

이 경우에 있어서도, 제30도에 나타내어진 회로와 같이, 신호(D3)로서 스캔테스트용신호(SI) 또는 통상의 입력신호(DI)를 채용할 수가 있다.

따라서, 반전신호($\overline{\mathrm{SMB}}$)를 생성할 필요도 없기 때문에, 인버터(71)도 삭제된 구성으로 되어 있다.

제31도에 나타내어진 구성에 있어서는 신호(SMB)로 제어되는 PMOS 트랜지스터(P10)와, 클럭신호(T)로 제어되는 PMOS 트랜지스터(P3)가 직렬로 접속되어 있다.

또한, 신호(SMB)로 제어되는 NMOS 트랜지스터(N11)와, 인버터(INV5)에 의해서 출력되는 클럭신호(T)의 반전신호로 제어되는 NMOS 트랜지스터(N3)가 직렬로 접속되어 있다.

따라서 이것들의 직렬접속의 관계를 유지하는 한, 여러 가지의 변형이 가능하다.

제32도는 PMOS 트랜지스터(P3,P10)를 교체시킨 경우를 나타내고, 제33도는 더욱 NMOS 트랜지스터(N3,N11)를 교체시킨 경우를 나타내고 있다.

어떻든지, 그 동작은 제31도의 그것과 다른 곳은 없다.

[(b-19) 실시의 형태 19]

제34도는 실시의 형태19의 구성을 설명하는 회로도이다.

제34도는 스캔패스(SF1, SF2, ...)가 직렬로 접속되어 얻어지는 스캔패스를 나타내고 있다.

스캔패스(SF1, SF2, ...)는 어느것이나 제30도 내지 제33도의 어느것인가에 나타내어진 구성을 갖고 있고, 그 모드신호(MODE)를 NAND게이트(G1)로부터, 신호(SMB)는 AND 게이트로부터, 클럭신호(T)는 AND 게이트(G3)로부터, 각각 얻을 수 있다.

NAND게이트(G1)는 신호(RESET)와 신호(XMODE)와의 논리적인 반전을 모드신호(MODE)로서 출력하고, AND 게이트(G2)는 신호(RESET)와 신호(XSMB)와의 논리적을 신호(SMB)로서 출력하고, AND 게이트(G3)는 신호(RESET)와 신호(XT)와의 논리적을 클럭신호(T)로서 출력한다.

스캔패스에 대하여 리셋트를 하지 않은 경우에, 신호(RESET)를 H레벨로 설정한다.

이것에 의해, 모드신호(MODE), 신호(SMB), 클럭신호(T)는 각각 신호(XMODE)의 반전, 신호(XSMB, XT)와 같은 값을 채용한다.

스캔패스에 대하여 리셋트를 하는 경우에, 신호(RESET)를 L레벨로 설정한다.

이것에 의해, 항상 모드신호(MODE)는 H, 신호(SMB)는 L, 클럭신호(T)는 L로 설정된다.

이것에 의해서, 각 스캔플립플롭(SF1, SF2, ...)의 트랜스미션 게이트(S3)(혹은 PMOS 트랜지스터(P3), NMOS 트랜지스터(N3))가 ON하고, 인버터(INV3)에 의해서 값이 반전되면서 스캔테스트용신호(SI)가 신호(QFL)로서 출력된다.

그러므로, 스캔플립플롭은 그 배열된 순차로 L, H, L, H, …(또는 H, L, H, L, …)로 초기화된다.

이 실시의 형태에 의하면, 소규모인 회로에서 스캔패스를 구성하는 스캔플립플롭을 리셋트할 수가 있다고 하는 이점이 얻어진다.

제35도는 본 실시의 형태의 변형을 나타내는 회로도이다.

제34도는 나타내어진 스캔패스에 대하여, 각각의 스캔플립플롭(SF1,SF2, ...) 사이에 인버터를 직렬로 삽입한 구성을 채용하고 있다.

이것에 의해서 모든 스캔플립플롭을 동일의 값으로 초기화할 수 있다.

[(b020) 실시의 형태 20]

제36도는 실시의 형태20의 구성을 설명하는 회로도이다

실시의 형태18에 있어서 제30도에 나타내어진 구성에서는 셀렉터를 제어하기 위해서 별도로 신호(SMB)를 채용했었지만, 본 실시의 형태에서는 이것을 모드신호(MODE)에 겸무시키고 있고, 인버터(INV7)가 인버터(INV71)를 겸무하고 있다.

시프트동작시에 있어서, 모드신호(MODE)를 L로 설정한다.

이것에 의해서, 트랜스미션 게이트(S10)를 개재하여 스캔테스트용신호(SI)가 트랜스미션 게이트(S3) 및 인버터(INV3,INV4)로 구성되는 다이내믹형 하프·래치와, 트랜스미션 게이트(S4) 및 인버터(INV8)로 구성되는 다이내믹형 하프·래치와의 직렬접속으로 구성되는 플립플롭에 전달된다.

즉, 제36도에 나타내어진 기억회로는 시프트동작에 있어서, 어느것이나 다이내믹형의 하프·래치인 마스터·래치와 슬레이브·래치로 구성되는 플립플롭으로서 기능한다.

한편, 통상 동작에 있어서, 모드신호(MODE)를 H로 설정한다.

이것에 의해서, 트랜스미션 게이트(S11)를 개재하여, 통상의 입력신호(DI)가 트랜스미션 게이트(S3)에 주어진다.

따라서, 인버터(INV3)에서 출력되는 신호(QL)가 이 회로의 출력으로서 채용되면, 이 회로는 트랜스미션 게이트(S3) 및 인버터(INV3)로 구성되는 스태틱형 하프·래치로서 기능한다.

그러나, 트랜스미션 게이트(S5)가 도통하고 있기 때문에, 인버터(INV8)의 입력단은 인버터(INV3)의 입력단에 접속되고, 그 결과가 인버터(INV8)에 의해 출력되는 신호(QFL)을 이 회로의 출력으로서 채용하더라도, 이 회로는 여전히 스태틱형의 하프·래치로서 기능한다.

요컨대, 신호(QFL)을 이 회로의 출력으로서 채용함으로써, 이 회로는 모드신호(MODE)에 따라서, 통상 동작을 스태틱형 하프·래치로서 행하고, 시프트동작을 다이내믹형의 플립플롭회로로서 행하는 2개의 기능을 갖는다.

통상 동작에 있어서는 하프·래치가 요구되는 스캔패스에 대하여, 제36도에 나타내어진 회로를 직렬로 접속한 스캔패스를 적용할 수가 있다.

더구나, 인버터(INV8)의 출력단은 시프트동작시의 스캔패스의 접속점으로서도, 통상 동작의 출력단으로서도 겸용할 수가 있다.

본 실시의 형태에 관해서도, 실시의 형태18에 있어서 행해진 변형과 같이 변형할 수 있다.

제37도 내지 제39도는 본 실시의 형태의 변형의 구성을 나타내는 회로도이고, 이들은 각각 제31도 내지 제33도에 나타내어진 변형과 대응하고 있다.

[(b-21) 실시의 형태 21]

제40a도는 실시의 형태21의 구성을 설명하는 회로도이다.

제27도에 나타내어진 회로와 비교하여, 트랜스미션 게이트(S3,S4)는 각각 트랜스미션 게이트(S1,S2)로 치환되어 있다 .

더구나, 트랜스미션 게이트(S1)에는 트랜스미션 게이트(S10,S11)로 이루어지는 셀렉터에 의해서 입력신호(D0,D1)의 어느것인가가 선택적으로 주어진다.

더욱, 인버터(INV3)의 출력단에는 트랜스미션 게이트(S9) 및 인버터(INV9)의 직렬접속에 의해서 구성되는 다이내믹형의 하프·래치가 접속되어 있다.

트랜스미션 게이트(S9)는 PMOS 트랜지스터(P9)와 NMOS 트랜지스터(N9)로 구성되어 있고, 이 하프·래치는 슬레이브·래치로서 기능한다.

트랜스미션 게이트(S1,S2)는 클럭신호(T)에 관하여 각각 트랜스미션 게이트(S3,S4)와 상보적으로 개폐한다.

따라서, 트랜스미션 게이트(S1,S2,S5) 및 인버터(INV3, INV4, INV5, INV7)에 의해서 구성되는 하프·래치의 동작은 제27도에 나타내어진 것과 비교하여, 클럭신호(T)에 관하여 상보적이지만, 실질적으로는 동일의 동작을 한다.

또한, 트랜스미션 게이트(S1)는 트랜스미션 게이트(S9)와는 클럭신호(T)에 관하여 상보적으로 개폐하기 때문에, 이 하프·래치의 마스터·래치로서 기능한다.

따라서, 제40a도에 나타내어진 회로는 마스터·슬레이브형의 스캔 FF로서 기능한다.

제40b~d도는 제4a도에 나타내어진 회로의 사용법을 나타낸다.

제40b, 40c도는 스캔테스트용신호(SI)와 통상의 입력신호(DI)를 각각 입력신호(D0,D1)로서 준 경우를 나타내고 있다.

통상동작에 있어서는 모드신호(MODE)를 H레벨로 한다.

이것에 의해서, 트랜스미션 게이트(S1)에는 통상의 입력신호(DI)가 주어지고, 또한 트랜스미션 게이트(S5)는 도통하여, 스태틱형의 마스터·래치(트랜스미션 게이트(S1,S2,S5), 인버터(INV3,INV4)로 구성되는 것)와, 다이내믹형의 슬레이브·래치(트랜스미션 게이트(S9)와 인버터(INV9)로 구성되는 것)과의 직렬접속으로 이루어지는 플립플롭의 출력으로서 출력신호(QF)가 얻어진다. 한편, 출력신호(QFL)의 트랜스미션 게이트(S1,S5), 인버터(INV8)로 구성되는 다이내믹형의 하프·래치의 출력이 된다.

한편, 시프트동작에 있어서는 모드신호(MODE)를 L레벨로 하고, 트랜스미션 게이트(S1)에 스캔테스트용신호(SI)를 주고, 더구나 트랜스미션 게이트(S5)를 비도통으로 하기 때문에, 출력신호(QF)는 다이내믹형의 마스터·래치(트랜스미션 게이트(S1)와 인버터(INV3)로 구성되는 것)과, 다이내믹형의 슬레이브·래치(트랜스미션 게이트(S9)와 인버터(INV9)로 구성되는 것)과의 직렬접속으로 이루어지는 플립플롭의 출력로서 얻어진다.

한편, 인버터(INV8)에 의해 출력되는 출력신호(QFL)는 다이내믹형의 마스터·래치(트랜스미션 게이트(S1)와 인버터(INV3,INV4)로 구성되는 것)과, 다이내믹형의 슬레이브·래치(트랜스미션 게이트(S2)와 인버터(INV8)로 구성되는 것)과의 직렬접속으로 이루어지는 플립플롭의 출력으로서 얻어진다.

이상과 같이 동작하기 때문에, 제40b도와 같이 출력신호(QFL)을 시프트아우트시킬 수도 있고, 제40c도와 같이 출력신호(QF)를 시프트아우트시킬 수도 있다.

특히, 후자의 경우에는, 시프트시킨 신호가 반전하지 않고 전달되는 점에서도 유리하다.

제40d도는 통상의 입력신호(DI)와 스캔테스트용신호(SI)를 각각 입력신호(D0,D1)로서 준 경우를 나타내고 있다.

통상 동작에 있어서는 모드신호(MODE)를 L로서 트랜스미션 게이트(S1)에 통상의 입력신호(DI)를 준다.

이때, 출력신호(QF)는 어느것이나 다이내믹형의 2개의 하프·래치의 직렬접속으로 이루어지는 플립플롭의 출력으로서 얻어진다.

또한, 출력신호(QFL)도, 어느것이나 다이내믹형의 2개의 하프·래치의 직렬접속으로 이루어지는 플립플롭의 출력으로서 얻어진다.

한편, 시프트동작에 있어서는 모드신호(MODE)를 H레벨로 하고, 트랜스미션 게이트(S1)에 스캔테스트용신호(SI)를 준다.

트랜스미션 게이트(S5)는 도통하기 때문에, 출력신호(QF)는 시태틱형의 마스터·래치와, 다이내믹형의 슬레이브·래치와의 직렬접속으로 이루어지는 플립플롭의 출력으로서 얻어진다.

한편, 출력신호(QFL)는 트랜스미션 게이트(S1,S5), 인버터(INV8)로 구성되는 다이내믹형의 하프·래치의 출력이 된다.

따라서, 시프트동작에 있어서, 출력신호(QFL)는 하프·래치의 출력이 되기 때문에, 시프트아우트(S0)로서 플립플롭의 출력이 되는 출력신호(QF)를 사용하는 것이 바람직하다.

[(b-22) 실시의 형태 22]

제41a, 41b도는 실시의 형태22의 구성을 설명하는 회로도이다.

제41a도에 나타내어진 회로는 인버터(INV8)의 입력단의 접속개소에 있어서, 제40a도에 나타내어진 회로와 다르다.

여기서, 인버터(INV8)의 입력단은 트랜스미션 게이트(S8)를 개재하여 인버터(INV4)의 출력단에 접속되어 있다.

단지, 트랜스미션 게이트(S8)는 PMOS 트랜지스터(P8) 및 NMOS 트랜지스터(N8)로 구성되기 때문에, 인버터(INV4)를 구성하는 PMOS 트랜지스터(PINV4)와 NMOS 트랜지스터(N8), 인버터(INV4)를 구성하는 NMOS 트랜지스터(NINV4)와 PMOS 트랜지스터(P8)는, 각각 접속될 필요가 없다.

유사하게, PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N5), NMOS 트랜지스터(N2)와 PMOS 트랜지스터(P5)는, 각각 접속될 필요가 없다.

또, 제40a도에 나타내어진 회로와는 달리, 제41a도에 나타내어진 회로는 셀렉터를 구성하는 트랜스미션 게이트(S10,S11)에 각각 통상의 입력신호(DI)와 스캔테스트용신호(SI)가 주어지도록 사용되고 있다.

이러한 구성에 있어서, 트랜스미션 게이트(S8)와 인버터(INV8)가 다이내믹형의 슬레이브·래치를 구성하는 것이 된다.

더구나, 트랜스미션 게이트(S8)의 클럭신호(T)에 관한 동작은 트랜스미션 게이트(S9)의 그것과 동일하기 때문에, 출력신호(QF,QFL)는 정합된 타이밍으로 서로 상보적인 값을 채용하는 것이 된다.

요컨대, 양자의 값이 고속으로 천이하는 경우에 있어서도 이들이 상보적인 값을 얻는다고 하는 관계는 유지된다.

제41b도에 나타내어진 회로는 제41a도에 나타내어진 회로를 스캔플립플롭(SF1,SF2)으로서 사용한 경우의 접속관계를 나타내고 있다.

동기형 RAM의 어드레스입력을 디코드할 때, 고속으로 또한 동기하여 천이하는 서로 상보적인 값을 디코더(혹은 프리디코더)에 제공하는 것이 바람직하다.

따라서, 통상의 입력신호(DI)로서 어드레스입력(A0,A1)을 채용하면, 출력신호(QF,QFL)을 디코더(혹 프리

디코더)에 제공할 수가 있다.

시프트동작에 있어서 전달되는 신호로서 출력신호(QF,QFL) 양자를 사용할 수 있다.

물론, 인버터(INV8,INV9)는 NAND 게이트든지 NOR 게이트 등의 다른 드라이브 회로로 치환할 수 있다.

또한, 다음단에 드라이브회로가 설치되면, 인버터(INV8,INV9)를 생략할 수 있다.

제42a, 42b도는 이 실시의 형태의 변형을 나타내는 회로도이다.

제42a도에 나타내어진 회로는 제41a도에 나타내어진 회로에서 트랜스미션 게이트(S5)를 생략한 구성을 갖고 있다.

따라서, 출력신호(QF)는 마스터·래치가 스태틱형으로 동작하고, 슬레이브·래치가 다이내믹형으로 동작하는 마스터·슬레이브형의 플립프롭의 출력으로서 얻어지고, 출력신호(QFL)는 어느것이나 다이내믹형으로 동작하는 마스터·래치와 슬레이브·래치의 직렬접속인 플립플롭의 출력으로서 얻어진다.

물론, 출력신호(QF,QFL)는 천이의 타이밍을 정합시켜서 서로 상보적인 값을 채용하는 것이 제41a도에 나타내어진 회로와 같다.

제42a도에 나타내어진 회로는 제41a도에 나타내어진 회로와 비교하여, 모드신호(MODE)에 의한 저소비전력화의 효과는 없지만, 보다 적은 소자의 수로 출력신호(QF,QFL)을 얻을 수 있다.

제42b도에 나타내어진 회로는 제42a도에 나타내어진 회로에서, 더 트랜스미션 게이트(S2)를 삭제한 구성을 갖고 있다.

따라서, 출력신호(QF,QFL)는 어느것이나 다이내믹형으로 동작하는 마스터·래치, 다이내믹형으로 동작하는 슬레이브·래치의 직렬접속인 플립플롭의 출력으로서 얻어진다.

제42a, 제42b도에 나타내어진 회로의 각각에 있어서도, 제41a도에 나타내여진 회로와 같이, 인버터(INV8,INV9)를 다른 드라이브회로로 치환하기도 하고, 생략할 수도 있다.

[(b-23) 실시의 형태 23]

제43a, 43b도는 실시의 형태23의 구성을 설명하는 회로도이다.

제43a도에 나타내어진 회로는 제9도에 있어서 나타내어진 회로에 대하여, 모드신호(MODE) 및 클럭신호(T)를 공급하는 논리회로(LC1)를 추가한 구성을 갖고 있다.

논리회로(LC1)는 2개의 2입력 NAND게이트(NANDMB, NANDTB)로 이루어져 있다.

NAND게이트(NANDMB, NANDTB)의 각각의 한편의 입력단에는 공통으로 홀드신호(HOLDB)가 주어진다.

NAND게이트(NANDMB)의 다른쪽의 입력단에는 모드신호(MODE)의 기초가 되는 모드원신호(MODE)B가 주어진다.

또한, NAND게이트(NANDTB)의 다른쪽의 입력단에는 클럭신호(T)의 기초가 되는 클럭원신호(T)B가 주어진다.

홀드신호(HOLDB)를 L레벨로 설정하는 경우, 클럭신호(T) 및 모드신호(MODE)는 어느것이나 H레벨로 고정되고, 슬레이브·래치는 스태틱형으로 동작하며, 셀렉터(SEL1)는 스캔테스트용신호(SI)를 선택하여 트랜스미션 게이트(S1)에 주지만, 트랜스미션 게이트(S3)가 OFF하고 있기 때문에, 이 신호는 슬레이브·래치에 전달되지 않는다.

따라서, 제43a도에 나타내어진 회로는 마스터·래치가 다이내믹형이고, 슬레이브·래치가 다이내믹형과 스태틱형으로 교체되어 동작하는 플립플롭에 있어서, 홀드신호를 제어하는 것에 의해, 클럭신호(T)의 천이에 따르는 전력소비를 피하면서, 기억내용을 유지할 수가 있다.

제43b도에 나타내어진 회로와 같이, 직접적으로 모드원신호(MODEB)를 사용함으로써, 통상의 입력신호(DI)와 스캔테스트용신호(SI)를 선택할 수 있다.

단지, 이 경우, 셀렉터(SEL1)로 치환하여 셀렉터(SEL2)를 설치할 필요가 있다.

여기서, 셀렉터(SEL2)는 제12도에 나타내어진 셀렉터(SEL2)와 같은 기능을 갖고 있고, 제어신호가 H/ L인 경우에 각각 통상의 입력신호(DI)/ 스캔테스트용신호(SI)가 선택적으로 출력된다.

[(b-24) 실시의 형태 24]

제44a도는 실시의 형태24의 구성을 설명하는 회로도이다.

제44a도에 나타내어진 회로는 제21a도에 있어서 나타내어진 회로에 대하여, 논리회로(LC1)를 추가한 구성을 갖고 있다.

단지, 제21도에 있어서 트랜스미션 게이트(S10,S11)에 의해서 나타내어진 셀렉터는 이 도면에 있어서 셀렉터(SEL1)로서 나타난다.

본 실시의 형태도, 실시의 형태23과 같이 하여, 클럭신호(T)의 천이에 따르는 전력소비를 피하면서, 기억내용을 유지할 수가 있다.

따라서, 제44a도에 나타내어진 회로는 마스터·래치가 다이내믹형과 스태틱형으로 교체되어 동작하고, 슬레이브·래치가 다이내믹형인 플립플롭에 있어서, 홀드신호를 제어하는 것에 의해, 클럭신호(T)의 천이에 따르는 전력소비를 피하면서, 기억내용을 유지할 수가 있다.

제43a도에 대한 제43b도의 관계와 같은 변형이 제44a도에 대해서도 가능하고, 제44b도는 이러한 변형을

나타내고 있다.

[(b-25) 실시의 형태 25]

제45도는 실시의 형태25의 구성을 설명하는 회로도이다.

제45a도에 나타내어진 회로는 제9도에 있어서 나타내어진 회로에 대하여, 바이패스회로(BYPC)를 추가한 구성을 갖고 있다.

바이패스회로(BYPC)는 통상의 입력신호(DI)를 클럭신호(T)에 의존하지 않고, 바이패스신호(BYPB)에 의존하여 마스터·래치를 개재하는 것 없이, 슬레이브·래치의 인버터(INV3)의 입력단에 주는 것이다 .

바이패스회로(BYPC)는 인버터(INVD1, INVBYP), 트랜스미션 게이트(SBYP)를 구비하고 있다.

트랜스미션 게이트(SBYP)는 NMOS 트랜지스터(NBYP) 및 PMOS 트랜지스터(PBYP)의 벙렬접속에 의해서 구성되어 있다.

PMOS 트랜지스터(PBYP)의 게이트전극에는 바이패스신호(BYPB)가, NMOS 트랜지스터(NBYP)의 게이트전극에는 바이패스신호(BYPB)와 논리가 반대의 신호(BYP)가, 각각 주어진다.

바이패스신호(BYP)는 인버터(INVBYP)에 의해서 출력된다.

따라서, 바이패스신호(BYPB)를 L레벨로 설정하는 것에 의해, 통상의 입력신호는 인버터(INVD1)로 반전된 후, 트랜스미션 게이트(SBYP)를 통하여 인버터(INV3)의 입력단에 전달된다.

출력신호(Q)의 반전신호($\overline{Q}$)를 트랜스미션 게이트(SBYP)에서 꺼낼 수 있다.

이러한 바이패스기능이 붙은 스캔플립플롭은 예컨대, RAM이든지 ROM의 어드레스신호든지 데이타입력신호, 데이타출력신호의 전달회로로서 사용할 수 있다.

통상 동작시는 바이패스신호(BYPB)를 L레벨로 설정한다.

이때, 모드신호(MODE)도 L레벨로 설정할 수 있다.

통상의 입력신호(DI)로서 어드레스신호든지 데이타입력신호, 데이타출력신호를 채용하면, 이들을 비동기로 하여 RAM, ROMDP 전달시킬 수 있다.

그리고, 시프트동작시에는 바이패스신호(BYPB), 모드신호(MODE) 양자를 H 레벨로 설정한다.

이 경우에, 스캔테스트용신호(SI)는 바이패스하지 않고서, 스캔플립플롭을 삽입한 상태로 로직(logic)이든지 메모리의 스캔테스트를 할 수 있다.

제45b도는 출력신호(Q)를 다음단에 전달하는 스캔패스를 구성하는 경우에, 제45a도에 나타낸 플립플롭을 접속하는 상태를 나타내고 있다.

본 실시의 형태에 있어서, 슬레이브·래치의 인버터(INV3)의 입력단에 주어지는 신호의 논리가 단독으로 결정되는 것이 바람직하다.

이것은 트랜스미션 게이트(S3)를 통하여 전달되는 신호와 트랜스미션 게이트(SBYP)를 통하여 전달되는 신호가 인버터(INV3)의 입력단에서 다른 값을 채용하면(요컨대, 이것들의 신호의 「충돌」이 생기면), 불필요한 전력을 소비하기 때문이다.

이것을 피하기 위해서, 바이패스신호(BYPB)에는 2개의 연구가 되어 있다.

제1에는 인버터(INVD1)에 의해서 통상의 입력신호(DI)를 반전시켜서 인버터(INV3)의 입력단에 주는 것이고, 제2에는 바이패스시(통상 동작시)에 클럭신호(T)를 정지하여 트랜스미션 게이트(S3)를 비도통으로 하는 것이다.

제1의 연구는 인버터(INVD1)에 의해서 실현된다.

통상 동작시와, 시프트동작시로 교체할 때, 트랜스미션 게이트(SBYP)에 의해 전달되는 신호와 트랜스미션 게이트(S3)에 의해 전달되는 신호가 다르면, 인버터(INV3)의 입력단에 불필요한 논리치의 천이가 생긴다.

이것을 피하기 위해서, 마스터·래치의 인버터(INV1)와 같은 기능을 갖는 인버터(INV1)를 설치한다.

물론, 셀렉터(SEL1)가 선택적으로 입력된 신호를 반전하여 출력하는 기능을 갖고 있으면, 인버터(INV1)는 불필요하다.

또한, 인버터(INV3)의 입력단에서의 논리치의 천이가 문제가 되지 않은 경우에 있어서도, 인버터(INVD1)는 불필요하다.

이러한 인버터(INVD1)의 생략이 가능한 것이, 제45a도에 있어서 인버터(INVD1)의 양단을 접속하는 점선으로 나타나 있다.

그러나, 바이패스회로를 전달하는 신호는 클럭신호(T)에 대하여 비동기이고, 마스터·래치, 슬레이브·래치를 전달하는 신호는 클럭신호(T)에 대하여 동기하고 있다.

따라서, 바이패스때에 있어서 인버터(INV3)의 입력단에 주어지는 신호의 층들은 단지, 인버터(INVD1)를 설치할 뿐만 아니라, 제2의 연구가 있는 것도 바람직하다.

제2의 연구를 실현하기 위해서, 바이패스신호(BYPB)는 2입력 NAND게이트(NANDTB)를 더 구비하고 있다.

NAND게이트(NANDTB)에는 클럭원신호(TB)와 바이패스신호(BYPB)가 주어진다.

따라서, 바이패스신호(BYPB)가 L레벨에 있으면, 클럭원신호(TB)의 값에 의존하지 않고, NAND게이트(NANDTB)의 출력은 항상 H레벨에 있다.

한편, 바이패스신호(BYPB)가 H레벨에 있으면, 클럭원신호(TB)의 값과 상보적인 신호가 출력된다.

따라서, NAND게이트(NANDTB)의 출력을 클럭신호(T)로서 채용하는 것에 의해, 바이패스시에는 트랜스미션 게이트(S3)를 비도통으로 할 수 있어, 인버터(INV3)의 입력단에서의 논리는 트랜스미션 게이트(SBYP)에 의해 전달되는 신호에 의해서 유일하게 결정된다.

또한, 바이패스를 하지 않은 때(시프트동작시)에는 트랜스미션 게이트(SBYP)가 비도통하기 때문에, 인버터(INV3)의 입력단에서의 논리는 트랜스미션 게이트(S3)에 의해서 전달되는 신호에 의해서 유일하게 결정된다.

따라서, 인버터(INV3)의 입력단에서의 신호의 충돌 및 이것에 기인하는 불필요한 전력의 소비는 피하게 된다.

제46a, 46b도는 이 실시의 형태의 제1의 변형을 나타내는 회로도이다.

제46a도는 제45a도에 나타내어진 구성의 인버터(INV1)를 3상태형의 인버터(ZINV1)로 치환한 구성을 갖고 있다.

제45a도에 나타내어진 회로에서, 바이패스시에는 트랜스미션 게이트(S1)가 도통하고 있는 한편, 트랜스미션 게이트(S3)는 도통않고 있다.

이러한 상태에 있어서도, 통상의 입력신호(DI)의 변동에 의해서 인버터(INV1)에 관통전류가 흐를 가능성이 있고, 바이패스가 장기간 미칠 때는 그 소비전력을 간과할 수 없다.

이러한 소비전력을 억제하기 위해서, 3상태형의 인버터(ZINV1)는 바이패스신호(BYPB)가 L일 때에는 하이임피던스상태를 보이도록 기능한다.

3상태형의 인버터(ZINV1)에는 바이패스신호(BYPB) 및 신호(BYP)가 주어진다.

3상태형의 인버터(ZINV1)에 주는 신호(BYP)를 얻기 위해서, 인버터(INVBYP)를 이용할 수가 있다.

제46b,c도는 3상형태의 인버터(ZINV1)의 구성을 예시하는 회로도이다. 3상태형의 인버터(ZINV1)는 직렬로 접속된 2개의 PMOS 트랜지스터 및 2개의 NMOS 트랜지스터로서 구성된다.

이것들중의 PMOS 트랜지스터 및 NMOS 트랜지스터의 단 1개가 선택되기 때문에, 그 선택된 한쌍의 트랜지스터의 게이트전극은 공통으로 트랜스미션 게이트(S1)의 출력단에 접속된다.

나머지의 PMOS 트랜지스터의 게이트전극에는 신호(BYP)가, NMOS 트랜지스터의 게이트전극에는 바이패스신호(BYPB)가, 각각 주어진다.

그리고, PMOS 트랜지스터와 NMOS 트랜지스터가 직접 접속되는 점에서 트랜스미션 게이트(S3)의 입력단이 접속된다.

제46d, e도는 3상태형의 인버터(ZINV1)의 다른 구성을 예시하는 회로도이다.

이와같이, 신호(BYP)를 받는 PMOS 트랜지스터든지, 바이패스신호(BYPB)를 받는 NMOS 트랜지스터를 생략할 수도 있다.

제47a, 47b도는 이 실시의 형태의 제2의 변형을 나타내는 회로도이다.

제47a도는 제45a도에 나타내어진 구성의 인버터(INV1)를 2입력 NAND게이트(NAND1)로 치환한 구성을 갖고 있다.

NAND게이트(NAND1)의 한편의 입력단에는 바이패스신호(BYPB)가 주어지고, 다른쪽의 입력단은 트랜스미션 게이트(S1)의 출력단이 접속된다.

또한, 출력단은 트랜스미션 게이트(S3)의 입력단에 접속된다.

제47b도는 2입력 NAND게이트(NAND1)의 구성을 예시하는 회로도이다.

이러한 구성에 있어서, 바이패스신호(BYPB)가 H레벨에 있는 경우(바이패스동작을 하지 않은 경우)에는 NAND게이트(NAND1)는 인버터(INV1)와 동일의 기능을 한다.

한편, 바이패스시에, 바이패스신호(BYPB)가 L레벨로 설정되고, 트랜스미션 게이트(S1)를 통해서 전달되는 신호의 값에 관계없이 NAND게이트(NAND1)는 H레벨을 출력한다.

따라서, 통상의 입력신호(DI)의 변동에 기인하는 관통전류를 피할 수 있다.

따라서, 제1의 변형과 같은 효과를 얻을 수 있다.

물론, NAND게이트(NAND1)의 대신에 AND 게이트를 사용해도 좋다.

제48a, 48b도는 이 실시의 형태의 제3의 변형을 나타내는 회로도이다.

제48a도는 통상의 입력신호(DI)와 별개로, 트랜스미션 게이트(SBYP)를 통하여 인버터(INV3)의 입력단에 비동기로 전달된 신호(DI2)를 전달하는 형태를 나타내고 있다.

또한, 제48b도는 제48a도에 나타내어진 구성을 갖는 플립플롭을 직렬로 접속함으로써 얻어지는 스캔패스를 예시하고 있다.

[(b-26) 실시의 형태 26]

제49a, 49b도는 실시의 형태26의 구성을 설명하는 회로도이다.

제49a도에 나타내어진 회로는 제21a도에 있어서 나타내어진 회로에 대하여, 바이패스신호(BYPB)를 추가한 구성을 갖고 있다.

단지, 제21a도에 있어서 트랜스미션 게이트(S10,S11)에 의해서 나타내어진 셀렉터는 이 도면에 있어서 셀렉터(SEL1)로서 나타나 있다.

실시의 형태25에 있어서는 마스터·래치가 다이내믹형으로 기능하고, 슬레이브·래치는 다이내믹형과 스태틱형을 모드신호(MODE)로 전환하여 기능하지만, 실시예 형태26에서는 마스터·래치가 다이내믹형과 스태틱형을 모드신호(MODE)로 전환하여 기능하고, 슬레이브·래치는 다이내믹형으로 기능한다.

그러나, 바이패스신호(BYPB)는 실시의 형태26에 있어서도 실시의 형태25와 같이 동작한다.

요컨대, 통상의 입력신호(DI)를 클럭신호(T)가 아니고, 바이패스신호(BYPB)에 의존하여, 마스터·래치를 개재하는 것 없이, 슬레이브·래치의 인버터(INV3)의 입력단에 준다.

더구나, 바이패스시에는 클럭신호(T)를 H로 고정하여 슬레이브·래치의 트랜스미션 게이트(S3)를 비도통 상태에 둔다.

따라서, 본 실시의 형태에 있어서도 실시의 형태25와 같은 효과를 얻을 수 있다.

물론, 제49b도에 나타낸 것 같이, 제49a도에 나타내어진 회로를 복수직렬로 접속하는 것으로 스캔패스를 형성할 수가 있다.

본 실시의 형태에 있어서도, 실시의 형태25에 있어서 나타내어진 제1 내지 제3의 변형이 가능하다.

제50도는 본 실시의 형태의 제1의 변형을 예시하는 회로도이고, 인버터(INV1)를 3상태형의 인버터(ZINV1)로 치환한 것이다.

또한, 제51도는 본 실시의 형태의 제2의 변형을 예시하는 회로도이고, 인버터(INV1)를 NAND게이트(NAND1)로 치환한 것이다(AND 게이트로 치환해도 좋은).

제52도는 이 실시의 형태의 제3의 변형을 나타내는 회로도이다.

동일 도면은 통상의 입력신호(DI)와는 별개로, 트랜스미션 게이트(SBYP)를 개재하여 인버터(INV3)의 입력단에 비동기로 전달되는 신호(DI2)를 전달하는 형태를 나타내고 있다.

이것들에 의해 초래되는 효과는 각각 실시의 형태25의 제1 내지 3의 변형에 의해 초래되는 그것과 같다.

C. 2상클럭형의 플립플롭회로 :

상기 실시의 형태 1 내지 실시의 형태26에 있어서는 1상엣지트리거형의 플립플롭회로에 관하여 설명되어 왔지만, 마스터·래치 및 슬레이브·래치의 적어도 한편은 다이내믹형/ 스태틱형으로 전환하여 동작시킨다고 하는 본 발명의 근본적인 사상은 2상클럭형의 플립플롭회로에서도 구현될 수가 있다.

[(c-1) 실시의 형태 27]

제53a, 53b도는 실시의 형태27에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

제53a도에 나타내어진 회로는 제9도에 나타내어진 구성에 대하여, 클럭신호(T)를 제1 및 제2의 클럭신호(T1,T2)로 나눈 구성으로 되어 있다.

제1 및 제2의 클럭신호(T1,T2)는 각각 마스터·래치, 슬레이브·래치의 동작을 제어하고, 이것들의 파형은 제78b도에 나타내어진 종류이다.

제1 및 제2의 클럭신호(T1,T2)를 각각 독립적으로 반전시키기 위해서, 제9도에 나타내어진 회로에서의 인버터(INV5)가 제53a도에 있어서의 INV51, INV52로 나누어져 있다.

요컨대, 인버터(INV51)는 제1의 클럭신호(T1)를 반전하여 트랜스미션 게이트(S1)를 구성하는 PMOS 트랜지스터(P1)의 게이트전극에 주고, 인버터(INV52)는 제2의 클럭신호(T2)를 반전하여 트랜스미션 게이트(S3)를 구성하는 PMOS 트랜지스터(P3)의 게이트전극, 및 트랜스미션 게이트(S4)를 구성하는 NMOS 트랜지스터(N4)의 게이트전극에 준다.

이와 같이, 2상클럭형의 플립플롭회로에서도, 제9도에 나타내어진 구성과 같이, 트랜스미션 게이트(S5)를 트랜스미션 게이트(S4)와 인버터(INV3)의 입력단과의 사이에 설치하고, 이 개폐를 모드신호(MODE)로 제어함으로써, 슬레이브·래치를 스태틱형/다이내믹형으로 전환하여 동작시킬 수 있다.

셀렉터(SEL1)의 동작도 모드신호(MODE)로 제어함으로써, 시프트동작에 있어서 스캔테스트용신호(SI)를 전달시키기 위해 슬레이브·래치를 스태틱형으로써 동작시키고, 통상의 입력신호(DI)를 전달시키기 위해 슬레이브·래치를 다이내믹형으로 동작시킬 수 있다.

물론, 마스터·래치의 출력(Q1)을 다음단에 전달시켜도 좋다.

제53b도는 제53a도에 나타내어진 회로를 직렬적으로 접속함으로써, 스캔패스를 구성한 형태를 예시하는 회로도이다.

[(c-2) 실시의 형태 28]

제54도는 실시의 형태27에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

제54도에 나타내어진 회로는 제13도에 나타내어진 구성에 대하여, 클럭신호(T)를 제1 및 제2의 클럭신호(T1,T2)로 나눈 구성으로 되어 있다.

제1 및 제2의 클럭신호(T1,T2)를 각각 독립하여 반사시키기 위해서는, 제13도에 나타내어진 회로에서의 인버터(INV5)가 제54도에 있어서는 INV51, INV52로 나누어져 있다.

따라서, 실시의 형태28과는 반대로 마스터·래치를 스택틱형/다이내믹형으로 전환하여 동작시킬 수 있다.

[(c-3) 실시의 형태 29]

제55a, 55c도는 실시의 형태29에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

제55a도에 나타내어진 회로는 제53a도에 나타내어진 회로에 대하여 제2의 클럭신호(T2)의 대신에 신호(Ty)를 주기 위해 NOR 게이트(NORTy)를 추가한 구성을 갖고 있다.

NOR 게이트(NORTy)에는 클럭원신호(Tx)와, 제1의 클럭신호(T1)가 주어져 있다.

통상동작시에 있어서는, 클럭원신호(Tx)를 L레벨로 설정함으로써, NOR 게이트(NORTy)를 인버터로서 기능시킨다.

따라서, 신호(Ty)는 제1의 클럭신호(T1)와 상보적인 값을 얻어, 트랜스미션 게이트(S1)의 도통/비도통에 대하여 트랜스미션 게이트(S3)가 각각 비도통/도통하고, 상기 회로는 제1의 클럭신호(T1)에 따라서, 제9도에 나타내어진 회로와 같이, 1상엣지트리거형의 플립플롭으로서 동작한다.

단지, 통상동작에 있어서는 통상의 입력신호(DI)를 마스터·래치에 주도록 모드신호(MODE)를 L로 설정하기 때문에, 슬레이브·래치도 다이내믹형으로서 동작한다.

스캔테스트의 시프트동작시에 있어서는, 클럭원신호(Tx)가 제1의 클럭신호(T1)에 따라 2상클럭의 관계가 얻어지도록 설정된다.

이때, 클럭원신호(Tx)는 L 인에이블(값 L을 채용하는 경우는 클럭원신호(Tx)의 활성화한 상태인)로서, 제1의 클럭신호(T1)는 H 인에이블(값 H을 채용하는 경우는 제1의 클럭신호(T1)의 활성화한 상태인)로서, 각각 기능하도록 설정된다.

제56도는 클럭원신호(Tx)와, 제1의 클럭신호(T1)와의 관계를 나타내는 타이밍챠트이다.

클럭원신호(Tx)와 제1의 클럭신호(T1)가 동시에 활성화되지 않고, 요컨대, 클럭원신호(Tx)가 L이고, 또한 제1의 클럭신호(T1)가 H인 상태가 존재하지 않기 때문에, 신호(Ty)는 상기 클럭원신호(Tx)와는 상보적인 값을 채용한다.

요컨대, 신호(Ty)는 H 인에이블인 제2의 클럭신호(T2)로서 기능한다.

모드신호(MODE)로서 클럭원신호(Tx)를 이용할 수가 있다.

통상동작시에 있어서는 모드신호(MODE)도 클럭원신호(Tx)와 같이 L레벨로 설정되기 때문이다.

또한, 시프트동작시에 있어서, 클럭원신호(Tx)가 L가 될 때는 반드시 제1의 클럭신호(T1)가 L이고, 트랜스미션 게이트(S1)가 도통않고 있기 때문에 셀렉터가 통상의 입력신호(DI)를 출력하더라도 마스터·래치의 기억 내용에는 영향을 주지 않는다.

또한, 트랜스미션 게이트(S5)도 도통하지 않지만, 그때는 슬레이브·래치가 단순히 다이내믹형으로서 기능하고, 2상클럭형의 플립플롭의 실현은 저지되지 않는다.

이렇게 하여, 모드신호(MODE)를 공급하기 위한 배선을 별도로 설치할 필요가 없고, 필요한 면적을 저감할 수 있다.

제55b도는 제55a도의 회로를 기능적으로 나타낸 회로도이다.

마스터·래치(ML)는 제1의 클럭신호(T1)에 동기하여 동작하고, 슬레이브·래치(SL)은 신호(Ty)에 동기하여, 또한 다이내믹형/스태틱형의 어느것인가가 모드신호(MODE)에 의해서 선택되어 동작한다.

제55c도는 제55a도의 회로를 직렬로 접속함으로써 구성되는 스캔패스를 예시한 회로도이다.

시프트동작에 있어서, 2상클럭형을 동작시킴으로써, 제1의 클럭신호(T1) 및 클럭원신호(Tx)가 각각의 플립플롭에 주어지는 타이밍이 다르다고 하는 스큐가 발생하더라도, 스큐가 스캔패스의 동작에 악영향을 주는 것을 억제할 수 있다.

[(c-4) 실시의 형태 30]

제57a도는 실시의 형태30에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

실시의 형태30의 실시의 형태28에 대한 관계는 실시의 형태29의 실시의 형태27에 대한 관계와 동일하다.

즉, 제57a도에 나타내어진 회로는 제54도에 나타내어진 회로에 제2의 클럭신호(T2)의 대신에 신호(Ty)를 주기 위한 NOR 게이트(NORTy)를 추가한 구성을 갖고 있다.

NOR 게이트(NORTy)에는 클럭원신호(Tx)와, 제1의 클럭신호(T1)가 주어져 있다.

클럭원신호(Tx) 및 제1의 클럭신호(T1)가 채용하는 값은 실시의 형태29와 같다.

제58b도는 제57a도는 회로를 기능적으로 나타낸 회로도이다.

마스터·래치(ML)는 제1의 클럭신호(T1)에 동기하여, 또한 다이내믹형/스태틱형의 어느것인가가 모드신호(MODE)에 의해서 선택되어 동작하지만, 슬레이브·래치(SL)은 신호(Ty)에 동기하여 동작한다.

실시의 형태29와 같이, 모드신호(MODE)로서 클럭원신호(Tx)를 이용할 수 있다.

[(c-5) 실시의 형태 31]

제58a, 58c도는 실시의 형태31에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

제58a도는 제55b도에 나타내어진 마스터·래치(ML), 슬레이브·래치(SL)의 인에이블레벨을 어느것이나 반대로 함으로써 얻어진 구성을 나타내고 있다.

이 경우, NAND게이트(NANDTy)에는 제2의 클럭신호(T2) 및 클럭원신호(Tx)가 주어지고, 신호(Ty)를 출력한다.

단지, 제2의 클럭신호(T2)는 값 L을 채용할 때에 활성화된다(L인에이블).

통상동작시에 있어서, 클럭원신호(Tx)를 H레벨로 설정하는 것에 의해, NAND게이트(NANDTy)를 인버터로서 기능시키기 때문에, 신호(Ty)는 제2의 클럭신호(T2)와 상보적인 값을 얻는다.

마스터·래치(ML)와 슬레이브·래치(SL)는 어는것인 로우인에이블로 동작하기 때문에 서로 상보적으로 동작한다.

요컨대, 제2의 클럭신호(T2)에 따라서, 제9도에 나타내어진 회로와 같이, 1상엣지트리거형의 플립플롭으로서 동작한다.

단지, 통상동작에 있어서는 통상의 입력신호(DI)를 마스터·래치에 주도록 모드신호(MODE)를 H로 설정하기 때문에, 슬레이브·래치는 스태틱형으로서 동작한다.

스캔테스트의 시프트동작시에 있어서, 클럭원신호(Tx)가 제2의 클럭신호(T2)에 따라 2상클럭의 관계가 얻어지도록 설정된다.

이때, 클럭원신호(Tx)는 H 인에이블로서, 제2의 클럭신호(T2)는 L인에이블로서, 각각 기능하도록 설정된다.

제59도는 클럭원신호(Tx)와, 제2의 클럭신호(T2)와의 관계를 나타내는 타이밍챠트이다.

클럭원신호(Tx)와 제2의 클럭신호(T2)가 동시에 활성화되지 않고, 요컨대, 클럭원신호(Tx)가 H이고, 또한 제2의 클럭신호(T2)가 L인 상태가 존재하지 않기 때문에, 신호(Ty)는 항상 클럭원신호(Tx)와 상보적인 값을 채용한다.

요컨대, 신호(Ty)는 L 인에이블인 제1의 클럭신호(T1)로서 기능한다.

따라서, 본 실시의 형태에 있어서도 실시의 형태29와 같은 효과를 얻을 수 있다.

제59b도는 제58a도에 나타내어진 플립플롭의 직렬접속에 의해서 스캔패스를 구성하는 경우를 예시한 회로도이다.

제58c도는 제58a도에 나타내어진 플립플롭의 내부구성을 예시하는 회로도이다.

제58c도에 나타내어진 마스터·래치의 인에이블 레벨은 제55a도에 나타내어진 마스터·래치와 반대이기 때문에, 외부에서 받은 클럭신호에 대하여 트랜스미션 게이트(S1)의 개폐가 반대로 되도록, 인버터(INV51,INV52)의 대신에, 이들과 각각 역방향의 인버터(INV61,INV62)가 설치되어 있다.

그리고, 클럭신호로서 기능하는 신호(Ty)가 인버터(INV61)의 입력단에, 또한 클럭신호(T2)가 인버터(INV62)의 입력단에, 각각 주어져 있다.

[(c-6) 실시의 형태 32]

제60도는 실시의 형태32에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

실시의 형태32의 실시의 형태30에 대한 관계는 실시의 형태31의 실시의 형태29에 대한 관계와 동일하다.

즉, 제60a도에 나타내어진 회로는 제57b도에 나타내어진 마스터·래치(ML), 슬레이브·래치(SL)의 인에이블레벨을 어느것이나 반대로 함으로써 얻어진 구성을 나타내고 있다.

그리고, NOR 게이트(NORTy)가 NAND게이트(NANDTy)로 치환되어 있다.

제60a도에 나타내어진 회로에서, 마스터·래치(ML)는 NAND게이트(NANDTy)로부터 출력되는 신호(Ty)와, 모드신호(MODE)를 받는다.

마스터·래치(ML)는 모드신호(MODE)에 따라서 스태틱형과 다이내믹형으로 전환되어 동작한다.

슬레이브·래치(SL)는 제2의 클럭신호(T2)를 받아 동작한다.

NAND게이트(NANDTy)에는 제2의 클럭신호(T2) 및 클럭원신호(Tx)가 주어지고, 신호(Ty)를 출력한다.

제2의 클럭신호(T2) 및 클럭원신호(Tx)가 채용하는 값은 실시의 형태31과 같다.

따라서, 통상동작시에 있어서는 제2의 클럭신호(T2)에 따라서 1상엣지트리거형의 플립플롭으로서 동작한다.

또한, 스캔테스트의 시프트동작시에 있어서의 신호(Ty)는 H인에이블인 제1의 클럭신호(T1)로서 기능한다.

따라서, 본 실시의 형태에 있어서도 실시의 형태29와 같은 효과를 얻을 수 있다.

제60b도는 제60a도에 나타내어진 플립플롭의 내부구성을 예시하는 회로도이다.

제60b도에 나타내어진 마스터·래치의 인에이블레벨은 제57a도에 나타내어진 마스터·래치와는 반대이기 때문에, 외부에서 받는 클럭신호에 대하여 트랜스미션 게이트(S1)의 개폐가 반대로 되도록, 인버터

(INV51,INV52)의 대신에, 이들과 각각 역방향의 인버터(INV61,INV62)가 설치되어 있다.

그리고, 클럭신호로서 기능하는 신호(Ty)가 인버터(INV61)의 입력단에, 또한 클럭신호(T2)가 인버터(INV62)의 입력단에 각각 주어져 있다.

[(C-7) 실시의 형태 33]

제61도는 실시의 형태33에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

셀렉터(SELM)는 모드신호(MODE)가 L인지 H인지에 의해서, 각각 제1의 통상의 입력신호(DI1) 또는 스캔테스트용신호(SI)를 선택적으로 출력한다.

마스터·래치(ML)는 셀렉터(SELM)의 출력을 받고, 제1의 출력신호(Q1)와, 그 반전신호(Q1B)를 출력한다.

셀렉터(SELS)는 모드신호(MODE)가 L인지 H인지에 의해서, 각각 제2의 통상의 입력신호(DI2) 및 제1의 출력신호(Q1)를 선택적으로 출력한다.

슬레이브·래치(SL)는 셀렉터(SELS)의 출력을 받고, 제2의 출력신호(Q2)와, 그 반전신호(Q2B)를 출력한다.

제2의 출력신호(Q2)는 스캔아웃(SO)으로서 채용된다.

마스터·래치(ML), 슬레이브·래치(SL)는 각각 실시의 형태27에 나타내어진 제1 및 제2의 클럭신호(T1,T2)에 따라서 동작한다.

제62도는 제61도에 기재된 플립플롭회로를 직렬로 접속하여 스캔패스(SP)를 구성한 경우를 예시하는 회로도이다.

이 스캔패스(SP)는 제1논리회로 LOGI C1로부터 제1의 통상의 입력신호(DI)1를 받아, 제2논리회로 LOGI C2에 제1의 출력신호(Q)1와, 그 반전신호(Q)1B를 출력한다. 또한, 스캔패스(SP)는 제2논리회로(LOGIC2)로부터 제2의 통상의 입력신호(DI2)를 받고, 제1논리회로(LOGIC1)에 제2의 출력신호(Q2)와 그 반전신호(Q2B)를 출력한다.

제1논리회로(LOGIC1), 제2논리회로(LOGIC2)의 테스트는 개별로 행해진다.

이하에 나타내는 동작은 각각의 플립플롭으로 행해진다.

제1논리회로(LOGIC1)의 테스트를 할 때에는, 시프트동작을 하기 위해, 모드신호(MODE)를 H로 설정하고, 스캔테스트용신호(SI)를 셀렉터(SELM), 마스터·래치(ML), 셀렉터(SELS)를 통하여 슬레이브·래치(SI)에 주며, 제2의 출력신호(Q2)와 M 반전신호(Q2B)를 설정한다.

그 후, 모드신호(MODE)는 L로 설정하고, 제2의 출력신호(Q2)와 그 반전신호(Q2B)에 응답하는 제1논리회로(LOGIC1)의 출력을 제1의 통상의 입력신호(DI1)로서 받고, 제1의 출력신호(Q1)의 값을 갱신한다.

더욱, 시프트동작을 하도록 모드신호(MODE)를 H로 설정하고, 제1의 출력신호(Q1)가 셀렉터(SELS)에 의해서 선택되며, 제2의 출력신호(Q2)가 제1논리회로(LOGIC1)의 테스트결과로서 갱신된다.

제2논리회로(LOGIC2)의 테스트를 할 때에는, 우선 시프트동작을 하기 위해서 모드신호(MODE)를 H로 설정하고, 셀렉터(SELM)를 통하여 마스터·래치(ML)에 스캔테스트용신호(SI)를 주며, 제1의 출력신호(Q1)와 그 반전신호(Q1B)를 설정한다.

그 후, 모드신호(MODE)를 L로 설정하고, 제1의 출력신호(Q1)와 그 반전신호(Q1B)에 응답하는 제2논리회로(LOGIC2)의 출력을 제2의 통상의 입력신호(DI2)로서 받고, 제2의 출력신호(Q2)의 값을 갱신한다.

더욱, 시프트동작을 하도록 모드신호(MODE)를 H로 설정하고, 다음단의 플립플롭의 셀렉터(SELM)를 통하여 스캔아웃(SO)이 제2논리회로(LOGIC2)의 테스트결과로서 다음단의 플립플롭의 마스터·래치에 전달된다.

이와 같이, 제61도에 나타내어진 플립플롭회로를 사용하면, 단일의 스캔패스(SP)를 구성하더라도, 2개의 논리회로를 테스트할 수 있다.

물론, 통상동작시에 있어서는 항상 모드신호(MODE)를 L로 설정함으로써, 제1논리회로(LOGIC1)로부터 제2논리회로(LOGIC2)로의 신호전달은 하프·래치인 마스터·래치(ML)을 개재하여, 제2논리회로(LOGIC2)로부터 제1논리회로(LOGIC1)로의 신호전달은 하프·래치인 슬레이브·래치(SL)를 개재하여 각각 실현될 수가 있다.

[(c-8) 실시의 형태 34]

제63도는 실시의 형태34에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

제63도에 나타내어진 구성은 제61도에 나타내어진 구성에 있어서, 마스터·래치(ML), 슬레이브·래치(SL)에 모드신호(MODE)를 준 것이다.

여기서, 마스터·래치(ML), 슬레이브·래치(SL)는 모드신호(MODE)에 따라서 스태틱형/다이내믹형으로 전환되어 동작한다.

제64도는 제63도에 나타내어진 마스터·래치(ML), 슬레이브·래치(SL)의 구성을 구체적으로 나타낸 회로도이다.

제64도에 있어서 나타내어진 셀렉터(SELM) 및 마스터·래치는 제13도에 있어서 나타내어진 셀렉터(SEL1) 및 마스터·래치와 동일의 구성을 채용하고 있다.

즉, 제64도에 있어서의 셀렉터(SELM), PMOS 트랜지스터(P1M, P2M, P5M), NMOS 트랜지스터(N1M, N2M, N5M), 인버터(INV1M, INV2M, INV5M)는 각각 제13도에 있어서의 셀렉터(SEL1), PMOS 트랜지스터

(P1,P2,P5), NMOS 트랜지스터(N1,N2,N5), 인버터(INV1, INV2, INV5)에 대응하고 있다.

또한, 제64도에 있어서 나타내어진 셀렉터(SELS) 및 슬레이브·래치도 제13도에 있어서 나타내어진 셀렉터(SEL1) 및 마스터·래치와 동일의 구성을 채용하고 있다.

즉, 제64도에 있어서의 셀렉터(SELS), PMOS 트랜지스터(P1S, P2S, P5S), NMOS 트랜지스터(N1S, N2S, N5S), 인버터(INV1S, INV2S, INV5S)는 각각 제13도에 있어서의 셀렉터(SEL1), PMOS 트랜지스터(P1,P2,P5), NMOS 트랜지스터(N1,N2,N5), 인버터(INV1, INV2, INV5)에 대응하고 있다.

따라서, 모드신호(MODE)에 의해서 셀렉터(SELM,SELS)의 동작이 제어됨과 같이, 마스터·래치, 슬레이브·래치의 동작도 다이내믹형/스태틱형으로 전환된다.

구체적으로 통상동작에 있어서는 마스터·래치, 슬레이브·래치가 함께 다이내믹형으로서 동작하고, 시프트동작시든지 클럭이 정지되는 슬립모드시에는 스태틱형으로서 동작한다.

반전신호(Q1B,Q2B)는 각각 인버터(INV2M, INV2S)의 출력단에서 얻어진다.

[(c-9) 실시의 형태 35]

제65도는 실시의 형태35에 이러한 플립플롭회로의 구성을 나타내는 회로도이다.

제65도에 나타내어진 구성은 제61도에 나타내어진 구성에 있어서, 마스터·래치(ML)에 모드신호(MODE)를 준 것이다.

여기서, 마스터·래치(ML)는 모드신호(MODE)에 따라서, 스태택형/다이내믹형으로 전환되어 동작한다.

제66도는 제65도에 나타내어진 마스터·래치(ML), 슬레이브·래치(SL)의 구성을 구체적으로 나타낸 회로도이다.

제64도에 나타내어진 구성중, 마스터·래치를 다이내믹형의 슬레이브·래치로 치환한 구성을 갖고 있다.

제66도에 나타내어진 셀렉터(SELS) 및 슬레이브·래치는 제9도에 나타내어진 셀렉터(SEL1) 및 마스터·래치와 동일의 구성을 채용하고 있다.

즉, 제66도에 있어서의 셀렉터(SELS), PMOS 트랜지스터(P1S), NMOS 트랜지스터(N1S), 인버터(INV1S,INV5S)는 각각 제9도에 있어서의 셀렉터(SEL1), PMOS 트랜지스터(P1), NMOS 트랜지스터(N1), 인버터(INV1, INV5)에 대응하고 있다.

따라서, 모드신호(MODE)에 의해서 셀렉터(SELM, SELS)의 동작이 제어됨과 같이 마스터·래치의 동작도 다이내믹형/스태틱형으로 전환된다.

구체적으로 통상동작에 있어서는 마스터·래치, 슬레이브·래치가 함께 다이내믹형으로서 동작하고, 시프트동작시든지 클럭이 정지되는 슬립모드시에는 마스터·래치가 스태틱형으로서 동작한다.

반전신호(Q1B,Q2B)는 각각 인버터(INV2M)의 출력단 및 인버터(INV1S)의 입력단에서 얻어진다.

[(c-10) 실시의 형태 36]

제67도는 실시의 형태36의 구성을 설명하는 회로도이다.

제67도에 나타내어진 회로는 제20도에 있어서 나타내어진 회로에 대하여, 모드신호(MODE) 및 클럭신호(T)를 공급하는 논리회로(LC2)를 추가한 구성을 갖고 있다.

단지, 여기서는 셀렉터를 구성하는 S10, S11가 생략되어 있다.

논리회로(LC2)에는 홀드신호(HOLD)와 클럭원신호(TB)가 입력된다.

논리회로(LC2)는 네가티브·엣지트리거형의 플립플롭회로(FF1)와, 포지티브·엣지트리거형의 플립플롭회로(FF2)와, 인버터(INVH1)와, 2입력 NAND게이트(NANDTB)와, 2입력 AND 게이트(ANDM)로 구성되어 있다.

플립플롭회로(FF1)는 클럭원신호(TB)의 하강에서 홀드신호(HOLD)를 통합한다.

그리고, 플립플롭회로(FF1)의 출력(H1)은 클럭원신호(TB)의 상승에서 출력(H1)을 통합한다.

플립플롭회로(FF2,FF1)의 각각의 출력(H1,H2)은 AND 게이트(ANDM)에 주어지고, 양자의 논리적으로 모드신호(MODE)가 생성된다

인버터(INVH1)는 출력(H1)을 반전하여 반전신호(HIB)를 출력하고, 이것은 클럭원신호(TB)에 따라 NAND게이트(NANDTB)에 주어지고, 양자의 논리적의 반전신호로서 클럭신호(T)가 생성된다.

제68도는 제67도의 각 신호의 파형을 나타내는 타이밍챠트이다.

클럭사이클(#0)에 있어서의 클럭원신호(TB)의 하강에서, 홀드신호(HOLD)가 통합되고, 출력(H1)은 상승하고, 그 반전신호(HIB)는 하강한다.

클럭사이클(#0)과 클럭사이클(#1)과의 경계가 되는 클럭원신호(TB)의 상승에 의해서 출력(H2)이 나타난다.

따라서, 모드신호(MODE)도 나타난다.

한편, 출력(H1)이 나타날때까지는 신호(HIB)가 H이기 때문에, NAND게이트(NANDTB)는 인버터로서 기능하고, 클럭신호(T)는 클럭원신호(TB)의 반전신호로서 얻어진다.

그후, 신호(HIB)가 L이 되기 때문에, 클럭신호(T)는 H로 유지되어 있다.

다음에, 클럭사이클(#2)에 있어서, H에서 L로 홀드신호(HOLD)의 천이가 클럭사이클(#2)에 있어서의 클럭원신호(TB)의 하강에 의해서 출력(H1)으로 전달된다.

이것과 함께, 신호(HIB)는 H가 된다.

출력(H2)은 이때 H이기 때문에 AND 게이트(ANDM)는 H에서 L로의 출력(H1)의 천이를 모드신호(MODE)의 H에서 L로의 천이로서 전달한다.

또한, 클럭신호(T)는 클럭사이클(#2,#3)의 경계에서의 클럭원신호(TB)의 상승의 계기로 하강한다.

이상과 같이, 클럭신호(T)는 적어도 모드신호(MODE)가 H인 상태에 있어서는 반드시 H가 된다.

따라서, 트랜스미션 게이트(S5)가 닫히면 반드시 트랜스미션 게이트(S4)도 닫힌다.

이와같이, 홀드신호(HOLD)를 H로 하는 것에 의해, 슬레이브·래치를 스태틱형으로 하고, 또한 클럭신호(T)를 H로 고정하기 때문에, 신호의 충돌(경합)에 의한 소비전력의 증가를 피할 수가 있다.

물론, 복수의 플립플롭에 대하여 논리회로(LC2)를 공용할 수가 있다.

[(c-11)실시의 형태 37]

제69도는 실시의 형태37의 구성을 설명하는 회로도이다.

제69도에 나타내어진 회로는 제20a도에 있어서 나타내어진 회로에 대하여, 모드신호(MODE) 및 클럭신호(T)를 공급하는 논리회로(LC3)를 추가한 구성을 갖고 있다.

논리회로(LC3)에는 홀드신호(HOLD)와, 클럭원신호(TB)와, 테스트모드신호(TMB)와, 신호(SM)가 입력된다.

논리회로(LC3)는 제67도에 나타내어진 논리회로(LC2)에 셀렉터(SELC)를 추가하여, 인버터(INVH1)를 NAND게이트(NANDH1)로 치환한 구성을 갖고 있다.

NAND게이트(NANDH1)의 한편의 입력단은 인버터(INVH1)와 같이 출력(H1)을 입력하고, 다른쪽의 입력단은 테스트모드신호(TMB)를 입력한다.

또한, 셀렉터(SELC)는 테스트모드신호(TMB)의 값이 H/L가 되는 것에 따라서, 각각 AND 게이트(ANDM)의 출력 및 신호(SM)를 모드신호(MODE)로서 출력한다.

통상동작시에 있어서는 테스트모드신호(TMB)를 H로 설정한다.

이것에 의해서, 셀렉터(SELC)는 모드신호(MODE)로서 AND 게이트(ANDM)의 출력을 선택하고, 또한 NAND게이트(NANDH1)는 인버터로서 기능하기 때문에, 제67도에 나타내어진 회로와 같은 동작을 한다.

요컨대, 통상동작시에 있어서 신호(SM)는 동작에 영향을 주지 않는다.

또 모드신호(MODE)를 H로 하는 것에 의해, 트랜스미션 게이트(S11)가 도통하여 스캔테스트용신호(SI)를 마스터·래치에 전달하는 것이 되지만, 모드신호(MODE)가 H로 되어 있는 기간에 있어서는 반드시 클럭신호(T)가 H로 되어 있기 때문에, 트랜스미션 게이트(S3)는 오프하고, 따라서 스태틱형으로서 동작하고 있는 슬레이브·래치의 기억내용을 저해하는 것이 아니다.

테스트동작시에 있어서는, 테스트모드신호(TMB)를 L로 설정한다.

이것에 의해서, 셀렉터(SELC)는 모드신호(MODE)로서 신호(SM)를 출력하고, 클럭신호(T)는 클럭원신호(TB)와 상보적인 값을 채용한다.

요컨대, 테스트동작시에 있어서는 홀드신호(HOLD)의 값은 동작에 관계하지 않는다.

제70도는 시프트동작시에 있어서의 제69도에 나타난 각 신호의 파형을 나타내는 타이밍챠트이다.

제70도에 나타낸 것같이, 신호(SM)는 모드신호(MODE)로서 기능하기 때문에, 스캔테스트에 있어서 통상 행해지고 있는 스캔플립플롭에 있어서의 통상의 입력신호(DI)와 스캔테스트용신호(SI)와의 전환의 제어를 하는 것으로서 채용할 수가 있다.

D. RAM으로의 응용

본 발명은 클럭신호에 동기한 기록동작과, 클럭신호에 동기하지 않은 판독동작을 하는 RAM을 실현할 때에 이용할 수가 있다.

제71도는 비동기하여 판독동작을, 동기하여 기록동작을, 각각 행하는 RAM의 구성을 나타내는 블럭도이다.

RAM 코어(501)에는 기록어드레스 및 판독어드레스를 받는 어드레스입력단(A)와, 기록데이타를 받는 데이타입력단(DI)와, 판독데이타를 출력하는 데이타단(DO)과, 기록허가신호를 받는 기록허가단(WE)를 구비하고 있다.

셀렉터(503)는 어드레스(XA)를 직접 받는 0입력단과, 플립플롭(403)을 통하여 받는 1입력단을 갖고 있고, 그 출력은 RAM 코어(501)의 어드레스입력단(A)에 주어진다.

0 입력단에 주어진 신호 및 1 입력단에 주어진 신호의 어느것인가가 출력될까는, 플립플롭(401)에 의해 출력되는 선택신호(S)의 값(0, 1)에 의존한다.

플립플롭(401)에는 기록허가원신호(XWE)가 주어진다.

플립플롭(401)을 경유한 기록허가원신호(XWE)는 제어신호(S)로서 기능하는 한편, 라이트 펄스 발생 제어회로(502)에 입력된다.

라이트 펄스 발생 제어회로(502)는 클럭신호(CLK) 및 제어신호(S)에 따라서 기록허가신호를 기록허가단

(WE)에 준다.

한편, 플립플롭(402)은 기록데이타(XDI)를 입력하고, 그 출력은 RAM 코어(501)의 데이타입력단(DI)에 주어진다.

플립플롭(401~403)은 동일의 클럭신호(CLK)에 의해서 제어되어, 서로 클럭신호(CLK)와 동기하여 출력동작을 행한다.

이러한 구성에 있어서, 기록동작을 할 경우에 기록허가원신호(XWE)가 1이 되기 때문에, 플립플롭(401)에서 출력된 제어신호(S)가 셀렉터(503)에 대하여 1 입력단에 주어진 신호를 출력하도록 제어한다.

따라서, 플립플롭(403)에 입력된 어드레스(XA)로서 기록어드레스가 제공되어도 좋다.

플립플롭(403)의 기능에 따라, 기록어드레스는 클럭신호(CLK)와 동기하여 어드레스입력단(A)에 도달한다.

이 경우, 기록허가신호도 1이 되기 때문에, RAM 코어(501)에 대하여 기록동작이 행해진다.

한편, 판독동작을 할 경우에, 기록허가원신호(XWE)가 0이 되기 때문에, 플립플롭(401)에서 출력된 제어신호(S)가 셀렉터(503)에 대하여, 0 입력단에 주어진 신호를 출력하도록 제어한다.

따라서, 어드레스(XA)로서 판독어드레스를 제공해도 좋다.

판독어드레스는 플립플롭(403)을 경유하지 않기 때문에, 클럭신호(CLK)와 동기하지 않고서 어드레스입력단(A)에 도달한다.

이 경우, RAM 코어(501)에 대하여서 기록동작이 행해지지 않고, 판독동작이 행해진다.

이상과 같이, 제71도에 나타내어진 구성의 RAM은 비동기하여 판독동작을, 동기하여 기록동작을, 각각 행할 수 있다.

기록어드레스 및 판독어드레스의 각각을 어드레스(XA)로서 취급하고 있기 때문에, 판독동작후에 기록동작을 하는 경우에, 기록동작을 클럭신호와 동기시키기 위한 더미(dummy) 기간을 설치할 필요가 있었다.

제72도는 제71도에 나타내어진 RAM이 판독동작에서 기록동작으로 시프트하는 경우의 클럭신호(CLK), 기록허가원신호(XWE), 제어신호(S), 기록허가단(WE)에서의 값, 어드레스(XA), 데이타단(DO)에서 판독된 값, 어드레스입력단(A)에서의 값, 기록데이타(XDI)의 값, 데이타입력단(DI)에서의 값을 각각 나타내는 타이밍 챠트이다.

우선, 클럭신호(CLK)의 상승에 있어서 기록허가원신호(XWE)가 L(0에 해당)을 채용하는 것에 의해, 클럭신호(CLK)의 1사이클분에 해당하는 그후의 기간에 있어서 판독을 행한다(리이드 사이클).

요컨대, 어드레스(XA)로서 판독어드레스(RA)가 클럭신호(CLK)와 동기하지 않더라도 이 리이드 사이클중에 제공되면, RAM 코어(501)로부터의 데이타의 판독을 위해 지연시간(Ta)의 경과후에 판독데이타(RD)가 얻어진다.

그러나, 이 리이드 사이클의 다음 사이클에 있어서 즉시 기록을 행할 수 없는 경우가 존재한다.

이것은 판독어드레스(RA)가 클럭신호(CLK)와 동기하지 않고 제공되기 때문에, 어드레스(XA)에서 기록어드레스(WA)를 클럭신호(CLK)의 상승엣지의 시간에 대도록 준비하는 기간이 필요하기 때문이다.

제72도에 나타내어진 경우에서는, 리이드 사이클의 최후(더미사이클의 최초)에 있어서의 클럭신호(CLK)의 상승에서 기록허가원신호(XWE)가 L가 될 필요가 있다.

그리고, 이 더미사이클의 기간중에, 어드레스(XA)를 판독어드레스(RA)에서 기록어드레스(WA)로 변경할 필요가 있다.

이와같이, 기록어드레스(WA)가 어드레스(XA)로서 주어진 후에, 클럭신호(CLK)의 상승에서 H(1에 해당)가 되도록 기록허가원신호(XWE)가 주어져서, 기록동작이 행해진다(리이드사이클).

제71도에 나타내어진 RAM에서는 이러한 더미사이클의 존재를 설치할 필요가 있기 때문에, 그 동작이 용장하다.

[(d-1) 실시의 형태 38]

제73도는 본 발명의 실시의 형태38의 구성을 나타내는 블럭도이다.

기록허가원신호(XWE)는 플립플롭(401)을 통하여 라이트 펄스 발생 제어회로(502)에 주어지고, 라이트 펄스 발생 제어회로(502)는 이것과 클럭신호(CLK)에 따라서 기록허가신호를 출력한다.

기록데이타(XDI)는 플립플롭(402)에 입력된다.

판독어드레스(XRA)는 셀렉터(503)의 0입력단에 주어지고, 기록어드레스(XWA)는 플립플롭(403)을 통하여 셀렉터(503)의 1 입력단에 제공될 수 있다.

요컨대, 본 실시의 형태에 있어서 판독어드레스(XRA)는 기록어드레스(XWA)와 별도로 주어진다.

플립플롭(401~403)은 어느것이나 클럭신호(CLK)에 의해서 그 동작이 제어된다.

또한, 셀렉터(503)는 플립플롭(401)의 출력인 제어신호(S)의 값이 0, 1을 채용하는데 대응하여, 각각 자신의 0 입력단의 값 및 1입력단의 값을 출력한다.

RAM 코어(501)는 셀렉터(503)의 출력을 받는 어드레스입력단(A)과, 기록허가신호를 받는 기록허가단(WE)과, 플립플롭(402)의 출력을 받는 데이타입력단(DI)과, 판독데이타를 출력하는 데이타단(DO)를 갖고 있다.

제74도는 제73도에 나타내어진 RAM이 판독동작으로부터 기록동작으로 이행하는 경우의 클럭신호(CLK), 기록허가원신호(XWE), 제어신호(S), 기록허가단(WE)에서의 값, 기록어드레스(XWA), 판독어드레스(XRA), 데이타단(DO)에서 판독된 값, 어드레스입력단(A)에서의 값, 기록데이타(XDI)의 값, 데이타입력단(DI)에서의 값을 각각 나타내는 타이밍챠트이다.

본 실시의 형태에 있어서는 제71도에 나타내어진 구성을 갖는 RAM과 같이, 판독동작을 클럭신호(CLK)와 비동기에서, 기록동작을 동기에서, 각각 행할 수 있는 것은 물론, 기록어드레스(XWA), 판독어드레스(XRA)를 동시에 별도로 설정할 수가 있기 때문에, 리이드사이클에 있어서 판독어드레스(XRA)가 값 RA를 채용하고 있더라도 이것과 동시에, 다음에 행해져야 되는 라이트사이클을 위해 기록어드레스(XWA)의 값을 WA에 설정하여 놓을 수 있다.

따라서, 제71도에 나타내어진 구성을 갖는 RAM과는 달리, 판독어드레스로부터 기록어드레스로 리셋하는데 더미사이클을 필요로 하지 않는다.

따라서, 용장한 동작사이클을 필요로 하지 않기 때문에 신속한 판독/기록을 할 수 있다.

[(d-2) 실시의 형태 39]

제75도는 본 발명의 실시의 형태39의 구성을 나타내는 블럭도이다.

실시의 형태38에 있어서 제73도를 사용하여 나타내어진 구성과 비교하여, 플립플롭(402,403)이 각각 스캔플립플롭(405,404)으로 치환되고, OR회로(601)가 추가된 구성을 갖고 있다.

OR회로(601)에는 플립플롭(401)의 출력과, 테스트회로(TM)가 입력되고, 양자의 논리합이 제어신호(S)로서 기능한다.

우선, 스캔플립플롭(404)이 스캔모드로 기능하고, 스캔인(SIA) 및 스캔아웃(SOA)으로서 나타난 스캔패스를 통해서 전달되는 어드레스용의 스캔테스트용신호를 기억한다.

유사하게, 스캔플립플롭(405)이 스캔모드로 기능하고, 스캔인(SID) 및 스캔아웃(SOD)으로서 나타난 스캔패스를 통해서 전달되는 데이타용의 스캔테스트용신호를 기억한다.

이 다음에, 클럭신호(CLK)와 동기하여 스캔플립플롭(404,405)이 각각 기억하고 있는 데이타를 출력시킨다.

이때, 테스트회로(TM)를 1로 하여 활성화시킴으로써, 제어신호(S)가 1이 되고, 스캔플립플롭(404)에 기억된 어드레스용의 스캔테스트용신호가 어드레스입력단(A)에 주어진다.

스캔플립플롭(405)에 기억된 어드레스용의 스캔테스트용신호는 클럭신호(CLK)와 동기하여 데이타입력단(DI)에 주어진다.

이렇게 하여, RAM 코어(501)에 스캔테스트용신호를 줄 수 있어, RAM 코어(501)의 테스트를 용이하게 행할 수 있다.

물론, 스캔플립플롭(404,405)이 통상 동작을 하는 모드인 경우에 테스트신호(TM)가 0를 채용하여 활성되지 않는 경우에 있어서도, 기록허가원신호(XWE)를 1로 하는 것에 의해 제어신호(S)는 1을 채용하기 때문에, 제73도에 나타낸 회로와 같은 동작을 할 수 있다.

또, 본 실시의 형태에 있어서는, 어드레스입력단(A)에 주어야 되는 어드레스로서 스캔테스트용신호를 사용한다고 하는 사상은 기록어드레스뿐만 아니라, 판독어드레스에 대해서도 적용할 수 있다.

요컨대, RAM 코어(501)의 테스트는 기록동작뿐만 아니라 판독동작에 있어서도 행할 수 있다.

이러한 기능상의 특징에 비추어 보면, 제71도에 나타내어진 구성의 RAM에 대하여, 플립플롭(402,403)이 각각 스캔플립플롭(405,404)로 치환되고, OR회로(601)가 추가되며, OR회로(601)에는 플립플롭(401)의 출력과 테스트회로(TM)가 입력되어, 양자의 논리합이 제어신호(S)로서 기능하는 구성을 채용해도 좋다는 것은 명백하다.

요컨대, 제75도에 있어서 점선으로 나타내어진 부분을 접속하여, 어드레스(XA)로서 판독어드레스(XRA), 기록어드레스(XWA)를 통합적으로 주더라도, RAM 코어(501)의 판독동작 및 기록동작의 테스트가 용이하게 된다고 하는 효과가 얻어진다.

[(d-3) 실시의 형태 40]

제76도는 본 발명의 실시의 형태39의 구성을 나타내는 블럭도이다.

실시의 형태39에 있어서 제75도를 사용하여 나타내어진 구성과 비교하여, 스캔플립플롭(404) 및 셀렉터(503)를 스캔플립플롭(700~702)으로 치환한 구성을 갖고 있다.

단지, 제76도에서는 제73도든지 제75도와는 달리, 어드레스를 비트마다 나눠서 나타내고 있다.

여기서는, 예컨대, RAM 코어(501)의 어드레스가 3비트인 경우가 예시되어 있고, 기록어드레스(XWA)는 XWA0~XWA2, 판독어드레스(XRA)는 XRA0~XRA2, 어드레스입력단(A)은 A0~A2으로 구분되어 표되어 있다.

스캔플립플롭(700~702)에서는 제48도에 나타내어진 구성이든지, 제52도에 나타내어진 구성을 채용할 수가 있다.

그리고, 예컨대, 스캔플립플롭(702)으로서는 기록어드레스(XWA2)가 통상의 입력신호(DI)로서, 판독어드레스(XRA2)가 비동기에서 전달되는 신호(DI2)로서, 클럭신호(CLK)가 클럭원신호(TB)로서, 제어신호(S)가 바이패스신호(BYPB)로서, 각각 입력된다.

다른 스캔플립플롭(700,701)도 같다.

스캔플립플롭(700~702)은 스캔패스를 구성하고 있다.

기록동작시에는 제어신호(S)가 1이 되고, L 액티브인 바이패스회로(BYPB)는 활성화되지 않으며, 바이패스회로(BYPC)는 판독어드레스(XRAi(i=0,1,2))를 인버터(INV3)의 입력단에 전달시키지 않는다.

그리고, 기록어드레스(XWAi)는 마스터·래치 및 슬레이브·래치를 경유하여 인버터(INV3)의 출력에 전달한다.

제어신호(S)가 1이기 때문에, 이 전달은 논리는 반전되어 있지만, 논리 클럭신호(CLK)와는 동기하는 클럭신호(T)에 동기하여 행해지기 때문에, 기록동작은 클럭신호(CLK)와 동기하여 행해지는 것이 된다.

판독동작시에는 제어신호(S)가 0이 되고, 바이패스회로(BYPB)가 활성화되기 때문에, 바이패스회로(BYPC)가 판독어드레스(XRAi(i=0,1,2))를 인버터(INV3)의 입력단으로 전달시킨다.

한편, NAND 게이트(NANDTB)는 클럭신호(T)를 H로 고정하기 때문에, 클럭신호(CLK)의 동가에 관계없이 기록어드레스는 슬레이브·래치를 전달하지 않는다.

결국, 판독동작은 클럭신호(CLK)에 비동기하여 행해지는 것이 된다.

또한, 모드신호(MODE)를 H로 하여 스캔테스트용데이타를 마스터·래치에 주면, 그 후에 테스트신호(TM)를 1로 하는 것에 의해, 제어신호(S)도 1이 되어 클럭신호(CLK)에 동기하여 스캔테스트용데이타에 마스터·래치 및 슬레이브·래치를 전달시킬 수 있다.

더구나, 이미 설명된 것 같이, 마스터·래치 및 슬레이브·래치의 한편이 다이내믹형으로 동작하지만, 다른쪽은 스캔테스트용데이타의 전달이 행해지는 경우에 있어서는 스태틱형으로, 신호(DI)의 전달이 행해지는 경우에 있어서는 다이내믹형으로, 각각 동작하기 때문에, 전자의 경우에 있어서는 플립플롭회로의 전원전류테스트의 오진을 피할 수가 있고, 후자의 경우에 있어서는 플립플롭회로의 동작을 신속히 행할 수 있다.

E. 실시의 형태의 변형

실시의 형태1 내지 15에 있어서는 플립플롭회로를 구성하는 한편의 하프·래치의 동작을 다이내믹형으로 하고, 다른쪽을 스태틱형 및 다이내믹형의 어느 것인가에 동작시킨다.

그리고, 스태틱형으로 동작하는 하프·래치에 있어서는 그 기억루프가 CMOS 구성을 갖고 있다.

이 기억루프에 기여하지 않은 트랜스미션 게이트에 있어서는, 그것을 구성하는 PMOS 트랜지스터 및 NMOS 트랜지스터의 한편을 생략할 수가 있다.

예컨대, 제21a도에 나타내어진 회로에 있어서, 트랜스미션 게이트(S1)의 PMOS 트랜지스터(P1)를 생략할 수가 있다.

이 경우에, PMOS 트랜지스터(P10,P11)도 생략할 수가 있다.

또한 NMOS 트랜지스터(N1)를 생략할 수가 있다.

이 경우에는 NMOS 트랜지스터(N10,N11)도 생략할 수가 있다.

그러나, 트랜스미션 게이트(S3)에 있어서는 어느쪽의 트랜지스터도 생략하는 것은 바람직하지 않다.

이것은 인버터(INV3)에 트랜스미션 게이트(S3)의 타단만 접속되고, 이 개소에 있어서, H와 L와의 사이에서 전위가 풀스윙하는 것이 바람직하기 때문이다.

본 발명은 상세히 설명되었지만, 상기 설명은 모든 관점에 예시적인 것이지 한정적인 것이 아니다.

그러므로, 다양한 변형 및 변화는 본 발명의 범위를 벗어나지 않고 고안될 수 있다는 것을 이해하게 된다.

(57) 청구의 범위

청구항 1

제1 및 제2의 하프·래치의 직렬접속에 의해서 구성되고, 입력단자 및 출력단자를 구비하는 플립플롭회로에 있어서, (a) 상기 제1의 하프·래치는 다이내믹형이고, (b) 상기 제2의 하프·래치는, (b-1) 상기 입력단자에 작동적으로 결합된 입력단과, 출력단을 포함하기 때문에, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, (b-2) 상기 제1의 스위치의 상기 출력단에 접속된 입력단과, 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, (b-3) 제2의 인버터와, (b-4) 그 개폐가 상기 제1의 스위치와 상보적인 제2의 스위치와, (b-5) 그 개폐가 모드신호에 의해서 제어되는 제3의 스위치를 갖고, 상기 제2의 인버터 및 상기 제2 및 제3의 스위치가 상기 제1의 인버터의 상기 출력단과, 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속되고, 상기 제2 및 상기 제3의 스위치의 양자가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속되는 플립플롭회로.

청구항 2

제1항에 있어서, 상기 제1의 하프·래치는 마스터·래치로서, 상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 입력단자에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접적으로 또는 상기 제2의 인버터를 개재하여 간접적으로 상기 출력단자에 접속된 플립플롭회로.

청구항 3

제2항에 있어서, 상기 하프·래치는, (a-1) 상기 입력단자와 접속되어 있는 입력단과 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 입력단과 접속되어 있는 출력단을 포함하는 스위치를 구비하고 있기 때문에, 그 개폐가 상기 제2의 하프·래치의 상기 제1의 스위치의 것과 상보적인 플립플롭회로.

청구항 4

제3항에 있어서, 상기 제1의 하프·래치의 상기 스위치는 전송게이트로 형성되어 있는 플립플롭회로.

청구항 5

제3항에 있어서, 상기 제1의 하프·래치의 상기 스위치는 (a-1-1) 상기 입력단자와 접속되어 있는 게이트와, 상기 제1의 하프·래치의 상기 스위치의 출력단과 접속되어 있는 드레인과, 소스를 구비하는 제1의 도전형의 제1의 MOS 트랜지스터와, (a-1-2) 상기 입력단자와 접속되어 있는 게이트와, 상기 제1의 하프·래치의 상기 스위치의 상기 출력단과 접속되어 있는 드레인과, 소스를 구비하는 제2의 도전형의 제2의 MOS 트랜지스터와, (a-1-3) 상기 제1의 MOS 트랜지스터의 상기 소스와 2진논리중의 하나에 대응하는 제1의 전위를 제공하는 제1의 전위점과의 사이에 접속되어 있는 제2의 스위칭소자와, (a-1-4) 상기 제2의 MOS 트랜지스터의 상기 소스와 상기 2진논리중의 다른 하나에 대응하는 제2의 전위를 제공하는 제2의 전위점과의 사이에 접속되어 있는 제2의 스위칭소자를 더 포함하고, 상기 제1 및 제2의 스위칭소자는 사실상 상기 클럭신호에 근거하여 동시에 개폐되는 플립플롭회로.

청구항 6

제2항에 있어서, 상기 제2의 하프·래치의 상기 제1의 스위치는 제1의 NMOS 트랜지스터 및 제1의 PMOS 트랜지스터를 포함하고, 상기 제1의 하프·래치는, (a-1) 입력단자에 접속된 입력단과 출력단을 포함하기 때문에, 그 개폐가 상기 제2의 하프·래치의 상기 제1의 스위치와 상보적인 스위치와, (a-2) 상기 제2의 하프·래치의 상기 제1의 인버터의 입력단과, 2진논리의 한편의 논리에 대응하는 제1전위를 주는 제1전위점과의 사이에서, 상기 제1의 PMOS 트랜지스터와 직렬로 접속되는 제2의 PMOS 트랜지스터와, (A-3) 상기 제2의 하프·래치의 상기 제1의 인버터의 입력단과, 2진논리의 다른쪽의 논리에 대응하는 제2전위를 주는 제2전위점과의 사이에서, 상기 제1의 NMOS 트랜지스터와 직렬로 접속되는 제2의 NMOS 트랜지스터를 갖고, 상기 제2의 NMOS 트랜지스터 및 상기 제2의 PMOS 트랜지스터의 각각의 게이트는 공통으로 상기 제1의 하프·래치의 상기 스위치의 상기 출력단에 접속된 플립플롭회로.

청구항 7

제1항에 있어서, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 입력단자에 직접 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 출력단자에 접속된 플립플롭회로.

청구항 8

제7항에 있어서, 상기 제2의 하프·래치의 상기 제1의 스위치는 전송게이트로 형성되어 있는 플립플롭회로.

청구항 9

제7항에 있어서, 상기 제2의 하프·래치의 상기 제1의 스위치는 (b-1-1) 상기 입력단자와 접속되어 있는 게이트, 상기 제2의 하프·래치의 상기 스위치의 상기 출력단에 접속되어 있는 드레인 및, 소스를 구비하는 제1의 도전형의 제1의 MOS 트랜지스터와, (a-1-2) 상기 입력단자와 접속되어 있는 게이트, 상기 제2의 하프·래치의 상기 스위치의 상기 출력단과 접속되어 있는 드레인 및, 소스를 구비하는 제2의 도전형의 제2의 MOS 트랜지스터와, (a-1-3) 상기 제1의 MOS 트랜지스터의 상기 소스와 2진논리중의 한편에 대응하는 제1의 전위를 주는 제1의 전위점과의 사이에 접속되어 있는 제1의 스위칭소자와, (a-1-4) 상기 제2의 MOS 트랜지스터의 상기 소스와 상기 2진논리중의 다른쪽에 대응하는 제2의 전위를 제공하는 제2의 전위점과의 사이에 접속되어 있는 제2의 스위칭소자를 더 포함하고, 상기 제1 및 제2의 스위칭소자는 사실상 상기 클럭신호에 근거하여 동시에 개폐되는 플립플롭회로.

청구항 10

(a) 통상의 입력신호와 스캔테스트용신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 출력되는 출력단을 갖는 셀렉터와, (b) 출력단자와, (c) 상기 셀렉터의 상기 출력단과, 상기 출력단자와의 사이에서 직렬로 접속되는 제1 및 제2의 하프·래치를 구비하는 플립플롭회로에 있어서, 상기 제1의 하프·래치는 다이내믹형이고, 상기 제2의 하프·래치는 모드신호에 의해서 다이내믹형과 스태틱형으로 전환되고, 상기 셀렉터는 상기 모드신호에 의해서 제어되며, 상기 제2의 하프·래치가 다이내믹형으로 전환되면 상기 통상의 입력신호를 출력하고, 상기 제2의 하프·래치가 스태틱형으로 전환되면 상기 스캔테스트용신호를 출력하는 플립플롭회로.

청구항 11

제10항에 있어서, 상기 제2의 하프·래치는 상기 셀렉터의 상기 출력단에 작동적으로 결합된 입력단과 출력단을 포함하기 때문에, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, (c-2) 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, (c-3) 제2의 인버터와, (c-4) 상기 클럭신호와 상기 모드신호와의 논리연산을 하는 논리게이트와, (c-5) 그 개폐가 상기 논리게이트의 출력에 의해서 제어되는 제2의 스위치를 갖고, 상기 제2의 인버터와 상기 제2의 스위치는 상기 제1의 인버터의 상기 입력단과 상기 제1의 인버터의 상기 출력단과의 사이에서 직렬로 접속되고, 상기 제2의 스위치가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속되며, 상기 제2의 스위치는 상기 모드신호가 소정의 값을 채용하여 상기 제2의 하프·래치를 스태

틱형으로 하는 경우에는 그 개폐가 상기 제1의 스위치와 상보적이지만, 상기 모드신호가 다른 값을 채용하여 상기 제2의 하프·래치를 다이내믹형으로 하는 경우에는 도통하지 않는 플립플롭회로.

청구항 12

제11항에 있어서, (d) 홀드신호와, 클럭원신호와, 모드원신호를 입력하여, 클럭신호 및 상기 모드신호를 출력하는 논리회로를 더 구비하고, 상기 홀드신호가 제1의 값을 채용한 경우에는 상기 클럭원신호에 따라서 상기 클럭신호가, 상기 모드원신호에 따라서 상기 모드신호가, 각각 결정되고, 상기 홀드신호가 상기 제1의 값과 상보적인 제2의 값을 채용한 경우에는 상기 클럭원신호 및 상기 모드원신호에 관계없이, 상기 클럭신호 및 상기 모드신호의 값이 고정되는 플립플롭회로.

청구항 13

제11항에 있어서, 상기 제1의 하프·래치는 마스터·래치로서, 상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 셀렉터의 상기 출력단에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접 또는 상기 제2의 인버터를 개재하여 간접적으로 상기 출력단자에 접속되는 플립플롭회로.

청구항 14

제11항에 있어서, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 셀렉터의 상기 출력단에 직접 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 출력단자에 접속되는 플립플롭회로.

청구항 15

제10항에 있어서, 상기 제2의 하프·래치는, (c-1) 상기 셀렉터의 상기 출력단에 작동적으로 결합된 입력단과 출력단을 포함하기 때문에, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, (c-2) 상기 제1의 스위치의 상기 출력단에 접속된 입력단과, 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, (c-3) 제2의 인버터와, (c-4) 그 개폐가 상기 제1의 스위치와 상보적인 제2의 스위치와, (c-5) 그 개폐가 상기 모드신호에 의해서 제어되는 제3스위치를 갖고, 상기 제2의 인버터 및 상기 제2 및 제3의 스위치는 상기 제1의 인버터의 상기 입력단과 상기 제1의 인버터의 상기 출력단과의 사이에서 직렬로 접속되고, 상기 제2 및 제3의 스위치가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속되고, 상기 제3의 스위치는 상기 모드신호가 상기 제2의 하프·래치를 다이내믹형으로 하는 경우에는 도통하지 않는 플립플롭회로.

청구항 16

제15항에 있어서, (d) 홀드신호와, 클럭원신호와, 모드원신호를 입력하여, 클럭신호 및 상기 모드신호를 출력하는 논리회로를 더 구비하고, 상기 홀드신호가 제1의 값을 채용한 경우에는 상기 클럭원신호에 따라서 상기 클럭신호가, 상기 모드원신호에 따라서 상기 모드신호가 각각 결정되고, 상기 홀드신호가 상기 제1의 값과 상보적인 제2의 값을 채용한 경우에는 상기 클럭원신호 및 상기 모드원신호에 관계없이, 상기 클럭신호 및 상기 모드신호의 값이 고정되는 플립플롭회로.

청구항 17

제15항에 있어서, 상기 제2의 인버터는, (c-3-1) 상기 제2의 인버터의 출력단을 구성하는 한쌍의 출력선과, (c-3-2) 제1의 상기 출력선과 접속된 드레인과, 상기 제2의 인버터의 입력단에 접속된 게이트와, 상기 제2의 인버터의 출력하는 2진논리의 한편에 대응하는 제1의 전위가 주어지는 소스를 구비하는 NMOS 트랜지스터와, (c-3-3) 제2의 상기 출력선과 접속된 드레인과, 상기 제2의 인버터의 상기 입력단에 접속된 게이트와, 상기 2진논리의 다른쪽에 대응하여, 상기 제1의 전위보다도 높은 제2의 전위가 주어지는 소스를 구비하는 PMOS 트랜지스터를 더 포함하고, 상기 제2의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 제2의 스위치의 상기 PMOS 트랜지스터의 게이트 및 상기 제2의 스위치의 상기 NMOS 트랜지스터의 게이트의 어느것인가 한편은 상기 클럭신호를, 다른쪽은 상기 클럭신호와 상보적인 역클럭신호를 받고, 상기 제2의 인버터의 상기 NMOS 트랜지스터와, 상기 제2의 스위치의 상기 NMOS 트랜지스터가 직렬로 접속되고, 상기 제2의 인버터의 상기 PMOS 트랜지스터와, 상기 제2의 스위치의 상기 PMOS 트랜지스터가 직렬로 접속된 플립플롭회로.

청구항 18

제17항에 있어서, 상기 제2의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 제2의 스위치의 상기 PMOS 트랜지스터의 게이트 및 상기 제2의 스위치의 상기 NMOS 트랜지스터의 게이트의 어느것인가 한편은 상기 클럭신호를, 다른쪽은 상기 클럭신호와 상보적인 역클럭신호를 받고, 상기 제3의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 제3의 스위치의 상기 NMOS 트랜지스터의 게이트 및 상기 제3의 스위치의 상기 PMOS 트랜지스터의 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 모드신호와 상보적인 역모드신호가, 각각 주어지고, 상기 제2의 스위치의 상기 NMOS 트랜지스터와, 상기 제3의 스위치의 상기 NMOS 트랜지스터가 직렬로 접속되고, 상기 제2의 스위치의 상기 PMOS 트랜지스터와, 상기 제3의 스위치의 상기 PMOS 트랜지스터가 직렬로 접속된 플립플롭회로.

청구항 19

제15항에 있어서, 상기 제1의 하프·래치는 마스터·래치로서, 상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 셀렉터의 상기 출력단에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버

터의 출력단은 직접 또는 상기 제2의 인버터를 개재하여 직접적으로 상기 출력단자에 접속된 플립플롭회로.

청구항 20

제19항에 있어서, 상기 제1의 하프·래치는, (c-6) 상기 셀렉터의 상기 출력단에 접속된 입력단과 출력단을 포함하기 때문에, 그 개폐가 상기 제2의 하프·래치의 상기 제1의 스위치와 상보적인 스위치와, (c-7) 상기 제1의 하프·래치의 상기 스위치의 상기 출력단에 접속된 입력단과, 상기 제2의 하프·래치를 개재하여 상기 출력단자에 간접적으로 접속된 출력단을 포함하는 인버터를 갖고, 상기 제1의 하프·래치의 상기 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 셀렉터는, (a-1) 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제1의 하프·래치의 상기 스위치의 상기 PMOS 트랜지스터를 개재하여 상기 제1의 하프·래치의 상기 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 PMOS 트랜지스터와, (a-2) 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제1의 하프·래치의 상기 스위치의 상기 NMOS 트랜지스터를 개재하여 상기 제1의 하프·래치의 상기 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 NMOS 트랜지스터와, (a-3) 상기 스캔테스트용신호를 받는 제1의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 PMOS 트랜지스터와, (a-4) 상기 스캔테스트용신호를 받는 제1의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 NMOS 트랜지스터를 구비하고, 상기 제1의 NMOS 트랜지스터의 상기 게이트 및 상기 제1의 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 역모드신호가, 각각 주어지고, 상기 제1의 하프·래치의 상기 스위치의 상기 NMOS 트랜지스터의 상기 게이트 및 상기 제1의 하프·래치의 상기 스위치의 상기 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 클럭신호가, 다른쪽에는 상기 역클럭신호가, 각각 주어지는 플립플롭회로.

청구항 21

제15항에 있어서, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 셀렉터의 상기 출력단에 직접 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 출력단자에 접속된 플립플롭회로.

청구항 22

제21항에 있어서, 상기 제2의 하프·래치의 상기 제1의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 셀렉터는, (a-1) 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제1의 하프·래치의 상기 제1의 스위치의 상기 PMOS 트랜지스터를 개재하여 상기 제1의 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 PMOS 트랜지스터와, (a-2) 상기 통상의 입력신호를 받는 제1의 전류전극과, 상기 제1의 하프·래치의 상기 제1의 스위치의 상기 NMOS 트랜지스터를 개재하여 상기 제1의 인버터의 상기 입력단에 접속되는 제2의 전류전극과, 게이트를 포함하는 제1의 NMOS 트랜지스터와, (a-3) 상기 스캔테스트용신호를 받는 제1의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 PMOS 트랜지스터와, (a-4) 상기 스캔테스트용신호를 받는 제1의 전류전극과, 상기 제1의 NMOS 트랜지스터의 상기 제2의 전류전극에 접속되는 제2의 전류전극과, 상기 제1의 PMOS 트랜지스터의 상기 게이트에 접속된 게이트를 포함하는 제2의 NMOS 트랜지스터를 구비하고, 상기 제1의 NMOS 트랜지스터의 상기 게이트 및 상기 제1의 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 모드신호와 상보적인 역모드신호가, 각각 주어지고, 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 NMOS 트랜지스터의 상기 게이트 및 상기 제2의 하프·래치의 상기 제1의 스위치의 상기 PMOS 트랜지스터의 상기 게이트의 어느것인가 한편에는 상기 클럭신호가, 다른쪽에는 상기 클럭신호와 상보적인 역클럭신호가, 각각 주어지는 플립플롭회로.

청구항 23

제22항에서, 상기 제2의 하프·래치는, (c-6) 상기 모드신호와, 비교신호와, 상기 통상의 입력신호가 주어져서, 상기 통상의 입력신호가 소정의 논리를 받아, 상기 모드신호 및 상기 제1의 비교신호가 활성화한 경우에, 상기 제1의 인버터의 상기 입력단에 소정의 전위를 주는 논리검출수단을 더 갖는 플립플롭회로.

청구항 24

직렬로 접속된 제1 및 제2의 플립플롭회로를 구비하는 스캔패스에 있어서, 상기 제1의 플립플롭회로는, (a-1) 제1의 통상의 입력신호와 스캔테스트용신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 모드신호에 따라서 출력되는 출력단을 포함하는 셀렉터와, (a-2) 출력단자와, (a-3) 상기 셀렉터의 상기 출력단과, 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, (a-4) 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖고, 상기 제2의 플립플롭회로는 (b-1) 제2의 통상의 입력신호와 상기 제1의 플립플롭회로의 상기 출력단자에 주어진 신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 모드신호에 따라서 출력되는 출력단을 포함하는 셀렉터와, (b-1) 출력단자와, (b-3) 상기 셀렉터의 상기 출력단과, 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, (b-4) 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖고, 상기 제1의 플립플롭회로의 상기 셀렉터는 상기 모드신호가 상기 제1의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 상기 제1의 통상의 입력신호 및 상기 스캔테스트용신호를 출력하고, 상기 제2의 플립플롭회로의 상기 셀렉터는 상기 모드신호가 상기 제1의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 상기 제2의 통상의 입력신호 및 상기 제1의 플립플롭회로의 상기 출력단자

에 주어진 신호를 출력하는 스캔패스.

청구항 25

직렬로 접속된 제1 및 제2의 플립플롭회로를 구비하는 스캔패스에 있어서, 상기 제1의 플립플롭회로는, (a-1) 제1의 통상의 입력신호와 스캔테스트용신호를 입력하는 한쌍의 입력단과, 양자의 어느것인가 한편이 모드신호에 따라서 출력되는 출력단을 포함하는 셀렉터와, (a-2) 출력단자와, (a-3) 상기 셀렉터의 상기 출력단과, 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, (a-4) 상기 셀렉터의 상기 출력단과 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖고, 상기 제2의 플립플롭회로는 (b-1) 상기 제1의 플립플롭회로의 상기 출력단자에 접속된 입력단과, (b-2) 출력단자와, (b-3) 상기 입력단자와, 상기 제2의 플립플롭회로의 상기 출력단자와의 사이에 설치된 다이내믹형의 제1의 하프·래치와, (b-4) 상기 입력단자와 상기 제2의 플립플롭회로의 상기 출력단자와의 사이에서 상기 제1의 하프·래치와 직렬로 접속되고, 상기 모드신호가 제1의 논리치 및 제2의 논리치를 채용하는 경우에, 각각 다이내믹형과 스태틱형으로 전환되어 동작하는 제2의 하프·래치를 갖고, 상기 제1의 플립플롭회로의 상기 셀렉터는 상기 모드신호가 상기 제11의 논리치 및 상기 제2의 논리치를 채용하는 경우에, 각각 상기 통상의 입력신호 및 상기 스캔테스트용신호를 출력하는 스캔패스.

청구항 26

제1 및 제2의 하프·래치의 직렬접속에 의해서 구성되고, 입력단자 및 출력단자를 구비하는 플립플롭회로에 있어서, (a) 상기 제1의 하프·래치는 다이내믹형이고, (b) 상기 제2의 하프·래치는, (b-1) 상기 입력단자에 작동적으로 결합된 입력단과 출력단을 포함하기 때문에, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, (b-2) 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 상기 출력단자에 작동적으로 결합된 출력단을 포함하는 제1의 인버터와, (b-3) 2진논리의 한편에 대응하는 제1전위를 주를 제1전위점과, 상기 제1의 인버터의 상기 입력단과의 사이에서 서로 직렬로 접속되는 제1 내지 제3의 스위치와, (b-4) 2진논리의 다른쪽에 대응하는 제2전위를 주는 제2전위점과, 상기 제1의 인버터의 상기 입력단과의 사이에서 서로 직렬로 접속되는 제4 내지 제6의 스위치를 구비하고, 상기 제1 및 제4의 스위치의 개폐는 상기 제1의 인버터의 출력에 의해서, 상기 제2의 스위치의 개폐는 상기 클럭신호에 의해서, 상기 제3의 스위치의 개폐는 모드신호에 의해서, 상기 제5의 스위치의 개폐는 상기 클럭신호와 상보적인 역클럭신호에 의해서, 상기 제6의 스위치의 개폐는 상기 모드신호와 상보적인 역모드신호에 의해서, 각각 제어되는 플립플롭회로.

청구항 27

제26항에 있어서, 상기 제2의 하프·래치는 마스터·래치로서, 상기 제1의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 입력단자에 직접 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 출력단자에 접속되는 플립플롭회로.

청구항 28

제26항에 있어서, 상기 제1의 하프·래치는 마스터·래치로서, 상기 제2의 하프·래치는 슬레이브·래치로서, 각각 기능하고, 상기 제2의 하프·래치의 상기 제1의 스위치의 입력단은 상기 제1의 하프·래치를 개재하여 간접적으로 상기 입력단자에 접속되고, 상기 제2의 하프·래치의 상기 제1의 인버터의 출력단은 직접적으로, 또는 상기 제1전위에 직접 접속되는 부분을 제외하는 상기 제1 내지 제3의 스위치가 직렬로 접속되는 경로와, 상기 제2전위에 직접 접속되는 부분을 제외하는 상기 제4 내지 제6의 스위치가 직렬로 접속되는 경로를 접속하는 접속선을 개재하여 간접적으로, 상기 출력단자에 접속된 플립플롭회로.

청구항 29

(a) 입력단과, 출력단을 포함하기 때문에, 그 개폐가 클럭신호에 의해 제어되는 제1의 스위치와, (b) 상기 제1의 스위치의 상기 출력단에 접속된 입력단과, 출력단을 포함하는 제1의 인버터와, (c) 제2의 인버터와, (d) 그 개폐가 상기 제1의 스위치와 상보적인 제2의 스위치와, (e) 그 개폐가 모드신호에 의해서 제어되는 제3의 스위치를 구비하고, 상기 제2의 인버텀 치 상기 제2 및 제3의 스위치가 상기 제1의 인버터의 상기 출력단과, 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속되고, 상기 제2 및 상기 제3의 스위치의 양자가 도통할 때에는 상기 제2의 인버터가 상기 제1의 인버터와 역병렬로 접속되는 기억회로.

청구항 30

제29항에 있어서, 상기 제2의 인버터는, (c-1) 상기 제2의 인버터의 출력단을 형성하는 한쌍의 출력선과, (c-2) 상기 출력선과 접속되어 있는 드레인, 상기 제2의 인버터의 입력단과 접속되어 있는 게이트, 및 상기 제2의 인버터로부터 출력되는 2진논리중의 한편에 대응하는 제1의 전위가 주어지는 소스를 구비하는 NMOS 트랜지스터와, (c-3) 상기 제2의 출력선과 접속되어 있는 드레인, 상기 제2의 인버터의 상기 입력단과 접속되어 있는 게이트, 및 상기 2진논리의 다른쪽에 대응하고, 상기 제1의 전위보다 높은 제2의 전위가 주어지는 소스를 구비하는 PMOS 트랜지스터를 구비하고, 상기 제2의 스위치의 NMOS 및 PMOS 트랜지스터를 채용하는 전송게이트이고, 상기 제2의 스위치의 상기 PMOS 트랜지스터의 게이트 및 상기 제2의 스위치의 상기 NMOS 트랜지스터의 게이트의 어느것인가 한편은 상기 클럭신호를, 다른쪽은 상기 클럭신호와 상보적인 역클럭신호를 받고, 상기 제2의 인버터의 상기 NMOS 트랜지스터와, 상기 제2의 스위치의 상기 NMOS 트랜지스터가 직렬로 접속되고, 상기 제2의 인버터의 상기 PMOS 트랜지스터와, 상기 제2의 스위치의 상기 PMOS 트랜지스터가 직렬로 접속된 플립플롭회로.

청구항 31

제29항에 있어서, 상기 제2의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 제2의 스위치의 상기 PMOS 트랜지스터의 게이트 및 상기 제2의 스위치의 상기 NMOS 트랜지스터의 게이트의 어느것인가 한편은 상기 클럭신호를, 다른쪽은 상기 클럭신호와 상보적인 역클럭신호를 받고, 상기 제3의 스위치는 NMOS 트랜지스터 및 PMOS 트랜지스터를 사용한 트랜스미션게이트이고, 상기 제3의 스위치의 상기 NMOS 트랜지스터의 게이트 및 상기 제3의 스위치의 상기 PMOS 트랜지스터의 게이트의 어느것인가 한편에는 상기 모드신호가, 다른쪽에는 상기 모드신호와 상보적인 역모드신호가, 각각 주어지고, 상기 제2의 스위치의 상기 NMOS 트랜지스터와, 상기 제3의 스위치의 상기 NMOS 트랜지스터가 직렬로 접속되고, 상기 제2의 스위치의 상기 PMOS 트랜지스터와, 상기 제3의 스위치의 상기 PMOS 트랜지스터가 직렬로 접속된 플립플롭회로.

청구항 32

제29항에 있어서, 상기 제1의 인버터는 CMOS 게이트 어레이의 기본셀을 사용하여 구성된 CMOS 인버터회로이고, 상기 CMOS 인버터회로는 적어도 한편의 도전형의 MOS 트랜지스터가 복수 병렬로 접속되는 기억회로.

청구항 33

제29항에 있어서, 상기 제2의 인버터는 CMOS 게이트 어레이의 기본셀을 사용하여 구성된 CMOS 인버터회로이고, 상기 CMOS 인버터회로는 적어도 한편의 도전형의 MOS 트랜지스터가 복수 병렬로 접속되는 기억회로.

청구항 34

제29항에 있어서, 상기 제2의 인버터의 입력단은 상기 제1의 인버터의 상기 출력단에 접속되고, 상기 제2의 스위치의 상기 입력단은 상기 제2의 인버터의 상기 출력단에 접속되고, 상기 제3의 스위치의 상기 입력단은 상기 제2의 스위치의 상기 출력단에 접속되고, 상기 제1의 인버터는 상기 입력단은 상기 제3의 스위치의 상기 출력단에 접속되고, (f) 상기 제3의 스위치의 상기 입력단에 접속된 출력단자를 더 구비한 기억회로.

청구항 35

제34항에 있어서, (g) 입력단과, 상기 제1의 스위치의 상기 입력단에 접속된 출력단을 갖는 하프·래치를 더 구비하고, 상기 하프·래치의 동작은 상기 제1의 스위치의 개폐와 상보적으로 개폐되는 상기 하프·래치의 상기 입력단과 상기 출력단과의 사이의 스위치에 의해서 제어되는 기억회로.

청구항 36

제35항에 있어서, (h) 복수의 입력단자와, (i) 상기 복수의 입력단자와 상기 하프·래치의 상기 입력단과의 사이에 설치되고, 소정의 신호에 의해서 제어되는 셀렉터를 구비하는 기억회로.

청구항 37

제36항에 있어서, 상기 모드신호는 상기 소정의 신호로서 채용되는 기억회로.

청구항 38

제29항에 있어서, 상기 제2의 인버터의 입력단은 상기 제1의 인버터의 상기 출력단에 접속되고, 상기 제2의 스위치의 상기 입력단은 상기 제2의 인버터의 상기 출력단에 접속되고, 상기 제3의 스위치의 상기 입력단은 상기 제2의 스위치의 상기 출력단에 접속되고, 상기 제1의 인버터의 상기 입력단은 상기 제3의 스위치의 상기 출력단에 접속되고, (f) 상기 제3의 스위치의 상기 입력단에 접속된 입력단과, 출력단을 갖는 제1의 드라이브회로를 더 구비한 기억회로.

청구항 39

제38항에 있어서, (g) 입력단과, 상기 제1의 스위치의 상기 입력단에 접속된 출력단을 갖는 하프·래치를 더 구비하고, 상기 하프·래치의 동작은 상기 제1의 스위치의 개폐와 상보적으로 개폐하여, 상기 하프·래치의 상기 입력단과 상기 출력단과의 사이의 스위치에 의해서 제어되는 기억회로.

청구항 40

제39항에 있어서, (h) 복수의 입력단자와, (i) 상기 복수의 입력단자와 상기 하프·래치의 상기 입력단자와의 사이에 설치되고, 소정의 신호에 의해서 제어되는 셀렉터를 더 구비하는 기억회로.

청구항 41

제40항에 있어서, 상기 모드신호는 상기 소정의 신호로서 채용되는 기억회로.

청구항 42

제38항에 있어서, (g) 복수의 입력단자와, (h) 상기 복수의 입력단자와 상기 제1의 인버터와의 사이에서, 상기 제1의 스위치와 직렬로 접속되고, 소정의 신호에 의해서 제어되는 셀렉터를 더 구비하는 기억회로.

청구항 43

제38항에 있어서, (g) 제1 및 제2의 입력단자와, (h) 어느것이나 소정의 신호에 의해서 제어되는 제1의 PMOS 트랜지스터 및 제1의 NMOS 트랜지스터에 의해서 구성되는 셀렉터를 더 구비하고, 상기 제1의 스위치는 제2의 PMOS 트랜지스터 및 제2의 NMOS 트랜지스터에 의해서 구성되고, 상기 제1의 PMOS 트랜지스터 및 상기 제2의 PMOS 트랜지스터가 상기 제1의 입력단자와 상기 제1의 인버터의 상기 입력단과의 사이에서 직

렬로 접속되고, 상기 제1의 NMOS 트랜지스터 및 상기 제2의 NMOS 트랜지스터가 상기 제2의 입력단자와 상기 제1의 인버터의 상기 입력단과의 사이에서 직렬로 접속된 기억회로.

청구항 44

제43항에 있어서, 상기 복수의 기억회로가 직렬로 설치되어 스캔패스를 구성하고, 리셋트신호가 주어져서, 상기 리셋트신호에 따라서 상기 모드신호, 상기 클럭신호 및 상기 소정의 신호의 논리를 고정하는 논리회로를 더 구비하는 기억회로.

청구항 45

제42항에 있어서, 상기 소정의 신호는 상기 모드신호가 채용된 기억회로.

청구항 46

제43항에 있어서, 상기 소정의 신호는 상기 모드신호가 채용된 기억회로.

청구항 47

제38항에 있어서, (g) 상기 제1의 인버터의 상기 출력단에 접속된 입력단과 출력단을 갖는 제4의 스위치와, (h) 상기 제4의 스위치의 상기 출력단에 접속된 입력단과 출력단을 갖는 제2의 드라이브회로를 더 구비하고, 상기 제1의 스위치는 상기 제4의 스위치의 개폐와 상보적으로 개폐한 기억회로.

청구항 48

제47항에 있어서, (i) 복수의 입력단자와, (h) 상기 복수의 입력단자와 상기 제1의 인버터와의 사이에서, 상기 제1의 스위치와 직렬로 접속되고, 소정의 신호에 의해서 제어되는 셀렉터를 더 구비한 기억회로.

청구항 49

제29항에 있어서, 상기 제2의 인버터의 입력단은 상기 제1의 인버터의 상기 출력단에 접속되고, 상기 제2의 스위치의 상기 입력단은 상기 제2의 인버터의 상기 출력단에 접속되고, 상기 제3의 스위치의 상기 입력단은 상기 제2의 스위치의 상기 출력단에 접속되고, 상기 제1의 인버터의 상기 입력단은 상기 제3의 스위치의 상기 출력단에 접속되고, (f) 상기 제1의 인버터의 상기 출력단에 접속된 입력단과 출력단을 갖는 제4의 스위치와, (g) 상기 제4의 스위치의 상기 출력단에 접속된 입력단과 출력단을 갖는 제1의 드라이브회로와, (h) 상기 제1의 인버터의 상기 출력단에 접속된 입력단을 출력단을 갖는 제5의 스위치와, (i) 상기 제5의 스위치의 상기 출력단에 접속된 입력단과 출력단을 갖는 제2의 드라이브회로를 더 구비하고, 상기 제4 및 제5의 스위치는 상기 제1의 스위치의 개폐와 상보적으로 개폐하고, 상기 제1의 드라이브회로의 출력과, 상기 제2의 드라이브회로의 출력은 상보적인 값을 받는 기억회로.

청구항 50

제29항에 있어서, 상기 제3의 스위치는 상기 제2의 스위치가 도통하고 있는 경우에만 도통하는 기억회로.

청구항 51

(a) 복수의 입력단자와, (b) 상기 복수의 입력단자에 주어진 신호중의 한쌍을 모드신호에 따라서 선택적으로 출력하는 셀렉터와, (c) 상기 셀렉터의 출력을 받는 입력단과 출력단을 갖는 마스터·래치와, (d)(d-1) 상기 마스터·래치의 상기 출력단에 접속된 입력단과 출력단을 포함하는 스위치와, (d-2) 상기 스위치의 출력단에 접속된 입력단과 출력단을 포함하는 드라이브회로를 갖는 슬레이브·래치와, (e) 하나의 상기 복수의 입력단자와 접속된 입력단과, 상기 슬레이브·래치의 상기 드라이브회로의 상기 입력단에 접속된 출력단을 갖고, 바이패스신호에 따라서 개폐하는 바이패스용스위치를 구비하고, 상기 마스터·래치 및 상기 슬레이브·래치의 적어도 한편은 상기 모드신호에 따라서 그 동작이 다이내믹형과 스태틱형으로 전환되는 플립플롭회로.

청구항 52

제51항에 있어서, 상기 마스터·래치의 동작은 상기 모드신호에 따라서 상기 다이내믹형과 스태틱형으로 전환되는 플립플롭회로.

청구항 53

제51항에 있어서, 상기 슬레이브·래치의 동작은 상기 모드신호에 따라서 상기 다이내믹형과 스태틱형으로 전환되는 플립플롭회로.

청구항 54

제51항에 있어서, 상기 하나의 상기 복수의 입력단자는 상기 복수의 입력단자에 주어진 신호중의 상기 한쌍의 신호중의 한편인 플립플롭회로.

청구항 55

제54항에 있어서, (f) 상기 하나의 상기 복수의 입력단자에 접속된 입력단과, 상기 바이패스용스위치의 상기 입력단에 접속된 출력단을 갖는 바이패스용인버터를 더 구비하는 플립플롭회로.

청구항 56

제55항에 있어서, (g) 상기 바이패스신호와, 클럭신호의 기초가 되는 클럭원신호를 입력하여, 상기 마스터·래치 및 상기 슬레이브·래치의 동작을 제어하는 클럭신호를 출력하는 논리회로를 더 구비하고, 상기 바이패스신호가 제1의 값을 채용한 경우에는 상기 클럭원신호에 따라서 상기 클럭신호가 결정되고, 상기

바이패스신호가 상기 제1의 값과 상보적인 제2의 값을 채용한 경우에는 상기 클럭원신호에 관계없이, 상기 클럭신호의 값이 고정되는 플립플롭회로.

청구항 57

제54항에 있어서, 상기 마스터·래치는, (c-1) 상기 마스터·래치의 입력단에 접속된 입력단과 출력단을 포함하는 스위치와, (c-2) 상기 마스터·래치의 상기 스위치의 출력단에 접속된 입력단과 출력단을 포함하는 드라이브회로를 더 구비하고, 상기 마스터·래치의 상기 드라이브회로는 상기 바이패스용스위치가 도통하는 경우에는 고정된 값을 출력하고, 상기 바이패스용스위치가 도통하지 않은 경우에는 상기 마스터·래치의 상기 스위치에 의해 전달되는 신호의 변화에 따라서 변화되는 신호를 출력하는 플립플롭회로.

청구항 58

제57항에 있어서, 상기 마스터·래치의 드라이브회로는 상기 바이패스신호가 주어지는 3상태버퍼인 플립플롭회로.

청구항 59

제58항에 있어서, 상기 마스터·래치의 상기 드라이브회로는 3상태 인버터인 플립플롭회로.

청구항 60

제57항에 있어서, 상기 마스터·래치의 상기 드라이브회로는 상기 바이패스신호가 주어지는 제2의 입력단을 더 갖는 논리소자인 플립플롭회로.

청구항 61

제60항에 있어서, 상기 마스터·래치의 상기 드라이브회로는 2입력 NAND 게이트인 플립플롭회로.

청구항 62

제51항에 있어서, 상기 복수의 입력단자에 제공된 신호는 상기 복수의 입력단자에 주어진 신호중의 상기 한쌍의 신호의 양자와 다른 플립플롭회로.

청구항 63

마스터·래치 및 슬레이브·래치로서 기능하는 한쌍의 하프·래치의 직렬접속을 구비한, 플립플롭회로에 있어서, 상기 한쌍의 하프·래치의 적어도 한편은 모드신호에 의해서 다이내믹형/스태틱형으로 전환되어 동작하고, 상기 마스터·래치 및 상기 슬레이브·래치의 동작은 각각 서로 다른 한쌍의 클럭신호로 제어되는 플립플롭회로.

청구항 64

제63항에 있어서, 상기 한쌍의 하프·래치의 적어도 한편은 상기 다이내믹형으로 규칙적으로 동작하는 플립플롭회로.

청구항 65

제63항에 있어서, 복수의 입력신호로부터 하나의 상기 복수의 입력신호를 상기 모드신호에 따라서 선택하여 상기 마스터·래치에 전달하는 셀렉터를 더 구비한 플립플롭회로.

청구항 66

제65항에 있어서, 상기 한쌍의 클럭신호의 한편과, 클럭원신호를 입력하여, 상기 한쌍의 클럭신호의 다른쪽을 생성하는 논리회로를 더 구비하고, 상기 클럭원신호의 값이 천이하는 경우의 반드시 한쌍의 천이를 하고, 상기 한쌍의 천이는 상기 한쌍의 클럭신호의 상기 한편이 비활성에 있는 기간에 존재하는 플립플롭회로.

청구항 67

제66항에 있어서, 상기 한쌍의 상기 클럭신호의 상기 한편은 마스터·래치의 동작을 제어하고, 상기 한쌍의 상기 클럭신호의 상기 다른쪽은 상기 슬레이브·래치의 동작을 제어하며, 상기 복수의 입력신호는 한쌍으로 되고, 상기 모드신호는 상기 클럭원신호가 채용되는 플립플롭회로.

청구항 68

제67항에 있어서, 상기 마스터·래치의 동작은 상기 클럭원신호에 의해 상기 다이내믹형과 스태틱형으로 전환되는 플립플롭회로.

청구항 69

제67항에 있어서, 상기 슬레이브·래치의 동작은 상기 클럭원신호에 의해서 상기 다이내믹형과 스태틱형으로 전환되는 플립플롭회로.

청구항 70

복수의 제1의 입력을 입력하여, 그중에서 한 개를 선택하여 출력하는 제1셀렉터와, 상기 제1의 셀렉터의 출력을 받아, 제1의 클럭신호로 동작하여 제1의 출력을 출력하는 제1의 하프·래치와, 상기 제1의 출력과 적어도 하나의 제2의 입력을 입력하여, 그 중에서 한 개를 선택하여 출력하는 제2의 셀렉터와, 상기 제2의 셀렉터의 출력을 받아, 제2의 클럭신호로 동작하여 제2의 출력을 출력하는 제2의 하프·래치를 구비하

는 플립플롭회로.

청구항 71

제70항에 있어서, 상기 복수의 제1의 입력의 개수는 2이고, 상기 제2의 입력의 개수는 1이며, 상기 제1 및 제2의 셀렉터는 어느것이나 모드신호에 의해서 그 동작이 제어되는 플립플롭회로.

청구항 72

제71항에 있어서, 상기 제1 및 제2의 하프·래치의 적어도 한편은 상기 모드신호에 따라서 다이내믹형/스태틱형으로 전환되어 동작하는 플립플롭회로.

청구항 73

제72항에 있어서, 상기 제1의 하프·래치는 상기 모드신호에 따라서 상기 다이내믹형과 스태틱형으로 전환되어 동작하는 플립플롭회로.

청구항 74

제73항에 있어서, 상기 제2의 하프·래치는 상기 모드신호에 따라서 상기 다이태믹형과 스태틱형으로 전환되어 동작하는 플립플롭회로.

청구항 75

(a) 입력단과 출력단을 갖는 제1스위치와, (b) 상기 제1의 스위치의 상기 출력단에 접속된 입력단과 출력단을 갖는 제1의 인버터와, (c) 상기 제1의 인버터의 상기 출력단에 접속된 입력단과 출력단을 갖는 제2의 인버터와, (d) 상기 제1의 인버터의 상기 출력단에 접속된 제1의 하프·래치와, (e) 상기 제2의 인버터의 상기 출력단에 접속된 제2의 하프·래치를 구비하고, 상기 제1 및 제2의 하프·래치는 서로 동기하여, 동작하고, 상기 제1의 스위치는 상기 제1 및 제2의 하프·래치가 정보를 전달하는 상태에 있을 때에 비도통하고, 정보를 유지하는 상태에 있을 때에는 도통하는 플립플롭회로.

청구항 76

제75항에 있어서, (f) 상기 제2의 인버터의 상기 출력단과 상기 제1의 인버터의 상기 입력단과의 사이에 개재되는 제2의 스위치를 더 구비하고, 상기 제2의 스위치는 상기 제1 및 제2의 하프·래치가 정보를 전달하는 상태에 있을 때에 도통하고, 정보를 유지하는 상태에 있을 때에는 비도통하는 플립플롭회로.

청구항 77

제76항에 있어서, (g) 상기 제2의 인버터의 상기 출력단과, 상기 제1의 인버터의 상기 입력단과의 사이에서, 상기 제2의 스위치와 직렬로 접속되는 제3의 스위치를 더 구비하고, 상기 제3의 스위치는 모드신호에 의해서 상기 제1 및 제2의 스위치, 및 상기 제1 및 제2의 하프·래치와는 독립하여 개폐되는 플립플롭회로.

청구항 78

제77항에 있어서, (h) 복수의 입력단자와, (i) 상기 복수의 입력단자에 주어진 신호를 택일적으로 상기 제1의 스위치의 상기 입력단에 주는 셀렉터를 더 구비하고, 상기 셀렉터는 상기 제3의 스위치의 개폐와 동기하여 동작하는 플립플롭회로.

청구항 79

어드레스에 대응하여 데이타의 기록 및 판독을 하는 코어부와, 기록허가원신호를 입력하여, 이것을 클럭신호에 기초를 둔 타이밍에서 출력하는 제1의 플립플롭과, 기록되어야 되는 상기 데이타를 입력하여, 이것을 상기 클럭신호에 기초를 둔 타이밍에서 상기 코어부에 출력하는 제2의 플립플롭과, 상기 제1의 플립플롭의 출력을 입력하여, 이것을 상기 클럭신호에 기초를 둔 타이밍에서 기록허가신호로서 상기 코어부에 주는 기록제어부와, 판독어드레스가 주어지는 제1입력단과, 기록어드레스가 주어지는 제2입력단과, 출력단을 갖는 선택수단을 구비하고, 상기 선택수단의 상기 출력단은 (a) 상기 제1의 플립플롭의 출력의 값이 기록동작에 대응하고 있는 경우에는, 상기 기록어드레스를 상기 클럭신호에 기초를 둔 타이밍에서 상기 코어부에 주고, (b) 상기 제1의 플립플롭의 출력의 값이 판독동작에 대응하고 있는 경우에는, 상기 판독어드레스를 상기 코어부에 주고, 상기 코어부는 상기 기록허가신호가 활성화하는 것에 의해, 상기 선택수단의 상기 출력단에 주어진 신호에 대응하는 상기 어드레스에 상기 제2의 플립플롭의 출력을 기록하는 기억회로.

청구항 80

제79항에 있어서, 상기 선택수단은, 상기 제2입력단에 접속되어, 상기 클럭신호에 기초를 둔 타이밍에서 상기 기록신호를 전달시키는 제3플립플롭과, 상기 제1입력단에 접속된 제1단과, 상기 제3의 플립플롭에 접속된 제2단과, 상기 선택수단의 상기 출력단에 접속된 출력단과, 상기 제1의 플립플롭의 출력단에 접속된 제어단을 포함하는 선택기를 갖고, 상기 선택기는 상기 제어단에 주어진 값에 따라서, 자신의 상기 출력단에 상기 제1단에 주어진 신호 및 상기 제2단에 주어진 신호의 어느 것인가 한편을 주는 기억회로.

청구항 81

제80항에 있어서, 상기 제3의 플립플롭은 스캔타입의 플립플롭이고, 상기 선택수단은 테스트신호도 주어지고, 상기 테스트신호가 활성화하고 있는 경우 및 상기 제1의 플립플롭의 출력이 기록동작에 대응하고 있는 경우의 적어도 한편의 경우에는, 자신의 상기 출력단에 자신의 상기 제2단에 주어진 신호를 주는 기억회로.

청구항 82

제81항에 있어서, 상기 제2의 플립플롭은 스캔플립플롭인 기억회로.

청구항 83

제79항에 있어서, 상기 선택수단은 상기 기록어드레스 및 스캔테스트용신호를 모드신호에 따라서 선택적으로 출력하는 셀렉터와, 상기 셀렉터의 출력을 전달하는 마스터·래치와, 상기 마스터·래치의 출력단에 접속된 입력단과, 출력단을 포함하는 스위치를 갖고, 이것을 개재하여, 상기 마스터·래치의 출력을 전달하는 슬레이브·래치와, 상기 판독어드레스가 주어지는 입력단과, 상기 슬레이브·래치의 상기 드라이브회로의 상기 입력단에 접속된 출력단을 갖고, 바이패스신호의 활성/비활성에 따라서 각각 ON/OFF하는 바이패스용스위치를 구비하고, 상기 바이패스신호는 상기 테스트신호가 활성화하고 있는 경우 및 상기 제1의 플립플롭의 출력이 기록동작에 대응하고 있는 경우의 적어도 한편의 경우에 비활성화하고, 상기 바이패스신호가 활성화한 경우에 상기 슬레이브·래치의 상기 스위치는 상기 클럭신호에 관계없이 비도통하는 기억회로.

청구항 84

제83항에 있어서, 상기 마스터·래치 및 슬레이브·래치의 한편은 i) 상기 모드신호가 상기 셀렉터에 상기 스캔테스트용신호를 출력시키도록 제어하는 경우에, 스태틱형으로서 동작하고, ii) 상기 모드신호가 상기 셀렉터에 상기 기록어드레스를 출력시키도록 제어하는 경우에, 다이내믹형으로서 동작하고, 상기 다른쪽의 래치는 상기 다이내믹형으로서 동작하는 기억회로.

청구항 85

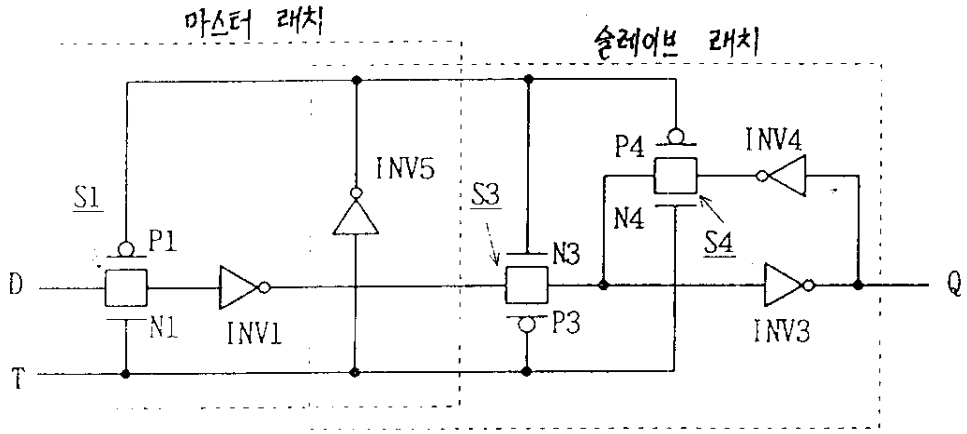
제79항에 있어서, 상기 제1의 입력단과 상기 제2의 입력단이 공통으로 접속되어, 상기 기록어드레스 및 상기 판독어드레스의 양자가 공통으로 주어지는 기억회로.

청구항 86

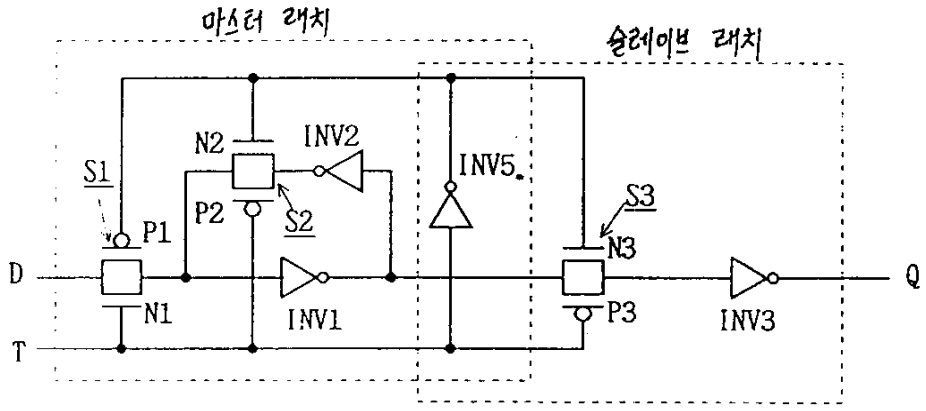
제85항에 있어서, 상기 제2의 플립플롭은 스캔플립플롭이기 때문에, 그 동작이 스캔모드인지 통상모드인지는 상기 제어신호에 의해서 제어되는 기억회로.

도면

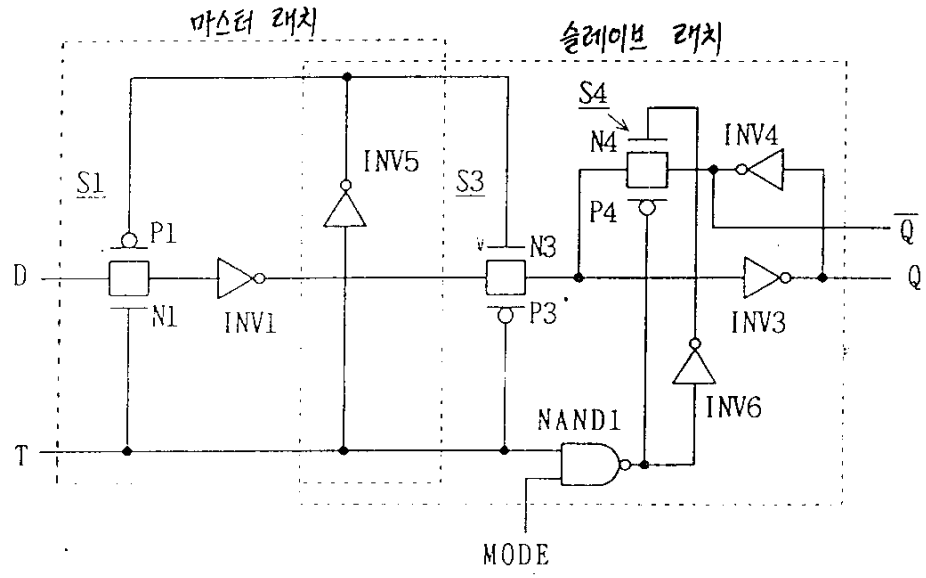
도면1



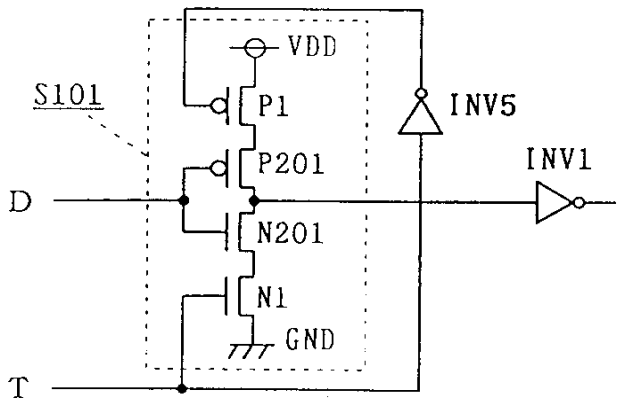
도면2


마스터 래치
슬레이브 래치
S1
N2
INV2
INV5
S3
P2
S2
P1
N3
D
Q
N1
INV1
P3
INV3
T

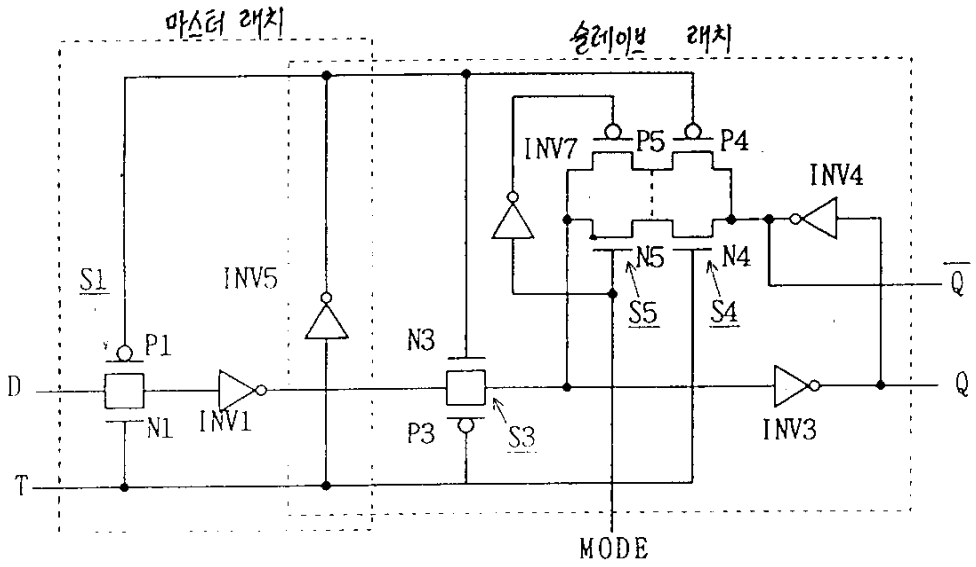
도면3


마스터 래치
슬레이브 래치
S4
N4
INV4
INV5
S1
S3
P4
P1
N3
Q
D
Q
N1
INV1
P3
INV3
INV6
NAND1
T
MODE

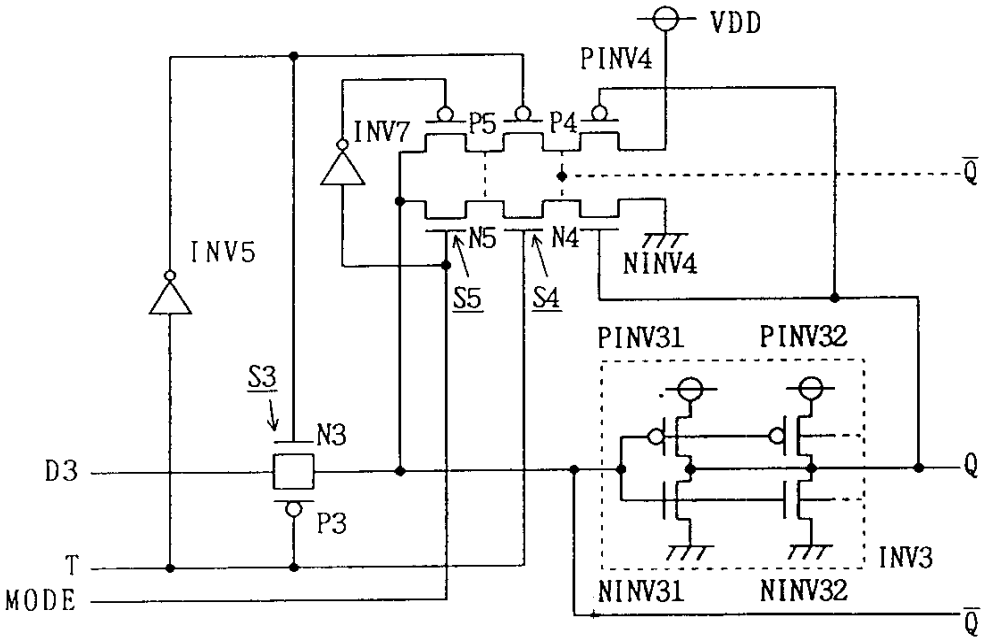
도면4


VDD
S101
P1
INV5
INV1
P201
D
N201
N1
GND
T

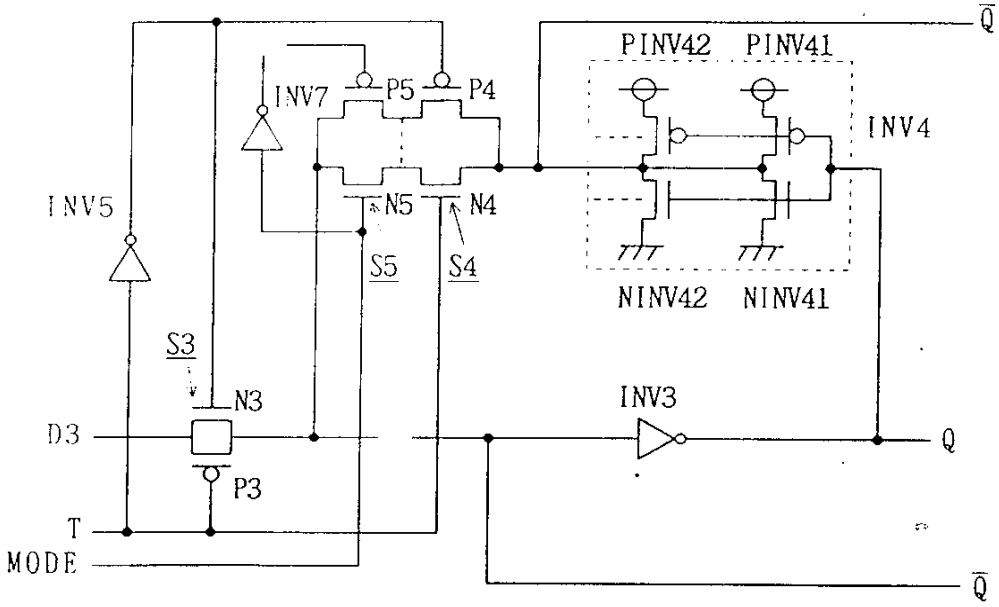
도면5


마스터 래치
슬레이브 래치
INV7
P5
P4
INV4
S1
INV5
N5
N4
Q
S5
S4
P1
N3
D
N1
INV1
P3
S3
INV3
Q
T
MODE

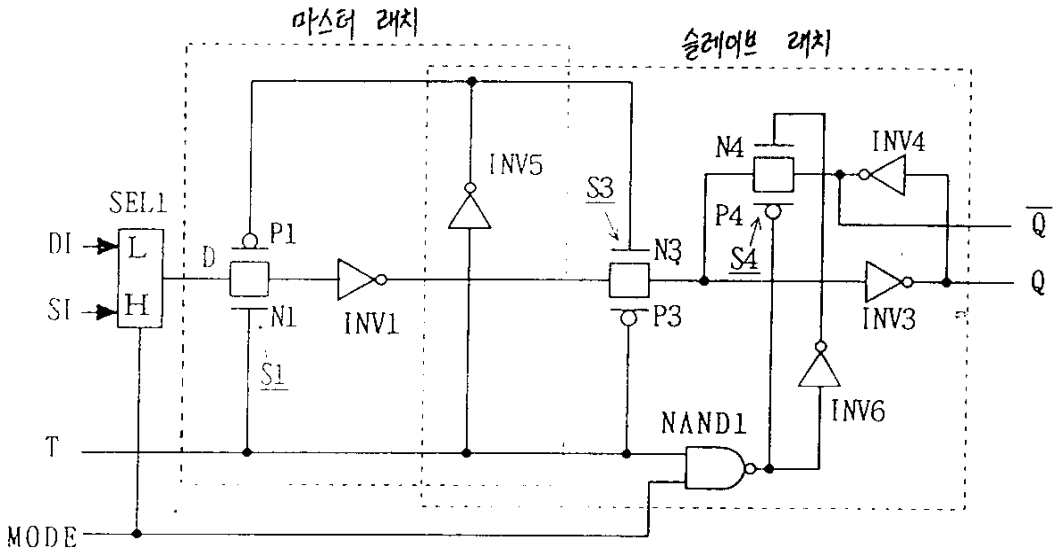
도면6


VDD
PINV4
INV7
P5
P4
Q
INV5
N5
N4
NINV4
S5
S4
PINV31
PINV32
S3
N3
D3
Q
P3
T
INV3
MODE
NINV31
NINV32
Q

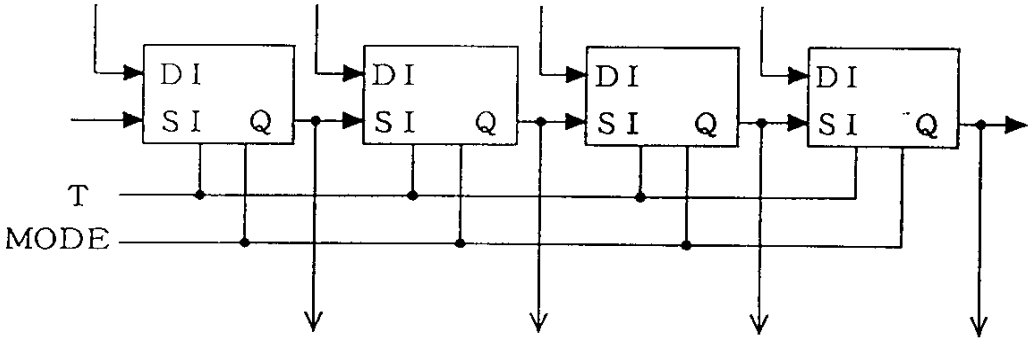
도면7


Q
PINV42
PINV41
INV7
P5
P4
INV4
INV5
N5
N4
S5
S4
NINV42
NINV41
S3
N3
INV3
D3
Q
P3
T
MODE
Q

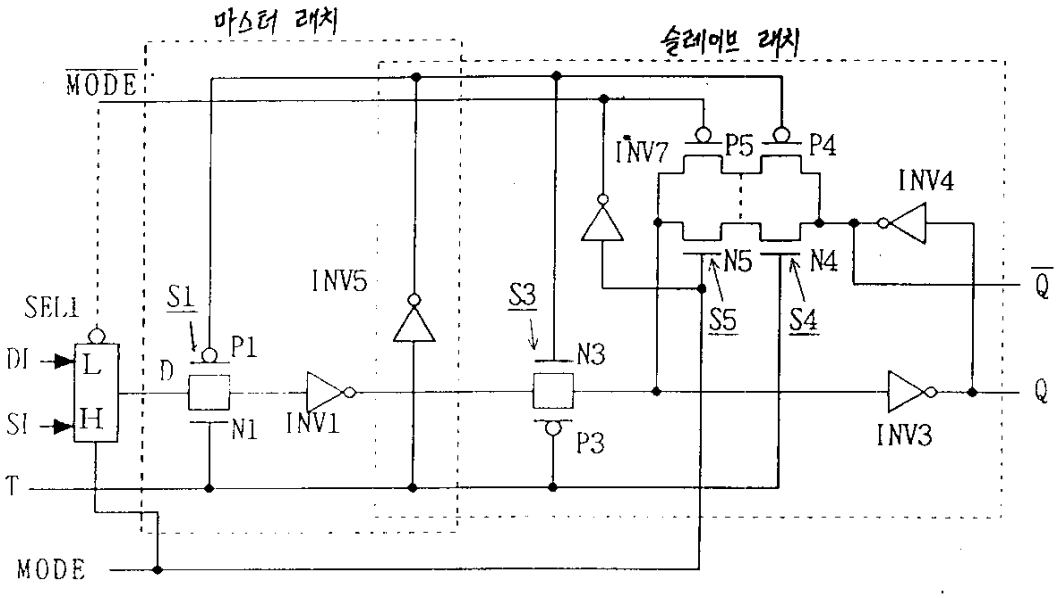
도면8a


마스터 래치
슬레이브 래치
INV5
S3
N4
INV4
SEL1
P1
P4
Q
DI
L
D
N3
S4
Q
SI
H
N1
INV1
P3
INV3
S1
INV6
NAND1
T
MODE

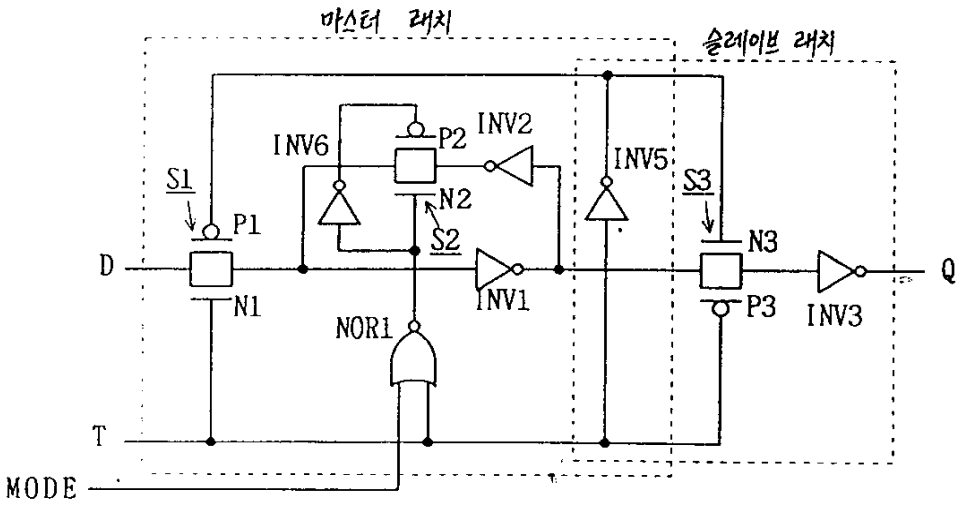
도면8b


DI
SI
Q
T
MODE

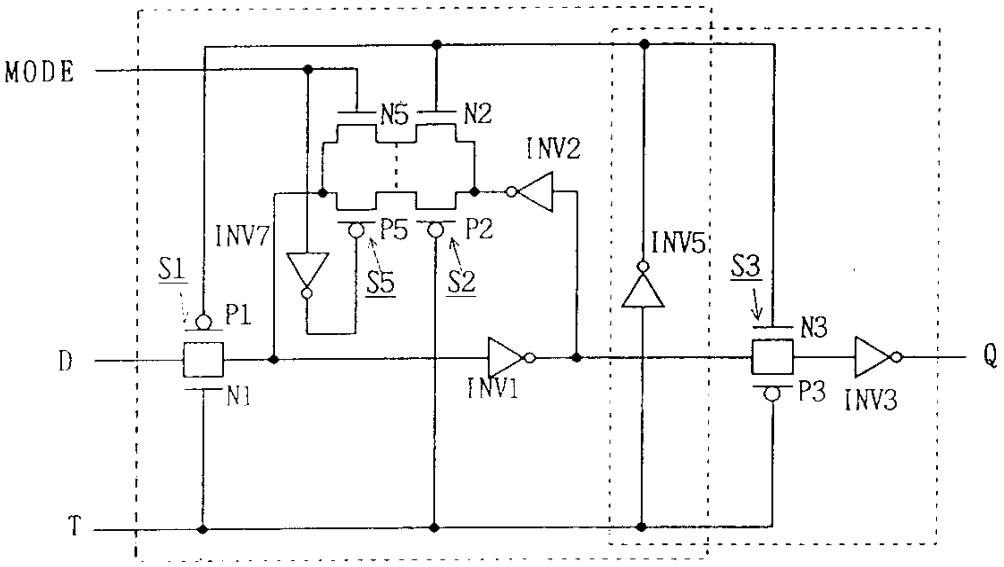
도면9


마스터 래치
슬레이브 래치
MODE
INV7
P5
P4
INV4
N5
N4
S5
S4
Q
INV5
S1
S3
SEL1
DI
SI
T
L
H
D
P1
N1
INV1
N3
P3
INV3
Q
MODE

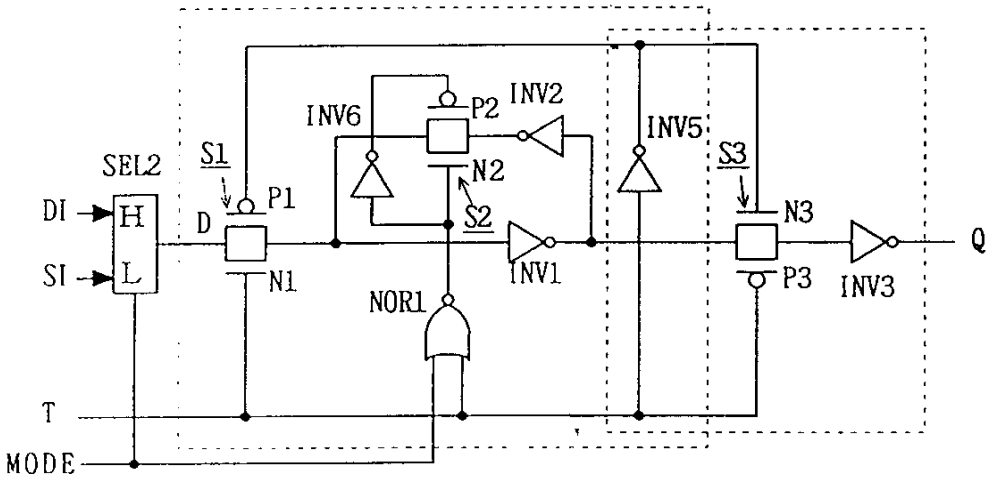
도면10


마스터 래치
슬레이브 래치
INV6
P2
INV2
INV5
S1
S3
P1
N2
S2
N3
D
N1
INV1
P3
INV3
Q
NOR1
T
MODE

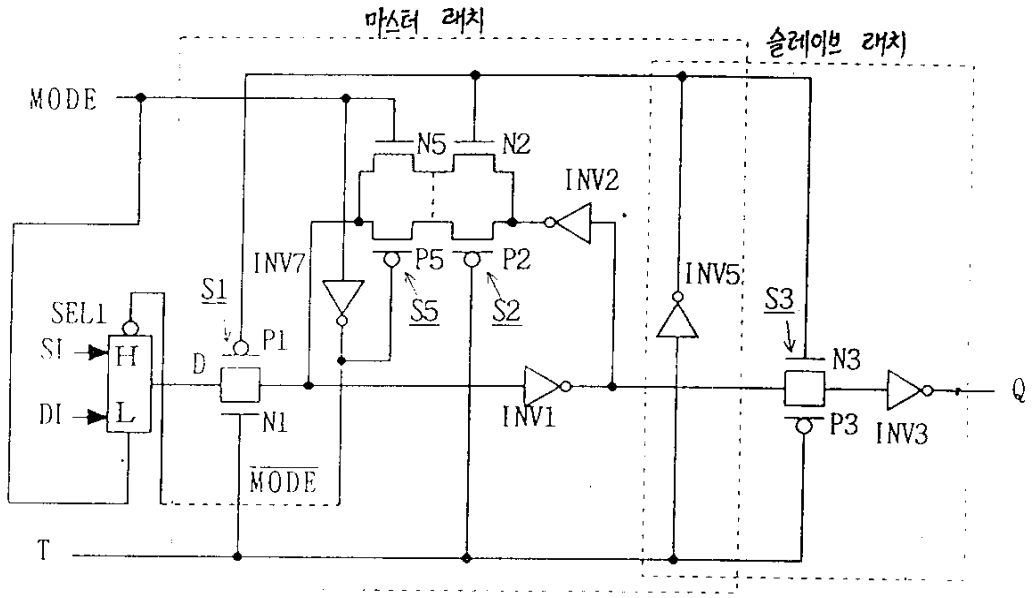
도면11


MODE
N5
N2
INV2
INV7
P5
P2
INV5
S1
S5
S2
S3
P1
N3
D
N1
INV1
P3
INV3
Q
T

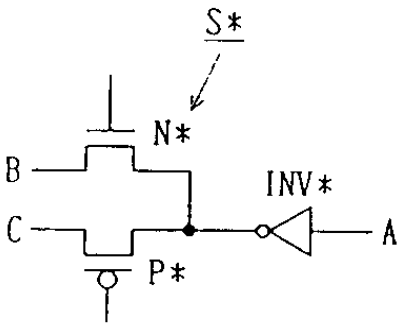
도면12



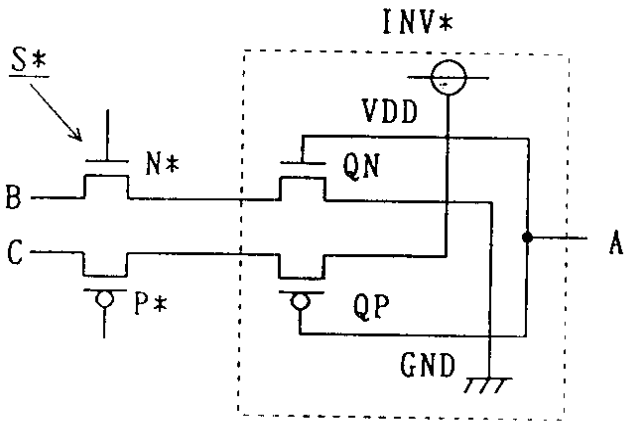
도면13



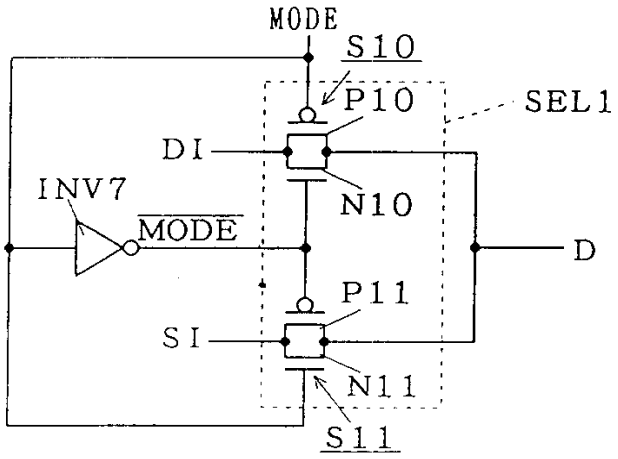
도면14a



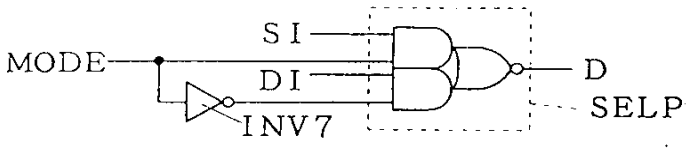
도면14b



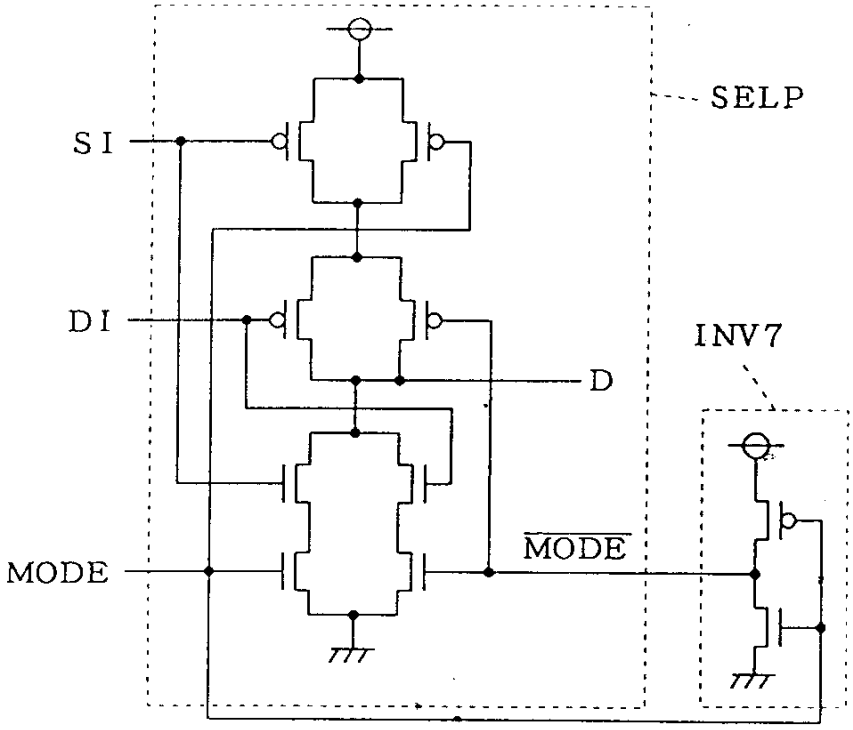
도면15



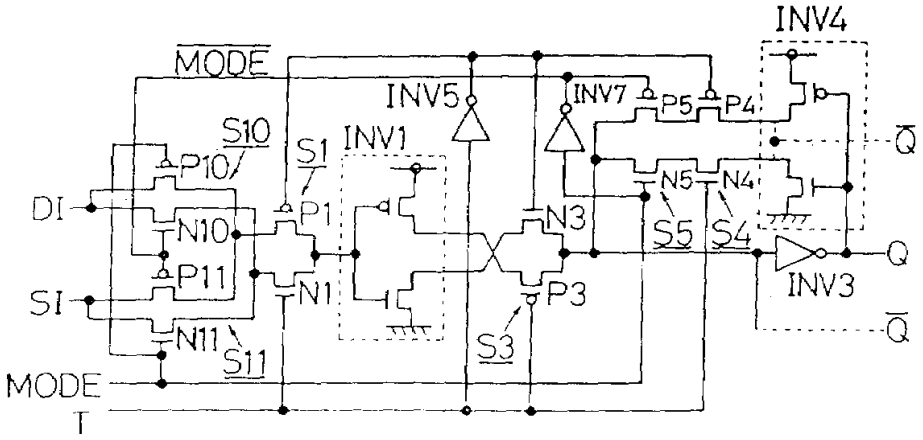
도면16a



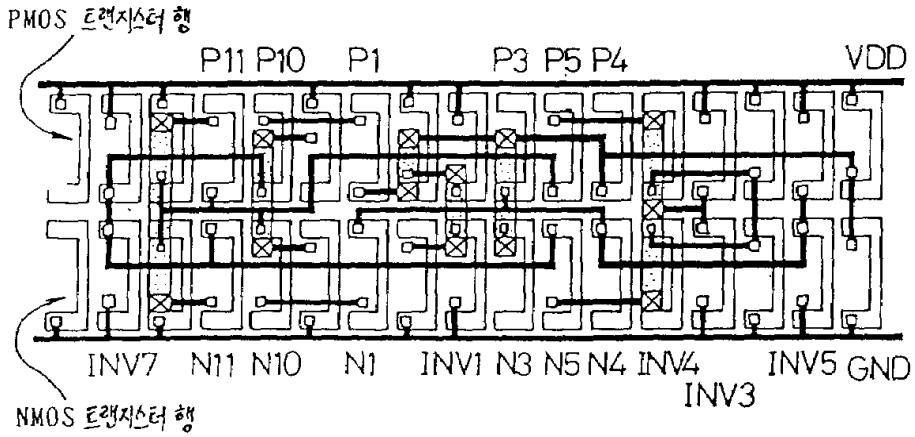
도면16b


SELP
SI
DI
D
INV7
MODE
MODE

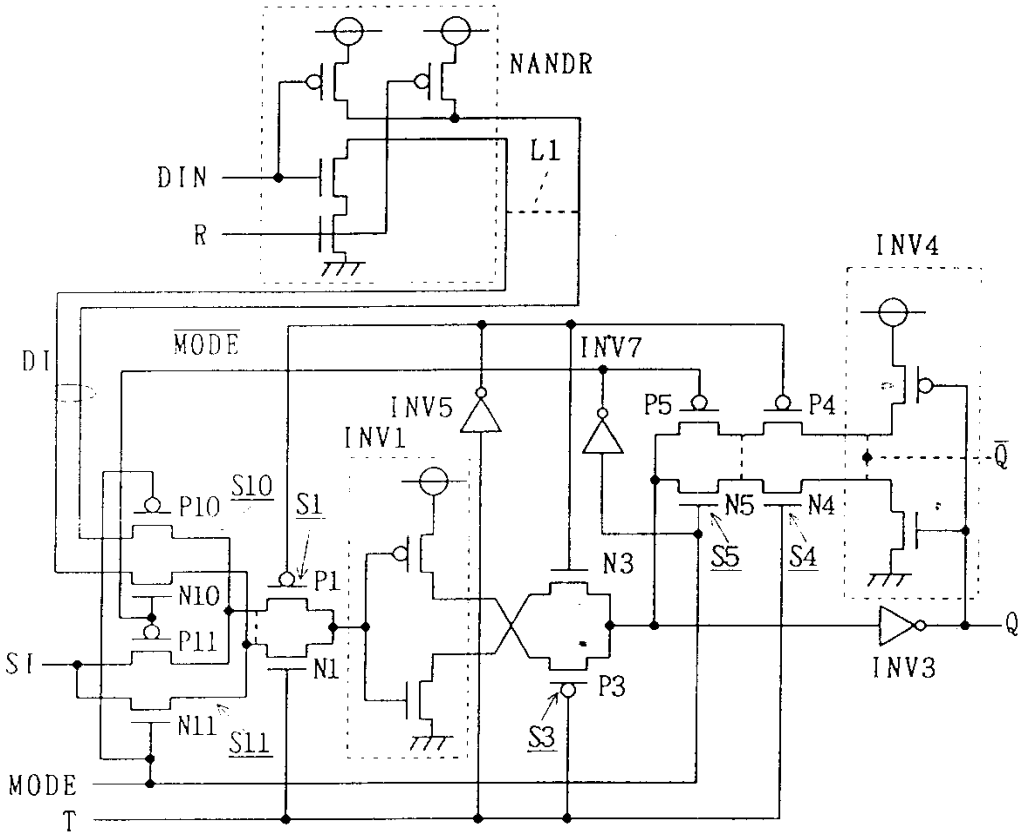
도면17a


INV4
MODE
INV5
INV7
P5
P4
S10
S1
INV1
Q
P10
N5
N4
DI
N10
P1
N3
S5
S4
Q
P11
N1
P3
INV3
SI
N11
S11
S3
Q
MODE
T

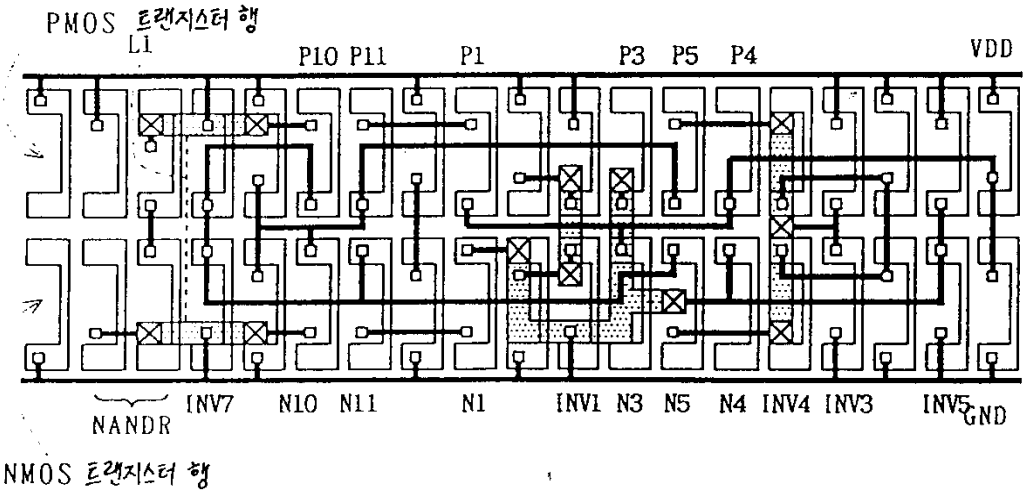
도면17b


PMOS 트랜지스터 행
P11 P10 P1 P3 P5 P4 VDD
INV7 N11 N10 N1 INV1 N3 N5 N4 INV4 INV5 GND
INV3
NMOS 트랜지스터 행

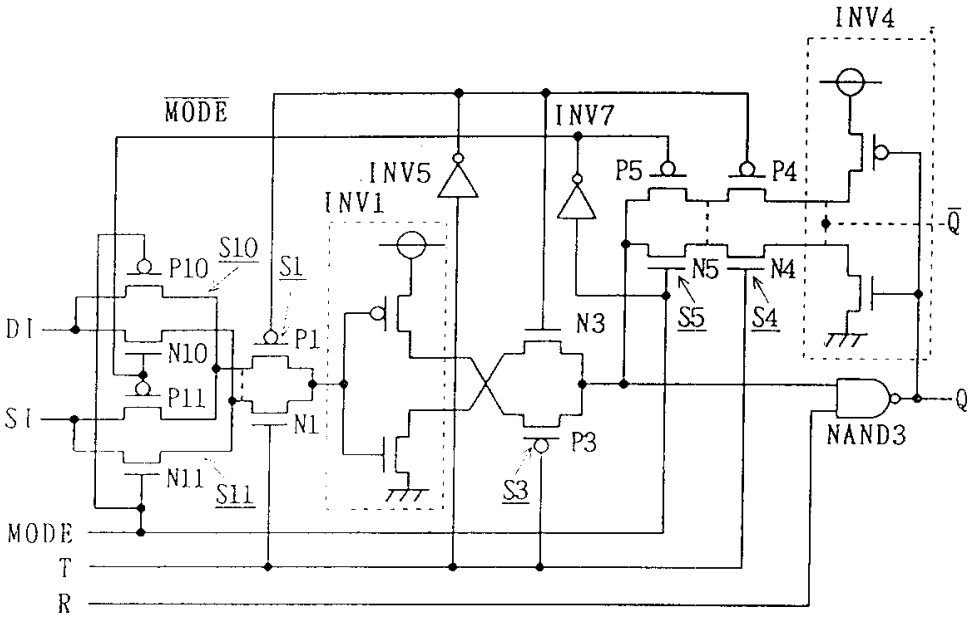
도면18a


NANDR
L1
DIN
R
INV4
DI
MODE
INV7
INV5
INV1
P5
P4
Q̄
P10
S10
S1
N5
N4
S5
S4
N3
P1
N10
P11
Q
SI
N1
INV3
P3
N11
S11
S3
MODE
T

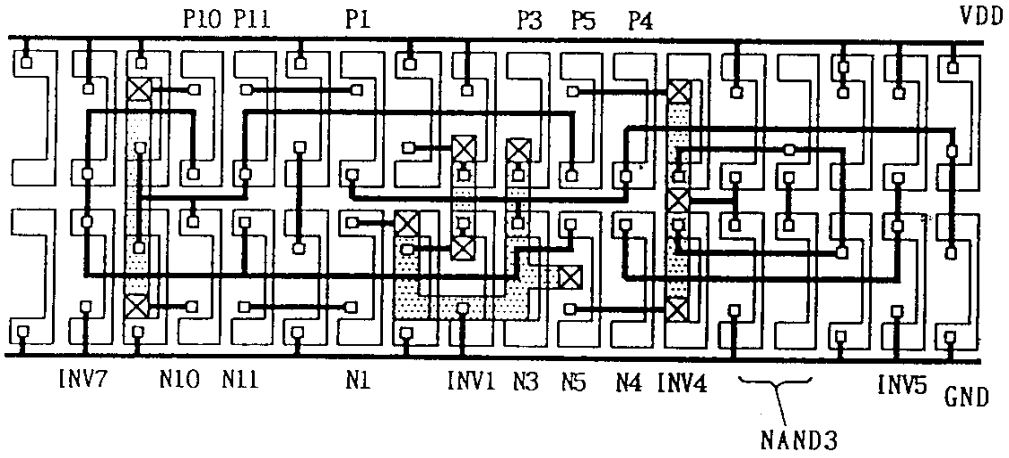
도면 18b


PMOS 트랜지스터 행
L1
P10 P11
P1
P3 P5 P4
VDD
NANDR
INV7
N10 N11
N1
INV1 N3 N5 N4 INV4 INV3
INV5
GND
NMOS 트랜지스터 행

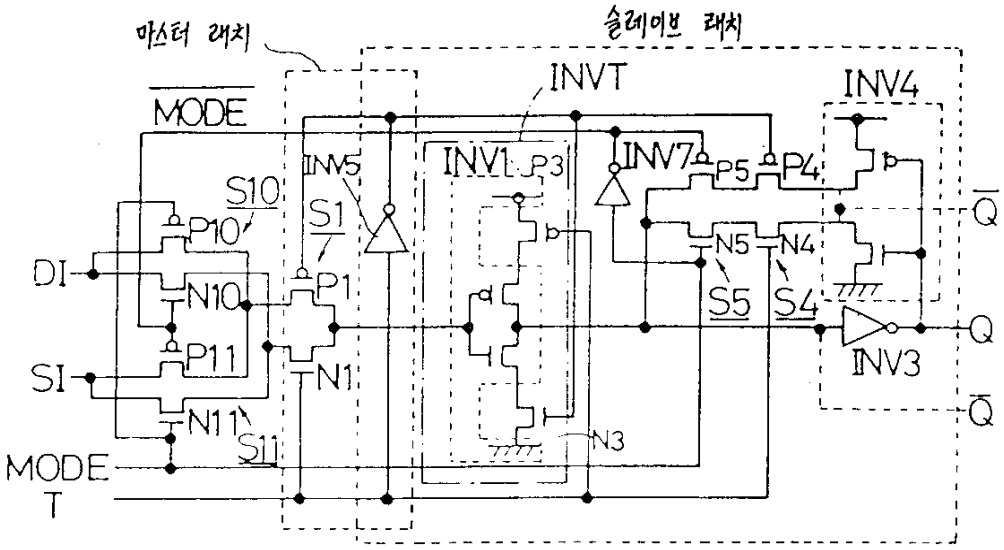
도면 19a


INV4
MODE
INV7
INV5
INV1
P5
P4
Q
P10
S10
S1
N5
N4
S5
S4
DI
N10
P1
N3
P11
SI
N1
P3
Q
NAND3
N11
S11
S3
MODE
T
R

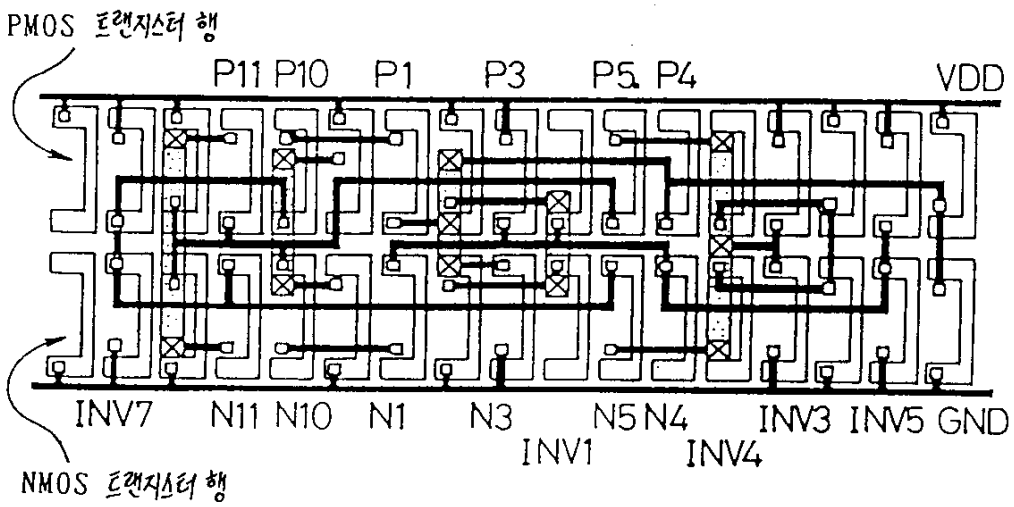
도면19b


P10 P11
P1
P3 P5 P4
VDD
INV7
N10 N11
N1
INV1 N3 N5 N4 INV4
INV5
GND
NAND3

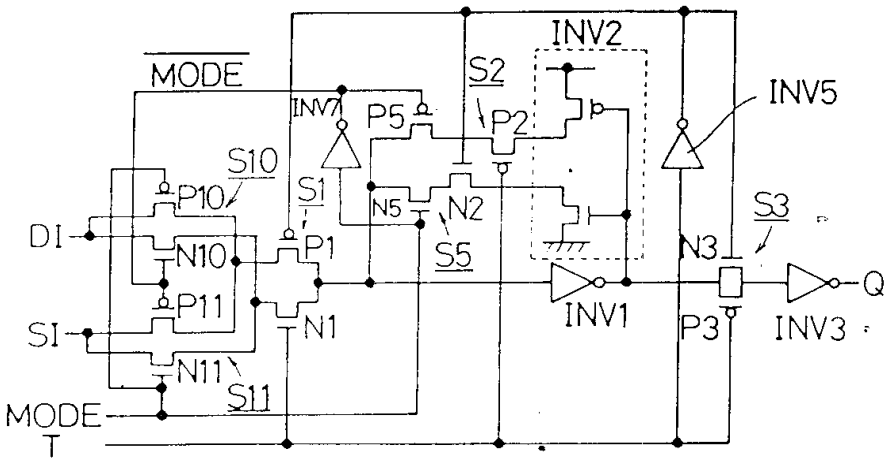
도면20a


마스터 래치
슬레이브 래치
MODE
INVT
INV4
INV5
INV1
P3
INV7
P5
P4
S10
S1
P10
DI
N10
P1
P11
SI
N1
N11
S11
MODE
T
N5
N4
S5
S4
N3
INV3
Q
Q
Q

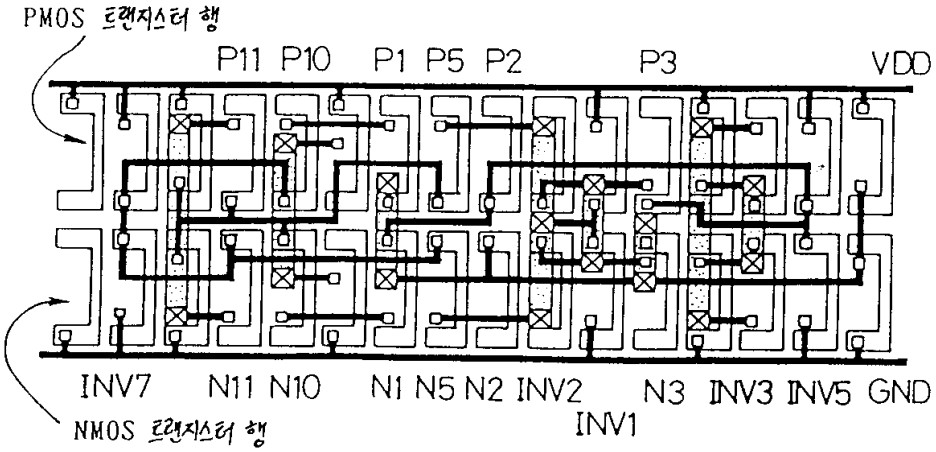
도면20b



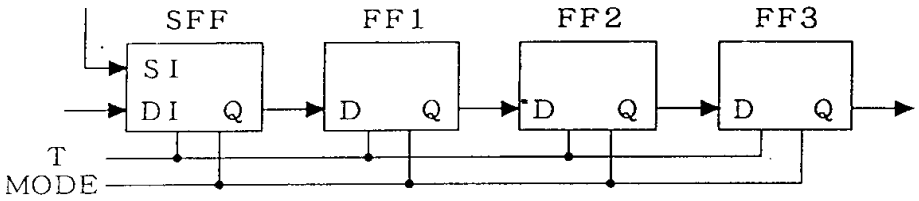
도면21a



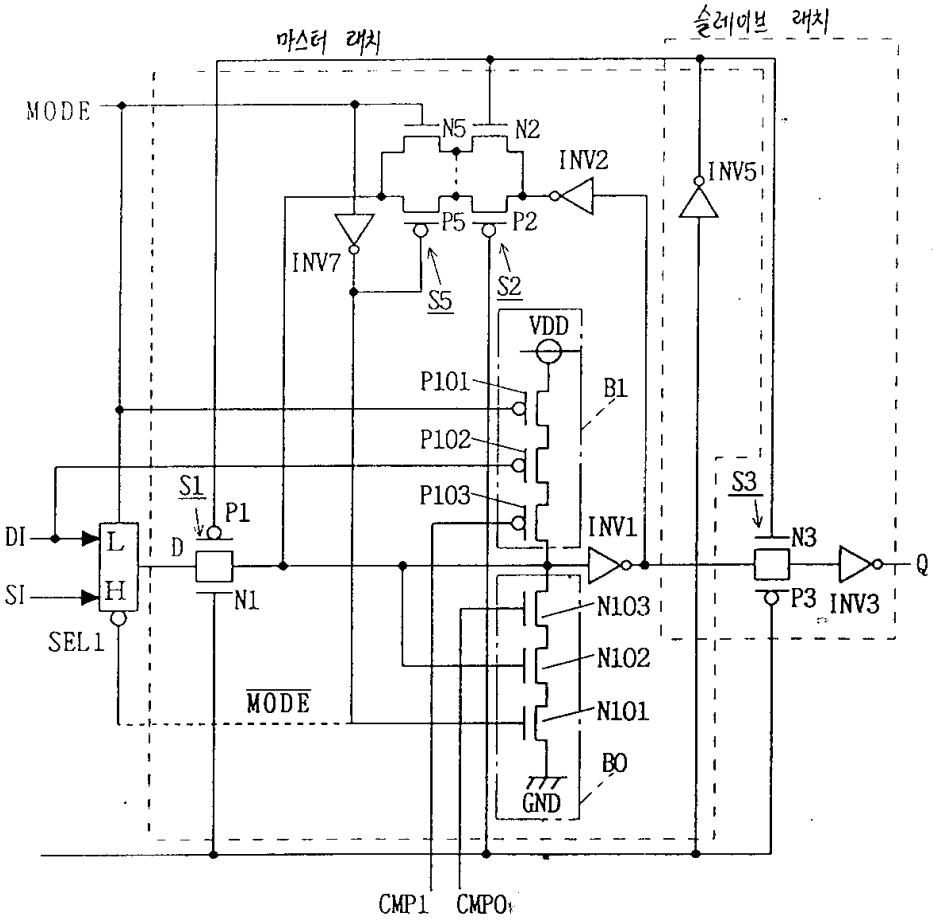
도면21b



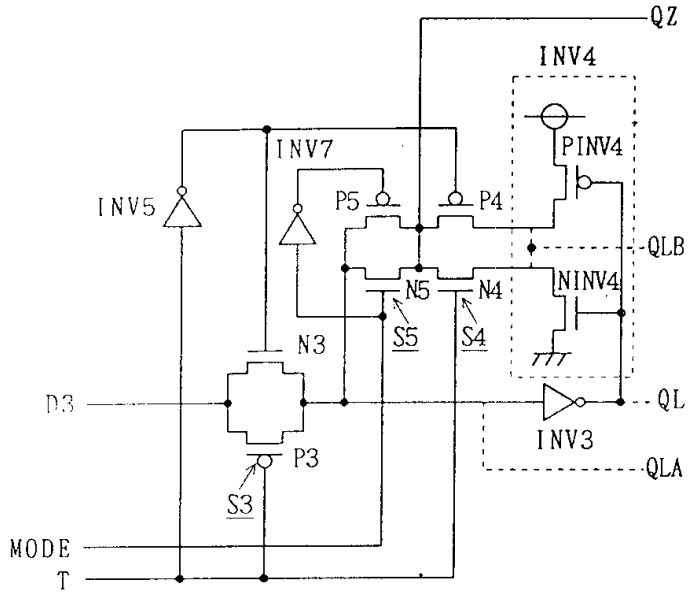
도면22


SFF
FF1
FF2
FF3
SI
DI
Q
D
Q
D
Q
D
Q
T
MODE

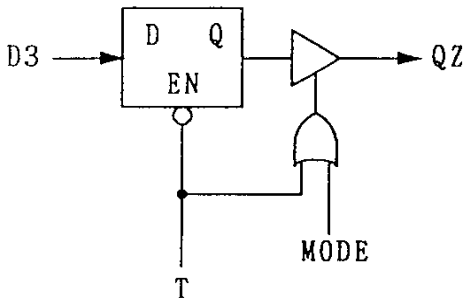
도면23


마스터 래치
슬레이브 래치
MODE
N5
N2
INV2
INV5
P5
P2
INV7
S5
S2
VDD
P101
B1
P102
P103
S1
P1
S3
DI
L
D
INV1
N3
Q
SI
H
N1
N103
P3
INV3
SEL1
N102
MODE
N101
B0
GND
CMP1
CMPO

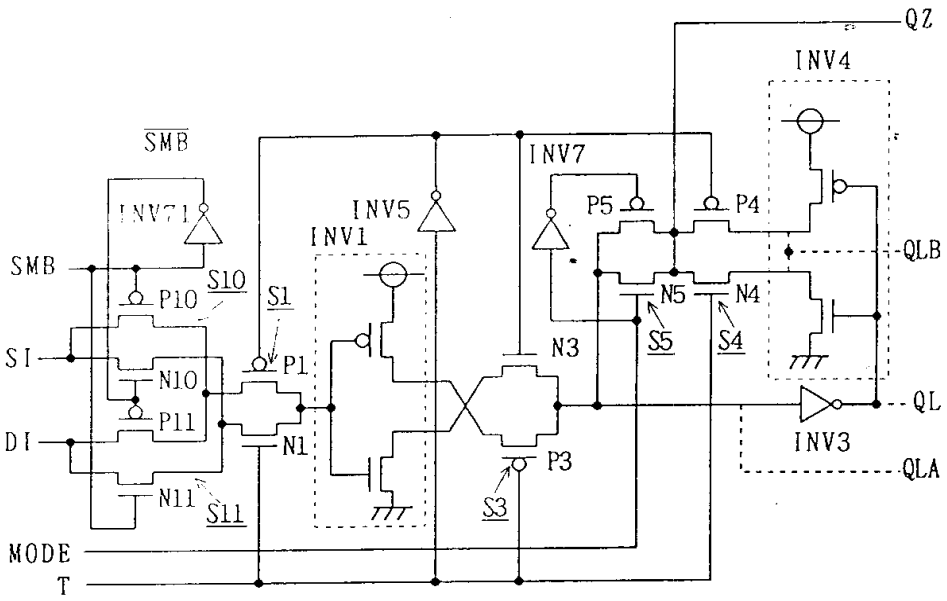
도면24a



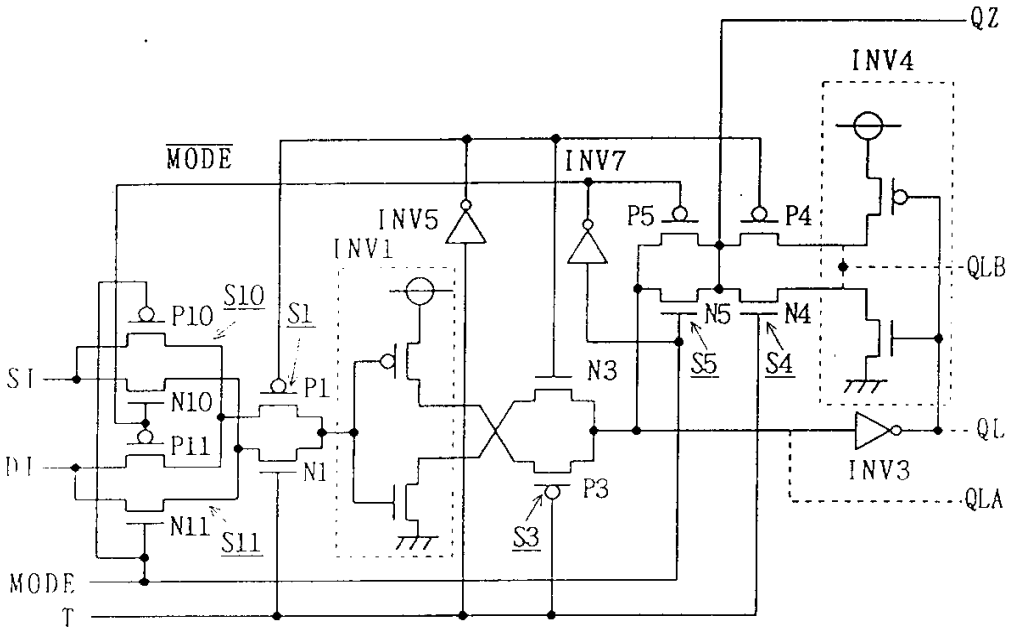
도면24b



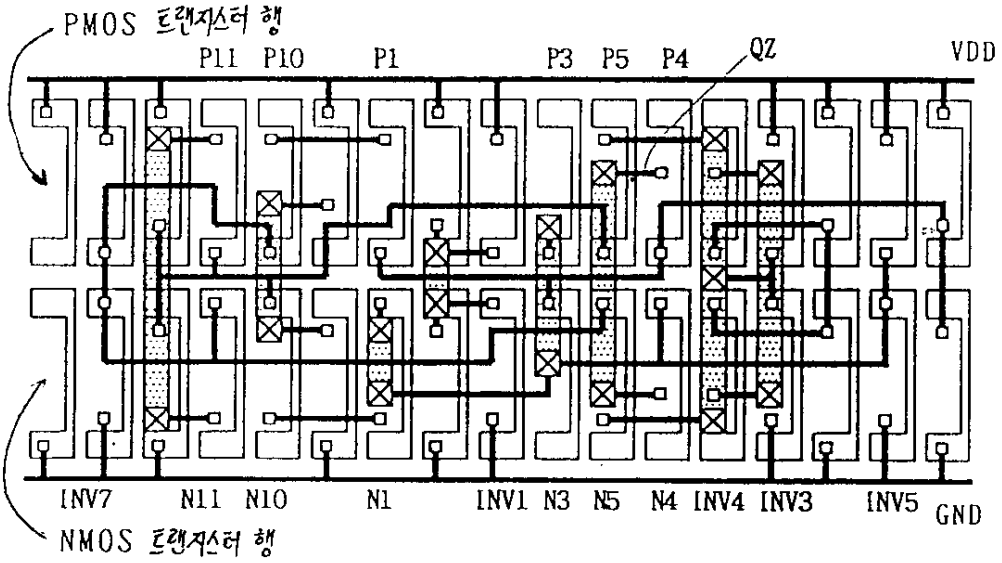
도면25



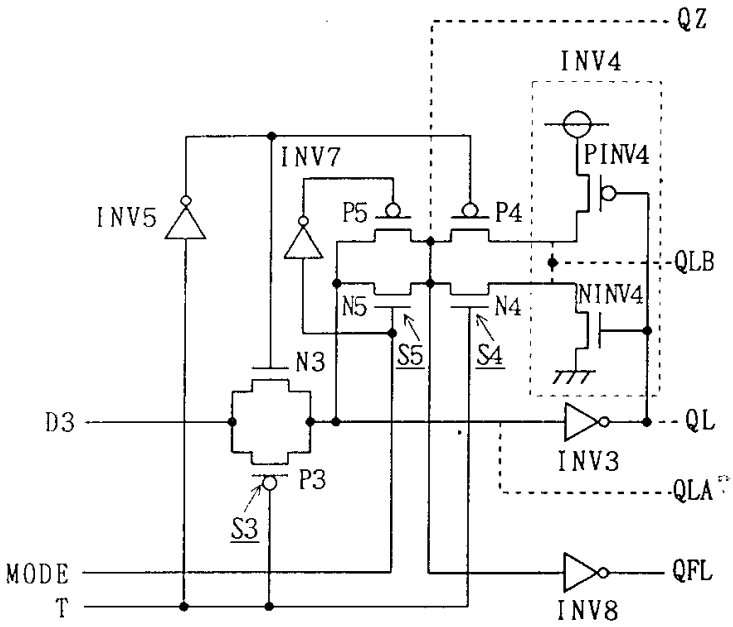
도면26a


QZ
INV4
MODE
INV7
INV5
P5
P4
INV1
QLB
P10
S10
S1
N5
N4
SI
N10
P1
N3
S5
S4
P11
QL
DI
N1
INV3
P3
QLA
N11
S11
S3
MODE
T

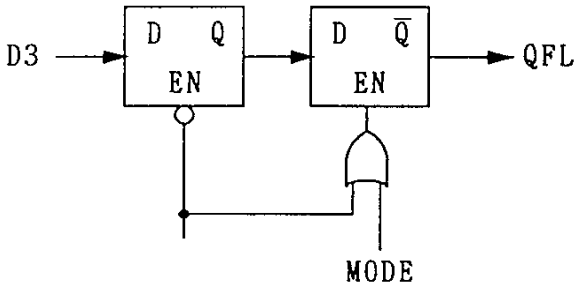
도면26b


PMOS 트랜지스터 행
P11 P10 P1 P3 P5 P4 QZ VDD
INV7 N11 N10 N1 INV1 N3 N5 N4 INV4 INV3 INV5 GND
NMOS 트랜지스터 행

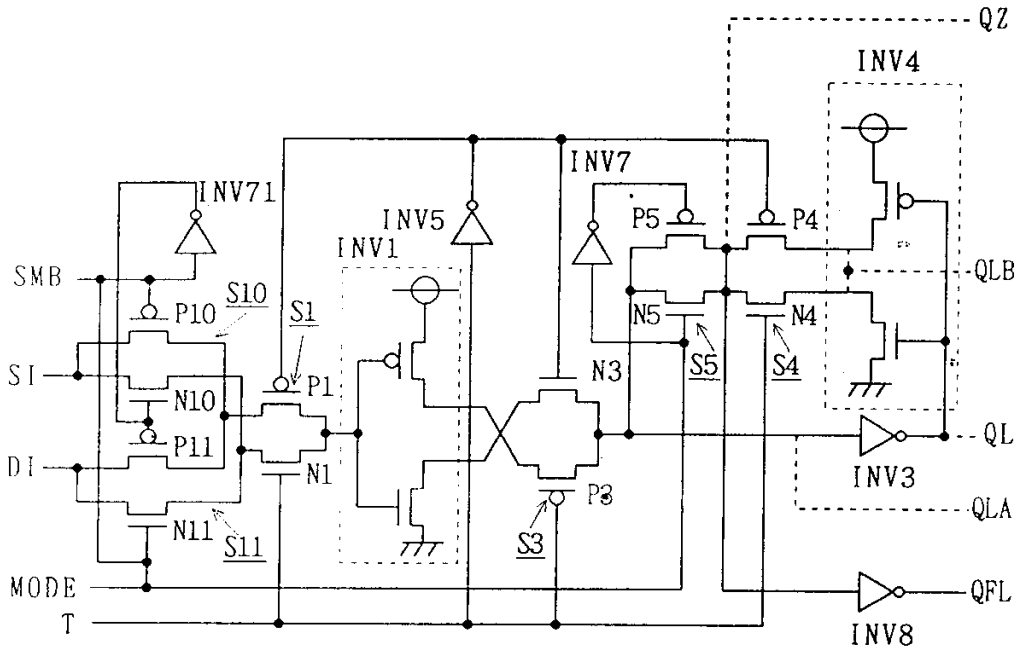
도면27


QZ
INV4
PINV4
INV7
INV5
P5
P4
QLB
N5
N4
NINV4
S5
S4
N3
D3
QL
INV3
P3
QLA
S3
MODE
T
QFL
INV8

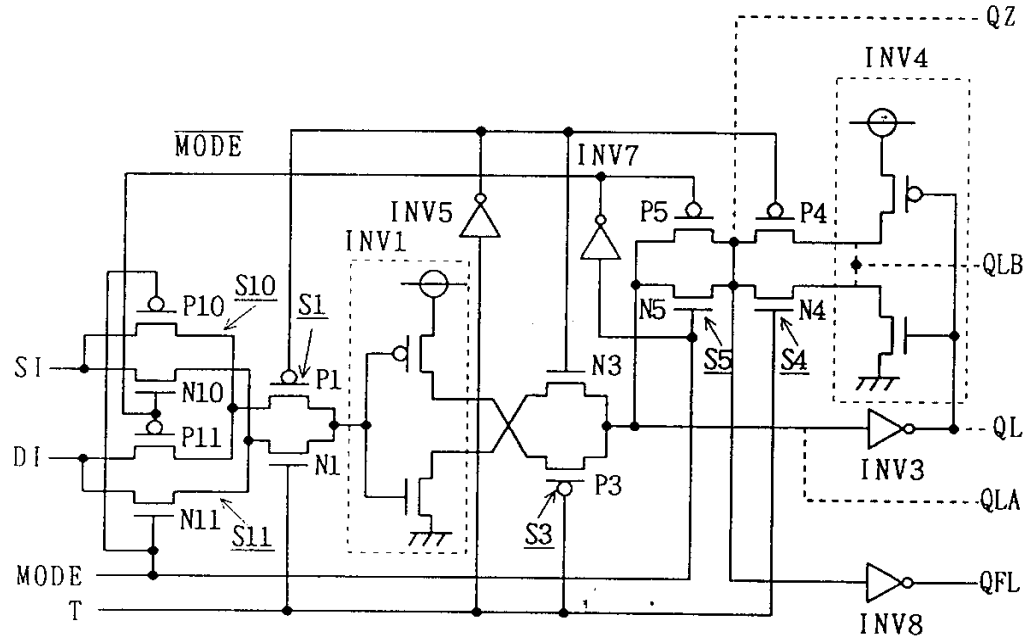
도면27b


D3
D
Q
EN
D
Q
EN
QFL
MODE

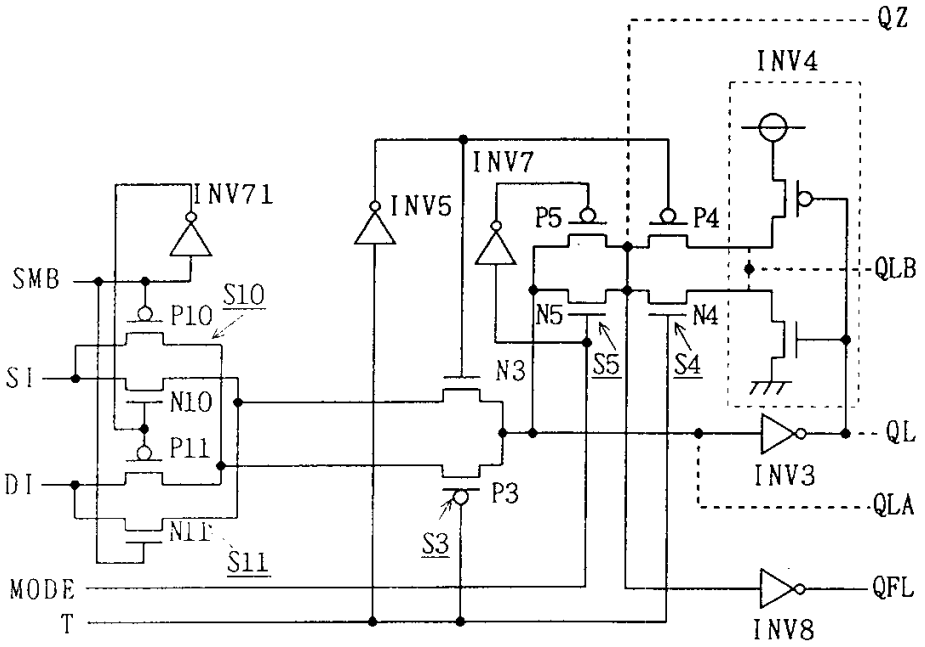
도면28


QZ
INV4
INV7
INV71
INV5
INV1
P5
P4
SMB
S10
S1
QLB
P10
N5
N4
SI
N10
P1
N3
S5
S4
P11
QL
DI
N1
P3
INV3
N11
S11
S3
QLA
MODE
QFL
T
INV8

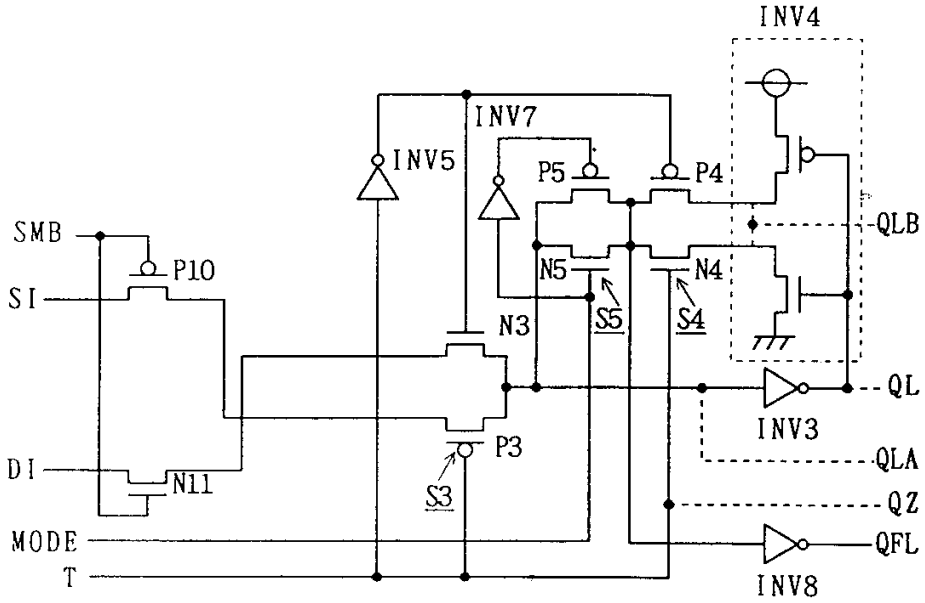
도면29


QZ
INV4
MODE
INV7
INV5
INV1
P5
P4
S10
S1
QLB
P10
N5
N4
SI
N10
P1
N3
S5
S4
P11
QL
DI
N1
P3
INV3
N11
S11
S3
QLA
MODE
QFL
T
INV8

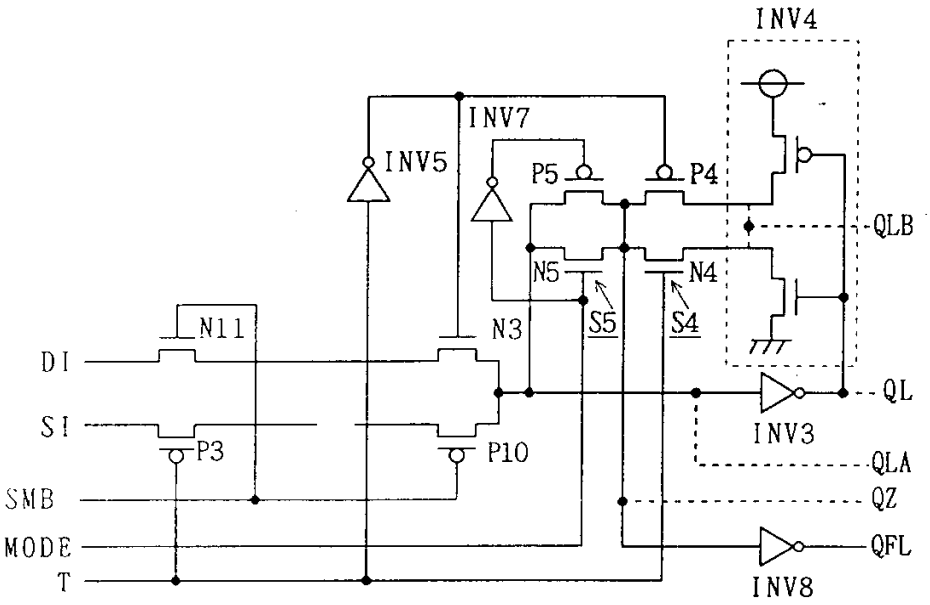
도면30


QZ
INV4
INV7
INV71
INV5
P5
P4
SMB
S10
P10
QLB
N5
N4
SI
N3
S5
S4
N10
QL
P11
INV3
DI
P3
QLA
N11
S3
S11
MODE
QFL
T
INV8

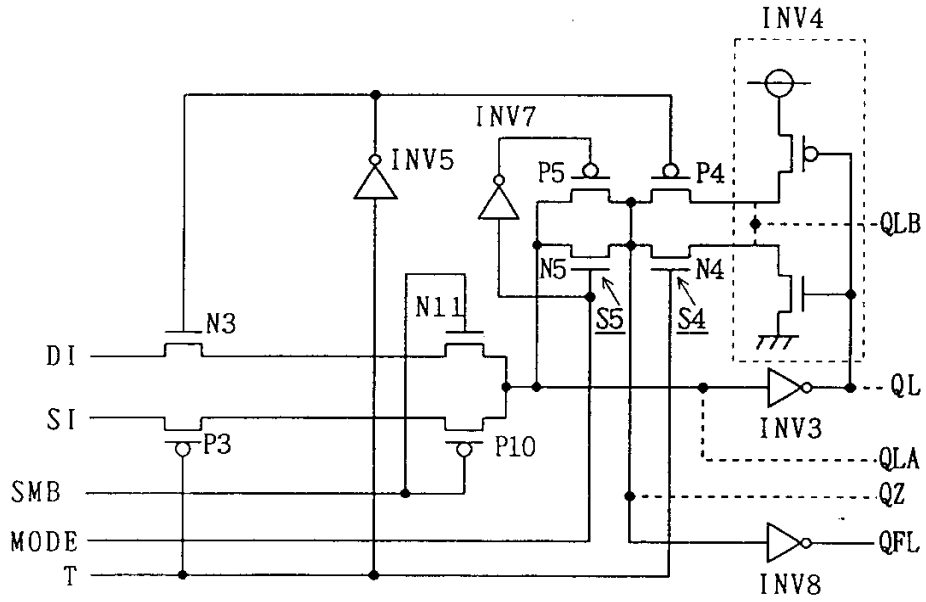
도면31


INV4
INV7
INV5
P5
P4
SMB
QLB
P10
SI
N5
N4
N3
S5
S4
QL
INV3
DI
P3
QLA
N11
S3
QZ
MODE
QFL
T
INV8

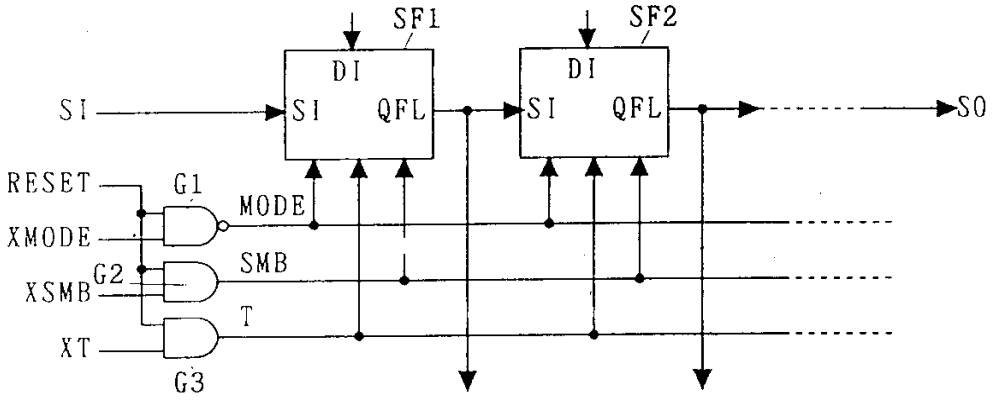
도면32


INV4
INV7
INV5
P5
P4
QLB
N5
N4
S5
S4
N11
N3
DI
SI
P3
P10
QL
INV3
QLA
SMB
QZ
MODE
QFL
T
INV8

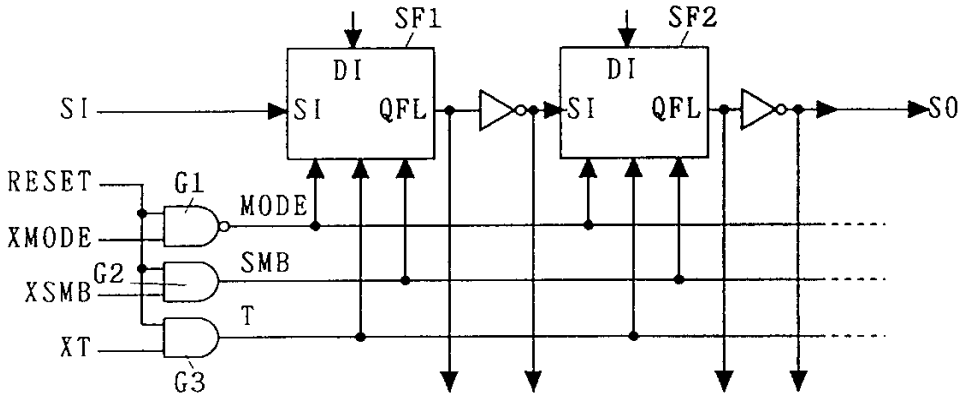
도면33


INV4
INV7
INV5
P5
P4
QLB
N5
N4
S5
S4
N11
N3
DI
SI
P3
P10
QL
INV3
QLA
SMB
QZ
MODE
QFL
T
INV8

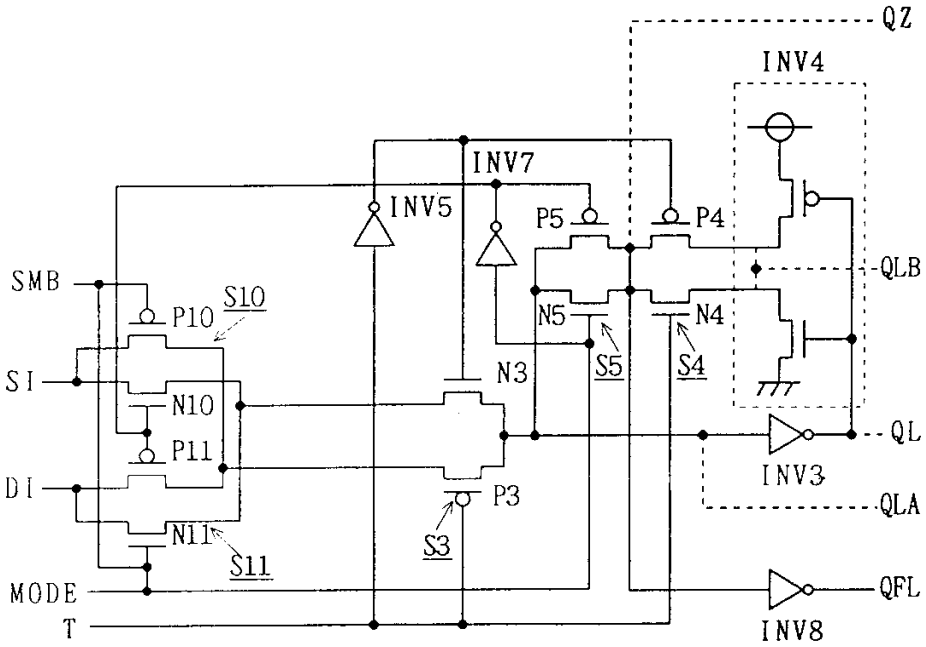
도면34



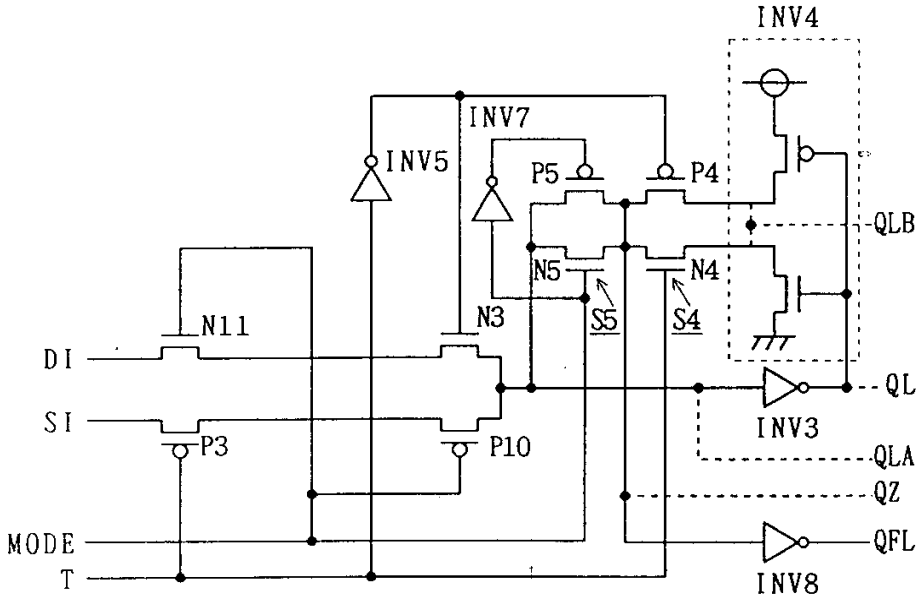
도면35



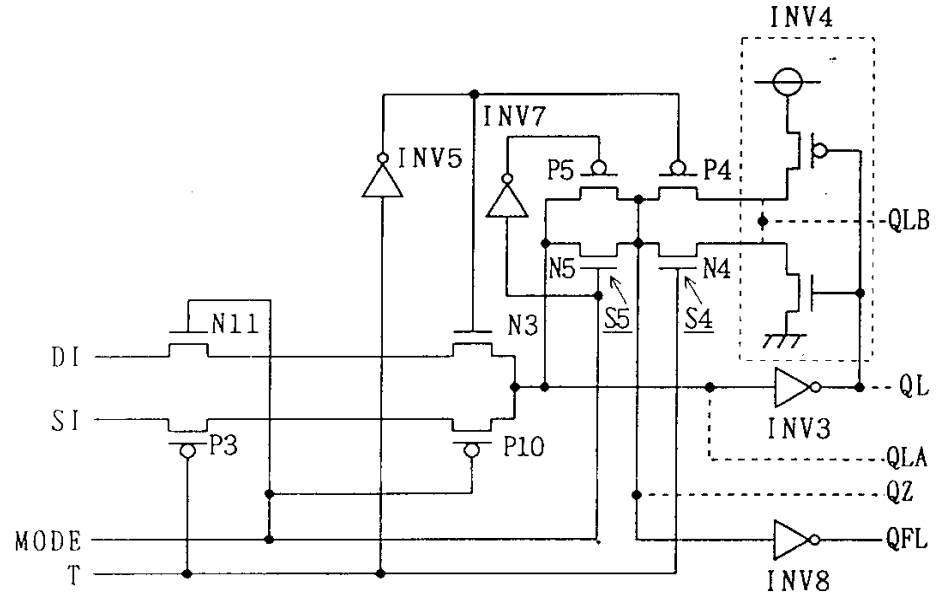
도면36



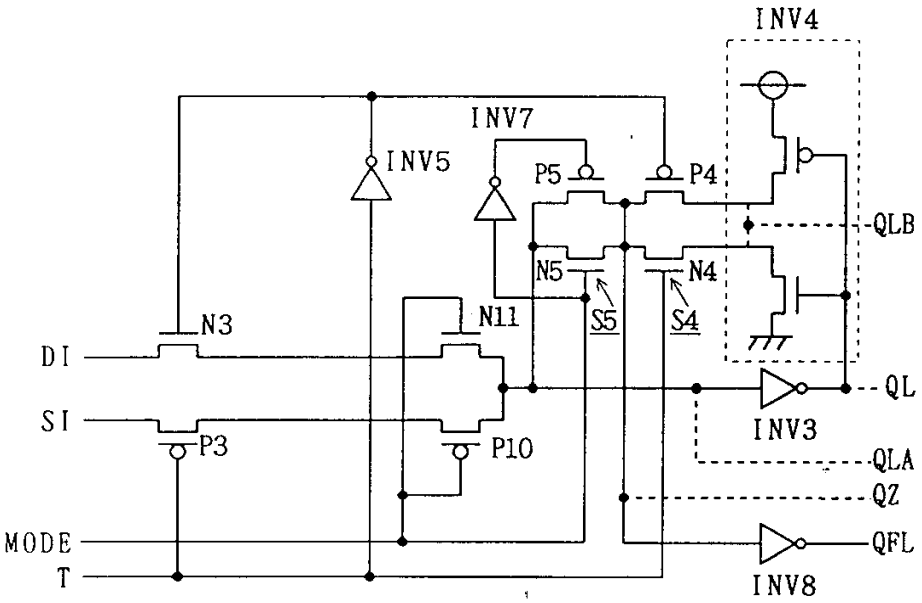
도면37


INV4
INV7
INV5
P5
P4
QLB
N5
N4
S5
S4
N11
N3
DI
SI
P3
P10
QL
INV3
QLA
QZ
MODE
T
QFL
INV8

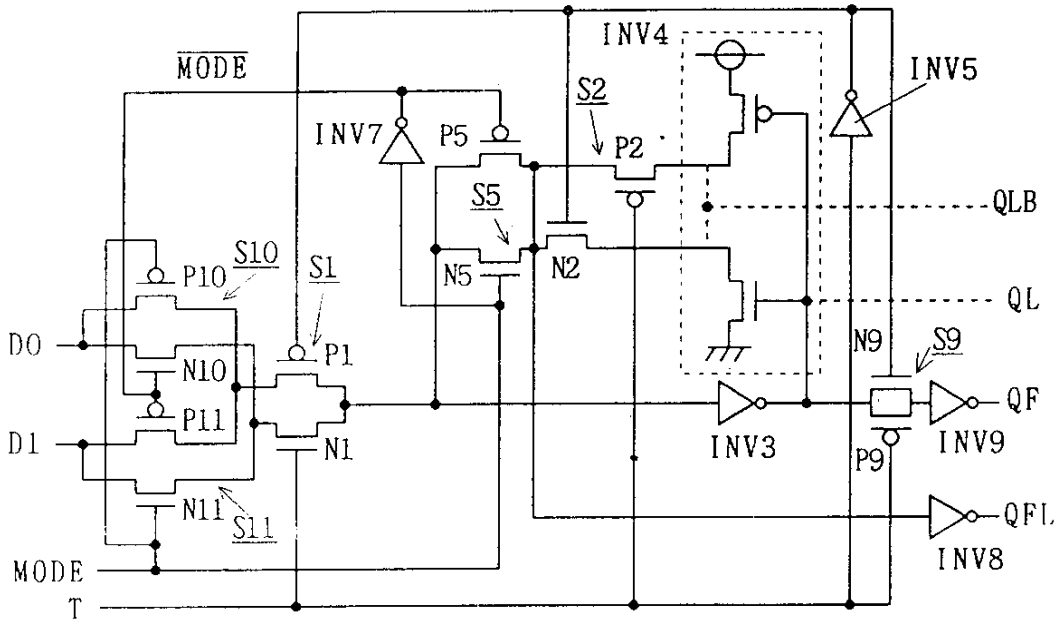
도면38


INV4
INV7
INV5
P5
P4
QLB
N5
N4
S5
S4
N11
N3
DI
SI
P3
P10
QL
INV3
QLA
QZ
MODE
T
QFL
INV8

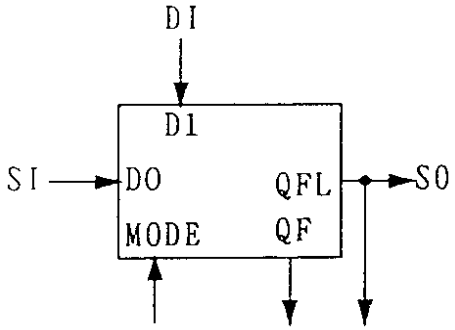
도면39


INV4
INV7
INV5
P5
P4
QLB
N5
N4
N3
N11
S5
S4
DI
SI
P3
P10
QL
INV3
QLA
QZ
MODE
T
QFL
INV8

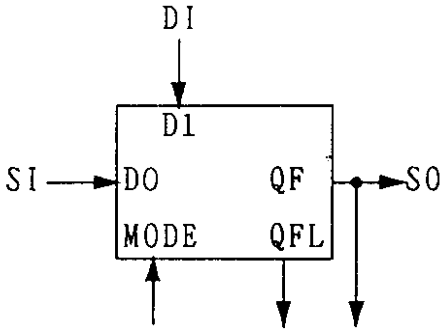
도면40a


MODE
INV4
INV5
S2
INV7
P5
P2
S5
QLB
S10
S1
P10
N5
N2
QL
DO
N10
P1
N9
S9
QF
P11
D1
N1
INV3
P9
INV9
N11
S11
QFL
MODE
INV8
T

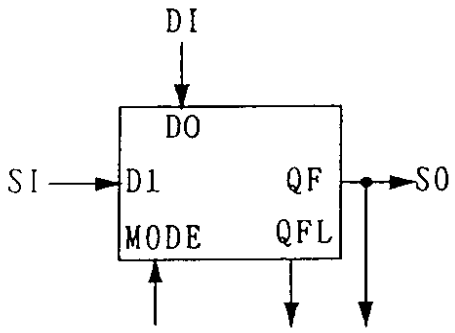
도면40b



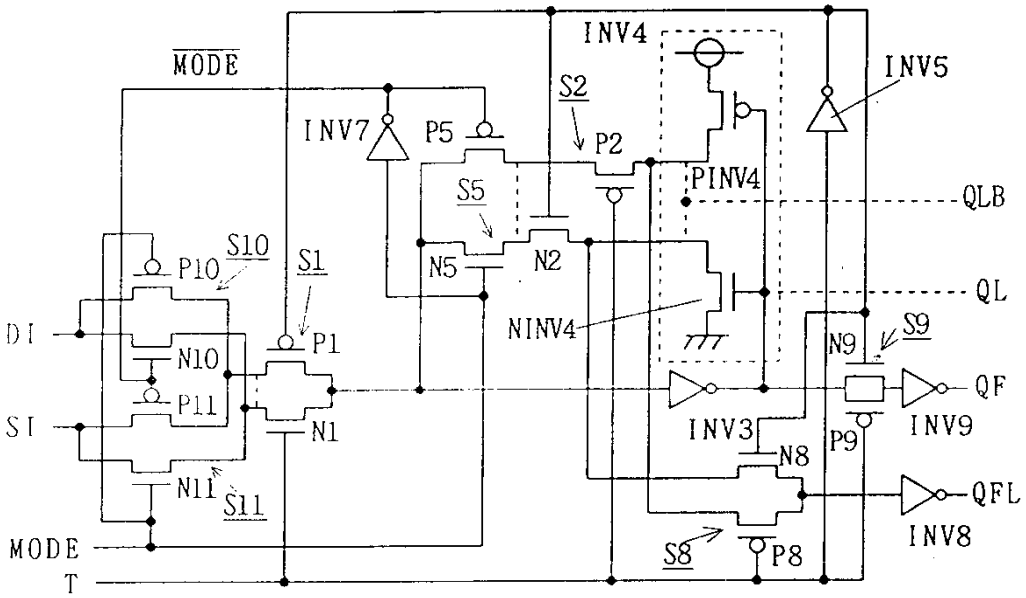
도면40c



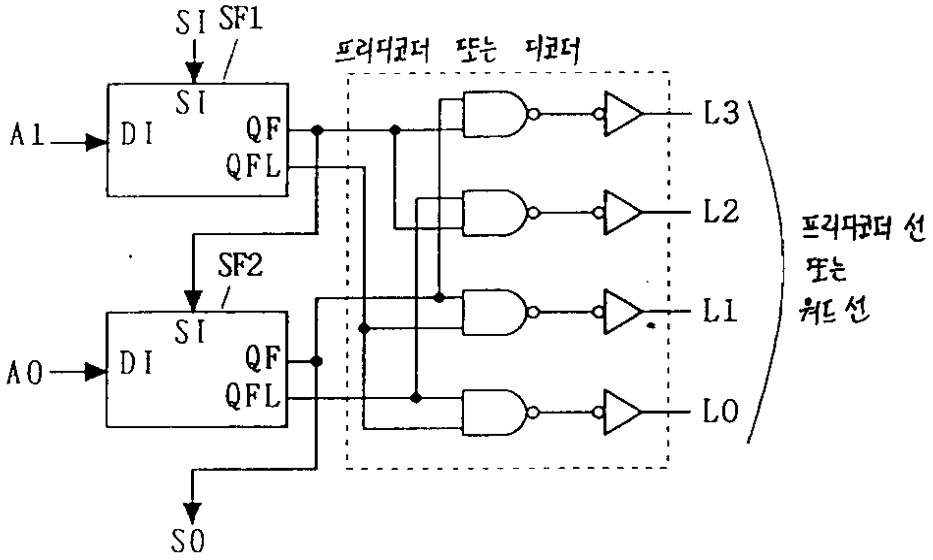
도면40d



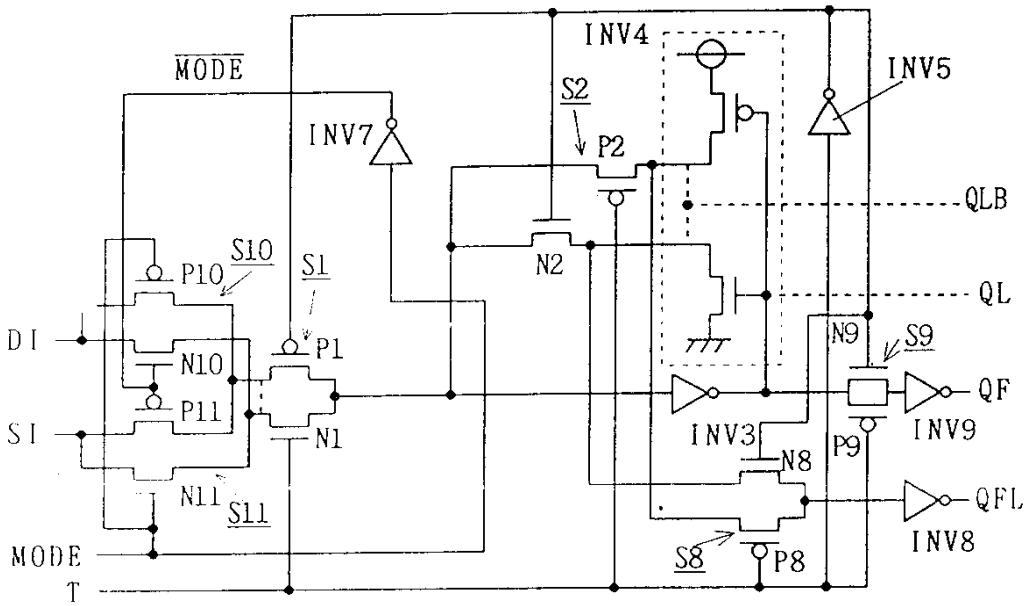
도면41a


MODE
INV4
INV5
INV7
P5
S2
P2
PINV4
QLB
S5
N5
N2
QL
S10
P10
S1
NINV4
N9
S9
DI
N10
P1
QF
P11
INV3
P9
INV9
SI
N1
N8
N11
S11
QFL
INV8
MODE
S8
P8
T

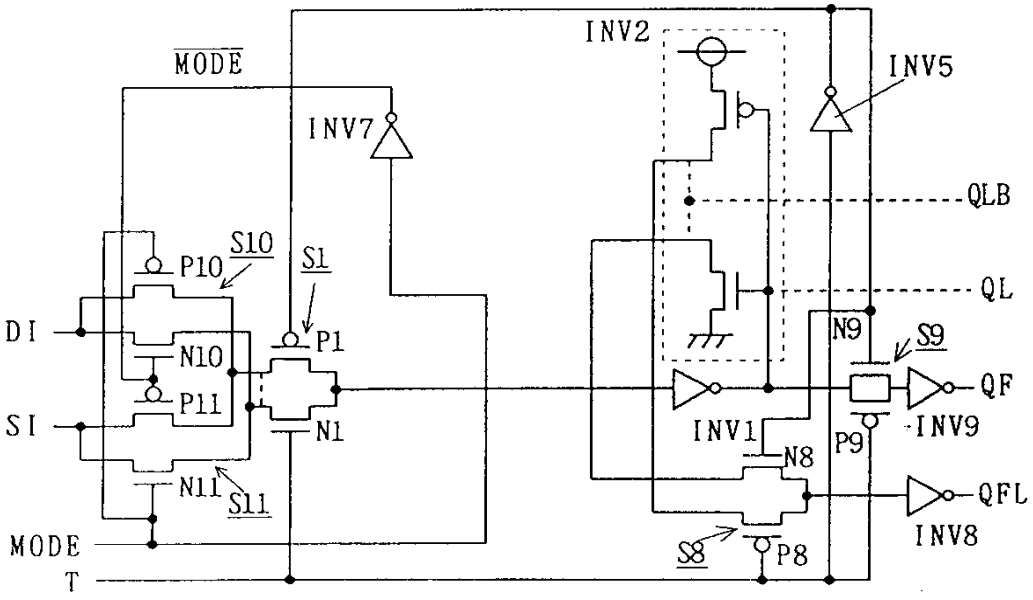
도면41b


SI SF1
프리디코더 또는 디코더
SI
A1
DI
QF
QFL
L3
L2
SF2
프리디코더 선
또는
워드 선
L1
A0
L0
S0

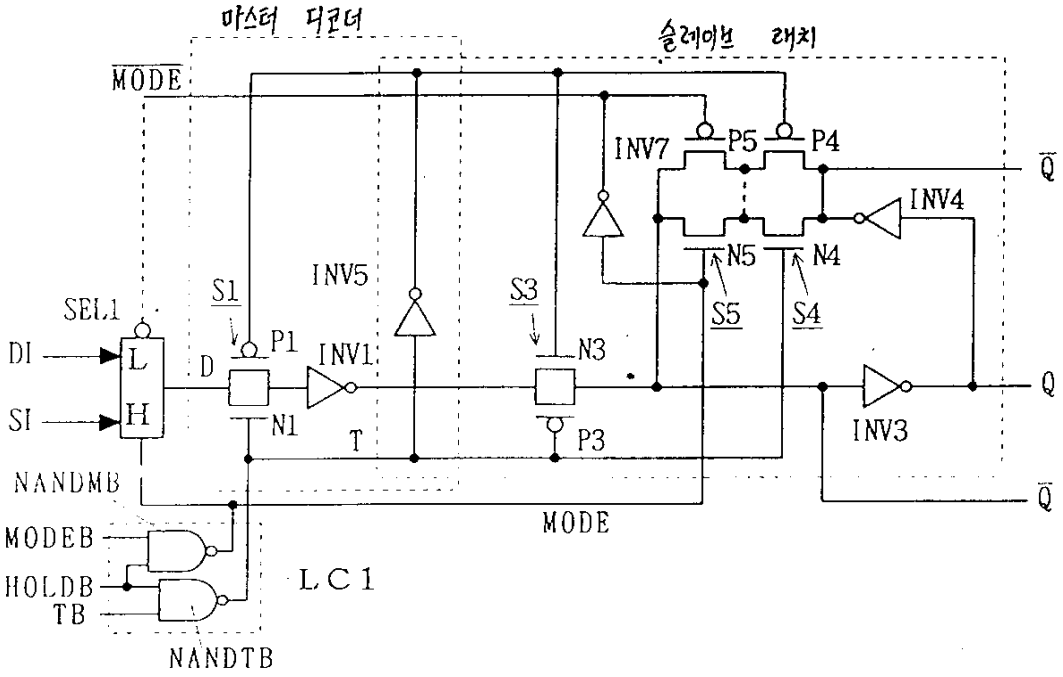
도면42a


MODE
INV7
INV4
S2
P2
INV5
QLB
QL
N2
S10
P10
S1
P1
DI
N10
P11
SI
N1
N11
S11
MODE
T
N9
S9
QF
INV9
INV3
N8
P9
QFL
INV8
S8
P8

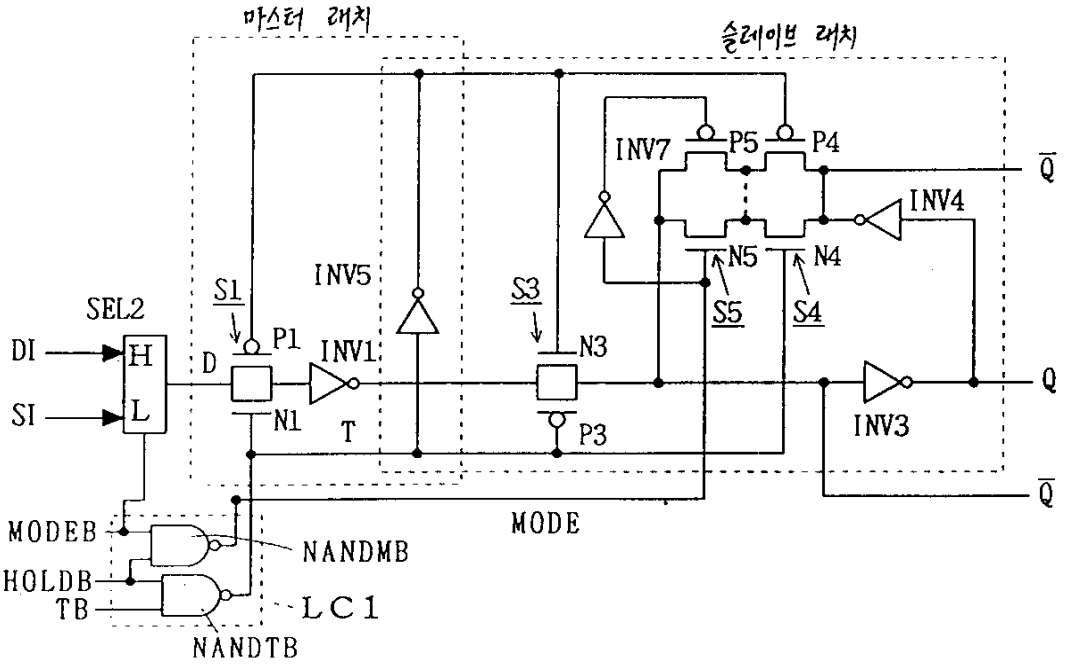
도면42b


MODE
INV7
INV2
INV5
QLB
QL
S10
P10
S1
P1
DI
N10
P11
SI
N1
N11
S11
MODE
T
N9
S9
QF
INV9
INV1
N8
P9
QFL
INV8
S8
P8

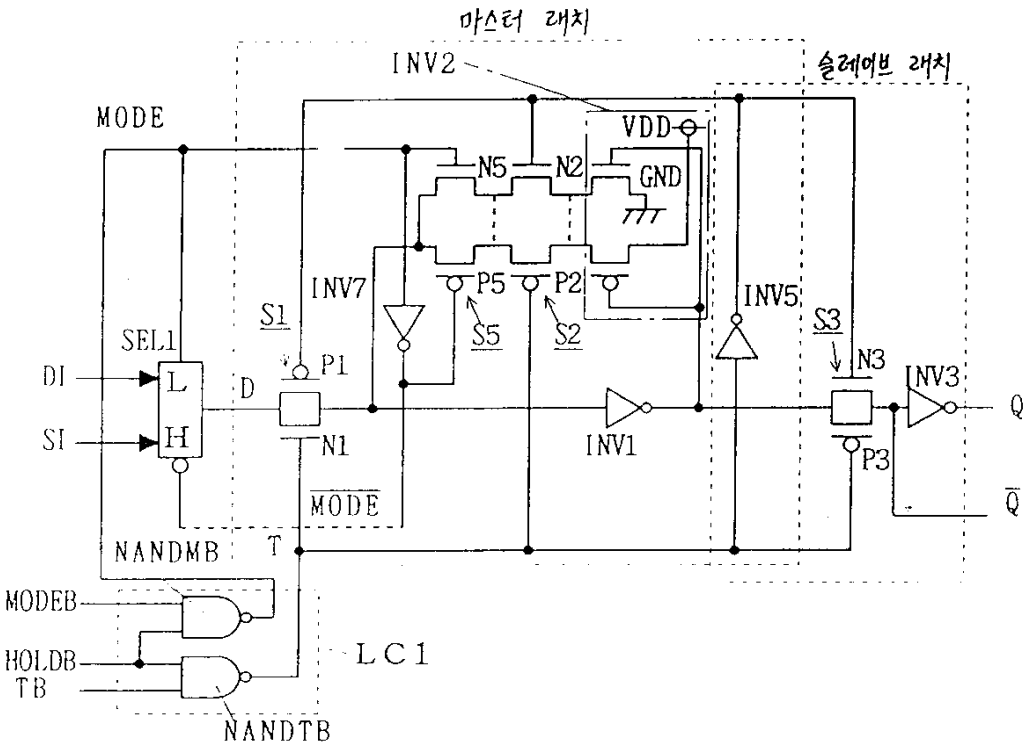
도면43a


마스터 디코더
슬레이브 래치
MODE
INV7
P5
P4
Q
INV4
N5
N4
S5
S4
INV5
S1
S3
SEL1
DI
L
P1
INV1
N3
D
SI
H
N1
T
P3
INV3
Q
NANDMB
MODE
MODEB
HOLDB
TB
LC1
NANDTB

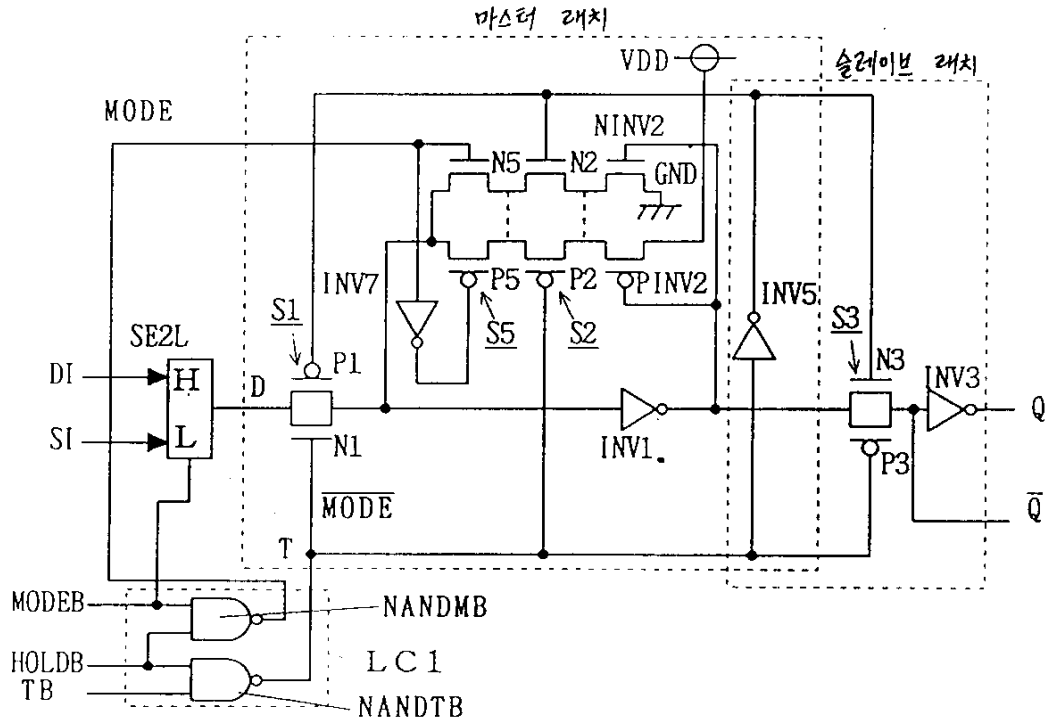
도면43b


마스터 래치
슬레이브 래치
INV7
P5
P4
Q
INV4
N5
N4
S5
S4
INV5
S1
S3
SEL2
DI
H
P1
INV1
N3
D
SI
L
N1
T
P3
INV3
Q
MODE
MODEB
NANDMB
HOLDB
TB
LC1
NANDTB

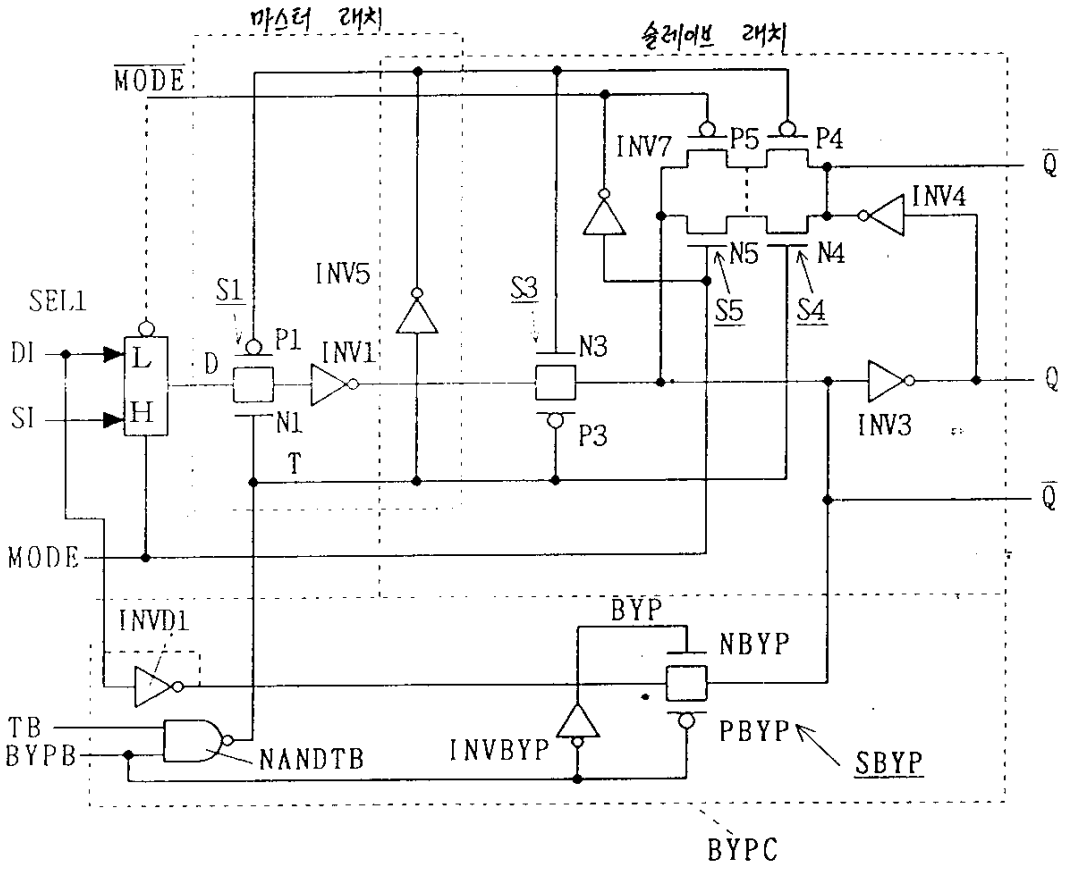
도면44a


마스터 래치
슬레이브 래치
INV2
MODE
VDD
N5
N2
GND
INV7
P5
P2
INV5
S1
S5
S2
S3
N3
INV3
SEL1
DI
SI
L
H
D
P1
N1
INV1
P3
Q
MODE
NANDMB
T
MODEB
HOLDB
TB
LC1
NANDTB

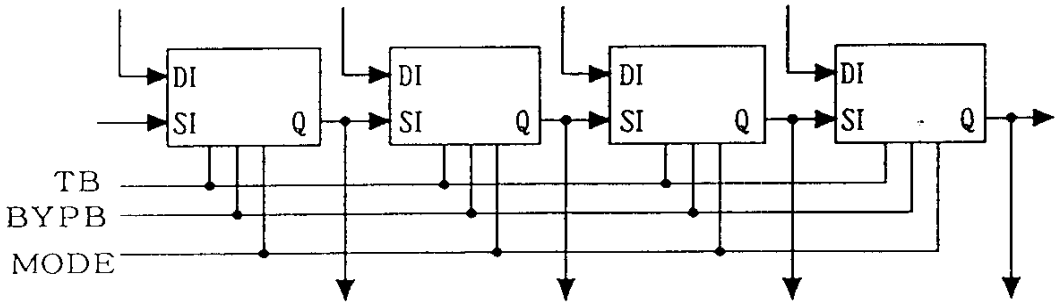
도면44b


마스터 래치
슬레이브 래치
VDD
MODE
NINV2
N5
N2
GND
INV7
P5
P2
PINV2
INV5
S1
S5
S2
S3
N3
INV3
SE2L
DI
SI
H
L
D
P1
N1
INV1
P3
Q
MODE
T
MODEB
NANDMB
HOLDB
TB
LC1
NANDTB

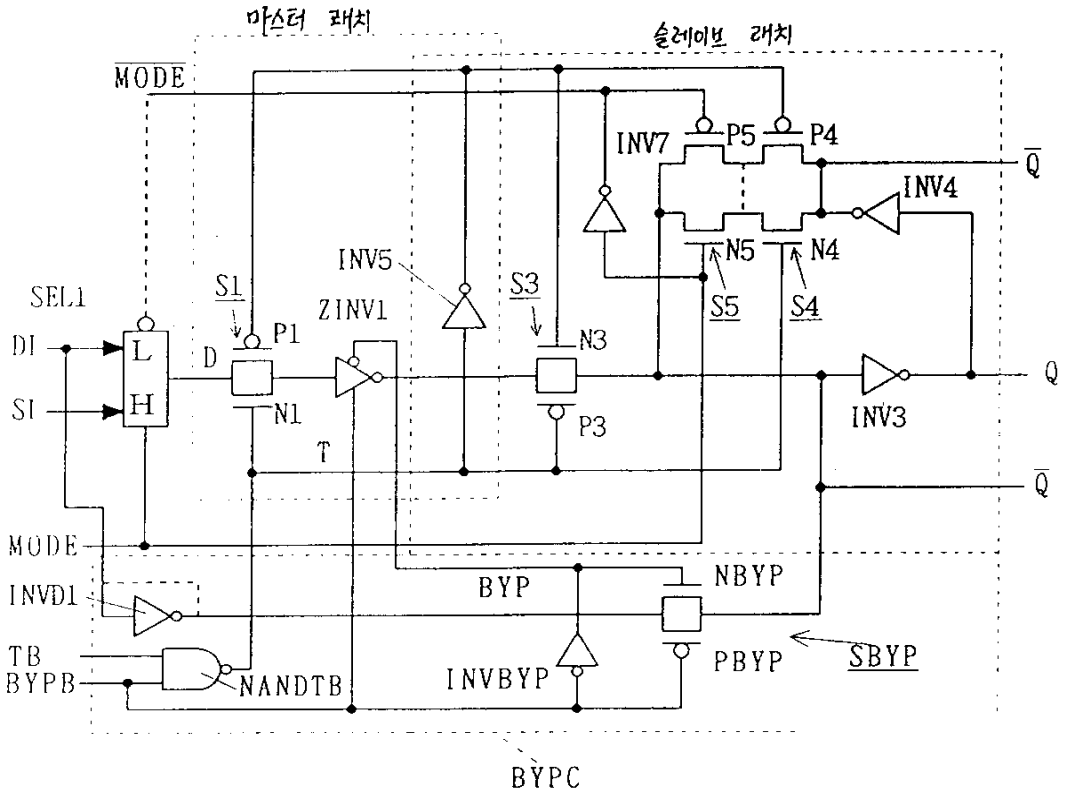
도면45a


마스터 래치
슬레이브 래치
MODE
INV7
P5
P4
Q
INV4
N5
N4
S5
S4
INV5
S1
S3
SEL1
DI
SI
L
H
D
P1
INV1
N3
P3
N1
T
INV3
Q
MODE
INVD1
BYP
NBYP
TB
BYPB
NANDTB
INVBYP
PBYP
SBYP
BYPC

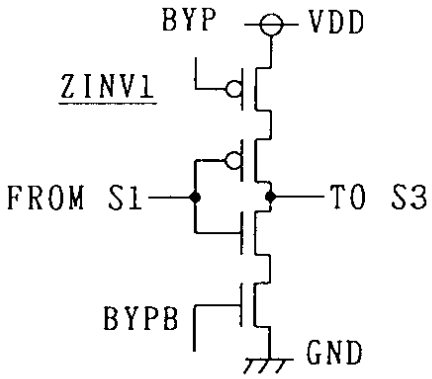
도면45b


DI
SI
Q
TB
BYPB
MODE

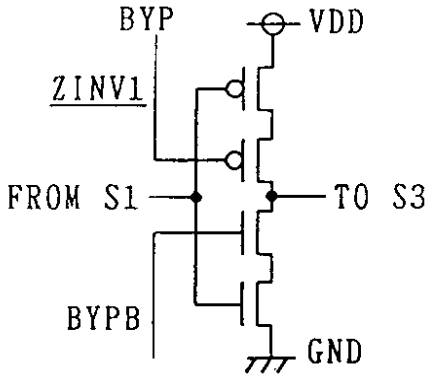
도면46a



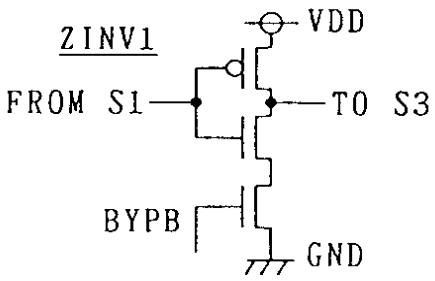
도면46b



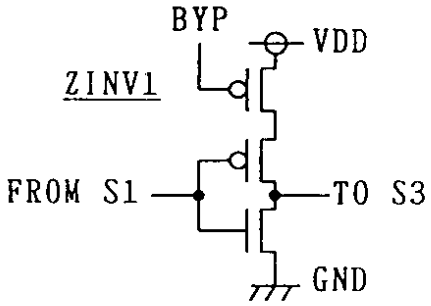
도면46c



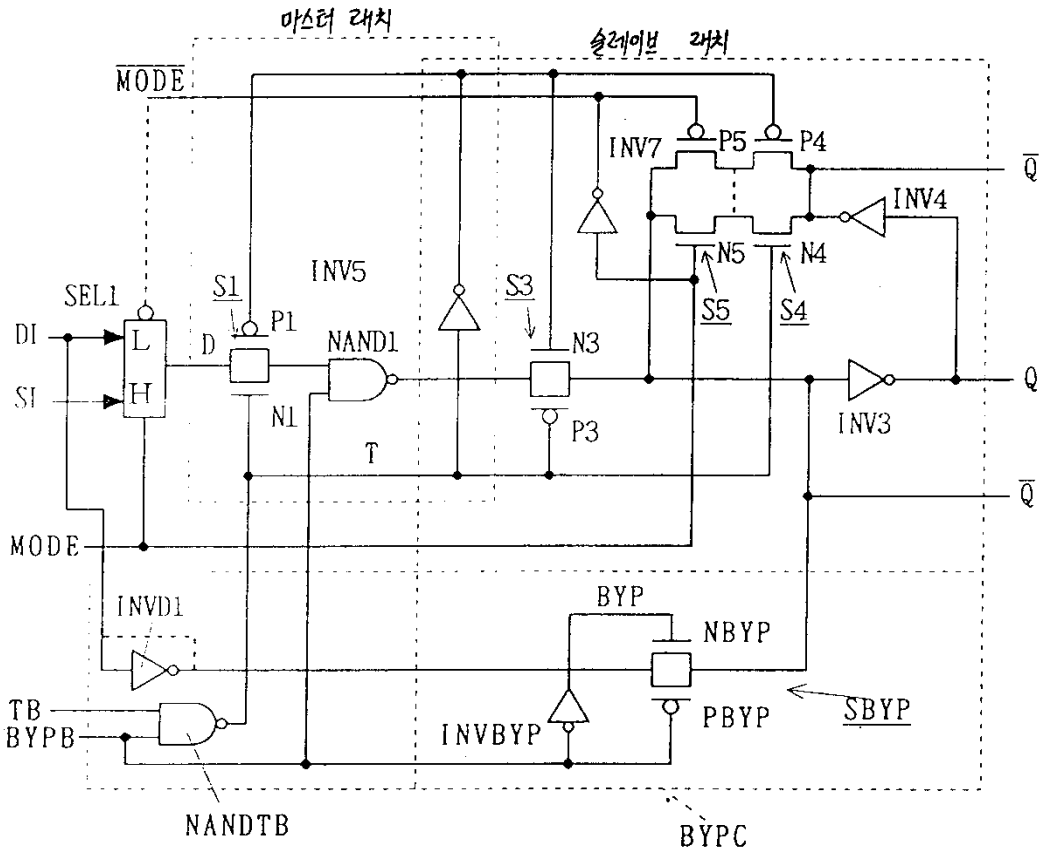
도면46d



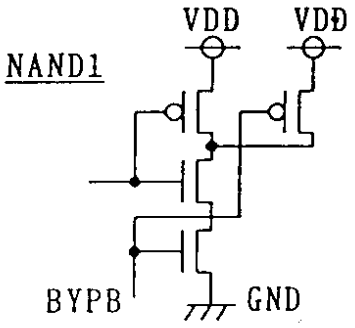
도면46e



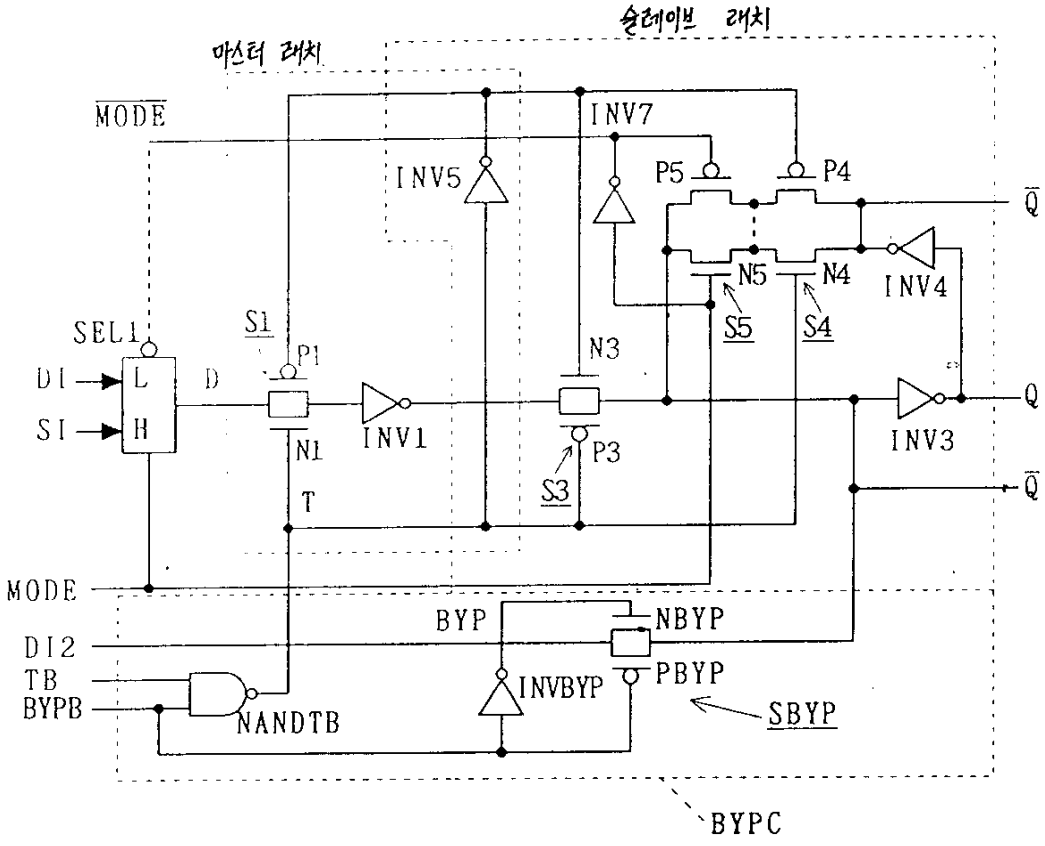
도면47a



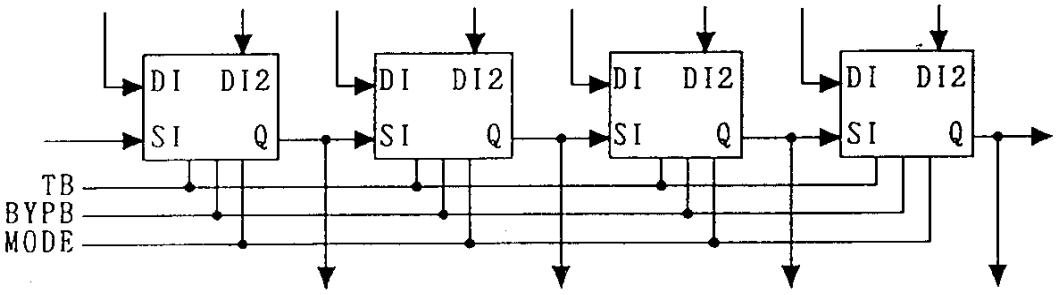
도면47b



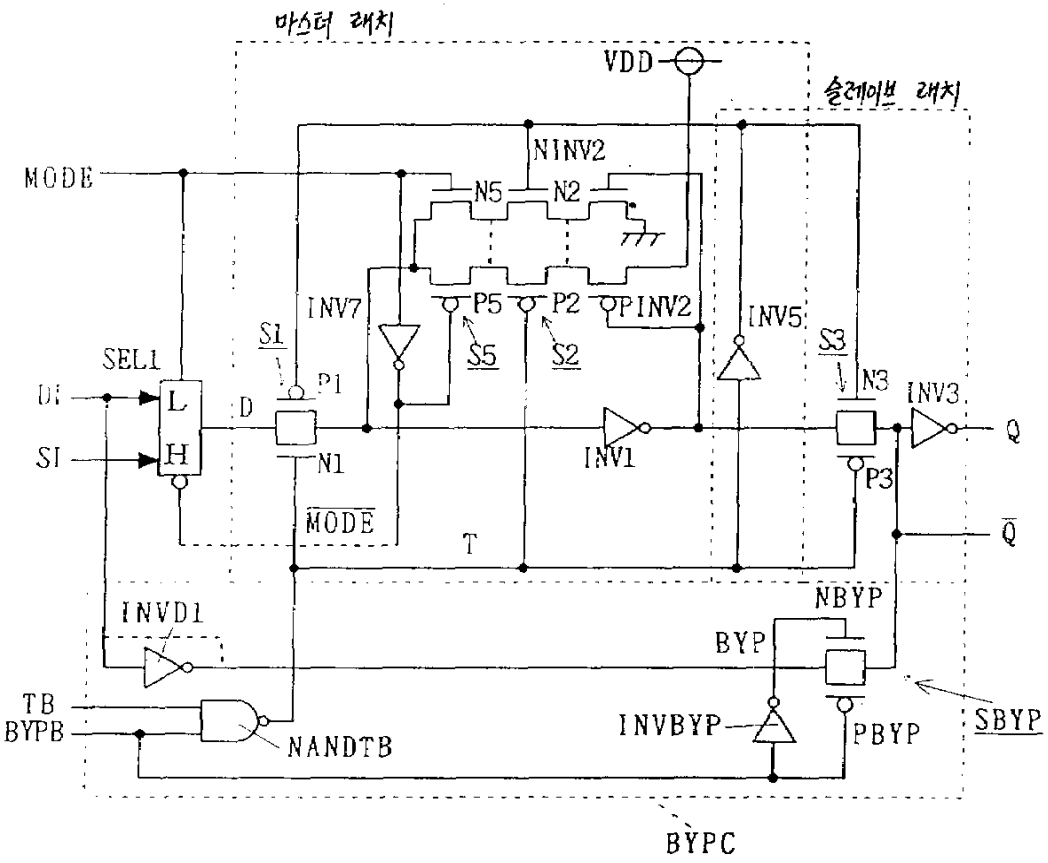
도면48a



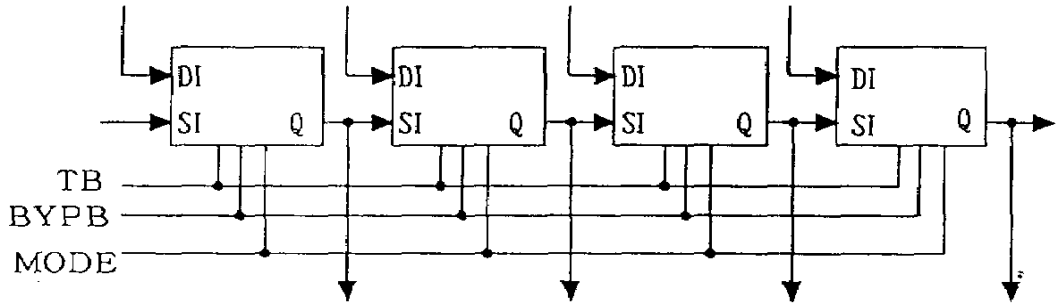
도면48b



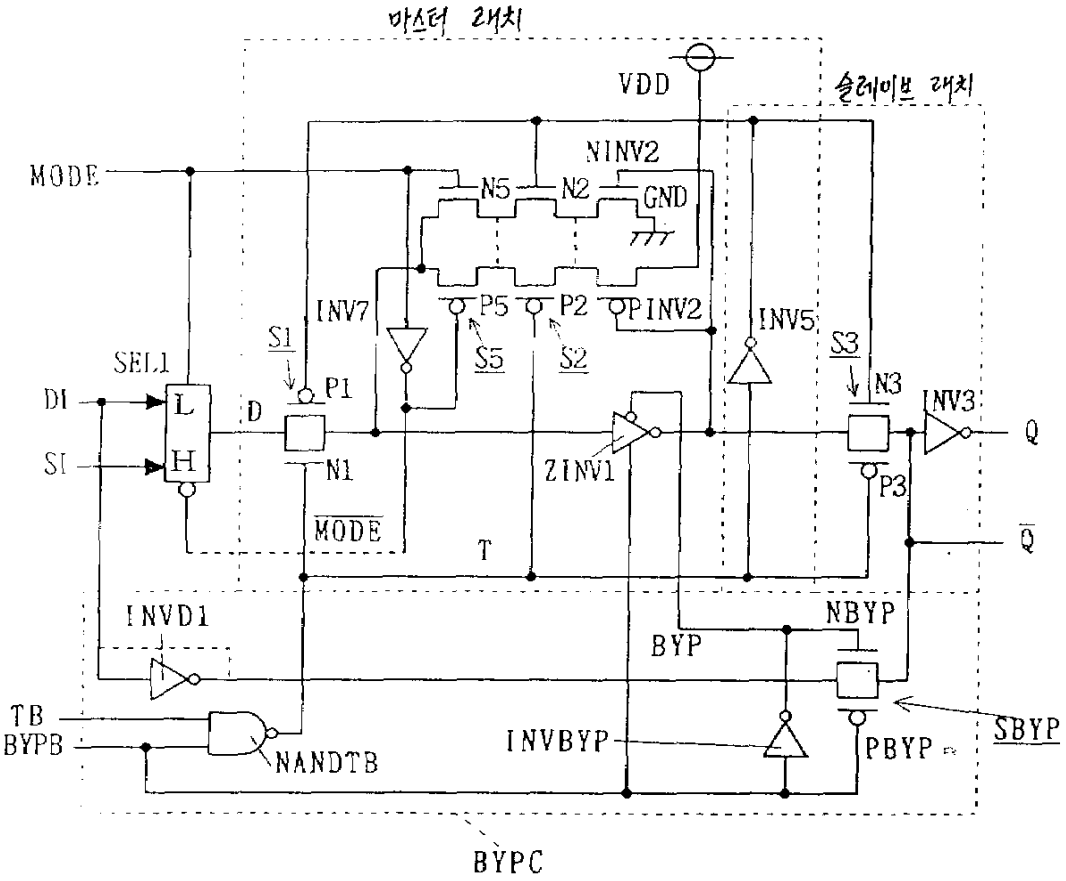
도면49a


마스터 래치
슬레이브 래치
VDD
MODE
NINV2
N5
N2
INV7
P5
P2
PINV2
INV5
S1
S5
S2
S3
N3
INV3
SEL1
DI
SI
L
H
D
P1
N1
INV1
P3
Q
$\overline{Q}$
MODE
T
INVD1
NBYP
BYP
TB
BYPB
NANDTB
INVBYP
PBYP
SBYP
BYPC

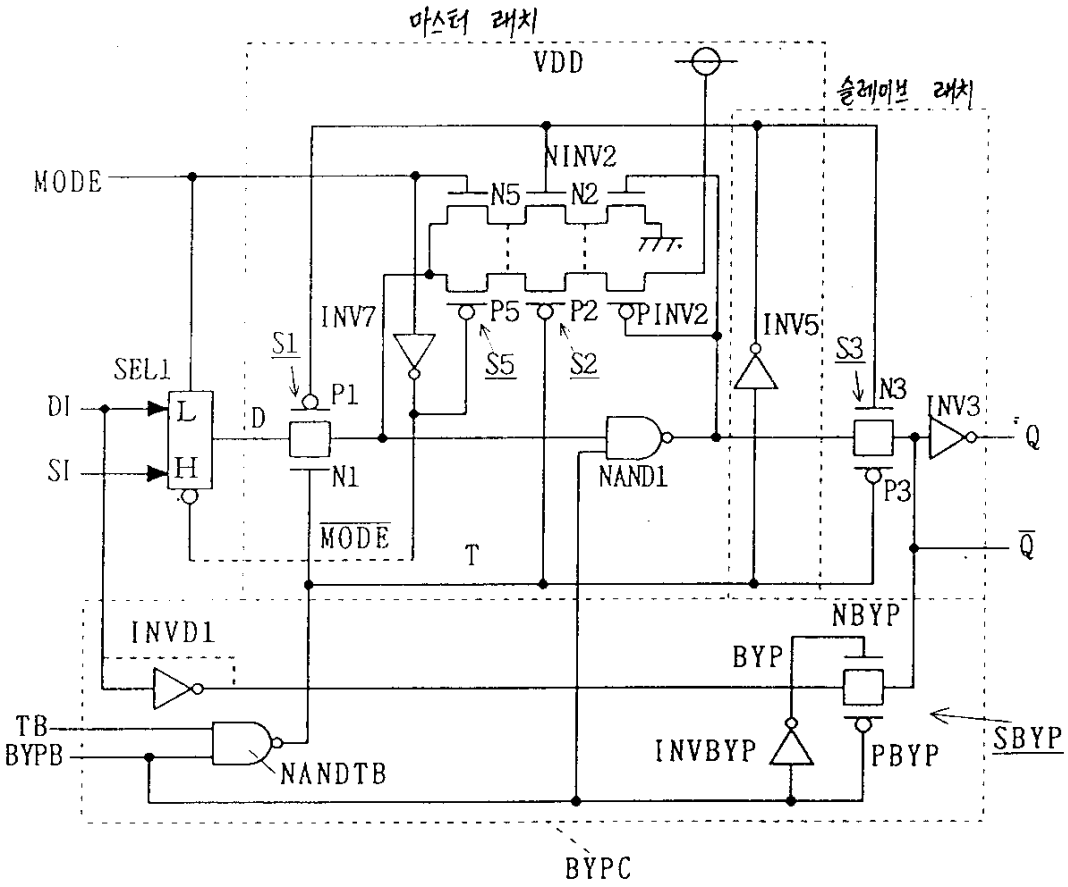
도면49b


DI
SI
Q
TB
BYPB
MODE

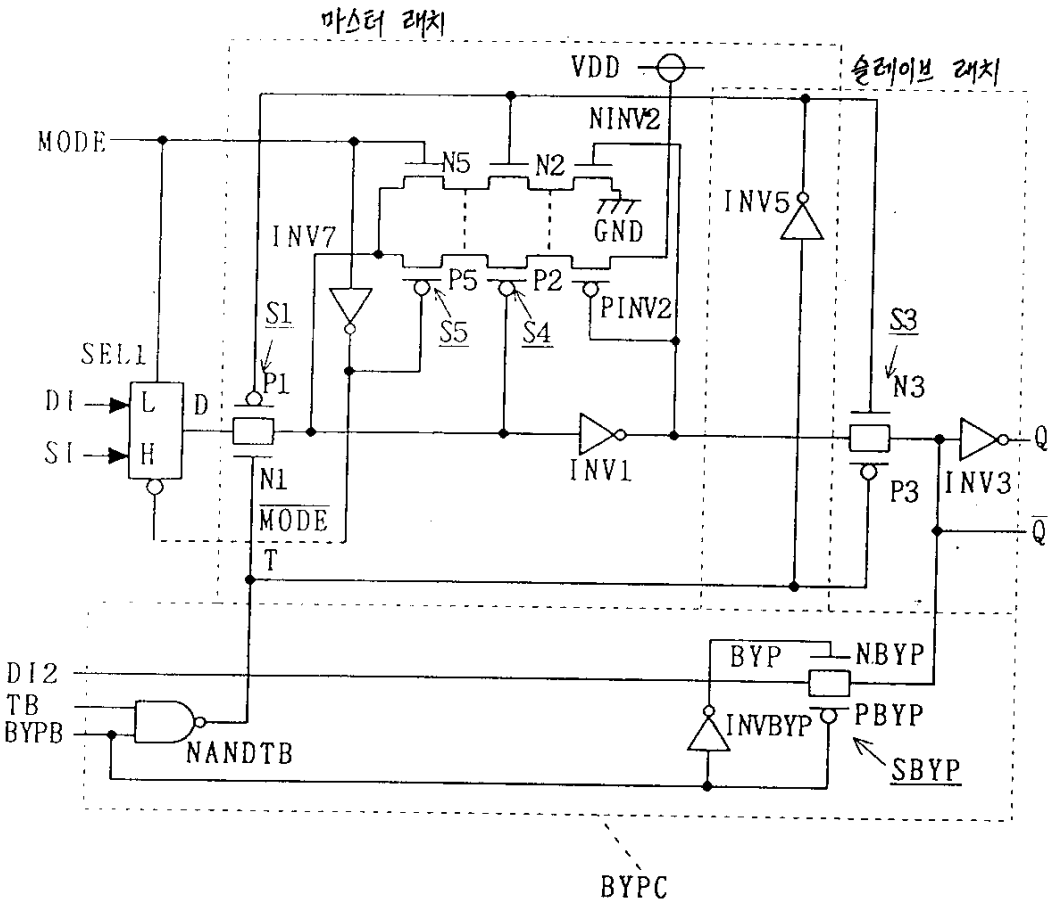
도면50


마스터 래치
VDD
슬레이브 래치
MODE
NINV2
N5
N2
GND
INV7
P5
P2
PINV2
INV5
S1
S5
S2
S3
N3
INV3
SEL1
DI
SI
L
H
D
P1
N1
ZINV1
P3
Q
MODE
T
INVD1
NBYP
BYP
TB
BYPB
NANDTB
INVBYP
PBYP
SBYP
BYPC

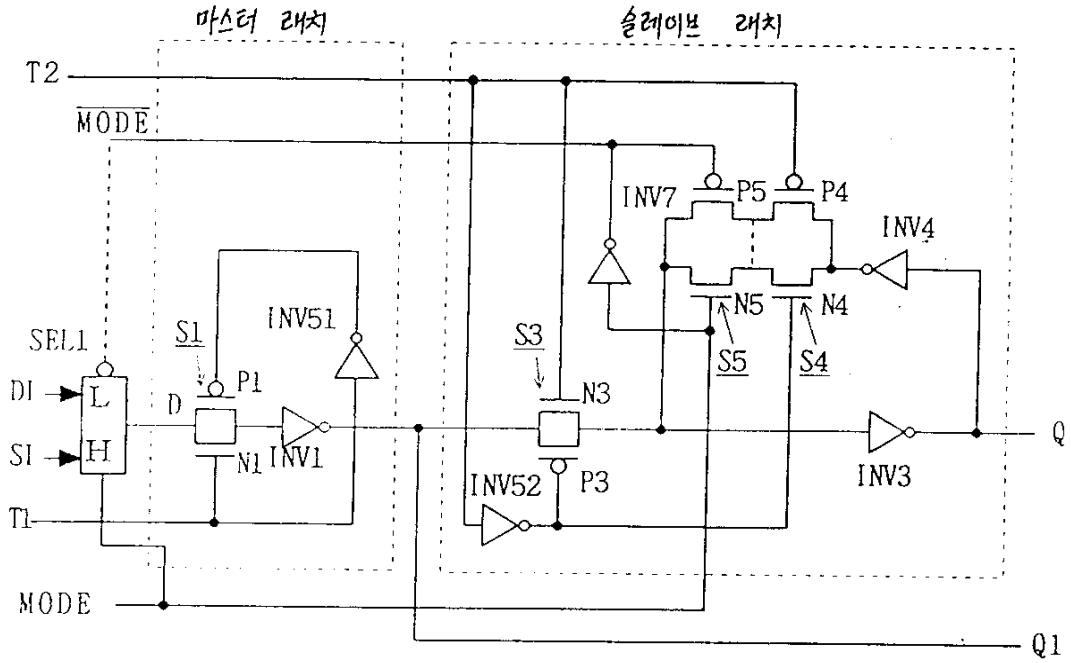
도면51


마스터 래치
VDD
슬레이브 래치
MODE
NINV2
N5
N2
INV7
P5
P2
PINV2
INV5
S1
S5
S2
S3
N3
INV3
SEL1
DI
SI
L
H
D
P1
N1
NAND1
P3
Q
MODE
T
INVD1
NBYP
BYP
TB
BYPB
NANDTB
INVBYP
PBYP
SBYP
BYPC

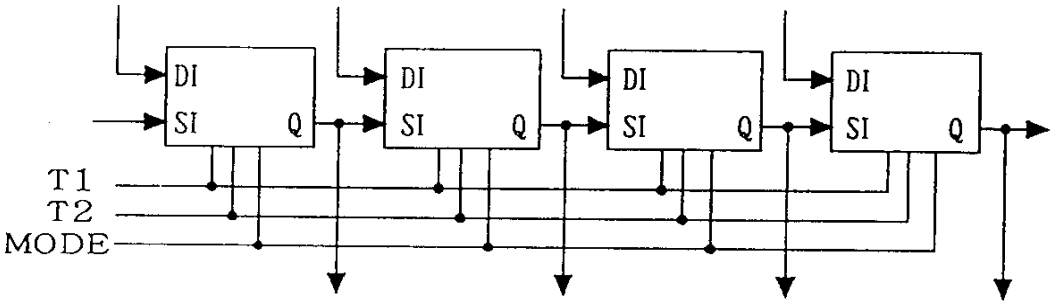
도면52


마스터 래치
슬레이브 래치
VDD
NINV2
MODE
N5
N2
GND
INV5
INV7
P5
P2
PINV2
S1
S5
S4
S3
SEL1
P1
N3
DI
L
D
SI
H
Q
INV1
N1
P3
INV3
MODE
Q
T
DI2
BYP
NBYP
TB
BYPB
NANDTB
INVBYP
PBYP
SBYP
BYPC

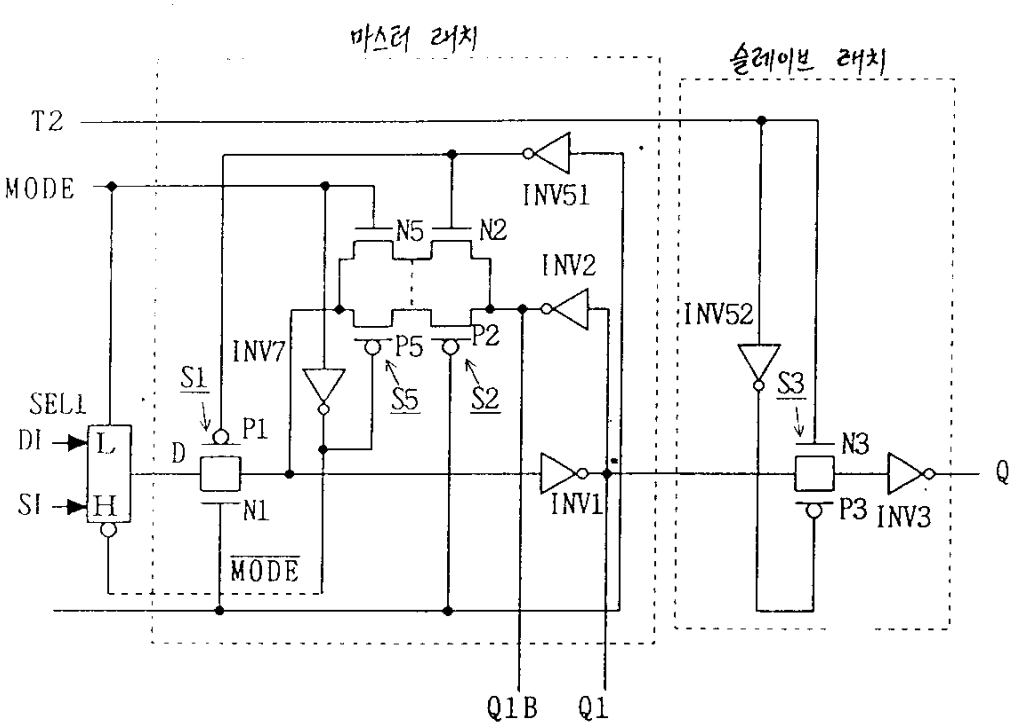
도면53a


마스터 래치
슬레이브 래치
T2
MODE
INV7
P5
P4
INV4
N5
N4
SEL1
S1
INV51
S3
S5
S4
DI
L
P1
D
N3
SI
H
N1
INV1
Q
INV3
INV52
P3
T1
MODE
Q1

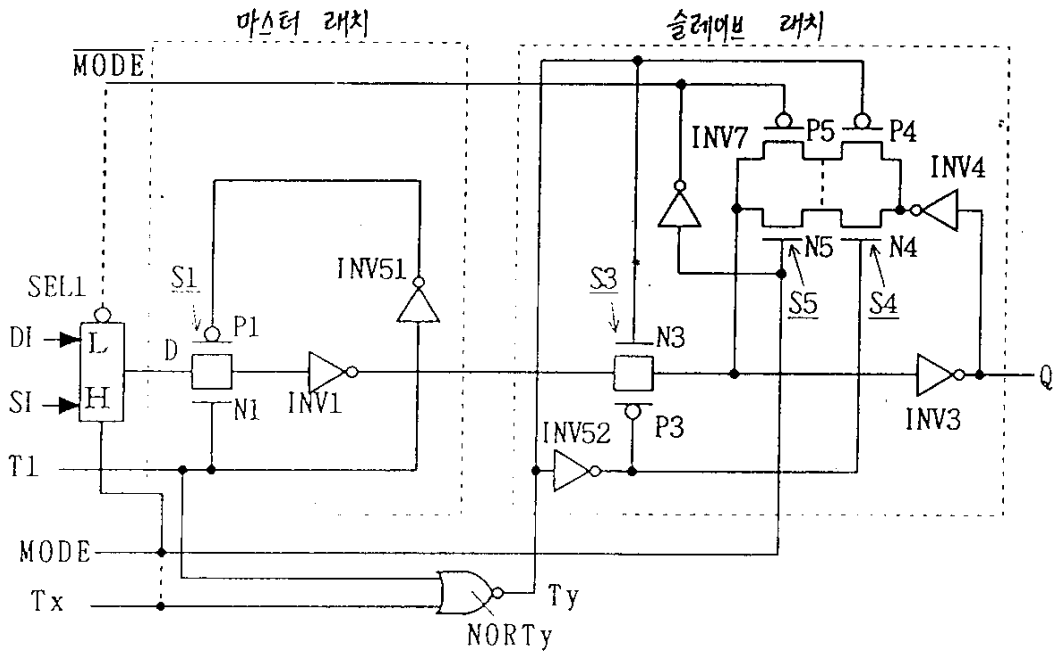
도면53b


DI
SI
Q
T1
T2
MODE

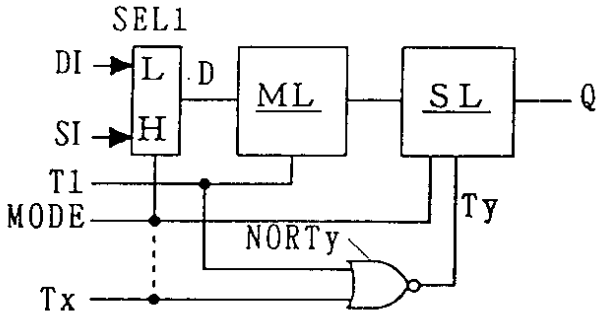
도면54


마스터 래치
슬레이브 래치
T2
MODE
INV51
N5
N2
INV2
INV52
INV7
P5
P2
S1
S5
S2
S3
SEL1
DI
L
D
P1
N3
Q
SI
H
N1
INV1
P3
INV3
MODE
Q1B
Q1

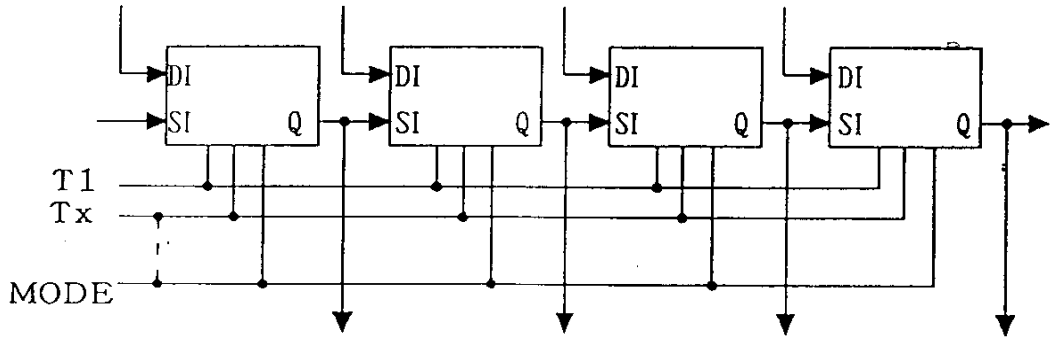
도면55a



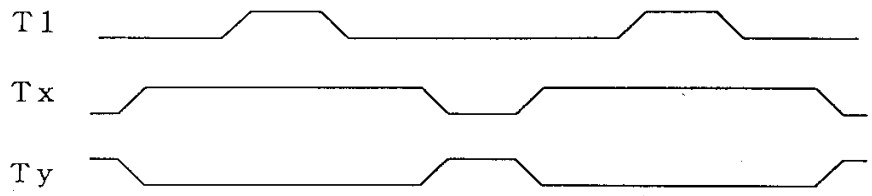
도면55b



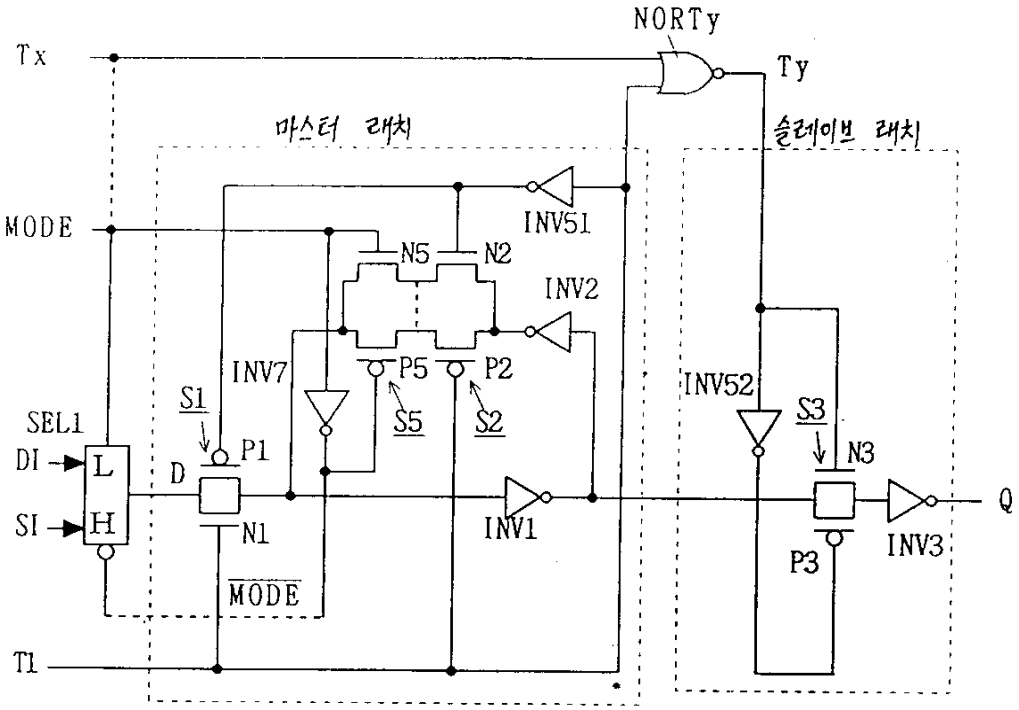
도면55c



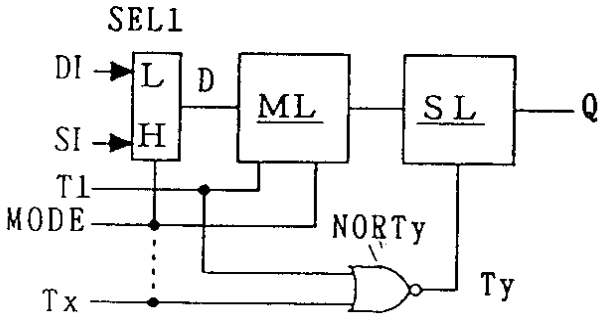
도면56



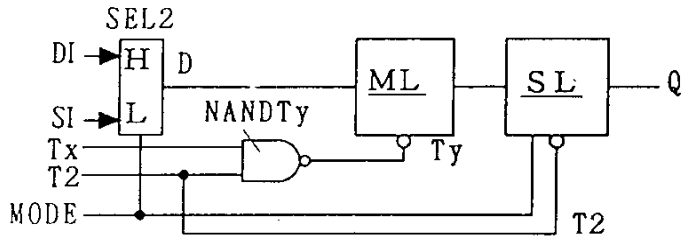
도면57a



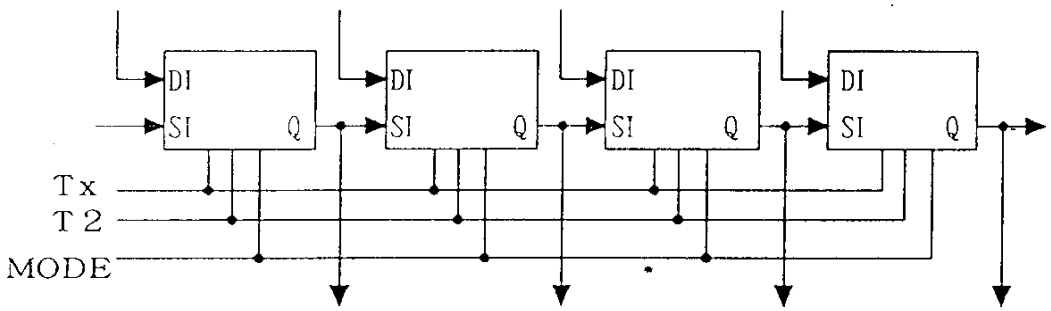
도면57b



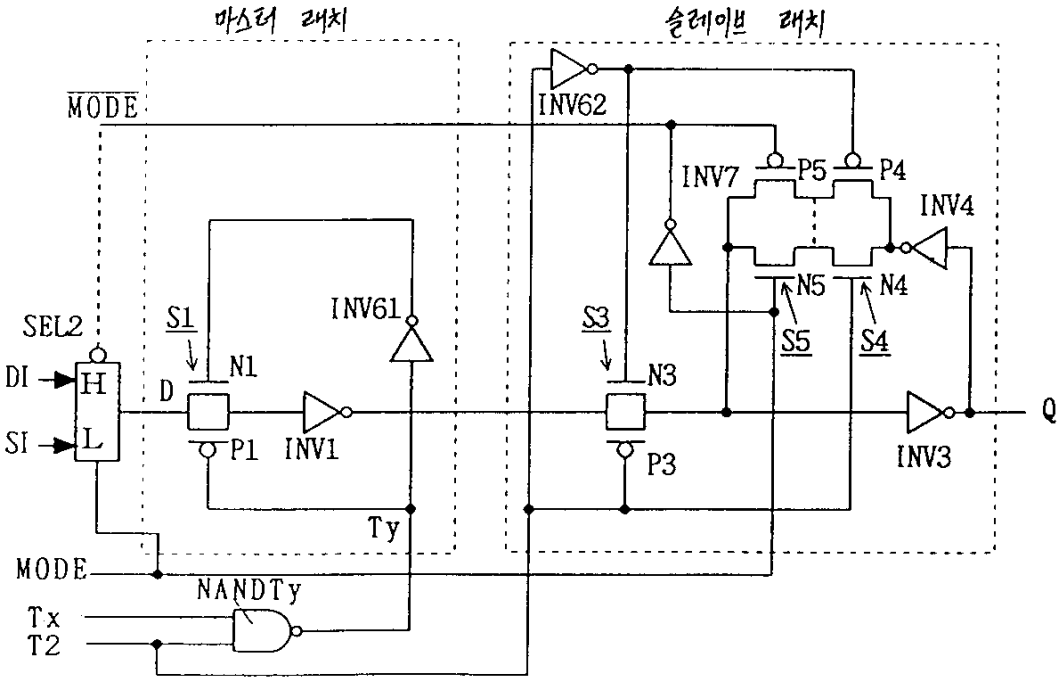
도면58a



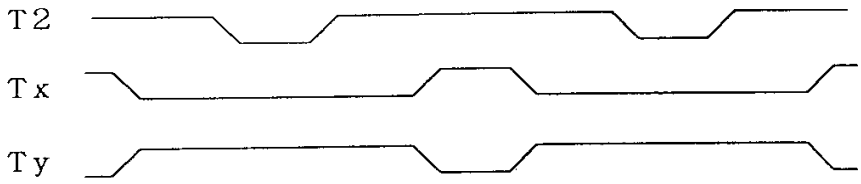
도면58b



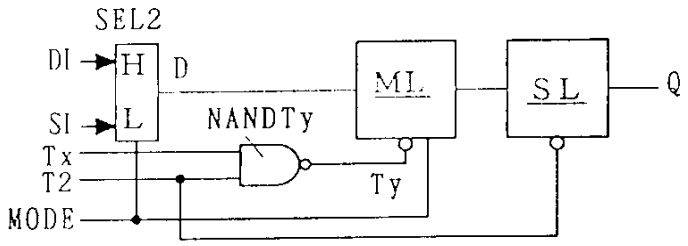
도면58c



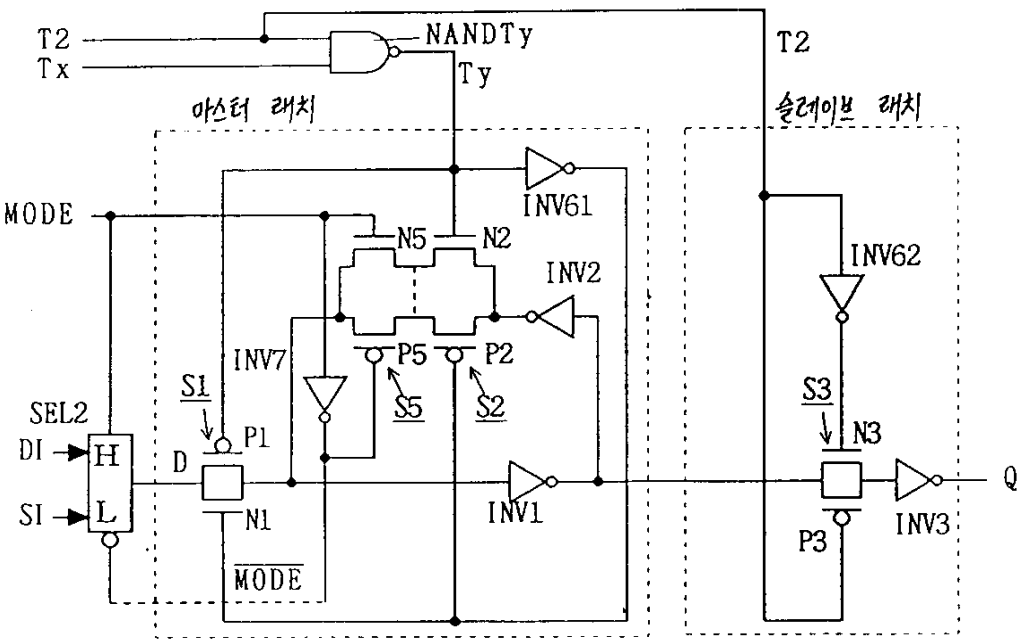
도면59



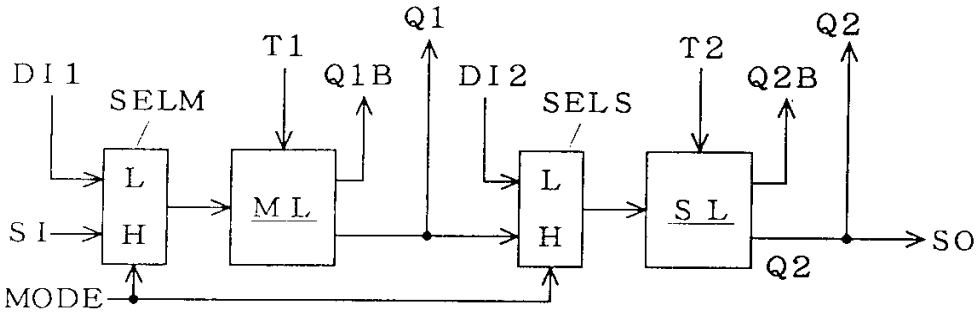
도면60a



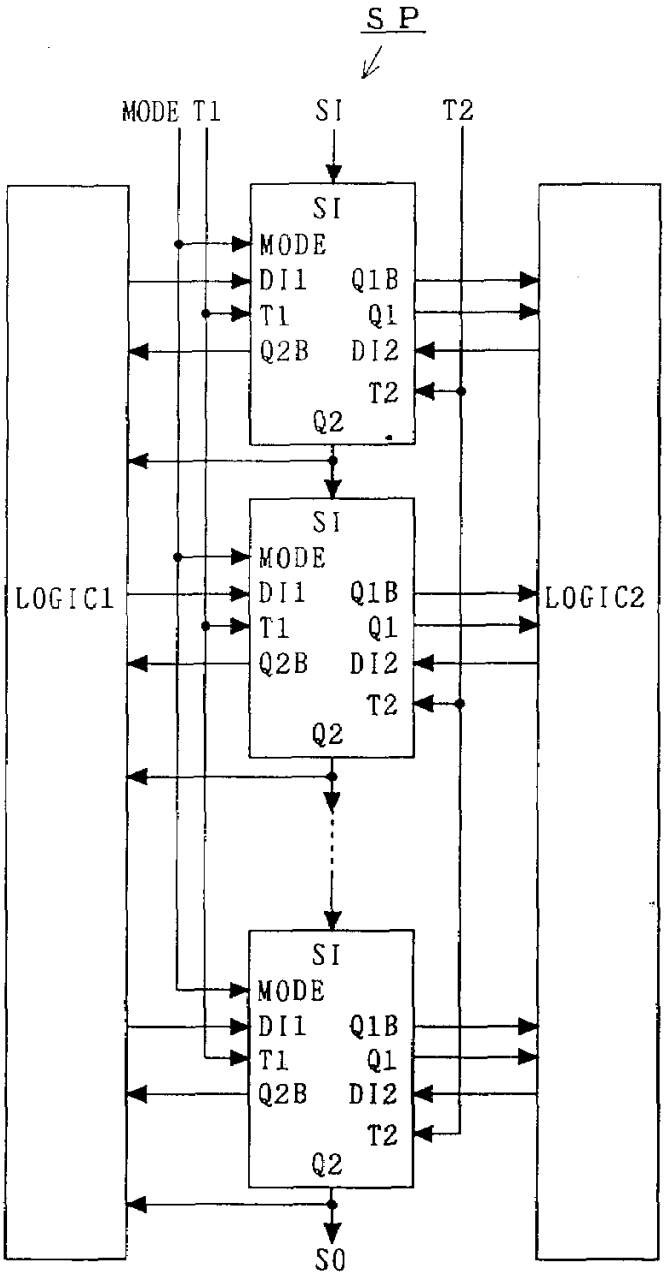
도면60b



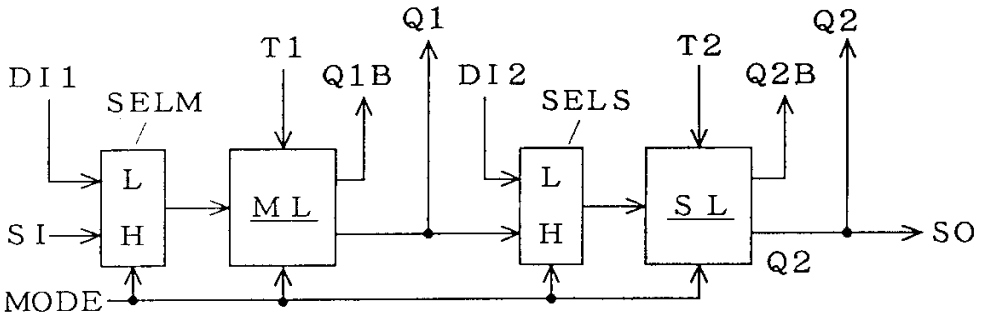
도면61


DI1
SELM
T1
Q1B
Q1
DI2
SELS
T2
Q2B
Q2
SI
L
H
ML
L
H
SL
SO
Q2
MODE

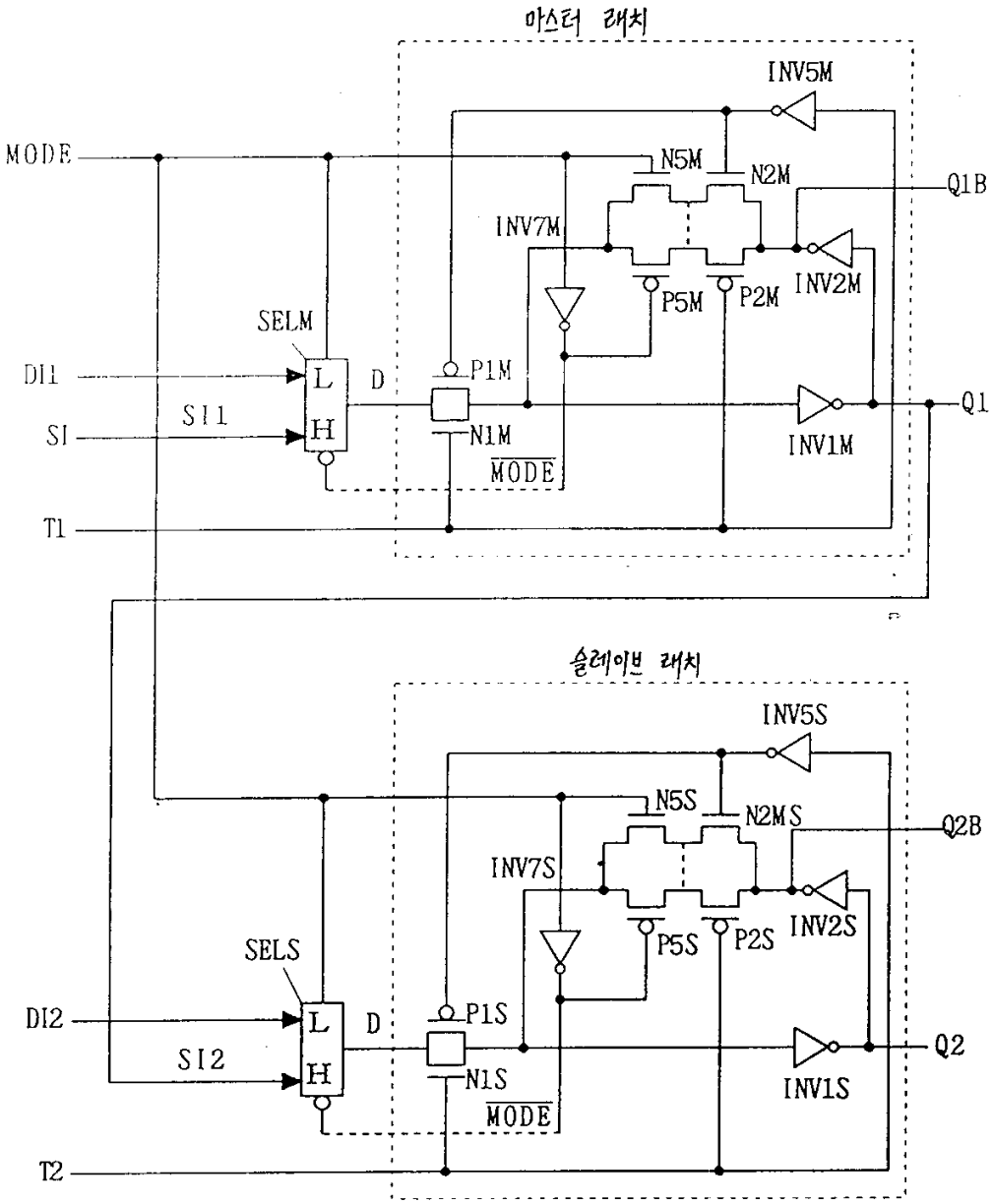
도면62


SP
MODE
T1
SI
T2
SI
MODE
DI1
Q1B
T1
Q1
Q2B
DI2
T2
Q2
LOGIC1
LOGIC2
SO

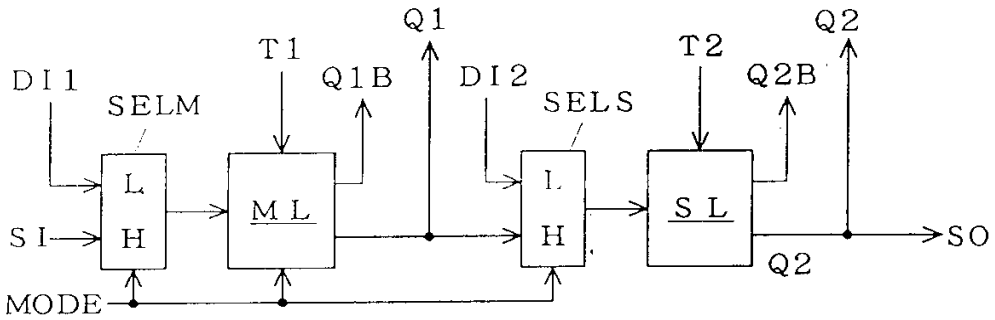
도면63


DI1
SELM
T1
Q1B
Q1
DI2
SELS
T2
Q2B
Q2
SI
L
H
ML
SL
SO
Q2
MODE

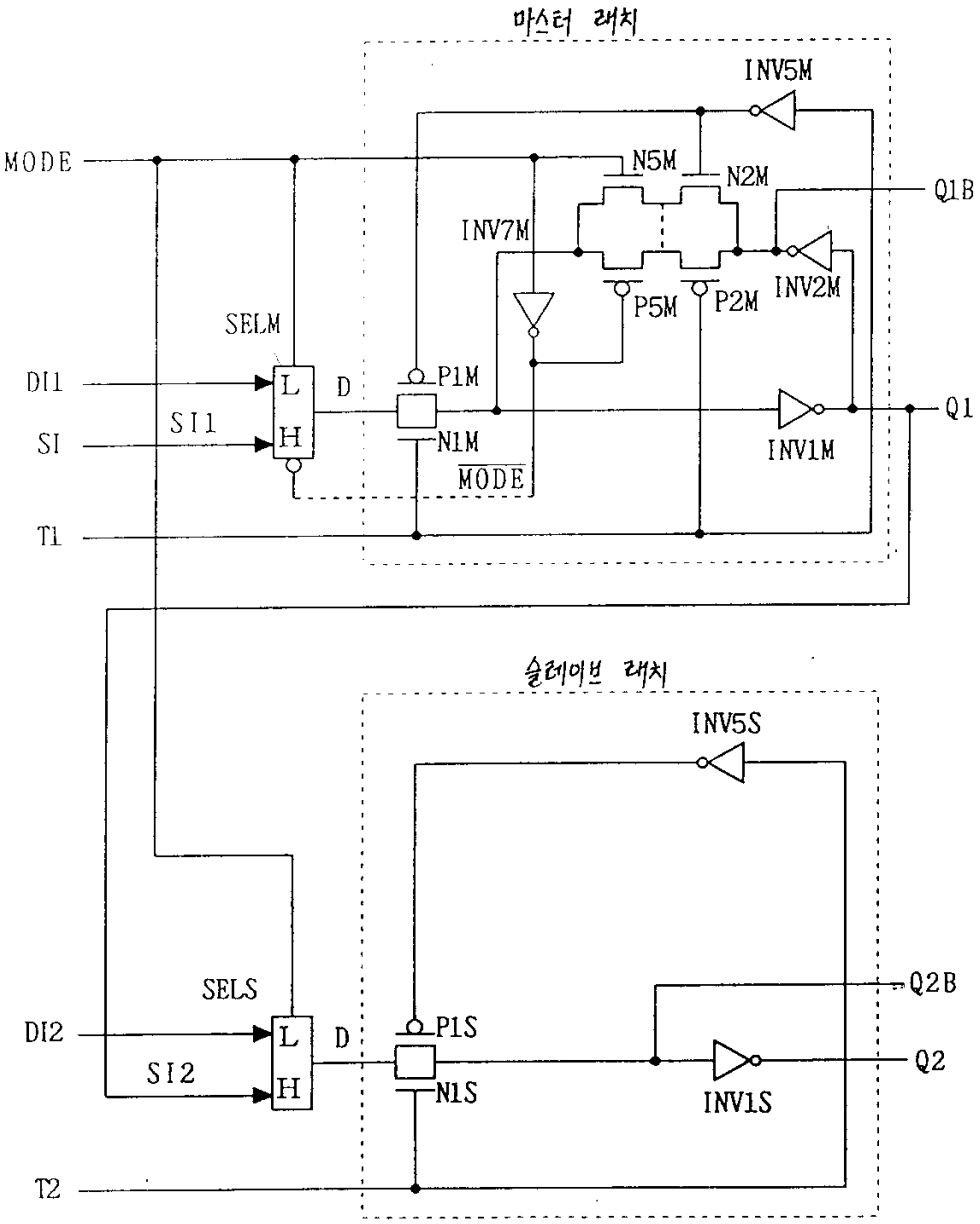
도면64


마스터 래치
INV5M
MODE
N5M
N2M
Q1B
INV7M
P5M
P2M
INV2M
SELM
DI1
L
D
P1M
SI
SI1
H
N1M
Q1
INV1M
MODE
T1
슬레이브 래치
INV5S
N5S
N2MS
Q2B
INV7S
P5S
P2S
INV2S
SELS
DI2
L
D
P1S
SI2
H
N1S
Q2
INV1S
MODE
T2

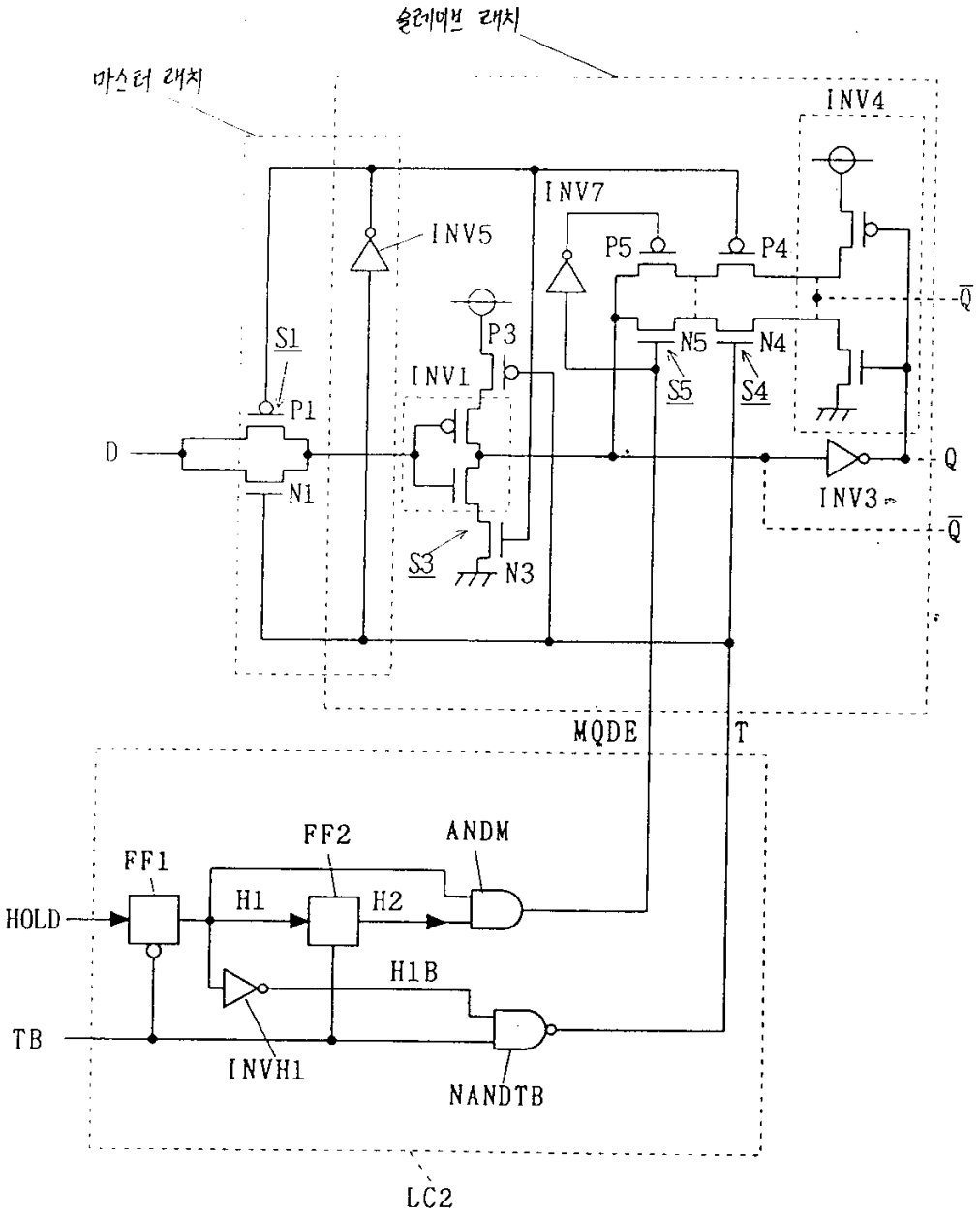
도면65


DI1
SELM
T1
Q1B
Q1
DI2
SELS
T2
Q2B
Q2
SI
L
H
ML
SL
SO
MODE

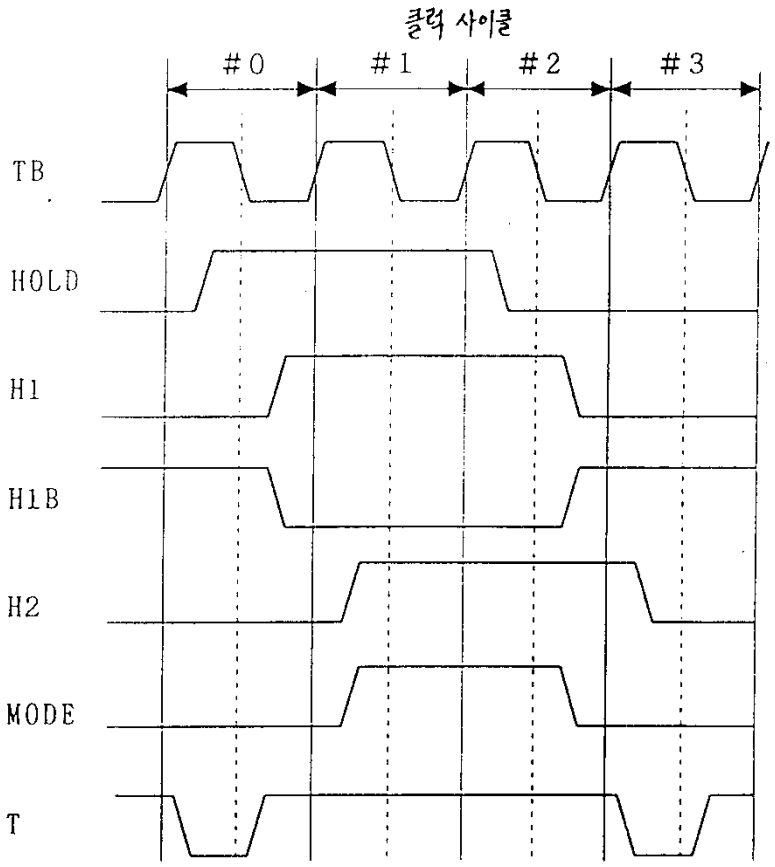
도면66


마스터 래치
INV5M
MODE
N5M
N2M
Q1B
INV7M
INV2M
P5M
P2M
SELM
DI1
SI
SI1
L
H
D
P1M
N1M
MODE
Q1
INV1M
T1
슬레이브 래치
INV5S
SELS
DI2
SI2
P1S
N1S
Q2B
Q2
INV1S
T2

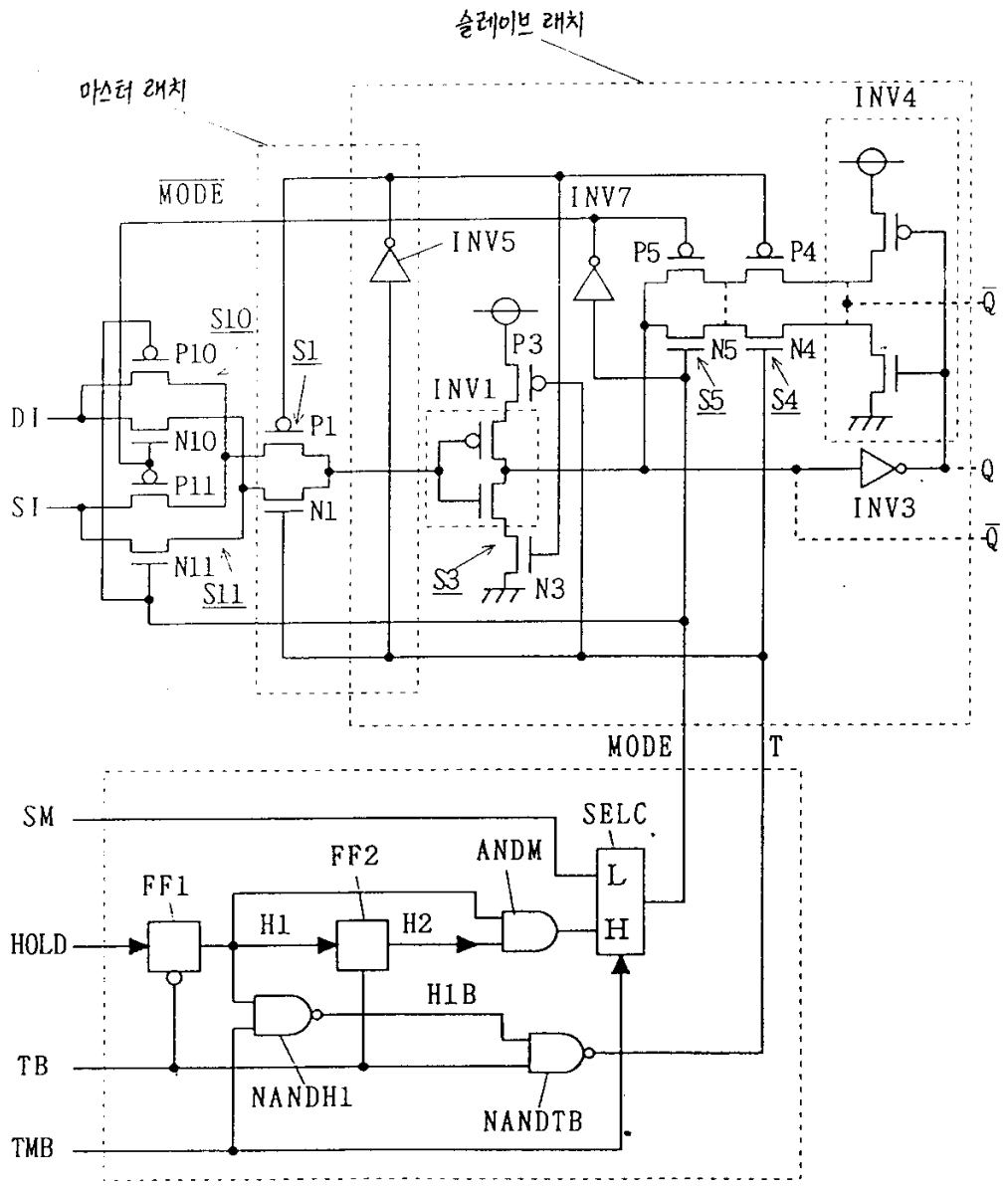
도면67


슬레이브 래치
마스터 래치
INV4
INV7
INV5
P5
P4
Q
P3
S1
N5
N4
INV1
S5
S4
P1
D
Q
N1
INV3
Q
S3
N3
MQDE
T
FF2
ANDM
FF1
HOLD
H1
H2
H1B
TB
INVH1
NANDTB
LC2

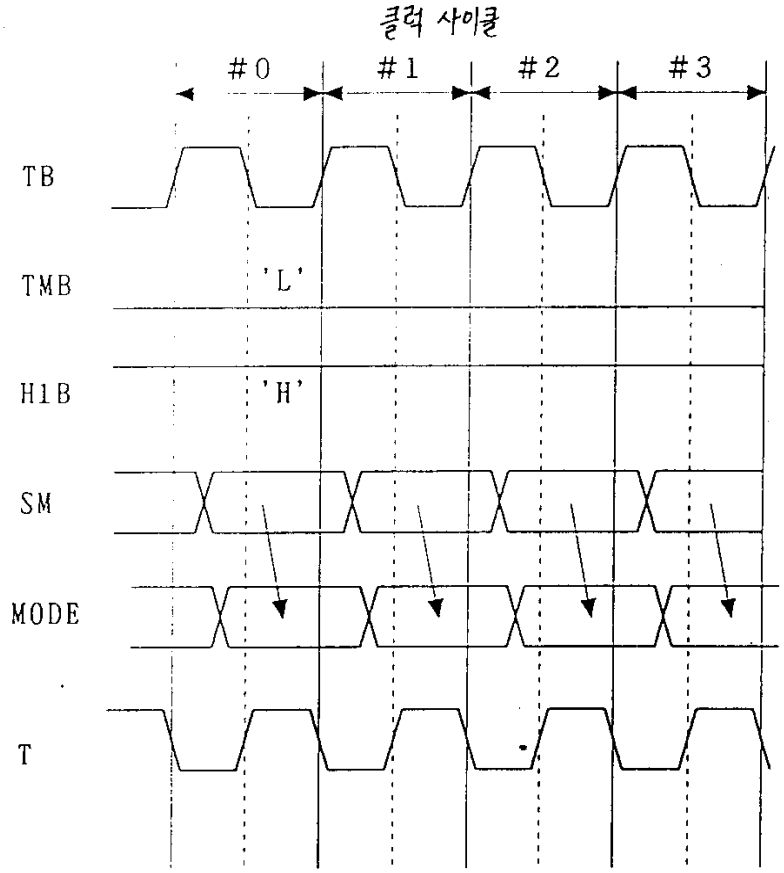
도면68



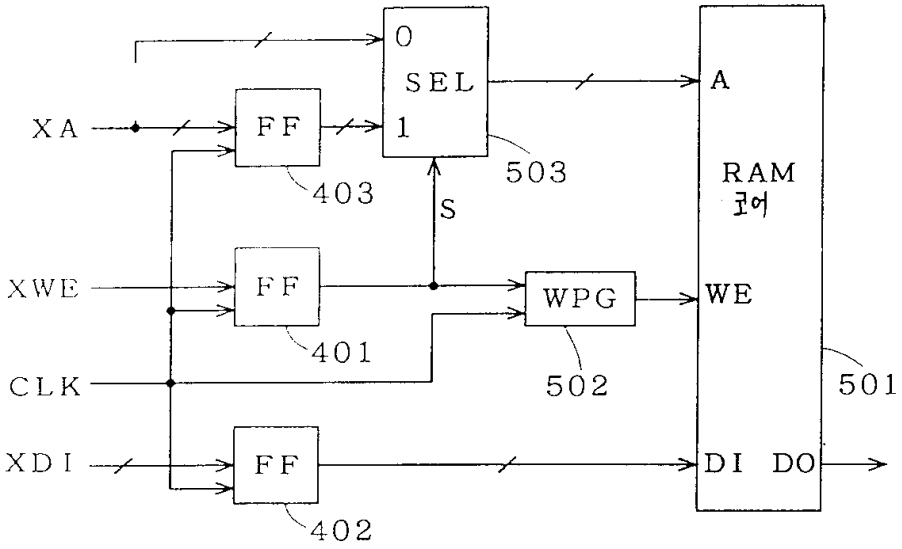
도면69


슬레이브 래치
마스터 래치
INV4
MODE
INV7
INV5
P5
P4
Q
S10
P10
S1
P3
N5
N4
INV1
S5
S4
DI
N10
P1
Q
SI
P11
N1
INV3
Q
N11
S11
S3
N3
MODE
T
SM
SELC
FF2
ANDM
FF1
L
H1
H2
H
HOLD
H1B
TB
NANDH1
NANDTB
TMB

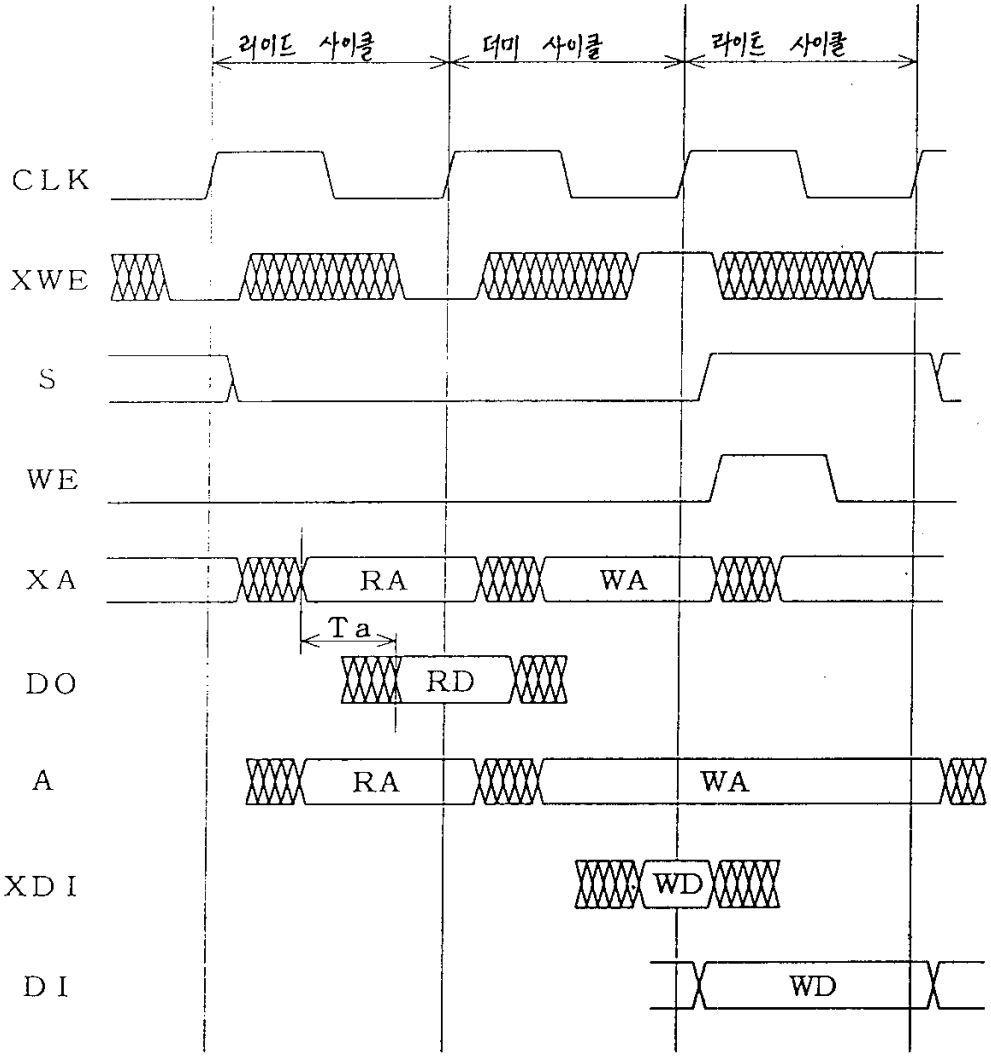
도면70


클럭 사이클
#0
#1
#2
#3
TB
TMB
'L'
H1B
'H'
SM
MODE
T

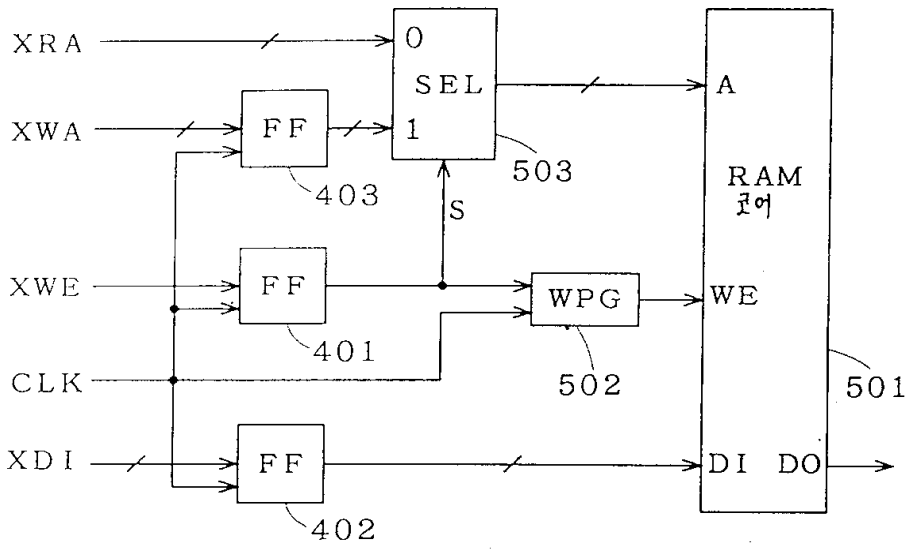
도면71


0
SEL
1
A
XA
FF
403
503
S
RAM
코어
XWE
FF
401
WPG
WE
502
501
CLK
XDI
FF
402
DI
DO

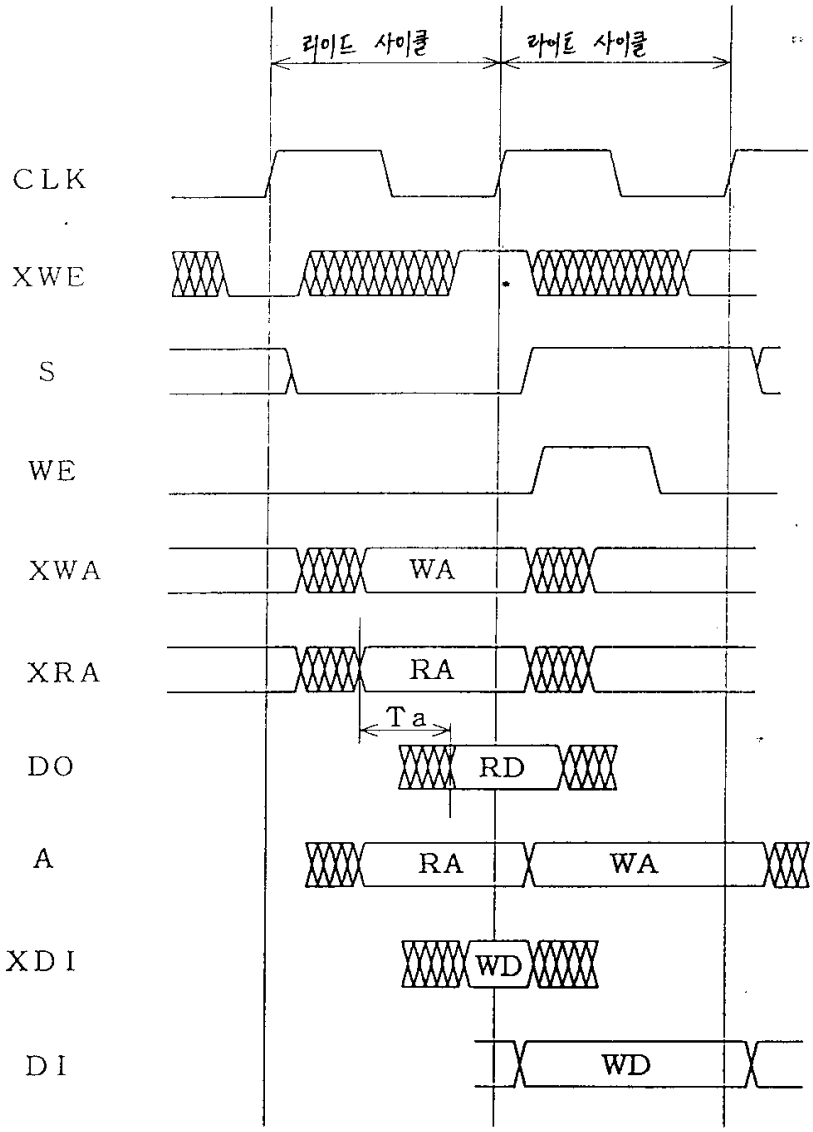
도면72


리이드 사이클
더미 사이클
라이트 사이클
CLK
XWE
S
WE
XA
RA
WA
Ta
DO
RD
A
RA
WA
XDI
WD
DI
WD

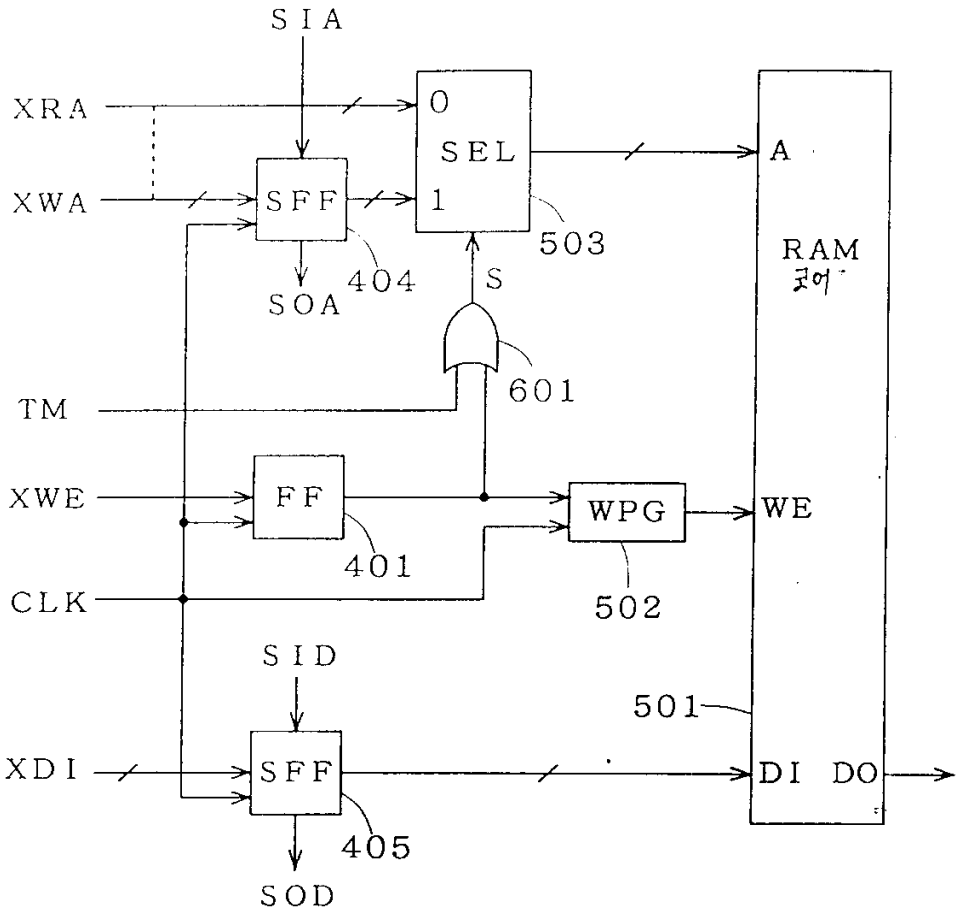
도면73


XRA
XWA
XWE
CLK
XDI
0
SEL
1
FF
403
503
S
FF
401
WPG
502
FF
402
A
RAM
코어
WE
501
DI
DO

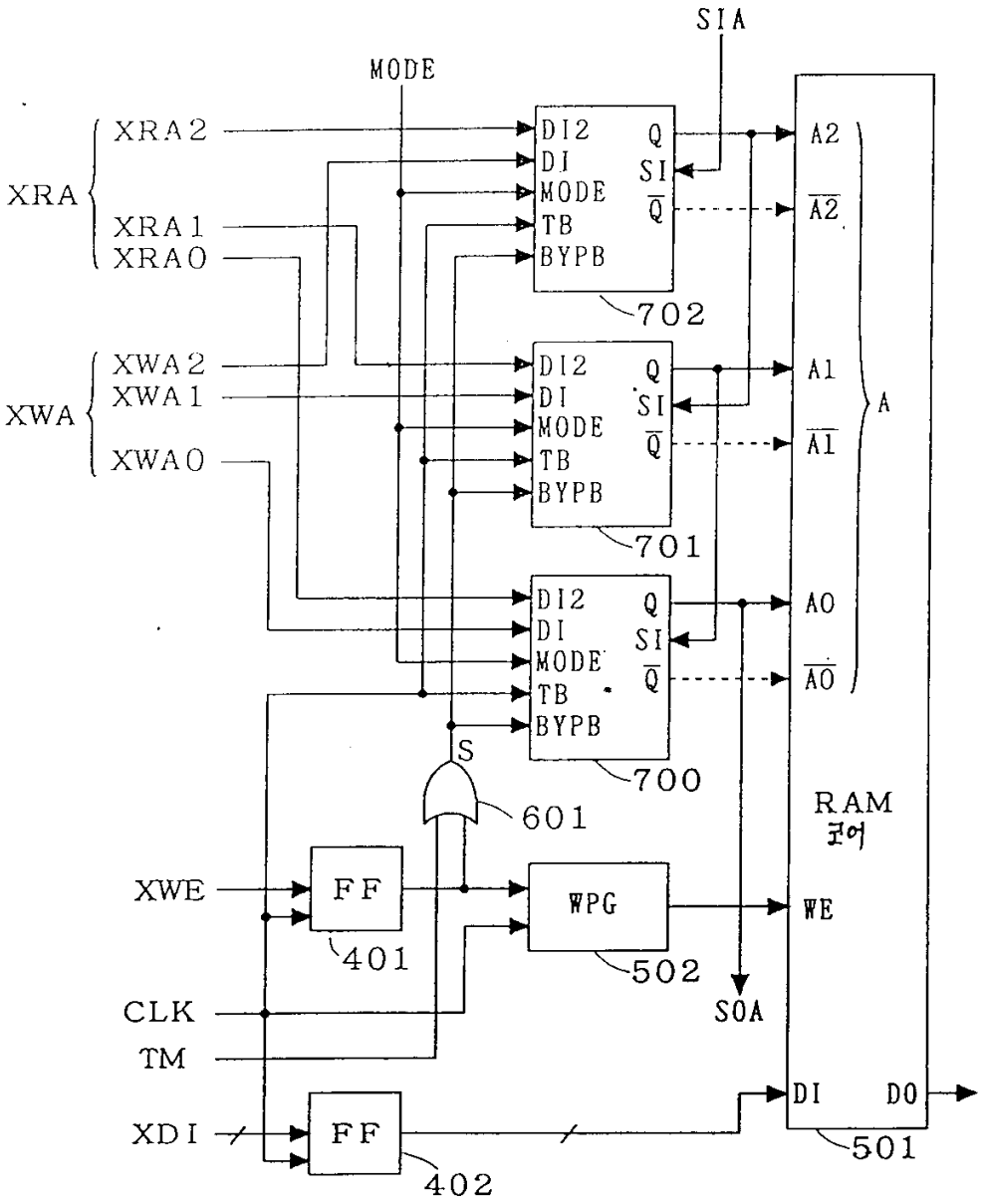
도면74


리이드 사이클
라이트 사이클
CLK
XWE
S
WE
XWA
WA
XRA
RA
Ta
DO
RD
A
RA
WA
XDI
WD
DI
WD

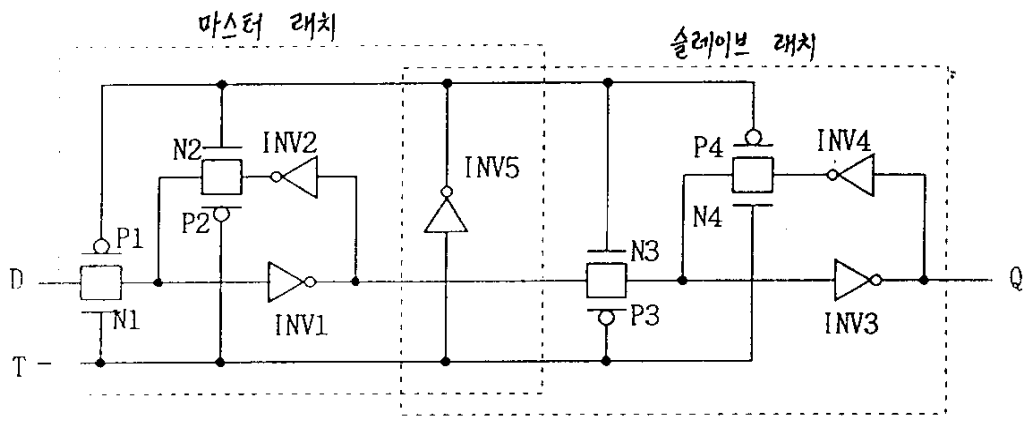
도면75


SIA
XRA
XWA
0
SEL
1
SFF
503
404
SOA
S
601
TM
XWE
FF
401
WPG
WE
CLK
502
SID
501
XDI
SFF
DI
DO
405
SOD
A
RAM
코어

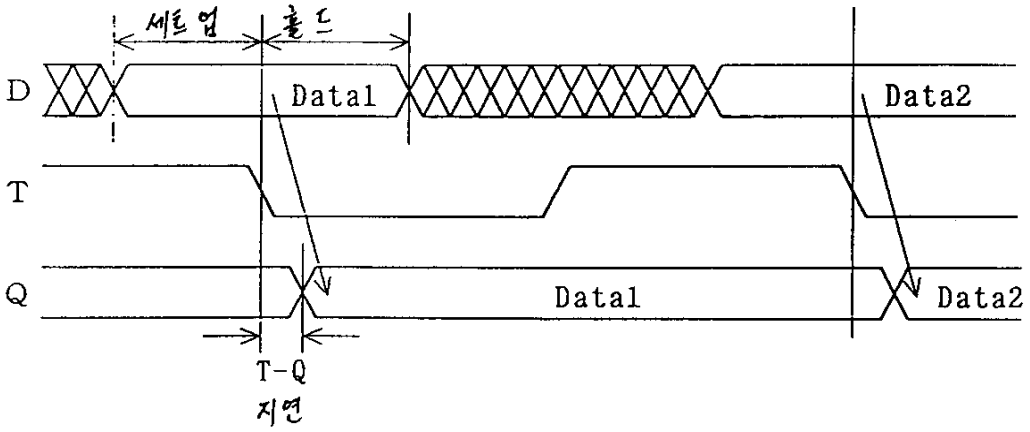
도면76


SIA
MODE
XRA
XRA2
XRA1
XRA0
XWA
XWA2
XWA1
XWA0
DI2
DI
MODE
TB
BYPB
Q
SI
Q
702
701
700
A2
A1
A0
A
RAM
코어
S
601
XWE
FF
401
WPG
502
WE
SOA
CLK
TM
XDI
FF
402
DI
DO
501

도면77a

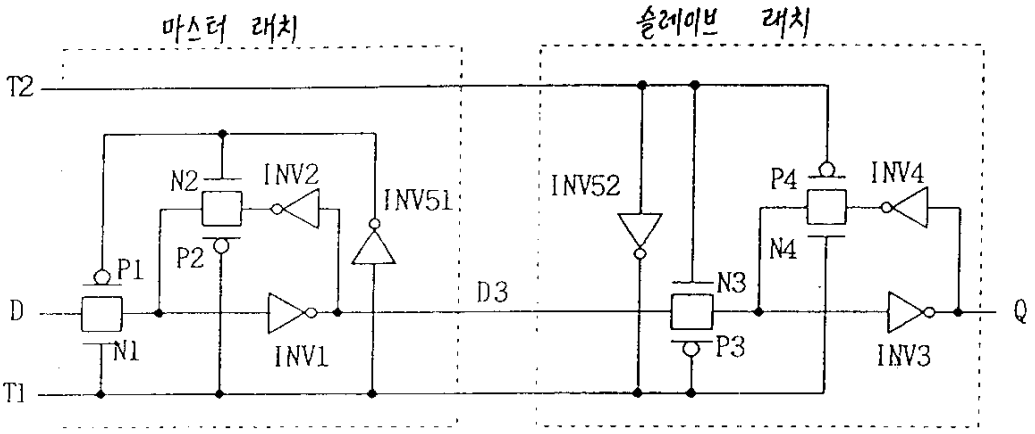

마스터 래치
슬레이브 래치
N2
INV2
INV5
P4
INV4
P2
P1
N4
N3
D
Q
N1
INV1
P3
INV3
T

도면77b



도면78a

(종래 기술)



도면78b

