(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119522641 A
(43)申请公布日 2025.02.25

(21)申请号 202380052075.1

(22)申请日 2023.05.31

(30)优先权数据
17/818,048 2022.08.08 US

(85)PCT国际申请进入国家阶段日
2025.01.06

(86)PCT国际申请的申请数据
PCT/US2023/023981 2023.05.31

(87)PCT国际申请的公布数据
WO2024/035471 EN 2024.02.15

(71)申请人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 李夏 杨斌

(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 张宁

(51)Int.Cl.
H10D 84/03(2025.01)
H01L 23/528(2006.01)
H10D 84/40(2025.01)
H10D 84/85(2025.01)
H10D 30/43(2025.01)

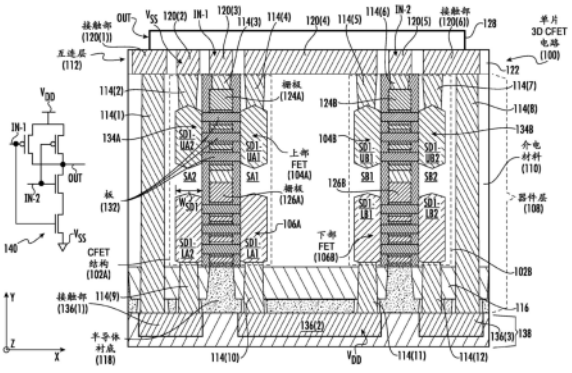
权利要求书4页 说明书17页 附图15页

(54)发明名称

单片三维(3D)互补场效应晶体管(CFET)电路及其制造方法

(57)摘要

一种单片3D互补场效应晶体管(FET)(CFET)电路,包括在器件层(108)内的逻辑电路中的第一CFET结构(102A)和第二CFET结构(102B)。设置在器件层上的第一互连层(112)提供逻辑电路的第一输入接触部(IN-1)和第二输入接触部(IN-2)以及输出接触部(120-1、120-6)。每个CFET结构包括在具有第二类型(例如,N型或P型)的下部FET上的具有第一类型(例如,P型或N型)的上部FET。单片3D CFET电路中的FET可以互连以形成二输入NOR电路或二输入NAND电路。垂直存取互连(过孔)可以形成在器件层内,以将FET在外部互连并且彼此互连。FET可以形成为体型晶体管或SOI晶体管。



CN 119522641 A

1.一种互补场效应晶体管(CFET)电路,包括:

器件层,包括:

第一单片CFET结构,包括在第二类型的第二FET上的第一类型的第一FET;以及

第二单片CFET结构,包括在所述第二类型的第四FET上的所述第一类型的第三FET;

第一互连层,设置在所述器件层上,所述第一互连层包括:

第一输入接触部,被配置为将第一输入信号耦合到所述第一FET的栅极和所述第二FET的栅极;

第二输入接触部,被配置为将第二输入信号耦合到所述第三FET的栅极和所述第四FET的栅极;以及

输出接触部,被配置为基于所述第一输入信号和所述第二输入信号的逻辑运算来生成输出信号。

2.根据权利要求1所述的CFET电路,还包括第一互连,所述第一互连在所述第一互连层中在第二方向上延伸以将在所述第一单片CFET结构的第一侧的所述第一FET的第一源极/漏极耦合到在所述第二单片CFET结构的第一侧的所述第三FET的第一源极/漏极,其中所述第一单片CFET结构的所述第一侧和所述第二单片CFET结构的所述第一侧在所述第一单片CFET结构与所述第二单片CFET结构之间。

3.根据权利要求2所述的CFET电路,还包括二输入或非(NOR)电路。

4.根据权利要求2所述的CFET电路,还包括二输入与非(NAND)电路。

5.根据权利要求2所述的CFET电路,所述器件层还包括:

第一上部过孔,在所述第一单片CFET结构的所述第一侧上从所述第一FET的所述第一源极/漏极延伸到所述第一互连层;

第二上部过孔,在所述第二单片CFET结构的所述第一侧上从所述第三FET的所述第一源极/漏极延伸到所述第一互连层;

第三上部过孔,在所述第一单片CFET结构的第二侧上从所述第一FET的第二源极/漏极延伸到所述第一互连层;

第四上部过孔,在所述第二单片CFET结构的第二侧上从所述第三FET的第二源极/漏极延伸到所述第一互连层;

第五上部过孔,将所述第一FET的所述栅极和所述第二FET的所述栅极耦合到所述第一互连层;以及

第六上部过孔,将所述第三FET的栅极和所述第四FET的栅极耦合到所述第一互连层。

6.根据权利要求5所述的CFET电路,所述器件层还包括:

第一下部过孔,在所述第一单片CFET结构的所述第一侧上从所述第二FET的第一源极/漏极延伸到所述第一互连层;

第二下部过孔,在所述第二单片CFET结构的所述第一侧上从所述第四FET的第一源极/漏极延伸到所述第一互连层;

第三下部过孔,在所述第一单片CFET结构的所述第二侧上从所述第二FET的第二源极/漏极延伸到所述第一互连层;以及

第四下部过孔,在所述第一单片CFET结构的所述第二侧上从所述第四FET的第一源极/漏极延伸到所述第一互连层。

7.根据权利要求5所述的CFET电路,其中:

所述第一FET的所述第一源极/漏极在所述第一FET的所述第一侧上耦合到第一沟道区域,并且所述第一FET的所述第二源极/漏极在所述第一FET的所述第二侧上耦合到所述第一沟道区域;

所述第二FET的所述第一源极/漏极在所述第二FET的所述第一侧上耦合到第二沟道区域,并且所述第二FET的所述第二源极/漏极在所述第二FET的所述第二侧上耦合到所述第二沟道区域;

所述第一FET的所述第一源极/漏极在所述第二方向上包括第一源极/漏极宽度;

所述第二FET的所述第一源极/漏极在所述第二方向上包括第二源极/漏极宽度,所述第二源极/漏极宽度超过所述第一源极/漏极宽度;并且

所述器件层还包括第七上部过孔,所述第七上部过孔在所述第一单片CFET结构的所述第一侧上从所述第二FET的第一源极/漏极延伸到所述第一互连层。

8.根据权利要求7所述的CFET电路,其中:

所述第一FET的所述第二源极/漏极包括所述第一源极/漏极宽度;

所述第三FET的所述第一源极/漏极包括所述第一源极/漏极宽度;

所述第三FET的所述第二源极/漏极包括所述第一源极/漏极宽度;

所述第二FET的所述第二源极/漏极包括所述第二源极/漏极宽度;

所述第四FET的所述第一源极/漏极包括所述第二源极/漏极宽度;

所述第四FET的所述第二源极/漏极包括所述第二源极/漏极宽度;

第八上部过孔在所述第一单片CFET结构的所述第二侧上从所述第二FET的所述第二源极/漏极延伸到所述第一互连层;

第九上部过孔在所述第二单片CFET结构的所述第一侧上从所述第四FET的所述第一源极/漏极延伸到所述第一互连层;并且

第十上部过孔在所述第二单片CFET结构的所述第二侧上从所述第四FET的所述第二源极/漏极延伸到所述第一互连层。

9.根据权利要求5所述的CFET电路,还包括设置在所述器件层下方的第二互连层,其中:

所述器件层还包括:

第一下部过孔,在所述第一单片CFET结构的所述第一侧上从所述第二FET的第一源极/漏极延伸到所述第二互连层;

第二下部过孔,在所述第二单片CFET结构的所述第一侧上从所述第四FET的第一源极/漏极延伸到所述第二互连层;

第三下部过孔,在所述第一单片CFET结构的所述第二侧上从所述第二FET的第二源极/漏极延伸到所述第二互连层;

第四下部过孔,在所述第二单片CFET结构的所述第二侧上从所述第四FET的第二源极/漏极延伸到所述第二互连层;

第五过孔,在所述第一单片CFET结构的所述第二侧上通过所述第二互连层耦合到所述第三下部过孔并且在所述第二互连层与所述第一互连层之间延伸;以及

第六过孔,在所述第二单片CFET结构的所述第二侧上通过所述第二互连层耦合到所述

第四下部过孔并且在所述第二互连层与所述第一互连层之间延伸;并且

所述第二互连层还包括耦合到所述第一下部过孔和所述第二下部过孔的下部互连。

10.根据权利要求2所述的CFET电路,还包括半导体衬底,

其中所述第一FET、所述第二FET、所述第三FET和所述第四FET包括形成在所述半导体衬底上的体型晶体管。

11.根据权利要求2所述的CFET电路,还包括氧化物层,

其中所述第一FET、所述第二FET、所述第三FET和所述第四FET还包括形成在所述氧化物层上的绝缘体上硅(SOI)型晶体管。

12.根据权利要求5所述的CFET电路,还包括外部互连,所述外部互连将所述第三FET的所述第二源极/漏极耦合到所述第二FET的所述第二源极/漏极和所述第四FET的所述第二源极/漏极。

13.根据权利要求5所述的CFET电路,还包括外部互连,所述外部互连将所述第三FET的所述第二源极/漏极耦合到所述第一FET的所述第二源极/漏极和所述第四FET的所述第二源极/漏极。

14.根据权利要求5所述的CFET电路,还包括外部互连,所述外部互连将所述第一FET的所述第一源极/漏极耦合到所述第三FET的所述第一源极/漏极。

15.根据权利要求5所述的CFET电路,还包括外部互连,所述外部互连将所述第一FET的所述第一源极/漏极耦合到所述第四FET的所述第二源极/漏极和所述第三FET的所述第二源极/漏极。

16.根据权利要求1所述的CFET电路,其中所述第一FET、所述第二FET、所述第三FET和所述第四FET中的每个包括沟道区域,所述沟道区域包括至少一个纳米板或纳米线。

17.根据权利要求1所述的CFET电路,集成到选自由以下项组成的组的设备中:机顶盒;娱乐单元;导航设备;通信设备;固定位置数据单元;移动位置数据单元;全球定位系统(GPS)设备;移动电话;蜂窝电话;智能电话;会话发起协议(SIP)电话;平板电脑;平板电话;服务器;计算机;便携式计算机;移动计算设备;可穿戴计算设备;台式计算机;个人数字助理(PDA);监视器;计算机监视器;电视机;调谐器;无线电设备;卫星无线电设备;音乐播放器;数字音乐播放器;便携式音乐播放器;数字视频播放器;视频播放器;数字视频光盘(DVD)播放器;便携式数字视频播放器;汽车;交通工具组件;航空电子系统;无人机;以及多旋翼直升机。

18.一种集成电路(IC),包括:

处理器;

耦合到所述处理器的互补场效应晶体管(CFET)电路,所述CFET电路包括:

器件层,

第一单片CFET结构,包括在第二类型的第二FET上方的第一类型的第一FET;以及

第二单片CFET结构,包括在所述第二类型的第四FET上方的所述第一类型的第三FET;以及

设置在所述器件层上的第一互连层,所述第一互连层包括:

第一输入接触部,被配置为将第一输入信号耦合到所述第一FET的栅极和所述第二FET的栅极;

第二输入接触部,被配置为将第二输入信号耦合到所述第三FET的栅极和所述第四FET的栅极;以及

输出接触部,被配置为基于所述第一输入信号和所述第二输入信号的逻辑运算来生成输出信号。

19.一种形成互补场效应晶体管(CFET)电路的方法,所述方法包括:

形成器件层,所述器件层包括:

第一单片CFET结构,包括在第二类型的第二FET上方的第一类型的第一FET;以及

第二单片CFET结构,包括在所述第二类型的第四FET上方的所述第一类型的第三FET;以及

形成第一互连层,所述第一互连层设置在所述器件层上,所述第一互连层包括:

第一输入接触部,被配置为将第一输入信号耦合到所述第一FET的栅极和所述第二FET的栅极;

第二输入接触部,被配置为将第二输入信号耦合到所述第三FET的栅极和所述第四FET的栅极;以及

输出接触部,被配置为基于所述第一输入信号和所述第二输入信号的逻辑运算来生成输出信号。

20.根据权利要求19所述的方法,还包括形成第一互连,所述第一互连在所述第一互连层中在第二方向上延伸以将所述第一单片CFET结构中的所述第一类型的FET的第一源极/漏极耦合到所述第二单片CFET结构中的所述第一类型的FET的第一源极/漏极。

单片三维(3D)互补场效应晶体管(CFET)电路及其制造方法

[0001] 优先权申请

[0002] 本申请要求于2022年8月8日提交的题为“MONOLITHIC THREE-DIMENSIONAL(3D) COMPLEMENTARY FIELD EFFECT TRANSISTOR(CFET)CIRCUITS AND METHOD OF MANUFACTURE”的美国专利申请号17/818,048的优先权,其全部内容通过引用并入本文。

技术领域

[0003] 本公开的技术总体上涉及互补金属氧化物半导体(CMOS)场效应晶体管(FET)(CFET),并且特别地涉及单片三维(3D)CFET电路。

背景技术

[0004] 与仅包括N型(MOS)(NMOS)或P型MOS(PMOS)技术的电路相比,互补金属氧化物半导体(CMOS)技术通常用于集成电路(IC)中的数字逻辑,以提高功率效率、性能和抗噪声性。CMOS逻辑电路包括至少一个PMOS晶体管和至少一个NMOS晶体管。因此,CMOS场效应晶体管(FET)(CFET)电路包括至少一个PMOS FET(PFET)和至少一个NMOS FET(NFET)。IC可以包括由数百万个互连的CFET制成的逻辑电路。因此,通过在三维(3D)结构中层叠FET,可以显著减小由CFET电路占据的IC的面积。为了制造其中一种类型(例如,N型或P型)的FET在另一类型(例如,P型或N型)的FET之上(例如,上方)的IC,已经采用了晶片到晶片层转移方法。然而,除了与转移方法相关联的工艺问题之外,现有方法还消耗了用于互连在CFET逻辑电路中的FET的显著面积。

发明内容

[0005] 具体描述中公开的各方面包括单片三维(3D)互补场效应晶体管(FET)(CFET)电路。还公开了制造单片3D CFET电路的相关方法。被配置为逻辑电路的3D CFET电路包括集成电路(IC)的器件层中的第一单片CFET结构和第二单片CFET结构。每个单片CFET结构包括在第二类型(例如,N型或P型)的下部FET上的第一类型(例如,P型或N型)的上部FET。CFET电路还包括设置在器件层上以提供接触部的互连层,该接触部用于外部电路耦合到逻辑电路的输入和(多个)输出。特别地,第一输入接触部耦合到第一CFET结构中的FET的栅极,并且第二输入接触部耦合到第二CFET结构中的FET的栅极。输出接触部耦合到CFET电路的输出。在一些示例中,CFET电路包括在器件层中的垂直存取互连(过孔)以将FET彼此互连和互连到接触层。在一些示例中,第一单片CFET结构和第二单片CFET结构互连以形成二输入NOR电路。在一些示例中,第一单片CFET结构和第二单片CFET结构互连以形成二输入与非(NAND)电路。

[0006] 在一个示例性方面,公开了一种单片互补场效应晶体管(CFET)逻辑电路,该CFET逻辑电路包括器件层和设置在器件层上的第一互连层。器件层包括第一CFET结构和第二CFET结构,第一CFET结构包括在第二类型的第二FET上的第一类型的第一FET,第二CFET结构包括在第二类型的第四FET上的第一类型的第三FET。第一互连层包括被配置为将第一输

入信号耦合到第一FET的栅极和第二FET的栅极的第一输入接触部;被配置为将第二输入信号耦合到第三FET的栅极和第四FET的栅极的第二输入接触部;以及被配置为基于第一输入信号和第二输入信号的逻辑运算来生成输出信号的输出接触部。

[0007] 在另一示例性方面,公开了一种包括单片互补场效应晶体管(CFET)逻辑电路的集成电路(IC)。单片3D CFET电路包括单片互补场效应晶体管(CFET)逻辑电路,该CFET逻辑电路包括器件层和设置在器件层上的第一互连层。器件层包括第一CFET结构和第二CFET结构,第一CFET结构包括在第二类型的第二FET上方的第一类型的第一FET,第二CFET结构包括在第二类型的第四FET上方的第一类型的第三FET。第一互连层包括被配置为耦合第一输入的第一输入接触部。第一互连层包括被配置为将第一输入信号耦合到第一FET的栅极和第二FET的栅极的第一输入接触部;被配置为将第二输入信号耦合到第三FET的栅极和第四FET的栅极的第二输入接触部;以及被配置为基于第一输入信号和第二输入信号的逻辑运算来生成输出信号的输出接触部。

[0008] 在另一示例性方面,公开了一种形成单片互补场效应晶体管(CFET)逻辑电路的方法。该方法包括形成器件层,包括形成包括在第二类型的第二FET上的第一类型的第一FET的第一CFET结构,以及形成包括在第二类型的第四FET上的第一类型的第三FET的第二CFET结构。该方法包括形成设置在器件层上的第一互连层,第一互连层包括:被配置为将第一输入信号耦合到第一FET的栅极和第二FET的栅极的第一输入接触部;被配置为将第二输入信号耦合到第三FET的栅极和第四FET的栅极的第二输入接触部;以及被配置为基于第一输入信号和第二输入信号的逻辑运算来生成输出信号的输出接触部。

附图说明

[0009] 图1是单片3D互补场效应晶体管(FET)(CFET)电路的横截面侧视图,包括在逻辑电路的第一配置中在半导体衬底上的互连CFET结构;

[0010] 图2是图1中的单片3D CFET电路的制造方法的流程图;

[0011] 图3是单片3D CFET电路的横截面侧视图,包括在NAND电路的第二配置中形成在半导体衬底上的CFET结构;

[0012] 图4是单片3D CFET电路的横截面侧视图,包括在NAND电路的第三配置中形成在半导体衬底上的CFET结构;

[0013] 图5是单片3D CFET电路的横截面侧视图,包括在NAND电路的第四配置中形成在半导体衬底上的CFET结构;

[0014] 图6是单片3D CFET电路的横截面侧视图,包括在NAND电路的第五配置中形成在绝缘层上的CFET结构;

[0015] 图7是单片3D CFET电路的横截面侧视图,包括在NAND电路的第六配置中形成在绝缘层上的CFET结构;

[0016] 图8是单片3D CFET电路的横截面侧视图,包括在NOR电路的第一配置中形成在半导体衬底上的CFET结构;

[0017] 图9是单片3D CFET电路的横截面侧视图,包括在NOR电路的第二配置中形成在半导体衬底上的CFET结构;

[0018] 图10是单片CFET电路的横截面侧视图,包括在NOR电路的第三配置中形成在半导

体衬底上的CFET结构;

[0019] 图11是单片3D CFET电路的横截面侧视图,包括在NOR电路的第四配置中形成在半导体衬底上的CFET结构;

[0020] 图12是单片3D CFET电路的横截面侧视图,包括在NOR电路的第五配置中形成在绝缘层上的CFET结构;

[0021] 图13是单片3D CFET电路的横截面侧视图,包括在NOR电路的第六配置中形成在绝缘层上的CFET结构;

[0022] 图14是示例性无线通信设备的框图,该无线通信设备可以包括图1和图3-图13中的任何一个的单片3D CFET电路;以及

[0023] 图15是示例性的基于处理器的系统的框图,该系统可以包括图1和图3-图13中的任何一个的单片3D CFET电路。

具体实施方式

[0024] 现在参考附图,描述本公开的若干示例性方面。“示例性”一词在本文中用于表示“用作示例、实例或说明”。本文中描述为“示例性”的任何方面不一定被解释为比其他方面更优选或有利。

[0025] 详细描述中公开的各方面包括单片三维(3D)互补场效应晶体管(FET)(CFET)电路。还公开了制造单片3D CFET电路的相关方法。被配置为逻辑电路的3D CFET电路包括在集成电路(IC)的器件层中的第一单片CFET结构和第二单片CFET结构。每个单片CFET结构包括在第二类型(例如,N型或P型)的下部FET上的第一类型(例如,P型或N型)的上部FET。CFET电路还包括设置在器件层上接触部的互连层以提供接触部,该接触部用于外部电路耦合到逻辑电路的输入和(多个)输出。特别地,第一输入接触部耦合到第一CFET结构中的FET的栅极,并且第二输入接触部耦合到第二CFET结构中的FET的栅极。输出接触部耦合到CFET电路的输出。在一些示例中,CFET电路包括在器件层中的垂直存取互连(过孔)以将FET彼此互连和互连到接触层。在一些示例中,第一单片CFET结构和第二单片CFET结构互连以形成二输入NOR电路。在一些示例中,第一单片CFET结构和第二单片CFET结构互连以形成二输入与非(NAND)电路。

[0026] 与仅具有一种类型的FET的电路相比,CMOS电路提供了更高的性能、更低的功耗和更好的噪声容限。CMOS电路包括提供良好参考电压源(例如,接地或V_{SS})的至少一个N型FET、以及提供良好电源电压源(例如,1.8伏或V_{DD})的至少一个P型FET。本文中使用的术语“第一类型”可以是指N型或P型中的任一种,术语“第二类型”是指N型和P型中的另一种。N型和P型FET也可以分别称为N沟道FET和P沟道FET、或者NFET和PFET。在N型器件中,半导体源极和漏极掺杂有五价掺杂剂,并且施加到沟道区域中的栅极的电源电压产生其中电子是多数载流子的N沟道。在P型或P沟道器件中,半导体源极和漏极掺杂有三价掺杂剂,并且施加到栅极的参考电压(例如,接地)在沟道区域中产生P沟道,其中空穴是多数载流子。

[0027] 图1-图12所示的示例是栅极环绕(GAA)FET,但具有带有其他沟道结构的FET的CFET结构在本公开的范围内。

[0028] 图1是单片3D CFET电路100的横截面侧视图,单片3D CFET电路100包括CFET结构102A和102B,CFET结构102A和102B分别包括分别设置在下部FET 106A、106B上(例如,在Y轴

方向上在其上方)的上部FET 104A、104B。CFET结构102A、102B是器件层108中的单片CFET结构,在器件层108中CFET结构102A、102B设置在介电材料110中。介电材料110的厚度T_{110}可以被认为是器件层108的厚度。单片CFET结构(例如,本文中使用的术语)指示在工艺流程中在衬底上形成(例如,构建)在适当位置的结构,并且不包括单独制造和接合、堆叠或以其他方式一个接一个地设置的部分。

[0029] 如下面进一步解释的,上部FET 104A、104B和下部FET 106A、106B彼此互连,并且还通过设置在器件层108上的互连层112耦合到外部电路(未示出)。上部FET 104A、104B和下部FET 106A、106B通过到互连层112的垂直互连存取(过孔)114耦合到外部电路并且彼此耦合。过孔114将被单独讨论为过孔114(1)-114(12),但在本文中被统称为过孔。如下文所示,在图1-图12中的每个配置中,过孔(诸如过孔114)可以设置在器件层108中的介电材料110中,并且还可以延伸穿过绝缘层116和半导体衬底118,绝缘层116和半导体衬底118支撑图1中的CFET结构102A、102B,以将上部FET 104A、104B和下部FET 106A、106B间接连接到互连层112。

[0030] 例如,绝缘层116可以是用于浅沟槽隔离(STI)的氧化物材料。半导体衬底118可以是硅、硅合金、或用于形成上部FET 104A、104B和下部FET 106A、106B的另一半导体材料。

[0031] 互连层112包括接触部120(1)-120(6),接触部120(1)-120(6)是设置在器件层108上的绝缘或介电材料122中的导电(例如,金属)接触部。在本文中公开的路由配置中,诸如在单片3D CFET电路100中,CMOS逻辑电路可以被集成到紧凑区域中,并且提供对上部FET 104A、104B和下部FET 106A、106B的外部访问。

[0032] 每个CFET结构102A和102B包括用于其互补操作特性的P型FET和N型FET。上部FET 104A、104B是第一类型的FET,这表示,第一CFET结构102A的上部FET 104A和第二CFET结构102B的上部FET 104B都由具有相同掺杂(例如,P型或N型)的半导体材料形成。下部FET 106A、106B都由具有与第一类型相反的第二类型(例如,N型或P型)的掺杂的半导体材料形成。换言之,如果上部FET 104A、104B是PFET,则下部FET 106A、106B是NFET,反之亦然。

[0033] 例如,第一CFET结构102A中的上部FET 104A的栅极124A耦合到下部FET 106A的栅极126A。类似地,第二CFET结构102B中的上部FET 104B的栅极124B耦合到下部FET 106B的栅极126B。在该配置中,在接触部120(3)上接收的第一输入信号IN-1耦合到栅极124A和126A两者。第一输入信号IN-1可以提供电源电压V_{DD},电源电压V_{DD}将导通作为N型FET的上部FET 104A和下部FET 106A中的一个,同时截止作为P型FET的上部FET 104A和下部FET 106A中的另一个。第一输入信号IN-1可以备选地提供参考电压V_{SS}(例如,接地或0V),参考电压V_{SS}导通作为P型FET的上部FET 104A和下部FET 106A中的一个,同时截止另一个(例如,作为N型FET)。在接触部120(5)上接收的第二输入信号IN-2耦合到栅极124B和126B,并且可以提供电源电压V_{DD}或参考电压V_{SS}以控制上部FET 104B和下部FET 106B的操作(例如,导通和截止)。

[0034] 如前所述,可以分别在接触部120(3)和接触部120(5)处从外部电路接收第一输入信号IN-1和第二输入信号IN-2。互连层112还包括通过外部互连128彼此耦合的输出接触部120(1)和120(6)。单片3D CFET电路100在输出接触部120(1)和120(6)中的一个上生成输出信号OUT,并且可以通过外部互连128被提供给外部电路(未示出)。输出信号OUT的状态基于输入信号IN-1和IN-2的逻辑运算。上部FET 104A、104B和下部FET 106A、106B被互连作为数

字逻辑电路,以执行二进制与非(NAND)运算。在二进制运算中,第一电压(例如,V_{SS})可以对应于“0”,而第二电压(例如,V_{DD})可以对应于“1”。在NAND运算中,输出信号OUT仅响应于第一输入信号IN-1和第二输入信号IN-2在与“0”状态相对应的电压(例如,V_{SS})处被生成,这两个信号都在与“1”相对应的电压(例如,V_{DD})处。否则,输出信号OUT处于“1”状态。如本领域所理解的,在一些示例中,第二电压V_{DD}可以对应于“0”,并且第一电压V_{SS}可以对应于“1”,这也将响应于由输入信号IN-1和输入信号IN-2两者指示的“1”而反转输出信号OUT的电压。

[0035] 从结构上讲,上部FET 104A可以类似于下部FET 106A,尽管它是不同类型的FET。此外,上部FET 104B和下部FET 106B的结构类似于上部FET 104A和下部FET 106A。因此,下面提供的对上部FET 104A的详细说明也是对上部FET 104B、下部FET 106A和下部FET 106B的描述;除非需要,否则不提供这样的FET的附加细节。

[0036] 该示例中的上部FET 104A是栅极环绕(GAA)FET,该GAA FET包括形成沟道区域134A的半导体板132(1)、132(2)和132(3),统称为板132。例如,P型器件中的板132可以包括硅(Si)、硅锗(SiGe)、锗(Ge),砷化镓(GaAs)或其化合物。例如,N型器件中的板132可以包括Si、GaAs或其化合物。如前所述,CFET结构102A、102B设置在绝缘层116和半导体衬底118上。CFETS104A、104B、106A和106B形成为半导体衬底118上的体型晶体管。

[0037] 在第一CFET结构102A的第一侧SA1上,第一源极/漏极SD1-UA1耦合到板132的第一端,并且在第一CFET结构102A的第二侧SA2上,第二源极/漏极SD1-UA2耦合到板132的第二端。第一源极/漏极SD1-UA1和第二源极/漏极SD1-UA2可以外延生长在板132的半导体材料上。通过沟道区域134A的电流方向将在图1中的X轴方向上,并且可以是从左到右或从右到左,取决于施加在源极/漏极SD1-UA1、SD1-UA2之间的电压,这将确定源极/漏极SD1-UA1、SD1-UA2中的哪个用作源极,哪个用作漏极。

[0038] 源极/漏极SD1-UB1在第二CFET结构102B的第一侧SB1上,并且源极/漏极SD1-UB2在第二CFET结构102B的第二侧SB2上。源极/漏极SD1-UB1和SD1-UB2耦合到上部FET 104B中的沟道区域134B的相对端。注意,CFET结构102A的第一侧SA1和第二CFET结构102B的第一侧SB1在CFET结构102A、102B之间。第二侧SA2和SB2在CFET结构102A、102B外部(例如,不在它们之间)。

[0039] 在下部FET 106A中,源极/漏极SD1-LA1在第二CFET结构102B的第一侧SA1,并且源极/漏极SD1-LA2在第二CFET结构102B的第二侧SA2。在下部FET 106B中,源极/漏极SD1-LB1在第一侧SB1,并且源极/漏极SD1-LB2在第二侧SB2。

[0040] 耦合到CFET结构102A、102B的过孔114为单片3D CFET电路100提供对外部电路的访问,并且减少了单片3D CFET电路100所占据的总面积。在图1中,过孔114在Y轴方向上延伸,Y轴方向是垂直方向。过孔114包括过孔114(1)-114(12)。过孔114(2)-114(7)在这里也称为上部过孔,因为它们将第一CFET结构102A和第二CFET结构102B连接到互连层112。

[0041] 过孔114(1)-114(12)被单独描述。过孔114(4)在第一CFET结构102A的第一侧SA1上从上部FET 104A的第一源极/漏极SD1-UA1延伸到互连层112中的接触部120(4)。过孔114(5)在第二CFET结构102B的第一侧SB1上从上部FET 104B的第一源极/漏极SD1-UB1延伸到互连层112中的接触部120(4)。过孔114(2)在第一CFET结构102A的第二侧SA2上从上部FET 104A的第二源极/漏极SD1-UA2延伸到接触部120(2)。过孔114(7)在第二CFET结构102B的第二侧SB2上从上部FET 104B的第二源极/漏极SD1-UB2延伸到接触部120(6)。过孔114(3)将

上部FET 104A的栅极124A和下部FET 106A的栅极126A耦合到互连层112。过孔114(6)将上部FET 104B的栅极124B和下部FET 106B的栅极126B耦合到互连层112。

[0042] 上部FET 104A的第一源极/漏极SD1-UA1和第二源极/漏极SD1-UA2在X轴方向上具有源极/漏极宽度尺寸W_{SD1}。第一源极/漏极SD1-LA1和第二源极/漏极SD1-LA2也具有源极/漏极宽度W_{SD1}。因此,上部FET 104A的第一源极/漏极SD1-UA1在Y轴方向上直接位于下部FET 106A的第一漏极/源极SD1-LA1与互连层112之间,从而阻断在垂直方向上从第一漏极/源极SD1-LA1到互连层112的路径。

[0043] 为了将第一源极/漏极SD1-LA1耦合到互连层112,单片3DCFET电路100还包括过孔114(10),过孔114(10)在第一CFET结构102A的第一侧SA1上从下部FET 106A的第一源极/漏极SD1-LA1延伸到下部互连层138中的互连136(2)。下部互连层138设置在半导体衬底118下方以提供水平(例如,X轴方向)互连136(1)-136(3)。过孔114(1)和114(8)-114(12)在这里称为下部过孔,因为它们耦合到下部互连层138。过孔114(9)在第一CFET结构102A的第二侧SA2上从下部FET 106A的第二源极/漏极SD1-LA2延伸到下部互连层138中的互连136(1)。过孔114(11)在第二CFET结构102B的第一侧SB1上从下部FET 106B的第一源极/漏极SD1-LB延伸到下部互连层138中的互连136(2)。过孔114(12)在第二CFET结构102B的第二侧SB2上从下部FET 106B的第二源极/漏极SD1-LB2延伸到下部互连层138中的互连136(3)。

[0044] 过孔114(9)-114(12)是需要的以将源极/漏极SD1-LA1、SD1-LA2、SD1-LB1和SD1-LB2耦合到下部互连层138,因为源极/漏极SD1-LA1、SD1-LA2、SD1-LB1和SD1-LB2具有与源极/漏极SD1-UA1、SD1-UA2、SD1-UB1和SD1-UB2相同的宽度尺寸W_{SD1}。源极/漏极SD1-UA1、SD1-UA2、SD1-UB1和SD1-UB2阻断从源极/漏极SD1-LA1、SD1-LA2、SD1-LB1和SD1-LB2向上延伸到互连层112的过孔在垂直方向上的直接路径。

[0045] 如图1所示,互连136(2)通过过孔114(10)和114(11)将下部FET 106A的第一源极/漏极SD1-LA1耦合到下部FET 106B的第一源极/漏极SD1-LB1。下部FET 106A的第二源极/漏极SD1-LA2通过过孔114(9)、互连136(1)和过孔114(1)耦合到互连层112中的接触部120(1)。下部FET 106B的第二源极/漏极SD1-LB2通过过孔114(12)、互连136(3)和过孔114(8)耦合到互连层112中的接触部120(8)。

[0046] 参考图1中的示意图140,本领域技术人员容易理解作为NAND电路的单片3D CFET电路100的运算。在该示例中,上部FET 104A、104B是N型FET,下部FET 106A、106B是P型FET,并且接触部120(1)-120(6)外部耦合,如示意图140中所示并且如下所述。

[0047] 逻辑运算由单片3D CFET电路100通过如下耦合外部电路来提供。输入信号IN-1在接触部120(3)上被接收。输入信号IN-2在接触部120(5)上被接收。输出信号OUT在外部互连128上从接触部120(1)和接触部120(8)中的一个被生成。接触部120(2)耦合到参考电压V_{SS}。接触部120(4)通过过孔114(4)和114(5)将上部FET 104A的第一源极/漏极SD1-UA1耦合到上部FET 104B的第一源极/漏极SD1-UB1。互连136(2)耦合到电源电压V_{DD}。在输入信号IN-1和输入信号IN-2中的每个上的二进制“1”在输出信号OUT上产生二进制“0”。

[0048] 图2是制造单片3D CFET电路100的方法200的流程图。该方法包括形成器件层108(框202),包括:形成第一CFET结构102A,第一CFET结构102A包括在第二类型的第二FET 106A上的第一类型的第一FET 104A(框204);以及形成第二CFET结构102B,第二CFET结构102B包括在第二类型的第四FET 106B上的第一类型的第三FET 104B(框206)。该方法还包

括在器件层108上形成互连层112(框208),还包括形成第一输入接触部120(3),第一输入接触部120(3)被配置为将第一输入信号IN-1耦合到第一FET 104A的栅极124A和第二FET 106A的栅极126A(框210)。形成互连层112还包括形成第二输入接触部120(5),第二输入接触部120(5)被配置为将第二输入信号IN-2耦合到第三FET 104B的栅极124B和第四FET 106B的栅极126B(框212);以及形成输出接触部120(1)、120(6),输出接触部120(1)、120(6)被配置为基于第一输入信号IN-1和第二输入信号IN-2的逻辑运算来生成输出信号OUT(框214)。

[0049] 图3-图7是单片3D CFET电路300-700的横截面侧视图,单片3D CFET电路300-700是本文中公开的NAND电路的其他示例。单片3D CFET电路300-700中的每个包括与图1中的第一CFET结构102A和第二CFET结构102B相对应并且类似的相应的第一CFET结构和第一CFET结构。

[0050] 图3是单片3D CFET电路300的横截面侧视图,单片3D CFET电路300包括第一CFET结构302A和第二CFET结构302B。CFET结构302A包括在下部FET 306A上的上部FET 304A,并且CFET结构302B包括在下部FET 306B上的上部FET 304B。上部FET 304A包括在第一CFET结构302A的第一侧SA1上的第一源极/漏极SD3-UA1和在第一CFET结构302A的第二侧SA2上的第二源极/漏极SD3-UA2。下部FET 306A包括在第一CFET结构302A的第一侧SA1上的第一源极/漏极SD3-LA1和在第一CFET结构302A的第二侧SA2上的第二源极/漏极SD3-LA2。第一CFET结构302A和第二CFET结构302B形成在器件层308中。

[0051] 上部FET 304B包括在第二CFET结构302B的第一侧SB1上的第一源极/漏极SD3-UB1和在第二CFET结构302B的第二侧SB2上的第二源极/漏极SD3-UB2。下部FET 306B包括在第一侧SB1上的第一源极/漏极SD3-LB1和在第二侧SB2上的第二源极/漏极SD3-LB2。

[0052] 如图1所示,单片3D CFET电路300包括互连层312、绝缘层316和半导体衬底318。上部FET 304A、304B和下部FET 306A、306B被形成为在半导体衬底318上的体型晶体管。互连层312包括接触部320(1)-320(8)。单片3D CFET电路300的NAND运算可以通过对与示意图140相对应的示意图340的分析来理解。

[0053] CFET结构302A的第一源极/漏极SD3-UA1和第二源极/漏极SD3-UA2、以及CFET结构302B的第一源极/漏极SD3-UB1和第二源极/漏极SD3-UB2在X轴方向上均具有第一源极/漏极宽度W_{SD1}。单片3D CFET电路300的过孔314(2)-314(4)和314(7)-314(9)对应于图1的过孔114(2)-114(7)。在这点上,过孔314(2)-314(4)和314(7)-314(9)可以称为上部过孔。在FET 304A、304B与互连层312之间的上部过孔与图1中的在上部FET 104A、104B与互连层112之间的上部过孔114相似或相同。

[0054] 然而,与单片3D CFET电路100不同,在单片3D CFET电路300中,下部FET 306A的第一源极/漏极SD3-LA1和第二源极/漏极SD3-LA2、以及下部FET 306B的第一源极/漏极SD3-LB1和第二源极/漏极SD3-LB2具有在X轴方向上大于源极/漏极宽度尺寸W_{SD1}的源极/漏极宽度尺寸W_{SD2}。因此,例如,第一源极/漏极SD3-LA1与第一源极/漏极SD3-UA1相比在X轴方向上延伸得更远离在第一侧SA1上的下部FET 306A,并且第二源极/漏极SD3-LA2与第二源极/漏极SD3-UA2相比在X轴方向上延伸得更远离在第二侧SA2上的下部FET 306A。因此,上部FET 304A的第一源极/漏极SD3-UA1在Y轴方向上未设置在第一源极/漏极SD3-LA1的一部分与互连层312之间,并且上部FET 304A的第二源极/漏极SD3-UA2在Y轴方向上未设置在第二源

极/漏极SD3-LA2的一部分与互连层312之间。因此,过孔314中的一些可以在Y轴方向上无阻碍地延伸,以将下部FET 306A的第一和第二源极/漏极SD3-LA1、SD3-LA2以及下部FET 306B的第一和第二源极/漏极SD3-LB1、SD3-LB2耦合到互连层312。由于第一源极/漏极、第二源极/漏极SD3-UA1、SD3-UA2和SD3-UB1、SD3-UB2在Y轴方向上不阻碍过孔路径,因此在X轴方向上提供偏移不需要第二互连层(诸如图1中的互连层138),并且与图1相比,过孔314的总数减少,这进一步减小了单片3D CFET电路300所占据的总面积。

[0055] CFET结构302A和302B如下耦合到互连层312。过孔314(1)将接触部320(1)耦合到下部FET 306A的第二源极/漏极SD3-LA2。过孔314(2)耦合在接触部320(2)与上部FET 304A的第二源极/漏极SD3-UA2之间。过孔314(3)将接触部320(3)耦合到上部FET 304A的栅极324A和下部FET 306A的栅极326A。过孔314(4)将接触部320(4)耦合到上部FET 304A的第一源极/漏极SD3-UA1。接触部320(5)通过过孔314(5)耦合到下部FET 306A的第一源极/漏极SD3-LA1。接触部320(5)也通过过孔314(6)耦合到下部FET 306B的第一源极/漏极SD3-LB1。因此,过孔314(5)、接触部320(5)和过孔314(6)将下部FET 306A的第一源极/漏极SD3-LA1耦合到下部FET 306B的第一源极/漏极SD3-LB1。

[0056] 过孔314(7)将接触部320(6)耦合到上部FET 304B的第一源极/漏极SD3-UB1。外部互连342将接触部320(4)耦合到接触部320(6),以将上部FET 304A的第一源极/漏极SD3-UA1耦合到上部FET 304B的第一源极/漏极SD3-UB1。过孔314(8)将接触部320(7)耦合到上部FET 304B的栅极324B和下部FET 306B的栅极326B。接触部320(8)通过过孔314(9)耦合到上部FET 304B的第二源极/漏极SD3-UB2。接触部320(8)还耦合到下部FET 306B的第二源极/漏极SD3-LB2。因此,过孔314(9)、接触部320(8)和过孔314(10)将上部FET 304B的第二源极/漏极SD3-UB1耦合到下部FET 306B的第二源极/漏极SD3-LB2。

[0057] 对于作为NAND逻辑电路的运算,在接触部320(3)上从外部电路接收第一输入信号IN-1,并且在接触部320(7)上接收第二输入信号IN-2。外部互连328将接触部320(1)耦合到接触部320(8),并且提供连接,在该连接上输出信号OUT可以连接到外部电路。接触部320(2)接收参考电压V_{SS}(例如,接地、0伏),并且接触部320(5)接收电源电压V_{DD}以向NAND逻辑电路供电。

[0058] 图4是NAND逻辑电路的另一示例中的单片3D CFET电路400的横截面侧视图。单片3D CFET电路400在结构上与图1中的单片3D CFET电路100相同,除了如下所示。

[0059] 单片3D CFET电路400包括CFET结构402A和402B,其中上部FET 404A和404B是第一类型的FET,并且下部FET 406B是第二类型的FET,如图1所示。然而,图1中的配置是基于上部FET104A、104B是N型FET,并且下部FET 106A、106B是P型FET。在图4中的配置中,上部FET 404A、404B是P型FET,并且下部FET 406A、406B是N型FET。根据该差异,单片3D CFET电路400以以下方式被配置为NAND逻辑电路。

[0060] 单片3D CFET电路400包括在互连层412中的接触部420(1)-420(6)和在互连层438中的互连436(1)-436(3)。代替图1中的外部互连128,外部互连428耦合接触部420(2)和420(6),以将上部FET 404A的第二源极/漏极SD4-UA2与上部FET 404B的第二源极/漏极SD4-UB2和下部FET 406B的第二源极/漏极SD4-LB2电气耦合。输出信号OUT在外部互连428上生成,以提供给未示出的外部电路。参考电压V_{SS}被提供给接触部420(1)。第一输入信号IN-1和第二输入信号IN-2分别在接触部420(3)和420(5)处被接收。电源电压V_{DD}在接触部420(4)处

被接收。

[0061] 图5是NAND逻辑电路的另一示例中的单片3D CFET电路500的横截面侧视图。单片3D CFET电路500在结构上与图3中的单片3D CFET电路300相同,不同之处在于,CFET结构502A和502B具有上部FET 504A、504B,上部FET 504A、504B是设置在下部FET 506A、506B上的P型FET,下部FET 506A、506B是N型FET,这与图3中的配置相反。

[0062] 单片3D CFET电路500包括在互连层512中的接触部520(1)-520(8)。外部互连528耦合接触部520(2)和520(8),以将上部FET 504A的第二源极/漏极SD5-UA2与上部FET 504B的第二漏极/源极SD5-UB2电气耦合,并且还与下部FET 506B的第二源极/漏极SD5-LB2电气耦合。输出信号OUT在外部互连528上生成,以提供给未示出的外部电路。参考电压V_{SS}被提供给接触部520(1)。第一输入信号IN-1和第二输入信号IN-2分别在接触部520(3)和520(7)处被接收。电源电压V_{DD}在接触部520(4)处被接收。第二外部互连542耦合接触部520(4)和接触部520(6)。接触部520(5)耦合下部FET 506A的第一源极/漏极SD5-LA1和下部FET 506B的第一源极/漏极SD5-LB1。

[0063] 图6和图7分别是单片3D CFET电路600和700的横截面侧视图,单片3D CFET电路600和700中的每个都是NAND逻辑电路的示例。单片3D CFET电路600和700的结构以及用于配置作为NAND逻辑电路的运算的外部互连与单片3D CFET电路100和300的结构相同,不同之处在于,单片3D CFET电路600和700不包括半导体衬底。相反,单片3D CFET电路600和700形成在绝缘体衬底上。

[0064] 详细地,单片3D CFET电路600包括CFET结构602A、602B,其中上部FET 604A、604B设置在下部FET 606A、606B上方。单片3D CFET电路700包括CFET结构702A、702B,其中上部FET 704A、704B设置在下部FET 706A、706B上方。在CFET结构602A、602B和CFET结构702A、702B中的FET分别形成在绝缘层616和716上,作为绝缘体上硅(SOI)晶体管。单片3D CFET电路600包括互连层638,互连层638可以为绝缘层616提供附加结构支撑。绝缘层716可以设置在支撑衬底750上。

[0065] 尽管这里没有描述,单片3D CFET电路400和500(其中PFET设置在相应CFET结构中的NFET上)可以备选地在具有SOI晶体管的绝缘层上制造,如图6和图7中的示例中所示。

[0066] 应当注意,图1和图3-图13所示的特征的尺寸并非按比例。

[0067] 图8-图13是单片3D CFET电路800-1300的横截面侧视图,单片3D CFET电路800-1300是其特征分别与图1和图3-图7所示的单片3D CFET电路100和300-700相同的结构。然而,单片3D CFET电路800-1300通过外部互连和接触部被配置为用作或非(NOR)逻辑电路,如下所述。

[0068] 将图1中的器件层108以及互连层112和138与图8中的器件层808以及互连层812和838进行比较,图8中的单片3D CFET电路800在结构上与图1中的单片3D CFET电路100相同。单片3DCFET电路800包括CFET结构802A、802B,其中第一类型的上部FET 804A、804B分别设置在第二类型的下部FET 806A和806B上(例如,在其上方)。上部FET 804包括在CFET结构802A的第一侧SA1上的第一源极/漏极SD8-UA1和在CFET结构802A的第二侧SA2上的第二源极/漏极SD8_UA2。根据图1,上部FET 804B以及下部FET 806A和806B还具有第一源极/漏极和第二源极/漏极。

[0069] 单片3D CFET电路800被配置为NOR逻辑电路,如示意图840所示,如下所示。互连层

812包括接触部820(1)-820(6),并且互连层838包括互连836(1)-836(3)。接触部820(1)接收电源电压V_{DD},电源电压V_{DD}耦合到下部FET 806A的第二源极/漏极SD8-LA2。

[0070] 接触部820(2)通过外部互连828耦合到接触部820(6),输出信号OUT可以在该外部互连828上被生成到外部电路。以这种方式,外部互连828耦合到上部FET 804A的第二源极/漏极SD8-UA2、上部FET 806B的第二漏极/源极SD8-UB2、和下部FET 806B的第二源极/漏极SD8-LB2。输出信号OUT基于输入信号IN-1和IN-2。第一输入信号IN-1在接触部820(3)处被接收,并且第二输入信号IN-2在接触部820(5)处被接收。接触部820(4)将上部FET 804A的第一源极/漏极SD8-UA1耦合到上部FET 804B的第一源极/漏极SD8-UB1。接触部820(4)耦合到接地以接收参考电压(V_{SS})。互连836(2)将下部FET 806A的第一源极/漏极SD8-LA1耦合到下部FET 806B的第一源极/漏极SD8-LB1。

[0071] 图9是单片3D CFET电路900的横截面侧视图,单片3D CFET电路900的结构与单片3D CFET电路300相同,但是在外部被配置为用作NOR逻辑电路,如下所示。

[0072] 接触部920(1)接收电源电压V_{DD},电源电压V_{DD}被提供给下部FET 906A的第二源极/漏极SD9-LA2。第二源极/漏极SD9-LA2具有更大的源极/漏极宽度W_{SD2},并且因此通过过孔914(1)直接耦合到接触部920(1)。接触部920(2)接收参考电压V_{SS},参考电压V_{SS}被提供给上部FET 904A的第二源极/漏极SD9-UA2。参考电压V_{SS}也在接触部920(6)处被接收,并且被提供给上部FET 904B的第一源极/漏极SD9-UB1。接触部920(3)接收第一输入信号IN-1以控制上部FET 904A和下部FET 906A。接触部920(7)接收第二输入信号IN-2以控制上部FET 904B和下部FET 906B。

[0073] 接触部920(4)通过外部互连928耦合到接触部920(8),该外部互连928也可以向外部电路提供输出信号OUT。接触部920(4)耦合到上部FET 904A的第一源极/漏极SD9-UA1。接触部920(7)耦合到上部FET 904B的第二源极/漏极SD9-UB2和下部FET 906B的第二源极/漏极SD9-LB2。接触部920(5)耦合到下部FET 906A的第一源极/漏极SD9-LA1和下部FET 906B的第一源极/漏极SD9-LB1。

[0074] 图10是单片3D CFET电路1000的横截面侧视图,单片3D CFET电路1000在结构上与单片3D CFET电路400相同,但是在外部被配置为用作NOR逻辑电路。单片3D CFET电路1000在结构上也类似于单片3D CFET电路800,不同之处在于,在单片3D CFET电路1000中,上部FET 1004A和1004B是P型FET,并且下部FET 1006A和1006B是N型FET。

[0075] 用作NOR逻辑电路的配置包括以下内容。接触部1020(1)耦合到接触部1020(6),并且可以向外部电路提供输出信号OUT。接触部1020(1)耦合到下部FET 1006A的第二源极/漏极SD10-LB2。接触部1020(6)耦合到上部FET 1004B的第二源极/漏极SD10-UB2和下部FET 1006B的第二源极/漏极SD10-LB2。接触部1020(2)接收被提供给上部FET 1004A的第二源极/漏极SD10-UA2的电源电压V_{DD}。

[0076] 接触部1020(3)接收第一输入信号IN-1,第一输入信号IN-1被提供给CFET结构1002A的栅极1024A、1026A,以控制上部FET 1004A和下部FET 1006A。接触部1020(5)接收第二输入信号IN-2,第二输入信号IN-2被提供给CFET结构1002B的栅极1024B、1026B以控制上部FET 1004B和下部FET 1006B。接触部1020(4)耦合到上部FET 1004A的第一源极/漏极SD10-UA1和上部FET 1004B的第一源极/漏极SD10-UB1。下部FET 1006A的第一源极/漏极SD10-LA1通过互连1036(2)耦合到下部FET 1006B的第一源极/漏极SD10-LB1。

[0077] 图11是单片3D CFET电路1100的截面图,单片3D CFET电路1100在结构上与单片3D CFET电路500相同,并且在外部被配置为用作NOR逻辑电路。接触部1120(1)和接触部1120(8)接收参考电压V_{SS}。接触部1120(2)接收电源电压V_{DD}。第一输入信号IN-1在接触部1120(3)处被接收,并且第二输入信号IN-2在接触部1120(6)处被接收。接触部1120(4)通过外部互连1128耦合到接触部1120(7)。接触部1120(5)耦合第一源极/漏极SD11-LA1、第一源极/漏极SD11-UB1和第一源极/漏极SD11-LB1。

[0078] 单片3D CFET电路中的每个由在半导体衬底上的体型晶体管形成。图12和图13中的单片3D CFET电路1200和1300在所有方面与图8和图9中的单片3D CFET电路800和900相同,不同之处在于,单片3D CFET电路1200和1300分别用SOI晶体管形成在绝缘层1216和1316上。备选地,单片3D CFET电路1000和1100也可以用SOI晶体管形成在绝缘层上,但是这样的示例在这里没有示出。

[0079] 根据本文中公开的各方面,单片3D CFET电路可以设置或集成在任何基于处理器的设备中。示例包括但不限于机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、全球定位系统(GPS)设备、移动电话、蜂窝电话、智能电话、会话发起协议(SIP)电话、平板电脑、平板电话、服务器、计算机、便携式计算机、移动计算设备、可穿戴计算设备(例如,智能手表、健康或健身追踪器、眼镜等)、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视、调谐器、无线电设备、卫星无线电设备、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘(DVD)播放器、便携式数字视频播放器、汽车、交通工具组件、航空电子系统、无人机和多旋翼直升机。

[0080] 图14示出了示例性无线通信设备1400,无线通信设备1400包括由一个或多个集成电路(IC)1402形成的射频(RF)组件,IC 1402可以包括根据本文中公开的任何方面的示例性单片3D CFET电路,该单片3D CFET电路包括其中第一类型的上部FET在第二类型的下部FET上方的CFET结构,并且被配置为NAND或NOR电路,如图1和图2-图13所示。作为示例,无线通信设备1400可以包括上述设备中的任何设备或者被设置在其中。如图14所示,无线通信设备1400包括收发器1404和数据处理器1406。数据处理器1406可以包括用于存储数据和程序代码的存储器。收发器1404包括支持双向通信的传输器1408和接收器1410。通常,无线通信设备1400可以包括用于任何数目的通信系统和频带的任何数目的传输器1408和/或接收器1410。收发器1404的全部或一部分可以在一个或多个模拟IC、RFIC、混合信号IC等上实现。

[0081] 传输器1408或接收器1410可以用超外差架构或直接转换架构来实现。在超外差架构中,信号在多个级中在RF与基带之间进行频率转换,例如,在一个级中从RF转换到中频(IF),然后在另一级中从IF转换到基带。在直接转换架构中,信号在一个级中在RF与基带之间进行频率转换。超外差和直接转换架构可以使用不同电路块和/或具有不同要求。在图14中的无线通信设备1400中,传输器1408和接收器1410采用直接转换架构来实现。

[0082] 在传输路径中,数据处理器1406处理要传输的数据,并且向传输器1408提供I和Q模拟输出信号。在示例性无线通信设备1400中,数据处理器1406包括数模转换器(DAC)1412(1)、1412(2)用于将由数据处理器1406生成的数字信号转换为I和Q模拟输出信号,例如I和Q输出电流,以供进一步处理。

[0083] 在传输器1408内,低通滤波器1414(1)、1414(2)分别对I和Q模拟输出信号进行滤

波,以去除由先前的数模转换引起的不期望的信号。放大器(AMP)1416(1)、1416(2)分别放大来自低通滤波器1414(1)、1414(2)的信号,并且提供I和Q基带信号。上变频器1418通过混频器1420(1)、1420(2)用来自TX LO信号发生器1422的I和Q传输(TX)本地振荡器(LO)信号对I和Q基带信号进行上变频,以提供上变频信号1424。滤波器1426对上变频信号1424进行滤波,以去除由上变频引起的不期望信号以及在接收频带中的噪声。功率放大器(PA)1428放大来自滤波器1426的上变频信号1424以获取期望输出功率电平并且提供传输RF信号。传输RF信号被路由通过双工器或开关1430并且经由天线1432进行传输。

[0084] 在接收路径中,天线1432接收由基站传输的信号,并且提供接收的RF信号,该RF信号被路由通过双工器或开关1430并且被提供给低噪声放大器(LNA)1434。双工器或开关830被设计为以特定接收(RX)到TX双工器频率分离来操作,使得RX信号与TX信号隔离。接收的RF信号由LNA 1434放大并且由滤波器1436滤波,以获取期望的RF输入信号。下变频混频器1438(1)、1438(2)将滤波器1436的输出与来自RX LO信号发生器1440的I和Q RX LO信号(即,LO_I和LO_Q)混频以生成I和Q基带信号。I和Q基带信号由AMP 1442(1)、1442(2)放大,并且由低通滤波器1444(1)和1444(2)进一步滤波,以获取I和Q模拟输入信号,该I和Q模拟输入信号被提供给数据处理器1406。在该示例中,数据处理器1406包括模数转换器(ADC)1446(1)、1446(2)用于将模拟输入信号转换成将由数据处理器1406进一步处理的数字信号。

[0085] 在图14的无线通信设备1400中,TX LO信号发生器1422生成用于上变频的I和Q TX LO信号,而RX LO信号发生器1440生成用于下变频的I或Q RX LO信号。每个LO信号是具有特定基频的周期性信号。TX锁相环(PLL)电路1448从数据处理器1406接收定时信息,并且生成用于调节来自TX LO信号发生器1422的TX LO信号的频率和/或相位的控制信号。类似地,RX PLL电路1450从数据处理器1406接收定时信息,并且生成用于调节来自RX LO信号发生器1440的RX LO信号的频率和/或相位的控制信号。

[0086] 无线通信设备1400可以包括根据本文中公开的任何方面的示例性单片3D CFET电路,该单片3D CFET电路包括其中第一类型的上部FET在第二类型的下部FET上方的CFET结构,并且被配置为NAND或NOR电路,如图1和图2-图13所示,该单片3D CFET电路可以设置或集成在任何基于处理器的设备中。示例包括但不限于机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、全球定位系统(GPS)设备、移动电话、蜂窝电话、智能电话、会话发起协议(SIP)电话、平板电脑、平板电话、服务器、计算机、便携式计算机、移动计算设备、可穿戴计算设备(例如,智能手表、健康或健身追踪器、眼镜等)、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视、调谐器、无线电设备、卫星无线电设备、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘(DVD)播放器、便携式数字视频播放器、汽车、交通工具组件、航空电子系统、无人机和多旋翼直升机。

[0087] 图15示出了基于处理器的系统1500的示例,基于处理器的系统1500包括电路,该电路包括根据本文中公开的任何方面的示例性单片3D CFET电路,该单片3D CFET电路包括其中第一类型的上部FET在第二类型的下部FET上方的CFET结构,并且被配置为NAND或NOR电路,如图1和图2-图13所示。在该示例中,基于处理器的系统1500包括一个或多个中央处理器单元(CPU)1502,CPU 1502也可以称为CPU或处理器核,每个CPU 1502包括一个或多个

处理器1504。(多个)CPU 1502可以具有耦合到(多个)处理器1504的高速缓冲存储器1506用于对临时存储的数据的快速访问。(多个)CPU 1502耦合到系统总线1508,并且可以相互耦合基于处理器的系统1500中包括的主设备和从设备。众所周知,(多个)CPU 1502通过在系统总线1508之上交换地址、控制和数据信息来与这些其他设备通信。例如,(多个)CPU 1502可以将总线事务请求传送到作为从设备的示例的存储器控制器1510。尽管图15中未示出,但可以提供多个系统总线1508;其中每个系统总线1508构成不同结构。

[0088] 其他主设备和从设备可以连接到系统总线1508。如图15所示,作为示例,这些设备可以包括存储器系统1512,存储器系统1512包括存储器控制器1510和一个或多个存储器阵列1514、一个或多个输入设备1516、一个或多个输出设备1518、一个或多个网络接口设备1520、以及一个或多个显示控制器1522。(多个)输入设备1516可以包括任何类型的输入设备,包括但不限于输入键、开关、语音处理器等。(多个)输出设备1518可以包括任何类型的输出设备,包括但不限于音频、视频、其他视觉指示器等。(多个)网络接口设备1520可以是被配置为允许与网络1524之间的数据交换的任何设备。网络1524可以是任何类型的网络,包括但不限于有线或无线网络、专用或公共网络、局域网(LAN)、无线局域网(WLAN)、广域网(WAN)、Bluetooth™网络和互联网。(多个)网络接口设备1520可以被配置为支持期望的任何类型的通信协议。

[0089] (多个)CPU 1502还可以被配置为通过系统总线1508访问(多个)显示控制器1522,以控制发送到一个或多个显示器1526的信息。(多个)显示控制器1522经由一个或多个视频处理器1528将信息发送到(多个)显示器1526以进行显示,视频处理器1528将要显示的信息处理成适合于(多个)显示器1526的格式。(多个)显示器1526可以包括任何类型的显示器,包括但不限于阴极射线管(CRT)、液晶显示器(LCD)、等离子体显示器或发光二极管(LED)显示器等。

[0090] 本领域技术人员将进一步理解,结合本文中公开的各方面而描述的各种说明性逻辑块、模块、电路和算法可以实现为电子硬件、存储在存储器或另一计算机可读介质中并且由处理器或其他处理设备执行的指令、或这两者的组合。作为示例,本文中描述的主设备和从设备可以用在任何电路、硬件组件、IC或IC芯片中。本文中公开的存储器可以是任何类型和大小的存储器,并且可以被配置为存储期望的任何类型的信息。为了清楚地说明这种互换性,上文已经就其功能性大体上描述了各种说明性组件、块、模块、电路和步骤。这样的功能如何实现取决于特定应用、设计选择和/或施加在整个系统上的设计约束。所属领域的技术人员可以针对每个特定应用以不同方式实现所描述的功能,但这样的实现决策不应当被解释为导致偏离本公开的范围。

[0091] 结合本文中公开的各方面而描述的各种说明性逻辑块、模块和电路可以用被设计为执行本文中描述的功能的任何处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立门或晶体管逻辑、分立硬件组件或其组合来实现或执行。处理器可以是微处理器,但在备选方案中,处理器可以是任何传统的处理器、控制器、微控制器或状态机。处理器也可以实现为计算设备的组合(例如,DSP和微处理器的组合、多个微处理器、一个或多个微处理器与DSP核相结合、或任何其他这样的配置)。

[0092] 本文中公开的各方面可以体现在硬件和存储在硬件中的指令中,并且可以驻留在

例如随机存取存储器(RAM)、闪存、只读存储器(ROM)、电气可编程ROM(EPROM)、电气可擦除可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域已知的任何其他形式的计算机可读介质。示例性存储介质耦合到处理器,使得处理器可以从存储介质读取信息和向存储介质写入信息。在备选方案中,存储介质可以集成到处理器中。处理器和存储介质可以驻留在ASIC中。ASIC可以位于远程站中。备选地,处理器和存储介质可以作为分立组件驻留在远程站、基站或服务器中。

[0093] 还应当注意,本文中的任何示例性方面中描述的操作步骤都是为了提供示例和讨论。所描述的操作可以以除了所示序列之外的很多不同序列来执行。此外,在单个操作步骤中描述的操作实际上可以在若干不同的步骤中执行。此外,在示例性方面中讨论的一个或多个操作步骤可以组合。应当理解,流程图中所示的操作步骤可能会受到很多不同的修改,这对本领域的技术人员来说是很清楚的。本领域技术人员还将理解,信息和信号可以使用各种科技和技术来表示。例如,在整个以上描述中可以引用的数据、指令、命令、信息、信号、比特、符号和芯片可以通过电压、电流、电磁波、磁场或粒子、光场或粒子、或其任何组合来表示。

[0094] 提供本公开的先前描述是为了使得本领域任何技术人员能够制作或使用本公开。对本领域技术人员来说,对本公开的各种修改将是很清楚的,并且本文中定义的一般原理可以应用于其他变化。因此,本公开不旨在局限于本文中描述的示例和设计,而是应当符合与本文中公开的原理和新颖特征相一致的最宽范围。

[0095] 以下编号条款中描述了实现示例:

[0096] 1.一种互补场效应晶体管(CFET)电路,包括:

[0097] 器件层,包括:

[0098] 第一单片CFET结构,包括在第二类型的第二FET上的第一类型的第一FET;以及

[0099] 第二单片CFET结构,包括在第二类型的第四FET上的第一类型的第三FET;

[0100] 第一互连层,设置在器件层上,第一互连层包括:

[0101] 第一输入接触部,被配置为将第一输入信号耦合到第一FET的栅极和第二FET的栅极;

[0102] 第二输入接触部,被配置为将第二输入信号耦合到第三FET的栅极和第四FET的栅极;以及

[0103] 输出接触部,被配置为基于第一输入信号和第二输入信号的逻辑运算来生成输出信号。

[0104] 2.根据条款1的CFET电路,还包括第一互连,第一互连在第一互连层中在第二方向上延伸以将在第一单片CFET结构的第一侧的第一FET的第一源极/漏极耦合到在第二单片CFET结构的第一侧的第三FET的第一源极/漏极,其中第一单片CFET结构的第一侧和第二单片CFET结构的第一侧在第一单片CFET结构与第二单片CFET结构之间。

[0105] 3.根据条款1或2的CFET电路,还包括二输入或非(NOR)电路。

[0106] 4.根据条款1或2的CFET电路,还包括二输入与非(NAND)电路。

[0107] 5.根据条款1至4中任一项的CFET电路,器件层还包括:

[0108] 第一上部过孔,在第一单片CFET结构的第一侧上从第一FET的第一源极/漏极延伸到第一互连层;

[0109] 第二上部过孔,在第二单片CFET结构的第一侧上从第三FET的第一源极/漏极延伸到第一互连层;

[0110] 第三上部过孔,在第一单片CFET结构的第二侧上从第一FET的第二源极/漏极延伸到第一互连层;

[0111] 第四上部过孔,在第二单片CFET结构的第二侧上从第三FET的第二源极/漏极延伸到第一互连层;

[0112] 第五上部过孔,将第一FET的栅极和第二FET的栅极耦合到第一互连层;以及

[0113] 第六上部过孔,将第三FET的栅极和第四FET的栅极耦合到第一互连层。

[0114] 6.根据条款1至5中任一项的CFET电路,器件层还包括:

[0115] 第一下部过孔,在第一单片CFET结构的第一侧上从第二FET的第一源极/漏极延伸到第一互连层;

[0116] 第二下部过孔,在第二单片CFET结构的第一侧上从第四FET的第一源极/漏极延伸到第一互连层;

[0117] 第三下部过孔,在第一单片CFET结构的第二侧上从第二FET的第二源极/漏极延伸到第一互连层;以及

[0118] 第四下部过孔,在第一单片CFET结构的第二侧上从第四FET的第一源极/漏极延伸到第一互连层。

[0119] 7.根据条款1至5中任一项的CFET电路,其中:

[0120] 第一FET的第一源极/漏极在第一FET的第一侧耦合到第一沟道区域,并且第一FET的第二源极/漏极在第一FET的第二侧耦合到第一沟道区域;

[0121] 第二FET的第一源极/漏极在第二FET的第一侧耦合到第二沟道区域,并且第二FET的第二源极/漏极在第二FET的第二侧耦合到第二沟道区域;

[0122] 第一FET的第一源极/漏极在第二方向上包括第一源极/漏极宽度;

[0123] 第二FET的第一源极/漏极在第二方向上包括第二源极/漏极宽度,第二源极/漏极宽度超过第一源极/漏极宽度;并且

[0124] 器件层还包括第七上部过孔,第七上部过孔在第一单片CFET结构的第一侧上从第二FET的第一源极/漏极延伸到第一互连层。

[0125] 8.根据条款7的CFET电路,其中:

[0126] 第一FET的第二源极/漏极包括第一源极/漏极宽度;

[0127] 第三FET的第一源极/漏极包括第一源极/漏极宽度;

[0128] 第三FET的第二源极/漏极包括第一源极/漏极宽度;

[0129] 第二FET的第二源极/漏极包括第二源极/漏极宽度;

[0130] 第四FET的第一源极/漏极包括第二源极/漏极宽度;

[0131] 第四FET的第二源极/漏极包括第二源极/漏极宽度;

[0132] 第八上部过孔在第一单片CFET结构的第二侧上从第二FET的第二源极/漏极延伸到第一互连层;

[0133] 第九上部过孔在第二单片CFET结构的第一侧上从第四FET的第一源极/漏极延伸到第一互连层;并且

[0134] 第十上部过孔在第二单片CFET结构的第二侧上从第四FET的第二源极/漏极延伸

到第一互连层。

[0135] 9.根据条款5的CFET电路,还包括设置在器件层下方的第二互连层,其中:

[0136] 器件层还包括:

[0137] 第一下部过孔,在第一单片CFET结构的第一侧上从第二FET的第一源极/漏极延伸到第二互连层;

[0138] 第二下部过孔,在第二单片CFET结构的第一侧上从第四FET的第一源极/漏极延伸到第二互连层;

[0139] 第三下部过孔,在第一单片CFET结构的第二侧上从第二FET的第二源极/漏极延伸到第二互连层;

[0140] 第四下部过孔,在第二单片CFET结构的第二侧上从第四FET的第二源极/漏极延伸到第二互连层;

[0141] 第五过孔,在第一单片CFET结构的第二侧上通过第二互连层耦合到第三下部过孔并且在第二互连层与第一互连层之间延伸;以及

[0142] 第六过孔,在第二单片CFET结构的第二侧上通过第二互连层耦合到第四下部过孔并且在第二互连层与第一互连层之间延伸;并且

[0143] 第二互连层还包括耦合到第一下部过孔和第二下部过孔的下部互连。

[0144] 10.根据条款1至9中任一项的CFET电路,还包括半导体衬底,

[0145] 其中第一FET、第二FET、第三FET和第四FET包括形成在半导体衬底上的体型晶体管。

[0146] 11.根据条款1至9中任一项的CFET电路,还包括氧化物层,

[0147] 其中第一FET、第二FET、第三FET和第四FET还包括形成在氧化物层上的绝缘体上硅(SOI)型晶体管。

[0148] 12.根据条款2至11中任一项的CFET电路,还包括外部互连,外部互连将第三FET的第二源极/漏极耦合到第二FET的第二源极/漏极和第四FET的第二源极/漏极。

[0149] 13.根据条款2至11中任一项的CFET电路,还包括外部互连,外部互连将第三FET的第二源极/漏极耦合到第一FET的第二源极/漏极和第四FET的第二源极/漏极。

[0150] 14.根据条款2至8、10和11中任一项的CFET电路,还包括外部互连,外部互连将第一FET的第一源极/漏极耦合到第三FET的第一源极/漏极。

[0151] 15.根据条款2至8、10和11中任一项的CFET电路,还包括外部互连,外部互连将第一FET的第一源极/漏极耦合到第四FET的第二源极/漏极和第三FET的第二源极/漏极。

[0152] 16.根据条款1至15中任一项的CFET电路,其中第一FET、第二FET、第三FET和第四FET中的每个包括沟道区域,沟道区域包括至少一个纳米板或纳米线。

[0153] 17.根据条款1至16中任一项的CFET电路,集成到选自由以下项组成的组的设备中:机顶盒;娱乐单元;导航设备;通信设备;固定位置数据单元;移动位置数据单元;全球定位系统(GPS)设备;移动电话;蜂窝电话;智能电话;会话发起协议(SIP)电话;平板电脑;平板电话;服务器;计算机;便携式计算机;移动计算设备;可穿戴计算设备;台式计算机;个人数字助理(PDA);监视器;计算机监视器;电视机;调谐器;无线电设备;卫星无线电设备;音乐播放器;数字音乐播放器;便携式音乐播放器;数字视频播放器;视频播放器;数字视频光盘(DVD)播放器;便携式数字视频播放器;汽车;交通工具组件;航空电子系统;无人机;以及

多旋翼直升机。

[0154] 18.一种集成电路(IC),包括:

[0155] 处理器;

[0156] 耦合到处理器的互补场效应晶体管(CFET)电路,CFET电路包括:

[0157] 器件层,包括:

[0158] 第一单片CFET结构,包括在第二类型的第二FET上方的第一类型的第一FET;以及

[0159] 第二单片CFET结构,包括在第二类型的第四FET上方的第一类型的第三FET;以及

[0160] 设置在器件层上的第一互连层,第一互连层包括:

[0161] 第一输入接触部,被配置为将第一输入信号耦合到第一FET的栅极和第二FET的栅极;

[0162] 第二输入接触部,被配置为将第二输入信号耦合到第三FET的栅极和第四FET的栅极;以及

[0163] 输出接触部,被配置为基于第一输入信号和第二输入信号的逻辑运算来生成输出信号。

[0164] 19.一种形成互补场效应晶体管(CFET)电路的方法,该方法包括:

[0165] 形成器件层,器件层包括:

[0166] 第一单片CFET结构,包括在第二类型的第二FET上方的第一类型的第一FET;以及

[0167] 第二单片CFET结构,包括在第二类型的第四FET上方的第一类型的第三FET;以及

[0168] 形成第一互连层,第一互连层设置在器件层上,第一互连层包括:

[0169] 第一输入接触部,被配置为将第一输入信号耦合到第一FET的栅极和第二FET的栅极;

[0170] 第二输入接触部,被配置为将第二输入信号耦合到第三FET的栅极和第四FET的栅极;以及

[0171] 输出接触部,被配置为基于第一输入信号和第二输入信号的逻辑运算来生成输出信号。

[0172] 20.根据条款19的方法,还包括形成第一互连,第一互连在第一互连层中在第二方向上延伸以将第一单片CFET结构中的第一类型的FET的第一源极/漏极耦合到第二单片CFET结构中的第一类型的FET的第一源极/漏极。

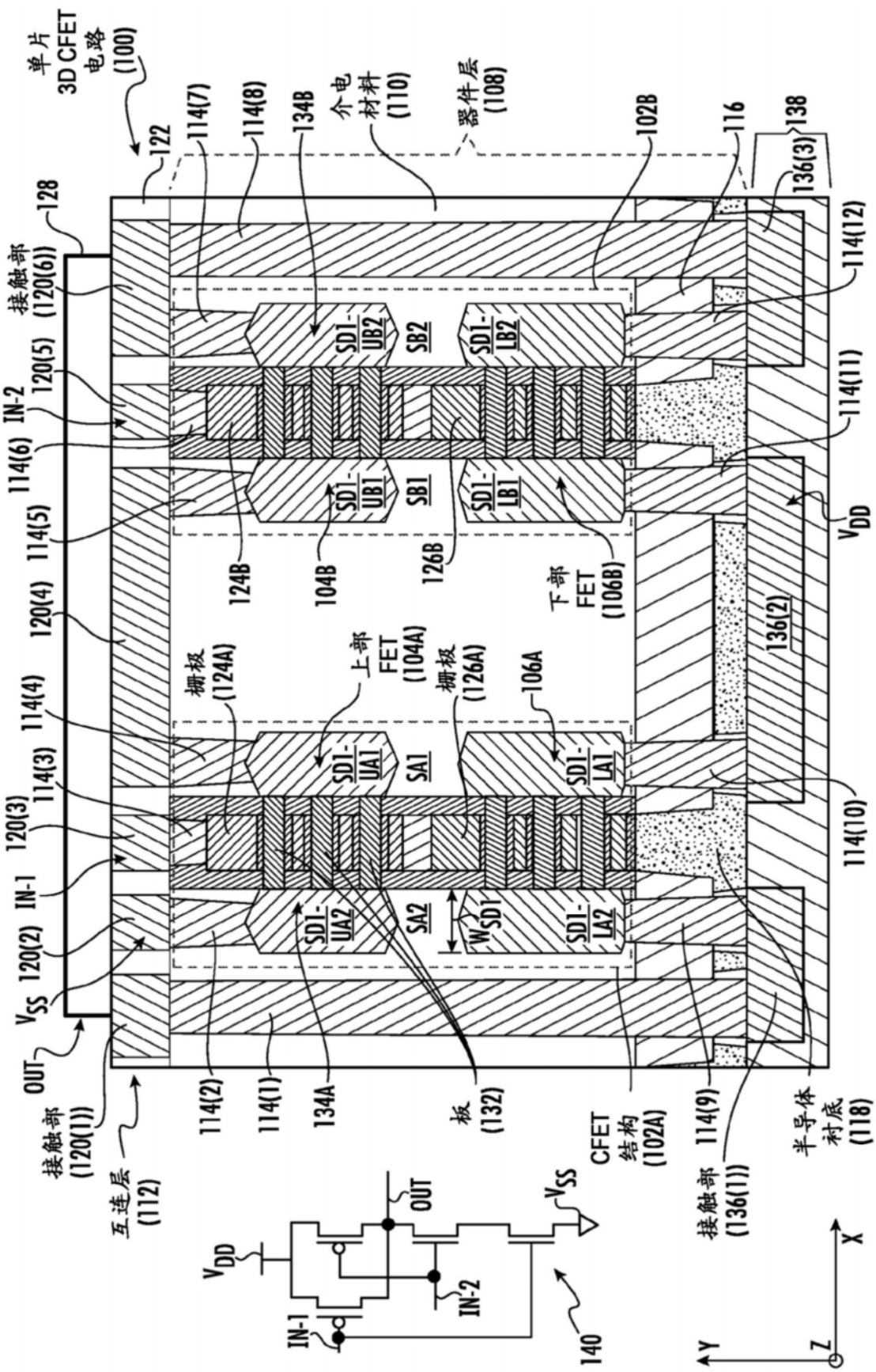

单片
3D CFET
电路
(100)
122
114(7)
114(8)
134B
介电
材料
(110)
器件层
(108)
102B
116
138
136(3)
128
接触部
(120(6))
120(5)
IN-2
114(6)
114(5)
120(4)
114(4)
120(3)
114(3)
IN-1
120(2)
VSS
OUT
接触部
(120(1))
互连层
(112)
114(2)
114(1)
134A
板
(132)
CFET
结构
(102A)
114(9)
接触部
(136(1))
半导体
衬底
(118)
114(12)
114(11)
VDD
114(10)
136(2)
SD1-
UB2
SB2
SD1-
LB2
SD1-
UB1
SB1
SD1-
LB1
124B
104B
126B
下部
FET
(106B)
栅极
(124A)
上部
FET
(104A)
栅极
(126A)
106A
SD1-
UA1
SA1
SD1-
LA1
SD1-
UA2
SA2
WSD1
SD1-
LA2
VDD
OUT
VSS
IN-1
IN-2
140
Y
X
Z

图1

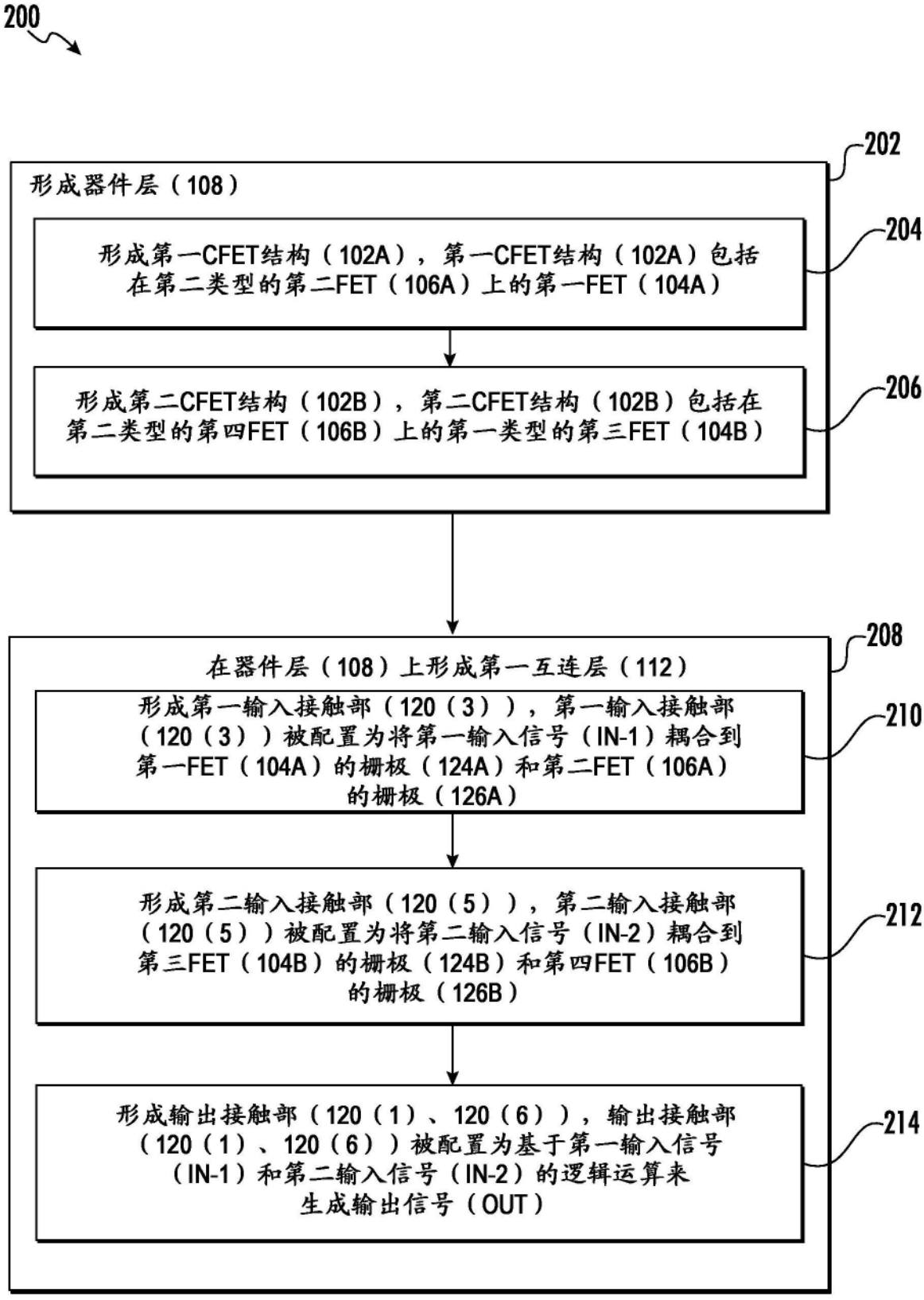

200
202
形成器件层（108）
204
形成第一CFET结构（102A），第一CFET结构（102A）包括在第二类型的第二FET（106A）上的第一FET（104A）
206
形成第二CFET结构（102B），第二CFET结构（102B）包括在第二类型的第四FET（106B）上的第一类型的第三FET（104B）
208
在器件层（108）上形成第一互连层（112）
210
形成第一输入接触部（120（3）），第一输入接触部（120（3））被配置为将第一输入信号（IN-1）耦合到第一FET（104A）的栅极（124A）和第二FET（106A）的栅极（126A）
212
形成第二输入接触部（120（5）），第二输入接触部（120（5））被配置为将第二输入信号（IN-2）耦合到第三FET（104B）的栅极（124B）和第四FET（106B）的栅极（126B）
214
形成输出接触部（120（1）、120（6）），输出接触部（120（1）、120（6））被配置为基于第一输入信号（IN-1）和第二输入信号（IN-2）的逻辑运算来生成输出信号（OUT）

图2

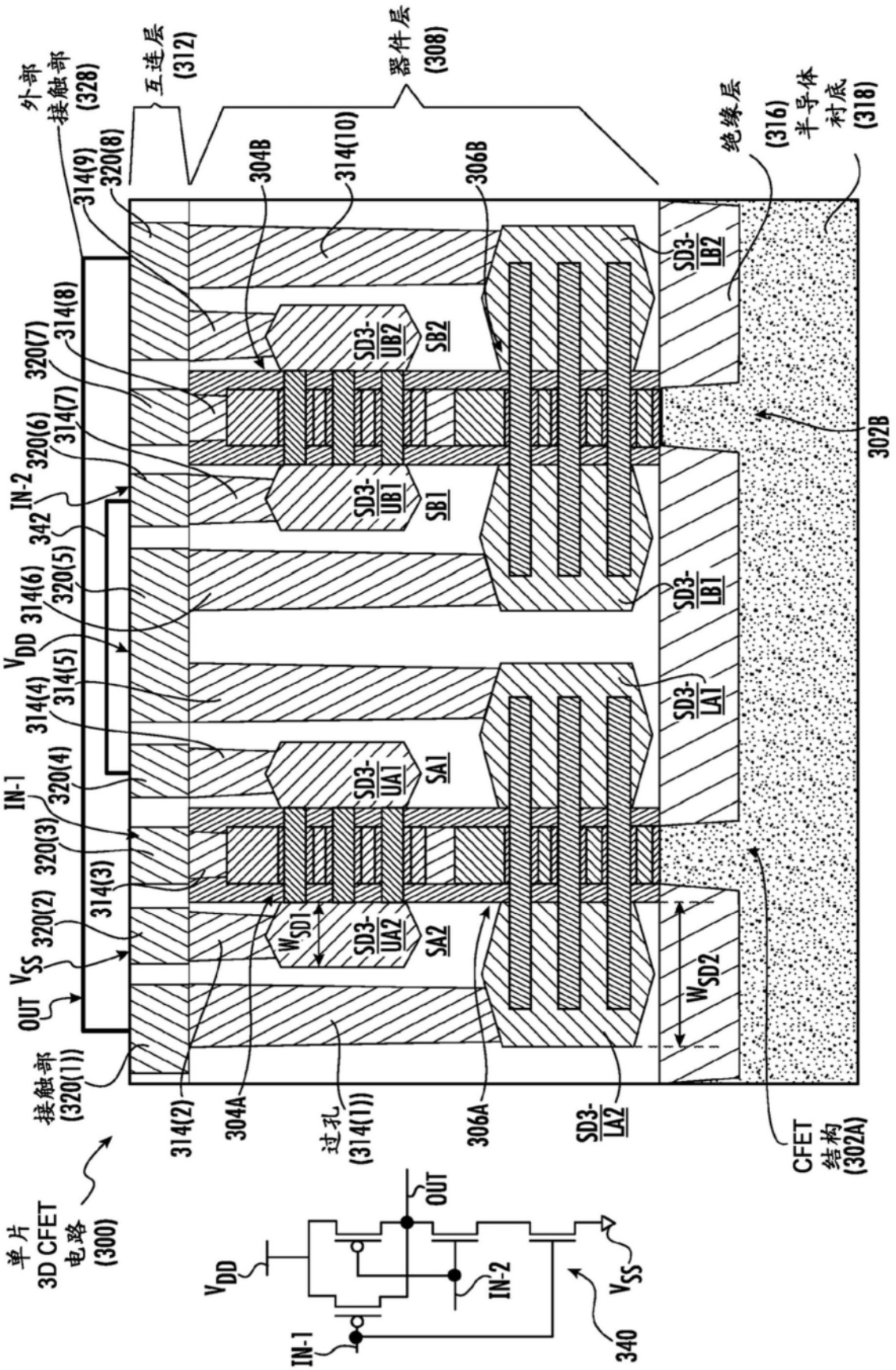

外部接触部 (328)
互连层 (312)
器件层 (308)
绝缘层 (316)
半导体衬底 (318)
320(8)
314(9)
304B
314(10)
306B
320(7)
314(8)
320(6)
314(7)
IN-2
342
320(5)
314(6)
VDD
314(5)
314(4)
320(4)
IN-1
320(3)
314(3)
320(2)
VSS
OUT
接触部 (320(1))
314(2)
304A
过孔 (314(1))
306A
SD3-LA2
SD3-LA1
SD3-LB1
SD3-LB2
SD3-UA2
SA2
SD3-UA1
SA1
SD3-UB1
SB1
SD3-UB2
SB2
WSD1
WSD2
302B
CFET 结构 (302A)
单片 3D CFET 电路 (300)
VDD
OUT
IN-2
VSS
IN-1
340

图3

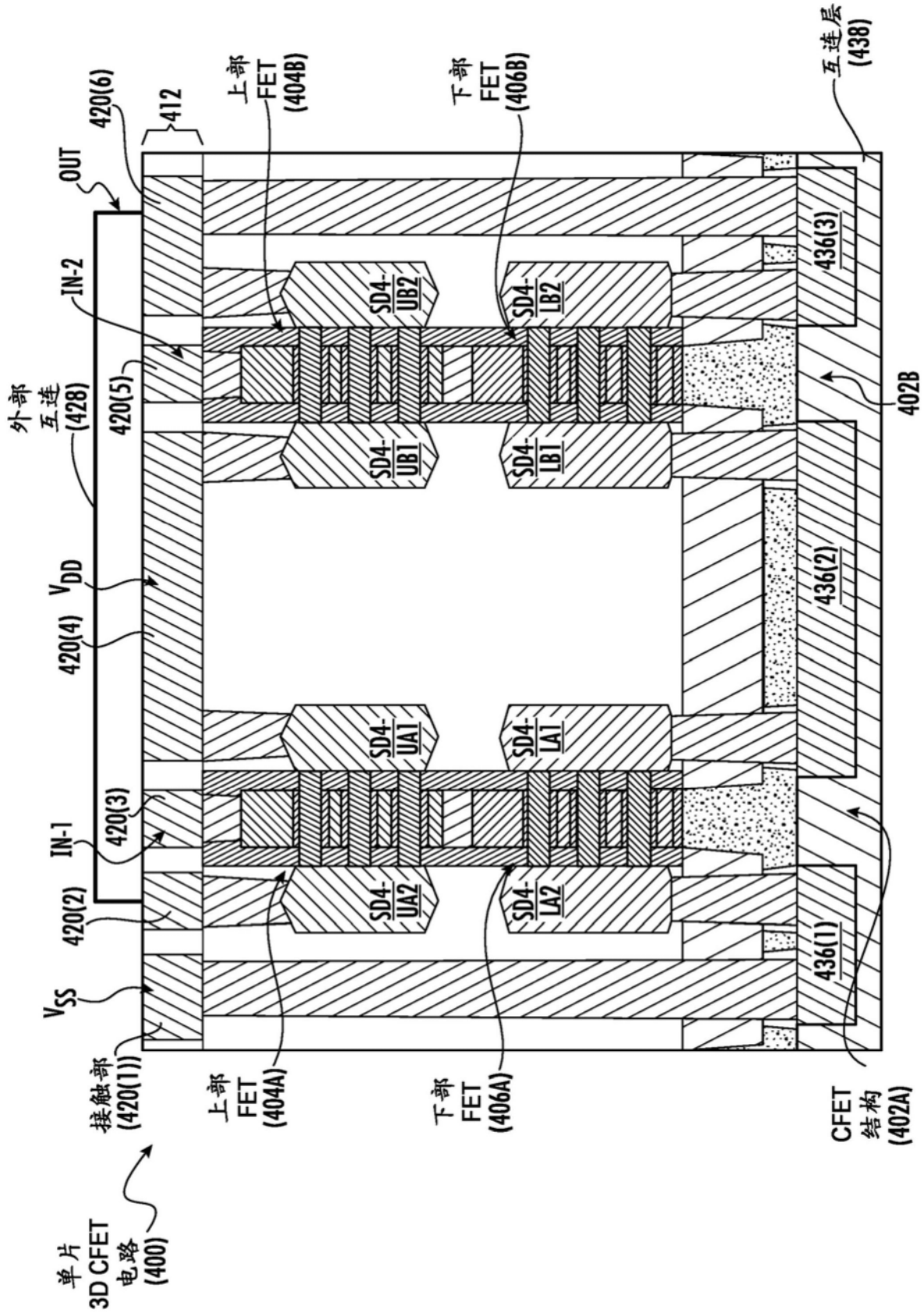

单片
3D CFET
电路
(400)
接触部
(420(1))
上部
FET
(404A)
下部
FET
(406A)
CFET
结构
(402A)
互连层
(438)
上部
FET
(404B)
下部
FET
(406B)
OUT
420(6)
412
IN-2
外部
互连
(428)
420(5)
V_{DD}
420(4)
IN-1
420(3)
420(2)
V_{SS}
SD4-UB2
SD4-LB2
SD4-UB1
SD4-LB1
SD4-UA1
SD4-LA1
SD4-UA2
SD4-LA2
436(3)
436(2)
436(1)
402B

图4

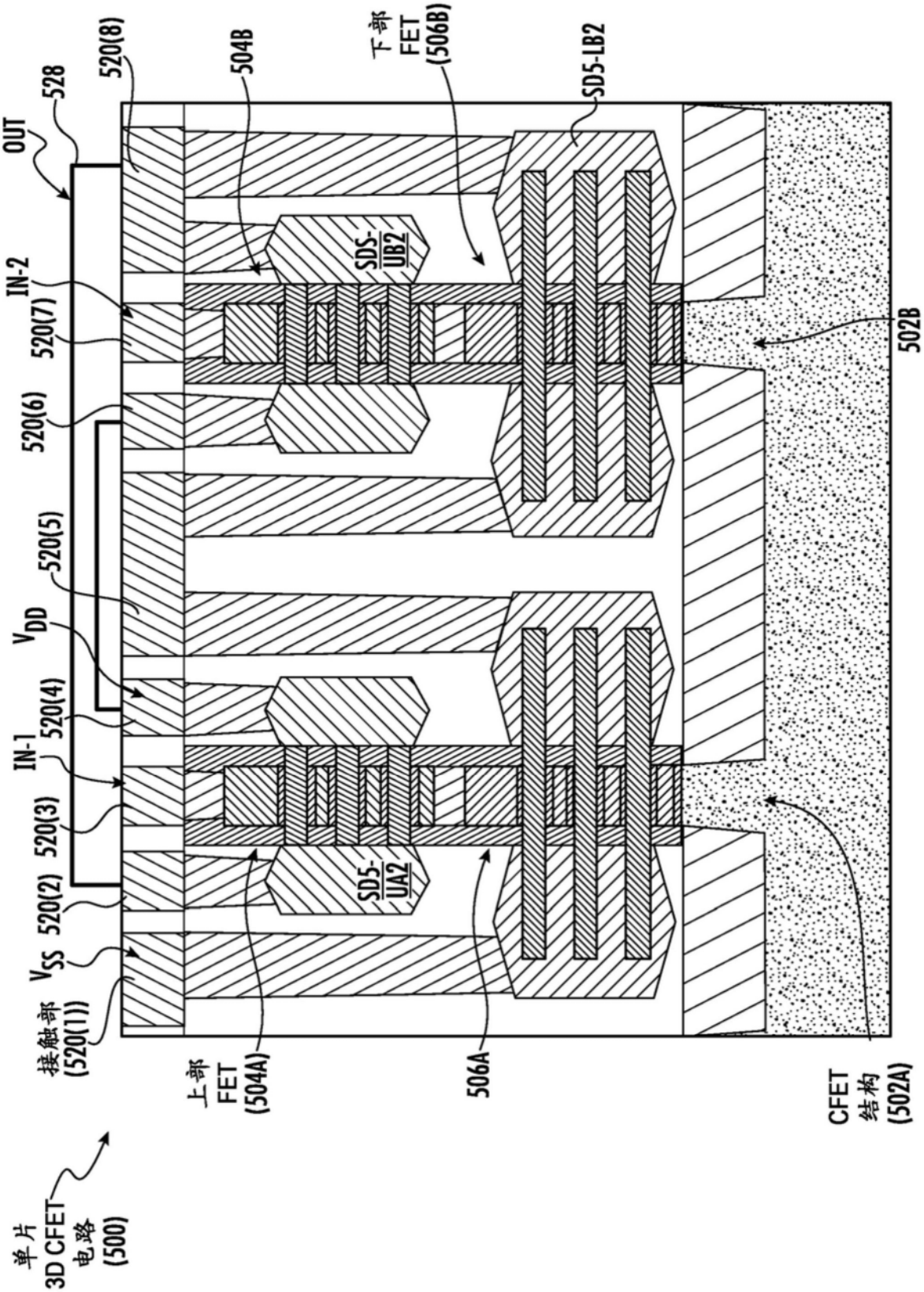

OUT
528
520(8)
504B
下部 FET (506B)
SD5-LB2
IN-2
520(7)
520(6)
520(5)
V_{DD}
520(4)
IN-1
520(3)
520(2)
V_{SS}
接触部 (520(1))
SD5-UB2
SD5-UA2
502B
上部 FET (504A)
506A
CFET 结构 (502A)
单片 3D CFET 电路 (500)

图5

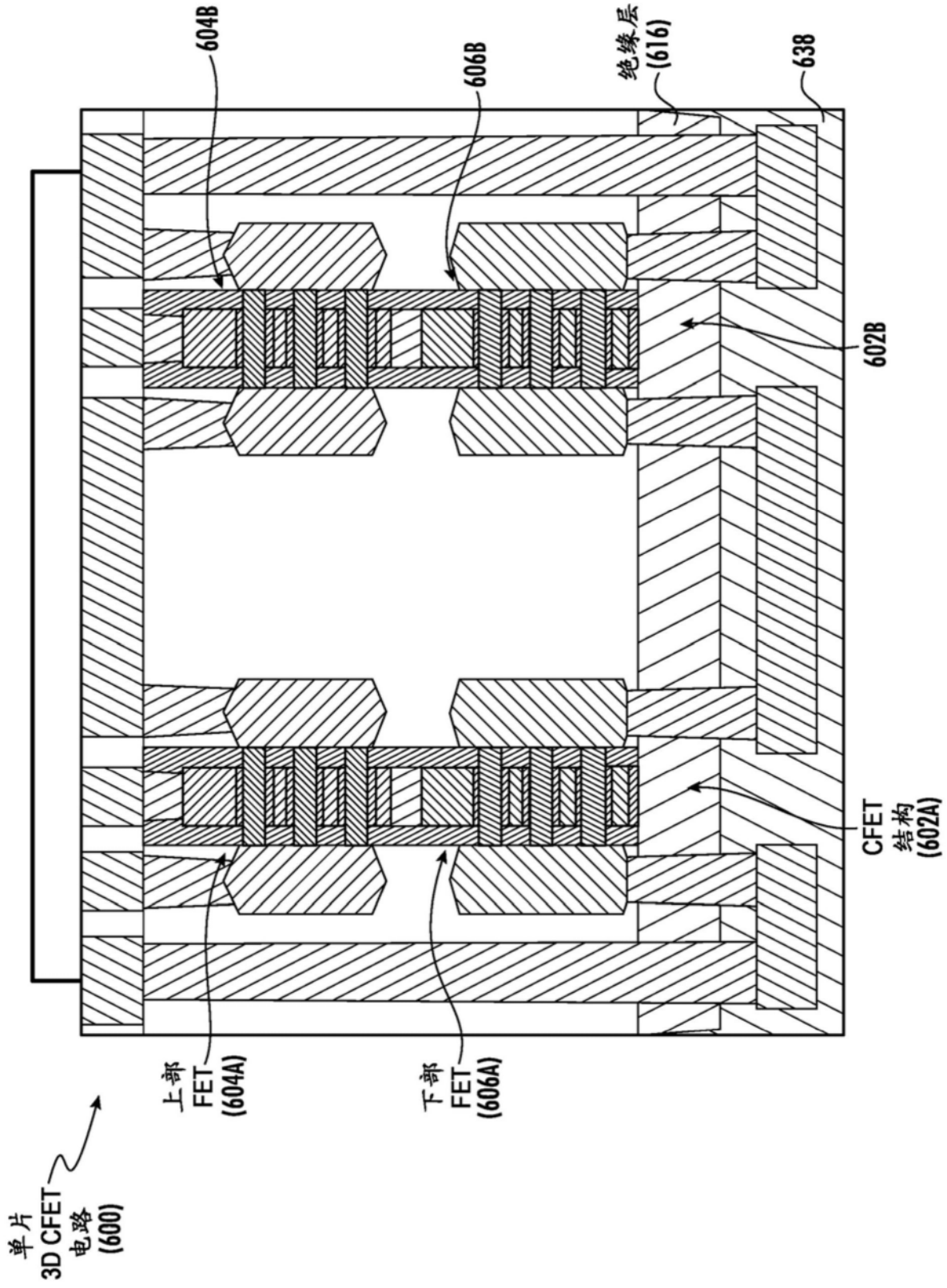

604B
606B
绝缘层
(616)
638
602B
CFET
结构
(602A)
上部
FET
(604A)
下部
FET
(606A)
单片
3D CFET
电路
(600)

图6

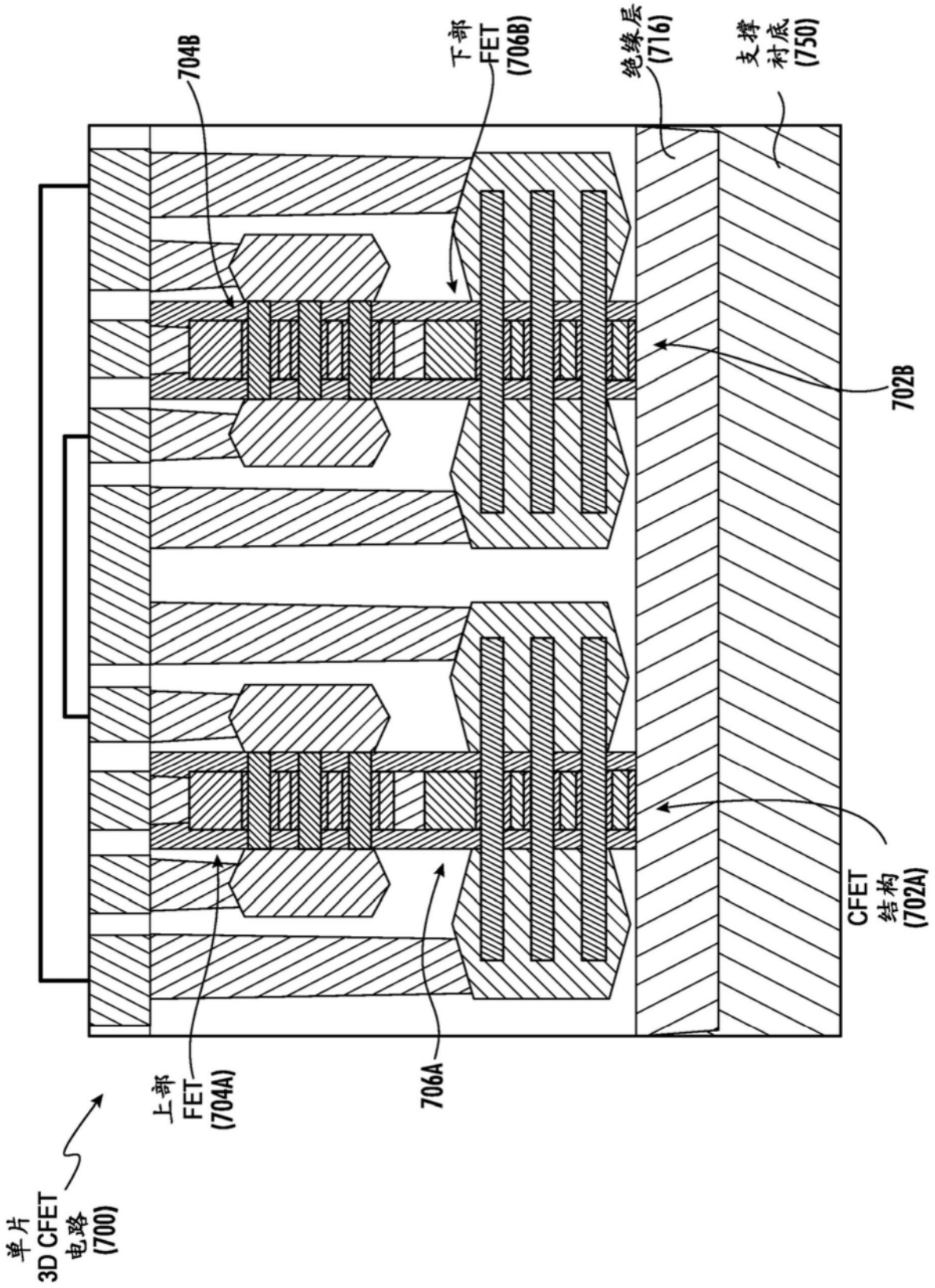

704B
下部 FET (706B)
绝缘层 (716)
支撑衬底 (750)
702B
CFET 结构 (702A)
上部 FET (704A)
706A
单片 3D CFET 电路 (700)

图7

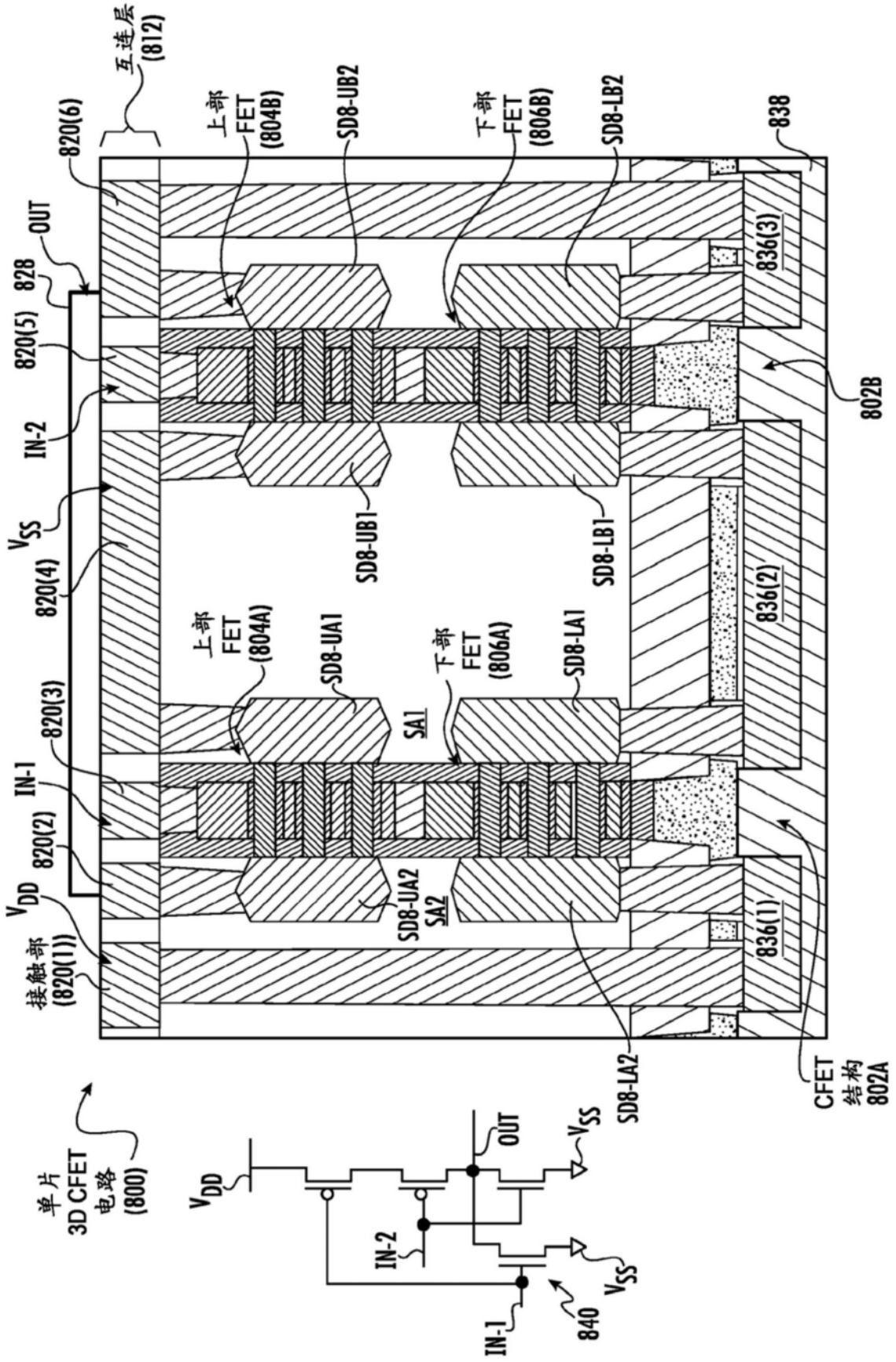

互连层
(812)
820(6)
上部
FET
(804B)
SD8-UB2
下部
FET
(806B)
SD8-LB2
838
OUT
828
820(5)
IN-2
VSS
820(4)
SD8-UB1
SD8-LB1
836(3)
802B
上部
FET
(804A)
SD8-UA1
下部
FET
(806A)
SD8-LA1
SA1
820(3)
IN-1
820(2)
VDD
SD8-UA2
SA2
836(2)
接触部
(820(1))
836(1)
SD8-LA2
CFET
结构
802A
单片
3D CFET
电路
(800)
VDD
OUT
VSS
IN-2
VSS
IN-1
840

图8

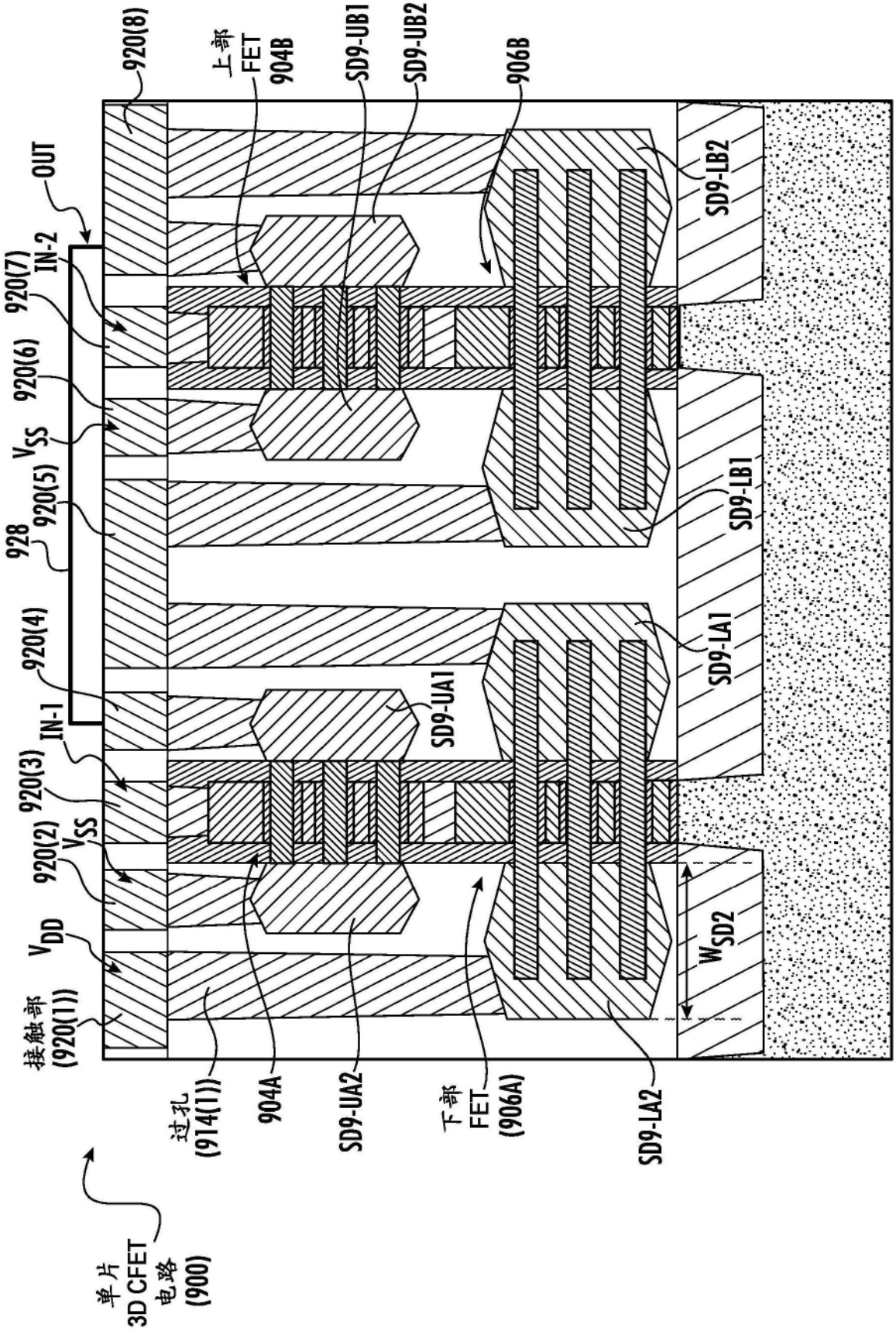

920(8)
上部 FET 904B
SD9-UB1
SD9-UB2
906B
SD9-LB2
OUT
IN-2
920(7)
920(6)
VSS
920(5)
928
SD9-LB1
920(4)
SD9-LA1
IN-1
SD9-UA1
920(3)
920(2)
VSS
VDD
WSD2
接触部 (920(1))
过孔 (914(1))
904A
SD9-UA2
下部 FET (906A)
SD9-LA2
单片 3D CFET 电路 (900)

图9

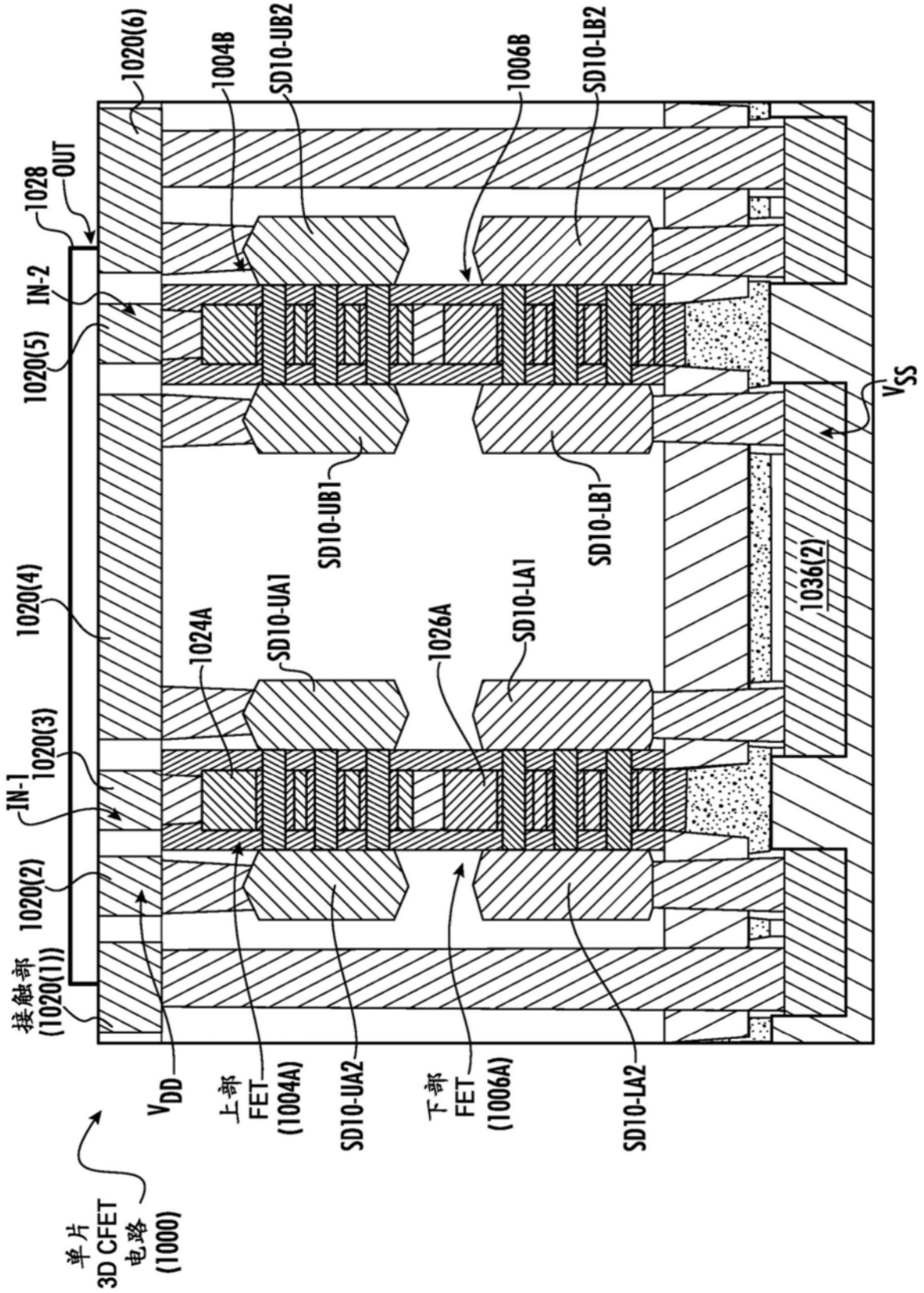

1020(6)
1004B
SD10-UB2
1006B
SD10-LB2
1028
OUT
IN-2
1020(5)
VSS
SD10-UB1
SD10-LB1
1020(4)
1024A
SD10-UA1
1026A
SD10-LA1
1036(2)
IN-1
1020(3)
1020(2)
接触部
(1020(1))
VDD
上部
FET
(1004A)
SD10-UA2
下部
FET
(1006A)
SD10-LA2
单片
3D CFET
电路
(1000)

图10

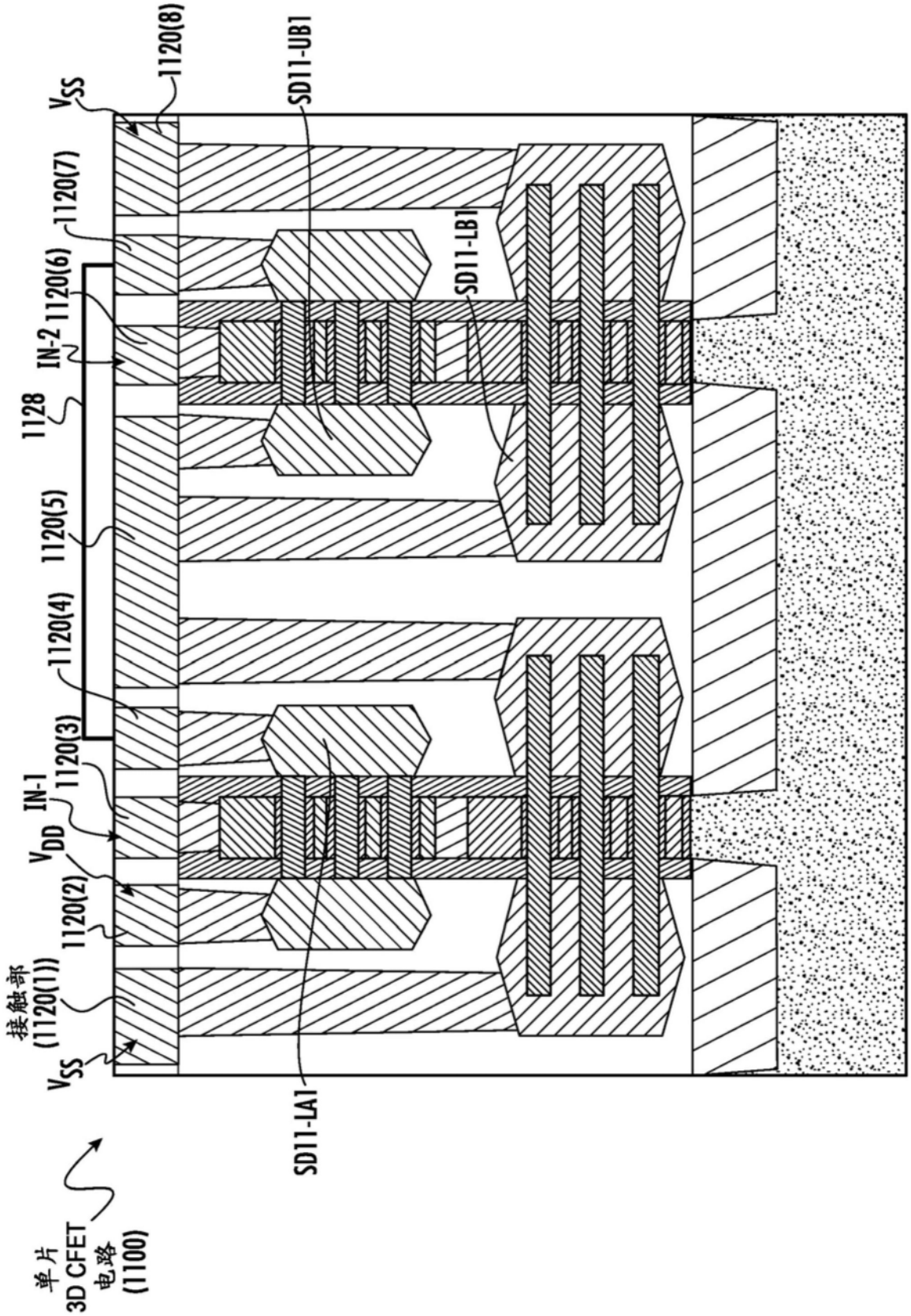

1120(8)
SD11-UB1
VSS
1120(7)
SD11-LB1
1120(6)
IN-2
1128
1120(5)
1120(4)
1120(3)
IN-1
VDD
1120(2)
接触部
(1120(1))
VSS
SD11-LA1
单片
3D CFET
电路
(1100)

图11

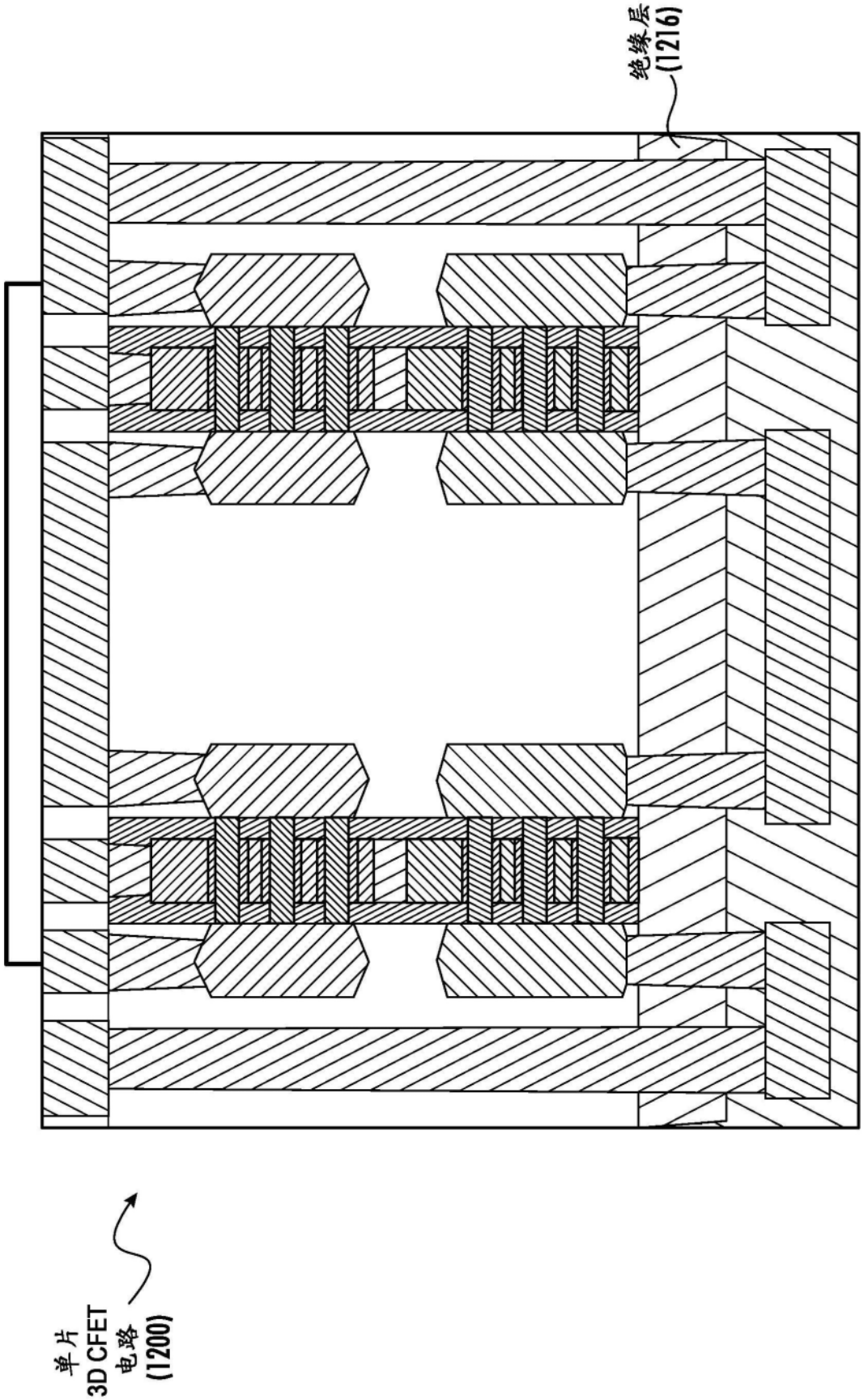


图12

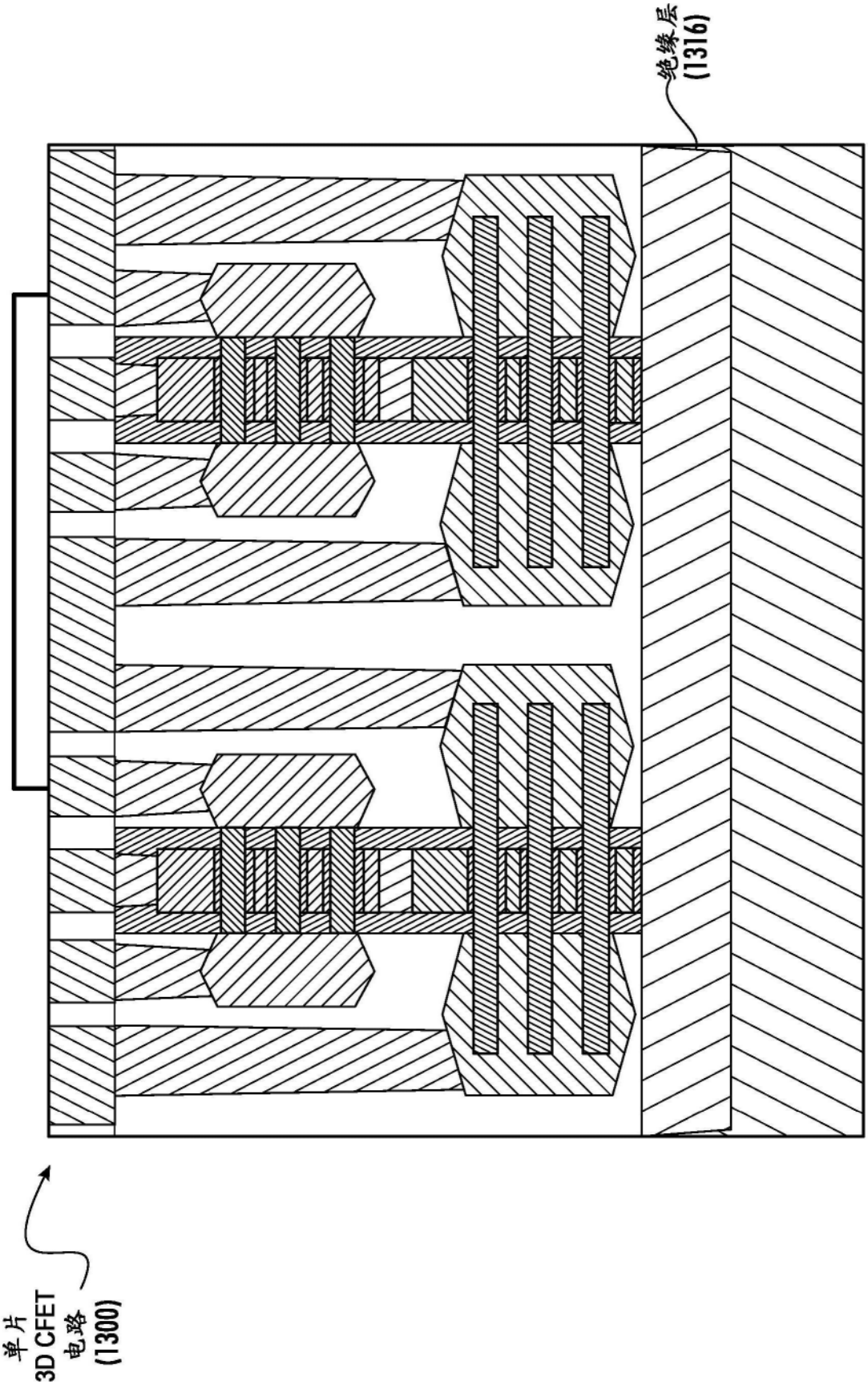


图13

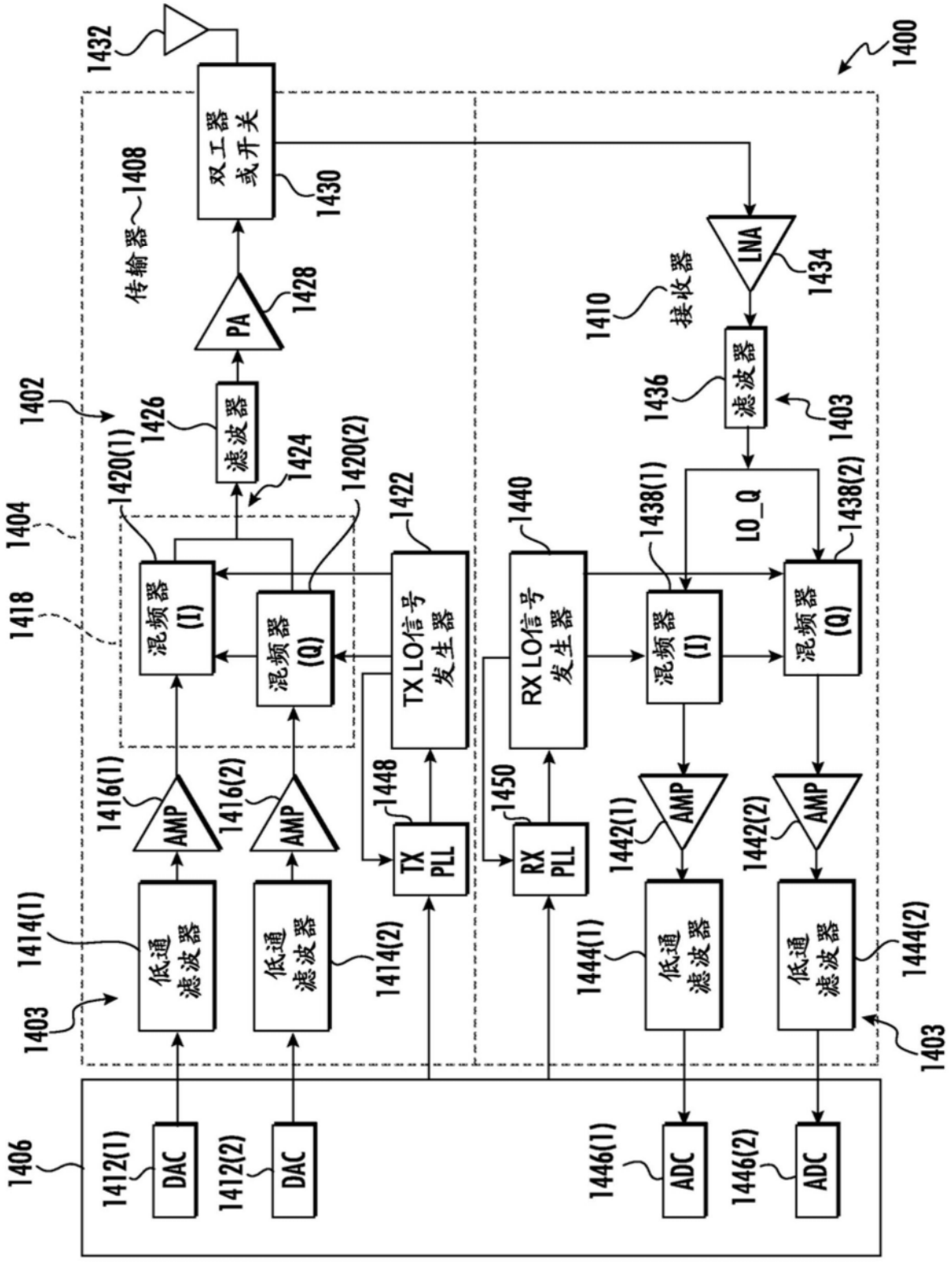

1400
1432
双工器或开关
1430
传输器
1408
PA
1428
LNA
1434
接收器
1410
1402
1426
滤波器
1424
1436
滤波器
1403
1420(1)
1420(2)
1422
1440
1438(1)
1438(2)
LO_Q
1404
1418
混频器(I)
混频器(Q)
TX LO信号发生器
RX LO信号发生器
混频器(I)
混频器(Q)
1416(1)
1416(2)
AMP
AMP
1448
1450
TX PLL
RX PLL
1442(1)
1442(2)
AMP
AMP
1414(1)
1414(2)
低通滤波器
低通滤波器
1444(1)
1444(2)
低通滤波器
低通滤波器
1403
1406
1412(1)
1412(2)
DAC
DAC
1446(1)
1446(2)
ADC
ADC

图14

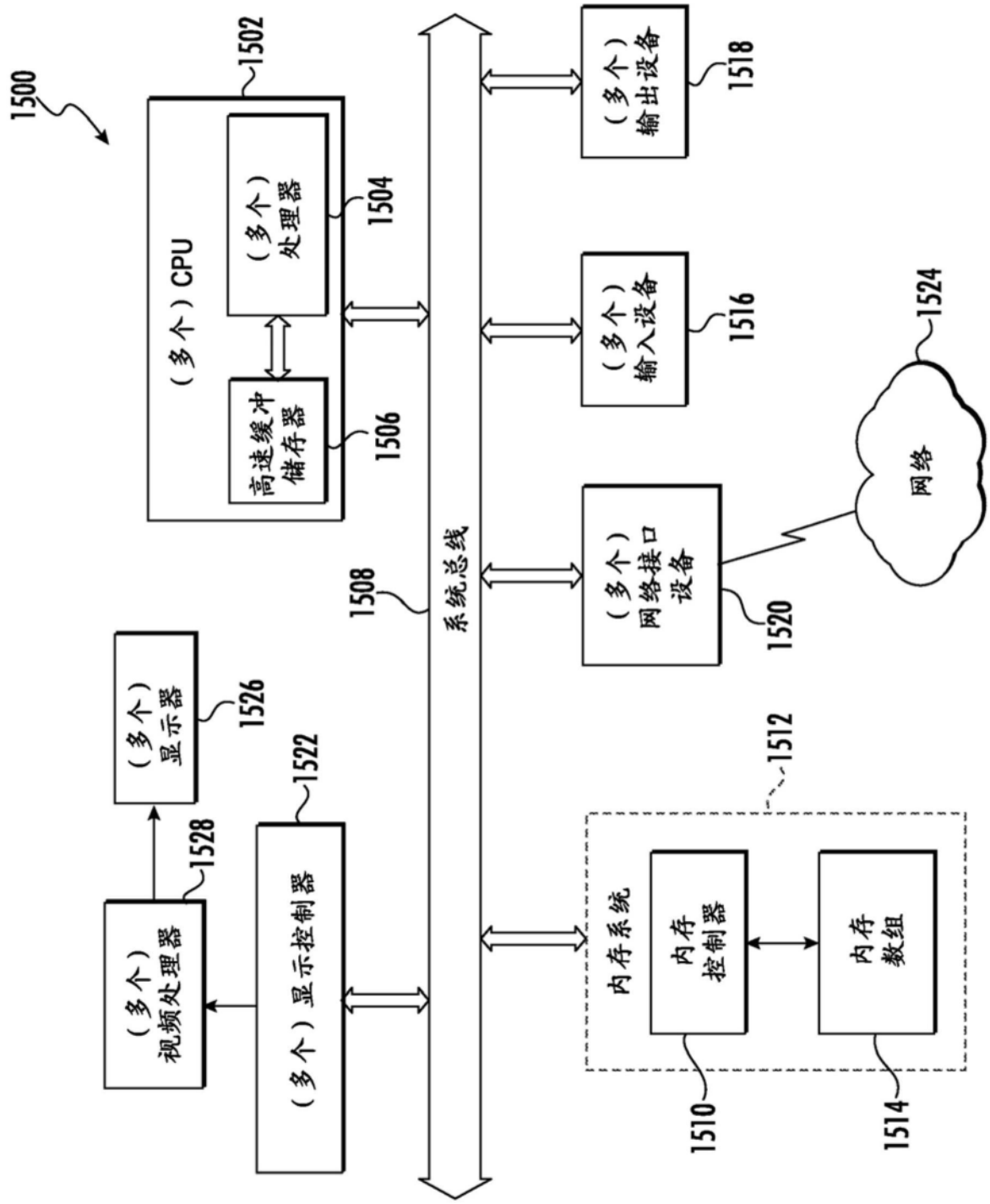

1500
1502
（多个）CPU
（多个）处理器
1504
高速缓冲储存器
1506
1508
系统总线
（多个）输出设备
1518
（多个）输入设备
1516
1524
网络
（多个）网络接口设备
1520
1512
内存系统
内存控制器
内存数组
1510
1514
（多个）显示器
1526
1522
（多个）显示控制器
1528
（多个）视频处理器

图15