

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H02H 3/22 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02151340.6

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316706C

[22] 申请日 2002.11.15 [21] 申请号 02151340.6

[73] 专利权人 华邦电子股份有限公司  
地址 台湾省新竹

[72] 发明人 林锡聪 陈伟梵 连振焯

[56] 参考文献

US 6091593 A 2000.7.18

审查员 傅琦

[74] 专利代理机构 隆天国际知识产权代理有限公司  
代理人 陈红 潘培坤

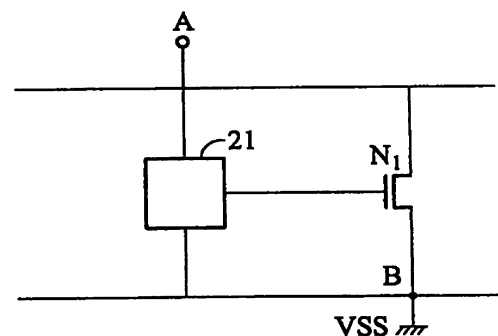
权利要求书 3 页 说明书 7 页 附图 4 页

## [54] 发明名称

快速触发的静电保护电路及其方法

## [57] 摘要

本发明涉及一种快速触发的静电保护电路，在一正静电电压产生时，可在分流晶体管的栅极上产生一瞬时的负电压。本发明的静电保护电路较传统使用栅极耦合 N 型晶体管 (GCNMOS) 的静电保护电路具有更佳的静电保护功效，特别适用于使用栅极氧化层厚度在 40 Å 或以下的晶体管。



1. 一种快速触发的静电保护电路，当一静电电压在一第一节点上产生时，提供至一第二节点的静电放电路径，其特征在于，包括：

一第一晶体管，漏极耦接至该第一节点，源极耦接至该第二节点，当该第一节点上的该静电电压到达一触发电压值时，进入一跳通状态而提供该静电放电路径；

一静电瞬时负电压产生器，当该静电电压在该第一节点上产生时，接收该静电电压而输出一负电压至该第一晶体管的栅极，降低该触发电压值；以及  
电路，包括一电阻和一电容，该电阻耦接于该第一晶体管的栅极与该第二节点之间，该电容耦接于该第一晶体管的栅极与源极之间。

2. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该静电瞬时负电压产生器包括：

一瞬时振荡器，当该静电电压在该第一节点上产生时，接收该静电电压而输出一振荡信号；以及

一第一电容，一端连接该瞬时振荡器以接收该振荡信号，另一端耦接至该第一晶体管栅极。

3. 如权利要求 2 所述的快速触发的静电保护电路，其特征在于，还包括一第二晶体管，其漏极与栅极共同耦接至该第一晶体管栅极，源极耦接至该第二节点。

4. 如权利要求 2 所述的快速触发的静电保护电路，其特征在于，该瞬时振荡器包括：

一或非门；

一系列的逆向器群，相互串联且包括一第一反向器，其输入端连接至该或非门的输出端，还包括一最后反向器，其输出端连接至该或非门的第一输入端；

一第二电阻，耦接于该或非门的第二输入端与该第一节点之间；以及

一第二电容，耦接于该或非门的第二输入端与该第二节点之间。

5. 如权利要求 2 所述的快速触发的静电保护电路，其特征在于，该瞬时振荡器包括：

一与非门；

一系列的反向器群，相互串联且包括一第一反向器，其输入端连接至该与非门的输出端，还包括一最后反向器，其输出端连接至该与非门的第一输入端；

一第二电阻，耦接于该与非门的第二输入端与该第二节点之间；以及

一第二电容，耦接于该与非门的第二输入端与该第一节点之间。

6. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，还包括一第三晶体管，其漏极与栅极共同耦接至该第一晶体管的栅极，且其源极耦接至该第二节点。

7. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，还包括至少一二极管，串联于该第一晶体管栅极与该第二节点之间。

8. 如权利要求 7 所述的快速触发的静电保护电路，其特征在于，该至少一二极管为多个。

9. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，还包括一开关，连接于该第一晶体管的栅极与该第二节点之间。

10. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该第一节点为一焊垫。

11. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该第一节点为一高电位 VDD 电源总线。

12. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该第二节点为一低电位 VSS 电源总线。

13. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该第一晶体管具有一厚度小于  $41\text{\AA}$  的栅极氧化层。

14. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该第一晶体管具有一厚度小于  $21\text{\AA}$  的栅极氧化层。

15. 如权利要求 1 所述的快速触发的静电保护电路，其特征在于，该电容为第一晶体管的栅极-源极寄生电容。

16. 一种快速触发静电保护电路的方法，快速触发一集成电路，该静电保护电路包括一金属氧化物半导体晶体管，其以一漏极耦接至一第一节点及以一源极耦接至一第二节点，其特征在于，包括以下步骤：

在一静电电压加诸于该第一节点时，产生一与该静电电压反向的负电压以加诸于该金属氧化物半导体晶体管的一栅极；以及

在该集成电路操作时，使该金属氧化物半导体晶体管保持在关闭的状态。

17. 如权利要求 16 所述的快速触发静电保护电路的方法，其特征在于，还包括以下步骤：

利用该静电电压产生一振荡信号而提供该负电压。

## 快速触发的静电保护电路及其方法

### 技术领域

本发明涉及一种静电保护电路,特别涉及一种可快速触发分流晶体管进入跳通状态(snap back)的静电保护电路。

### 背景技术

N型金属氧化物半导体(NMOS)晶体管可以做为静电保护的装置。以栅极耦合至栅极驱动信号的晶体管为例,NMOS晶体管在一互补金属氧化物半导体缓冲器(CMOS buffer)中做为拉降(pull down)晶体管使用,以驱动输出信号。再以栅极接地的晶体管为例,NMOS晶体管用以提供一输入接脚或电源总线的静电保护。

NMOS晶体管进行静电保护的方式是利用NMOS晶体管的崩溃(avalanche breakdown)及跳通现象(snap back)来达成。此种现象在初始时,位于漏极接合面的大电场所引起的冲击离子化(impact ionization)现象会同时产生多数(majority)与少数(minority)载流子。少数载流子会被收集在漏极,多数载流子则流向P型基底或P井区的接触窗(contact)而在P井区内形成一局部电位。当基底的局部电位较邻近的N+源极电位高出0.8V时,源极接合面便形成顺向偏压。顺偏的源极接合面会注入少数载流子至P井区中。部分注入的少数载流子在基底中被重新结合(recombined),而其它的则到达漏极接合面进一步地加强了冲击离子化的现象。依此循环的结果,MOSFET便会进入一种低阻抗的跳通状态,而开始导通大量的静电放电电流。

图1显示了传统使用栅极耦合晶体管的静电保护电路。用以提供静电放电路径的分流晶体管N1,其栅极在正静电电压产生时会耦接至一1--2V的正偏压而使分流晶体管N1进入跳通状态所需的触发电压降低,同时亦使多插脚的NMOS晶体管更能同时导通。

美国专利6304127、6091593及5870268均提供了如何在正静电电压产生时提供一瞬时负偏压的方法。此负偏压加诸于基底中的扩散区(diffusion

region)或是井区上以降低静电保护组件所需的触发电压。

## 发明内容

为了在正静电电压产生时能提供瞬时负偏压来降低晶体管的触发电压,本发明亦提供了一种静电保护电路,其直接将瞬时负偏压提供于分流晶体管的栅极上。

本发明的一目的在于提供一种快速触发的静电保护电路,利用静电电压产生时提供一负电压至用以提供静电放电路径的晶体管栅极上,而使其所需进入跳通状态的触发电压值降低,而可达到快速触发的功效,提升静电保护性能。

当一正静电电压在一第一节点上产生时,提供至一第二节点的静电放电路径,包括一第一晶体管及一静电瞬时负电压产生器。第一晶体管的漏极耦接至该第一节点,源极耦接至该第二节点,当该第一节点上的该静电电压到达一触发电压值时,进入一跳通状态而提供该静电放电路径。静电瞬时负电压产生器在该静电电压于该第一节点上产生时,接收该静电电压而输出一负电压至该第一晶体管的栅极,降低该触发电压值。

所述的快速触发静电保护电路,还包括一电路,包括一电阻和一电容,接收该负电压后,输出平整的负电压至该第一晶体管的栅极。

所述的快速触发静电保护电路,该静电瞬时负电压产生器包括:

一瞬时振荡器,当该静电电压在该第一节点上产生时,接收该静电电压而输出一振荡信号;以及

一第一电容,一端连接该瞬时振荡器以接收该振荡信号,另一端耦接至该第一晶体管栅极。

所述的快速触发静电保护电路,还包括一第二晶体管,其漏极与栅极共同耦接至该第一晶体管栅极,源极耦接至该第二节点。

所述的快速触发静电保护电路,该瞬时振荡器包括:

一反向门,包括至少一反向逻辑门;

一系列的反向器群,相互串联且包括一第一反向器,其输入端连接至该反向门的输出端,还包括一最后反向器,其输出端连接至该反向门的第一输入端;以及

一第二电阻,耦接于该反向门的第二输入端与该第一节点之间。

所述的快速触发静电保护电路,还包括一第二电容,耦接于该反向门的第

二输入端与该第二节点之间。

所述的快速触发静电保护电路，该反向门为一或非门，该第二电阻还耦接至该第一节点。

所述的快速触发静电保护电路，该反向门为一与非门，该第二电阻还耦接至该第二节点。

所述的快速触发静电保护电路，还包括一第三晶体管，其漏极与栅极共同耦接至该第一晶体管的栅极，且其源极耦接至该第二节点。

所述的快速触发静电保护电路，还包括至少一二极管，串联于该第一晶体管栅极与该第二节点之间。

所述的快速触发静电保护电路，该至少一二极管为多个。

所述的快速触发静电保护电路，还包括一开关，连接于该第一晶体管的栅极与该第二节点之间。

所述的快速触发静电保护电路，该第一节点为一焊垫。

所述的快速触发静电保护电路，该第一节点为一高电位 VDD 电源总线。

所述的快速触发静电保护电路，该第二节点为一低电位 VSS 电源总线。

所述的快速触发静电保护电路，该第一晶体管具有一厚度小于 41Å 的栅极氧化层。

所述的快速触发静电保护电路，该第一晶体管具有一厚度小于 21Å 的栅极氧化层。

本发明的另一目的在于提供一种快速触发一集成电路的静电保护电路的方法，该静电保护电路包括一金属氧化物半导体晶体管，其以一漏极耦接至一第一节点及以一源极耦接至一第二节点，包括以下步骤：在一静电电压加诸于该第一节点时，产生一与该静电电压反向的负电压以加诸于该金属氧化物半导体晶体管的一栅极；以及，在该集成电路操作时，使该金属氧化物半导体晶体管保持在关闭的状态。

以下，结合附图说明本发明的一种快速触发静电保护电路的实施例。

## 附图说明

图 1 显示了传统使用栅极耦合晶体管的静电保护电路；

图 2 显示本发明第一实施例中的静电保护电路；

图 3 显示本发明第二实施例中的静电保护电路；  
图 4 显示本发明第三实施例中的静电保护电路；  
图 5 显示本发明第四实施例中的静电保护电路；  
图 6 显示本发明第五实施例中的静电保护电路；  
图 7 显示本发明一实施例中的快速触发一集成电路的静电保护电路的方法。

### 符号说明

21、31、41、51、61--静电瞬时负电压产生器；

311、611--静电瞬时振荡器；

312、612--电荷帮浦电路；

N1、P2、P1、N2--晶体管；

C1、C2、C3--电容；

R1、R2、R3--电阻；

D1、D2--二极管；

X1--或非门；

X2、X3、X4--反向器。

### 具体实施方式

图 2 显示了本发明一第一实施例中的静电保护电路。此静电保护电路在节点 A(可为焊垫或高电位 VDD 电源总线)与 B(可为低电位 VSS 电源总线)之间提供静电保护的功能，其中包括了一静电瞬时负偏压产生器 21，耦接至一用以提供静电放电路径的分流晶体管 N1 的栅极。当正静电电压在节点 A 产生时，静电瞬时负偏压产生器 21 会提供一负偏压至分流晶体管 N1 的栅极，以降低分流晶体管 N1 进入跳通状态的触发电压而快速进入跳通状态，提供静电放电的电流路径。

依照实验数据及电路仿真的结果，对一个具有 40Å 厚度栅极氧化层的分流晶体管 N1 来说，当其栅极偏压在 -2V 时，需要触发其进入跳通状态的触发电压将会降低约 1.5V。此种现象一部分由栅极附近的漏极接合面上的电场所造成，一部分由栅极感应漏极漏电流(Gate Induced Drain Leakage, GIDL)



所造成。栅极感应漏极漏电流会增加在漏极接合面上的漏电流而加强于漏极接合面上发生的冲击离子化现象。

图 3 显示了本发明一第二实施例中的静电保护电路。与图 2 的静电保护电路类似，包括一静电瞬时负偏压产生器 31，耦接至一用以提供静电放电路径的分流晶体管 N1 的栅极。此外，亦包括一电阻 R3，耦接于分流晶体管 N1 的栅极与节点 B 之间。耦接于分流晶体管栅极与源极间的电容 C3 则可为分流晶体管的栅极-源极寄生电容或是额外的电容组件。

一种实施例的静电瞬时负偏压产生器 31 包括了一耦接于节点 A 及 B 之间并于节点 C 输出一振荡信号的静电瞬时振荡器 311、一接收振荡信号的电荷帮浦电路(charge pump circuit)312 及一连接于电荷帮浦电路 312 与分流晶体管 N1 栅极间的电阻 R2(其值可选择于 500--5K $\Omega$  之间)。

在正静电电压于节点 A 产生时，由于静电瞬时振荡器 311 输出的振荡信号，使节点 E 处会出现一连串的负向电压峰波(spikes)。由电阻 R3 及电容 C3 所构成的电路 32 接收到此电压峰波后会在分流晶体管 N1 的栅极产生一较平整的负偏压，而使分流晶体管 N1 进入跳通状态的触发电压降低。电阻 R3 的作用在于当电路正常操作时，可以将分流晶体管 N1 栅极的电压拉低至接近地点，以关闭晶体管 N1。

在第二实施例中，电阻 R2 可以以“短路”取代。

图 4 显示了本发明第三实施例中的静电保护电路。与图 3 比较后可知，其在图 3 的静电保护电路中额外于节点 E 及 B 之间增加一 P 型晶体管 P2，其栅极与漏极共同耦接至节点 E。晶体管 P2 的作用在于调整分流晶体管 N1 栅极负偏压的大小。晶体管 P2 会在节点 E 的电位低于其临限电压值(如-0.7V)时导通，而使分流晶体管 N1 上的负偏压被限制(如限制于-2V)。在本实施例中，每个组件的实际大小可以依电路仿真结果及所需要的栅极负偏压值来进行最佳选择。

在第三实施例中，由于在晶体管 P2 中已具有一寄生的 p+/nwell 接合面，所以二极管 D1 是可以移除的。此外，二极管 D1 在导通后可提供随 E 点电位成指数增加的电流值，而晶体管 P2 在导通后可提供随 E 点电位成四次方增加的电流值。因此，举例来说，在正静电电压产生时，E 点电位在节点 B 的振荡信号拉高时会被钳制于 0.7V 至 1V 之间，而在节点 B 的振荡信号降低时会被钳制

于-0.6至-2V之间。因此，在节点E的平均电位会落于约-1V左右。

图5显示了本发明第四实施例中的静电保护电路。与图4比较后可知，图5中的静电保护电路使用了串联的二极管D2取代图4中的晶体管P2。以两个二极管D2为例，此串联的二极管D2会在节点E电位小于两个导通电压值( $2 \times -0.7V = -1.4V$ )时导通，使得在分流晶体管N1栅极上的平均负偏压约在-1.5至-2V之间，以避免因该负电压太大而造成晶体管N1的一氧化层崩溃。

图6显示了本发明第五实施例中的静电保护电路，包括一静电瞬时负偏压产生器61，耦接至一用以提供静电放电路径的分流晶体管N1的栅极。此外，亦包括一晶体管N2，其漏极耦接至晶体管N1的栅极，源极耦接至节点B，栅极则耦接至节点F。

静电瞬时负偏压产生器61包括了一耦接于节点A及B之间并于节点C输出一振荡信号的静电瞬时振荡器611、一接收振荡信号的电荷帮浦电路612及一连接于电荷帮浦电路612与分流晶体管N1栅极间的电阻R2。其中，电荷帮浦电路612由电容C2及二极管D1组成。静电瞬时振荡器611包括了电容C1、电阻R1、一反向逻辑门，如或非门(NOR gate)X1、三个反向器X2、X3及X4。当正静电电压在节点A产生之初，随着静电电压的升高，在节点C会出现一个振幅逐渐增加的振荡信号，节点E上亦会随之产生负向的电压峰波。节点E上的电压峰波经由电阻R2及晶体管N1的栅极-源极寄生电容的低通过滤效应后，在节点D上会产生一较平整、平均电位约在-1至-2V间的偏压。电容C1及电阻R1所形成的RC时间常数的大小(约30--200ns)可使节点F的电位在人体模型静电放电发生之初保持在低电位，使静电瞬时振荡器611能够发生振荡，而在静电放电过程末段终止静电瞬时振荡器611的振荡，同时亦在正常的电源开启时不会使静电瞬时振荡器611发生振荡。在正常的电源开启过程中，由于节点F被拉至高电位而使晶体管N2导通，因此可以节点D保持在低电位而使晶体管N1处于稳定的关闭状态。

在图6的实施例中，晶体管N2可以由图3中并联的电阻R3与电容C3代替，或者是以图4中的电阻R3代替。此外，在图6中的NOR门X1在电阻R1及电容C1对调后，亦可以由一NAND门代替。

图7显示本发明一实施例中的快速触发一集成电路的静电保护电路的方法。

在本实施例的快速触发一集成电路的静电保护电路的方法中，静电保护电路包括一金属氧化物半导体晶体管，其漏极耦接至一第一节点，此节点可为一焊垫或是一 VDD 电源总线，而源极耦接至一第二节点，第二节点可为一 VSS 电源总线。

在步骤 71 中，当一静电电压加诸于第一节点时，产生一振荡信号。

在步骤 72 中，利用振荡信号产生一与静电电压反向的负电压而加诸于该金属氧化物半导体晶体管的栅极。此外，在该集成电路正常操作时，该金属氧化物半导体晶体管保持在关闭的状态。

综合上述，本发明提供一种快速触发的静电保护电路，在一正静电电压产生时，可在分流晶体管的栅极上产生一瞬时的负电压，较传统使用栅极耦合 N 型晶体管的静电保护电路具有更佳的静电保护功效，特别适用于使用栅极氧化层厚度在  $40\text{\AA}$  以下或  $20\text{\AA}$  以下的晶体管。

虽然本发明已以较佳实施例公开，然其并非用以限定本发明，任何本领域的普通技术人员，在不脱离本发明的精神和范围内，可作些等效更动与修改，因此本发明的保护范围以权利要求为准。

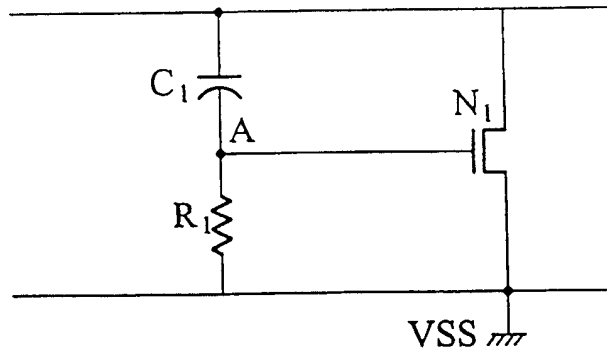


图 1

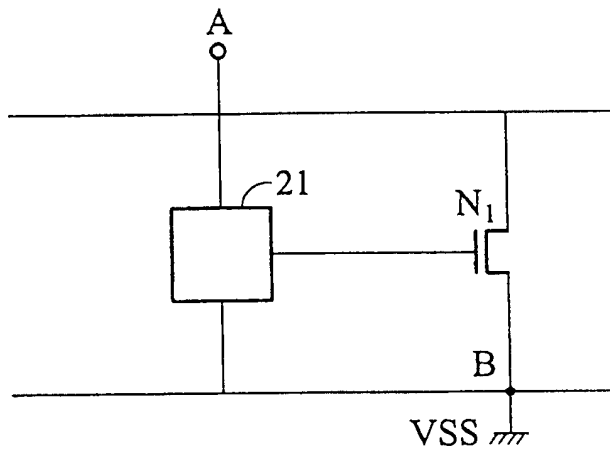


图 2

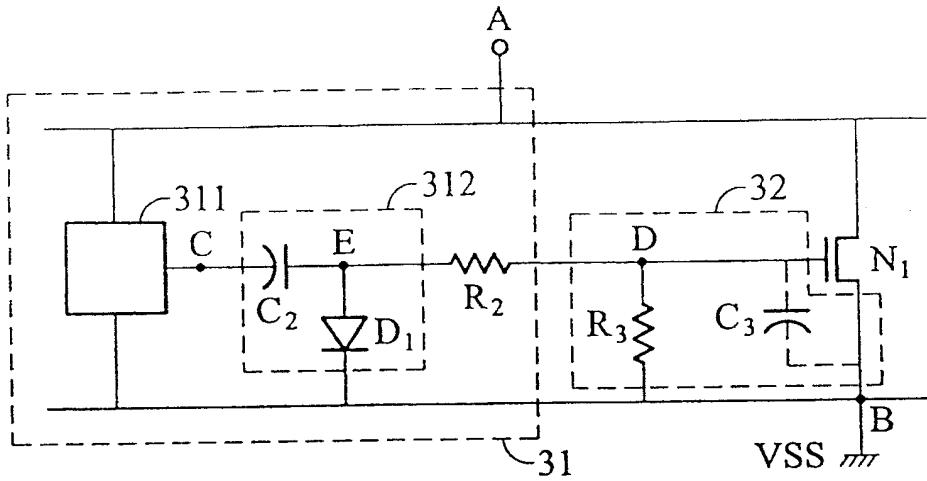


图 3

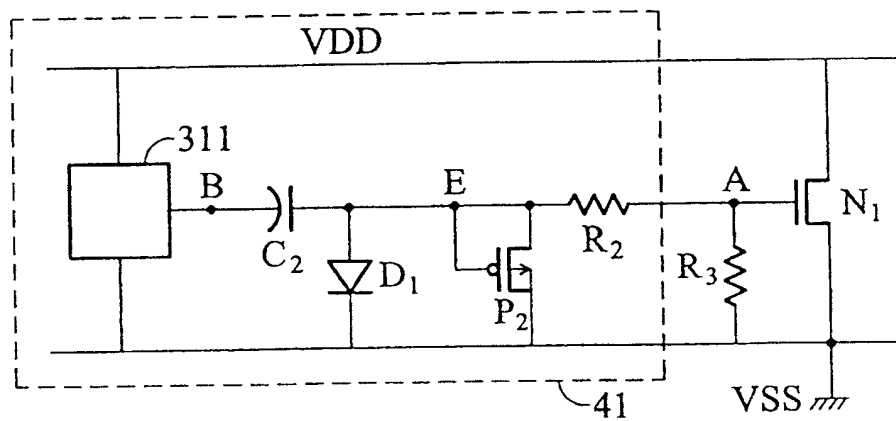


图 4

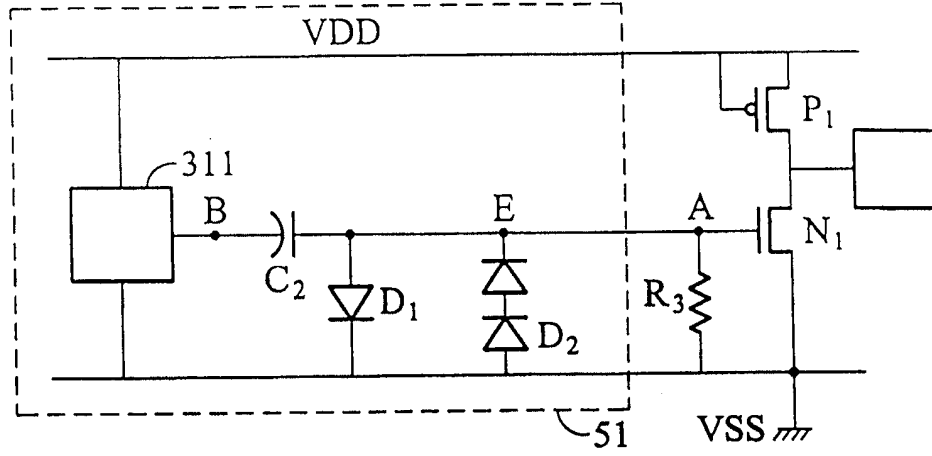


图 5

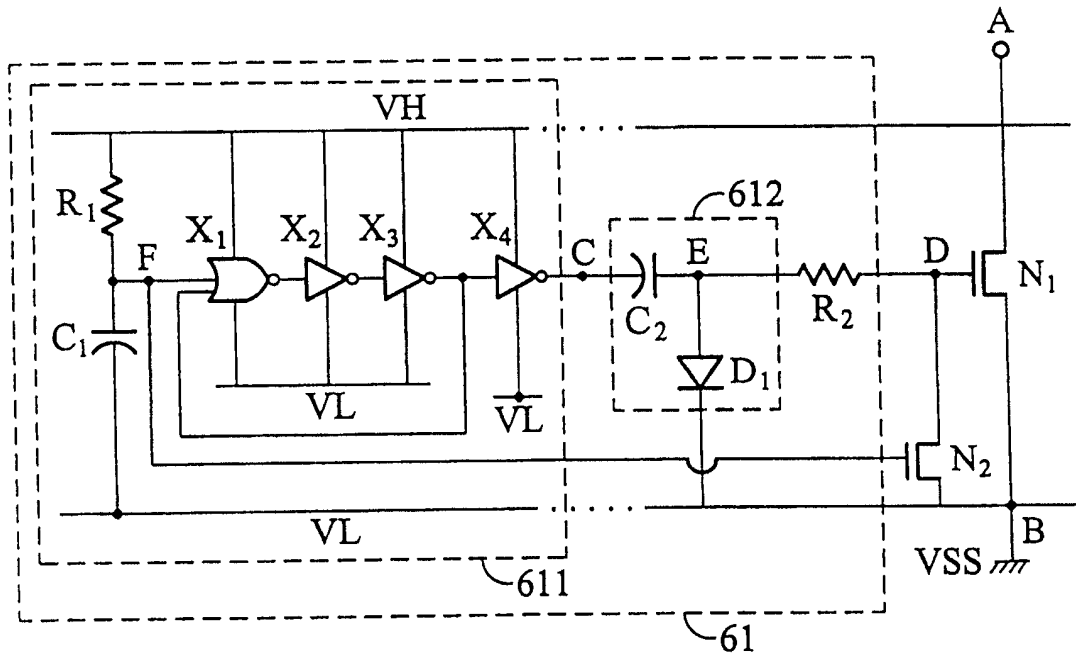


图 6

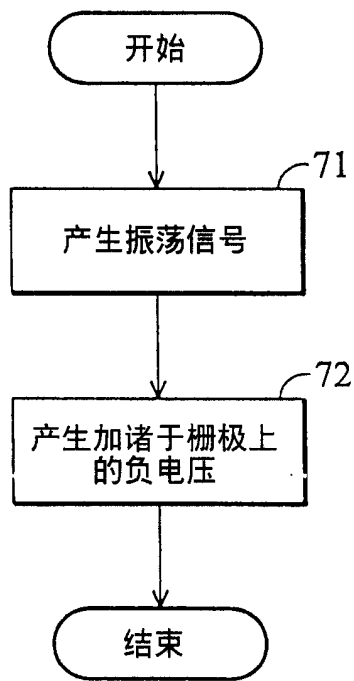


图 7