

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03158043.2

[51] Int. Cl.

H01L 21/31 (2006.01)

H01L 21/311 (2006.01)

H01L 21/768 (2006.01)

H01L 21/28 (2006.01)

H01L 21/8234 (2006.01)

[45] 授权公告日 2006年11月29日

[11] 授权公告号 CN 1287431C

[22] 申请日 2003.6.3 [21] 申请号 03158043.2

[30] 优先权

[32] 2002.6.3 [33] KR [31] 30996/02

[32] 2002.6.29 [33] KR [31] 37226/02

[71] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 李圣权 李敏硕 金相益

审查员 朱永全

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

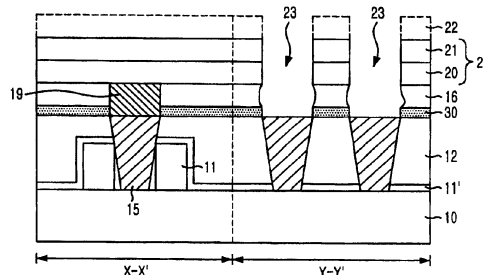
权利要求书 3 页 说明书 11 页 附图 10 页

[54] 发明名称

用于制造半导体器件的方法

[57] 摘要

本发明公开了一种制造半导体器件方法，包括步骤：形成穿过第一层间绝缘层与衬底接触的多个第一插头；在第一插头上形成第二层间绝缘层；形成通过选择性地蚀刻第二层间绝缘层与一组第一插头接触的导电图形；以及，用于干法或湿法蚀刻，通过选择性地蚀刻第二绝缘层形成接触孔，接触孔暴露不与导电图形接触的第一插头的表面，其中，在第一层间绝缘层和第二层间绝缘层之间上形成侵蚀阻挡层，从而在形成接触孔的湿法蚀刻工艺期间，防止发生对与第一插头接触的第一层间绝缘层的侵蚀。



1. 一种制造半导体器件的方法，包括步骤：

形成穿过第一层间绝缘层与衬底接触的多个第一插头；

在第一插头和第一层间绝缘层上形成侵蚀阻挡层，从而在形成接触孔的湿法蚀刻工艺期间，防止发生对与第一插头接触的第一层间绝缘层的侵蚀；

在侵蚀阻挡层上形成第二层间绝缘层；

通过选择性地蚀刻第二层间绝缘层和侵蚀阻挡层形成与一组第一插头接触的导电图形；以及

用干法或湿法蚀刻，通过选择性地蚀刻第二绝缘层形成接触孔，接触孔暴露不与导电图形接触的第一插头的表面。

2. 根据权利要求1所述的方法，其中，形成多个第一插头的步骤还包括步骤：

在衬底上沉积第一层间绝缘层；

在第一层间绝缘层上形成侵蚀阻挡层；

选择性地蚀刻侵蚀阻挡层和第一层间绝缘层，从而暴露一部分衬底；

沉积用来形成与衬底的暴露部分相接触的第一插头的材料；以及

去除部分的用于第一插头的材料，直到暴露侵蚀阻挡层，从而形成隔离的第一插头。

3. 根据权利要求1所述的方法，其中，在形成第一插头的步骤之后，在第一插头上形成侵蚀阻挡层，并且在形成接触孔的步骤，蚀刻第二层间绝缘层和侵蚀阻挡层。

4. 根据权利要求1所述的方法，其中，在形成接触孔的步骤，执行干法蚀刻工艺，从而提供倾斜的蚀刻断面图，然后执行湿法蚀刻工艺，从而获得垂直蚀刻断面图。

5. 根据权利要求1所述的方法，其中，侵蚀阻挡层包括从氮化硅层和氮氧化硅层中选取的至少一层。

6. 根据权利要求1所述的方法，其中，侵蚀阻挡层具有从50Å到1000Å范围的厚度。

7. 根据权利要求1所述的方法，其中，湿法蚀刻工艺利用包括50: 1

到 1000:1 比例的氨水和 HF 的缓冲氧化物蚀刻剂或 HF, 或以 50:1 到 1000:1 的比例用 H₂O 稀释的 HF。

8. 根据权利要求 1 所述的方法, 还包括形成多个第二插头的步骤, 每个第二插头与通过接触孔暴露的每个第一插头接触。

9. 根据权利要求 8 所述的方法, 其中, 第二插头还包括存储节点接触插头。

10. 一种制造半导体器件的方法, 包括步骤:

形成穿过第一层间绝缘层与衬底接触的多个第一插头;

在多个第一插头上形成侵蚀阻挡层, 从而防止第一层间绝缘层在湿法蚀刻工艺期间受到侵蚀, 所述侵蚀阻挡层包括氮氧化硅层或者氮化硅层和氮氧化硅层的组合;

在侵蚀阻挡层上形成第二层间绝缘层;

形成穿过第二层间绝缘层与多个第一插头的一组接触的导电图形; 以及

通过采用干法或湿法蚀刻工艺选择性地蚀刻第二层间绝缘层和侵蚀阻挡层, 从而形成接触孔, 接触孔暴露不与导电图形相接触的第一插头的表面。

11. 根据权利要求 10 所述的方法, 其中, 在形成接触孔的步骤, 干法蚀刻工艺提供了倾斜的蚀刻断面图, 然后执行湿法蚀刻工艺, 从而获得垂直断面图。

12. 根据权利要求 10 所述的方法, 其中, 多个第一插头与第一层间绝缘层一起被实际平面化。

13. 一种制造半导体器件的方法, 包括步骤:

顺序地在衬底上形成第一层间绝缘层和侵蚀阻挡层, 侵蚀阻挡层用来防止第一层间绝缘层在湿法蚀刻工艺期间受到侵蚀;

形成多个插头, 插头的顶部由侵蚀阻挡层平面化, 插头穿过侵蚀阻挡层和第一层间绝缘层与衬底接触;

在包括插头的上述整个结构上形成第二层间绝缘层;

形成穿过第二层间绝缘层与多个插头中的一些相接触的导电图形; 以及

用干法和湿法蚀刻工艺选择性地蚀刻第二层间绝缘层, 从而形成暴露

不与导电图形接触的插头的表面的接触孔，

其中侵蚀阻挡层包括氮氧化硅层或者氮化硅层和氮氧化硅层的组合。

14. 根据权利要求 13 所述的方法，其中，在形成接触孔的步骤，依据自对准接触工艺的干法蚀刻工艺提供了倾斜的蚀刻断面图，然后执行湿法蚀刻，从而使插头的表面暴露。

15. 根据权利要求 1 所述的方法，其中，第一和第二层间绝缘层是氧化物基层。

16. 根据权利要求 15 所述的方法，其中，第一层间绝缘层使用硼磷硅酸盐玻璃、磷硅酸盐玻璃、硼硅酸盐玻璃、高密度等离子体、高度平面化层或旋涂电介质，而第二层间绝缘层使用硼磷硅酸盐玻璃、低压原硅酸四乙酯、硼硅酸盐玻璃、磷硅酸盐玻璃、等离子体增强原硅酸四乙酯高密度等离子体、高度平面化层或旋涂玻璃。

用于制造半导体器件的方法

技术领域

本发明涉及一种用于制造半导体器件的方法，并且特别涉及一种用于制造半导体器件的方法，该方法能在形成用于存储节点接触（storage node contact）的开口的工艺期间，防止因对绝缘层的损坏所导致的半导体器件特性的退化。

背景技术

已经进行了许多尝试来实现半导体器件的高集成和高性能。尤其是，对于高集成，首要的是开发出在获得接触区的同时增强带间填充特性的技术。

图 1 是示意性地显示包括字线和位线的导电图案的平面图，所述字线用于形成位线。

参考图 1，在一个方向上排列多个栅极电极，例如，字线 W/L，在与字线 W/L 交叉的方向上排列多个位线 B/L。首先用 LPC1 工艺形成多个焊盘插头接触（LPC）。位线 B/L 经焊盘插头接触（LPC）和位线接触（BLC）中的一个与衬底的有源区（未示出）接触。一些 LPC 与存储节点接触（SNC）连接，从而形成存储节点电容器。

图 2A 至 2F 是图 1 所示的每条线 X-X' 和 Y-Y' 方向的截面图。参考图 2A 至 2F，提供了一种根据现有技术制造半导体器件的方法。

参考图 2A，在包含半导体器件的各种元件的衬底 10 上形成栅极电极 11。更详细地说，栅极电极 11 形成有单个或叠层的钨或多晶硅。在栅极电极 11 与衬底 10 之间的界面处形成栅极绝缘层（未示出）。在栅极电极 11 的顶上，形成蚀刻选择比与氧化物基层间绝缘层不同的氮化物基硬掩模（未示出），从而在自对准接触（SAC）工艺期间保护栅极电极 11，并且在 SAC 工艺期间获得适当的蚀刻断面图。

下面，执行诸如离子注入技术等，以在衬底 10 的位于栅极电极 11 之间的部分上形成杂质粘着层，诸如源/漏粘着部，即，有源区（未示出）。

以这种方式形成用作间隔壁的氮化物基绝缘层 11' (下文中称为间隔壁绝缘层), 从而包围栅极电极 11 的横向侧面。

参考图 2B, 用典型的氧化物基材料或易流动的氧化物材料来形成第一层间绝缘层 12, 其顶部被平面化。在第一层间绝缘层 12 的顶上涂覆抗反射层 (未示出), 具体地说, 是有机抗反射层。然后, 将光致抗蚀剂涂覆在抗反射层上, 用 KrF 或 ArF 光源执行光刻工艺, 从而形成用于形成 LPC 的第一光致抗蚀剂图形 13。

更具体地说, 在抗反射层上涂覆预定厚度的光致抗蚀剂。而后, 用诸如 ArF 的光源 (未示出) 和预定的标线片 (reticle) (未示出) 选择性地将光致抗蚀剂的预定部分曝光, 接下来, 执行显影工艺, 使曝光或未曝光的部分保留下来。通过清洁工艺去除执行接下来的蚀刻工艺之后产生的残余, 从而形成第一光致抗蚀剂图形 13。

涂覆光致抗蚀剂之后, 执行附加的工艺, 诸如电子束扫描或 Ar 离子注入, 以加强第一光致抗蚀剂图形 13 对接下来的蚀刻工艺的耐受力。

接着, 用第一光致抗蚀剂图形 13 作为蚀刻掩模, 选择性地蚀刻第一层间绝缘层 12, 然后, 执行将衬底 10 的表面暴露的 LPC1 工艺, 以形成接触孔 14。

通过光致抗蚀剂剥离工艺去除第一光致抗蚀剂图形 13, 并用清洁工艺去除存在于接触孔 14 内的蚀刻残余。然后, 用多晶硅沉积或选择性外延硅生长技术使接触材料与接触孔 14 接触。而后, 化学机械抛光 (CMP) 工艺或覆盖蚀刻工艺形成了隔离的插头 15。

图 2C 是显示完成了形成多个隔离的插头 15 的工艺的半导体器件的截面图。

参考图 2D, 在包括插头 15 的上述结构上形成第二层间绝缘层 16, 并形成用来限定位线接触的第二光致抗蚀剂图形 17。用第二光致抗蚀剂图形 17 作为蚀刻掩模, 选择性地蚀刻第二层间绝缘层 16, 从而形成开放插头 15 表面的位线接触孔 18。

接着, 形成与开放的插头 15 的表面接触的位线接触插头 19, 然后, 通过在钨、氮化钨或多晶硅制成的层 20 上层叠氮化物基硬掩模 21 来形成位线 24。

图 2E 是显示包括位线 24 的半导体器件的截面图。

参考图 2F，形成第三光致抗蚀剂图形 22，用来开放用于 SNC 的插头 15 的表面。然后，当选择性地蚀刻第二层间绝缘层 16 时，用光致抗蚀剂图形 22 作为蚀刻掩模。从对第二层间绝缘层 16 的选择性蚀刻，形成存储节点接触孔 23。

同时，对于形成 SNC 的 LPC2 工艺，使用典型的 SAC 工艺。这样，存储节点接触孔 23 的蚀刻断面图具有了斜度，从而形成朝向蚀刻断面图的底部的更窄的孔。结果，除了典型的 SAC 工艺之外，在 LPC2 工艺期间的同时执行湿法蚀刻工艺，目的是防止接触电阻增大。结果，有可能确保接触面积，即，临界尺寸 (CD)。

然而，第一和第二层间绝缘层 12 和 16 通常使用氧化物层材料，例如，硼磷硅酸盐玻璃 (BPSG)，这些材料对于缓冲氧化物蚀刻剂 (BOE) 或 HF 具有更高的蚀刻率，二者都用在湿法蚀刻工艺中。因为此高蚀刻率，如图所示，第一层间绝缘层 12 易于出现侵蚀部 26。

侵蚀部 26 可以引起存储节点、位线或其它导电引线电短路，从而使半导体器件的性能变差。

图 3 是说明由现有技术造成的问题的图。

如图所示，在形成用来生产用于位线 24 的间隔壁（下文中称为位线间隔壁）的氮化物层 25 期间，在产生对第一层间绝缘层 12 的侵蚀部 26 的部分出现空隙 26。空隙效应成为引起电极之间电短路和降低半导体器件产量的关键因素。

为了防止产生侵蚀部 26，一个方法是在 LPC1 工艺期间减小第一层间绝缘层 12 的 CD。然而，由于获得用于隔离每个器件和实施 SAC 工艺的足够间隔的困难，所以实际上不可能实现这种预期的结果。

此外，由于难以获得接触底侧的 CD 且在存储节点接触工艺期间带间填充特性变差，所以难以实施将位线的宽度增大到实用宽度的方法。

因此，必须开发一种技术，其能防止出现在存储节点接触形成工艺中执行的湿法蚀刻所造成的对底层的侵蚀。

发明内容

因而，本发明的一个目的是提供一种制造半导体器件的方法，该方法能防止在存储节点接触形成工艺中执行湿法蚀刻期间发生对底层的侵蚀。

根据本发明的一个方面，提供了一种用于制造半导体器件的方法，包括步骤：形成穿过第一层间绝缘层与衬底接触的多个第一插头；在第一插头和第一层间绝缘层上形成侵蚀阻挡层，从而在形成接触孔的湿法蚀刻工艺期间，防止发生对与第一插头接触的第一层间绝缘层的侵蚀；在侵蚀阻挡层上形成第二层间绝缘层；通过选择性地蚀刻第二层间绝缘层和侵蚀阻挡层形成与一组第一插头接触的导电图形；以及，用干法或湿法蚀刻，通过选择性地蚀刻第二绝缘层形成接触孔，接触孔暴露不与导电图形接触的第一插头的表面。

根据本发明的另一方面，还提供了一种制造半导体器件的方法，包括步骤：形成穿过第一层间绝缘层与衬底接触的多个第一插头；在多个第一插头上形成侵蚀阻挡层，从而防止第一层间绝缘层在湿法蚀刻工艺期间受到侵蚀；在侵蚀阻挡层上形成第二层间绝缘层；形成穿过第二层间绝缘层与多个第一插头的一组接触的导电图形；以及，通过采用干法或湿法蚀刻工艺选择性地蚀刻第二绝缘层和侵蚀阻挡层，从而形成接触孔，接触孔暴露不与导电图形相接触的第一插头的表面。所述侵蚀阻挡层包括氮氧化硅层或者氮化硅层和氮氧化硅层的组合。

根据本发明的又一方面，提供一种制造半导体器件的方法，包括步骤：顺序地在衬底上形成第一层间绝缘层和侵蚀阻挡层，侵蚀阻挡层用来防止第一层间绝缘层在湿法蚀刻工艺期间受到侵蚀；形成多个插头，插头的顶部由侵蚀阻挡层平面化，插头穿过侵蚀阻挡层和第一层间绝缘层与衬底接触；在包括插头的上述整个结构上形成第二层间绝缘层；形成穿过第二层间绝缘层与多个插头中的一些相接触的导电图形；以及，用干法和湿法蚀刻工艺选择性地蚀刻第二层间绝缘层，从而形成暴露不与导电图形接触的插头的表面的接触孔。所述侵蚀阻挡层包括氮氧化硅层或者氮化硅层和氮氧化硅层的组合。

附图说明

结合附图，通过下文对优选实施例的描述，本发明的上述和其它目的和特点将变得明了，附图中：

图 1 是示意性显示根据现有技术的包括字线和位线的半导体器件的导电图案的平面图；

图 2A 到 2F 是沿图 1 所示的每条线 X-X'和 Y-Y'方向上的半导体器件的截面图;

图3是说明现有技术引起的问题的图；

图4A至4D是显示根据本发明第一优选实施例的制造半导体器件的方法的截面图；以及

图5A至5E是显示根据本发明第二优选实施例的制造半导体器件的方法的截面图。

具体实施方式

下文中，对制造半导体器件的方法进行了详细描述，其能防止底层在存储节点接触形成工艺中执行湿法蚀刻期间受到侵蚀。

为了使图简化，图1、2A和2B也用于下面对本发明的描述，在下面对本发明的描述中，现有技术的相同构成元件用相同的参考数字来指示。

图1是示意性显示包括位线和字线的导电图案的平面图。

如图所示，沿一个方向排列了多个栅极电极，例如字线W/L，而沿着与字线W/L交叉的方向排列了多条位线B/L。先用LPC1工艺形成多个焊盘插头接触(LPC)。位线B/L经焊盘插头接触(LPC)中的一个和位线接触(BLC)而与衬底的有源区(未示出)相接触。一些LPC与存储节点接触(SNC)耦连，目的是形成存储节点电容器。

参考图2A至2B和图4A至4D，其提供了一种根据本发明第一优选实施例的制造半导体器件的方法。图2A至2B是沿图1所示的每条线X-X'和Y-Y'方向的截面图。

参考图2A，在包括半导体器件的各种元件的衬底10上形成栅极电极11。更详细地说，栅极电极11形成有单个或叠层的钨或多晶硅。在栅极电极11与衬底10之间的界面处形成栅极绝缘层(未示出)。在栅极电极11的顶上，形成蚀刻选择比与氧化物基层间绝缘层不同的氮化物基硬掩模(未示出)，从而在自对准接触(SAC)工艺期间保护栅极电极11，并且在SAC工艺期间获得适当的蚀刻断面图。

这时，在 $0.1\mu\text{m}$ 或 $0.1\mu\text{m}$ 以下的技术中，栅极电极总厚度的范围从约 1000\AA 到约 5000\AA ，硬掩模的范围从约 1000\AA 到约 4000\AA 。

接着，执行诸如离子注入技术等工艺，从而在栅极电极11之间的衬底10的一部分上形成杂质粘着层，诸如源/漏粘着部，即，有源区(未示出)。以这种方式形成用作间隔壁的氮化物基绝缘层11'(下文中称为间隔壁绝缘

层), 从而包围栅极电极 11 的横向侧面。

以这种方式形成用作间隔壁的氮化物基绝缘层 11' (下文中称为间隔壁绝缘层) 从而包围栅极电极 11 的横向侧面。然而, 为了方便, 在图 2A 中未说明该步骤。

参考图 2B, 形成第一层间绝缘层 12, 将第一层间绝缘层 12 的顶部平面化。这时, 将具有改进的平面化特性的材料用于第一层间绝缘层, 诸如用高密度等离子体 (HDP)、高度平面化层 (APL)、旋涂电介质 (SOD)、硼磷硅酸盐玻璃 (BPSG)、磷硅酸盐玻璃 (PSG) 或硼硅酸玻璃 (BSG)。尤其是, 沉积第一层间绝缘层 12, 直到达到约 1000Å 到约 10000Å 的厚度。

形成第一层间绝缘层 12 之后, 在第一层间绝缘层 12 的顶上涂覆抗反射层 (未示出), 具体地说, 是有机抗反射层。然后, 将光致抗蚀剂涂覆在抗反射层上, 用 KrF 或 ArF 光源执行光刻工艺, 形成第一光致抗蚀剂图形 13, 用于形成 LPC。

更具体地说, 在抗反射层上涂覆预定厚度的光致抗蚀剂。而后, 用诸如 ArF 的光源 (未示出) 和预定的标线片 (未示出) 选择性地将光致抗蚀剂的预定部分曝光, 接下来, 执行显影工艺, 使曝光或未曝光的部分保留下来。通过清洁工艺去除执行接下来的蚀刻工艺之后产生的残余, 从而形成第一光致抗蚀剂图形 13。

涂覆光致抗蚀剂之后, 执行附加的工艺, 诸如电子束扫描或 Ar 离子注入, 以加强第一光致抗蚀剂图形 13 对接下来的蚀刻工艺的耐受力。

接着, 执行 LPC1 工艺。即使用第一光致抗蚀剂图形 13 作为蚀刻掩模选择性地蚀刻第一层间绝缘层 12, 并随后, 形成暴露在衬底 10 表面的多个接触孔 14。

参考图 4A, 通过光致抗蚀剂剥离工艺去除第一光致抗蚀剂图形 13, 并用清洁工艺去除存在于接触孔 14 内的蚀刻残余。然后, 用多晶硅沉积或选择性外延硅生长技术使接触材料与接触孔 14 相接触。而后, 执行化学机械抛光 (CMP) 工艺或覆盖蚀刻工艺, 以形成隔离的插头 15。

接着, 在包括隔离的插头 15 的上述整个结构上形成侵蚀阻挡层 30。本文中, 侵蚀阻挡层 30 用来防止在为 LPC2 工艺执行湿法蚀刻的工艺中, 第一层间绝缘层 12 受到侵蚀。这样, 使用单独施用的氮化硅层或氮氧化硅层或者施加这两层的组合, 形成侵蚀阻挡层 30。这些氮化硅和氮氧化硅层对

HF 的蚀刻耐受力高于氧化物基层。优选将侵蚀阻挡层 30 形成具有范围在从约 50Å 到 1000Å 的厚度。

参考图 4B, 在上面的结构上形成第二层间绝缘层 16。第二层间绝缘层 16 使用硼磷硅酸盐玻璃 (BPSG)、低压原硅酸四乙酯 (tetra-ethyl-ortho silicate) (LPTEOS)、硼硅酸盐玻璃 (BSG)、磷硅酸盐玻璃 (PSG)、等离子体增强原硅酸四乙酯 (PETEOS)、高密度等离子体 (HDP)、高度平面化层 (APL) 或旋涂玻璃 (SOG), 并且厚度范围从约 1000Å 到约 10000Å。而后, 形成用来限定位线接触的第三光致抗蚀剂图形 17。用第三光致抗蚀剂图形 17 作蚀刻掩模, 选择性地蚀刻第二层间绝缘层 16, 从而形成位线接触孔 18, 开放插头 15 的表面。

接着, 形成与开放的插头 15 的表面相接触的位线接触插头 19。接下来, 通过顺序沉积由钨、氮化钨、多酸或多晶硅制成的层 20 和氮化物基硬掩模 21 来形成位线 24。本文中, 位线 24 由与用于栅极电极 11 相同的材料制成, 位线 24 的厚度通常与栅极电极 11 的厚度相等。

图 4C 是显示包括位线 24 的半导体器件的截面图。

参考图 4D, 形成第三光致抗蚀剂图形 22, 用来开放用于存储节点接触的插头 15 (下文中称为存储节点接触插头) 的表面。然后, 当选择性地蚀刻第二层间绝缘层 16 和侵蚀阻挡层 30 时, 用光致抗蚀剂图形 22 作为蚀刻掩模。从对第二层间绝缘层 16 和侵蚀阻挡层 30 的选择蚀刻, 形成存储节点接触孔 23。该工艺称为 LPC2 工艺。

同时, 在形成存储节点接触的 LPC2 工艺中, 使用典型的 SAC 工艺。这样, 存储节点接触孔 23 的蚀刻断面图具有了斜度, 从而形成朝向蚀刻断面图的底部变细的孔。结果, 除了典型的 SAC 工艺之外, 在 LPC2 工艺期间同时执行湿法蚀刻工艺, 目的是防止接触电阻增大。结果, 有可能获得接触面积, 即, 临界尺寸 (CD)。

同时, 侵蚀阻挡层 30 起蚀刻阻挡层的作用, 防止在湿法蚀刻工艺期间对第一层间绝缘层 12 的侵蚀。在实施湿法蚀刻工艺时, 优选用缓冲氧化物蚀刻剂 (BOE) 或稀释的 HF。具体地说, BOE 包含的氨水和 HF 的比是约 50: 1 到 1000: 1。通过将 H₂O 和 HF 以约 50: 1 到约 1000: 1 的比例混合来获得稀释的 HF。

上面的湿法蚀刻工艺是用典型 SAC 工艺的配方的蚀刻工艺。用第一蚀

刻气体蚀刻氧化物基第二层间绝缘层 16 和氮化物基层，二者都有高蚀刻选择值，第一蚀刻气体含高碳比，并且引入了许多聚合物，诸如 C_3F_8 、 C_4F_8 、 C_5F_8 、 C_4F_6 、 C_3F_3 或 C_2F_4 。

而且，诸如用气体 CHF_3 、 C_2HF_5 、 CH_2F_2 或 CH_3F 作为第二蚀刻气体，用于通过利用高蚀刻选择性值增加蚀刻工艺裕度来确保可靠的蚀刻工艺。

而且，用于通过稳定等离子体和加强溅射效应来改善蚀刻停止功能的第三蚀刻气体是惰性气体，诸如 He、Ne、Ar、Kr 或 Xe。

同时，第一至第三蚀刻气体可以混合用作蚀刻气体，也可将 $C_xH_yF_z$ 加入第一蚀刻气体，目的是确保工艺裕度，这里， x ， y ， z 大于或等于 2。

在第一优选实施例中，在 LPC1 工艺之后形成的侵蚀阻挡层 30 防止底绝缘层在执行湿法蚀刻工艺中受到侵蚀。

图 5A 至 5E 是根据本发明第二优选实施例的半导体器件的截面图。

为了使图简化，现有技术的图 1 和图 2A 用于本发明第二优选实施例的图，并且与现有技术等同的第二优选实施例的构成元件用相同的附图标记指示。

参考图 2A，在包含半导体器件的各种元件的衬底 10 上形成栅极电极 11。然后，通过对位于栅极电极 11 之间的衬底 10 的部分执行离子注入技术，形成有源区（未示出）。

参考图 5A，形成其顶部被平整化的第一层间绝缘层 12。形成第一层间绝缘层 12 之后，在上面形成侵蚀阻挡层 30。侵蚀阻挡层 30 用来在 LPC2 工艺期间，执行用于获得接触的 CD 的湿法蚀刻工艺中，防止沿插头 15 的横向侧面侵蚀第一层间绝缘层 12。

因而，只用氮化硅层或氮氧化硅层，或者通过组合这两层来形成侵蚀阻挡层 30。本文中，这两层对 HF 的蚀刻耐受力高于氧化物基层。侵蚀阻挡层 30 厚度的范围优选在约 50\AA 到 1000\AA 。

形成第一层间绝缘层 12 之后，在第一层间绝缘层 12 顶上涂覆抗反射层（未示出），具体地说，是有机抗反射保护层。然后，将光致抗蚀剂涂覆在抗反射层上，用 KrF 或 ArF 光源执行光刻工艺，以形成第一光致抗蚀剂图形 13，用于形成焊盘插头接触（LPC）。

第一光致抗蚀剂图形 13 的形成工艺与第一优选实施例中的描述相同。因此，不再详细描述第一光致抗蚀剂图形 13 的形成。

接着, 执行 LPC1 工艺。即, 用第一光致抗蚀剂图形 13 作为蚀刻掩模, 选择性地蚀刻第一层间绝缘层 12 和侵蚀阻挡层 30, 从而形成暴露衬底 10 表面的接触孔 14。

参考图 5B, 通过光致抗蚀剂剥离工艺去除第一光致抗蚀剂图形 13, 并通过清洁工艺去除接触孔 14 内的蚀刻残余。然后, 用多晶硅沉积或选择性外延硅生长技术使接触材料与接触孔 14 接触。而后, 执行化学机械抛光 (CMP) 工艺或覆盖蚀刻工艺, 形成隔离的插头 15。这时, 优选使插头 15 和侵蚀阻挡层 30 平面化在一起。

参考图 5C, 用硼磷硅酸盐玻璃 (BPSG)、低压原硅酸四乙酯 (LPTEOS)、硼硅酸盐玻璃 (BSG)、磷硅酸盐玻璃 (PSG)、等离子体增强原硅酸四乙酯 (PETEOS)、高密度等离子体 (HDP)、高度平面化层 (APL) 或旋涂玻璃 (SOG), 在包括插头 15 的上述整个结构上形成第二层间绝缘层 16。这时, 第二层间绝缘层 16 厚度的范围在约 1000Å 到 10000Å。然后, 形成用来限定位线接触的第三光致抗蚀剂图形 17。用第三光致抗蚀剂图形 17 作为蚀刻掩模, 选择性地蚀刻第二层间绝缘层 16, 从而形成暴露插头 15 表面的位线接触孔 18。

参考图 5D, 形成与开放的插头 15 的表面相接触的位线接触插头 19。接下来, 顺次沉积层 20 和氮化物基硬掩模 21 从而形成位线 24, 层 20 由钨、氮化钨、多酸或多晶硅制成。本文中, 位线 24 由与栅极电极 11 相同的材料制成, 位线 24 的厚度与栅极电极 11 的厚度相等。

如图所示, 位线 24 形成之后, 执行 LPC2 工艺。即, 形成第三光致抗蚀剂图形 22, 用来开放用于存储节点接触的插头 15 (下文中称为存储节点接触插头) 的表面。然后, 当选择性地蚀刻第二层间绝缘层 16 时, 将光致抗蚀剂图形 22 用作蚀刻掩模。从对第二层间绝缘层 16 的选择性蚀刻, 形成存储节点接触孔 23。

同时, 在用于形成 SNC 的 LPC2 工艺中, 使用典型的 SAC 工艺。这样, 存储节点接触孔 23 的蚀刻断面图具有了斜度, 形成朝向蚀刻断面图的底部变细的孔。结果, 除了典型的 SAC 工艺之外, 在 LPC2 工艺期间同时执行湿法工艺, 从而防止接触电阻增大。结果, 有可能确保接触面积, 即, CD。

同时, 侵蚀阻挡层 30 起蚀刻屏障的作用, 防止在湿法蚀刻工艺期间对第一层间绝缘层 12 的侵蚀。在实施湿法蚀刻工艺时, 优选使用缓冲氧化物

蚀刻剂 (BOE) 或者稀释的 HF。具体地说, BOE 包含的氨水和 HF 的比是约 50: 1 到 1000: 1。通过将 H₂O 和 HF 以约 50: 1 到 1000: 1 的比例混合来获得稀释的 HF。

上面的湿法蚀刻工艺是用典型 SAC 工艺的配方的蚀刻工艺。用第一蚀刻气体蚀刻氧化物基第二层间绝缘层 16 和氮化物基层, 二者都有高蚀刻选择值, 第一蚀刻气体含高碳比, 并引入了许多聚合物, 诸如 C₃F₈、C₄F₈、C₅F₈、C₄F₆ 或 C₃F₃。

而且, 诸如 CHF₃、C₂HF₅、CH₂F₂ 或 CH₃F 的气体被用作第二蚀刻气体, 用于通过高蚀刻选择值增加蚀刻工艺裕度来确保可靠的蚀刻工艺。

而且, 通过稳定等离子体和加强溅射效应来改善蚀刻停止功能的第三蚀刻气体是惰性气体, 诸如 He、Ne、Ar、Kr 或 Xe。

其间, 第一至第三蚀刻气体可以混合用作蚀刻气体, 也可将 C_xH_yF_z 加入第一蚀刻气体, 目的是确保工艺裕度, 这里, x, y, z 大于或等于 2。

在第二优选实施例中, 由于用插头 15 平面化在 LPC1 工艺之后形成的侵蚀阻挡层 30, 所以, 有可能防止底绝缘层在执行湿法蚀刻工艺中受到侵蚀。

第一和第二优选实施例显示: 在插头形成之后, 形成另外的氮化物基侵蚀阻挡层, 在执行用来增大与插头底侧的接触面积的湿法蚀刻工艺期间防止侵蚀下面的绝缘层。其结果是, 有可能确保开放部分, 从而以有效的方式提高半导体器件的产量。

虽然已用特定的优选实施例描述了本发明, 显然, 本领域的技术人员可以进行多种改变和修改而不背离所附权利要求所限定的本发明的范围。

图1

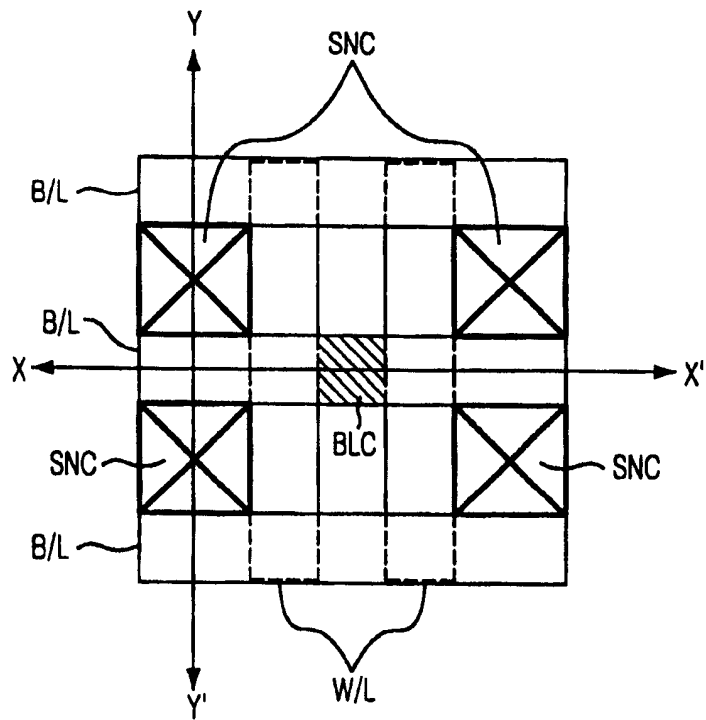


图2A

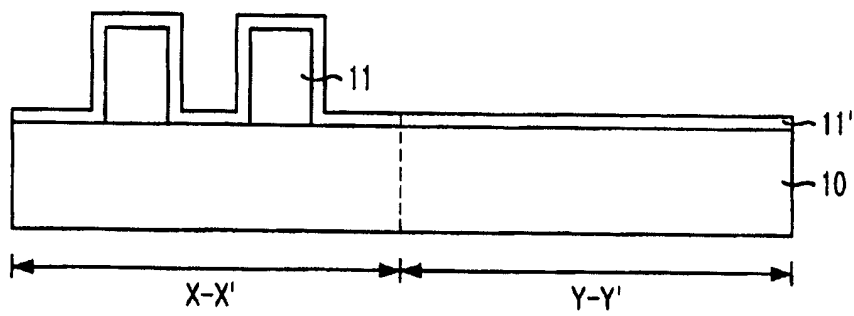


图2B

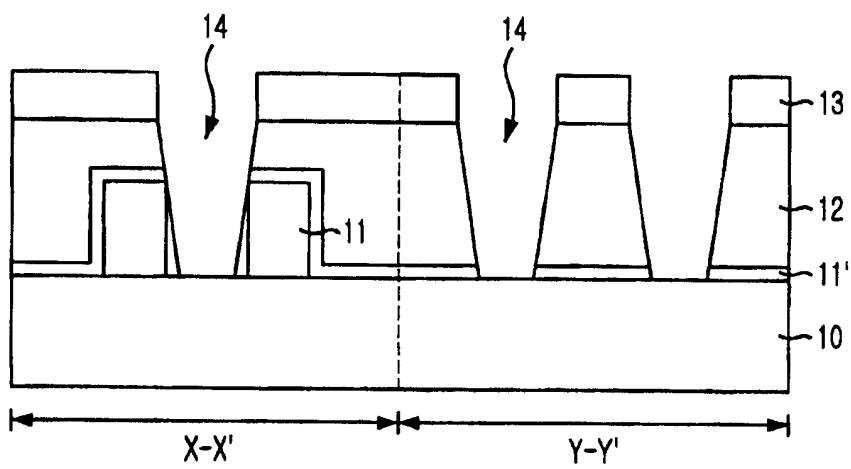


图2C

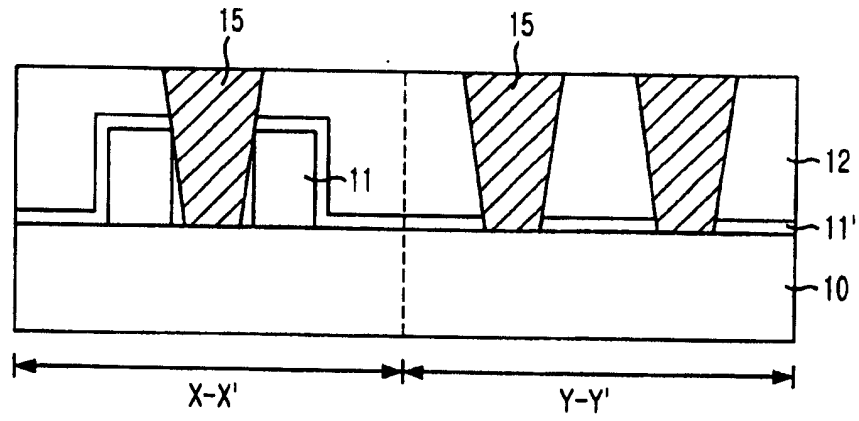


图2D

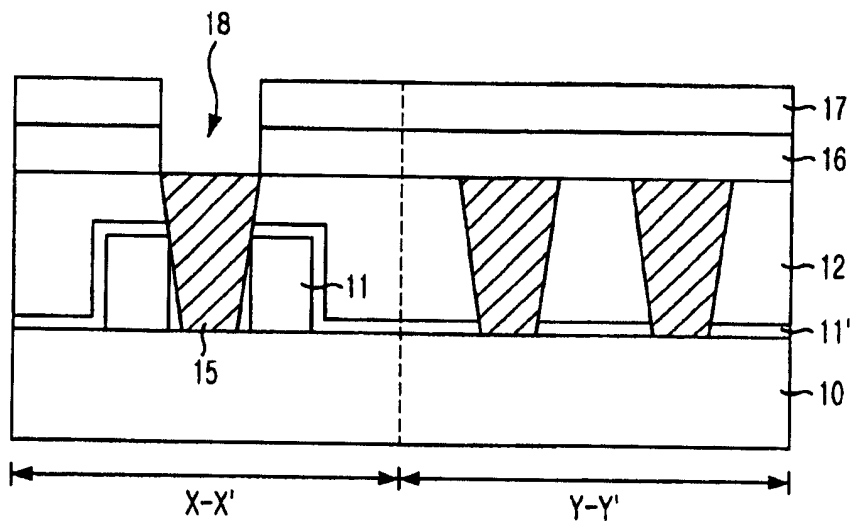


图2E

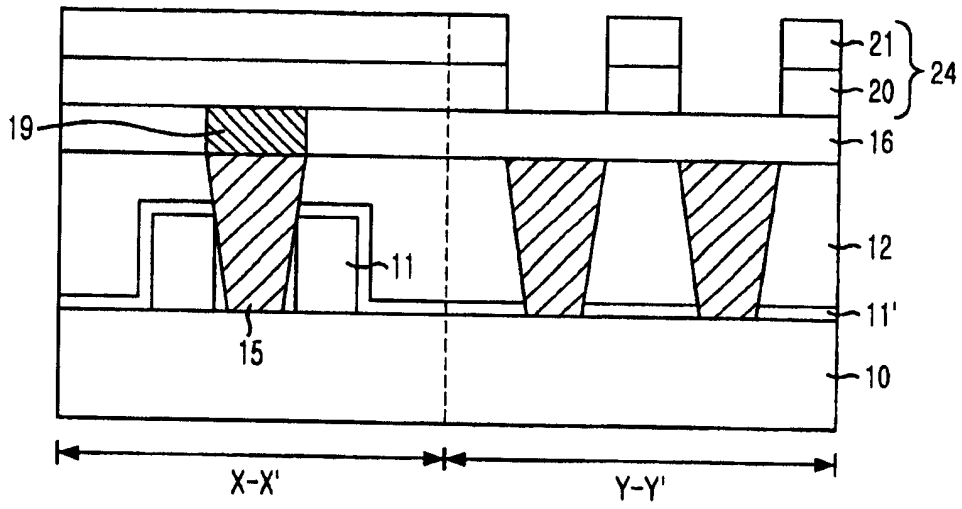


图2F

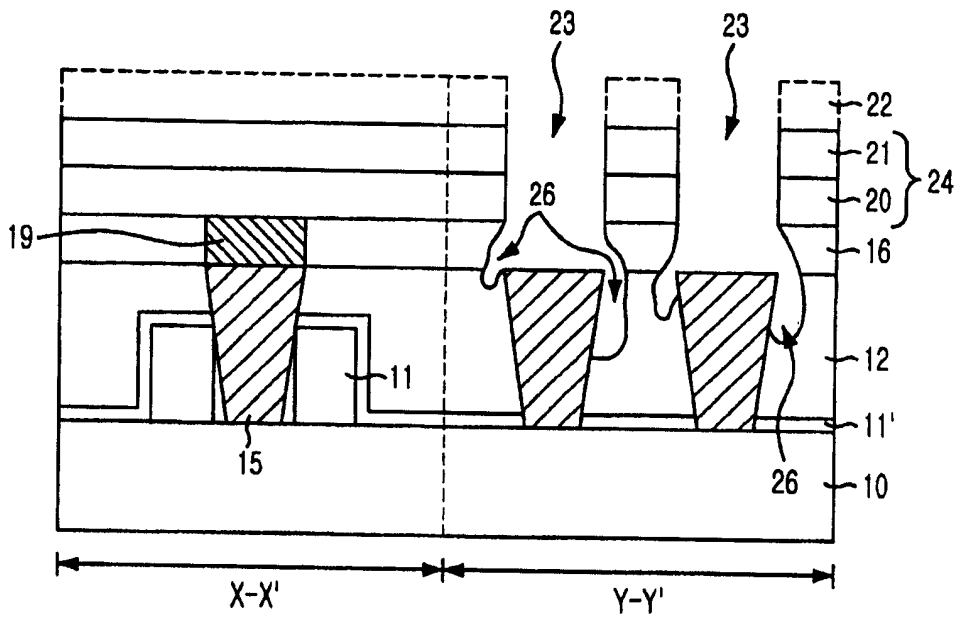


图3

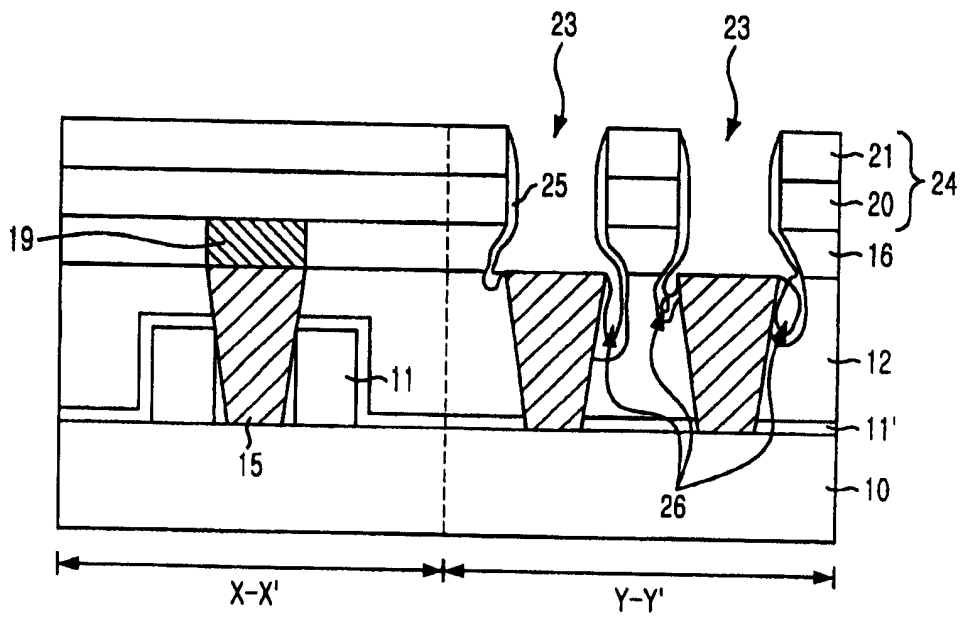


图4A

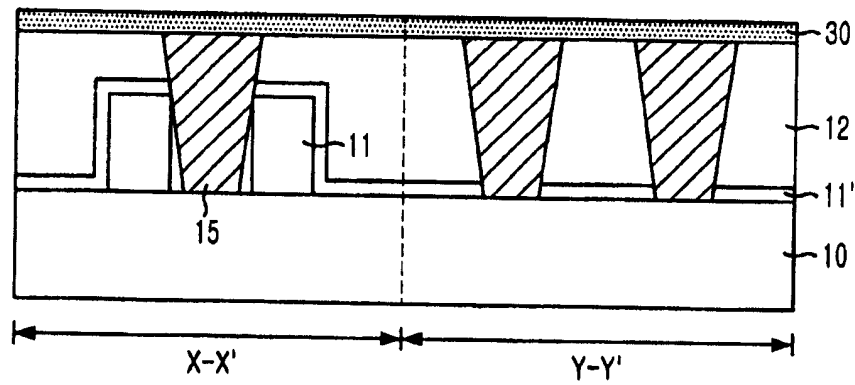


图4B

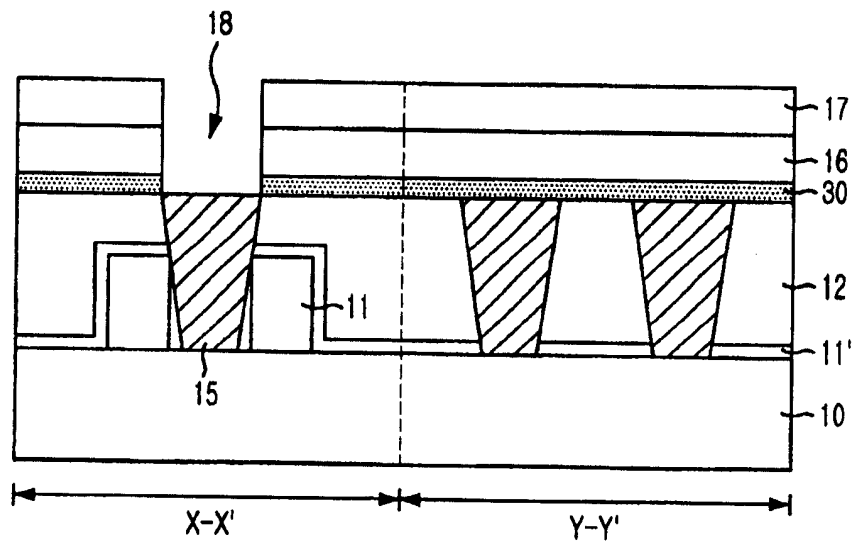


图4C

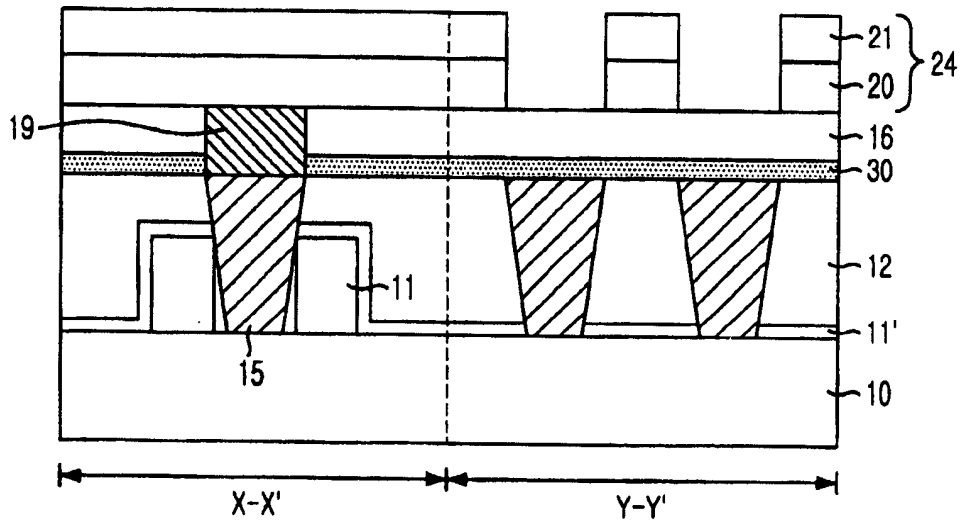


图4D

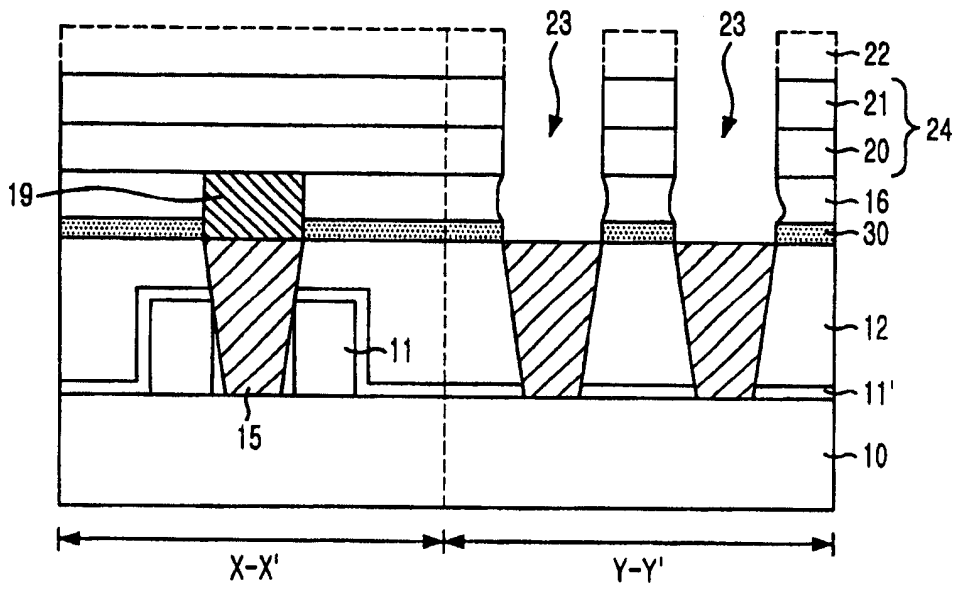


图5A

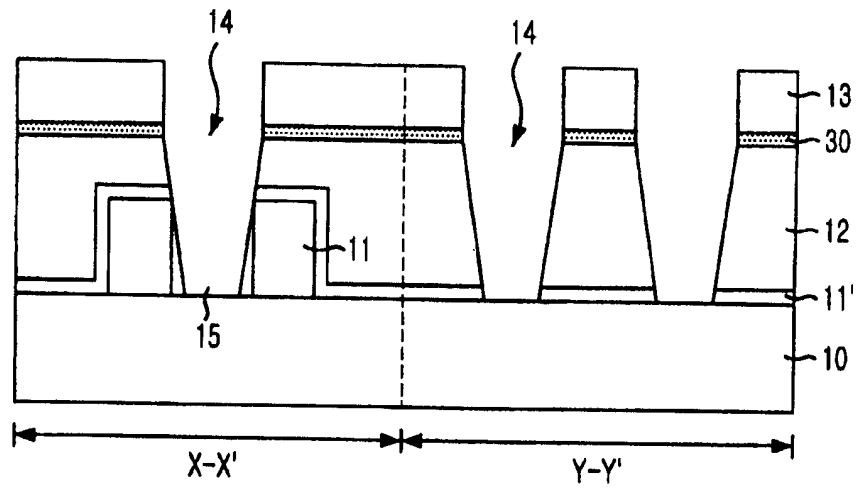


图5B

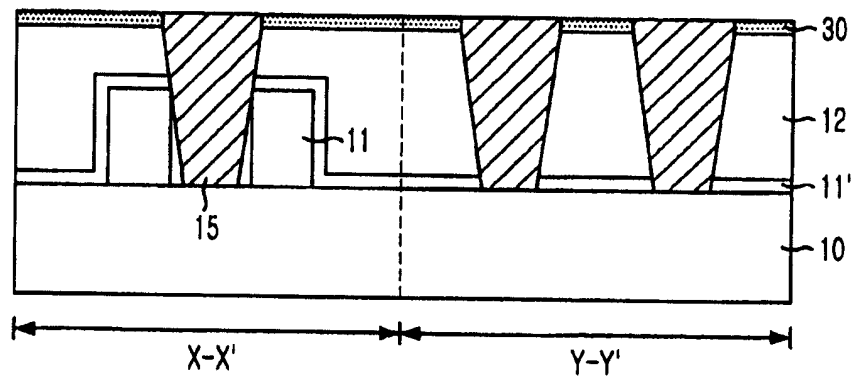


图5C

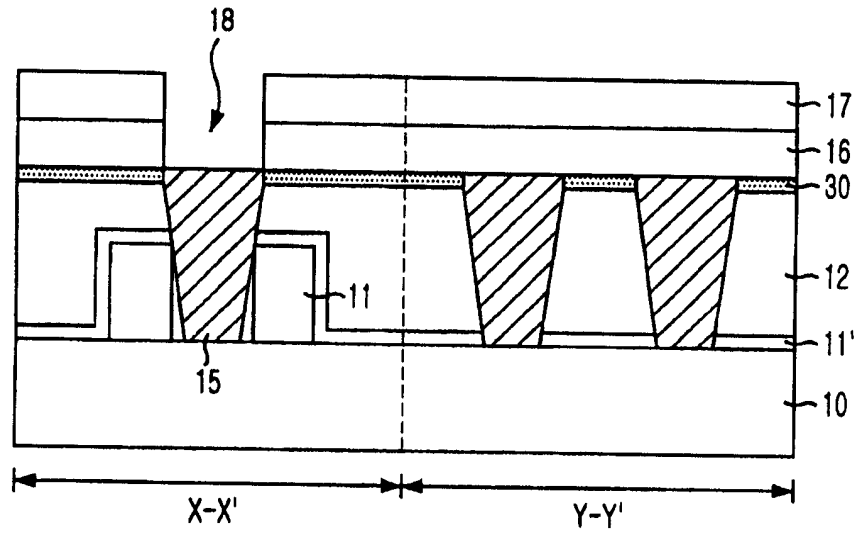


图5D

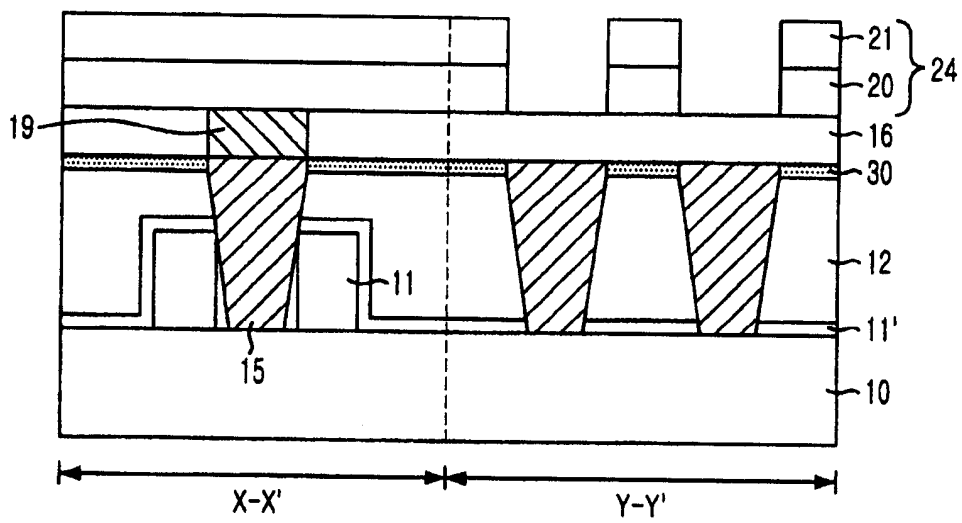


图5E

