(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월15일
(11) 등록번호 10-1286210
(24) 등록일자 2013년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 33/22 (2010.01) *H01L 33/46* (2010.01)
(21) 출원번호 10-2012-0024912
(22) 출원일자 2012년03월12일
심사청구일자 2012년03월12일
(56) 선행기술조사문헌
KR101007140 B1
KR101011063 B1
KR101007139 B1
KR1019970009670 B1

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김태근
경기도 성남시 분당구 이매동 청구아파트 601-1105
김수진
서울특별시 강동구 길1동 349-13
(74) 대리인
특허법인주원

전체 청구항 수 : 총 16 항 심사관 : 이용배

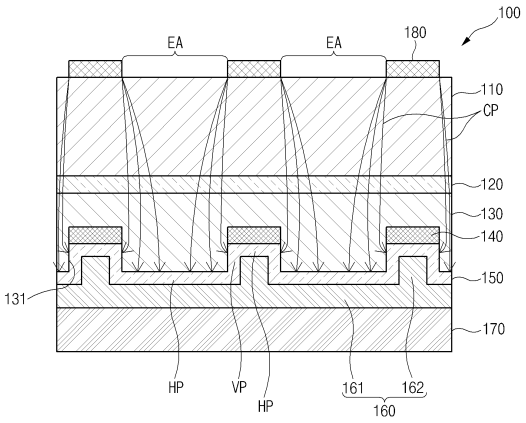
(54) 발명의 명칭 **발광 소자 및 그 제조 방법**

(57) 요 약

본 발명은 광 출력 특성을 향상시키면서 순방향 전압이 증가되는 것을 방지할 수 있는 발광 소자 및 그 제조 방법에 관한 것이다.

일례로, 제 1 도전형 반도체층; 상기 제 1 도전형 반도체층에 접하는 활성층; 상기 활성층에 접하며, 상기 활성층과 접하는 면의 반대 면에 패터닝된 홈이 형성된 제 2 도전형 반도체층; 상기 홈의 바닥에 형성된 전류 차단층; 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 측벽과 상기 전류 차단층을 따라 형성된 투명 전도층; 상기 투명 전도층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 형성되는 반사층; 상기 반사층 중 상기 투명 전도층과 접하는 면의 반대 면에 형성되는 지지 기판; 및 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 패터닝된 전극을 포함하는 것을 특징으로 하는 발광 소자 개시된다.

대 표 도 - 도1a



특허청구의 범위

청구항 1

제 1 도전형 반도체층;

상기 제 1 도전형 반도체층에 접하는 활성층;

상기 활성층에 접하며, 상기 활성층과 접하는 면의 반대 면에 패터닝된 홈이 형성된 제 2 도전형 반도체층;

상기 홈의 바닥에 형성된 전류 차단층;

상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 측벽과 상기 전류 차단층을 따라 형성된 투명 전도층;

상기 투명 전도층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 형성되는 반사층;

상기 반사층 중 상기 투명 전도층과 접하는 면의 반대 면에 형성되는 지지 기판; 및

상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면의, 상기 패터닝된 홈의 수직방향으로 대응되는 위치에 패터닝된 전극을 포함하는 것을 특징으로 하는 발광 소자.

청구항 2

제 1 항에 있어서,

상기 투명 전도층은 수평부와 수직부가 교대로 연결된 형태를 가지는 것을 특징으로 하는 발광 소자.

청구항 3

제 2 항에 있어서,

상기 반사층은 상기 수평부에 접하는 평평부와, 상기 수평부와 수직부에 의해 형성되는 공간을 채우도록 상기 평평부로부터 돌출되는 돌출부를 포함하는 것을 특징으로 하는 발광 소자.

청구항 4

제 1 항에 있어서,

상기 투명 전도층은

상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대면에 접하는 제 1 영역;

상기 홈의 측벽에 접하며, 상기 제 1 영역과 연결되는 제 2 영역; 및

상기 전류 차단층과 접하며, 상기 제 1 영역과 평행하고 상기 제 2 영역과 연결되는 제 3 영역을 포함하는 것을 특징으로 하는 발광 소자.

청구항 5

제 1 항에 있어서,

상기 투명 전도층은

상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대면에 접하는 제 1 영역;

상기 홈의 측벽에 접하며, 상기 제 1 영역과 연결되는 제 2 영역;

상기 전류 차단층과 접하며, 상기 제 1 영역과 평행하고 상기 제 2 영역과 연결되는 제 3 영역; 및

상기 제 1 영역에 수직인 방향으로 상기 제 2 영역에서 상기 제 2 도전형 반도체 방향으로 연장되며 상기 전류 차단층의 양 측면과 접하는 제 4 영역을 포함하는 것을 특징으로 하는 발광 소자.

청구항 6

제 1 항에 있어서,

상기 전류 차단층은 사각 단면 형상을 가지는 것을 특징으로 하는 발광 소자.

청구항 7

제 1 항에 있어서,

상기 반사층과 상기 지지 기판 사이에 개재되는 접착층을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 8

제 1 항에 있어서,

상기 전류 차단층과 상기 전극은 동일한 패턴을 가지는 것을 특징으로 하는 발광 소자.

청구항 9

제 1 항에 있어서,

상기 전류 차단층은 절연성 물질로 형성되거나, 상기 홈의 바닥을 플라즈마 처리 물질을 이용하여 플라즈마 처리하여 형성되는 것을 특징으로 하는 발광 소자.

청구항 10

제 1 항에 있어서,

상기 투명 전도층은 투명전도성 박막층인 인듐(In), 주석(Sn), 또는 아연(Zn) 금속을 모체로 하여 형성되는 투명 전도성 산화물로 형성되는 것을 특징으로 하는 발광 소자.

청구항 11

제 1 항에 있어서,

상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형인 것을 특징으로 하는 발광 소자.

청구항 12

제 1 도전형 반도체층, 활성층, 제 2 도전형 반도체층이 순차적으로 형성된 기판을 준비하는 기판 준비 단계;

상기 제 2 반도체층의 노출된 면에 패터닝된 홈을 형성하고 상기 홈의 바닥에 전류 차단층을 형성하는 전류 차단층 형성 단계; 및

상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 내벽과 상기 전류 차단층을 따라 투명 전도층을 형성하는 투명 전도층 형성 단계;

상기 투명 전도층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 반사층을 형성하는 반사층 형성 단계;

상기 반사층 중 상기 투명 전도층과 접하는 면의 반대 면에 지지 기판을 형성하고 상기 기판을 제거하는 지지 기판 형성 및 기판 제거 단계; 및

상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면의 상기 패터닝된 홈의 수직방향으로 대응되는 위치에 패터닝된 전극을 형성하는 전극 형성 단계를 포함하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 13

제 12 항에 있어서,

상기 전류 차단층 형성 단계에서,

상기 전류 차단층은 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 포토 레지스트 패턴을 배치시고, 상기 홈의 바닥에 절연 물질을 증착시키거나 상기 홈의 바닥을 플라즈마 처리 물질을 이용하여 플라즈마 처리하여 형성되는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 14

제 12 항에 있어서,

상기 전류 차단층 형성 단계에서,

상기 전류 차단층은 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 측벽에 포토 레지스트 패턴을 배치시키고, 상기 홈의 바닥에 절연 물질을 증착시키거나 상기 홈의 바닥을 플라즈마 처리 물질을 이용하여 플라즈마 처리하여 형성되는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 15

제 12 항에 있어서,

상기 반사층 형성 단계에서, 상기 반사층은 반사 물질을 상기 투명 전도층에 형성되는 공간을 채우도록 증착시켜 형성되는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 16

제 12 항에 있어서,

상기 전극 형성 단계에서, 상기 전극은 상기 홈과 동일한 패턴을 가지도록 패터닝되어 형성되는 것을 특징으로 하는 발광 소자 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 발광 소자 및 그 제조 방법에 관한 것으로, 특히 광 출력 특성을 향상시키면서 순방향 전압이 증가되는 것을 방지할 수 있는 발광 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 발광 소자는 전기 에너지를 빛 에너지로 변환하여 빛을 외부로 방출하는 소자이다. 이러한 발광 소자의 예로 발광 다이오드(light emitting diode; LED)가 있다.

[0003] 최근, 질화갈륨계(GaN) 발광 다이오드(light-emitting diodes; LEDs)는 질화갈륨(GaN)의 금속유기화학기상 증착법(metal-organic chemical vapor deposion; MOCVD) 및 분자선 성장법(molecular-beam epitaxial growth; MBE) 등의 성장법 및 새로운 공정 기술의 발달을 바탕으로 고휘도 및 백색광 구현이 가능한 적색(Red), 녹색(Green) 및 청색(Blue) 발광 다이오드로 구현되고 있다.

[0004] 이와 같은 질화갈륨계 발광 다이오드는 디스플레이, 백라이트 유닛, 실·내외 조명 등으로 응용되고 있다. 특히, 질화갈륨계 발광 다이오드가 조명용 광원으로 응용되면서, 고출력 발광 다이오드에 대한 관심이 높아지고 있다.

[0005] 종래의 수평 구조 발광 다이오드는 사파이어와 같은 절연성 기판에 형성되므로 낮은 열 전도도를 가진다. 그리고, 종래의 수평 구조 발광 다이오드에서는 전극이 수평 방향으로 형성되어, 전극과의 오믹 접촉 형성을 위해 활성층의 일부 영역이 제거됨이 요구됨에 따라 발광 면적이 감소하고 전류 밀집(current crowding) 현상 등에 의한 순방향 전압이 증가하는 문제가 있다.

[0006] 위와 같은 문제를 해결하기 위해 수직 구조 발광 다이오드가 각광받고 있다.

[0007] 수직 구조 발광 다이오드는 레이저 리프트 오프(Laser Lift-Off; LLF) 공정을 이용하여 사파이어 기판을 제거하여 두 전극 및 전극 패드가 발광 다이오드의 상·하부에 위치하는 구조로, 전류의 흐름이 한쪽 방향으로 향하게 되어 발광 효율 및 휘도를 향상시킬 수 있다.

[0008] 그런데, 수직 구조 발광 다이오드에서 전류가 n형 반도체층 상에 형성되는 n형 전극 아래의 중심 부분에 집중하게 되면, 활성층에서 전자와 정공의 재결합에 의해 생성되는 광(photon)이 n형 전극 아래의 중심 부분에 집중되어 n형 전극에 상대적으로 많이 흡수된다. 이 경우, n형 전극 이외의 영역인 유효 발광 영역(effective light emission region)이 감소해 수직 구조 발광 다이오드의 전체 적인 발광 효율이 낮아져 휘도가 저하되는 문제가

있다.

[0009] 위와 같은 문제를 해결하기 위해 수직 구조 발광 다이오드의 p형 반도체층 부분에 절연 물질을 증착하거나 또는 이온을 주입하여 절연 영역인 전류 차단층을 형성하는 구조가 개발되었다.

[0010] 이러한 전류 차단층은 n형 전극 아래 부분에 수직 방향으로 집중되는 전류의 흐름을 유효 발광 영역 방향인 수평 방향으로 전류 흐름을 유도함으로써 유효 발광 영역에서의 발광 강도를 증가시켜 발광 효율 및 휘도를 향상시킨다. 그런데, 전류 차단층은 절연 특성을 가지기 때문에 p형 반도체층에서 오믹 접촉 면적을 감소시켜 순방향 전압을 증가시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은 광 출력 특성을 향상시키면서 순방향 전압이 증가되는 것을 방지할 수 있는 발광 소자 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0012] 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 발광 소자는 제 1 도전형 반도체층; 상기 제 1 도전형 반도체층에 접하는 활성층; 상기 활성층에 접하며, 상기 활성층과 접하는 면의 반대 면에 패터닝된 홈이 형성된 제 2 도전형 반도체층; 상기 홈의 바닥에 형성된 전류 차단층; 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 측벽과 상기 전류 차단층을 따라 형성된 투명 전도층; 상기 투명 전도층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 형성되는 반사층; 상기 반사층 중 상기 투명 전도층과 접하는 면의 반대 면에 형성되는 지지 기판; 및 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 패터닝된 전극을 포함하는 것을 특징으로 한다.

[0013] 상기 투명 전도층은 수평부와 수직부가 교대로 연결된 형태를 가질 수 있다.

[0014] 상기 반사층은 상기 수평부에 접하는 평평부와, 상기 수평부와 수직부에 의해 형성하는 공간을 채우도록 상기 평평부로부터 돌출되는 돌출부를 포함할 수 있다.

[0015] 상기 투명 전도층은 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대면에 접하는 제 1 영역; 상기 홈의 측벽에 접하며, 상기 제 1 영역과 연결되는 제 2 영역; 및 상기 전류 차단층과 접하며, 상기 제 1 영역과 평행하고 상기 제 2 영역과 연결되는 제 3 영역을 포함할 수 있다.

[0016] 상기 투명 전도층은 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대면에 접하는 제 1 영역; 상기 홈의 측벽에 접하며, 상기 제 1 영역과 연결되는 제 2 영역; 상기 전류 차단층과 접하며, 상기 제 1 영역과 평행하고 상기 제 2 영역과 연결되는 제 3 영역; 및 상기 제 1 영역에 수직인 방향으로 상기 제 2 영역에서 상기 제 2 도전형 반도체 방향으로 연장되며 상기 전류 차단층의 양 측면과 접하는 제 4 영역을 포함할 수 있다.

[0017] 상기 전류 차단층은 사각 단면 형상을 가질 수 있다.

[0018] 또한, 본 발명의 실시예에 따른 발광 소자는 상기 반사층과 상기 지지 기판 사이에 개재되는 접착층을 더 포함할 수 있다.

[0019] 상기 전류 차단층과 상기 전극은 동일한 패턴을 가질 수 있다.

[0020] 상기 전류 차단층은 절연성 물질로 형성되거나, 상기 홈의 바닥을 플라즈마 처리 물질을 이용하여 플라즈마 처리하여 형성될 수 있다.

[0021] 상기 투명 전도층은 투명전도성 박막층인 인듐(In), 주석(Sn), 또는 아연(Zn) 금속을 모체로 하여 형성되는 투명 전도성 산화물로 형성될 수 있다.

[0022] 상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형일 수 있다.

[0023] 또한, 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 발광 소자의 제조 방법은 제 1 도전형 반도체층, 활성층, 제 2 도전형 반도체층이 순차적으로 형성된 기판을 준비하는 기판 준비 단계; 상기 제 2 반도체층의 노출된 면에 패터닝된 홈을 형성하고 상기 홈의 바닥에 전류 차단층을 형성하는 전류 차단층 형성 단계; 및 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 내벽과 상기 전류 차단층을 따라 투

명 전도층을 형성하는 투명 전도층 형성 단계; 상기 투명 전도층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 반사층을 형성되는 반사층 형성 단계; 상기 반사층 중 상기 투명 전도층과 접하는 면의 반대 면에 지지 기판을 형성하고 상기 기판을 제거하는 지지 기판 형성 및 기판 제거 단계; 및 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 패터닝된 전극을 형성하는 전극 형성 단계를 포함하는 것을 특징으로 한다.

[0024] 상기 전류 차단층 형성 단계에서, 상기 전류 차단층은 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 포토 레지스트 패턴을 배치시고, 상기 홈의 바닥에 절연 물질을 증착시키거나 상기 홈의 바닥을 플라즈마 처리 물질을 이용하여 플라즈마 처리하여 형성될 수 있다.

[0025] 상기 전류 차단층 형성 단계에서, 상기 전류 차단층은 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면과 상기 홈의 측벽에 포토 레지스트 패턴을 배치시키고, 상기 홈의 바닥에 절연 물질을 증착시키거나 상기 홈의 바닥을 플라즈마 처리 물질을 이용하여 플라즈마 처리하여 형성될 수 있다.

[0026] 상기 반사층 형성 단계에서, 상기 반사층은 반사 물질을 상기 투명 전도층에 형성되는 공간을 채우도록 증착시켜 형성될 수 있다.

[0027] 상기 전극 형성 단계에서, 상기 전극은 상기 홈과 동일한 패턴을 가지도록 패터닝되어 형성될 수 있다.

발명의 효과

[0028] 본 발명의 실시예에 따른 발광 소자 및 그 제조 방법은 전류 차단층과, 수평부와 수직부가 교대로 연결되는 형태를 가지는 투명 전도층을 구비함으로써, 전류 차단층이 형성된 경우에서 반도체층과 투명 전도층의 오믹 접촉 면적을 증가시키고 전류 흐름 패스를 증가시킬 수 있다.

[0029] 따라서, 본 발명의 실시예에 따른 발광 소자 및 그 제조 방법은 전류 차단층을 이용하여 광 출력 특성을 향상시키면서 투명 전도층을 이용하여 순방향 전압이 증가되는 것을 방지할 수 있다.

도면의 간단한 설명

[0030] 도 1a는 본 발명의 일 실시예에 따른 발광 소자의 단면도이다.

도 1b는 도 1a에 도시된 투명 전도층의 구체적인 구성을 보여주는 단면도이다.

도 2a는 본 발명의 다른 실시예에 따른 발광 소자의 단면도이다.

도 2b는 도 2a에 도시된 투명 전도층의 구체적인 구성을 보여주는 단면도이다.

도 3은 도 1의 발광 소자의 제조 방법을 설명하기 위한 흐름도이다.

도 4a 내지 도 4g는 도 3의 발광 소자 제조 방법을 설명하기 위한 단면도들이다.

도 5 및 도 6은 본 발명의 다른 실시예에 따른 발광 소자의 제조 방법 중 전류 차단층 형성 단계를 설명하기 위한 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 발광 소자의 제조 방법 중 투명 전도층 형성 단계를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.

[0032] 도 1a는 본 발명의 일 실시예에 따른 발광 소자의 단면도이고, 도 1b는 도 1a에 도시된 투명 전도층의 구체적인 구성을 보여주는 단면도이다.

[0033] 도 1a 및 도 1b를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(100)는 제 1 도전형 반도체층(110), 활성층(120), 제 2 도전형 반도체층(130), 전류 차단층(140), 투명 전도층(150), 반사층(160), 지지 기판(170) 및 전극(180)을 포함한다. 이러한 발광 소자(100)는 수직 구조 발광 다이오드를 구현할 수 있다.

[0034] 상기 제 1 도전형 반도체층(110)은 예를 들어 n형 반도체층으로 구현될 수 있다. 상기 n형 반도체층은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 InAlGaN, GaN, AlGaN,

AlInN, InGaN, AlN, InN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.

[0035] 상기 활성층(120)은 제 1 도전형 반도체층(110)에 접한다. 상기 활성층(120)은 예를 들어 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 가지는 반도체 물질을 포함하여 형성할 수 있으며, 단일 양자 우물 구조, 다중 양자 우물 구조(MQW : Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있다. 이러한 활성층(120)은 제 1 도전형 반도체층(110) 및 제 2 도전형 반도체층(130)의 전자 및 정공의 재결합(recombination) 과정에서 발생되는 에너지에 의해 빛을 생성할 수 있다.

[0036] 상기 제 2 도전형 반도체층(130)은 활성층(120)에 접하며, 예를 들어 p형 반도체층으로 구현될 수 있다. 상기 p형 반도체층은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, 예를 들어 InAlGaN, GaN, AlGaN,AlInN, InGaN, AlN, InN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다. 여기서, 상기 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면에는 패터닝된 홈(131)이 형성된다. 상기 홈(131)은 전류 차단층(140)과 투명 전도층(150)의 일부가 제 2 도전형 반도체층(130)의 내부에 매립되게 하는 공간을 제공한다. 여기서, 상기 홈(131)의 측벽이 전류 차단층(140)의 양 측면과 접촉한다.

[0037] 위와 같은 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)은 빛을 발생시켜 방출시키는 발광 구조물을 형성한다.

[0038] 상기 전류 차단층(140)은 홈(131)의 바닥에 형성된다. 상기 전류 차단층(140)은 사각 단면 형상을 가질 수 있다. 상기 전류 차단층(140)은 절연성 물질, 예를 들어 Ga_2O_3, In_2O_3, ZnO, SiO_2, Al_2O_3 및 Si_3N_4 중 적어도 어느 하나를 포함하여 형성될 수 있다. 또한, 상기 전류 차단층(140)은 플라즈마 처리 물질, 예를 들어 CH_4, CH_4/H_2, SF_6, SF_6/Ar, Ar, SF_6/O_2, CHF_3, CF_4 및 CF_4O/O_2 중 적어도 어느 하나를 이용하여 홈(131)의 바닥을 플라즈마 처리하여 형성될 수 있다. 이러한 전류 차단층(140)은 전극(180)의 아래 부분에 수직 방향으로 집중되는 전류의 흐름을 유효 발광 영역(EA) 방향인 수평 방향으로 전류 주입을 유도하는 역할을 한다.

[0039] 상기 투명 전도층(150)은 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면의 반대 면과 홈(131)의 측벽과 전류 차단층(140)을 따라 형성된다. 상기 투명 전도층(150)은 수평부(HP)와 수직부(VP)가 교대로 연결된 형태를 가진다.

[0040] 구체적으로, 상기 투명 전도층(150)은 도 1b와 도시된 바와 같이 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면의 반대면에 접하는 제 1 영역(151), 홈(131)의 측벽에 접하며 제 1 영역(151)과 연결되는 제 2 영역(152), 전류 차단층(140)과 접하며 제 1 영역(151)과 평행하고 제 2 영역(152)과 연결되는 제 3 영역(153)을 포함한다. 이러한 투명 전도층(150)은 유효 발광 영역(EA)에서 제 1 영역(151)을 통한 전류 흐름 패스(CP)뿐 아니라 제 3 영역(153)을 통한 전류 흐름 패스(CP)를 형성시킨다. 상기 투명 전도층(150)은 투명 전도성 박막층인 인듐(In), 주석(Sn), 또는 아연(Zn) 금속을 모체로 하여 형성되는 투명전도성 산화물(transparent conducting oxide : TCO)로 형성될 수 있다.

[0041] 상기 반사층(160)은 투명 전도층(150) 중 제 2 도전형 반도체층(130)과 접하는 면의 반대 면에 형성된다. 구체적으로, 상기 반사층(160)은 투명 전도층(150)의 수평부(HP)제 접하는 평평부(161)와, 투명 전도층(150)의 수평부(HP)와 수직부(VP)에 의해 형성되는 공간을 채우도록 평평부(161)로부터 돌출되는 돌출부(162)를 포함한다. 이러한 반사층(160)은 활성층(120)으로부터 발생하는 빛을 제 1 도전형 반도체층(110)의 외부로 방출할 수 있도록 반사 물질, 예를 들어 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 등의 물질을 포함할 수 있다.

[0042] 상기 지지 기판(170)은 반사층(160) 중 투명 전도층(150)과 접하는 면의 반대 면에 형성된다. 상기 지지 기판(170)은 발광 구조물을 지지하며, 전극(180)과 함께 발광 구조물에 전압을 인가한다. 상기 지지 기판(180)은 제 2 도전형 반도체층(130)에 전류가 흐르도록 도전성 물질, 예를 들어 Cu, Au, Ni, Mo, Cu-W 및 캐리어 웨이퍼(예를 들어, Si, Ge GaAs, ZnO, Sic 등) 중 적어도 어느 하나로 형성될 수 있다. 한편, 도시하진 않았지만, 반사층(160)과 지지 기판(170) 사이에는 배리어 금속 및 본딩 금속 중 적어도 어느 하나를 포함하는 접착층이 개재될 수 있다. 상기 접착층은 지지 기판(170)을 본딩 방식으로 반사층(160)에 부착시키는 경우 형성될 수 있으며, 지지 기판(170)을 도금 또는 증착 방식에 의해 반사층(160)에 부착시키는 경우 생략될 수 있다. 상기 접착층은 예를 들어 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함할 수 있다.

[0043] 상기 전극(180)은 제 1 도전형 반도체층(110) 중 활성층(120)과 접하는 면의 반대 면에 패터닝되어 형성된다. 상기 전극(180)은 전류 차단층(140)과 동일한 패턴으로 형성될 수 있다. 이러한 전극(180)은 제 1 도전층 반도

층(110)에 전류를 공급하기 위한 전도성 물질, 예를 들어 Ti, Cr, Al, Cu 및 Au로 구성된 그룹으로부터 선택된 물질로 이루어진 단일층 또는 복수층으로 형성될 수 있다.

[0044] 상기와 같은 본 발명의 일 실시예에 따른 발광 소자(100)는 수평부(HP)와 수직부(VP)가 교대로 연결되는 형태를 가지는 투명 전도층(150)을 구비함으로써, 제 2 도전형 반도체층(130)과 투명 전도층(150)의 오믹 접촉 영역을 증가시킬 수 있으며 유효 발광 영역(EA) 각각에서 적어도 두 개의 이상의 영역인 제 1 영역(151)과 제 3 영역(153)을 통해 전류 흐름 패스(CP)를 형성시킬 수 있다.

[0045] 이에 따라, 본 발명의 일 실시예에 따른 발광 소자(100)는 기존에 수평부로만 이루어지는 투명 전도층을 구비하며 유효 발광 영역 각각에서 하나의 영역을 통해 전류 흐름 패스를 형성시키는 발광 소자에 비해, 제 2 도전형 반도체층(130)과 투명 전도층(150)의 오믹 접촉 영역을 더 증가시켜 접촉 저항을 줄일 수 있으며 전류 흐름 패스를 더 증가시킬 수 있다.

[0046] 따라서, 본 발명의 일 실시예에 따른 발광 소자(100)는 전류 차단층(140)을 이용하여 광 출력 특성을 향상시키면서 투명 전도층(150)을 이용하여 순방향 전압(forward voltage; Vf)이 증가되는 것을 방지할 수 있다.

[0047] 다음은 본 발명의 다른 실시예에 따른 발광 소자에 대해 설명하기로 한다.

[0048] 도 2a는 본 발명의 다른 실시예에 따른 발광 소자의 단면도이고, 도 2b는 도 2a에 도시된 투명 전도층의 구체적인 구성을 보여주는 단면도이다.

[0049] 본 발명의 다른 실시예에 따른 발광 소자(200)는 본 발명의 일 실시예에 다른 발광 소자(100)와 비교하여 제 2 도전형 반도체층(230)과, 전류 차단층(240) 및 투명 전도층(250)의 구성만 다를 뿐 동일한 구성을 가진다. 이에 따라, 본 발명의 다른 실시예에 따른 발광 소자(200)에서는 제 2 도전형 반도체층(230)과, 전류 차단층(240) 및 투명 전도층(250)에 대해서만 설명하기로 한다.

[0050] 도 2a 및 도 2b를 참조하면, 본 발명의 다른 실시예에 따른 발광 소자(200)는 제 1 도전형 반도체층(110), 활성층(120), 제 2 도전형 반도체층(230), 전류 차단층(240), 투명 전도층(250), 반사층(160), 지지 기판(170) 및 전극(180)을 포함한다.

[0051] 상기 제 2 도전형 반도체층(230)은 도 1a의 제 2 도전형 반도체층(130)과 유사하다. 다만, 상기 제 2 도전형 반도체층(230)은 제 2 도전형 반도체층(130)의 홈(131)과 다른 크기를 가지는 홈(231)을 가진다. 즉, 상기 홈(231)은 측벽이 전류 차단층(240)의 양 측면과 이격될 수 있는 정도의 크기를 가진다.

[0052] 상기 전류 차단층(240)은 도 1a의 전류 차단층(140)과 유사하다. 다만, 상기 전류 차단층(240)은 양 측면이 제 2 도전형 반도체층(230)의 홈(231)의 측벽과 이격되게 형성된다.

[0053] 상기 투명 전도층(250)은 도 1a의 투명 전도층(150)과 유사하다. 다만, 상기 투명 전도층(250)은 구체적으로, 도 2b에 도시된 바와 같이 제 2 도전형 반도체층(230) 중 활성층(120)과 접하는 면의 반대 면에 접하는 제 1 영역(151), 홈(231)의 측벽에 접하며 제 1 영역(151)과 연결되는 제 2 영역(152), 전류 차단층(240)과 접하며 제 1 영역(151)과 평행하고 제 2 영역(152)과 연결되는 제 3 영역(153), 및 제 1 영역(151)에 수직인 방향으로 제 2 영역(152)에서 제 2 도전형 반도체층(230) 방향으로 연장되고 전류 차단층(240)의 양 측면과 접하는 제 4 영역(254)을 포함한다. 이러한 투명 전도층(250)은 유효 발광 영역(EA)에서 제 1 영역(151)과 제 3 영역(153)을 통한 전류 흐름 패스(CP)뿐 만 아니라 제 4 영역(254)을 통한 전류 흐름 패스(CP)를 형성시킴으로써, 전류 흐름 패스를 더욱 증가시킬 수 있다.

[0054] 상기와 같은 본 발명의 다른 실시예에 따른 발광 소자(200)는 수평부(HP)와 수직부(VP)가 교대로 연결되는 형태를 가지는 투명 전도층(250)을 구비함으로써, 제 2 도전형 반도체층(130)과 투명 전도층(250)의 오믹 접촉 영역을 증가시킬 수 있으며 유효 발광 영역(EA) 각각에서 적어도 두 개의 이상의 영역인 제 1 영역(151)과 제 3 영역(153)과 제 4 영역(254)을 통해 전류 흐름 패스(CP)를 형성시킬 수 있다.

[0055] 이에 따라, 본 발명의 다른 실시예에 따른 발광 소자(200)는 기존에 수평부로만 이루어지는 투명 전도층을 구비하며 유효 발광 영역 각각에서 하나의 영역을 통해 전류 흐름 패스를 형성시키는 발광 소자에 비해, 제 2 도전형 반도체층(230)과 투명 전도층(250)의 오믹 접촉 영역을 더 증가시켜 접촉 저항을 줄일 수 있으며 전류 흐름 패스를 더 증가시킬 수 있다.

[0056] 따라서, 본 발명의 다른 실시예에 따른 발광 소자(200)는 전류 차단층(240)을 이용하여 광 출력 특성을 향상시

키면서 투명 전도층(250)을 이용하여 순방향 전압(forward voltage; Vf)이 증가되는 것을 방지할 수 있다.

[0057] 다음은 본 발명의 일 실시예에 따른 발광 소자(100)의 제조 방법에 대해 설명하기로 한다.

[0058] 도 3은 도 1의 발광 소자의 제조 방법을 설명하기 위한 흐름도이다고, 도 4a 내지 도 4g는 도 3의 발광 소자 제조 방법을 설명하기 위한 단면도들이다.

[0059] 도 3을 참조하면, 본 발명의 일 실시예에 따른 발광 소자(100)의 제조 방법은 기판 준비 단계(S10), 전류 차단층 형성 단계(S20), 투명 전도층 형성 단계(S30), 반사층 형성 단계(S40) 및 지지 기판 형성 및 기판 제거 단계(S50)를 포함한다.

[0060] 도 4a를 참조하면, 상기 기판 준비 단계(S10)는 제 1 도전형 반도체층(110), 활성층(120), 제 2 도전형 반도체층(130)이 순차적으로 형성된 기판(10)을 준비하는 단계이다.

[0061] 상기 기판 준비 단계(S10)에서, 상기 제 1 도전형 반도체층(110), 활성층(120) 및 제 제 2 도전형 반도체층(130)은 PVD(Physical vapor depostion), CVD(Chemical Vapor Deposition), PLD(Plasma Laser Deposition), 이중형의 열증착기(Dual-type thermal evaporatior), 스퍼터링(Sputtering), MOCVD(Metal Organic Chemical Vapor Depostin) 등의 증착 방법에 의해 기판(10) 상에 순차적으로 증착된다. 된다. 상기 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)에 대해서는 앞에서 자세히 설명되었으므로 중복된 설명은 생략하기로 한다.

[0062] 상기 기판(10)은 사파이어 기판(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, Ga_2O_3, 도전성 기판 및 GaAs 로 이루어진 그룹에서 선택되어 형성될 수 있다. 여기서, 상기 기판(10)과 제 1 도전형 반도체층(110) 사이에는 언도프드(Un-dopoed) 반도체층(20), 예를 들어 언도프드 GaN층이 형성될 수 있다. 상기 언도프드 반도체층(20)은 기판(10)과의 격자 상수의 차이를 줄여 박막 특성을 향상시킨다.

[0063] 도 4b 및 도 4c를 참조하면, 상기 전류 차단층 형성 단계(S20)는 제 2 도전형 반도체층(130)의 노출면에 패터닝된 홈(131)을 형성하고 홈(131)의 바닥에 전류 차단층(140)을 형성하는 단계이다.

[0064] 상기 전류 차단층 형성 단계(S20)에서, 상기 홈(131)은 식각 방법, 예를 들어 유도 결합 플라즈마(Inductive Coupled Plasme; ICP) 식각 방법을 이용하여 제 2 도전형 반도체층(130)의 노출면을 선택적으로 식각함으로써 형성될 수 있다. 그리고, 상기 전류 차단층(140)은 포토레지스트 패턴(30)을 마스크로 이용하여 홈(131)의 바닥에 절연 물질을 증착하여 형성될 수 있다. 여기서, 포토레지스트 패턴(30)은 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면의 반대 면에 배치된다. 그리고, 절연 물질은 Ga_2O_3, In_2O_3, ZnO, SiO_2, Al_2O_3 및 Si_3N_4 중 적어도 어느 하나일 수 있다. 상기 전류 차단층(140)은 플라즈마 처리 물질, 예를 들어 CH_4, CH_4/H_2, SF_6, SF_6/Ar, Ar, SF_6/O_2, CHF_3, CF_4 및 CF_4O/O_2 중 적어도 어느 하나를 이용하여 홈(131)의 바닥을 플라즈마 처리하여 형성될 수도 있다.

[0065] 도 4d를 참조하면, 상기 투명 전도층 형성 단계(S30)는 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면의 반대 면과 홈(131)의 측벽과 전류 차단층(140)을 따라 투명 전도층(150)을 형성하는 단계이다.

[0066] 구체적으로, 상기 투명 전도층(150)은 포토레지스트 패턴(30)의 제거 후 증착 방법에 의해 인듐(In), 주석(Sn), 또는 아연(Zn) 금속을 모체로 하여 형성되는 투명전도성 산화물(transparent conducting oxide : TCO)로 형성될 수 있다. 여기서, 상기 투명 전도층(150)은 수평부(HP)와 수직부(VP)가 교대로 연결되는 형상일 수 있다.

[0067] 도 4e를 참조하면, 상기 반사층 형성 단계(S40)는 투명 전도층(150) 중 제 2 도전형 반도체층(130)과 접하는 면의 반대 면에 반사층(150)을 형성하는 단계이다.

[0068] 구체적으로, 상기 반사층(150)은 증착 방법에 의해 반사 물질을 투명 전도층(150)에 형성되는 공간을 채우도록 증착시켜 형성된다.

[0069] 도 4f를 참조하면, 상기 지지 기판 형성 및 기판 제거 단계(S50)는 반사층(160) 중 투명 전도층(150)과 접하는 면의 반대 면에 지지 기판(170)을 형성하고 기판(10)을 제거하는 단계이다.

[0070] 구체적으로, 상기 지지 기판(170)은 도금 또는 증착 방식에 의해 반사층(160)에 형성되거나, 투명 전도층(150)과 지지 기판(170) 사이에 개재되는 접착층(미도시)을 통해 본딩 방식에 의해 반사층(160)에 형성될 수 있다.

[0071] 상기 기판(10)은 레이저 리프트 오프(Laser Lift-Off; LLO) 방식에 의해 제거될 수 있다. 상기 기판(10)이 제거되면 언도프 반도체층(20)이 노출되며, 언도프 반도체층(20)은 식각 방법에 의해 제거된다.

[0072] 도 4g를 참조하면, 상기 전극 형성 단계(S60)는 제 1 도전형 반도체층(110) 중 활성층(120)과 접하는 면의 반대면에 패터닝된 전극(180)을 형성하는 단계이다.

[0073] 구체적으로, 상기 전극(180)은 포토그래피 공정 등에 의해 전류 차단층(140)과 동일한 패턴을 가지도록 전도성 물질을 패터닝하여 형성된다.

[0074] 다음은 본 발명의 다른 실시예에 따른 발광 소자(200)의 제조 방법에 대해 설명하기로 한다.

[0075] 본 발명의 다른 실시예에 따른 발광 소자(200)의 제조 방법은 본 발명의 다른 실시예에 따른 발광 소자(100)의 제조 방법과 비교하여 전류 차단층 형성 단계와 투명 전도층 형성 단계만 다를 뿐 동일하다. 이에 따라, 본 발명의 다른 실시예에 따른 발광 소자(200)의 제조 방법에는 전류 차단층 형성 단계와 투명 전도층 형성 단계에 대해서만 설명하기로 한다.

[0076] 도 5 및 도 6은 본 발명의 다른 실시예에 따른 발광 소자의 제조 방법 중 전류 차단층 형성 단계를 설명하기 위한 단면도이고, 도 7은 본 발명의 다른 실시예에 따른 발광 소자의 제조 방법 중 투명 전도층 형성 단계를 설명하기 위한 단면도이다.

[0077] 도 5 및 도 6을 참조하면, 상기 전류 차단층 형성 단계는 제 2 도전형 반도체층(230)의 노출면에 패터닝된 홈(231)을 형성하고 홈(231)의 바닥에 전류 차단층(240)을 형성하는 단계이다.

[0078] 상기 전류 차단층 형성 단계에서, 상기 홈(231)은 식각 방법, 예를 들어 유도 결합 플라즈마(Inductive Coupled Plasme; ICP) 식각 방법을 이용하여 제 2 도전형 반도체층(230)의 노출면을 선택적으로 식각함으로써 형성될 수 있다. 그리고, 상기 전류 차단층(240)은 포토레지스트 패턴(40)을 마스크로 이용하여 홈(131)의 바닥에 절연 물질을 증착하여 형성될 수 있다. 상기 포토레지스트 패턴(40)은 제 2 도전형 반도체층(230) 중 활성층(120)과 접하는 면의 반대 면 뿐만 아니라 홈(231)의 양 측벽에도 배치된다. 그리고, 절연 물질은 Ga_2O_3, In_2O_3, ZnO, SiO_2, Al_2O_3 및 Si_3N_4 중 적어도 어느 하나일 수 있다. 상기 전류 차단층(240)은 CH_4, CH_4/H_2, SF_6, SF_6/Ar, Ar, SF_6/O_2, CHF_3, CF_4 및 CF_4O/O_2 중 적어도 어느 하나를 이용하여 홈(231)의 바닥을 플라즈마 처리하여 형성될 수도 있다.

[0079] 도 7을 참조하면, 상기 투명 전도층 형성 단계는 제 2 도전형 반도체층(230) 중 활성층(120)과 접하는 면의 반대 면과 홈(231)의 측벽과 전류 차단층(240)을 따라 투명 전도층(250)을 형성하는 단계이다.

[0080] 구체적으로, 상기 투명 전도층(250)은 포토레지스트 패턴(40)의 제거 후 증착 방법에 의해 인듐(In), 주석(Sn), 또는 아연(Zn) 금속을 모체로 하여 형성되는 투명전도성 산화물(transparent conducting oxide : TCO)로 형성될 수 있다. 여기서, 상기 투명 전도층(250)은 수평부(HP)와 수직부(VP)가 교대로 연결되는 형상일 수 있다.

[0081] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

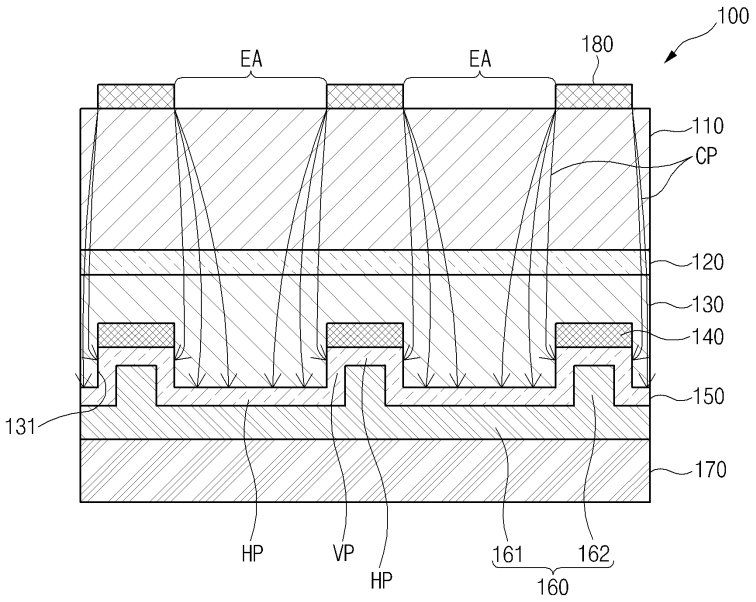
부호의 설명

[0082]

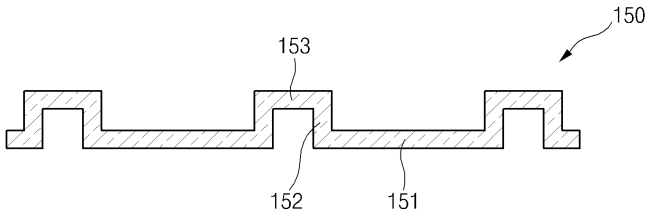
100, 200: 발광 소자	110: 제 1 도전형 반도체층
120: 활성층	130, 230: 제 2 도전형 반도체층
140, 240: 전류 차단층	150, 250: 투명 전도층
160: 반사층	170: 지지 기판
180: 전극	

도면

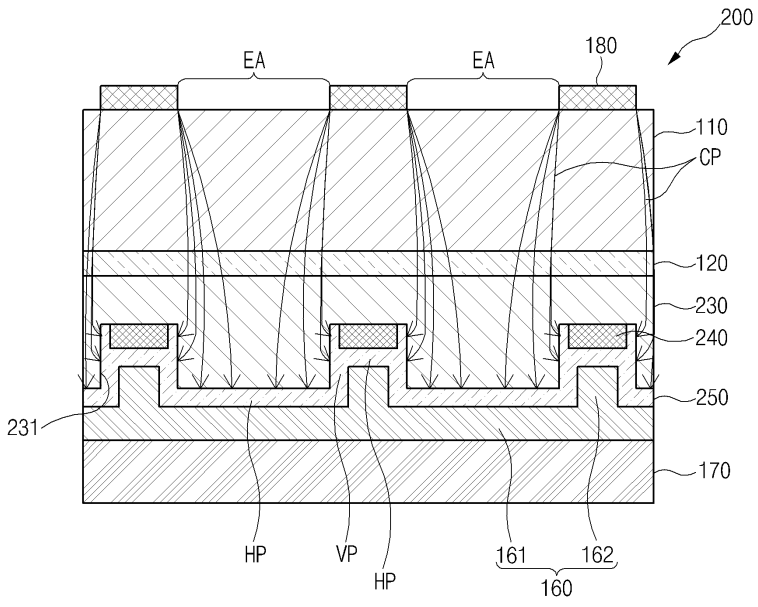
도면1a



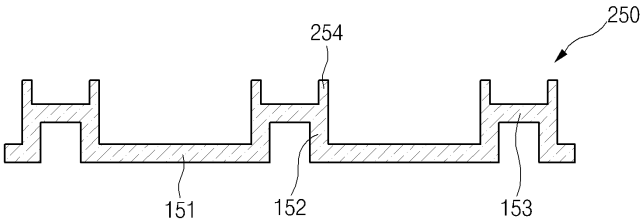
도면1b



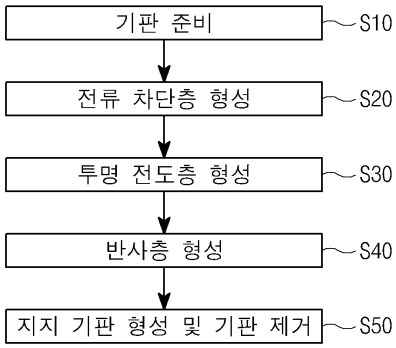
도면2a



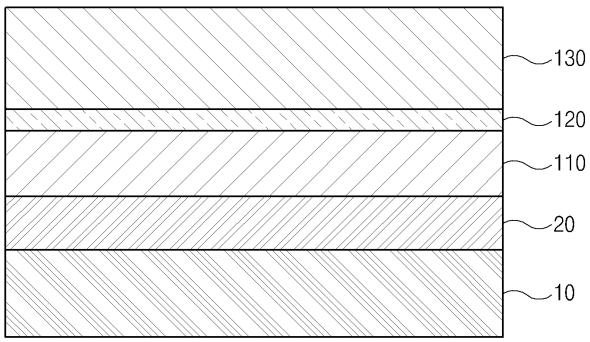
도면2b



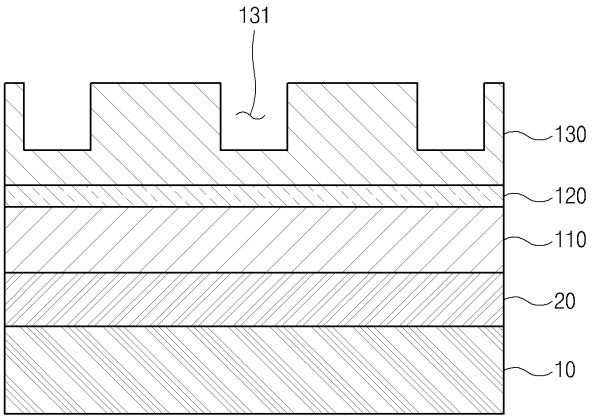
도면3



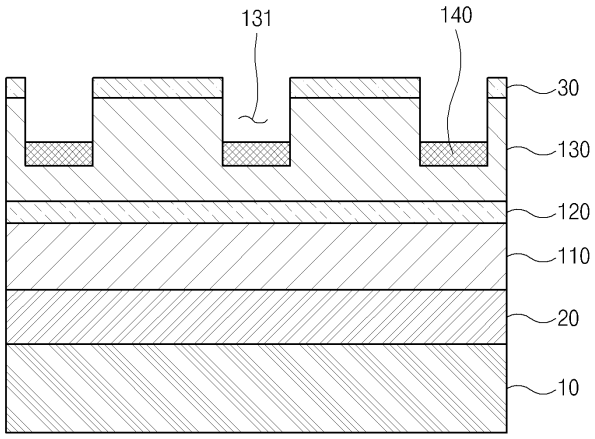
도면4a



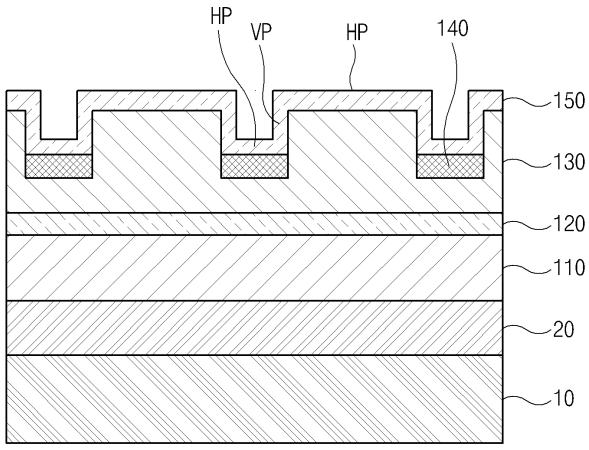
도면4b



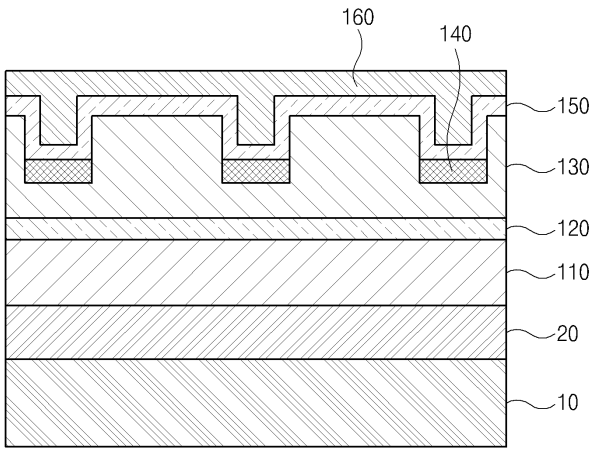
도면4c



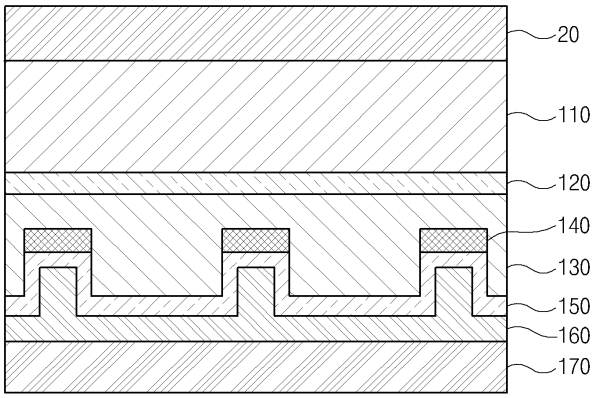
도면4d



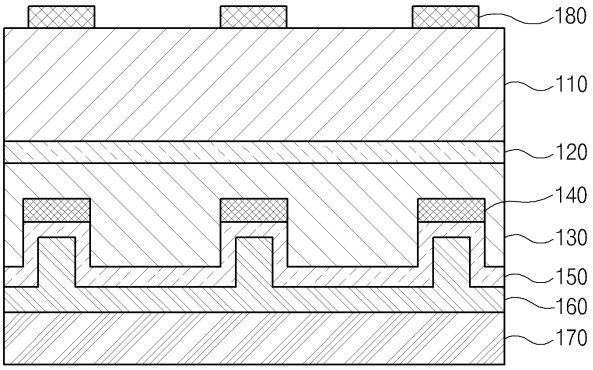
도면4e



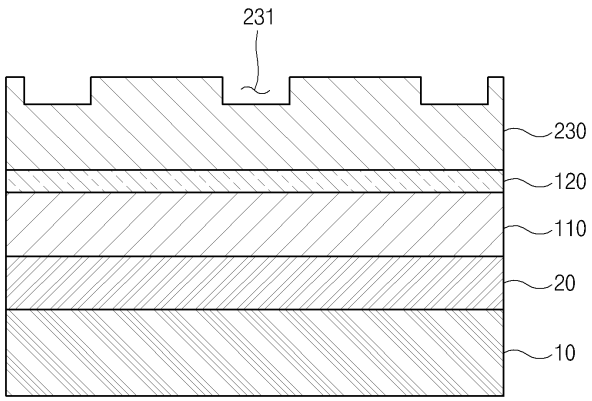
도면4f



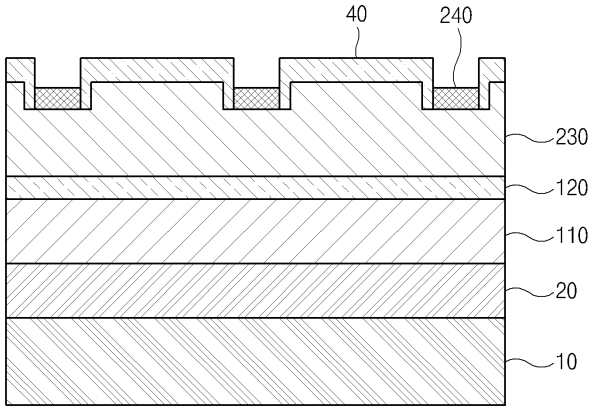
도면4g



도면5



도면6



도면7

