

# 公告本

961-3102A

申請日期	85.7.1
案號	85107935
Int. Cl. 類別	H05K 3/34

A4  
C4

317691

317691

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中 文	半導體總成
	英 文	SEMICONDUCTOR ASSEMBLY
二、發明 創作人	姓 名	1. 宇佐美光雄                      2. 西 邦 彦 3. 三上喜勝                        4. 鈴木正勝
	國 籍	1.-4. 皆屬日本
三、申請人	住、居所	1. 東京都昭島市福島町2-5-6 2. 東京都國分寺市北町4-13-20 3. 茨城縣下館市小川1319-7 4. 茨城縣真壁郡關城町船玉261-51
	姓 名 (名稱)	1. 日立製作所股份有限公司 (株式會社日立製作所) 2. 日立化成工業股份有限公司 (日立化成工業株式會社)
三、申請人	國 籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 東京都千代田區神田駿河台四丁目6番地 2. 東京都新宿區西新宿二丁目1番1號
三、申請人	代 表 人 姓 名	1. 金井 務 2. 丹野 毅

裝 訂 線

經濟部中央標準局員工消費合作社印製

317691

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

1995年05月23日 特願平7-123574

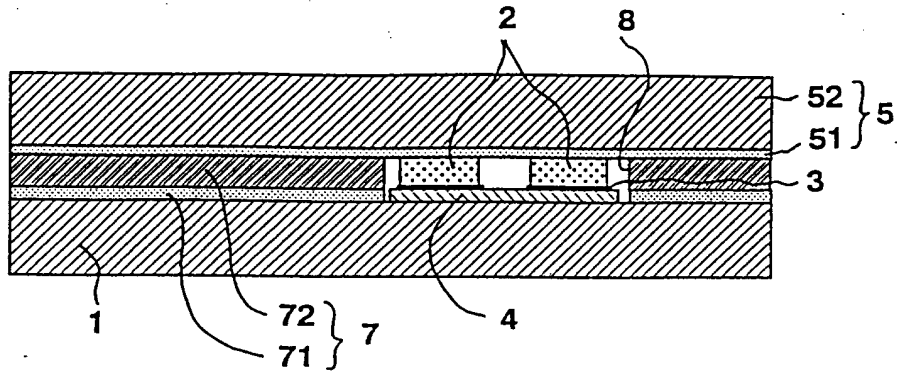
有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

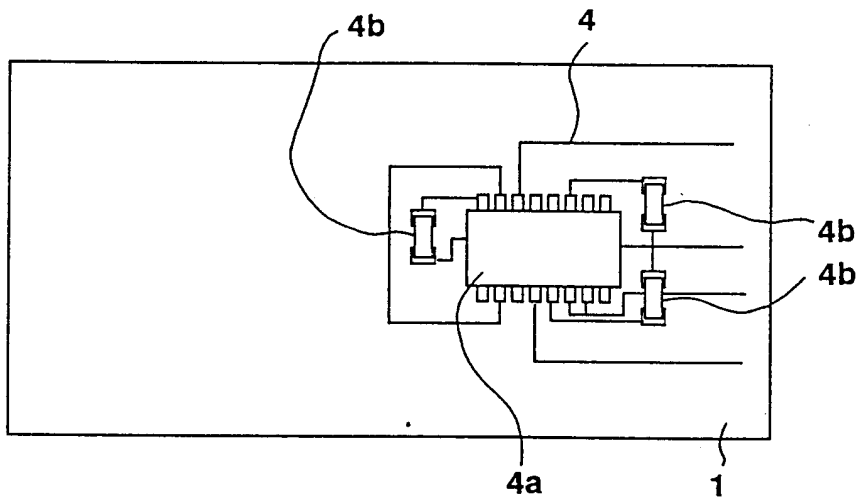
裝 訂 線

經濟部中央標準局員工消費合作社印製

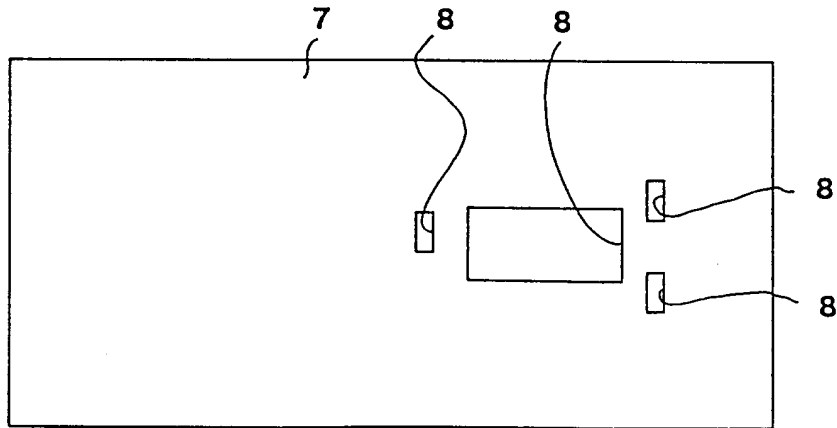
第1圖



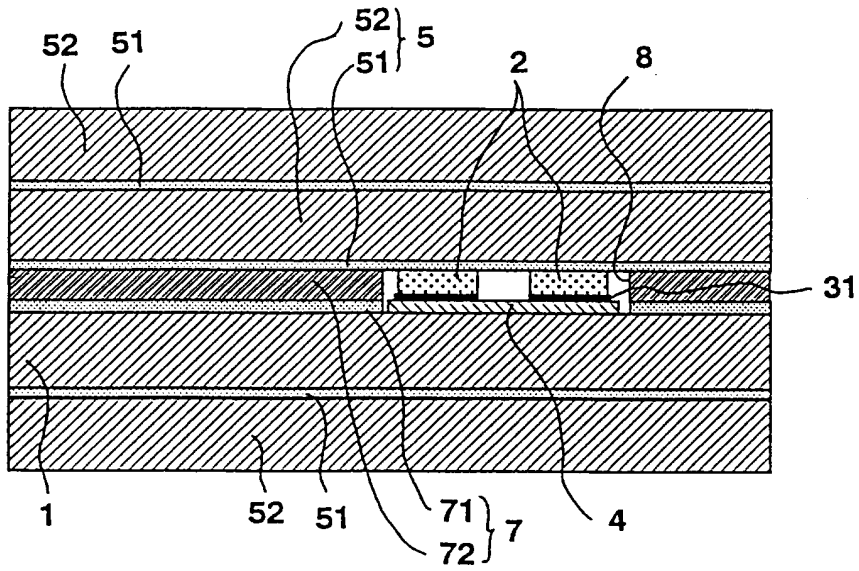
第2圖



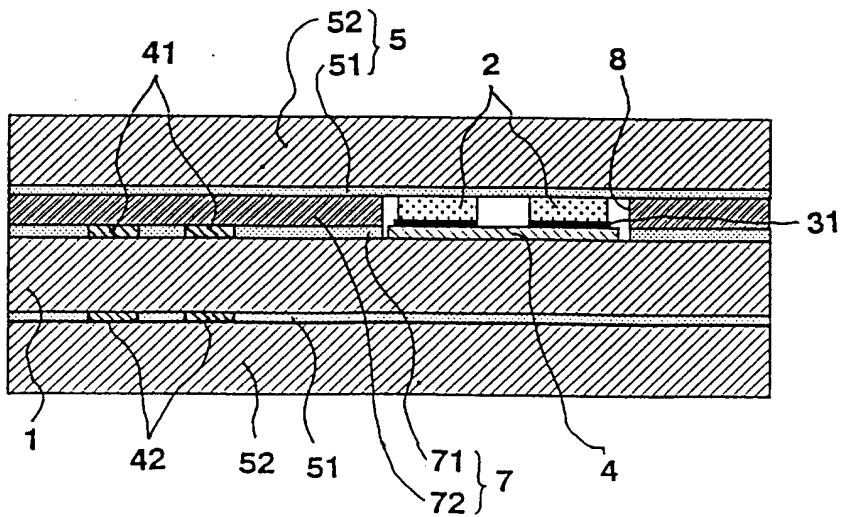
第3圖



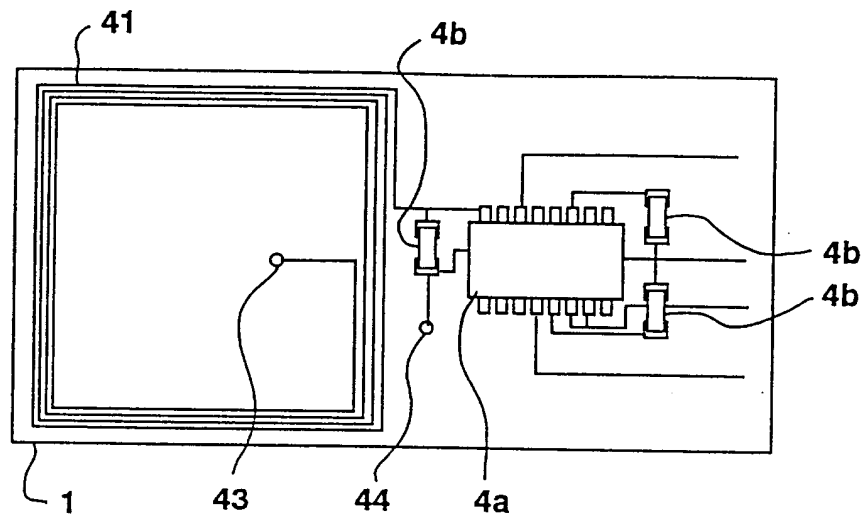
第4圖



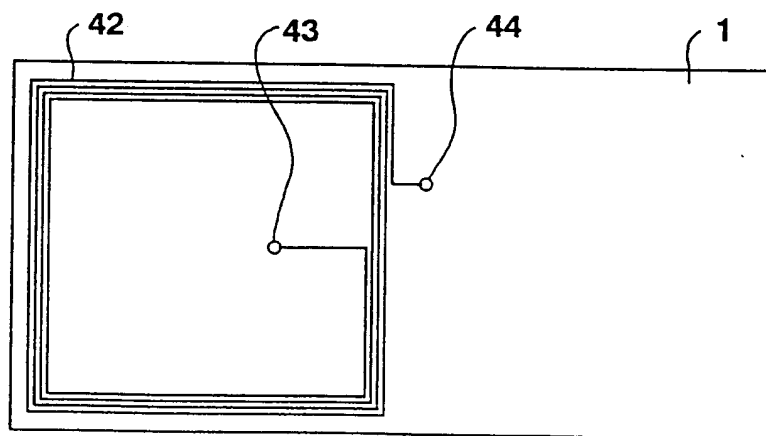
第5圖



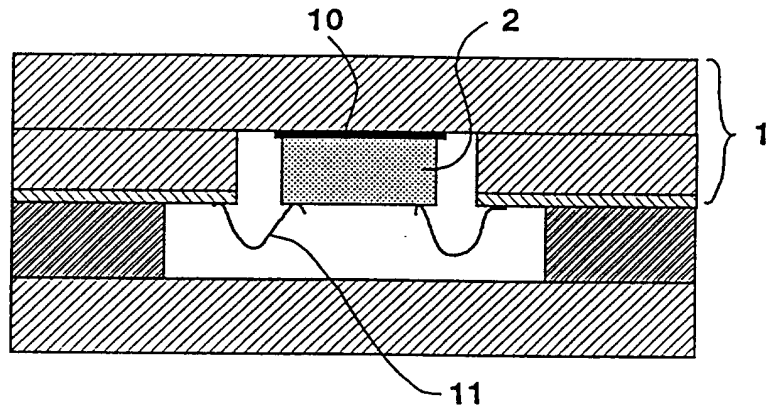
第6圖



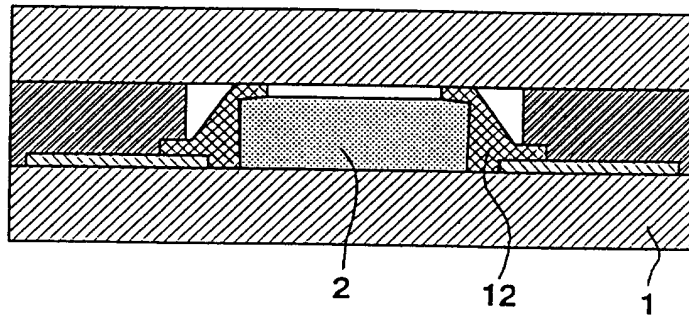
第7圖



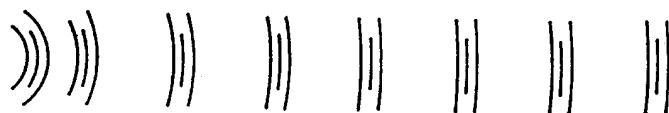
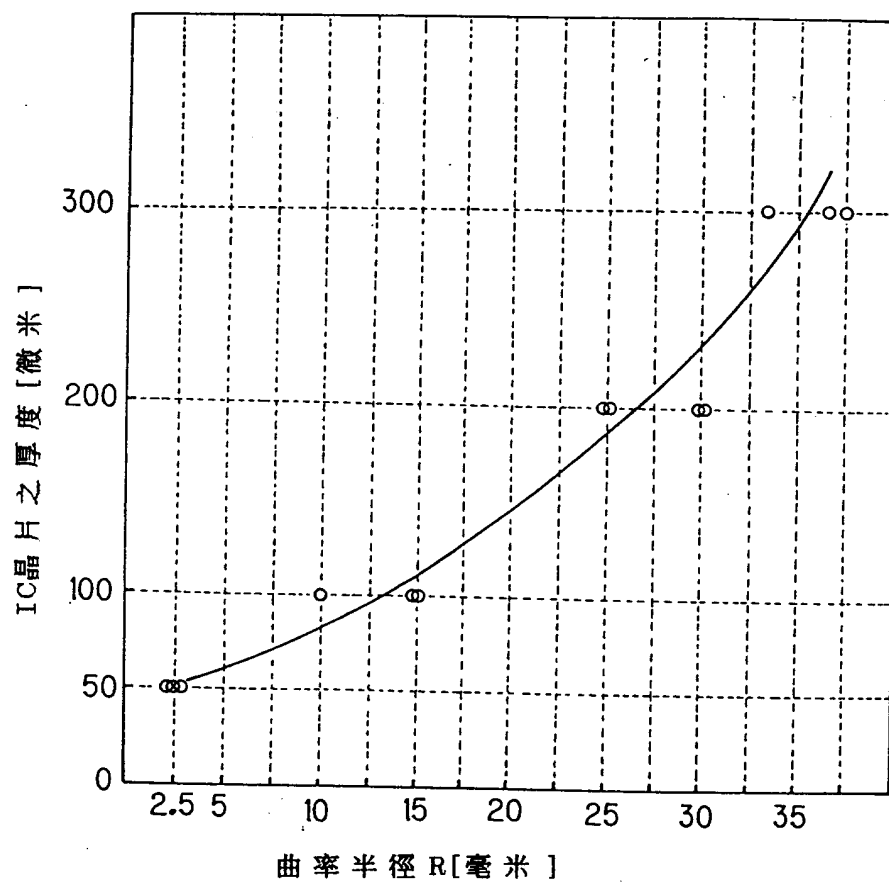
第8圖



第9圖



第10圖



## 五、發明說明( )

### 技術領域

本發明有關一種可靠又經濟之半導體總成。

### 發明背景

最近在半導體元件之領域中的發展有驚人的進展，而半導體元件應用的範圍也持續地在擴展。在被視為半導體元件核心之半導體晶片發展的同時，半導體元件的封裝也有了重要的進展。

例如，已經有人為改進公用電話之預先付費電話卡的安全性及增加其方便性作了如像磁卡、像駕照之類的個人辨識證件、及火車乘車卡等不同的建議。

這類的積體電路(IC)卡之特徵為包括具一導體電路的電路板、安裝於電路板上的半導體晶片、諸如電容器之類的選擇性電子零件、一作為電路板接收或傳輸信號的裝置、以及"資訊處理手冊"(Shadan Hojin Joho Shori Gakkai 譯, KK Ohm出版, 1990年5月30日第一版, 第302-304頁)中所描述的覆罩電路板外殼。

如圖8中所示有關IC結構，已知還可以藉壓焊劑10將半導體晶片黏貼到卡的基板1上，而以"IC卡"(Shadan Hojin Joho Denshi Shori Tsushin 譯, KK Ohm出版, 1990年5月25日第一版, 第33頁)中所描述的壓焊劑11將半導體晶片之連接端子與電路基板的連接端子接在一起。

在此所考慮之半導體晶片的厚度是大約200到400微米，而半導體晶片的抗彎折性不高所以需要控制施加於半導體晶片的壓力。

## 五、發明說明( &gt; )

如同在日本專利公開(Kokai)申請案號第3-87299號的專利中揭示，已知可利用製備包括了一個極薄大型積體電路的IC模組製造IC卡，以便在完整保留驅動元件的同時降低其厚度，且將此一IC模組安裝在包裝表面所提供的凹處。將極薄的大型積體電路IC模組安裝在相當厚的電路基板上會有一基本的困難，亦即很容易受到IC卡電路基板因為彎折形變而施加於大型積體電路晶片前後表面的伸張及壓縮壓力致損壞的事實，使得薄的大型積體電路缺乏可靠度。

另外在日本專利公開(Kokai)申請案號第7-99267號的專利中提議將薄的IC置於IC卡厚度的中央部分以解決以上的困難。如圖9中所示，根據此一技術將半導體晶片2安裝在印刷電路板1上，而半導體晶片之連接端子與印刷電路板的連接端子係曝露在同一個平面上，且半導體晶片之連接端子與印刷電路板的連接端子之間是以刷印其上的導電黏劑12達成相互的電性連接。

然而，根據將半導體晶片安裝在印刷電路板上，而半導體晶片之連接端子與印刷電路板的連接端子係曝露在同一個平面上，且半導體晶片之連接端子與印刷電路板的連接端子之間是以刷印其上的導電黏劑達成相互電性連接這樣的方法，通常當IC卡受到彎折形變時壓力會有等中於半導體晶片之連接端子與印刷電路板的連接端子之邊界上的傾向，可能導致導電黏劑產生破裂結果是存在著電路斷路的高危險性。

發明概述

鑑於習用技術所遭遇的困難，本發明之一主要目的係提供一種能提供高度可靠性的電性連接又符合製造之經

### 五、發明說明( 3 )

濟效益之半導體總成。

本發明之第二目的是提供一種能承受重複的彎折形變之半導體總成。

本發明之第三目的是提供一種適於IC卡製造之半導體總成。

86. 7. -2

本發明上述及其它目的可藉提供一種半導體總成來達成，包括：一含導體電路之電路板，此導體電路含有連接襯墊；在第一個表面上提供具備連接端子並安裝在電路板上之一半導體晶片；一覆蓋電路板之包裝；其中導體電路之連接襯墊及半導體晶片之連接端子配置分布關係相互對立的，且其間係以導電壓焊劑相互連接，而實質上半導體晶片的幾何中性平面和整個半導體總成的幾何中性平面是重合的。

較佳的，導電的壓焊劑由異向性導電壓焊薄膜所組成的，例如，導體電路可利用屏幕印刷技術將導電膏印刷到電路板上、或選擇性地將電路板上所形成之諸如銅箔之類的金屬薄片蝕刻而形成。此導體電路尚可至少在電路板之一表面上包含一天線電路。

根據本發明，因為半導體晶片之連接端子與電路板之導體電路係置於彼此相對之位置，連接部件之厚度可小，以及基於配線壓焊程序或基於導電膏印刷應用之方法，而相反於習知方法，可簡化電性連接步驟。

藉著將大量塑膠薄膜、塑膠薄片、或塗覆有導電壓焊劑之塑膠薄片黏貼到電路板的上下表面，以便將半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(4)

晶片置於整個半導體總成之厚度中心點，當總成受到彎折壓力時使電性連接處之壓力集中呈最小。

此外，藉使用導電墨水<sup>70</sup>以用於電路板之導體電路，可以製造出較以往更為經濟且更平滑的IC卡。

大致上，由塗覆壓焊劑之薄膜所構成之間隔層，較佳地係黏貼在電路板上，且提供一缺口以容納半導體晶片於其間。此提供了一個方便的裝置以用於界定容納半導體晶片的凹處而不致於在整個總成的外表平面上造成任何不規則。特別地，藉設置界定於電子零件之半導體晶片的外部輪廓與間隔層中指定範圍內缺口外部周圍之間的縫隙，即可去除原先可能存在於縫隙內的氣泡，並提供IC卡可靠及平滑的表面。

於本發明中所使用的半導體晶片係愈薄愈好，且可以是任何一般的型式而沒有特殊限制。

用於電路板的絕緣材料可以包括諸如，聚碳酸鹽薄膜、聚乙烯薄膜、聚對苯二乙烯薄膜、聚醯亞胺薄膜、PVC薄膜之類的普通塑膠薄膜或塑膠薄片、或纖維強化的塑膠薄片。特別是在機械強度與成本考量之下偏愛聚對苯二乙烯薄膜。已商品化的材料包括達賀爾(Diafoil)(商品名，達賀爾，赫凱斯特股份有限公司(Diafoil Hoekist KK))，帝人特多龍(Teijin Tetron)薄膜(商品名，帝人股份有限公司)，東洋紡伊斯特(Toyobo Ester)薄膜(商品名，東洋紡績股份有限公司)等。

在薄膜表面上可以藉使用壓焊劑在以銅質層膜分為層狀之薄膜上澱積蝕刻阻體而形成一電路導體圖案，再以

## 五、發明說明( 5 )

蝕刻去除不需要的部份銅質層膜，或者用替代的方法以屏幕印刷法在薄膜表面上塗敷導電黏劑後再固化此黏劑。

本發明所使用的導電壓焊劑可包括聚酯樹脂、酚樹脂、或混合了像銀或銅粒子等導電粒子的環氧樹脂。已商品化的材料包含 LS-3015、LS-1048、和 ACP-105 (商品名，朝日化學研究所股份有限公司所製造)，及 FA-705A、XA-220、XA412、D-723S、和 XA-256M (商品名，藤倉化成股份有限公司所製造)。

也可使用異向性的導電壓焊薄膜來取代此等導電壓焊劑，而雅妮桑 (Arisolm) (商品名，日立化成工業股份有限公司) 便是選自該等已商品化的材料。

可使用於本發明之壓焊劑包括聚酯樹脂、酚樹脂、或丙稀硝酸樹脂。

壓焊劑所附著的塑膠薄膜、塑膠薄片、或纖維強化的塑膠薄片可以提供屬於半導體晶片和電子零件安裝位置的缺口。

每一個缺口之大小可依半導體晶片或電子零件部件之厚度而選取。例如，當半導體晶片或電子零件部件的厚度係 110 到 260 微米時，半導體晶片或電子零件部件的外部輪廓與間隔層中所形成的缺口內部輪廓之間的縫隙較佳地係 50 到 500 微米。此外，當半導體晶片或電子零件部件的厚度為 50 到 110 微米時，該縫隙較佳地係 50 到 1000 微米，而當半導體晶片或電子零件部件的厚度為 0.5 到 50 微米時，該縫隙較佳地係 50 到 2000 微米。

## 五、發明說明( b )

若該縫隙較指定的範圍大時，完成後的卡表面可能會出現很大的不規則性。若該縫隙較指定的範圍小時，則定位將會十分困難。

### 圖式簡述

- 圖 1 所示係根據本發明實施例之截面圖；  
圖 2 係圖 1 之總成之部分平面圖；  
圖 3 係圖 1 及圖 2 所示之間隔層之平面圖；  
圖 4 所示係根據本發明之與圖 1 類似之另一實施例截面圖；  
圖 5 所示係根據本發明之與圖 1 類似之又一實施例之截面圖；  
圖 6 係圖 5 之電路板前表面平面圖；  
圖 7 係圖 5 之電路板另一表面之平面圖；  
圖 8 係習用技術實例之截面圖；  
圖 9 係另一習用技術實例之截面圖；以及  
圖 10 所示係曲線半徑和半導體晶片厚度能容忍的最小值之關係圖。

### 較佳實施例詳述

#### 實施例 1

如圖 1 和圖 2 之所示，30 微米厚的半導體與其它電子晶片 2 (IC 和電容) 係以導電黏劑 3 (FA-320, 商品名，朝日化學研究所股份有限公司所製造) 黏貼在印有一電路 4 的電路板 1 之表面上。也可以藉由選擇性地將銅箔薄膜蝕刻成印刷電路 4，具缺口 8 之間隔層薄片 7 置於電路板 1 的表

36.7.-2  
修正  
補充

### 五、發明說明(7)

面上。圖3之所示係間隔層7的平面圖。缺口8的尺寸是為了界定在每一個晶片周圍的縫隙為50到2000微米。在此一實施例中間隔層薄片7包括了25微米厚之聚對苯二乙烯薄膜72，上面且塗覆25微米厚的壓焊劑薄膜71、以及未示於圖中之1微米厚的基礎薄膜。此外，外殼5含125微米厚之聚對苯二乙烯薄膜52上鍍了20微米厚的壓焊劑層膜51並扮演一上蓋，且藉使用疊層來疊層於間隔層薄片7上。一旦完成疊層程序，此一晶片就置於IC卡上516微米厚的電中性平面裡。換句話說，半導體晶片2實質上係被置於IC卡厚度的中央部分。因為受到IC卡彎折形變而產生的伸長及壓縮壓力，係與到電中性平面之距離成線性增加之比例，因此實質上半導體晶片2並未感受到伸張及壓縮壓力。若此一IC卡總成實質上是均勻的，則所界定的電中性平面就可以是一個幾何的中性平面，就如在機械領域中所熟知的，若於IC卡結構於幾何的中性平面上存在著任何的不對稱性，則此一幾何中性平面就會自幾何的中性平面偏離。

#### 實施例2

如圖4之所示，於實施例1之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一75微米厚之聚對苯二乙烯薄膜52，而製成一516微米厚的IC卡。如此一來，於此例中，外殼5包括了一對上層膜52和單一下層膜52。

#### 實施例3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

經濟部中央標準局員工消費合作社印製

## 五、發明說明(8)

和施例2類似，於實施例1之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一188微米厚之聚對苯二乙烯薄膜52，而製成一742微米厚的IC卡。

### 實施例4

使用30微米厚的晶片2取代實施例1中50微米厚的晶片，且使用由聚對苯二乙烯薄膜製成之50微米厚的間隔層7製造一346微米厚的IC卡。

### 實施例5

如圖4之所示，於實施例4之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一75微米厚之聚對苯二乙烯薄膜52，而製成一536微米厚的IC卡。

### 實施例6

和實施例5類似，於實施例4之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一188微米厚之聚對苯二乙烯薄膜52，而製成一762微米厚的IC卡。

### 實施例7

使用100微米厚的晶片2取代實施例1中的晶片，且使用100微米厚之聚對苯二乙烯薄膜72所構成的間隔層薄片7製造一個346微米厚的IC卡。缺口8係提供使得界定在每一個可包括積體電路及其它電子零件的晶片2周圍的縫隙為50到1000微米。

### 實施例8

如圖4之所示，於實施例7之IC卡的上下兩個表面上

## 五、發明說明(9)

，疊層一層塗覆20微米厚的壓焊劑層膜51之另一75微米厚之聚對苯二乙烯薄膜52，而製成一586微米厚的IC卡。

### 實施例9

和實施例8類似，於實施例7之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一188微米厚之聚對苯二乙烯薄膜52，而製成一812微米厚的IC卡。

### 實施例10

使用200微米厚的晶片2取代實施例1中的晶片，且使用188微米厚之聚對苯二乙烯薄膜72所構成的間隔層薄片7製造一個496微米厚的IC卡。缺口8係提供使得界定在每一個可包括積體電路及其它電子零件的晶片2周圍的縫隙為50到500微米。

### 實施例11

如圖4之所示，於實施例10之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一75微米厚之聚對苯二乙烯薄膜52，而製成一686微米厚的IC卡。

### 實施例12

和實施例1類似，於實施例10之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一188微米厚之聚對苯二乙烯薄膜52，而製成一912微米厚的IC卡。

### 實施例13

使用500微米厚的晶片2取代實施例1中的晶片，且使

## 五、發明說明(10)

用500微米厚之聚對苯二乙烯薄膜72所構成的間隔層薄片7製造一個796微米厚的IC卡。

### 實施例14

如圖4之所示，於實施例13之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一75微米厚之聚對苯二乙烯薄膜52，而製成一986微米厚的IC卡。

### 實施例15

和實施例14類似，於實施例10之IC卡的上下兩個表面上，疊層一層塗覆20微米厚的壓焊劑層膜51之另一188微米厚之聚對苯二乙烯薄膜52，而製成一1212微米厚的IC卡。

### 實施例16

參照圖5至圖7，其中相對應於前述實施例的部件將以相同數字標示，將由18微米厚的導電層膜組成的天線電路41放在75微米厚的聚對苯二乙烯薄膜之兩個表面上而形成印刷電路板1，而50微米厚的半導體晶片和電容晶片4a和4b，則是以Anisolm之商品名在市場上銷售的異向性導電薄膜安裝在印刷電路板1之上，而形成IC卡的功能部件。

於每一側之75微米厚的聚對苯二乙烯薄膜上長成天線線圈41和42，而分別屬於上下表面的兩個線圈，是透過事先在電路板1上某些部份指定的貫穿孔43和44而互相連接在一起。

在此一功能部件、一對覆罩層膜52上，將三個由塗覆

## 五、發明說明 ( 11 )

24微米厚的壓焊劑之75微米和188微米厚之聚對苯二乙烯薄膜所構成的間隔層薄膜71，分別疊層在總成的上下兩個表面上，以便在疊層程序之後形成一個474微米厚的IC卡。

### 實施例 17

使用一對由250和125微米厚的取代實施例16中分別為188微米厚的上層覆罩和75微米厚的下層覆罩聚對苯二乙烯薄膜所構成的覆罩層膜51，而取得一574微米厚的IC卡。

### 實施例 18

125微米厚的聚對苯二乙烯薄膜，取代實施例16中75微米的厚薄膜以改進印刷程序。以兩個分別是75微米和188微米厚的覆罩層膜51為上單薄膜、以及用一個125微米厚的薄膜取代75微米厚的薄膜成為下覆罩薄膜，以製造一720微米厚的IC卡。

### 實施例 19

於實施例10和13中，在 $L-K > 500$ 微米的情況下，於IC卡表面所產生的表面不規則性會超過100微米，其中K係晶片的尺寸，而L則是間隔層薄片7之缺口8的尺寸。這類不規則性會造成內部縫隙尺寸的過度膨脹，而藉由 $L-K < 500$ 微米的調整後可降到80微米或以下。

### 實施例 20

於實施例7中，在 $L-K > 1000$ 微米的情況下，於IC卡表面所產生的表面不規則性會超過100微米。這類不規則

## 五、發明說明(12)

性會造成內部縫隙大小的過度膨脹，而在藉由 $L-K < 1000$ 微米的調整後可降到80微米或以下。

### 實施例 21

於實施例 4 中，在 $L-K > 2000$ 微米的情況下，於 IC 卡表面所產生的表面不規則性會超過 100 微米。這類不規則性會造成內部縫隙大小的過度膨脹，而在藉由 $L-K < 2000$ 微米的調整後可降到 80 微米或以下。

以此製備的 IC 卡受到彎折形變之下測試其電性連接的可靠度。在某些情況下可以看到實體上的損壞，但是一個 50 微米厚的 IC 卡在彎折曲線半徑為 2.5 到 5 微米時不致產生任何電性斷路，一個 100 微米厚的 IC 卡在彎折曲線半徑為 10 到 15 微米時不致產生任何電性斷路，一個 200 微米厚的 IC 卡在彎折曲線半徑為 25 到 30 微米時不致產生任何電性斷路。圖 10 之所示即是在實施例 1 安排下實驗所得之曲線半徑和半導體晶片厚度能容忍的最小值的關係圖。

為了比較，根據日本公開專利申請案號第 7-99267 號的專利中提議的方法製備 IC 卡，亦即基於半導體晶片之連接端子與電路板之連接端子係曝露在同一平面上，並藉著刷印於其上的導電黏劑達成相互電性連接。使用的材料與實施例 1 中所用的完全相同。根據這類 IC 卡的測試結果，於相同範圍的彎折形變下有百分之二十到四十的情況會發生電性斷路，此證明了根據此項發明所製成的 IC 之卡電性連接的可靠性確實獲得改進。因此根據此

## 五、發明說明(13)

項發明所製成的裝置係具高度可靠性又具高製程經濟效益的。

雖然上述的實施例只是一個範例，但本發明並不局限於此實施例，很顯然地熟悉此項技術者可在不偏離此一發明之精神及架構下對這類實施例作改變或修正。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體總成)

提供一種半導體總成,包括:含有一導體電路(4)之一電路板(1),而此導體電路含有導電襯墊;於其第一個表面上具備連接端子並安裝在此電路板上之一半導體晶片(2);覆蓋此電路板之一外殼(5);其中此導體電路之連接端子與半導體晶片之連接端子係曝露在同一平面上,且其配置關係係相對的,且其間係由導電壓焊劑相互連接,而實質上此半導體晶片之幾何中性平面與半導體總成之幾何中性平面係重合的。

86. 7 -2

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱: SEMICONDUCTOR ASSEMBLY)

Provided is a semiconductor assembly, comprising a circuit board (1) including a conductor circuit (4), the conductor circuit including connecting pads, a semiconductor chip (2) provided with connecting terminals provided on a first surface thereof, and mounted on the circuit board, a casing (5) covering the circuit board, wherein the connecting pads of the conductor circuit and the connecting terminals of the semiconductor chip are disposed in mutually opposing relationship, and are connected with each other by an electroconductive bonding agent, a neutral plane of the semiconductor chip substantially coinciding with an overall neutral plane of the semiconductor assembly.

訂

線

## 六、申請專利範圍

第 85107935 號「半導體總成」專利案

(86年7月2日修正)

## 六 申請專利範圍：

1. 一種半導體總成，包括：含有一導體電路之一電路板 (1)，該導體電路含有連接襯墊；於其第一個表面上具備連接端子並安裝在該電路板上之一半導體晶片 (2)；覆蓋電路板之一外殼 (5)；其中該導體電路之連接端子與該半導體晶片連接端子配置關係相對的，且其間係由導電壓焊劑相互連接，而實質上該半導體晶片之幾何中性平面與該半導體總成之整個幾何中性平面係重合。
2. 如申請專利範圍第 1 項之半導體總成，其中該壓焊劑係由異向性導電壓焊薄膜所組成。
3. 如申請專利範圍第 1 項之半導體總成，其中該導體電路係將導電膏印刷到該電路板上而形成。
4. 如申請專利範圍第 1 項之半導體總成，其中該導體電路藉選擇性地蝕刻該電路板上之金屬薄片而形成。
5. 如申請專利範圍第 1 項之半導體總成，其中該導體電路尚包括至少形成在該電路板一表面上之天線電路 (41, 42)。
6. 如申請專利範圍第 1 項之半導體總成，其中尚一由塗覆壓焊劑之薄膜所構成之間隔層 (7)，通常係黏貼在該電路板之表面上，且該薄膜提供一缺口 (8) 以容納

## 六、申請專利範圍

該半導體晶片於其中。

7. 如申請專利範圍第6項之半導體總成，其中介於該半導體晶片輪廓與該缺口外圍邊界間之縫隙要足夠小，以避免在發展該總成時產生無法接受之表面不規則性。
8. 如申請專利範圍第1項之半導體總成，其中介於該半導體晶片輪廓與該缺口外圍邊界間之縫隙要足夠小，使得  $L-K < 2000$  微米，其中  $L$  係該缺口的尺寸，而  $K$  則是對應晶片之尺寸。
9. 如申請專利範圍第1項之半導體總成，其中該外殼包含置於該電路板上之塑膠薄膜。
10. 如申請專利範圍第1項之半導體總成，其中該半導體晶片之厚度不超過200微米。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

咏