



(12)发明专利

(10)授权公告号 CN 105514138 B

(45)授权公告日 2018.11.06

(21)申请号 201510629495.9

(22)申请日 2015.09.28

(65)同一申请的已公布的文献号

申请公布号 CN 105514138 A

(43)申请公布日 2016.04.20

(30)优先权数据

2014-207598 2014.10.08 JP

(73)专利权人 株式会社日本显示器

地址 日本东京都

(72)发明人 前田典久

(74)专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 邸万杰

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 51/56(2006.01)

(56)对比文件

CN 1841761 A, 2006.10.04,

US 2010/0097295 A1, 2010.04.22,

US 2014/0284572 A1, 2014.09.25,

审查员 张斌

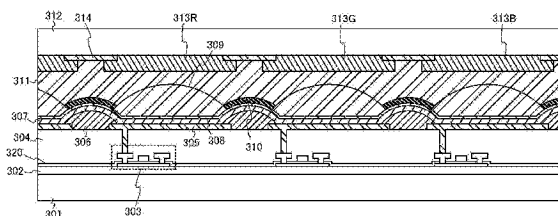
权利要求书2页 说明书9页 附图10页

(54)发明名称

显示装置及其制造方法

(57)摘要

本发明提供通过辅助配线能够同时实现共用电极的低电阻化和充分的开口率的确保的高精细的显示装置,其具有包括多个像素的显示部,包括:与所述多个像素对应地设置的多个像素电极;设置在所述多个像素电极之间的堤堰部;至少设置在所述像素电极上的EL层;设置在所述堤堰部和所述EL层之上的共用电极;分别设置在由所述堤堰部划分的多个区域内的所述共用电极上的绝缘体;和设置在相邻的所述绝缘体之间的所述共用电极上的辅助配线,所述绝缘体设置成:在以所述像素电极的表面为基准时,所述绝缘体的顶部位于比所述堤堰部上的所述共用电极的顶部更靠上方的位置。



1. 一种具有包括多个像素的显示部的显示装置,其特征在于,包括:
与所述多个像素对应地设置的多个像素电极;
设置在所述多个像素电极之间的堤堰部;
至少设置在所述像素电极上的EL层;
设置在所述堤堰部和所述EL层之上的共用电极;
分别设置在由所述堤堰部划分的多个区域内的所述共用电极上的绝缘体;和
设置在相邻的所述绝缘体之间的所述共用电极上的辅助配线,
所述辅助配线的端部与所述绝缘体重叠,
所述绝缘体设置成:在以所述像素电极的表面为基准时,所述绝缘体的顶部位于比所述堤堰部上的所述共用电极的顶部更靠上方的位置,且位于比所述辅助配线的顶部更靠上方的位置。
2. 如权利要求1所述的显示装置,其特征在于:
所述绝缘体的端部与所述堤堰部重叠。
3. 如权利要求1所述的显示装置,其特征在于:
在用与所述像素电极的主面垂直的面来截断所述绝缘体的情况下,所述绝缘体的轮廓为曲线状。
4. 如权利要求1所述的显示装置,其特征在于:
还包括隔着填充材料与所述显示部相对设置的密封基板,
所述绝缘体和所述填充材料由相同材料构成。
5. 如权利要求4所述的显示装置,其特征在于:
所述绝缘体和所述填充材料由具有透光性的树脂材料构成。
6. 一种具有包括多个像素的显示部的显示装置,其特征在于,包括:
与所述多个像素对应地设置的多个像素电极;
设置在所述多个像素电极之间的堤堰部;
至少设置在所述像素电极上的EL层;
设置在所述堤堰部和所述EL层之上的共用电极;
设置在所述堤堰部与所述共用电极重叠的区域上的辅助配线;和
以直接覆盖所述共用电极和所述辅助配线的方式形成的密封膜,
所述密封膜包括选自氮化硅膜、氧化硅膜、氧化铝膜中的至少一种膜,
所述辅助配线的端部为曲面状且悬在所述多个像素电极的表面的上方。
7. 如权利要求6所述的显示装置,其特征在于:
所述密封膜为层叠膜,还包括有机绝缘层。
8. 如权利要求6所述的显示装置,其特征在于:
还包括隔着填充材料与所述显示部相对设置的相对基板,
所述填充材料由透光性材料构成。
9. 一种具有包括多个像素的显示部的显示装置的制造方法,其特征在于,包括:
与所述多个像素对应地形成多个像素电极的工序;
在所述多个像素电极之间形成堤堰部的工序;
至少在所述像素电极上形成EL层的工序;

在所述堤堰部和所述EL层之上形成共用电极的工序；

在由所述堤堰部划分的多个区域内的所述共用电极上分别形成绝缘体的工序；和

在相邻的所述绝缘体之间的所述共用电极上形成辅助配线的工序，

在所述形成绝缘体的工序中，按照在以所述像素电极的表面为基准时，所述绝缘体的顶部位于比所述堤堰部上的所述共用电极的顶部更靠上方的位置且位于比所述辅助配线的顶部更靠上方的位置的方式，形成多个所述绝缘体。

10. 一种具有包括多个像素的显示部的显示装置的制造方法，其特征在于，包括：

与所述多个像素对应地形成多个像素电极的工序；

在所述多个像素电极之间形成堤堰部的工序；

至少在所述像素电极上形成EL层的工序；

在所述堤堰部和所述EL层之上形成共用电极的工序；

在由所述堤堰部划分的多个区域内的所述共用电极上分别形成绝缘体的工序；

在相邻的所述绝缘体之间的所述共用电极上形成辅助配线的工序；和

除去所述绝缘体的工序，

按照在以所述像素电极的表面为基准时，所述绝缘体的顶部位于比所述堤堰部上的所述共用电极的顶部更靠上方的位置且位于比所述辅助配线的顶部更靠上方的位置的方式，形成多个所述绝缘体。

11. 如权利要求9或10所述的显示装置的制造方法，其特征在于：

所述绝缘体通过溶液排出法形成。

12. 如权利要求9或10所述的显示装置的制造方法，其特征在于：

所述辅助配线通过溶液排出法形成。

13. 如权利要求10所述的显示装置的制造方法，其特征在于：

在所述除去绝缘体的工序之后，还包括在所述共用电极和所述辅助配线之上形成密封膜的工序。

14. 如权利要求9或10所述的显示装置的制造方法，其特征在于：

还包括隔着填充材料与所述显示部相对地配置密封基板的工序，

所述绝缘体和所述填充材料由相同材料形成。

15. 如权利要求14所述的显示装置的制造方法，其特征在于：

由具有透光性的树脂材料形成所述绝缘体和所述填充材料。

16. 如权利要求9或10所述的显示装置的制造方法，其特征在于：

在所述形成绝缘体的工序之后，还包括使用包含氟或氟化合物的气体对所述绝缘体的表面实施等离子体处理的工序。

显示装置及其制造方法

技术领域

[0001] 本发明涉及具有电致发光元件等发光元件的显示装置及其制造方法。

背景技术

[0002] 作为利用电致发光 (Electroluminescence:EL) 现象的发光元件,已知有电致发光 (以下还称为“EL”) 元件。EL元件能够通过构成发光层的发光材料的选择而以各种波长的颜色发光,对显示装置和照明器具的应用不断发展。特别是使用有机材料作为发光材料的EL元件受到瞩目。

[0003] 使用EL元件的有机EL显示装置中,在呈矩阵状配置在基板上的各像素,设置有作为发光元件的EL元件和进行该EL元件的发光控制的开关元件。而且,通过对每像素进行开关元件的导通/断开的控制,作为整个显示区域能够显示任意图像。

[0004] 作为上述那样的显示装置的显示方式,已知有顶部发射型和底部发射型这两种。顶部发射型是将由EL元件发出的光在形成有像素电路的第一基板(阵列基板)相反侧、即第二基板(密封基板)侧取出的方式,底部发射型是将由EL元件发出的光在阵列基板侧取出的方式。特别是顶部发射型由于在形成有像素电路的区域上设置像素电极、能够将像素电极的大部分作为有效的发光区域,所以在确保高的像素开口率(数值孔径)方面有利。

[0005] 在顶部发射型的EL显示装置,光需要从与像素电极(阳极)成对的共用电极(阴极)透射而取出。因此,在顶部发射型中,作为共用电极,将MgAg(镁-银合金)形成为能够使光充分透射的程度的薄膜状来使用,或者使用ITO(Indium Tin Oxide:氧化铟锡)、IZO(Indium Zinc Oxide:氧化铟锌)等透明导电膜。

[0006] 其中,IT/IZO等透明导电膜与金属膜相比电阻高。因此,如果显示装置的画面尺寸变大,则由透明导电膜的电阻成分引起的电压下降的影响变大,存在在画面内产生亮度差的问题。

[0007] 作为解决这样的现象的方法,公开有在共用电极的形成后,在共用电极上设置辅助配线的结构(专利文献1)。专利文献1记载的技术是在共用电极上设置由金属膜构成的辅助配线而实现共用电极的低电阻化的技术。此外,在专利文献1中,进行了通过将辅助配线设置在堤堰部(bank)上而使得辅助配线不引起像素的开口率降低的研究。另外,堤堰部是对像素进行划分的由树脂等绝缘材料构成的部件。

[0008] 现有技术文献

[0009] 专利文献

[0010] 专利文献1:日本特开2009-276721号公报

发明内容

[0011] 发明所要解决的问题

[0012] 但是,专利文献1记载的技术中,在显示装置越来越高精细化的情况下难以进行堤堰部与辅助配线的对位,如果对位精度差则存在辅助配线在像素内形成的情况。其结果是,

存在辅助配线遮挡来自EL元件的发光而使开口率降低的问题。

[0013] 因此,本发明的一个实施方式的目的之一为提供以高的对位精度在共用电极上形成辅助配线的技术。

[0014] 此外,本发明的一个实施方式的目的之一为提供通过辅助配线能够同时实现共用电极的低电阻化和充分的开口率的确保的高精细的显示装置。

[0015] 用于解决问题的方式

[0016] 本发明的一个方式为具有包括多个像素的显示部的显示装置,其特征在于,包括:与上述多个像素对应地设置的多个像素电极;设置在上述多个像素电极之间的堤堰部;至少设置在上述像素电极上的EL层;设置在上述堤堰部和上述EL层之上的共用电极;分别设置在由上述堤堰部划分的多个区域内的上述共用电极上的绝缘体;和设置在相邻的上述绝缘体之间的上述共用电极上的辅助配线,上述绝缘体设置成:在以上述像素电极的表面为基准时,上述绝缘体的顶部位于比上述堤堰部上的上述共用电极的顶部更靠上方的位置。

[0017] 本发明的一个方式是具有包括多个像素的显示部的显示装置,其特征在于,包括:与上述多个像素对应地设置的多个像素电极;设置在上述多个像素电极之间的堤堰部;至少设置在上述像素电极上的EL层;设置在上述堤堰部和上述EL层之上的共用电极;和设置在上述堤堰部与上述共用电极重叠的区域上的辅助配线,上述辅助配线的端部悬在上述多个像素电极的表面的上方。

[0018] 本发明的一个方式是具有包括多个像素的显示部的显示装置的制造方法,其特征在于,包括:与上述多个像素对应地形成多个像素电极的工序;在上述多个像素电极之间形成堤堰部的工序;至少在上述像素电极上形成EL层的工序;在上述堤堰部和上述EL层之上形成共用电极的工序;在由上述堤堰部划分的多个区域内的上述共用电极上分别形成绝缘体的工序;和在相邻的上述绝缘体之间的上述共用电极上形成辅助配线的工序,在上述形成绝缘体的工序中,按照在以上述像素电极的表面为基准时上述绝缘体的顶部位于比上述堤堰部上的上述共用电极的顶部更靠上方的位置的方式,形成多个上述绝缘体。

[0019] 本发明的一个方式是具有包括多个像素的显示部的显示装置的制造方法,其特征在于,包括:与上述多个像素对应地形成多个像素电极的工序;在上述多个像素电极之间形成堤堰部的工序;至少在上述像素电极上形成EL层的工序;在上述堤堰部和上述EL层之上形成共用电极的工序;在由上述堤堰部划分的多个区域内的上述共用电极上分别形成绝缘体的工序;在相邻的上述绝缘体之间的上述共用电极上形成辅助配线的工序;和除去上述绝缘体的工序,按照在以上述像素电极的表面为基准时上述绝缘体的顶部位于比上述堤堰部上的上述共用电极的顶部更靠上方的位置的方式,形成多个上述绝缘体。

附图说明

[0020] 图1是表示本发明的第一实施方式的显示装置的整体结构的平面图。

[0021] 图2是表示本发明的第一实施方式的显示装置的像素部的结构的平面图。

[0022] 图3是表示本发明的第一实施方式的显示装置中的像素部的截面结构的图,是图2所示的III-III'线的截面图。

[0023] 图4是表示本发明的第一实施方式的显示装置的制造方法的图。

[0024] 图5是表示本发明的第一实施方式的显示装置的制造方法的图。

[0025] 图6是表示本发明的第一实施方式的显示装置的制造方法的图。

[0026] 图7是表示本发明的第一实施方式的显示装置的制造方法的图。

[0027] 图8是表示本发明的第一实施方式的显示装置的制造方法的图。

[0028] 图9是表示本发明的第二实施方式的显示装置中的像素部的截面结构的图。

[0029] 图10是表示本发明的第三实施方式的显示装置的制造方法的图。

[0030] 附图标记的说明

[0031] 100…显示装置,102…像素部,103…扫描线驱动电路,104…数据线驱动电路,105…驱动器IC,201…像素,201R…与R(红色)对应的子像素,201G…与G(绿色)对应的子像素,201B…与B(蓝色)对应的子像素,202…薄膜晶体管,301…第一基板,302…基底层,303…薄膜晶体管(TFT),304…第一绝缘层,305…像素电极(阳极),306…堤堰部,307…EL层,308…共用电极(阴极),309…掩模绝缘体,310…辅助配线,311…填充材料,312…第二基板,313R…与R(红色)对应的滤色片,313G…与G(绿色)对应的滤色片,313B…与B(蓝色)对应的滤色片,314…黑矩阵。

具体实施方式

[0032] 以下,参照附图等对本发明的各实施方式进行说明。不过,本发明能够在不脱离其主旨的范围内以各种方式进行实施,并不限定于以下例示的实施方式的记载内容限定地解释。

[0033] 此外,为了使说明更加明确,附图与实际的情形相比各部的宽度、厚度、形状等存在示意地表示的情况,但仅仅为一个例子,并不对本发明的解释进行限定。此外,在本说明书和各图中,对具备与关于已经提到的图说明过的内容相同的功能的要素,标注相同的附图标记,省略重复的说明。

[0034] (第一实施方式)

[0035] <显示装置的结构>

[0036] 图1是表示本发明的第一实施方式的显示装置100的整体结构的图。显示装置100包括在基板101上形成的像素部(显示区域)102、扫描线驱动电路103、数据线驱动电路104和驱动器IC105。驱动器IC作为对扫描线驱动电路103和数据线驱动电路104发送信号的控制部发挥作用。

[0037] 另外,数据线驱动电路104还存在包含于驱动器IC105的情况。在图1例示在基板101上一体形成有驱动器IC105的例子,不过也可以以IC芯片的方式另外配置在基板101上。此外,也可以采用将驱动器IC105设置在FPC(Flexible Printed Circuits:挠性线路板)进行外部安装的方式。

[0038] 在图1所示的像素部102,呈矩阵状配置有多个像素。在各像素,从数据线驱动电路104被施加与图像数据相应的数据信号。通过将这些数据信号经设置在各像素的开关元件施加至像素电极,能够进行与图像数据相应的画面显示。作为开关元件,典型的是能够使用薄膜晶体管(Thin Film Transistor以下,TFT)。不过,并不仅限于薄膜晶体管,只要是具备开关功能的元件,就可以使用任何元件。

[0039] 图2是表示图1所示的显示装置100的像素部102的结构的图。在本实施方式中,像素201包括对应红色(R)的子像素201R、对应绿色(G)的子像素201G和对应蓝色(B)的子像素

201B。在各子像素,作为开关元件设置有薄膜晶体管202。通过使用薄膜晶体管202对各子像素201R、201G和201B进行导通/断开控制,能够发出对应各子像素的任意的颜色的光,作为一个像素表现出各种颜色。

[0040] 在图2表示了作为子像素使用RGB的三原色的结构,本实施方式并不限于此,还能够以在RGB中加入白色(W)或黄色(Y)的四个子像素构成像素201。此外,作为像素排列,表示了与同一颜色对应的像素被条形排列的例子,此外也可以为三角排列/拜尔排列或实现波形(pentile)结构的排列。

[0041] 图3是表示以III-III'截断图2所示的像素201而得到的截面的结构的图。在图3,在第一基板(阵列基板)301上,作为基底层302设置有由氧化硅、氮化硅、氧化铝等无机材料构成的绝缘层,在其上形成有薄膜晶体管303。

[0042] 作为第一基板301,能够使用玻璃基板、石英基板、挠性基板(聚酰亚胺、聚对苯二甲酸、聚萘二甲酸等能够弯曲的基板)。在第一基板301不需要具有透光性的情况下,还能够使用金属基板、陶瓷基板、半导体基板。

[0043] 薄膜晶体管303的结构既可以为顶栅型也可以为底栅型。在本实施方式的显示装置100,以覆盖薄膜晶体管303的方式设置有第一绝缘层304,作为将起因于薄膜晶体管303的凹凸平坦化的结构。作为第一绝缘层304,优选使用树脂材料。例如,能够使用聚酰亚胺、聚酰胺、丙烯、环氧等公知的有机材料。只要能够获得平坦化效果,也可以代替有机材料,使用氧化硅等无机材料,还能够采用有机材料与无机材料的层叠结构。另外,以320表示的层是作为薄膜晶体管303的栅极绝缘层发挥作用的氧化硅膜等无机绝缘膜。

[0044] 在第一绝缘层304上设置有像素电极305。像素电极305经由在第一绝缘层304形成的接触孔与薄膜晶体管303连接。在本实施方式的显示装置100,像素电极305作为构成EL元件的阳极(anode)发挥作用。

[0045] 像素电极305根据是顶部发射型还是底部发射型而采用不同的结构。例如,在为顶部发射型的情况下,作为像素电极305使用反射率高的金属膜,或使用氧化铟类透明导电膜(例如ITO)/氧化锌类透明导电膜(例如IZO、ZnO)等功函数高的透明导电膜与金属膜的层叠结构即可。相反,在为底部发射型的情况下,作为像素电极305使用上述的透明导电膜即可。在本实施方式中,列举顶部发射型的显示装置为例进行说明。

[0046] 在相邻的像素电极305之间,如图3那样配置有堤堰部306。堤堰部306以覆盖各像素电极306的端部(边缘)的方式设置,其结果,作为划分各像素的部件发挥作用。另外,堤堰部306也可以不仅覆盖像素电极306的端部,而且作为填埋起因于接触孔凹部的填充材料发挥作用。

[0047] 在本实施方式中,作为堤堰部306能够使用聚酰亚胺类、聚酰胺类、丙烯类、环氧类或硅氧烷类等树脂材料。此外,在图3,表示形成有包括堤堰部306的顶部在内的截面(由与像素电极的主面垂直的面截断而得到的截面)的轮廓为曲线状的堤堰部的例子,但并不特别限定形状。堤堰部306的轮廓例如也可以为梯形。

[0048] 在像素电极306和堤堰部307上设置有电致发光层(EL层)307。EL层307至少具有发光层,作为EL元件的发光部发挥作用。在EL层307,除了发光层以外还可以包括电子注入层、电子输送层、空穴注入层、空穴输送层等各种功能层。这些层使用低分子类或高分子类有机材料构成。此外,作为发光层,不仅可以使使用有机材料,还可以使用电致发射型的量子点。

[0049] 在本实施方式中,采用设置发出白色光的EL层307,利用后述的滤色片进行颜色分离的结构。EL层307并不特别限定为本实施方式的结构。此外,EL层307也可以按仅在各像素电极305上形成而不在堤堰部306上连续地形成的方式在各个像素分别形成。

[0050] 在EL层307上设置有作为EL元件的阴极发挥作用的共用电极308。本实施方式的显示装置100为顶部发射型,因此作为共用电极308使用MgAg薄膜或透明导电膜(ITO/IZO)。共用电极308跨越各像素间在像素部102的整个面设置。

[0051] 此处,在本实施方式的显示装置100,在与共用电极308上的各像素对应的位置配置有掩模绝缘体309。掩模绝缘体309为具有透光性的绝缘体,典型的是能够使用聚酰亚胺类、聚酰胺类、丙烯类、环氧类或硅氧烷类的树脂。后述说明优选为与填充材料311相同的材料。此外,掩模绝缘体309既可以为光固化性树脂,也可以为热固化性树脂,为了抑制对下层的EL层307的影响,优选使用光固化性树脂。

[0052] 掩模绝缘体309设置在由堤堰部306围成的区划内(即有效的发光区域上),如图3所示,其端部与堤堰部306重叠。此外,对于掩模绝缘体309,设置其厚度,使得在以像素电极305的主面(配置EL层307的面)为基准时掩模绝缘体309的顶部位于比堤堰部306的顶部(严密而言,堤堰部306上的共用电极308的顶部)更靠上方的位置。这是为了使其作为形成后述的辅助配线310时的阻挡部件发挥作用。

[0053] 另外,在本实施方式中,因为例如使用喷墨法形成掩模绝缘体309,所以包括顶部在内的面的截面成为曲线状。即,在由与像素电极305的主面垂直的面截断掩模绝缘体309的情况下,掩模绝缘体309的轮廓成为曲线状。不过,实际上,包括掩模绝缘体309的顶部在内的截面的形状依赖于由堤堰部306划分的像素的形状,因此还能够存在包括直线部分在内的情况。

[0054] 在图3,在共用电极308中的与堤堰部306重叠的部分上设置有辅助配线310。即,成为在相邻的掩模绝缘体309之间配置有辅助配线310的状态。具体而言,在多个掩模绝缘体309的间隙涂敷包含导电体的溶剂,使该溶剂挥发而形成辅助配线310,因此,如图3所示那样,辅助配线310的端部成为与掩模绝缘体309相接的结构。

[0055] 作为构成辅助配线310的导电体,能够使用包括银(Ag)、钛(Ti)的金属胶体/金属纳米线。此外,还可以使用炭黑等导电性材料。通过使这些导电体分散于挥发性溶剂,并在涂敷之后除去溶剂,能够形成由上述导电体构成的辅助配线。当然,只要不对共用电极308产生不利影响,还能够使用其它配线形成技术。

[0056] 在掩模绝缘体309和辅助配线310的上方,隔着作为粘接材料和保护材料发挥作用的填充材料311设置有相对基板。作为填充材料311,能够使用聚酰亚胺类、聚酰胺类、丙烯类、环氧类或硅氧烷类的树脂材料。另一方面,只要能够在基板周边部分实现充分的密封和第一基板与第二基板的间隙保持,还能够不使用填充材料311而进行中空密封。

[0057] 另外,在本实施方式中,“相对基板”包括第二基板312、与设置在第二基板312的主面(与第一基板301相对的面)的RGB各色分别对应的滤色片313R、313G、313B和设置在这些滤色片的间隙的黑矩阵314。

[0058] 不过,相对基板的结构并不限于此,也可以省略黑矩阵314。此外,如果将EL层307按RGB各色分开设置,还能够从相对基板省略滤色片。进一步,如果将滤色片省略或者形成于第一基板301侧,则还能够省略相对基板本身。

[0059] 以上说明的本实施方式的显示装置100使用掩模绝缘体309自匹配地形成辅助配线310,因此即使高精细化,也能够以高的对位精度在堤堰部306上配置辅助配线310。因此,辅助配线310不会形成在有效的发光区域上(作为像素有效发挥作用的区域内),能够有效防止开口率的降低。同时,通过电连接辅助配线310能够实现共用电极308的低电阻化,能够提高显示区域102内的亮度的均匀性。

[0060] 以下对具备上述结构的本实施方式的显示装置100的制造工序进行说明。

[0061] <显示装置的制造方法>

[0062] 首先,如图4所示,在第一基板301上形成基底层302,在其上形成薄膜晶体管(TFT)303。而且,形成第一绝缘层304,使得由于薄膜晶体管303的形成而产生的凹凸平坦化。

[0063] 作为第一基板301,能够使用玻璃基板、石英基板、挠性基板(聚酰亚胺、聚对苯二甲酸、聚萘二甲酸等能够弯曲的基板)等。在第一基板301不需要具有透光性的情况下,还能够使用金属基板、陶瓷基板、半导体基板。

[0064] 作为基底层302,典型的是能够使用氧化硅类绝缘膜、氮化硅类绝缘膜或它们的层叠膜。基底层302具有防止来自第一基板301的污染物质的侵入,缓和由于第一基板301的伸缩而产生的应力的功能。

[0065] 在本实施方式中,列举作为薄膜晶体管303形成顶栅型TFT的例子,其实也可以为底栅型TFT。此外,只要是作为开关元件发挥作用的元件,就不限定于薄膜晶体管等三端子元件,也可以形成二端子元件,根据像素电路的需要还可以形成电阻元件、电容元件。

[0066] 第一绝缘层304涂敷聚酰亚胺类、聚酰胺类、丙烯类、环氧类或硅氧烷类等树脂材料,之后利用光或热使所涂敷的树脂材料固化而形成即可。第一绝缘层304的膜厚只要为足够将起因于薄膜晶体管303的凹凸平坦化的膜厚即可。典型的能够为 $1\sim 3\mu\text{m}$,但是并不限定于此。

[0067] 接着,在第一绝缘层304,在形成到达薄膜晶体管303的接触孔之后,利用公知的方法形成像素电极305。在本实施方式中,利用溅射法形成铝与ITO(Indium Tin Oxide:氧化铟锡)的层叠膜之后,利用光刻图案形成层叠膜而形成像素电极305。各像素电极305以与对应多个像素的位置分别对应的方式形成。

[0068] 接着,如图5所示,形成由树脂材料构成的堤堰部306。在本实施方式中,例如通过使用喷墨法涂敷光固化性树脂而形成堤堰部306。此时,以能够在相邻的像素电极305之间涂敷溶液的方式进行对位,在涂敷溶液,通过光照射使之固化而形成,因此由于表面张力而使包括其顶部的截面的轮廓成为曲线状。但是,关于堤堰部306的形成,并不需要特别限定形状,也可以为梯形。因此,虽然在本实施方式中使用喷墨法形成堤堰部306,但是也可以经光刻进行图案形成,还可以利用印刷法形成。

[0069] 接着,如图6所示那样形成EL层307。在本实施方式中,将EL层307作为白色光的发光部形成。根据需要,也可以设置空穴注入层、空穴输送层、电子注入层、电子输送层、电荷发生层等各种功能层。此外,EL层307例如能够使用旋涂法、喷墨法、印刷法、蒸镀法等。

[0070] 形成EL层307之后,形成作为EL元件的阴极发挥作用的共用电极308。在本实施方式中,作为共用电极308,使用利用溅射法形成的ITO膜或IZO膜。当然,既可以使用其它透明导电膜,也可以使用MgAg等金属膜。在使用金属膜的情况下,也可以构成为使其膜厚成为能够使从EL元件射出的光透射的程度的膜厚。

[0071] 接着,如图7所示那样形成掩模绝缘体309。在本实施方式中,例如使用喷墨法,涂敷光固化性的丙烯类树脂,通过光照射使其固化而形成掩模绝缘体309。因此,在由于表面张力而在与像素电极305的主面垂直的面将掩模绝缘体309截断的情况下,掩模绝缘体309的轮廓成为曲线状。此时,为了使共用电极308不暴露于外部气体,优选在氮气氛等不活泼气氛中进行处理。

[0072] 在形成掩模绝缘体309时,希望注意包含树脂材料的溶液的粘度或排出量。具体而言,调整溶液的粘度或排出量(换言之,掩模绝缘体的膜厚),使得在以像素电极305的主面为基准时掩模绝缘体309的顶部位于比堤堰部306的顶部(严密而言,堤堰部306上的共用电极308的顶部)更靠上方的位置。即,调整溶液的粘度或排出量,来控制掩模绝缘体309的膜厚,以满足条件。这是为了使掩模绝缘体309在之后涂敷辅助配线310时作为阻挡部件(壁)发挥作用。

[0073] 此外,优选控制排出量,以使得掩模绝缘体309的从第一基板101的主面的法线方向看时的端部(边缘)与堤堰部306重叠。即,如图7所示那样,控制排出量,使得掩模绝缘体309的端部在不超过堤堰部306的顶部的范围内位于由堤堰部306的形状引起的倾斜部上。这是为了使掩模绝缘体309的端部的位置成为辅助配线310的端部的位置。因此,通过形成上述的位置关系,能够防止辅助配线310形成在有效的发光区域上。

[0074] 另外,掩模绝缘体309不需要在所有的像素中按每像素分离。即,即使在相邻的像素间多少存在掩模绝缘体309相连之处也无损于本发明的效果。例如,如果在相邻的像素间掩模绝缘体309相连,则在该部分不能确保辅助配线310与共用电极308的接触。但是,由于共用电极310在整个面被赋予相同的电位,所以只要有多处确保辅助配线310与共用电极308的接触,则作为整体也能够实现共用电极的低电阻化。

[0075] 接着,如图8所示那样形成辅助配线310。在本实施方式中,例如使用喷墨法,涂敷分散有含有银的金属胶体的溶剂,之后,使溶剂挥发而形成含有银的辅助配线310。此时,通过在相邻的掩模绝缘体309的间隙进行对位而涂敷溶剂,能够准确地在堤堰部306上形成辅助配线310。即,能够使用掩模绝缘体309自匹配地形成辅助配线310。

[0076] 在形成辅助配线310之后,形成在第二基板312上设置有滤色片313R、313G、313B和黑矩阵314的相对基板。第二基板312使用玻璃基板、石英基板、挠性基板(聚酰亚胺、聚对苯二甲酸、聚萘二甲酸其它能够弯曲的基板)等具有透光性的基板即可。滤色片313R、313G、313B由分散有各色颜料的树脂材料形成。黑矩阵314可以使用钛膜或含有炭黑的树脂膜形成。但不限于此,相对基板的结构能够使用公知的结构和公知的材料。当然,相对基板的结构并不限于此。

[0077] 之后,利用填充材料311贴合相对基板,完成图3所示的显示装置100。作为填充材料311,使用光固化性的树脂材料。在本实施方式中,通过使用与掩模绝缘体309相同的材料,能够不除去掩模绝缘膜309,而直接作为填充材料311的一部分加以利用。当然,也可以用不同的材料形成掩模绝缘体309和填充材料311。在用不同的材料形成掩模绝缘体309和填充材料311的情况下,还能够利用两者的屈折率差,将掩模绝缘体309如微透镜那样使用。

[0078] 根据以上说明的本实施方式的显示装置的制造方法,通过使用与像素对应地配置的掩模绝缘体309而自匹配地形成辅助配线310,能够以高的对位精度在堤堰部306上配置辅助配线310。此外,通过利用相同材料形成掩模绝缘体309和填充材料311,不需要除去掩

模绝缘体309,因此能够简化制造工艺。进一步,通过使用喷墨法形成堤堰部306掩模绝缘体309,能够省略光刻那样的图案形成工序,因此能够简化制造工艺。

[0079] (第二实施方式)

[0080] 图9表示本发明的第二实施方式的显示装置200的像素的结构。与第一实施方式的不同在于,第二实施方式的显示装置200中,除去掩模绝缘体309,在共用电极308和辅助配线310之上设置有密封膜315。其它结构与第一实施方式的显示装置100相同。

[0081] 在本实施方式的情况下,在如上述的图8所示那样形成辅助配线310后,除去掩模绝缘体309。除去方法没有特别限定,优选利用氧或臭氧气氛下的灰化或干蚀刻进行除去,以不损伤下层的共用电极308。具体的条件考虑与辅助配线310、共用电极308的选择比,适当地决定最佳的条件即可。

[0082] 除去掩模绝缘体309之后,如图9所示,辅助配线310的端部成为与掩模绝缘体309的表面一致的形状,悬在多个像素电极305的表面的上方。之后,在共用电极308和辅助配线310之上设置密封膜315。密封膜315设置的目的是:防止来自外部的水分、大气的侵入,抑制EL层307、共用电极308等对水分抵抗力弱的材料的劣化。因此,作为密封膜315,优选使用具有致密的膜质的氮化硅类的绝缘层。进一步,作为层叠膜,也可以设置氧化硅类、氧化铝类的无机绝缘层、树脂类的有机绝缘层。

[0083] 另外,在本实施方式中,在形成密封膜315后,进一步利用填充材料311贴合相对基板,但也能够省略相对基板、填充材料311。例如,在将滤色片设置在第一基板301侧或按RGB各色分开形成发光层的情况下,能够省略相对基板。在这样的情况下,能够实现显示装置200整体的薄型化和轻量化。

[0084] 在本实施方式中,也与第一实施方式同样地使用设置在像素内的掩模绝缘膜而自匹配地形成辅助配线。因此,本实施方式的显示装置200也能够获得与对第一实施方式的显示装置100说明的效果同样的效果。

[0085] (第三实施方式)

[0086] 图10表示本发明的第三实施方式的显示装置300的像素的结构。与第一实施方式的不同在于,第三实施方式的显示装置300中,在形成掩模绝缘体309后,在其表面实施等离子体处理,使掩模绝缘体309的表面具有拨水性。其它结构与第一实施方式的显示装置100相同。

[0087] 在本实施方式的情况下,在如上述的图7所示那样形成掩模绝缘体309之后,对掩模绝缘体309的表面,使用含有氟或氟化合物的气体进行等离子体处理。

[0088] 图10表示将掩模绝缘体309暴露于形成有含有氟的等离子体316气氛中的状态。此时,在由树脂材料构成的掩模绝缘体309的表面生成氟化物317,拨水性提高。其结果是,在图8中涂敷含有金属胶体的溶液时,在进行过等离子体处理的掩模绝缘膜309的表面,所涂敷的溶液不相溶。因此,能够以更高的对位精度在堤堰部306上形成辅助配线310。

[0089] 在本实施方式中,也与第一实施方式同样地使用设置在像素内的掩模绝缘膜而自匹配地形成辅助配线。因此,本实施方式的显示装置300也能够获得与对第一实施方式的显示装置100说明的效果相同的效果。

[0090] 作为本发明的实施方式,上述的各实施方式只要不相互矛盾,就能够适当地组合实施。此外,对于基于各实施方式的显示装置、本领域技术人员适当地进行构成要素的追

加、削除或设计变更而得到的显示装置,或进行工序的追加、省略或条件变更而得到的显示装置,只要具备本发明的主旨,就包含于本发明的范围。

[0091] 此外,关于从本说明书的记载而明确或对本领域技术人员而言容易预测到的作用效果,即使是与根据上述的各实施方式的方式实现的作用效果不同的其它作用效果,也应当解释为是根据本发明实现的。

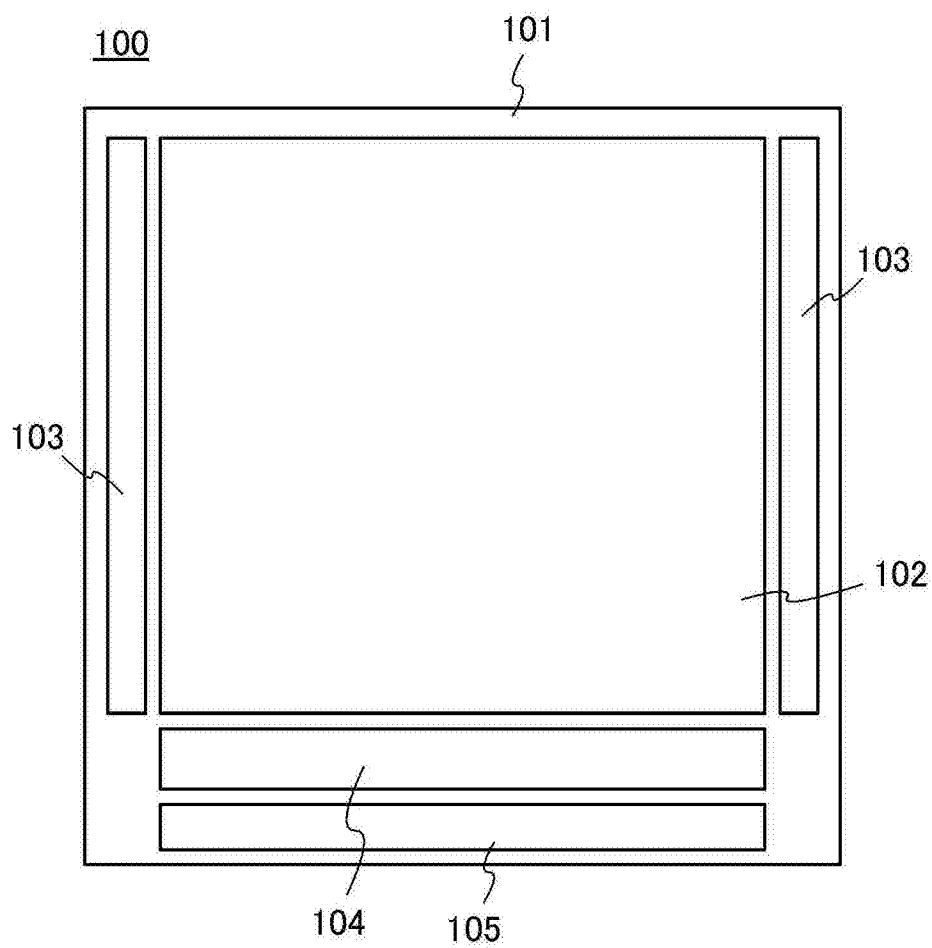


图1

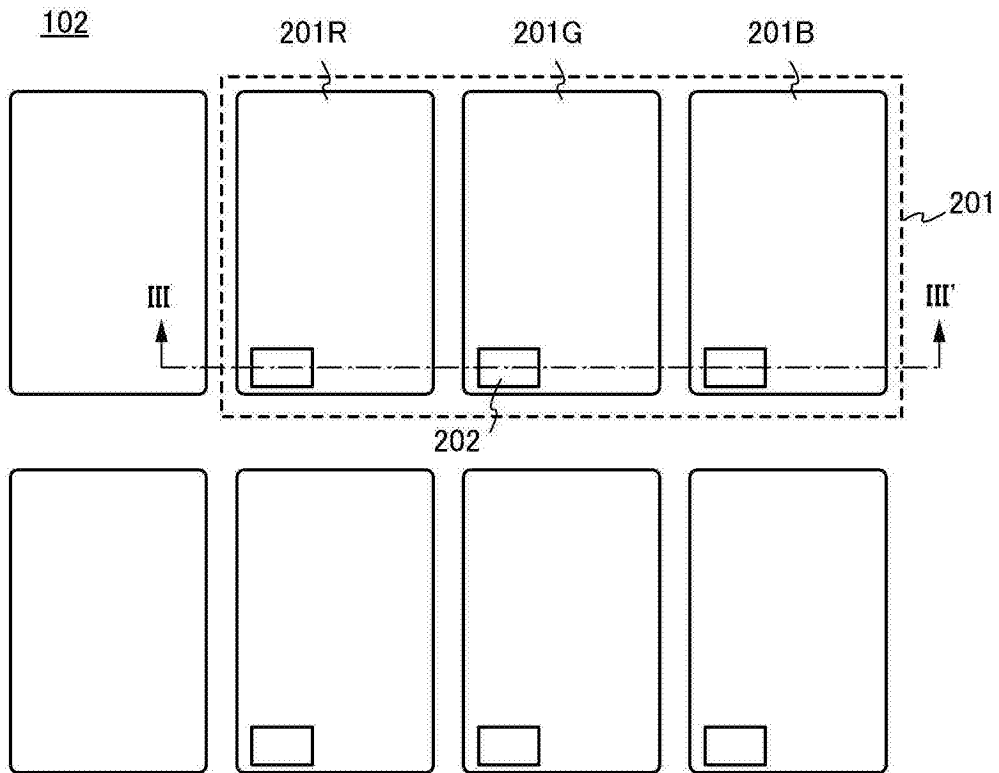


图2

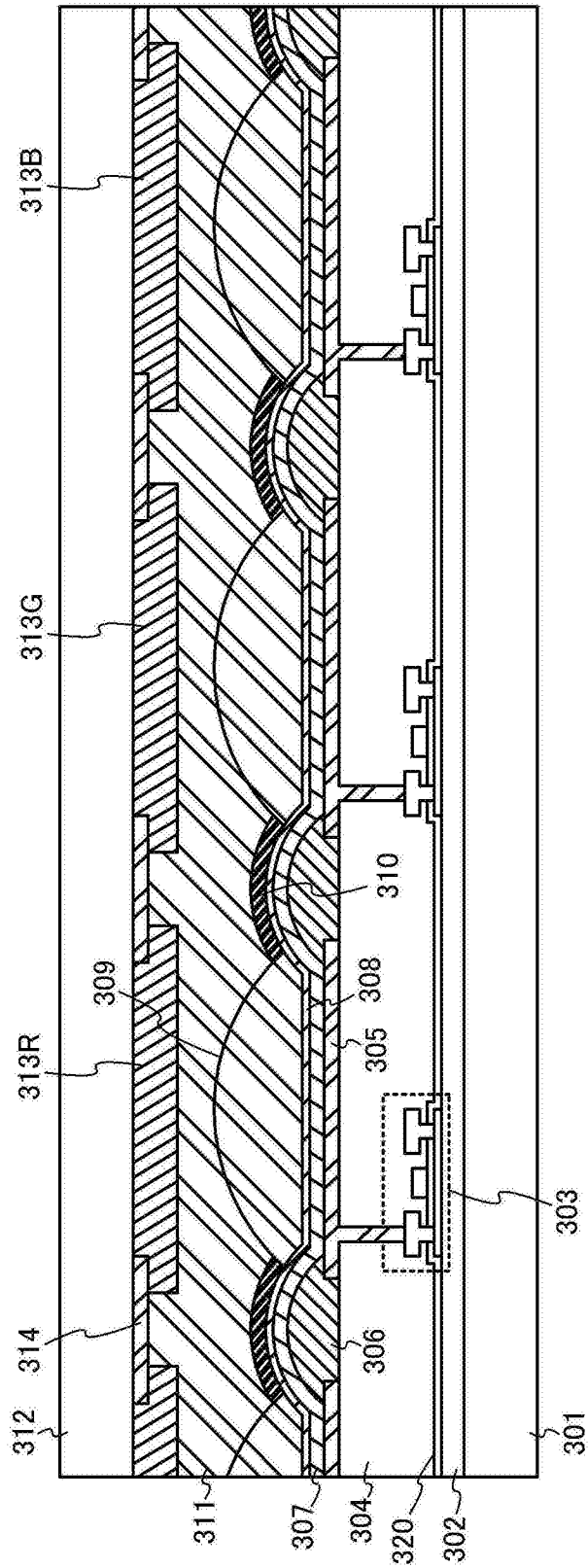


图3

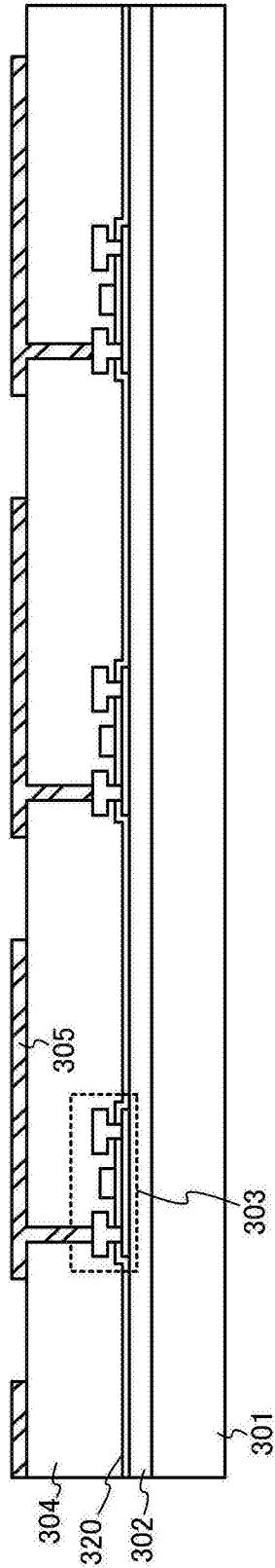


图4

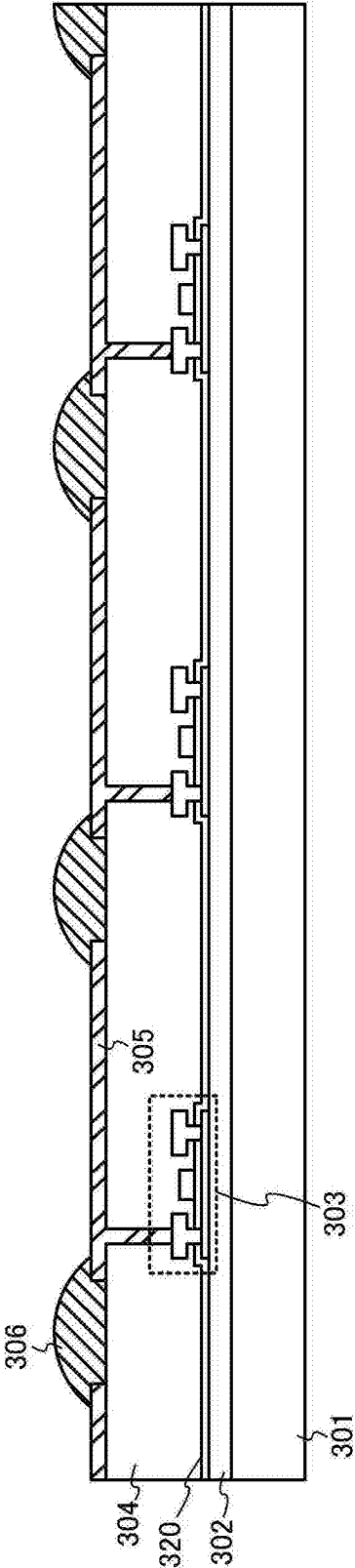


图5

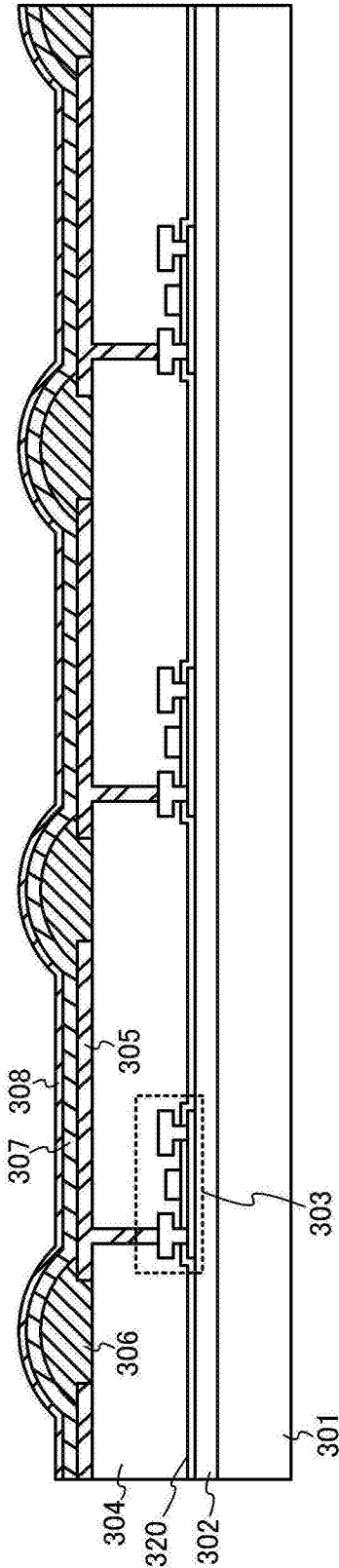


图6

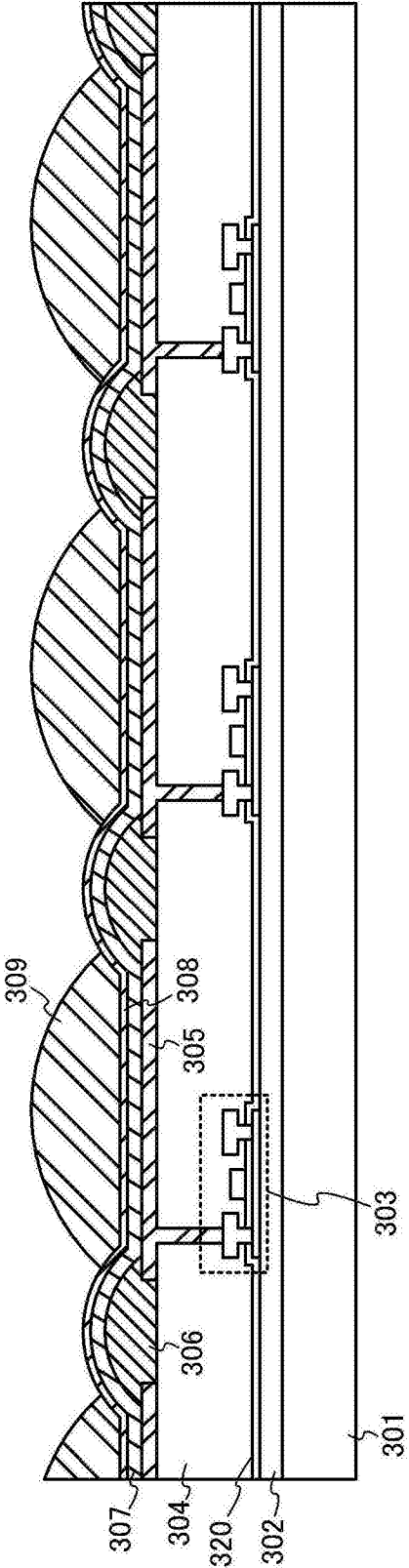


图7

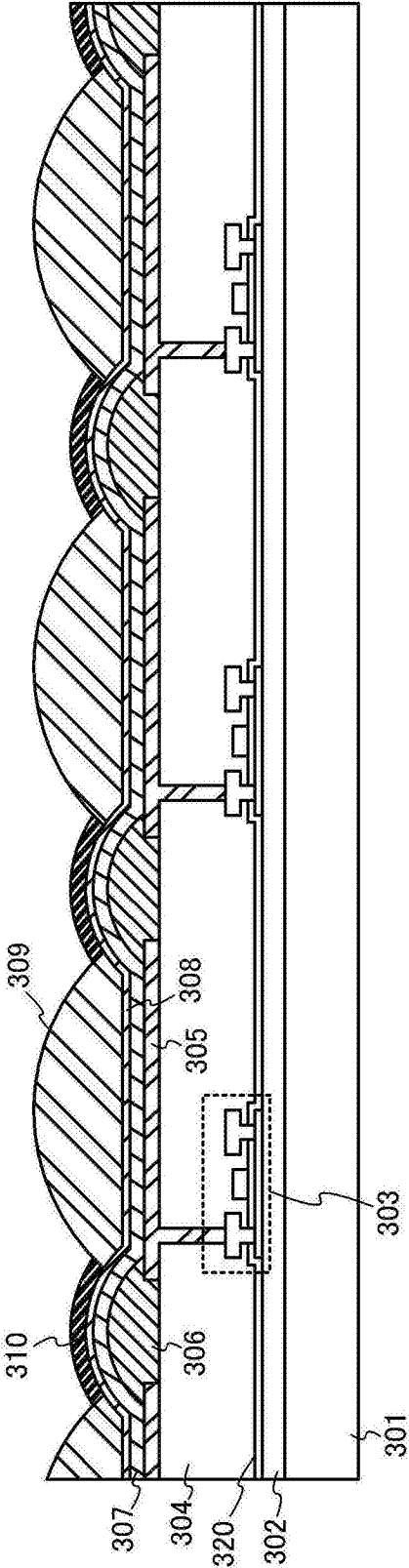


图8

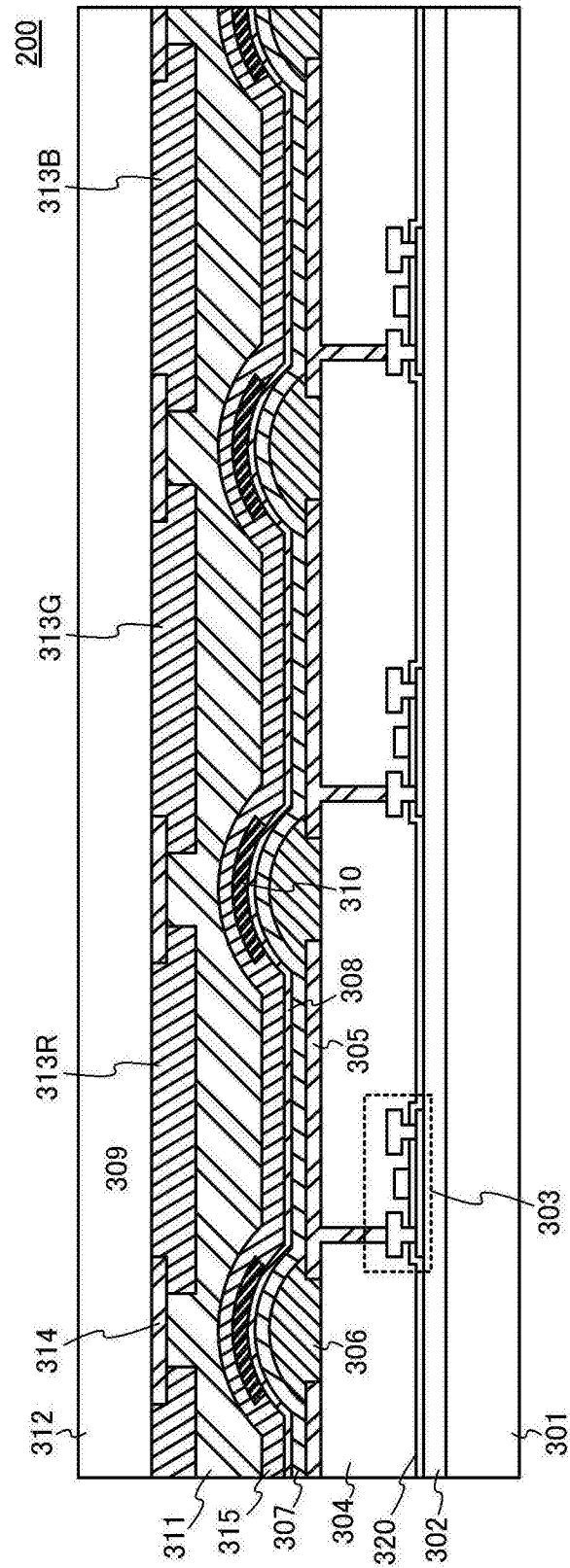


图9

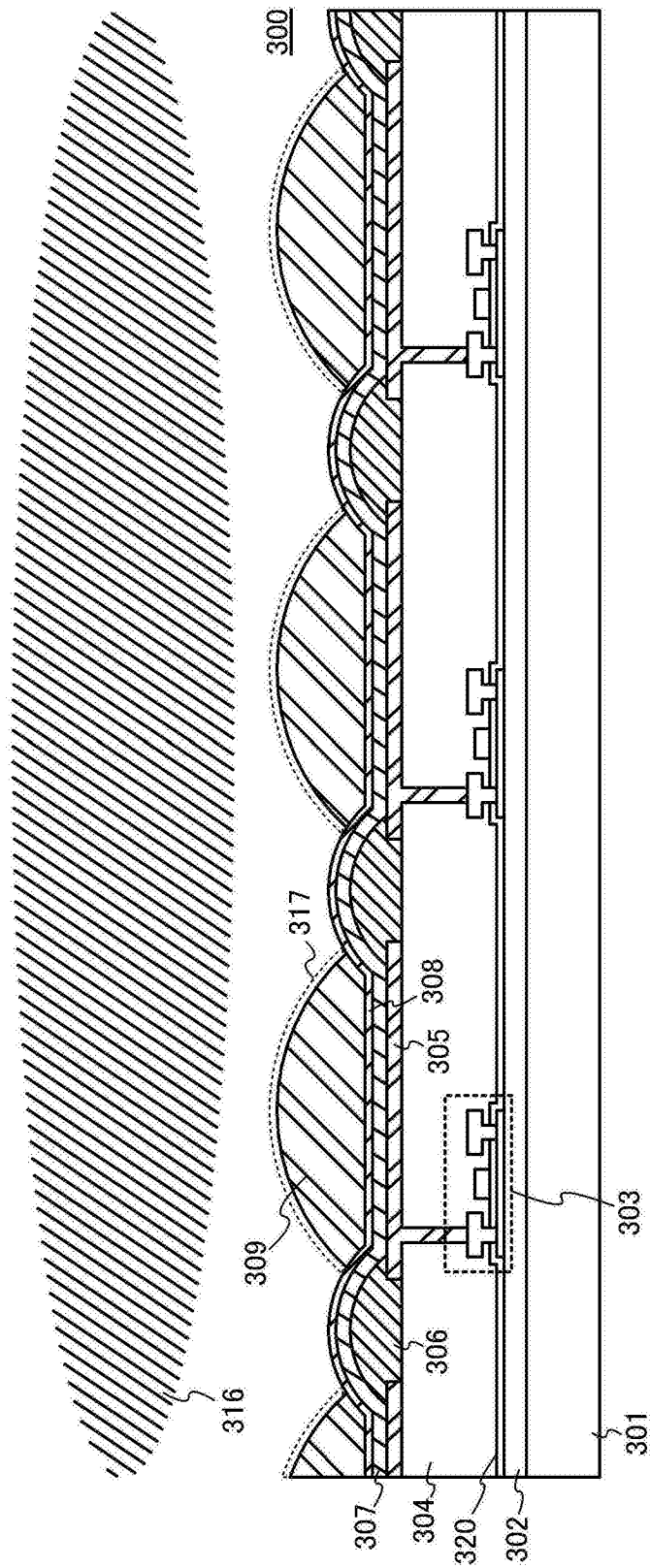


图10