

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 6 日 (06.09.2024)



(10) 国际公布号
WO 2024/178683 A1

(51) 国际专利分类号:
G09G 3/32 (2016.01) **H10K 59/12** (2023.01)

(21) 国际申请号: PCT/CN2023/079105

(22) 国际申请日: 2023 年 3 月 1 日 (01.03.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 蒋志亮(**JIANG, Zhiliang**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张跳梅(**ZHANG, Tiaomei**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。赵攀(**ZHAO, Pan**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘焱(**LIU, Lang**); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司(**CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.**); 中国北京市海淀区西三环北路 87 号 4-312 室, Beijing 100089 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板和显示装置

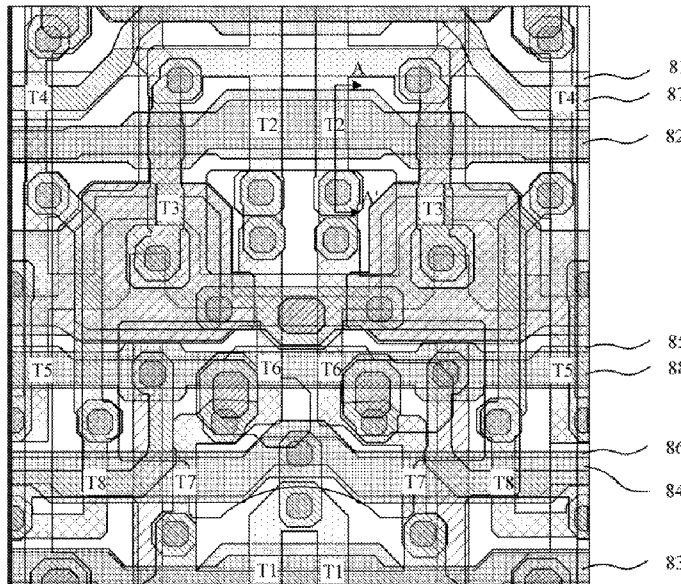


图 4

(57) **Abstract:** Provided are a display substrate and a display apparatus. The display substrate comprises: a base substrate; a plurality of sub-pixels; a light-emitting element; and a plurality of pixel driving circuits. The pixel driving circuit comprises at least two transistors; initialization voltage signal lines arranged on the base substrate and extending in a first direction, used for providing initialization voltage signals; and control signal lines arranged on the base substrate and partially extending in the first direction, used for providing control signals. Within a frame of the pixel driving circuit used to drive a row of sub-pixels, a control signal controls the conduction of

CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

at least two transistors of the pixel driving circuit within at least one first time period, and an initialization voltage signal is provided for the pixel driving circuit within a second time period, with the first time period and the second time period being arranged at intervals in the time sequence. The orthographic projection of the initialization voltage signal lines located on different conductive layers on the base substrate is at least partially overlapped with the orthographic projection of the control signal lines on the base substrate, with an overlap rate ranging from 60% to 100%.

(57) 摘要: 提供一种显示基板和显示装置。显示基板包括: 衬底基板; 多个子像素; 发光元件; 多个像素驱动电路; 像素驱动电路包括至少两个晶体管; 设置于衬底基板上沿第一方向延伸的初始化电压信号线, 用于提供初始化电压信号; 设置于衬底基板上部分沿第一方向延伸的控制信号线, 用于提供控制信号; 在用于驱动一行子像素的像素驱动电路的一帧内, 控制信号在至少一个第一时间段内控制像素驱动电路的至少两个晶体管导通, 初始化电压信号在第二时间段内提供给像素驱动电路, 第一时间段和第二时间段在时序上间隔设置; 位于不同的导电层的初始化电压信号线在衬底基板上的正投影与控制信号线在衬底基板上的正投影至少部分重叠, 重叠率为60%至100%的范围。

显示基板和显示装置

技术领域

本公开涉及显示技术领域，并且具体地涉及一种显示基板和显示装置。

背景技术

随着显示技术的发展，消费者对于显示器件的画质追求越来越高，低密度的像素排布无法满足消费者的高显示画质要求，越来越多的开发者针对高密度像素显示技术进行了开发。然而，随着 PPI (Pixels Per Inch) 的不断增加，对显示器件的工艺要求越来越高，造成显示器件的制造成本大幅升高，不利于高密度像素显示技术的推广普及。

在本部分中公开的以上信息仅用于对本公开的技术构思的背景的理解，因此，以上信息可包含不构成现有技术的信息。

发明内容

在一个方面，提供一种显示基板，包括：衬底基板；设置在所述衬底基板上的多个子像素，所述多个子像素沿第一方向和第二方向布置，至少一个所述子像素包括发光元件；设置在所述衬底基板上的多个像素驱动电路，所述多个像素驱动电路沿第一方向和第二方向布置，所述多个像素驱动电路用于分别驱动所述多个子像素的发光元件，至少一个所述像素驱动电路包括至少两个晶体管；设置于所述衬底基板上的初始化电压信号线，所述初始化电压信号线包括沿第一方向延伸的部分，所述初始化电压信号线用于给所述像素驱动电路提供初始化电压信号；设置于所述衬底基板上的控制信号线，所述控制信号线包括沿第一方向延伸的部分，所述控制信号线用于给所述像素驱动电路提供控制信号，以控制所述像素驱动电路的至少两个晶体管导通；其中，在用于驱动一行子像素的像素驱动电路的一帧内，所述控制信号线上的控制信号在至少一个第一时间段内控制所述像素驱动电路的至少两个晶体管导通，所述初始化电压信号线上的初始化电压信号在第二时间段内提供给所述像素驱动电路，所述第一时间段和所述第二时间段在时序上间隔设置；以及所述初始化电压信号线和所述控制信号

线位于不同的导电层中，所述初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，在一个子像素内，重叠部分的面积与所述控制信号线在所述衬底基板上的正投影面积的比值在 60%至 100%的范围。

在本公开的一些示例性实施例中，所述像素驱动电路包括第一复位晶体管，所述第一复位晶体管包括栅极、源极和漏极，所述初始化电压信号线包括第一初始化电压信号线，所述第一初始化电压信号线与所述第一复位晶体管的源极或漏极电连接，所述第一初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，所述控制信号线包括复位控制信号线。

在本公开的一些示例性实施例中，所述像素驱动电路包括第二复位晶体管，所述第二复位晶体管包括栅极、源极和漏极，所述初始化电压信号线包括第二初始化电压信号线，所述第二初始化电压信号线与所述第二复位晶体管的源极或漏极电连接，所述第二初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，所述控制信号线包括扫描控制信号线。

在本公开的一些示例性实施例中，所述像素驱动电路包括第三复位晶体管，所述第三复位晶体管包括栅极、源极和漏极，所述初始化电压信号线包括第三初始化电压信号线，所述第三初始化电压信号线与所述第三复位晶体管的源极或漏极电连接，所述第三初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，所述控制信号线包括发光控制信号线。

在本公开的一些示例性实施例中，所述像素驱动电路包括第一复位晶体管、第二复位晶体管和第三复位晶体管，所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管中的每一个均包括栅极、源极和漏极，所述初始化电压信号线包括第一初始化电压信号线，所述第一初始化电压信号线与所述第一复位晶体管的源极或漏极电连接，所述初始化电压信号线包括第二初始化电压信号线，所述第一初始化电压信号线与所述第二复位晶体管的源极或漏极电连接，所述初始化电压信号线包括第三初始化电压信号线，所述第一初始化电压信号线与所述第三复位晶体管的源极或漏极电连接，所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线中的至少一个在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，所述像素驱动电路还包括数据写入晶体管和发光控制晶体管，所述数据写入晶体管和发光控制晶体管包括栅极、源极和漏极，所述控制信号线包括第一复位控制信号线、第二复位控制信号线、扫描控制信号线和发光控制信号线，所述第一复位控制信号线与所述第一复位晶体管的栅极电连接，所述第二复位控制信号线与所述第二复位晶体管的栅极或所述第三复位晶体管的栅极电连接，所述扫描控制信号线与所述数据写入晶体管的栅极电连接，所述发光控制信号线与所述发光控制晶体管的栅极电连接，所述第一初始化电压信号线在所述衬底基板上的正投影和所述第二复位控制信号线在所述衬底基板上的正投影至少部分重叠，所述第一初始化电压信号线在所述衬底基板上的正投影与所述第一复位控制信号线在所述衬底基板上的正投影不重叠，所述第一初始化电压信号线在所述衬底基板上的正投影与所述扫描控制信号线在所述衬底基板上的正投影不重叠，所述第一初始化电压信号线在所述衬底基板上的正投影与所述发光控制信号线在所述衬底基板上的正投影不重叠。

在本公开的一些示例性实施例中，所述第二初始化电压信号线在所述衬底基板上的正投影与所述扫描控制信号线在所述衬底基板上的正投影至少部分重叠，所述第二初始化电压信号线在所述衬底基板上的正投影与所述第二复位控制信号线在所述衬底基板上的正投影不重叠，所述第二初始化电压信号线在所述衬底基板上的正投影与所述发光控制信号线在所述衬底基板上的正投影不重叠。

在本公开的一些示例性实施例中，所述第三初始化电压信号线在所述衬底基板上的正投影与所述发光控制信号线在所述衬底基板上的正投影至少部分重叠，所述第三初始化电压信号线在所述衬底基板上的正投影与所述第一复位控制信号线在所述衬底基板上的正投影不重叠，所述第三初始化电压信号线在所述衬底基板上的正投影与所述第二复位控制信号线在所述衬底基板上的正投影不重叠，所述第三初始化电压信号线在所述衬底基板上的正投影与所述扫描控制信号线在所述衬底基板上的正投影不重叠。

在本公开的一些示例性实施例中，所述显示基板包括：设置在所述衬底基板上的第一半导体层；设置在所述第一半导体层远离所述衬底基板一侧的第一导电层；设置在所述第一导电层远离所述衬底基板一侧的第二导电层；设置在所述第二导电层远离所述衬底基板一侧的第二半导体层；设置在所述第二半导体层远离所述衬底基板一侧

的第三导电层；设置在所述第三导电层远离所述衬底基板一侧的第四导电层；设置在所述第四导电层远离所述衬底基板一侧的第五导电层，其中，所述第一初始化电压信号线位于所述第三导电层，所述第二复位控制信号线位于所述第一导电层。

在本公开的一些示例性实施例中，所述第一复位晶体管为N型晶体管，所述第一复位控制信号线包括第一复位控制信号子线和第二复位控制信号子线，所述第一复位控制信号子线和所述第二复位控制信号子线位于不同的导电层，且所述第一复位控制信号子线在所述衬底基板上的正投影与所述第二复位控制信号子线在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，所述第一复位晶体管包括有源层，所述第一复位晶体管的有源层位于所述第二半导体层。

在本公开的一些示例性实施例中，所述像素驱动电路还包括补偿晶体管，所述补偿晶体管包括有源层、栅极、源极和漏极，所述补偿晶体管的有源层位于所述第二半导体层，所述显示基板还包括设置于所述衬底基板上的补偿控制信号线，所述补偿控制信号线与所述补偿晶体管的栅极电连接，所述补偿控制信号线包括第一补偿控制信号子线和第二补偿控制信号子线，所述第一补偿控制信号子线位于所述第二导电层，所述第二补偿控制信号子线位于所述第三导电层，且所述第一补偿控制信号子线在所述衬底基板上的正投影与所述第二补偿控制信号子线在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，所述扫描控制信号线位于所述第一导电层，所述第二初始化电压信号线位于所述第四导电层。

在本公开的一些示例性实施例中，所述发光控制信号线位于所述第一导电层，所述第三初始化电压信号线位于所述第三导电层。

在本公开的一些示例性实施例中，所述第二复位控制信号线位于所述第一导电层。

在本公开的一些示例性实施例中，所述显示基板还包括位于所述衬底基板的第一电源信号线，所述第一电源信号线沿第二方向延伸，两列子像素共用一个所述第一电源信号线，所述显示基板包括位于所述第二导电层中的第一导电转接部、位于所述第四导电层中的第一电源信号线转接部和第二电压信号线转接部，位于同一行的两个相邻子像素的像素驱动电路具有各自的第一导电转接部和第二电压信号线转接部，位于同一行的两个相邻子像素的像素驱动电路共用所述第一电源信号线转接部，所述第一

电源信号线通过第一过孔与所述第一电源信号线转接部电连接，所述第一电源信号线转接部的两端分别通过第二过孔与位于同一行的两个相邻子像素的像素驱动电路的第一导电转接部电连接，所述第一导电转接部通过第三过孔与所述第二电压信号线转接部的一端电连接，所述第二电压信号线转接部的另一端通过第四过孔与第一发光控制晶体管的源极或漏极电连接。

在本公开的一些示例性实施例中，所述显示基板还包括位于第四导电层中的第一初始化电压连接部，所述第一初始化电压连接部的一端通过第五过孔与第一初始化电压信号线电连接，所述第一初始化电压连接部的另一端通过第六过孔分别与同一行的两个相邻子像素的第一复位晶体管的源极或漏极电连接。

在本公开的一些示例性实施例中，所述显示基板还包括位于第四导电层中的第二初始化电压连接部，所述第二初始化电压连接部的两端分别通过第七过孔与第三初始化电压信号线电连接，位于两端之间的中端通过第八过孔与同一行的两个相邻子像素的第三复位晶体管的源极或漏极电连接，所述第二初始化电压连接部的在所述第一方向上位于所述第一初始化电压连接部和所述第二电压信号线转接部之间。

在本公开的一些示例性实施例中，所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线中的每一个的至少一部分在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影不重叠。

在本公开的一些示例性实施例中，其中，所述第一复位晶体管为 P 型晶体管，所述第一复位控制信号线位于所述第一导电层，所述第二初始化电压信号线在所述衬底基板上的正投影与所述第一复位控制信号线在所述衬底基板上的正投影至少部分重叠。

在本公开的一些示例性实施例中，所述第一复位晶体管包括有源层，所述第一复位晶体管的有源层位于所述第一半导体层。

在本公开的一些示例性实施例中，所述显示基板还包括至少一个镂空区域，所述至少一个镂空区域包括第一侧、第二侧、第三侧和第四侧，所述第一侧和所述第二侧为所述至少一个镂空区域在第一方向上相对的两侧，所述第三侧和所述第四侧为所述至少一个镂空区域在第二方向上相对的两侧，所述显示基板包括设置在所述衬底基板上的多个数据线，所述多个数据线分别沿第二方向延伸，所述多个数据线包括邻近所述至少一个镂空区域的第一数据线和第二数据线，所述第一数据线和所述第二数据线

在第一方向上分别位于所述至少一个镂空区域的第一侧和第二侧，所述第一复位控制信号线和所述扫描控制信号线邻近所述至少一个镂空区域，在第二方向上分别位于所述至少一个镂空区域的第三侧和第四侧，所述第一复位控制信号线和所述扫描控制信号线分别与所述第一数据线和所述第二数据线交叉，以包围形成所述至少一个镂空区域。

在本公开的一些示例性实施例中，所述显示基板还包括至少一个镂空区域，所述至少一个镂空区域包括第一侧、第二侧、第三侧和第四侧，所述第一侧和所述第二侧为所述至少一个镂空区域在第一方向上相对的两侧，所述第三侧和所述第四侧为所述至少一个镂空区域在第二方向上相对的两侧，所述显示基板包括设置在所述衬底基板上的多个数据线，所述多个数据线分别沿第二方向延伸，所述多个数据线包括邻近所述至少一个镂空区域的第一数据线和第二数据线，所述第一数据线和所述第二数据线在第一方向上分别位于所述至少一个镂空区域的第一侧和第二侧，所述第一复位控制信号线和所述补偿控制信号线邻近所述至少一个镂空区域，在第二方向上分别位于所述至少一个镂空区域的第三侧和第四侧，所述第一复位控制信号线和所述补偿控制信号线分别与所述第一数据线和所述第二数据线交叉，以包围形成所述至少一个镂空区域。

在本公开的一些示例性实施例中，所述第一数据线和所述第二数据线中的每一个包括主体部分和弯折部分，所述第一数据线的弯折部分相对于所述第一数据线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第二数据线的弯折部分相对于所述第二数据线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第一数据线的弯折部分和所述第二数据线的弯折部分朝相反的方向弯折。

在本公开的一些示例性实施例中，所述第一复位控制信号线和所述扫描控制信号线中的每一个包括主体部分和弯折部分，所述第一复位控制信号线的弯折部分相对于所述第一复位控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述扫描控制信号线的弯折部分相对于所述扫描控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第一复位控制信号线的弯折部分和所述扫描控制信号线的弯折部分朝相反的方向弯折。

在本公开的一些示例性实施例中，所述第一复位控制信号线和所述补偿控制信号线中的每一个包括主体部分和弯折部分，所述第一复位控制信号线的弯折部分相对于

所述第一复位控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述补偿控制信号线的弯折部分相对于所述补偿控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第一复位控制信号线的弯折部分和所述补偿控制信号线的弯折部分朝相反的方向弯折。

在本公开的一些示例性实施例中，在一个子像素内，重叠部分的面积与所述控制信号线在所述衬底基板上的正投影面积的比值在 80%至 95%的范围。

在本公开的一些示例性实施例中，所述显示基板包括位于所述第四导电层中的数据信号转接部，所述数据信号转接部的一部分通过第五过孔与所述第一数据线或所述第二数据线电连接，在第一区域中，所述数据信号转接部在所述衬底基板上的正投影与所述第一复位控制信号子线在所述衬底基板上的正投影至少部分重叠，所述数据信号转接部在所述衬底基板上的正投影与所述第二复位控制信号子线在所述衬底基板上的正投影至少部分重叠，所述第一复位控制信号子线在所述衬底基板上的正投影与所述第二复位控制信号子线在所述衬底基板上的正投影至少部分不重叠。

在本公开的另一方面，提供了一种显示基板，包括：衬底基板；设置在所述衬底基板上的多个子像素，所述多个子像素沿第一方向和第二方向布置，至少一个所述子像素包括发光元件；设置在所述衬底基板上的多个像素驱动电路，所述多个像素驱动电路沿第一方向和第二方向布置，所述多个像素驱动电路用于分别驱动所述多个子像素的发光元件，至少一个所述像素驱动电路包括第一复位晶体管、第二复位晶体管和第三复位晶体管；设置于所述衬底基板上的初始化电压信号线，所述初始化电压信号线包括沿第一方向延伸的部分，所述初始化电压信号线用于给所述像素驱动电路提供初始化电压信号，所述初始化电压信号线包括第一初始化电压信号线、第二初始化电压信号线和第三初始化电压信号线，所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线分别与所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的第一极电连接；设置于所述衬底基板上的控制信号线，所述控制信号线包括沿第一方向延伸的部分，所述控制信号线用于给所述像素驱动电路提供控制信号，以控制所述像素驱动电路的至少一个晶体管导通；其中，在用于驱动一行子像素的像素驱动电路的一帧内，所述控制信号线上的控制信号在至少一个第一时间段内控制所述像素驱动电路的至少两个晶体管导通，所述初始化电压信号线上的初始化电压信号在第二时间段内提供给所述像素驱动电路，所述第一时间段和所述

第二时间段在时序上间隔设置；以及所述初始化电压信号线和所述控制信号线位于不同的导电层中，所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线中每一个在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，在一个子像素内，重叠部分的面积与所述控制信号线在所述衬底基板上的正投影面积的比值在 60%至 100%的范围。

在本公开的再一方面，提供了一种显示装置，包括上文所述的显示基板。

附图说明

通过参照附图详细描述本公开的示例性实施例，本公开的特征及优点将变得更加明显。

图 1 是根据本公开的实施例的显示基板的平面示意图；

图 2 是根据本公开的一些示例性实施例的显示基板的一个像素驱动电路的等效电路图；

图 3 是根据本公开的一些示例性实施例的用于驱动像素驱动电路的信号及时序图；

图 4 是根据本公开的一些示例性实施例的显示基板的局部平面图；

图 5 至图 14 分别是根据本公开的一些示例性实施例的显示基板的局部平面图，其中，图 5 为所述显示基板的遮光层的局部平面图，图 6 为所述显示基板的第一半导体层的局部平面图，图 7 是所述显示基板的第一导电层的局部平面图，图 8 为所述显示基板的第二导电层的局部平面图，图 9 为所述显示基板的第二半导体层的局部平面图，图 10 是所述显示基板的第三导电层的局部平面图，图 11 是所述显示基板的第一绝缘层的局部平面图，其示意性示出了位于该第一绝缘层中的多个过孔，图 12 是所述显示基板的第四导电层的局部平面图，图 13 是所述显示基板的第二绝缘层的局部平面图，其示意性示出了位于该第二绝缘层中的多个过孔，图 14 是所述显示基板的第五导电层的局部平面图；

图 15 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第一导电层和第三导电层的叠加图；

图 16 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第一导电层、第三导电层和第四导电层的叠加图。

图 17 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第一导电层和第三导电层的叠加图；

图 18 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第二半导体层、第一导电层、第二导电层、第三导电层和第四导电层的叠加图；

图 19 是根据本公开的示例性实施例的显示基板的局部放大图，其示意性示出了第一电源信号线的转接方式；；

图 20 是根据本公开的示例性实施例的显示基板的局部放大图，其示意性示出了叠层设计的信号线的错位设计；

图 21 是根据本公开的另一一些示例性实施例的用于驱动像素驱动电路的信号的时间图；

图 22 是根据本公开的另一一些示例性实施例的显示基板的局部平面图；

图 23 至图 32 分别是根据本公开的一些示例性实施例的显示基板的局部平面图，其中，图 23 为所述显示基板的遮光层的局部平面图，图 24 为所述显示基板的第一半导体层的局部平面图，图 25 是所述显示基板的第一导电层的局部平面图，图 26 为所述显示基板的第二导电层的局部平面图，图 27 为所述显示基板的第二半导体层的局部平面图，图 28 是所述显示基板的第三导电层的局部平面图，图 29 是所述显示基板的第一绝缘层的局部平面图，其示意性示出了位于该第一绝缘层中的多个过孔，图 30 是所述显示基板的第四导电层的局部平面图，图 31 是所述显示基板的第二绝缘层的局部平面图，其示意性示出了位于该第二绝缘层中的多个过孔，图 32 是所述显示基板的第五导电层的局部平面图；

图 33 和图 35 是图 23 所示的显示基板的局部平面图，其示意性示出了第一导电层和第三导电层的叠加图；图 34 和图 36 是图 23 所示的显示基板的局部平面图，其示意性示出了第一导电层、第三导电层和第四导电层的叠加图；

图 37 是本公开的一些示例性实施例的显示基板的局部放大图；

图 38 至图 47 是图 37 所示的显示基板的各个膜层的局部平面结构示意图；

图 48 是本公开示例性的一些示例性实施例的显示基板的镂空区域的局部平面结构示意图；

图 49 是本公开示例性的一些示例性实施例的显示基板的相邻的镂空区域之间的局部平面结构示意图；

图 50 是本公开示例性的一些实施例的显示基板的沿图 4 中的 A-A' 线截取的截面示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开的保护范围。

需要说明的是，在附图中，为了清楚和/或描述的目的，可以放大元件的尺寸和相对尺寸。如此，各个元件的尺寸和相对尺寸不必限于图中所示的尺寸和相对尺寸。在说明书和附图中，相同或相似的附图标号指示相同或相似的部件。

当元件被描述为“在”另一元件“上”、“连接到”另一元件或“结合到”另一元件时，所述元件可以直接在所述另一元件上、直接连接到所述另一元件或直接结合到所述另一元件，或者可以存在中间元件。然而，当元件被描述为“直接在”另一元件“上”、“直接连接到”另一元件或“直接结合到”另一元件时，不存在中间元件。用于描述元件之间的关系的其他术语和/或表述应当以类似的方式解释，例如，“在……之间”对“直接在……之间”、“相邻”对“直接相邻”或“在……上”对“直接在……上”等。此外，术语“连接”可指的是物理连接、电连接、通信连接和/或流体连接。此外，X 轴、Y 轴和 Z 轴不限于直角坐标系的三个轴，并且可以以更广泛的含义解释。例如，X 轴、Y 轴和 Z 轴可彼此垂直，或者可代表彼此不垂直的不同方向。出于本公开的目的，“X、Y 和 Z 中的至少一个”和“从由 X、Y 和 Z 构成的组中选择的至少一个”可以被解释为仅 X、仅 Y、仅 Z、或者诸如 XYZ、XYY、YZ 和 ZZ 的 X、Y 和 Z 中的两个或更多的任何组合。如文中所使用的，术语“和/或”包括所列相关项中的一个或多个的任何组合和所有组合。

需要说明的是，虽然术语“第一”、“第二”等可以在此用于描述各种部件、构件、元件、区域、层和/或部分，但是这些部件、构件、元件、区域、层和/或部分不应受到这些术语限制。而是，这些术语用于将一个部件、构件、元件、区域、层和/部分与另一个相区分。因而，例如，下面讨论的第一部件、第一构件、第一元件、第一区域、第一层和/或第一部分可以被称为第二部件、第二构件、第二元件、第二区域、第二层

和/或第二部分，而不背离本公开的教导。

为了便于描述，空间关系术语，例如，“上”、“下”、“左”、“右”等可以在此被使用，来描述一个元件或特征与另一元件或特征如图中所示的关系。应理解，空间关系术语意在涵盖除了图中描述的取向外，装置在使用或操作中的其它不同取向。例如，如果图中的装置被颠倒，则被描述为“在”其它元件或特征“之下”或“下面”的元件将取向为“在”其它元件或特征“之上”或“上面”。

需要说明的是，在本文中，表示“同一层”指的是采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺对该膜层图案化所形成的层结构。根据特定图形的不同，一次构图工艺可能包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形可以是连续的也可以是不连续的。即，位于“同一层”的多个元件、部件、结构和/或部分由相同的材料构成，并且通过同一次构图工艺形成，通常，位于“同一层”的多个元件、部件、结构和/或部分具有大致相同的厚度。

本领域技术人员应该理解，在本文中，除非另有说明，表述“高度”或“厚度”指的是沿垂直于显示基板设置的各个膜层的表面的尺寸，即沿显示基板的出光方向的尺寸，或称为沿显示装置的法线方向的尺寸。

在本文中，使用方向性表述“第一方向”、“第二方向”来描述沿像素区的不同方向，例如，像素区的纵向方向和横向方向，或者子像素排列的行方向和列方向。应该理解，这样的表示仅为示例性的描述，而不是对本公开的限制。

本公开实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。由于这里采用的薄膜晶体管的源极、漏极是对称的，所以其源极、漏极可以互换。在本公开的实施例中，晶体管可以包括栅极、第一极和第二极，其中，第一极可以表示源极和漏极中的一个，第二极可以表示源极和漏极中的另一个。在以下示例中主要以用作驱动晶体管的P型薄膜晶体管的情况进行描述，其他晶体管根据电路设计与驱动晶体管具有相同或不同的类型。类似地，在其他实施例中，驱动晶体管也可以被示为N型薄膜晶体管。

在本文中，表述“PPI”（即 Pixels Per Inch）表示像素密度，其所表示的是每英寸设置的像素数量。通常，PPI数值越高，代表显示装置能够以越高的密度显示图像。

本公开的一些示例性实施例提供一种显示基板，所述显示基板包括：衬底基板；设置在所述衬底基板上的多个子像素，所述多个子像素沿第一方向和第二方向阵列布

置，至少一个所述子像素包括发光元件；设置在所述衬底基板上的多个像素驱动电路，所述多个像素驱动电路沿第一方向和第二方向阵列布置，所述多个像素驱动电路用于分别驱动所述多个子像素的发光元件，至少一个所述像素驱动电路包括至少一个晶体管；设置于所述衬底基板上的初始化电压信号线，所述初始化电压信号线沿第一方向延伸，所述初始化电压信号线用于给所述像素驱动电路提供初始化电压信号；设置于所述衬底基板上的控制信号线，所述控制信号线沿第一方向延伸，所述控制信号线用于给所述像素驱动电路提供控制信号，以控制所述像素驱动电路的至少一个晶体管导通；其中，在用于驱动一行子像素的像素驱动电路的一帧内，所述控制信号线上的控制信号在至少一个第一时间段内控制所述像素驱动电路的至少一个晶体管导通，所述初始化电压信号线上的初始化电压信号在第二时间段内提供给所述像素驱动电路，所述第一时间段和所述第二时间段在时序上间隔设置；以及所述初始化电压信号线和所述控制信号线位于不同的导电层中，所述初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，在一个子像素内，重叠部分的面积与所述初始化电压信号线在所述衬底基板上的正投影面积或所述控制信号线在所述衬底基板上的正投影面积的比值在 60%至 100%的范围。在本公开的实施例中，将时序上间隔的信号线进行叠层设计，有效优化像素驱动电路的版图设计，在满足工艺规格的前提下，有利于实现高 PPI 的像素设计，且有利于提高显示装置的显示质量。

图 1 是根据本公开的实施例的显示基板的平面示意图。参照图 1，根据本公开的实施例的显示基板可以包括衬底基板 10 和设置在衬底基板 10 上的像素单元 PX。

所述显示基板可以包括显示区域 AA 和非显示区域 NA。显示区域 AA 可以是设置有显示图像的像素单元 PX 的区域。稍后将描述每个像素单元 PX。非显示区域 NA 是不设置像素单元 PX 的区域，即可以是不显示图像的区域。非显示区域 NA 与最终显示装置中的边框对应，并且边框的宽度可以根据非显示区域 NA 的宽度来确定。

显示区域 AA 可以具有各种形状。例如，显示区域 AA 可以以诸如包括直边的闭合形状的多边形（例如矩形）、包括曲边的圆形、椭圆形等以及包括直边和曲边的半圆形、半椭圆形等的各种形状设置。在本公开的实施例中，将显示区域 AA 设置为具有包括直边的四边形形状的一个区域，应该理解，这仅是本公开的示例性实施例，而不是对本公开的限制。

非显示区域 NA 可以设置在显示区域 AA 的至少一侧处。在本公开的实施例中，非显示区域 NA 可以围绕显示区域 AA 的外周。在本公开的实施例中，非显示区域 NA 可以包括在第一方向 X 上延伸的横向部分和在第二方向 Y 上延伸的纵向部分。

像素单元 PX 设置在显示区域 AA 中。像素单元 PX 是用于显示图像的最小单元，并且可以设置为多个。例如，像素单元 PX 可以包括发射白色光和/或彩色光的发光器件。

像素单元 PX 可以设置成多个，以沿着在第一方向 X 上延伸的行和在第一方向 Y 上延伸的列呈矩阵形式布置。然而，本公开的实施例不具体限制像素单元 PX 的布置形式，并且可以以各种形式布置像素单元 PX。例如，像素单元 PX 可以布置为使得相对于第一方向 X 和第一方向 Y 倾斜的方向成为列方向，并且使得与列方向交叉的方向成为行方向。

也就是说，多个像素单元 PX 沿第一方向 X 和第二方向 Y 成阵列排列，以形成多行像素单元和多列像素单元。

一个像素单元 PX 可以包括多个子像素。例如，一个像素单元 PX 可以包括 3 个子像素，即第一子像素 SP1、第二子像素 SP2 和第三子像素 SP3。例如，第一子像素 SP1 可以为红色子像素，第二子像素 SP2 可以为绿色子像素，第三子像素 SP3 可以为蓝色子像素。

需要说明的是，在本公开的实施例中，一个像素单元包括的子像素的数量并不做特别的限制，并不局限于上述的 3 个。

例如，在图 1 所示的示例性实施例中，示意性示出了扫描控制信号线 110 和数据线 120。即，所述显示基板还可以包括：设置于所述衬底基板的多个扫描控制信号线 110 和多个数据线 120，所述多个扫描控制信号线 110 分别给多行像素单元供应扫描控制信号，所述多个数据线 120 分别给多列像素单元供应数据信号。所述扫描控制信号线 110 沿第一方向 X 延伸，所述多个扫描控制信号线 110 沿第二方向 Y 间隔排列。所述数据线 120 沿第二方向 Y 延伸，所述多个数据线 120 沿第一方向 X 间隔排列。

例如，所述扫描控制信号线 110 可以为横向走线的代表，所述数据线 120 可以为纵向走线的代表。应该理解，所述横向走线还可以包括其他类型或用于供应其他信号的走线，所述纵向走线还可以包括其他类型或用于供应其他信号的走线。

每一个子像素可以包括发光元件和用于驱动发光元件的像素驱动电路。例如，在

OLED 显示基板或显示面板中，子像素的发光元件可以包括叠层设置的阳极、发光材料层和阴极。各个子像素的发光元件的阳极间隔设置，以沿着在第一方向 X 上延伸的行和在第一方向 Y 上延伸的列呈矩阵形式布置。

下面，以 8T1C（即八个晶体管和一个电容）像素驱动电路为例，对所述像素驱动电路的结构进行详细描述，但是，本公开的实施例并不局限于 8T1C 像素驱动电路，在不冲突的情况下，其它已知的像素驱动电路结构都可以应用于本公开的实施例中。需要说明的是，在本公开的实施例中，各像素驱动电路除了可以为图 2 所示的 8T1C 结构之外，还可以为包括其他数量的晶体管的结构，如 7T1C 结构、7T2C 结构、6T1C 结构、6T2C 结构或者 9T2C 结构，本公开实施例对此不作限定。

图 2 是根据本公开的一些示例性实施例的显示基板的一个像素驱动电路的等效电路图。所述像素驱动电路用于驱动有机发光二极管（即 OLED）。参照图 2，所述像素驱动电路可以包括第一复位晶体管 T1、补偿晶体管 T2、驱动晶体管 T3、数据写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6，第二复位晶体管 T7、第三复位晶体管 T8 以及存储电容器 Cst。所述显示基板还包括第一扫描控制信号线 81（对应于图 2 中的第一扫描控制信号 PGate）、第二扫描控制信号线 82（对应于图 2 中的第二扫描控制信号 NGate）、第一复位控制信号线 83（对应于图 2 中的第一复位控制信号 PReset）、第二复位控制信号线 84（对应于图 2 中的第二复位控制信号 NReset）、发光控制信号线 85（对应于图 2 中的发光控制信号 EM）、第一初始化电压信号线 86（对应于图 2 中的第一初始化电压信号 Vinit1）、第二初始化电压信号线 87（对应于图 2 中的第二初始化电压信号 Vinit2）、第三初始化电压信号线 88（对应于图 3 中的第三初始化电压信号 Vinit3）、数据线 91（对应于图 2 中的数据信号 Data）、第一电源信号线 92（对应于图 2 中的第一电源信号 ELVDD）和第二电源信号线（对应于图 2 中的第二电源信号 ELVSS）。

继续参照图 2，第一复位晶体管 T1 的第一极与第一初始化电压信号线 86 电连接，第一复位晶体管 T1 的第二极与驱动晶体管 T3 的栅极电连接，即节点 N1，第一复位晶体管 T1 的栅极与第一复位控制信号线 83 电连接，在第一复位控制信号线 83 的控制下，选择性地将第一初始化电压信号线 86 传输的第一初始化电压信号 Vinit1 写入节点 N1。

补偿晶体管 T2 的第一极与驱动晶体管 T3 的第一极电连接，即节点 N3；补偿晶

晶体管 T2 的第二极与驱动晶体管 T3 的栅极电连接, 即节点 N1; 补偿晶体管 T2 的栅极与第二扫描控制信号线 82 电连接以接收补偿控制信号。

驱动晶体管 T3 的第一极与补偿晶体管 T2 的第一极电连接, 即节点 N3; 驱动晶体管 T3 的第二极与第一发光控制晶体管 T5 的第二极电连接, 即节点 N2; 驱动晶体管 T3 的栅极电连接至节点 N1。

数据写入晶体管 T4 的第一极与驱动晶体管 T3 的第二极电连接, 即节点 N2; 数据写入晶体管 T4 的第二极与数据线 91 电连接以接收数据信号, 数据写入晶体管 T4 的栅极与第一扫描控制信号线 81 电连接以接收第一扫描控制信号。在第一扫描控制信号的控制下, 选择性地将数据信号写入节点 N2。

第一发光控制晶体管 T5 的第一极与第一电源信号线 92 电连接以接收第一电源信号 ELVDD, 第一发光控制晶体管 T5 的第二极与驱动晶体管 T3 的第二极电连接 (即节点 N2), 第一发光控制晶体管 T5 的栅极与发光控制信号线 85 电连接以接收发光控制信号 EM。

第二发光控制晶体管 T6 的第一极与驱动晶体管 T3 的第一极电连接 (即节点 N3), 第二发光控制晶体管 T6 的第二极与发光元件 120 的第一电极电连接 (即节点 N4), 第二发光控制晶体管 T6 的栅极与发光控制信号线 85 电连接以接收发光控制信号 EM。

第二复位晶体管 T7 的第一极与第二初始化电压信号线 87 电连接以接收第二初始化电压信号 Vinit2, 第二复位晶体管 T7 的第二极与发光元件 130 的第一电极电连接 (即 N4 节点), 第二复位晶体管 T7 的栅极与第二复位控制信号线 84 电连接以接收第二复位控制信号。

第三复位晶体管 T8 的第一极与第三初始化电压信号线 88 电连接以接收第三初始化电压信号 Vinit3, 第三复位晶体管 T8 的第二极与驱动晶体管 T3 的第二极电连接 (即节点 N2), 第三复位晶体管 T8 的栅极与第二复位控制信号线 84 电连接以接收第二复位控制信号。

存储电容器 Cst 的一端 (下文称为第一电容电极) Cst1 与驱动晶体管 T3 的栅极电连接 (即节点 N1), 存储电容器 Cst 的另一端 (下文称为第二电容电极) Cst2 电连接至第一电源信号线 92。发光元件 130 的阴极电连接至第二电源信号线, 以接收第二电源信号 ELVSS。相应地, 发光元件 130 从驱动晶体管 T3 接收驱动电流以发光, 从而显示图像。

例如，上述第一电源信号线 92 和第二电源信号线可以分别为传输电压信号 ELVDD 和 ELVSS 的信号线，它们可以与电压源连接以输出恒定的电压信号，例如正电压信号和负电压信号。

需要说明的是，按照晶体管半导体特性的不同，晶体管可以分为 N 型晶体管和 P 型晶体管。其中，在晶体管作为开关晶体管使用时，N 型开关晶体管受控于高电平开关控制信号而导通，受控于低电平开关控制信号而关闭。P 型开关晶体管受控于低电平开关控制信号而导通，受控于高电平开关控制信号而关闭。

在本公开的实施例中，所述像素驱动电路可以采用 LTPO 电路，即用低温多晶硅（LTPS）技术和氧化物（IGZO）制备成 LTPO 电路，低温多晶硅薄膜晶体管（Low Temperature Poly Silicon，简称 LTPS），采用多晶硅沉积形成有源层。LTPS 具有较高的电子迁移率，反应速度较快，且有高亮度、高分辨率与低耗电量等优点。氧化物薄膜晶体管（oxide thin-film transistor，简称 oxide TFT），例如以氧化物半导体作为 TFT 的有源层，如铟镓锌氧化物（Indium Gallium Zinc Oxide，简称 IGZO），氧化物半导体具有较高的电子迁移率、良好的关断特性，相比 LTPS，氧化物半导体制程简单，与非晶硅制程相容性较高。当然，氧化物薄膜晶体管还可以为其他金属氧化物半导体，例如，铟锌锡氧化物（IZTO）或铟镓锌锡氧化物（IGZTO）等。采用氧化物薄膜晶体管可以有效减小晶体管的尺寸以及防止漏电流，从而在使得该像素电路的可以适用于低频驱动的同时，还可以增加显示基板的分辨率。

在本公开的一些示例性实施例中，示例性的 8T1C 电路中包含 8 个薄膜晶体管 (T1-T8)，其中 T1 和 T2 是 N 型薄膜晶体管 NMOS，采用 oxide TFT；其余的为 P 型的薄膜晶体管 PMOS，采用 LTPS TFT。相应地，施加于晶体管 T1 的栅极上的复位控制信号称为 NReset，施加于晶体管 T2 的栅极上的扫描控制信号称为 NGate，施加于晶体管 T4 的栅极上的扫描控制信号称为 PGate，施加于晶体管 T7、T8 的栅极上的复位控制信号称为 PReset。

需要注意的是，在上述说明中，节点 N1、节点 N2、节点 N3 和节点 N4 并非表示实际存在的部件，而是表示电路图中相关电路连接的汇合点。

还需要说明的是，在本公开的实施例中，有效信号（电平）是指用于开启相应开关元件的信号（电平），无效信号（电平）是指用于关闭相应开关元件的信号（电平）。同理，在本公开的其他实施例中，均作此解释。有效电平和无效电平仅代表该信号的

电平有 2 个状态量，不代表全文中有效电平或无效电平具有特定的数值。

图 3 是根据本公开的一些示例性实施例的用于驱动像素驱动电路的信号的时间图。结合参照图 2 和图 3，本公开的实施例提供了一种像素驱动电路的驱动方法，应用于本公开任一实施例描述的像素驱动电路，所述驱动方法的刷新驱动周期（即一帧）可以包括第一复位阶段、写入阶段 t4、第一偏置阶段 t5。需要说明的是，在图 3 的实施例中，EM 表示发光控制信号线 85 上传输的发光控制信号，NGate 表示第二扫描控制信号线 82 上传输的第二扫描控制信号，NReset 表示第一复位控制信号线 83 上传输的第一复位控制信号，PGate 表示第一扫描控制信号线 81 上传输的第一扫描控制信号，PReset 表示第二复位控制信号线 84 上传输的第二复位控制信号。

例如，在本实施例中，所述第一复位阶段可以包括第一复位子阶段 t1、第二复位子阶段 t2、第三复位子阶段 t3。在第一复位子阶段 t1、第二复位子阶段 t2、第三复位子阶段 t3，选择性地对驱动晶体管 T3 的各个节点 N1、N2、N3 进行复位。

在写入阶段 t4，EM 为高电平，NGate 为高电平，NReset 为低电平，PGate 为低电平，PReset 为高电平。补偿晶体管 T2 和数据写入晶体管 T4 导通。在此阶段，驱动晶体管 T3 导通，通过数据写入晶体管 T4 和补偿晶体管 T2 将数据信号施加至所述驱动晶体管 T3 的栅极，实现数据信号的写入，并实现对所述驱动晶体管 T3 栅极的电压补偿。在此阶段，节点 N1 处的电压为 $V_{data}+V_{th}$ ，节点 N2 处的电压为 V_{data} ，节点 N3 处的电压为 V_{data} ，其中 V_{th} 为驱动晶体管 T3 的阈值电压。

在第一偏置阶段 t5，EM 为高电平，NGate 为低电平，NReset 为低电平，PGate 为高电平，PReset 为低电平。第二复位晶体管 T7 和第三复位晶体管 T8 导通。在此阶段，驱动晶体管 T3 导通，通过第三复位晶体管 T8 将第三初始化电压信号 V_{init3} 施加至所述驱动晶体管 T3 的第一极和第二极。在此阶段，节点 N1 处的电压为 $V_{data}+V_{th}$ ，节点 N2 处的电压为 V_{init3} ，节点 N3 处的电压为 V_{init3} ，其中 V_{th} 为驱动晶体管 T3 的阈值电压。在此阶段，通过第三复位晶体管 T8 对于节点 N2 和节点 N3 复位为高电压，相当于又对驱动晶体管 T3 的栅源极加上一个负偏压，这样在发光阶段会重新改变驱动晶体管 T3 的阈值电压的恢复过程。

需要说明的是，所述驱动方法的刷新驱动周期（即一帧）还可以包括第一发光阶段 t6，在所述第一发光阶段 t6，发光元件 130 响应所述驱动晶体管 T3 的驱动电流而发光。发光控制信号 EM 为低电平，第一发光控制晶体管 T5 和第二发光控制晶体管

T6 在低电平时导通，驱动晶体管 T3 导通；其他晶体管在相应的开关控制信号控制下均处于关闭状态。

驱动晶体管 T3 工作处于饱和状态，根据饱和状态电流特性可知，流过驱动晶体管 T3 且用于驱动发光元件 130 发光的饱和电流 I 与 $(V_{data}-V_{DD})^2$ 成正比。可以看出发光元件 130 的工作电流已经不受驱动晶体管 T3 的阈值电压 V_{th} 的影响，彻底解决了由于工艺制程以及长时间的操作造成的驱动晶体管 T3 的阈值电压 V_{th} 漂移，有效改善低频闪烁（Flicker）等问题，从而改善了面板显示的不均匀性。

结合参照图 2 和图 3，在时序图中，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 在阶段 t1、t5 处于有效状态，而在阶段 t1、t5，第一复位控制信号线 83 上传输的第一复位控制信号 NReset 均为低电平，即第一复位晶体管 T1 处于关闭状态，此时，第一初始化电压信号 Vinit1 不会通过第一复位晶体管 T1 传输给节点 N1。实际上，第一复位控制信号线 83 上传输的第一复位控制信号 NReset 在阶段 t2、t3 为高电平，即第一复位晶体管 T1 在阶段 t2、t3 导通。也就是说，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 与第一初始化电压信号 Vinit1 在时序上是间隔开的。

在时序图中，第一扫描控制信号线 81 上传输的第一扫描控制信号 PGate 在阶段 t4 处于有效状态，而在阶段 t4，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 均为高电平，即第二复位晶体管 T7 和第三复位晶体管 T8 均处于关闭状态，此时，第二初始化电压信号 Vinit2 不会通过第二复位晶体管 T7 传输给节点 N4，第三初始化电压信号 Vinit3 不会通过第三复位晶体管 T8 传输给节点 N2。实际上，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 在阶段 t1、t5 为低电平，即第二复位晶体管 T7 和第三复位晶体管 T8 在阶段 t1、t5 导通。也就是说，第一扫描控制信号线 81 上传输的第一扫描控制信号 PGate 与第二初始化电压信号 Vinit2 在时序上是间隔开的。

在时序图中，发光控制信号线 85 上传输的发光控制信号 EM 在阶段 t1~t5 均处于无效状态，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 在阶段 t1、t5 为低电平，即第二复位晶体管 T7 和第三复位晶体管 T8 在阶段 t1、t5 导通。也就是说，发光控制信号线 85 上传输的发光控制信号 EM 与第三初始化电压信号 Vinit3 在时序上是间隔开的。

在本公开的实施例中，可以将传输这些在时序上间隔开的信号的信号线进行叠层设计，例如，由于第二复位控制信号线 84 上传输的第二复位控制信号 PReset 与第一

初始化电压信号 Vinit1 在时序上是间隔开的, 所以, 可以将第二复位控制信号线 84 与第一初始化电压信号线 86 进行叠层设计; 由于第一扫描控制信号线 81 上传输的第一扫描控制信号 PGate 与第二初始化电压信号 Vinit2 在时序上是间隔开的, 所以, 可以将第一扫描控制信号线 81 与第二初始化电压信号线 87 进行叠层设计; 由于发光控制信号线 85 上传输的发光控制信号 EM 与第三初始化电压信号 Vinit3 在时序上是间隔开的, 所以, 可以将发光控制信号线 85 与第三初始化电压信号线 88 进行叠层设计。这样, 由于叠层设计的各个信号线上传输的信号在时序上是错开的, 所以, 不会对信号产生不利的影响, 同时, 可以有效地利用显示基板的空间进行布局, 有利于实现高 PPI 的显示面板。

图 4 是根据本公开的一些示例性实施例的显示基板的局部平面图, 其示意性示出了 2 个相邻的子像素的像素驱动电路。图 5 至图 14 分别是根据本公开的一些示例性实施例的显示基板的局部平面图, 其中, 图 5 为所述显示基板的遮光层的局部平面图, 图 6 为所述显示基板的第一半导体层的局部平面图, 图 7 是所述显示基板的第一导电层的局部平面图, 图 8 为所述显示基板的第二导电层的局部平面图, 图 9 为所述显示基板的第二半导体层的局部平面图, 图 10 是所述显示基板的第三导电层的局部平面图, 图 11 是所述显示基板的第一绝缘层的局部平面图, 其示意性示出了位于该第一绝缘层中的多个过孔, 图 12 是所述显示基板的第四导电层的局部平面图, 图 13 是所述显示基板的第二绝缘层的局部平面图, 其示意性示出了位于该第二绝缘层中的多个过孔, 图 14 是所述显示基板的第五导电层的局部平面图。图 50 是本公开示例性的一些实施例的显示基板的沿图 4 中的 A-A' 线截取的截面示意图。

结合参照图 4 至图 14 以及图 50, 所述显示基板可以包括衬底基板 10, 设置于衬底基板 10 上的遮光层 LS, 设置于遮光层 LS 远离衬底基板一侧的第一半导体层 21, 设置于第一半导体层 21 远离衬底基板一侧的第一导电层 31, 设置于第一导电层 31 远离衬底基板一侧的第二导电层 32, 设置于第二导电层 32 远离衬底基板一侧的第二半导体层 22, 设置于第二半导体层 22 远离衬底基板一侧的第三导电层 33, 设置于第三导电层 33 远离衬底基板一侧的第四导电层 34, 设置于第四导电层 34 远离衬底基板一侧的第五导电层 35。

例如, 所述第一导电层 31、所述第二导电层 32 和所述第三导电层 33 可以是由栅极材料构成的导电层, 例如 Mo。例如, 所述第四导电层 34 和所述第五导电层 35 可以

是由源漏极材料构成的导电层，例如 Ti/Al/Ti。

构成有源层的半导体材料例如可以包括非晶硅、多晶硅、氧化物半导体等，氧化物半导体材料例如可以包括 IGZO（铟镓锌氧化物）、ZnO（氧化锌）等。

在本公开的实施例中，两个相邻的导电层之间可以设置至少一个绝缘层，所述绝缘层可以由例如氮化硅、氧化硅或氮氧化硅等的绝缘材料构成，绝缘层具有单个膜层结构，也可以具有由多个膜层构成的叠层结构。例如，在图示的实施例中，所述显示基板可以包括设置在第三导电层 33 与第四导电层 34 之间的第一绝缘层 ILD，以及设置在第四导电层 34 与第五导电层 35 之间的第二绝缘层 PLN。应该理解，所述显示基板还可以更多的绝缘层，绝缘层的结构可以参照现有的显示基板中绝缘层的结构，在此不再赘述。

图 6 示出了第一半导体层 21。例如，如图 6 所示，第一半导体层 21 可用于制作上述的驱动晶体管 T3、数据写入晶体管 T4、第二发光控制晶体管 T5、第一发光控制晶体管 T6、第二复位晶体管 T7 以及第三复位晶体管 T8 的有源层，以用于形成上述晶体管的沟道区。第一半导体层 21 可以包括各子像素的上述晶体管的有源区图案（沟道区）和掺杂区图案（源漏区），且同一像素驱动电路中的上述晶体管的有源区图案和掺杂区图案一体设置。

例如，第一半导体层 21 可以包括一体形成的低温多晶硅层，源极区域和漏极区域可以通过掺杂等进行导体化实现各结构的电连接。例如，上述的源极区域和漏极区域可为掺杂有 p 型杂质的区域。

图 7 示出了位于第一半导体层 21 远离衬底基板一侧的第一导电层 31。例如，如图 7 所示，第一扫描控制信号线 81、存储电容器 Cst 的第一电容电极 Cst1、发光控制信号线 85 和第二复位控制信号线 84 可以位于第一导电层 31 中。例如，第一导电层 31 可以包括驱动晶体管 T3、数据写入晶体管 T4、第二发光控制晶体管 T5、第一发光控制晶体管 T6、第二复位晶体管 T7 以及第三复位晶体管 T8 的栅极。

需要说明的是，图 6 中的各虚线矩形框示出了第一半导体层 21 与第一导电层 31 交叠的各个部分，即沟道区。作为各个晶体管的沟道区，在每个沟道区两侧的有源半导体层通过离子掺杂等工艺导体化作为各个晶体管的第一极和第二极。晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在物理结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管，除作为控制极的栅极，直接描述了其中一极为

第一极，另一极为第二极，所以本公开的实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。

例如，结合参照图 4、图 6 和图 7，数据写入晶体管 T4 的栅极可以为第一扫描控制信号线 81 与第一半导体层 21 交叠的部分。第一发光控制晶体管 T6 的栅极可以为发光控制信号线 85 与第一半导体层 21 交叠的第一部分，第二发光控制晶体管 T5 的栅极可以为发光控制信号线 85 与第一半导体层 21 交叠的第二部分。第三复位晶体管 T8 的栅极为第二复位控制信号线 84 与第一半导体层 21 交叠的第一部分，第二复位晶体管 T7 的栅极为第二复位控制信号线 84 与第一半导体层 21 交叠的第二部分。

图 8 示出了位于第一导电层 31 远离衬底基板一侧的第二导电层 32。例如，如图 8 所示，第二扫描控制信号线 82、存储电容器 Cst 的第二电容电极 Cst2 以及第一复位控制信号线 83 可以位于第二导电层 32 中。

图 9 示出了位于第二导电层 32 远离衬底基板一侧的第二半导体层 22。例如，如图 9 所示，第二半导体层 22 包括第一复位晶体管 T1 和补偿晶体管 T2 的沟道区。例如，第一复位晶体管 T1 和补偿晶体管 T2 中的有源层采用氧化物半导体的情况下，因用氧化物半导体的晶体管具备磁滞特性好、漏电流低的特点，故可以采用氧化物半导体的晶体管代替晶体管中的低温多晶硅材料，形成低温多晶硅氧化物的（LTPO）像素驱动电路，实现低漏电，利于提高晶体管的栅极电压的稳定性。

例如，如图 4、图 8 和图 9 所示，第一复位晶体管 T1 的栅极可以为第一复位控制信号线 83 与第二半导体层 22 交叠的部分，补偿晶体管 T2 的栅极可以为第二扫描控制信号线 82 与第二半导体层 22 交叠的部分。

图 10 示出了第二半导体层 22 远离衬底基板一侧的第三导电层 33。例如，如图 10 所示，另一第二扫描控制信号线 82、另一第一复位控制信号线 83、第一初始化电压信号线 86 和第三初始化电压信号线 88 可以位于第三导电层 33 中。

例如，如图 4 至图 10 所示，另一第一复位控制信号线 83 与第一复位晶体管 T1 的沟道区交叠，第一复位晶体管 T1 包括位于有源层两侧的顶栅和底栅；另一第二扫描控制信号线 82 与补偿晶体管 T2 的沟道区交叠，补偿晶体管 T2 包括位于有源层两侧的顶栅和底栅。

也就是说，在本公开的实施例中，第一复位晶体管 T1 和补偿晶体管 T2 可以具有双栅结构，即分别包括顶栅和底栅。

在本公开的实施例中，第一复位控制信号线 83 可以包括第一复位控制信号子线 831 和第二复位控制信号线 832，将位于第二导电层 32 中的第一复位控制信号线描述为第一复位控制信号子线 831，将位于第三导电层 33 中的第一复位控制信号线描述为第二复位控制信号子线 832。第一复位控制信号子线 831 与第二半导体层 22 交叠的部分构成第一复位晶体管 T1 的底栅，第二复位控制信号子线 832 与第二半导体层 22 交叠的部分构成第一复位晶体管 T1 的顶栅。

第二扫描控制信号线 82 可以包括第一扫描控制信号子线 821 和第二扫描控制信号子线 822，将位于第二导电层 32 中的第二扫描控制信号线描述为第一扫描控制信号子线 821，将位于第三导电层 33 中的第二扫描控制信号线描述为第二扫描控制信号子线 822。第一扫描控制信号子线 821 与第二半导体层 22 交叠的部分构成补偿晶体管 T2 的底栅，第二扫描控制信号子线 822 与第二半导体层 22 交叠的部分构成补偿晶体管 T2 的顶栅。

例如，第一复位晶体管 T1 和补偿晶体管 T2 可以为 N 型晶体管。驱动晶体管 T3、数据写入晶体管 T4、第二发光控制晶体管 T5、第一发光控制晶体管 T6、第二复位晶体管 T7 以及第三复位晶体管 T8 可以为 P 型晶体管。

图 12 示出了位于第三导电层 33 远离衬底基板一侧的第四导电层 34。例如，如图 12 所示，第二初始化电压信号线 87 可以位于第四导电层 34 中，所述显示基板还可以包括位于第四导电层 34 中的多个连接部，例如，所述多个连接部可以包括连接部 341、连接部 342、连接部 343、第二电压信号线转接部 344、连接部 345、第一电源信号线转接部 346、连接部 347、连接部 348 和第一初始化电压连接部 349。

图 14 示出了位于第四导电层 34 远离衬底基板一侧的第五导电层 35。例如，如图 14 所示，数据线 91 和第一电源信号线 92 可以位于第五导电层 35 中。

结合参照图 4 至图 14，连接部 341 可以用于电连接位于第五导电层 35 中的数据线 91 和数据写入晶体管 T4 的第一极，例如，位于第五导电层 35 中的数据线 91 通过位于第二绝缘层 PLN 中的过孔 VH17 与连接部 341 的一部分电连接，连接部 341 的另一部分通过位于第一绝缘层 ILD 中的过孔 VH1 与数据写入晶体管 T4 的第一极电连接。

连接部 342 可以用于电连接驱动晶体管 T3 的栅极与补偿晶体管 T2 的第二极，即形成节点 N1。例如，连接部 342 的一部分（例如一端）通过位于第一绝缘层 ILD 中的过孔 VH2 与补偿晶体管 T2 的第二极电连接，连接部 342 的另一部分（例如另一端）

通过位于第一绝缘层 ILD 中的过孔 VH4 与驱动晶体管 T3 的栅极电连接。连接部 343 可以用于电连接补偿晶体管 T2 的第一极与第一发光控制晶体管 T6 的第一极，即形成节点 N3。例如，连接部 343 的一部分（例如一端）通过位于第一绝缘层 ILD 中的过孔 VH5 与补偿晶体管 T2 的第一极电连接，连接部 343 的另一部分（例如另一端）通过位于第一绝缘层 ILD 中的过孔 VH6 与第一发光控制晶体管 T6 的第一极电连接。连接部 345 可以用于电连接第三复位晶体管 T8 的第二极与节点 N2。例如，连接部 345 的一部分（例如一端）通过位于第一绝缘层 ILD 中的过孔 VH13 与第三复位晶体管 T8 的第二极电连接，连接部 345 的另一部分（例如另一端）通过位于第一绝缘层 ILD 中的过孔 VH3 与节点 N2 电连接。

连接部 347 可以用于电连接第三复位晶体管 T8 的第一极与第三初始化电压信号线 88。例如，连接部 347 的一部分（例如一端）通过位于第一绝缘层 ILD 中的过孔 VH11 与第三初始化电压信号线 88 电连接，连接部 347 的另一部分（例如另一端）通过位于第一绝缘层 ILD 中的过孔 VH16 与第三复位晶体管 T8 的第一极的第一极电连接。

图 19 是根据本公开的示例性实施例的显示基板的局部放大图，其示意性示出了第一电源信号线的转接方式。参照图 14 和图 19，数据线 91 和第一电源信号线 92 均沿第二方向 Y 延伸。例如，每一列子像素均具有各自的数据线 91，相邻的两列子像素共用一个第一电源信号线 92。如图 14 所示，共用的一个第一电源信号线 92 位于相邻的两列子像素的像素驱动电路之间。第一电源信号线 92 的主体部分沿第二方向 Y 延伸，第一电源信号线 92 在第一方向 X 上的宽度较大，为方便描述，第一电源信号线 92 的宽度变大的部分称为加宽部 921（如图 14 所示），加宽部 921 相对于第一电源信号线 92 的主体部分在第一方向 X 上延伸。

相邻的两列子像素共用一个位于第四导电层 34 中的第一电源信号线转接部 346，第一电源信号线 92 的加宽部 921 分别通过位于第二绝缘层 PLN 中的过孔 VH18 与第一电源信号线转接部 346 的中间部分电连接。

位于第二导电层 32 中的第二电容电极 Cst2 还用作导电转接部，第一电源信号线转接部 346 的一端通过位于第一绝缘层 ILD 中的过孔 VH7 与一个子像素的像素驱动电路的导电转接部 Cst2 电连接，第一电源信号线转接部 346 的另一端通过位于第一绝缘层 ILD 中的过孔 VH7 与另一个子像素的像素驱动电路的导电转接部 Cst2 电连接。

每一个子像素的像素驱动电路还包括各自的第二电压信号线转接部 344。在一个

子像素的像素驱动电路中，导电转接部 Cst2 的一部分通过过孔 VH14 与第二电压信号线转接部 344 的一端电连接，第二电压信号线转接部 344 的另一端通过过孔 VH15 与第二发光控制晶体管 T5 的第二极电连接。

通过这样的连接方式，可以将相邻的两列子像素共用的一个第一电源信号线 92 上的第一电源信号传输给相邻的两列子像素的第二发光控制晶体管 T5。

在本公开的实施例中，第一电源信号线 92 在第一方向 X 上主要通过位于第二导电层中的导电转接部 Cst2 连通，在第二方向 Y 上主要通过位于第五导电层中的主体部分连通。横向和纵向的第一电源信号线 92 在两个子像素中间通过一个位于第二绝缘层 PLN 中的过孔 VH18 和两个位于第一绝缘层 ILD 中的过孔 VH7 连接。两个子像素共用一个位于第二绝缘层 PLN 中的过孔 VH18。每个子像素的第一电源信号是通过纵向延伸的主体部分先转接到第一电源信号线转接部 346，再通过第一电源信号线转接部 346 转接到横向延伸的第二导电层中的导电转接部 Cst2，再通过导电转接部 Cst2 的另外一个位于第一绝缘层 ILD 中的过孔 VH14 再次转接到第二电压信号线转接部 344，然后再通过第二电压信号线转接部 344 转接到第二发光控制晶体管 T5。在本公开的实施例中，位于第二导电层 32 中的导电转接部 Cst2 既作为横向传递第一电源信号的导电转接部，同时起到子像素内第一电源信号转接跳线的作用。

连接部 348 的一部分通过过孔 VH8 与第一发光控制晶体管 T6 的第一极电连接，这样，可以将节点 N4 引出，以便于后续第一发光控制晶体管 T6 的第一极与发光元件 120 的阳极的电连接。

在本公开的一些实施例中，显示基板还包括位于第四导电层中的第一初始化电压连接部，第一初始化电压连接部的一端通过第五过孔与第一初始化电压信号线电连接，所述第一初始化电压连接部的另一端通过第六过孔分别与同一行的两个相邻子像素的第一复位晶体管的源极或漏极电连接。

示例性地，第一初始化电压连接部 349 的一部分（例如一端）通过过孔 VH9 与第一初始化电压信号线 86 电连接，第一初始化电压连接部 349 的另一部分（例如另一端）通过过孔 VH10 与第一复位晶体管 T1 的第一极电连接。第一初始化电压连接部 349 的另一部分通过第六过孔分别与同一行的两个相邻子像素的第一复位晶体管的第一极电连接，通过共用第一初始化电压连接部 349，可以有效减少过孔面积占用，有利于提高像素密度。

第二初始化电压信号线 87 的一部分通过过孔 VH12 与第二复位晶体管 T7 的第一极电连接。

图 15 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第一导电层和第三导电层的叠加图。图 16 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第一导电层、第三导电层和第四导电层的叠加图。

在本公开的一些示例性实施例中，显示基板还包括位于第四导电层中的第二初始化电压连接部，第二初始化电压连接部的两端分别通过第七过孔与第三初始化电压信号线电连接，位于两端之间的中端通过第八过孔与同一行的两个相邻子像素的第三复位晶体管的源极或漏极电连接，第二初始化电压连接部在第一方向上位于第一初始化电压连接部和第二电压信号线转接部之间。

示例性地，结合参照图 15 和图 16，发光控制信号线 85 在衬底基板 10 上的正投影和第三初始化电压信号线 88 在衬底基板 10 上的正投影至少部分重叠，第三初始化电压信号线在衬底基板上的正投影与第一复位控制信号线在衬底基板上的正投影不重叠，第三初始化电压信号线在衬底基板上的正投影与第二复位控制信号线在衬底基板上的正投影不重叠，第三初始化电压信号线在衬底基板上的正投影与扫描控制信号线在所述衬底基板上的正投影不重叠，发光控制信号线 85 在衬底基板 10 上的正投影和第三初始化电压信号线 88 在衬底基板 10 上的正投影至少部分重叠，例如，在一个子像素内，重叠部分的面积与初始化电压信号线在衬底基板上的正投影面积或控制信号线在所述衬底基板上的正投影面积的比值在 80%至 95%的范围，即发光控制信号线 85 在衬底基板 10 上的正投影和第三初始化电压信号线 88 在衬底基板 10 上的正投影大部分重叠，但是并不是完全重叠。沿第一方向 X 延伸的第三初始化电压信号线 88 通过过孔 VH11 与连接部 347 的一部分（例如一端）电连接，连接部 347 的另一部分（例如另一端）通过位于过孔 VH16 与第三复位晶体管 T8 的第一极的第一极电连接。第三复位晶体管 T8 的第二极又通过连接部 345 与节点 N2 电连接。

连接部 347 可以用于电连接第三复位晶体管 T8 的第一极与第三初始化电压信号线 88。连接部 347 包括分别位于两个相邻子像素中的第一端，以及位于两个第一端之间的中端，连接部 347 的第一端分别通过过孔 VH11 与第三初始化电压信号线 88 电连接，连接部 347 的位于两个第一端之间的中端通过过孔 VH16 分别与相邻的子像素的第三复位晶体管 T8 的第一极电连接，以及在两个相邻子像素之间且在连接部 347 在第一方

向上位于第二电压信号线转接部 344 和第一初始化电压连接部 349 之间。第二复位控制信号线 84 上传输的第二复位控制信号 PReset 在阶段 t1、t5 为低电平，即第三复位晶体管 T8 在阶段 t1、t5 导通，在此阶段，第三初始化电压信号线 88 上传输的第三初始化电压信号对节点 N2 进行刷新。发光控制信号线 85 上传输的发光控制信号 EM 在阶段 t1~t5 均处于无效状态。也就是说，发光控制信号线 85 上传输的发光控制信号 EM 与第三初始化电压信号 Vinit3 在时序上是间隔开的。在本公开的实施例中，发光控制信号线 85 在衬底基板 10 上的正投影和第三初始化电压信号线 88 在衬底基板 10 上的正投影至少部分重叠，即采用叠层设计。在此叠层设计下，发光控制信号线 85 上传输的发光控制信号 EM 与第三初始化电压信号 Vinit3 工作时序错位，不同时工作，可以防止信号之间串扰。在发光控制信号线 85 上传输的发光控制信号 EM 与第三初始化电压信号 Vinit3 互不影响的状态下，对发光控制信号线 85 和第三初始化电压信号线 88 叠层设计，可以有效优化像素空间布局，有利于高分辨率的像素设计。

图 17 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第一导电层和第三导电层的叠加图。图 18 是根据本公开的示例性实施例的显示基板的局部平面图，其示意性示出了第二半导体层、第一导电层、第二导电层、第三导电层和第四导电层的叠加图。

结合参照图 17 和图 18，第二复位控制信号线 84 在衬底基板 10 上的正投影和第一初始化电压信号线 86 在衬底基板 10 上的正投影至少部分重叠。第一初始化电压信号线在衬底基板上的正投影与第一复位控制信号线在衬底基板上的正投影不重叠，第一初始化电压信号线在衬底基板上的正投影与扫描控制信号线在衬底基板上的正投影不重叠，第一初始化电压信号线在所述衬底基板上的正投影与发光控制信号线在所述衬底基板上的正投影不重叠。第二复位控制信号线 84 在衬底基板 10 上的正投影和第一初始化电压信号线 86 在衬底基板 10 上的正投影至少部分重叠，例如，在一个子像素内，重叠部分的面积与第一初始化电压信号线在衬底基板上的正投影面积的比值在 60%至 100%的范围，或者重叠部分的面积与第二复位控制信号线在衬底基板上的正投影面积的比值在 60%至 100%的范围。在一些可选的实施例中，重叠部分的面积与第二复位控制信号线在衬底基板上的正投影面积的比值可以是在 80%至 95%的范围内，即第二复位控制信号线 84 在衬底基板 10 上的正投影和第一初始化电压信号线 86 在衬底基板 10 上的正投影大部分重叠，但是并不是完全重叠。第一初始化电压信号线 86

通过过孔 VH9 与第一初始化电压连接部 349 的一部分（例如一端）电连接，第一初始化电压连接部 349 的另一部分（例如另一端）通过过孔 VH10 与第一复位晶体管 T1 的第一极电连接。第一复位晶体管 T1 的第二极又与补偿晶体管 T2 的第一极电连接，驱动晶体管 T3 的栅极通过连接部 342 也与补偿晶体管 T2 的第一极电连接，从而形成节点 N1。在可选的一些实施例中，第二复位控制信号线在衬底基板上的正投影和第一初始化电压信号线在衬底基板上的正投影大部分重叠，例如重叠部分的面积与第二复位控制信号线在衬底基板上的正投影面积的比值或第一初始化电压信号线在衬底基板上的正投影面积的比值为 60%，也可以是完全重叠，例如比值为 100%。在一些实施例中，第二初始化电压信号线在衬底基板上的正投影可以与扫描控制信号线在衬底基板上的正投影部分重叠，此外第二初始化电压信号线在衬底基板上的正投影也可以与第一复位控制信号线在衬底基板上的正投影部分重叠。

在时序图中，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 在阶段 t1、t5 处于有效状态，而在阶段 t1、t5，第一复位控制信号线 83 上传输的第一复位控制信号 NReset 均为低电平，即第一复位晶体管 T1 处于关闭状态，此时，第一初始化电压信号 Vinit1 不会通过第一复位晶体管 T1 传输给节点 N1。实际上，第一复位控制信号线 83 上传输的第一复位控制信号 NReset 在阶段 t2、t3 为高电平，即第一复位晶体管 T1 在阶段 t2、t3 导通。也就是说，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 与第一初始化电压信号 Vinit1 在时序上是间隔开的。在本公开的实施例中，第一扫描控制信号线 81 在衬底基板 10 上的正投影和第一初始化电压信号线 86 在衬底基板 10 上的正投影至少部分重叠，即采用叠层设计。第一初始化电压信号线在衬底基板上的正投影与第一复位控制信号线在衬底基板上的正投影不重叠，第一初始化电压信号线在衬底基板上的正投影与扫描控制信号线在衬底基板上的正投影不重叠，第一初始化电压信号线在衬底基板上的正投影与发光控制信号线在衬底基板上的正投影不重叠。在此叠层设计下，第二复位控制信号线 84 上传输的第二复位控制信号 PReset 与第一初始化电压信号 Vinit1 工作时序错位，不同时工作，可以防止信号之间串扰。在第二复位控制信号线 84 上传输的第二复位控制信号 PReset 与第一初始化电压信号 Vinit1 互不影响的状态下，对第一扫描控制信号线 81 和第一初始化电压信号线 86 叠层设计，可以有效优化像素空间布局，有利于高分辨率的像素设计。第一扫描控制信号线 81 在衬底基板 10 上的正投影和第一初始化电压信号线 86 在衬底基板 10 上的正

投影至少部分重叠，例如，重叠部分的面积与第一扫描控制信号线 81 在衬底基板 10 上的正投影面积的比值为 80%至 95%的范围，或者重叠部分的面积与第一初始化电压信号线 86 在衬底基板 10 上的正投影面积的比值为 80%至 95%的范围。

图 20 是根据本公开的示例性实施例的显示基板的局部放大图，其示意性示出了叠层设计的信号线的错位设计。

如图 20 所示，在本公开的实施例中，所述第一初始化电压信号线 86、所述第二初始化电压信号线 87 和所述第三初始化电压信号线 88 中的每一个的至少一部分在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影不重叠。即，在叠层设计的前提下，位于第三导电层 33 中的第一初始化电压信号线 86 的一部分与下方第一导电层 31 中的控制信号线（例如第二复位控制信号线 84 或第三复位控制信号线 84）是错位设计的，例如图 20 中的位于第一初始电压信号线 86 附近处的矩形虚线框和椭圆虚线框标注的区域部分。第三初始化电压信号线 88 的一部分与下方的位于第一导电层 31 中的控制信号线（例如发光控制信号线 85）是错位设计的，例如图 20 中位于第三初始电压信号线 88 附近处的矩形虚线框标注的区域部分。位于第四导电层 34 中的第二初始化电压信号线 87 与下方的位于第一导电层 31 中的控制信号线（例如扫描控制信号线 81）是错位设计的。

如图 20 所示，箭头表示相邻的信号线与过孔之间的距离，应该理解，相邻的信号线与过孔之间的距离需要满足规定的工艺规格。在满足该规定的工艺规格的前提下，将初始化电压信号线与下方的控制信号线进行部分错位设计，可以减小两个信号线之间的交叠面积，从而能够降低信号线上的负载。

图 21 是根据本公开的另一一些示例性实施例的用于驱动像素驱动电路的信号的时间图。

在如图 2 和图 21 所示的示例性实施例中，8T1C 电路中包含 8 个薄膜晶体管 (T1-T8)，其中 T2 是 N 型薄膜晶体管 NMOS，采用氧化物晶体管；T1、T3-T8 为 P 型的薄膜晶体管 PMOS，采用低温多晶硅晶体管。

结合参照图 2 和图 21，在时序图中，第一复位控制信号线 83 上传输的是第一复位控制信号 **PReseta**，第二复位控制信号线或第三复位控制信号线 84 上传输的是第二复位控制信号或第三复位控制信号 **PResetb**，发光控制信号线 85 上传输的是发光控制信号 **EM**，补偿控制信号线 82 上传输的是补偿控制信号 **NGate**，扫描控制信号线 81

上传输的是扫描控制信号 PGate。如图 21 所示，第二复位控制信号线或第三复位控制信号线 84 上传输的第二复位控制信号或第三复位控制信号 PResetb 在阶段 t1、t3、t6 处于有效状态，而在阶段 t1、t3、t6，第一复位控制信号线 83 上传输的第一复位控制信号 Preseta 处于关闭状态，此时，第一初始化电压信号 Vinit1 不会通过第一复位晶体管 T1 传输该节点 N1。根据图 21 的时序图可知，在阶段 t2、t4，第一复位控制信号线 83 上传输的第一复位控制信号 PReseta 处于有效状态，即第一复位晶体管 T1 在阶段 t2、t4 导通，也就是说，第二复位控制信号线 84 上传输的第二复位控制信号 PResetb 与第一初始化电压信号 Vinit1 在时序上是间隔开的。从而可以实现将第二复位控制信号线或第三控制信号线 84 与第一初始化电压信号线 86 进行重叠布置设置，使得各个信号线上的信号在不产生干扰的情况下，实现显示基板不同膜层的层叠设置，提高各个信号线的空间利用率，实现在满足现有工艺规格的前提下，设计布局更高 PPI 的像素，即实现高 PPI 像素的设计。

如图 21 所示，在时序图中，第一扫描控制信号线 81 上传输的第一扫描控制信号 PGate 在阶段 t5 处于有效状态，而在阶段 t5，第二复位控制信号线或第三复位控制信号线 84 上传输的第二复位控制信号或第三复位控制信号 PResetb 均为高电平，即第二复位晶体管 T7 和第三复位晶体管 T8 均处于关闭状态，此时，第二初始化电压信号 Vinit2 不会通过第二复位晶体管 T7 传输给节点 N4，第三初始化电压信号 Vinit3 不会通过第三复位晶体管 T8 传输给节点 N2。实际上，第二复位控制信号线 84 上传输的第二复位控制信号 PResetb 在阶段 t1、t3、t6 为低电平，即第二复位晶体管 T7 和第三复位晶体管 T8 在阶段 t1、t3、t6 导通。根据时序图，第一复位控制信号线 83 上传输的第一复位控制信号 Preseta 与第二复位控制信号或第三复位控制信号 PResetb 在 t1 至 t6 阶段的导通状态均不同，例如，第一复位控制信号 PReseta 在 t2、t4 时刻处于有效状态，而在其他时刻处于关闭状态，第二复位控制信号 PResetb 在 t1、t3、t6 时刻处于有效状态，即在 t1、t3、t6 控制第二复位晶体管 T7 或第三复位晶体管 T8 导通，第一复位控制信号线 83 上传输的第一复位控制信号 PReseta 与第二初始化电压信号 Vinit2 在时序上是间隔开的。从而可以实现将第一复位控制信号线与第二初始化电压信号线进行重叠布置，使得各个信号线上的信号在不产生干扰的情况下，实现显示基板不同膜层的层叠设置，提高各个信号线的空间利用率，实现在满足现有工艺规格的前提下，设计布局更高 PPI 的像素，即实现高 PPI 像素的设计。

在时序图中，发光控制信号线 85 上传输的发光控制信号 EM 在阶段 t1~t6 均处于无效状态，第二复位控制信号线或第三复位控制信号线 84 上传输的第二复位控制信号或第三复位控制信号 PResetb 在阶段 t1、t3、t6 为低电平，即第二复位晶体管 T7 和第三复位晶体管 T8 在阶段 t1、t3、t6 导通。也就是说，发光控制信号线 85 上传输的发光控制信号 EM 与第三初始化电压信号 Vinit3 在时序上是间隔开的。

在本公开的实施例中，可以将传输这些在时序上间隔开的信号的信号线进行叠层设计，例如，由于第二复位控制信号线或第三复位控制信号线 84 上传输的第二复位控制信号 PResetb 与第一初始化电压信号 Vinit1 在时序上是间隔开的，所以可以将第二复位控制信号线或第三复位控制信号线 84 与第一初始化电压信号线 86 进行叠层设计；

由于第一复位控制信号线 83 上传输的第一扫描控制信号 PReseta 与第二初始化电压信号 Vinit2 在时序上是间隔开的，所以，可以将第一复位控制信号线 83 与第二初始化电压信号线 87 进行叠层设计；由于发光控制信号线 85 上传输的发光控制信号 EM 与第二初始电压信号或第三初始化电压信号 Vinit3 在时序上是间隔开的，所以，可以将发光控制信号线 85 与第三初始化电压信号线 88 进行叠层设计。这样，由于叠层设计的各个信号线上传输的信号在时序上是错开的，所以，不会对信号产生不利的影响，同时，可以有效地利用显示基板的空间进行布局，有利于实现高 PPI 的显示面板。

在本公开的一些可选实施例中，像素驱动电路包括第一复位晶体管，第一复位晶体管包括栅极、源极和漏极，初始化电压信号线包括第一初始化电压信号线，第一初始化电压信号线与第一复位晶体管的源极或漏极电连接，第一初始化电压信号线在衬底基板上的正投影与控制信号线在衬底基板上的正投影至少部分重叠，控制信号线包括复位控制信号线。例如，像素驱动电路中仅有第一初始化电压信号线在衬底基板上的正投影与控制信号线在衬底基板上的正投影至少部分重叠，其他走线部不存在重叠的情况，该示例中的控制信号线例如可以包括用于控制第二复位晶体管栅极的第二复位控制信号线。

在本公开的一些可选实施例中，像素驱动电路包括第二复位晶体管，第二复位晶体管包括栅极、源极和漏极，初始化电压信号线包括第二初始化电压信号线，第二初始化电压信号线与第二复位晶体管的源极或漏极电连接，第二初始化电压信号线在衬底基板上的正投影与控制信号线在衬底基板上的正投影至少部分重叠，控制信号线包括扫描控制信号线。例如，像素驱动电路中仅有第二初始化电压信号线在衬底基板上

的正投影与控制信号线在衬底基板上的正投影至少部分重叠，其他走线部不存在重叠的情况，此处的控制信号线例如可以包括用于控制数据写入晶体管栅极的第一扫描控制信号线。

在本公开的一些可选实施例中，像素驱动电路包括第三复位晶体管，第三复位晶体管包括栅极、源极和漏极，初始化电压信号线包括第三初始化电压信号线，第三初始化电压信号线与第三复位晶体管的源极或漏极电连接，第三初始化电压信号线在衬底基板上的正投影与控制信号线在衬底基板上的正投影至少部分重叠，控制信号线包括发光控制信号线。例如，像素驱动电路中仅有第三初始化电压信号线在衬底基板上的正投影与控制信号线在衬底基板上的正投影至少部分重叠，其他走线部不存在重叠的情况，此处的控制信号线例如可以包括用于控制第一发光控制晶体管和/或第二发光控制晶体管晶体管栅极的发光控制信号线。

图 22 是根据本公开的另一些示例性实施例的显示基板的局部平面图，其示意性示出了 2 个相邻的子像素的像素驱动电路。图 23 至图 32 分别是根据本公开的图 22 的实施例的显示基板的局部平面图，其中，图 23 为所述显示基板的遮光层的局部平面图，图 24 为所述显示基板的第一半导体层的局部平面图，图 25 是所述显示基板的第一导电层的局部平面图，图 26 为所述显示基板的第二导电层的局部平面图，图 27 为所述显示基板的第二半导体层的局部平面图，图 28 是所述显示基板的第三导电层的局部平面图，图 29 是所述显示基板的第一绝缘层的局部平面图，其示意性示出了位于该第一绝缘层中的多个过孔，图 30 是所述显示基板的第四导电层的局部平面图，图 31 是所述显示基板的第二绝缘层的局部平面图，其示意性示出了位于该第二绝缘层中的多个过孔，图 32 是所述显示基板的第五导电层的局部平面图。

结合参照图 21 至图 22 以及图 50，所述显示基板可以包括衬底基板 10，设置于衬底基板 10 上的遮光层 LS，设置于遮光层 LS 远离衬底基板一侧的第一半导体层 21，设置于第一半导体层 21 远离衬底基板一侧的第一导电层 31，设置于第一导电层 31 远离衬底基板一侧的第二导电层 32，设置于第二导电层 32 远离衬底基板一侧的第二半导体层 22，设置于第二半导体层 22 远离衬底基板一侧的第三导电层 33，设置于第三导电层 33 远离衬底基板一侧的第四导电层 34，设置于第四导电层 34 远离衬底基板一侧的第五导电层 35。

图 24 示出了第一半导体层 21。例如，如图 24 所示，第一半导体层 21 可用于制

作上述的第一复位晶体管 T1、驱动晶体管 T3、数据写入晶体管 T4、第二发光控制晶体管 T5、第一发光控制晶体管 T6、第二复位晶体管 T7 以及第三复位晶体管 T8 的有源层，以用于形成上述晶体管的沟道区。第一半导体层 21 可以包括各子像素的上述晶体管的有源区图案（沟道区）和掺杂区图案（源漏区），且同一像素驱动电路中的上述晶体管的有源区图案和掺杂区图案一体设置。

例如，第一半导体层 21 可以包括一体形成的低温多晶硅层，源极区域和漏极区域可以通过掺杂等进行导体化实现各结构的电连接。例如，上述的源极区域和漏极区域可为掺杂有 p 型杂质的区域。

图 25 示出了位于第一半导体层 21 远离衬底基板一侧的第一导电层 31。例如，如图 25 所示，第一扫描控制信号线 81、存储电容器 Cst 的第一电容电极 Cst1、发光控制信号线 85、第二复位控制信号线 84、第一复位控制信号线 83 可以位于第一导电层 31 中。例如，第一导电层 31 可以包括第一复位晶体管 T1、驱动晶体管 T3、数据写入晶体管 T4、第二发光控制晶体管 T5、第一发光控制晶体管 T6、第二复位晶体管 T7 以及第三复位晶体管 T8 的栅极。

需要说明的是，图 25 中的各虚线矩形框示出了第一半导体层 21 与第一导电层 31 交叠的各个部分，即沟道区。作为各个晶体管的沟道区，在每个沟道区两侧的有源半导体层通过离子掺杂等工艺导体化作为各个晶体管的第一极和第二极。晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在物理结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管，除作为控制极的栅极，直接描述了其中一极为第一极，另一极为第二极，所以本公开的实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。

例如，结合参照图 22、图 24 和图 25，第一复位晶体管 T1 的栅极可以为第一复位控制信号线 83 与第一半导体层 21 交叠的部分。数据写入晶体管 T4 的栅极可以为第一扫描控制信号线 81 与第一半导体层 21 交叠的部分。第一发光控制晶体管 T6 的栅极可以为发光控制信号线 85 与第一半导体层 21 交叠的第一部分，第二发光控制晶体管 T5 的栅极可以为发光控制信号线 85 与第一半导体层 21 交叠的第二部分。第三复位晶体管 T8 的栅极为第二复位控制信号线 84 与第一半导体层 21 交叠的第一部分，第二复位晶体管 T7 的栅极为第二复位控制信号线 84 与第一半导体层 21 交叠的第二部分。

图 26 示出了第一导电层 31 远离衬底基板一侧的第二导电层 32。例如，如图 26

所示，第二扫描控制信号线 82、存储电容器 Cst 的第二电容电极 Cst2 以及补偿控制信号线 82 可以位于第二导电层 32 中。

图 27 示出了第二导电层 32 远离衬底基板一侧的第二半导体层 22。例如，如图 27 所示，第二半导体层 22 包括补偿晶体管 T2 的沟道区。例如，补偿晶体管 T2 中的有源层采用氧化物半导体的情况下，因用氧化物半导体的晶体管具备磁滞特性好、漏电流低的特点，故可以采用氧化物半导体的晶体管代替晶体管中的低温多晶硅材料，形成低温多晶硅氧化物的（LTPO）像素驱动电路，实现低漏电，利于提高晶体管的栅极电压的稳定性。

例如，如图 22、图 26 和图 27 所示，补偿晶体管 T2 的栅极可以为第二扫描控制信号线 82 与第二半导体层 22 交叠的部分。具体地，为第一扫描控制信号子线 821 和第二扫描控制信号子线 822 与第二半导体层 22 交叠的部分。

图 28 示出了第二半导体层 22 远离衬底基板一侧的第三导电层 33。例如，如图 28 所示，另一第二扫描控制信号线 82、第一初始化电压信号线 86、第二初始化电压信号线 87 和第三初始化电压信号线 88 可以位于第三导电层 33 中。

例如，如图 22 至图 28 所示，另一第二扫描控制信号线 82 与补偿晶体管 T2 的沟道区交叠，补偿晶体管 T2 包括位于有源层两侧的顶栅和底栅。

也就是说，在本公开的实施例中，补偿晶体管 T2 可以具有双栅结构，即分别包括顶栅和底栅。

在本公开的实施例中，第二扫描控制信号线 82 可以包括第一扫描控制信号子线 821 和第二扫描控制信号子线 822，将位于第二导电层 32 中的第二扫描控制信号线描述为第一扫描控制信号子线 821，将位于第三导电层 33 中的第二扫描控制信号线描述为第二扫描控制信号子线 822。第一扫描控制信号子线 821 与第二半导体层 22 交叠的部分构成补偿晶体管 T2 的底栅，第二扫描控制信号子线 822 与第二半导体层 22 交叠的部分构成补偿晶体管 T2 的顶栅。

例如，补偿晶体管 T2 可以为 N 型晶体管。第一复位晶体管 T1、驱动晶体管 T3、数据写入晶体管 T4、第二发光控制晶体管 T5、第一发光控制晶体管 T6、第二复位晶体管 T7 以及第三复位晶体管 T8 可以为 P 型晶体管。

图 30 示出了位于第三导电层 33 远离衬底基板一侧的第四导电层 34。例如，如图 30 所示，显示基板还可以包括位于第四导电层 34 中的多个连接部，例如，所述多个

连接部可以包括连接部 341、连接部 342、连接部 343'、第二电压信号线转接部 344、连接部 345、第一电源信号线转接部 346、连接部 347、连接部 348、第一初始化电压连接部 349 以及连接部 350。

图 32 示出了位于第四导电层 34 远离衬底基板一侧的第五导电层 35。例如，如图 32 所示，数据线 91 和第一电源信号线 92 可以位于第五导电层 35 中。

结合参照图 22 至图 32，连接部 341、连接部 342、第二电压信号线转接部 344、连接部 345、第一电源信号线转接部 346、连接部 347、连接部 348、第一初始化电压连接部 349 与图 12 所示的连接部的布局相同，在此不再赘述。

本实施例的连接部 343' 与连接部 350 与上文所示的其他连接部存在一定区别，具体地，连接部 343' 可以用于电连接补偿晶体管 T2 的第一极与第一发光控制晶体管 T6 的第一极，即形成节点 N3。例如，连接部 343' 的一部分（例如中端）通过位于第一绝缘层 ILD 中的过孔 VH5 与补偿晶体管 T2 的第一极电连接，连接部 343' 的另一部分（例如一端）通过位于第一绝缘层 ILD 中的过孔 VH6 与第一发光控制晶体管 T6 的第一极电连接，连接部 343' 的又一部分（例如，另一端）通过第一绝缘层 ILD 中的过孔 VH20 与第一复位晶体管的第二极电连接。

连接部 350 可以电连接第二初始化电压信号线 87 以及第二复位晶体管 T7 的第一极，具体地，连接部 350 通过过孔 VH19 与第二初始化电压信号线 87 点连接，并通过过孔 VH12 与第二复位晶体管 T7 的第一极电连接。

图 33 和图 35 是图 23 所示的显示基板的局部平面图，其示意性示出了第一导电层和第三导电层的叠加图。图 34 和图 36 是图 23 所示的显示基板的局部平面图，其示意性示出了第一导电层、第三导电层和第四导电层的叠加图。

图 33 示意性示出了第一初始化电压信号线 86 与第二复位控制信号线或第三复位控制信号线 84 的层叠结构设置，图 34 示意性示出了第一初始化电压信号线的电连接方式，其示意性示出了第一导电层、第二半导体层、第三导电层和第四导电层的叠加图。

参照图 22 和图 34，第一初始化电压信号线 86 在衬底基板 10 上的正投影与第二复位控制信号线或第三复位控制信号线 84 在衬底基板上的正投影至少部分重叠。沿第一方向 X 延伸的第一初始化电压信号线 86 通过过孔 VH9 与第一初始化电压连接部 349 的一部分电连接，第一初始化电压连接部 349 的另一部分（例如另一端）通过过孔 VH10

与第一复位晶体管 T1 的第一极电连接,第一复位晶体管的第二极通过过孔 VH20 与连接部 343' 电连接,从而使第一初始化电压信号 Vinit1 对 N1 节点进行刷新。

在本公开的实施例中,结合图 21,例如,在 t2 和 t4 时刻,NGate 处于高电平,T2 导通,并且,PReseta 处于低电平,也开启,即在 t2 和 t4 时刻,第一复位晶体管 T1 和补偿控制晶体管 T2 导通,使得第一初始化电压信号 Vinit1 可以对 N1 节点进行刷新。并且,在 t2 和 t4 时刻,PRresetb 处于高电平,即处于关闭状态。通过将第一初始化电压信号线 86 与第二复位控制信号线或第三复位控制信号线 84 层叠设置,同时由于第一初始化电压信号线 86 与第二复位控制信号线或第三复位控制信号线 84 上的信号在时序上间隔开,不同时工作,可以防止信号之间的串扰。

如图 35 和图 36 所示,第二初始化电压信号线 87 在衬底基板 10 上的正投影与第一复位控制信号线 83 在衬底基板上的正投影至少部分重叠。沿第一方向 X 延伸的第二初始化电压信号线 87 通过过孔 VH19 与连接部 350 的一部分电连接,连接部 350 的另一部分(例如另一端)通过过孔 VH20 与 N4 节点电连接,从而使第二初始化电压信号 Vinit2 对 N4 节点进行刷新。通过将第二初始化电压信号线 87 与第一复位控制信号 83 层叠设置,同时由于第二初始化电压信号线 87 与第一复位控制信号线上的信号在时序上间隔开(信号 PRresetb 和信号 PReseta 间隔开),不同时工作,可以防止信号之间的串扰。

图 37 是本公开的一些示例性实施例的显示基板的局部放大图,其示意性示出了 8 个子像素的像素驱动电路。图 38 至图 47 是图 37 所示的显示基板的各个膜层的局部平面结构示意图。

图 37 是示意性示出了 8 个子像素的像素驱动电路,包括沿第一方向 X 排列的两行四个子像素以及沿第二方向 Y 排列的四列子像素,一共八个子像素。图 38 至图 47 分别是根据本公开的图 37 的实施例的显示基板的局部平面图,其中,图 38 为所述显示基板的遮光层 LS 的局部平面图,图 39 为所述显示基板的第一半导体层 21 的局部平面图,图 40 是所述显示基板的第一导电层 31 的局部平面图,图 41 为所述显示基板的第二导电层 32 的局部平面图,图 42 为所述显示基板的第二半导体层 22 的局部平面图,图 43 是所述显示基板的第三导电层 33 的局部平面图,图 44 是所述显示基板的第一绝缘层 ILD 的局部平面图,其示意性示出了位于该第一绝缘层中的多个过孔,图 45 是所述显示基板的第四导电层 34 的局部平面图,图 46 是所述显示基板的第二绝缘层

PLN 的局部平面图，其示意性示出了位于该第二绝缘层中的多个过孔，图 47 是所述显示基板的第五导电层 35 的局部平面图。

图 48 是本公开示例性的一些示例性实施例的显示基板的镂空区域的局部平面结构示意图。图 49 是本公开示例性的一些示例性实施例的显示基板的相邻的镂空区域之间的局部平面结构示意图。

如图 37 和图 48、图 49 所示，显示基板还包括至少一个镂空区域 M，所述至少一个镂空区域 M 包括第一侧 S1、第二侧 S2、第三侧 S3 和第四侧 S4，所述第一侧 S1 和所述第二侧 S2 为所述至少一个镂空区域在第一方向 X 上相对的两侧，所述第三侧 S3 和所述第四侧 S4 为所述至少一个镂空区域在第二方向 Y 上相对的两侧，

所述显示基板包括设置在所述衬底基板上的多个数据线，所述多个数据线分别沿第二方向 Y 延伸，所述多个数据线包括邻近所述至少一个镂空区域的第一数据线 W1 和第二数据线 W2，所述第一数据线 W1 和所述第二数据线 W2 在第一方向 X 上分别位于所述至少一个镂空区域的第一侧 S1 和第二侧 S2，所述第一复位控制信号线 83 和所述扫描控制信号线 81 邻近所述至少一个镂空区域，在第二方向 Y 上分别位于所述至少一个镂空区域的第三侧 S3 和第四侧 S4，所述第一复位控制信号线 83 和所述扫描控制信号线 81 分别与所述第一数据线 W1 和所述第二数据线 W2 交叉，以包围形成所述至少一个镂空区域 M。

示例性地，如图 49 所示，在镂空区域 M 的第一侧 S1 设置有沿第二方向 Y 延伸的第一数据线 W1，在镂空区域 M 的第二侧 S2 设置有沿第二方向 Y 延伸的第二数据线 W2。

在本公开的另一些示例性实施例中，所述显示基板包括设置在所述衬底基板上的多个数据线，所述多个数据线分别沿第二方向延伸，所述多个数据线包括邻近所述至少一个镂空区域的第一数据线和第二数据线，所述第一数据线和所述第二数据线在第一方向上分别位于所述至少一个镂空区域的第一侧和第二侧，所述扫描控制信号线 81 和所述补偿控制信号线 82 邻近所述至少一个镂空区域，在第二方向上分别位于所述至少一个镂空区域的第三侧和第四侧，所述扫描控制信号线 81 和所述补偿控制信号线 82 分别与所述第一数据线 W1 和所述第二数据线 W2 交叉，以包围形成所述至少一个镂空区域 M。在本实施例中，镂空区域 M 位于扫描控制信号线 81 和补偿控制信号线 82 之间。

如图 49 所示,第一数据线 W1 和第二数据线 W2 中的每一个包括主体部分和弯折部分,第一数据线 W1 的弯折部分相对于第一数据线的主体部分朝远离至少一个镂空区域 M 的方向弯折,第二数据线的弯折部分相对于第二数据线的主体部分朝远离至少一个镂空区域 M 的方向弯折,第一数据线的弯折部分和第二数据线的弯折部分朝相反的方向弯折。例如,第一数据线 W1 的弯折部分 W11 与第二数据线 W2 的弯折部分 W21 之间的间距大于第一数据线 W1 的主体部分 W12 与第二数据线 W2 的主体部分 W22 之间的间距。

第一复位控制信号线 83 和扫描控制信号线 81 中的每一个包括主体部分和弯折部分,第一复位控制信号线的弯折部分 8311 相对于第一复位控制信号线的主体部分 8312 朝远离至少一个镂空区域 M 的方向弯折,扫描控制信号线 81 的弯折部分 8111 相对于扫描控制信号线的主体部分 8112 朝远离至少一个镂空区域 M 的方向弯折,第一复位控制信号线的弯折部分 8311 和扫描控制信号线的弯折部分 8111 朝相反的方向弯折。

如图 49 所示,第一数据线 W1 的弯折部分 W11 和第二数据线 W2 的弯折部分 W21 与第一复位控制信号线的弯折部分 8311 和扫描控制信号线的弯折部分 8111 围成镂空区域 M。

如图 49 所示,在本实施例中,第二半导体层 22 与第一导体层 31 中的扫描控制信号线 81 存在交叠部分,如图 49 的虚线框所示的区域,在虚线框所示的区域内,通过将虚线框内扫描控制信号线 81 在衬底基板上的正投影设置为大于虚线框内第二半导体层 22 在衬底基板上的正投影,从而显示基板内的所有像素的第二半导体层 22 与第一导体层 31 中的扫描信号线 81 之间产生交叠电容大小一致,从而在不影响显示画质的情况下,有效提高镂空区域的面积。

在本公开的另一些示例性实施例中,扫描控制信号线和补偿控制信号线中的每一个包括主体部分和弯折部分,扫描控制信号线的弯折部分相对于扫描控制信号线的主体部分朝远离所述至少一个镂空区域 M 的方向弯折,补偿控制信号线的弯折部分相对于补偿控制信号线的主体部分朝远离至少一个镂空区域 M 的方向弯折,扫描控制信号线的弯折部分和补偿控制信号线的弯折部分朝相反的方向弯折。在本实施例中,第一数据线的弯折部分和第二数据线的弯折部分与扫描控制信号线的弯折部分和补偿控制信号线的弯折部分围成镂空区域 M。

在本公开的一些示例性实施例中,显示基板包括位于第四导电层 34 中的数据信号

转接部，即上文所述的连接部，数据信号转接部的一部分通过第五过孔与第一数据线或第二数据线电连接，在第一区域中，数据信号转接部在衬底基板上的正投影与第一复位控制信号子线 831 在衬底基板上的正投影至少部分重叠，数据信号转接部在衬底基板上的正投影与第二复位控制信号子线 832 在衬底基板上的正投影至少部分重叠，通过将数据信号转接部在衬底基板上的正投影与第一复位控制信号子线或第二复位控制信号子线在衬底基板上的正投影至少部分重叠，从而保证过孔的面积，保证信号的传输。第一复位控制信号子线 831 在衬底基板上的正投影与第二复位控制信号子线 832 在衬底基板上的正投影至少部分不重叠，在保证不影响复位控制信号的稳定性的情况下，提高显示基板的空间利用率。

本公开的至少一些实施例还提供一种显示装置。该显示装置可以包括如上所述的显示基板。所述显示装置包括显示区域 AA 和非显示区域 NA，非显示区域 NA 具有较小的宽度以及较高的像素密度，从而实现了窄边框以及高密度 PPI 的显示装置。

所述显示装置可以包括任何具有显示功能的设备或产品。例如，所述显示装置可以是智能电话、移动电话、电子书阅读器、台式电脑（PC）、膝上型 PC、上网本 PC、个人数字助理（PDA）、便携式多媒体播放器（PMP）、数字音频播放器、移动医疗设备、相机、可穿戴设备（例如头戴式设备、电子服饰、电子手环、电子项链、电子配饰、电子纹身、或智能手表）、电视机等。

应该理解，根据本公开实施例的显示装置具有上述显示基板的所有特点和优点，具体可以参见上文的描述，在此不再赘述。

在本文中，术语“基本上”、“大约”、“近似”、“大致”和其它类似的术语用作近似的术语而不是用作程度的术语，并且它们意图解释将由本领域普通技术人员认识到的测量值或计算值的固有偏差。考虑到工艺波动、测量问题和与特定量的测量有关的误差(即，测量系统的局限性)等因素，如这里所使用的“大约”或“近似”包括所陈述的值，并表示对于本领域普通技术人员所确定的特定值在可接受的偏差范围内。例如，“大约”可以表示在一个或多个标准偏差内，或者在所陈述的值的 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 内。

虽然本公开的总体技术构思的一些实施例已被显示和说明，本领域普通技术人员将理解，在不背离所述总体技术构思的原则和精神的情况下，可对这些实施例做出改变，本公开的范围以权利要求和它们的等同物限定。

权 利 要 求

1. 一种显示基板，其中，包括：

衬底基板；

设置在所述衬底基板上的多个子像素，所述多个子像素沿第一方向和第二方向布置，至少一个所述子像素包括发光元件；

设置在所述衬底基板上的多个像素驱动电路，所述多个像素驱动电路沿第一方向和第二方向布置，所述多个像素驱动电路用于分别驱动所述多个子像素的发光元件，至少一个所述像素驱动电路包括至少两个晶体管；

设置于所述衬底基板上的初始化电压信号线，所述初始化电压信号线包括沿第一方向延伸的部分，所述初始化电压信号线用于给所述像素驱动电路提供初始化电压信号；

设置于所述衬底基板上的控制信号线，所述控制信号线包括沿第一方向延伸的部分，所述控制信号线用于给所述像素驱动电路提供控制信号，以控制所述像素驱动电路的至少两个晶体管导通；

其中，在用于驱动一行子像素的像素驱动电路的一帧内，所述控制信号线上的控制信号在至少一个第一时间段内控制所述像素驱动电路的至少两个晶体管导通，所述初始化电压信号线上的初始化电压信号在第二时间段内提供给所述像素驱动电路，所述第一时间段和所述第二时间段在时序上间隔设置；以及

所述初始化电压信号线和所述控制信号线位于不同的导电层中，所述初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，

在一个子像素内，重叠部分的面积与所述控制信号线在所述衬底基板上的正投影面积的比值在 60%至 100%的范围。

2. 根据权利要求 1 所述的显示基板，其中，所述像素驱动电路包括第一复位晶体管，所述第一复位晶体管包括栅极、源极和漏极，

所述初始化电压信号线包括第一初始化电压信号线，所述第一初始化电压信号线与所述第一复位晶体管的源极或漏极电连接，

所述第一初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，

所述控制信号线包括复位控制信号线。

3. 根据权利要求1所述的显示基板，其中，所述像素驱动电路包括第二复位晶体管，所述第二复位晶体管包括栅极、源极和漏极，

所述初始化电压信号线包括第二初始化电压信号线，所述第二初始化电压信号线与所述第二复位晶体管的源极或漏极电连接，

所述第二初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，所述控制信号线包括扫描控制信号线。

4. 根据权利要求1所述的显示基板，其中，所述像素驱动电路包括第三复位晶体管，所述第三复位晶体管包括栅极、源极和漏极，

所述初始化电压信号线包括第三初始化电压信号线，所述第三初始化电压信号线与所述第三复位晶体管的源极或漏极电连接，

所述第三初始化电压信号线在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，所述控制信号线包括发光控制信号线。

5. 根据权利要求1所述的显示基板，其中，所述像素驱动电路包括第一复位晶体管、第二复位晶体管和第三复位晶体管，所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管中的每一个均包括栅极、源极和漏极，

所述初始化电压信号线包括第一初始化电压信号线，所述第一初始化电压信号线与所述第一复位晶体管的源极或漏极电连接，

所述初始化电压信号线包括第二初始化电压信号线，所述第一初始化电压信号线与所述第二复位晶体管的源极或漏极电连接，

所述初始化电压信号线包括第三初始化电压信号线，所述第一初始化电压信号线与所述第三复位晶体管的源极或漏极电连接，

所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线中的至少一个在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠。

6. 根据权利要求 5 所述的显示基板，其中，所述像素驱动电路还包括数据写入晶体管和发光控制晶体管，所述数据写入晶体管和发光控制晶体管包括栅极、源极和漏极，所述控制信号线包括第一复位控制信号线、第二复位控制信号线、扫描控制信号线和发光控制信号线，所述第一复位控制信号线与所述第一复位晶体管的栅极电连接，所述第二复位控制信号线与所述第二复位晶体管的栅极或所述第三复位晶体管的栅极电连接，所述扫描控制信号线与所述数据写入晶体管的栅极电连接，所述发光控制信号线与所述发光控制晶体管的栅极电连接，

所述第一初始化电压信号线在所述衬底基板上的正投影和所述第二复位控制信号线在所述衬底基板上的正投影至少部分重叠，

所述第一初始化电压信号线在所述衬底基板上的正投影与所述第一复位控制信号线在所述衬底基板上的正投影不重叠，

所述第一初始化电压信号线在所述衬底基板上的正投影与所述扫描控制信号线在所述衬底基板上的正投影不重叠，

所述第一初始化电压信号线在所述衬底基板上的正投影与所述发光控制信号线在所述衬底基板上的正投影不重叠。

7. 根据权利要求 6 所述的显示基板，其中，

所述第二初始化电压信号线在所述衬底基板上的正投影与所述扫描控制信号线在所述衬底基板上的正投影至少部分重叠，

所述第二初始化电压信号线在所述衬底基板上的正投影与所述第二复位控制信号线在所述衬底基板上的正投影不重叠，

所述第二初始化电压信号线在所述衬底基板上的正投影与所述发光控制信号线在所述衬底基板上的正投影不重叠。

8. 根据权利要求 7 所述的显示基板，其中，

所述第三初始化电压信号线在所述衬底基板上的正投影与所述发光控制信号线在所述衬底基板上的正投影至少部分重叠，

所述第三初始化电压信号线在所述衬底基板上的正投影与所述第一复位控制信号线在所述衬底基板上的正投影不重叠，

所述第三初始化电压信号线在所述衬底基板上的正投影与所述第二复位控制信号线在所述衬底基板上的正投影不重叠，

所述第三初始化电压信号线在所述衬底基板上的正投影与所述扫描控制信号线在所述衬底基板上的正投影不重叠。

9. 根据权利要求 8 所述的显示基板，其中，所述显示基板包括：

设置在所述衬底基板上的第一半导体层；

设置在所述第一半导体层远离所述衬底基板一侧的第一导电层；

设置在所述第一导电层远离所述衬底基板一侧的第二导电层；

设置在所述第二导电层远离所述衬底基板一侧的第二半导体层；

设置在所述第二半导体层远离所述衬底基板一侧的第三导电层；

设置在所述第三导电层远离所述衬底基板一侧的第四导电层；

设置在所述第四导电层远离所述衬底基板一侧的第五导电层，

其中，所述第一初始化电压信号线位于所述第三导电层，所述第二复位控制信号线位于所述第一导电层。

10. 根据权利要求 9 所述的显示基板，其中，所述扫描控制信号线位于所述第一导电层，所述第二初始化电压信号线位于所述第四导电层。

11. 根据权利要求 9 所述的显示基板，其中，所述发光控制信号线位于所述第一导电层，所述第三初始化电压信号线位于所述第三导电层。

12. 根据权利要求 9 所述的显示基板，其中，所述第二复位控制信号线位于所述第一导电层。

13. 根据权利要求 9 所述的显示基板，其中，所述显示基板还包括位于所述衬底基板的第一电源信号线，所述第一电源信号线沿第二方向延伸，两列子像素共用一个所述第一电源信号线，

所述显示基板包括位于所述第二导电层中的第一导电转接部、位于所述第四导电层中的第一电源信号线转接部和第二电压信号线转接部，位于同一行的两个相邻子像

素的像素驱动电路具有各自的第一导电转接部和第二电压信号线转接部，位于同一行的两个相邻子像素的像素驱动电路共用所述第一电源信号线转接部，

所述第一电源信号线通过第一过孔与所述第一电源信号线转接部电连接，所述第一电源信号线转接部的两端分别通过第二过孔与位于同一行的两个相邻子像素的像素驱动电路的第一导电转接部电连接，所述第一导电转接部通过第三过孔与所述第二电压信号线转接部的一端电连接，所述第二电压信号线转接部的另一端通过第四过孔与第一发光控制晶体管的源极或漏极电连接。

14. 根据权利要求 13 所述的显示基板，其中，所述显示基板还包括位于第四导电层中的第一初始化电压连接部，

所述第一初始化电压连接部的一端通过第五过孔与第一初始化电压信号线电连接，所述第一初始化电压连接部的另一端通过第六过孔分别与同一行的两个相邻子像素的第一复位晶体管的源极或漏极电连接。

15. 根据权利要求 14 所述的显示基板，其中，所述显示基板还包括位于第四导电层中的第二初始化电压连接部，

所述第二初始化电压连接部的两端分别通过第七过孔与第三初始化电压信号线电连接，位于两端之间的中端通过第八过孔与同一行的两个相邻子像素的第三复位晶体管的源极或漏极电连接，

所述第二初始化电压连接部在所述第一方向上位于所述第一初始化电压连接部和所述第二电压信号线转接部之间。

16. 根据权利要求 9 至 15 中任一项所述的显示基板，其中，所述第一复位晶体管为 P 型晶体管，所述第一复位控制信号线位于所述第一导电层，

所述第二初始化电压信号线在所述衬底基板上的正投影与所述第一复位控制信号线在所述衬底基板上的正投影至少部分重叠。

17. 根据权利要求 16 中所述的显示基板，其中，所述第一复位晶体管包括有源层，所述第一复位晶体管的有源层位于所述第一半导体层。

18. 根据权利要求 9 所述的显示基板，其中，所述显示基板还包括至少一个镂空区域，所述至少一个镂空区域包括第一侧、第二侧、第三侧和第四侧，所述第一侧和所述第二侧为所述至少一个镂空区域在第一方向上相对的两侧，所述第三侧和所述第四侧为所述至少一个镂空区域在第二方向上相对的两侧，

所述显示基板包括设置在所述衬底基板上的多个数据线，所述多个数据线分别沿第二方向延伸，所述多个数据线包括邻近所述至少一个镂空区域的第一数据线和第二数据线，所述第一数据线和所述第二数据线在第一方向上分别位于所述至少一个镂空区域的第一侧和第二侧，

所述第一复位控制信号线和所述扫描控制信号线邻近所述至少一个镂空区域，在第二方向上分别位于所述至少一个镂空区域的第三侧和第四侧，

所述第一复位控制信号线和所述扫描控制信号线分别与所述第一数据线和所述第二数据线交叉，以包围形成所述至少一个镂空区域。

19. 根据权利要求 9 所述的显示基板，其中，所述显示基板还包括至少一个镂空区域，所述至少一个镂空区域包括第一侧、第二侧、第三侧和第四侧，所述第一侧和所述第二侧为所述至少一个镂空区域在第一方向上相对的两侧，所述第三侧和所述第四侧为所述至少一个镂空区域在第二方向上相对的两侧，

所述显示基板包括设置在所述衬底基板上的多个数据线，所述多个数据线分别沿第二方向延伸，所述多个数据线包括邻近所述至少一个镂空区域的第一数据线和第二数据线，所述第一数据线和所述第二数据线在第一方向上分别位于所述至少一个镂空区域的第一侧和第二侧，

所述第一复位控制信号线和补偿控制信号线邻近所述至少一个镂空区域，在第二方向上分别位于所述至少一个镂空区域的第三侧和第四侧，

所述第一复位控制信号线和所述补偿控制信号线分别与所述第一数据线和所述第二数据线交叉，以包围形成所述至少一个镂空区域。

20. 根据权利要求 18 或 19 所述的显示基板，其中，所述第一数据线和所述第二数据线中的每一个包括主体部分和弯折部分，所述第一数据线的弯折部分相对于所述第一数据线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第二数据线的

弯折部分相对于所述第二数据线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第一数据线的弯折部分和所述第二数据线的弯折部分朝相反的方向弯折。

21. 根据权利要求 18 所述的显示基板，其中，所述第一复位控制信号线和所述扫描控制信号线中的每一个包括主体部分和弯折部分，所述第一复位控制信号线的弯折部分相对于所述第一复位控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述扫描控制信号线的弯折部分相对于所述扫描控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第一复位控制信号线的弯折部分和所述扫描控制信号线的弯折部分朝相反的方向弯折。

22. 根据权利要求 19 所述的显示基板，其中，所述第一复位控制信号线和所述补偿控制信号线中的每一个包括主体部分和弯折部分，所述第一复位控制信号线的弯折部分相对于所述第一复位控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述补偿控制信号线的弯折部分相对于所述补偿控制信号线的主体部分朝远离所述至少一个镂空区域的方向弯折，所述第一复位控制信号线的弯折部分和所述补偿控制信号线的弯折部分朝相反的方向弯折。

23. 根据权利要求 1 至 8 中任一项所述的显示基板，其中，在一个子像素内，重叠部分的面积与所述控制信号线在所述衬底基板上的正投影面积的比值在 80%至 95% 的范围。

24. 一种显示基板，其中，包括：

衬底基板；

设置在所述衬底基板上的多个子像素，所述多个子像素沿第一方向和第二方向布置，至少一个所述子像素包括发光元件；

设置在所述衬底基板上的多个像素驱动电路，所述多个像素驱动电路沿第一方向和第二方向布置，所述多个像素驱动电路用于分别驱动所述多个子像素的发光元件，至少一个所述像素驱动电路包括第一复位晶体管、第二复位晶体管和第三复位晶体管；

设置于所述衬底基板上的初始化电压信号线，所述初始化电压信号线包括沿第一方向延伸的部分，所述初始化电压信号线用于给所述像素驱动电路提供初始化电压信

号，所述初始化电压信号线包括第一初始化电压信号线、第二初始化电压信号线和第三初始化电压信号线，所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线分别与所述第一复位晶体管、所述第二复位晶体管和所述第三复位晶体管的第一极电连接；

设置于所述衬底基板上的控制信号线，所述控制信号线包括沿第一方向延伸的部分，所述控制信号线用于给所述像素驱动电路提供控制信号，以控制所述像素驱动电路的至少两个晶体管导通；

其中，在用于驱动一行子像素的像素驱动电路的一帧内，所述控制信号线上的控制信号在至少一个第一时间段内控制所述像素驱动电路的至少两个晶体管导通，所述初始化电压信号线上的初始化电压信号在第二时间段内提供给所述像素驱动电路，所述第一时间段和所述第二时间段在时序上间隔设置；以及

所述初始化电压信号线和所述控制信号线位于不同的导电层中，所述第一初始化电压信号线、所述第二初始化电压信号线和所述第三初始化电压信号线中每一个在所述衬底基板上的正投影与所述控制信号线在所述衬底基板上的正投影至少部分重叠，在一个子像素内，重叠部分的面积与所述控制信号线在所述衬底基板上的正投影面积的比值在 60%至 100%的范围。

25. 一种显示装置，其中，包括如权利要求 1 至 23 中任一项所述的显示基板或如权利要求 24 所述的显示基板。

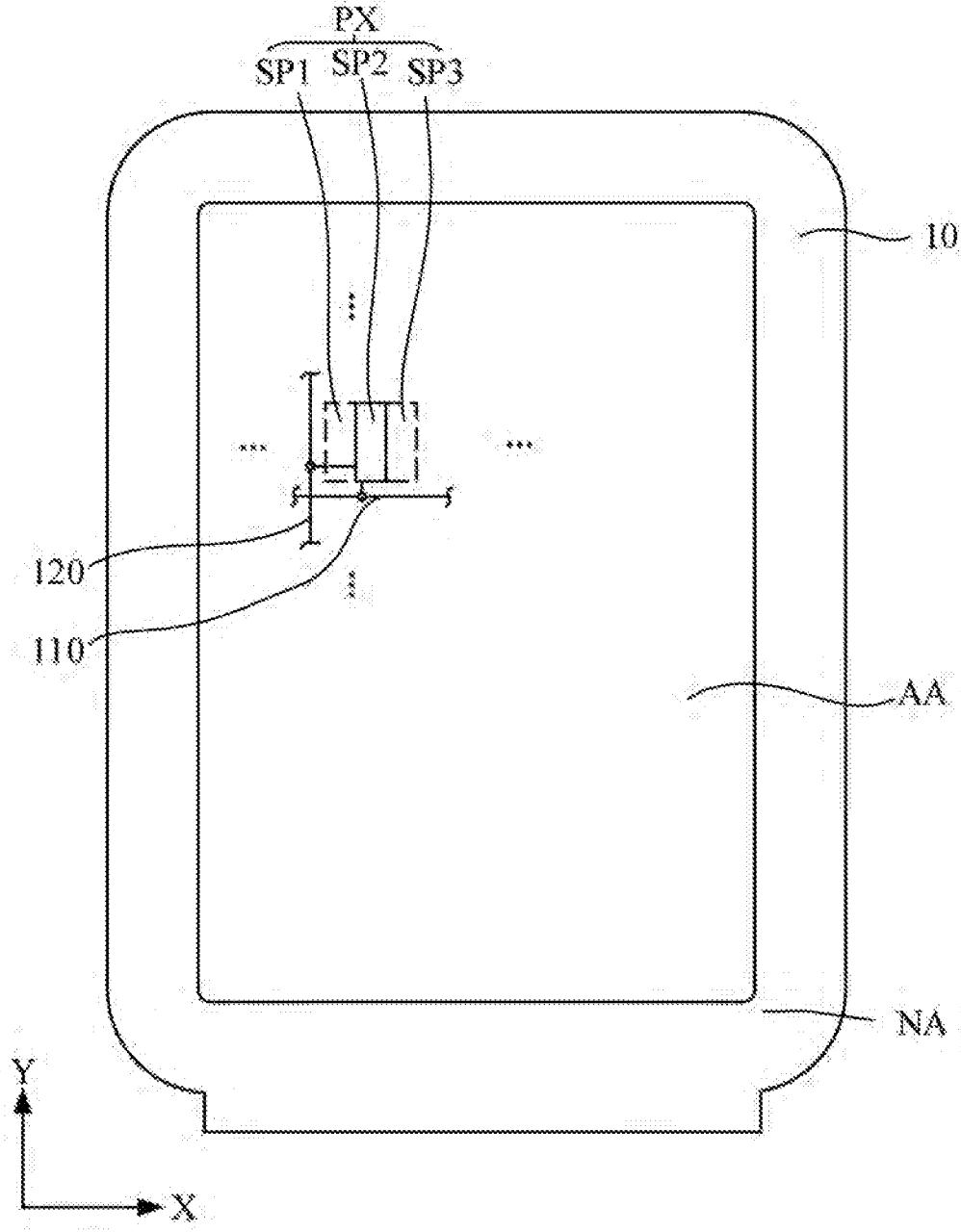


图 1

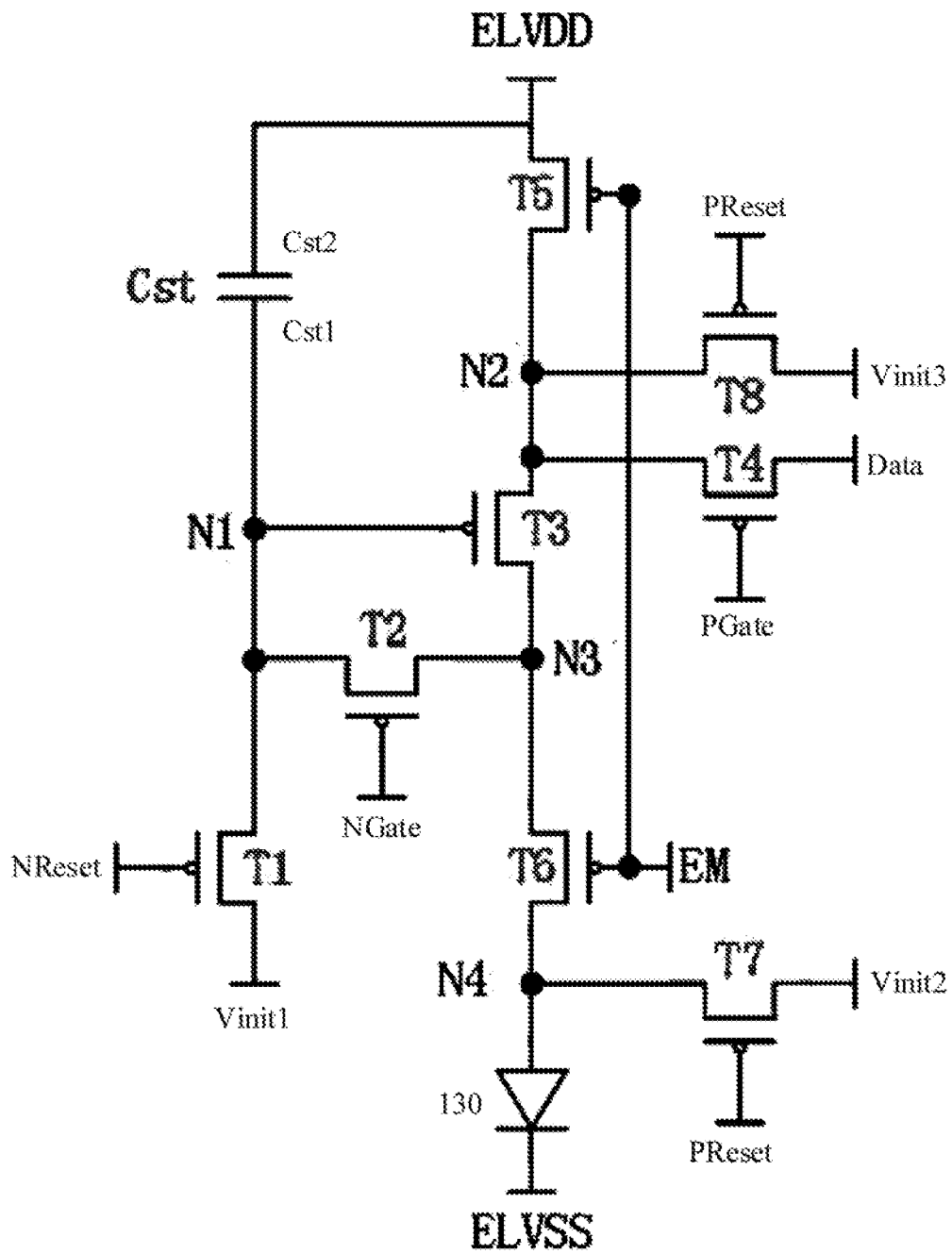


图 2

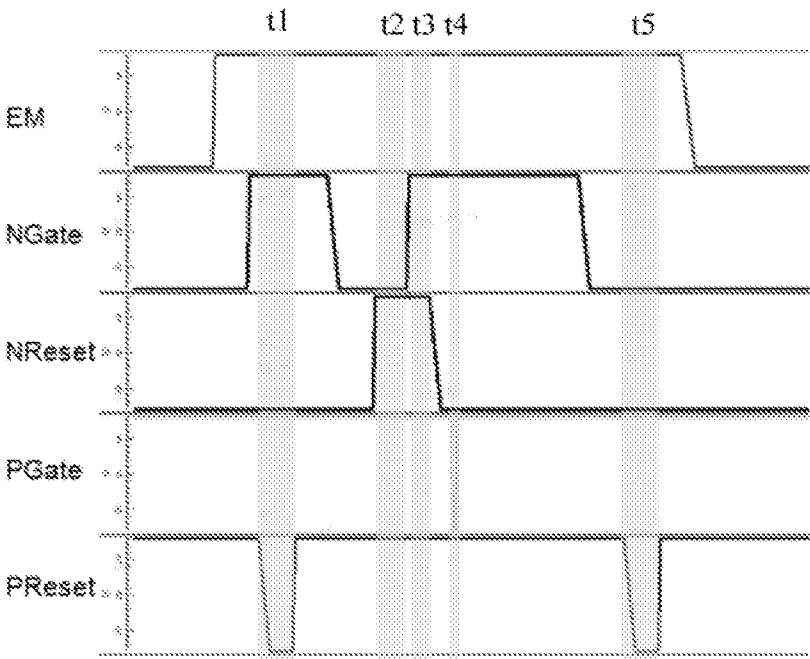


图 3

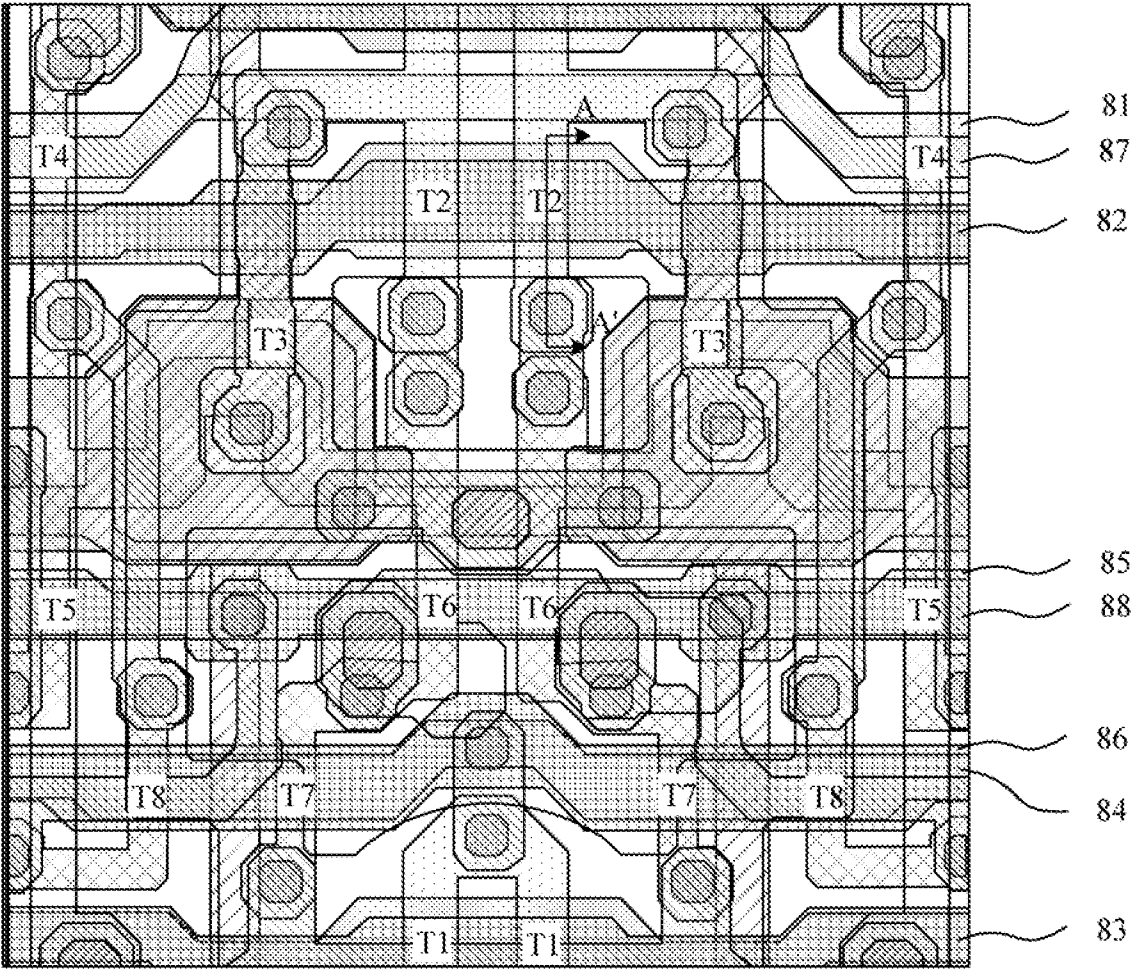


图 4

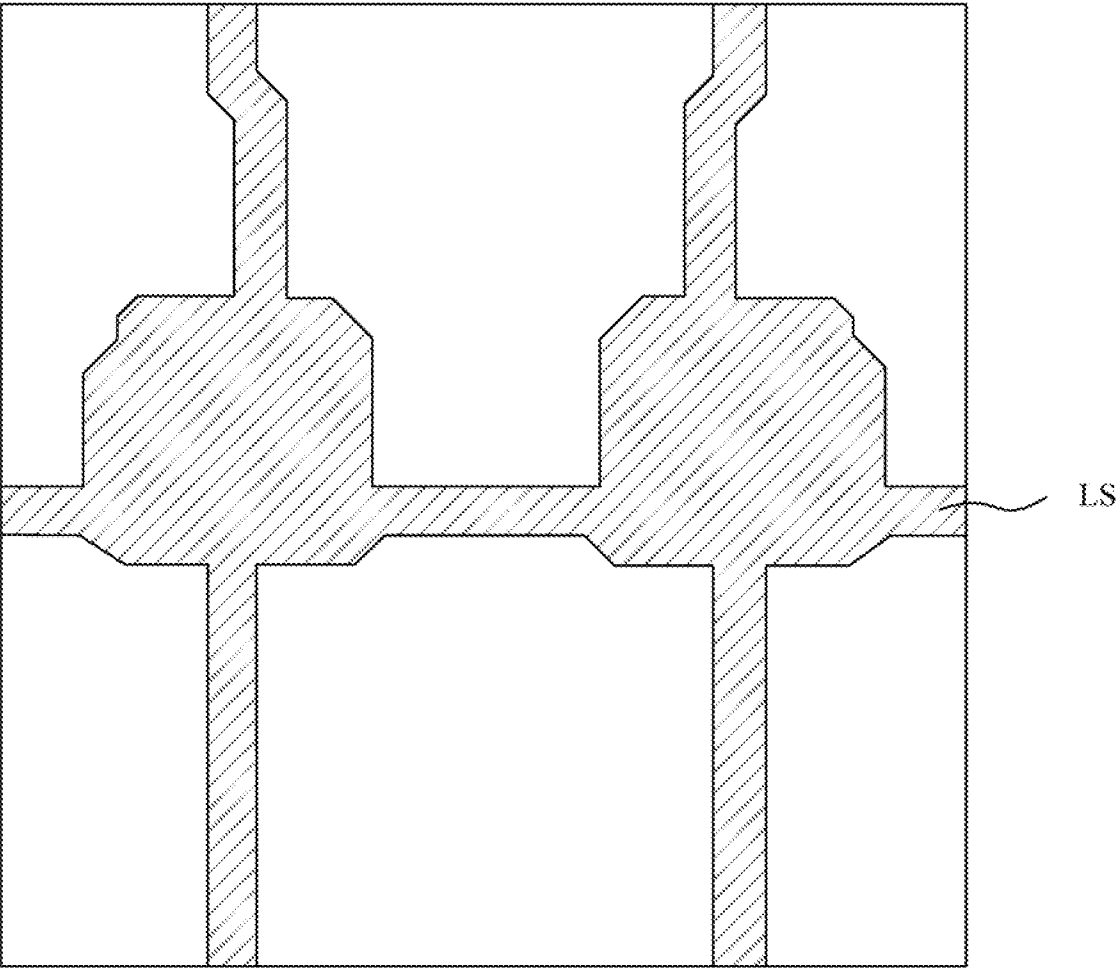


图 5

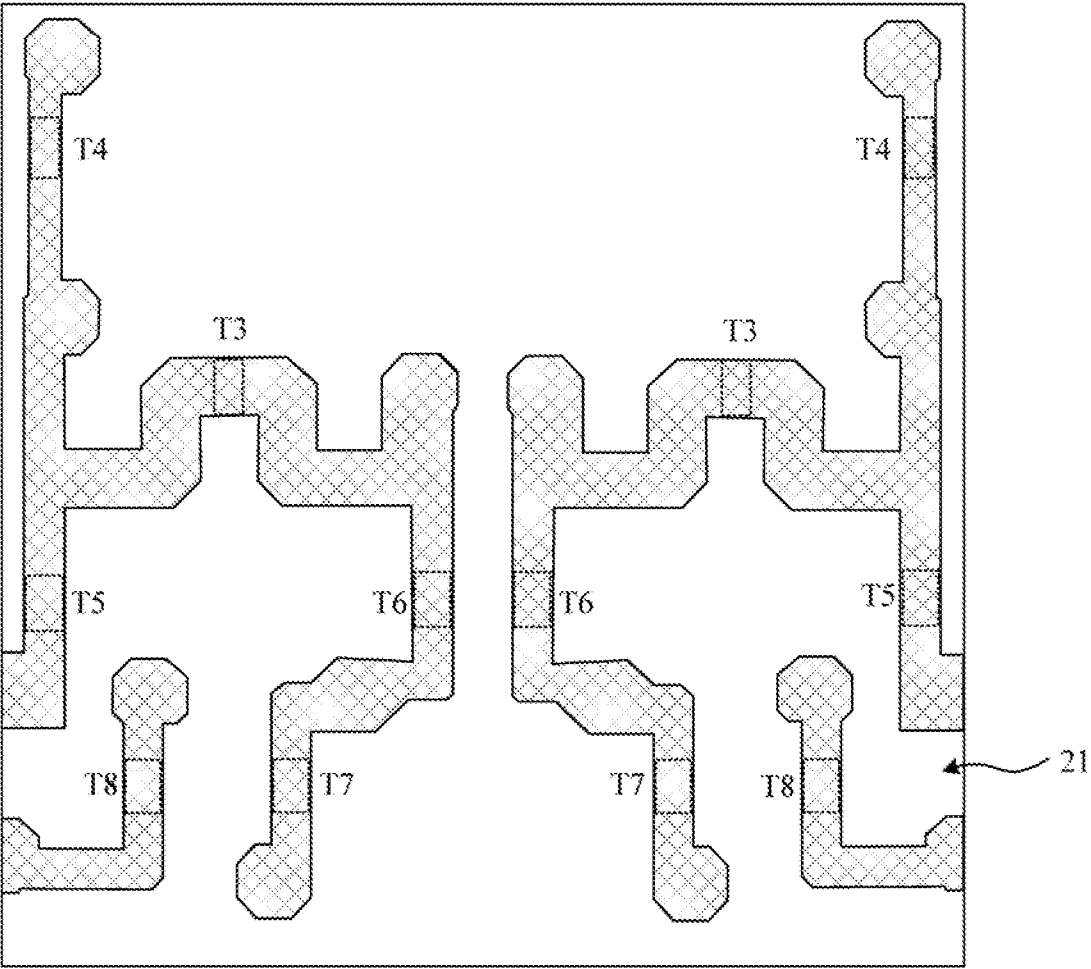


图 6

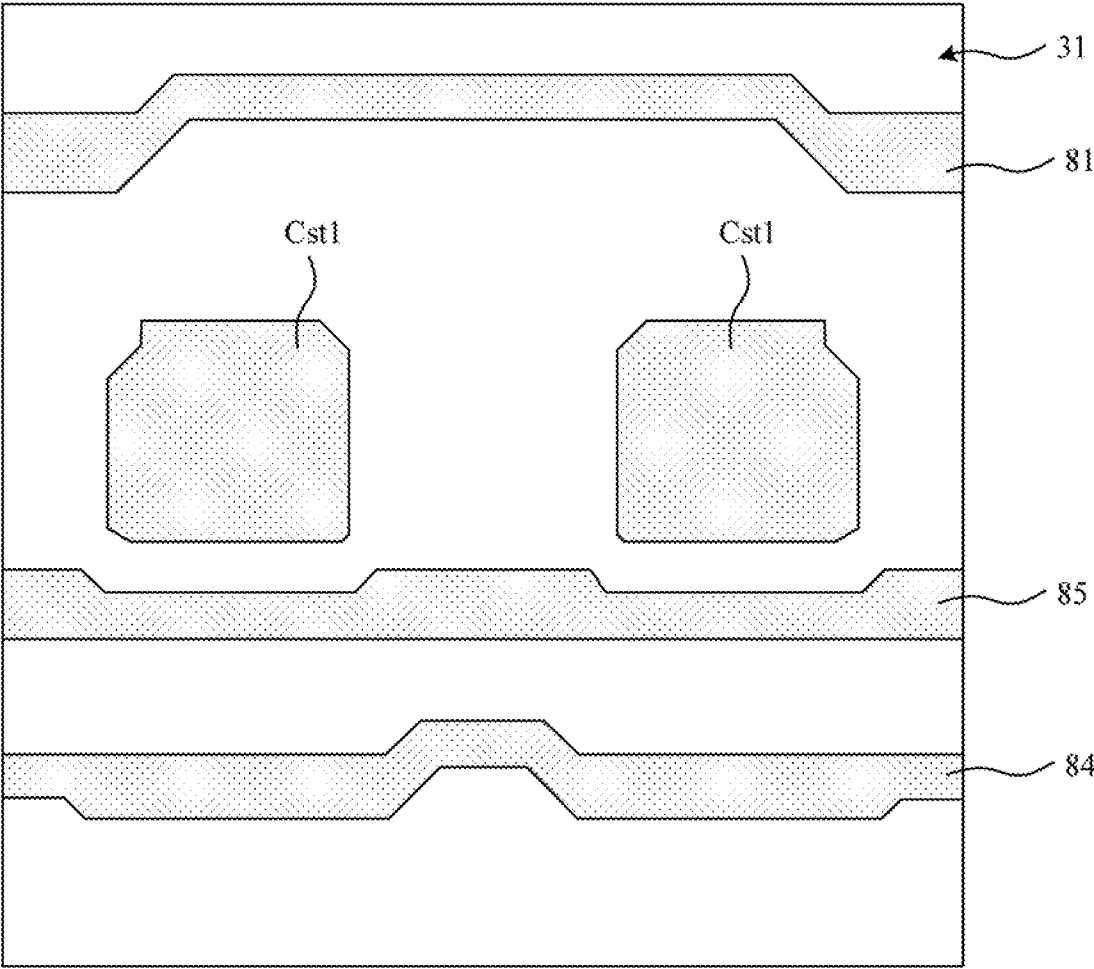


图 7

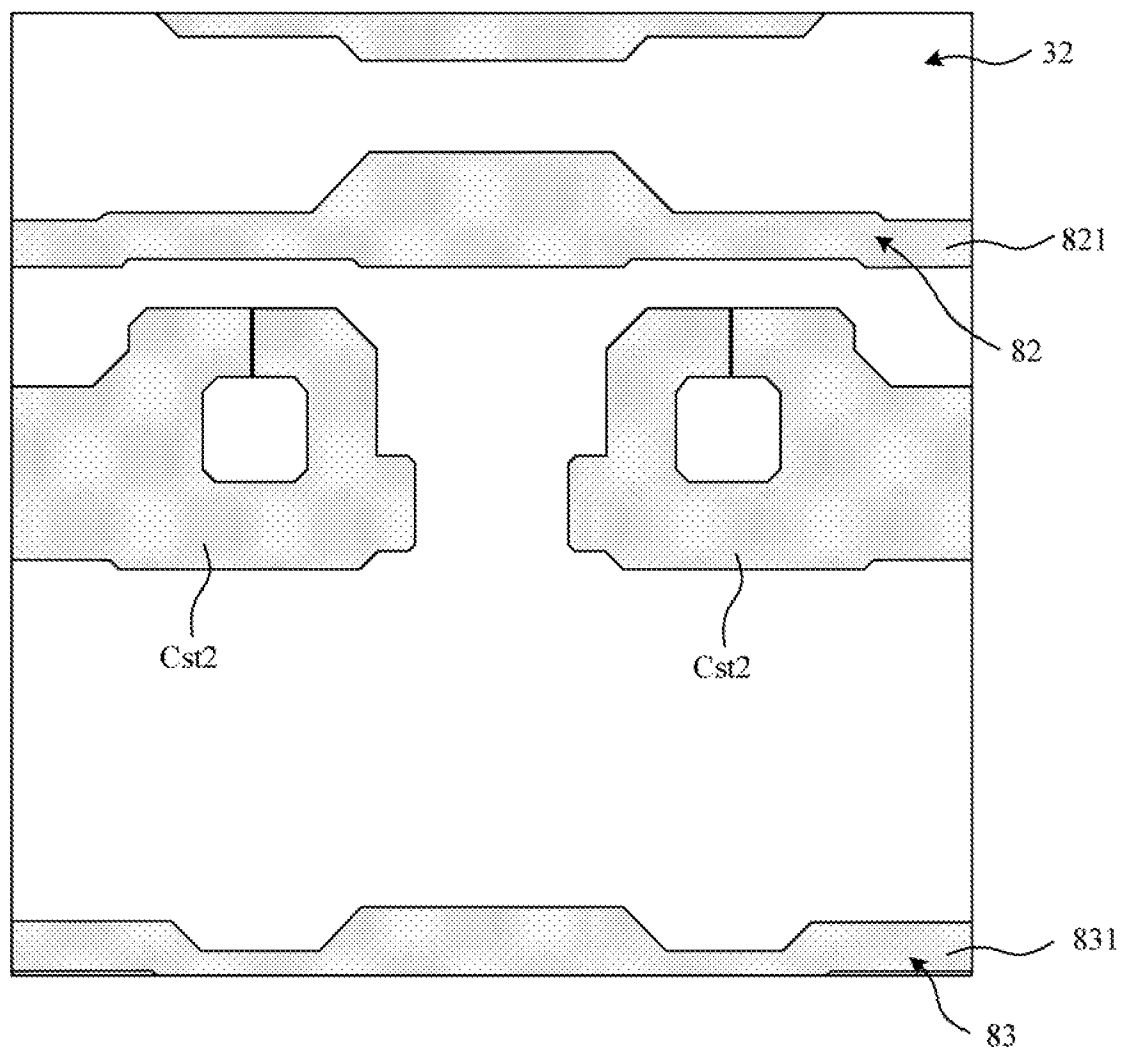


图 8

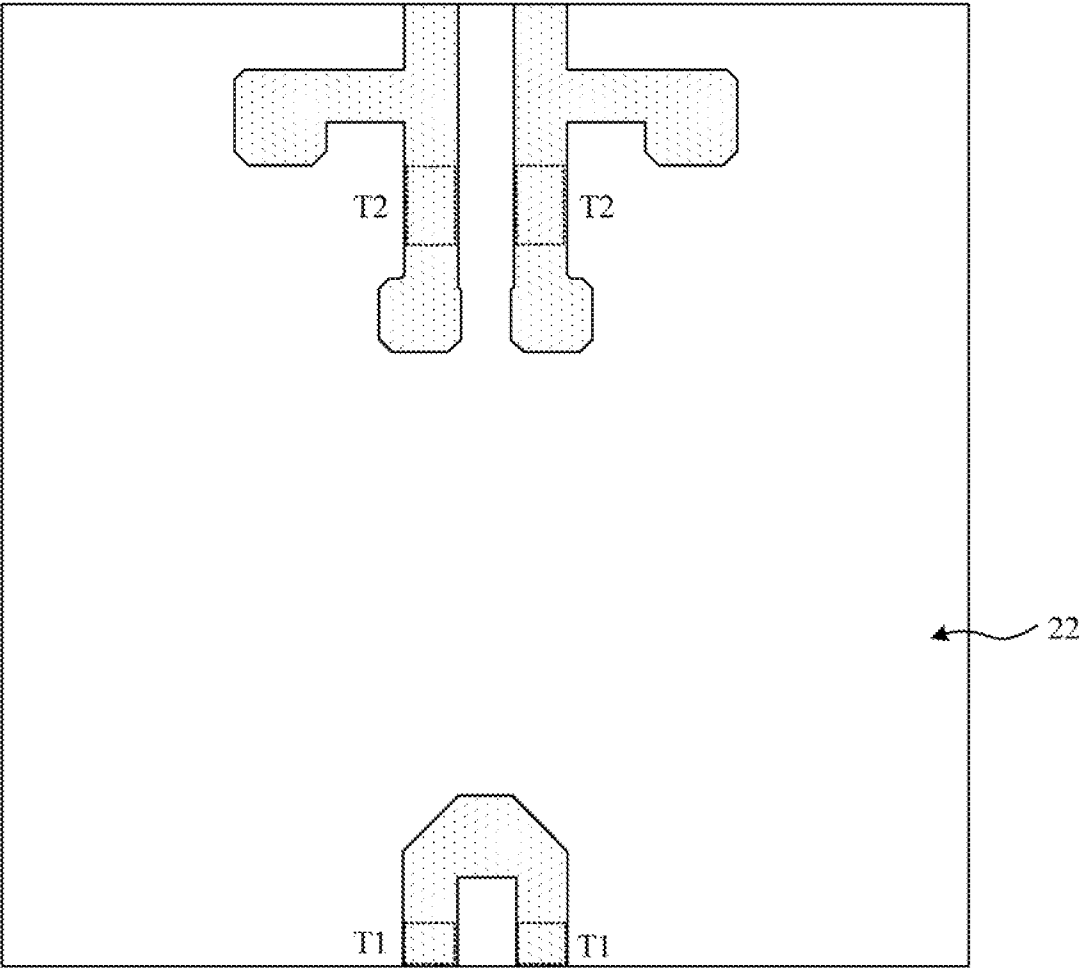


图 9

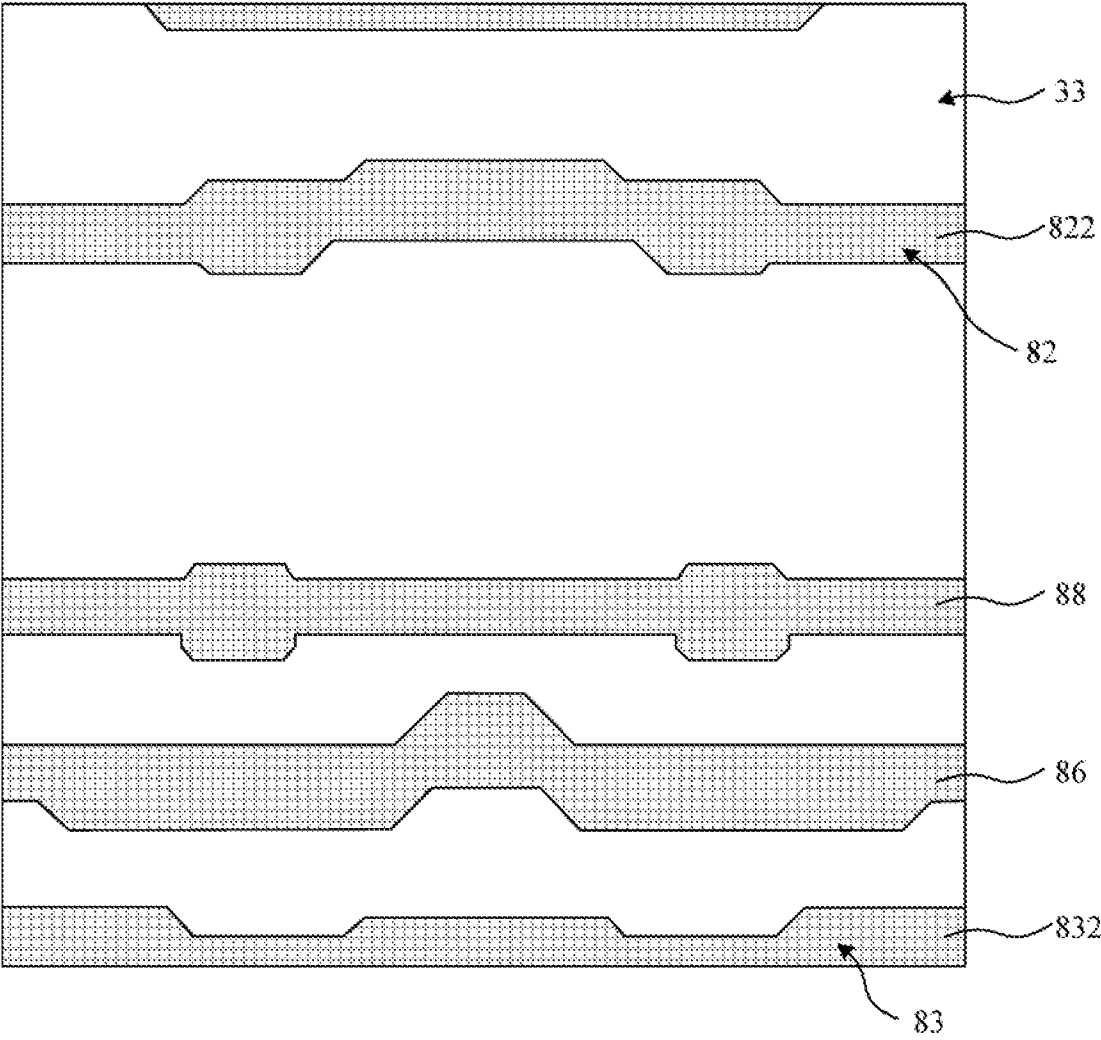


图 10

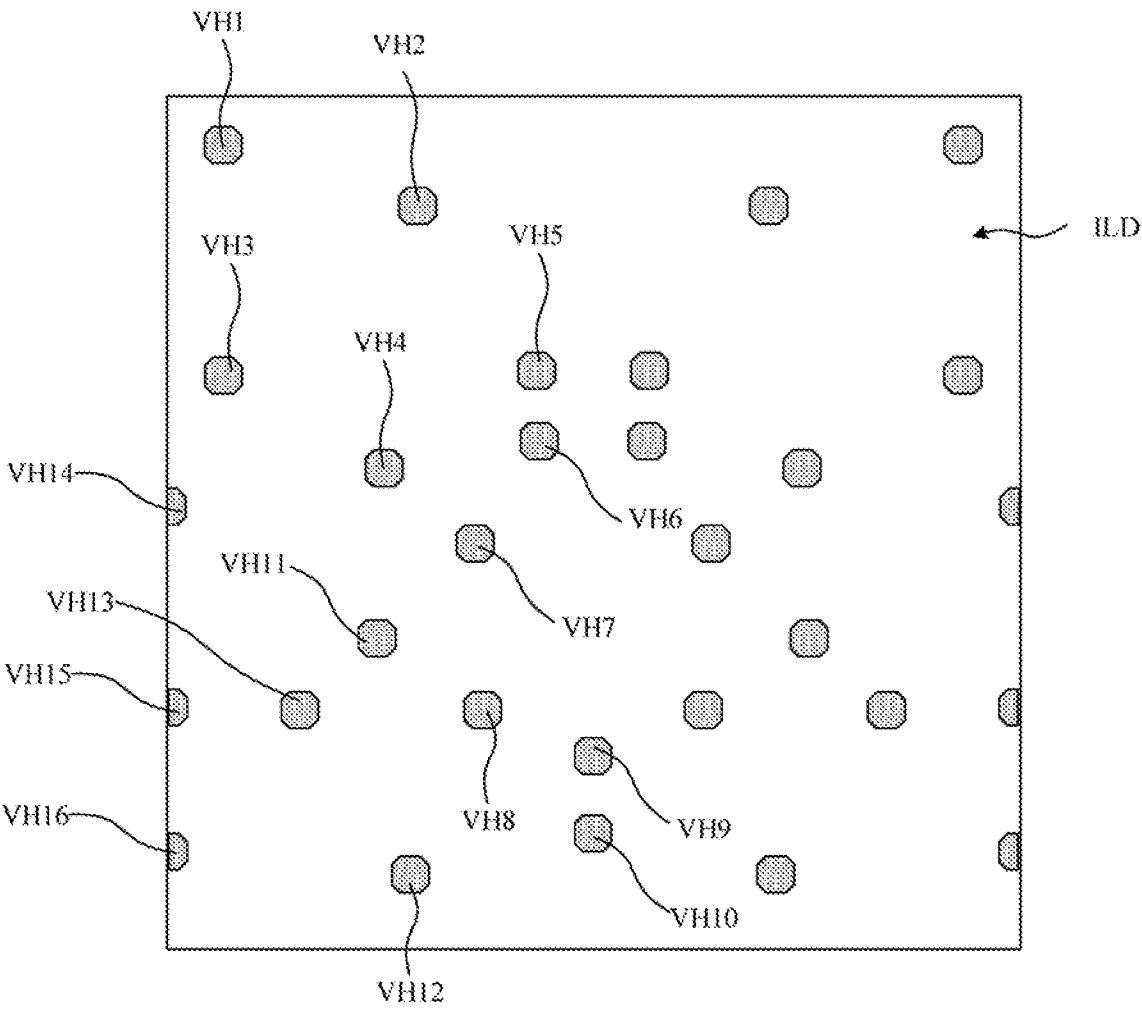


图 11

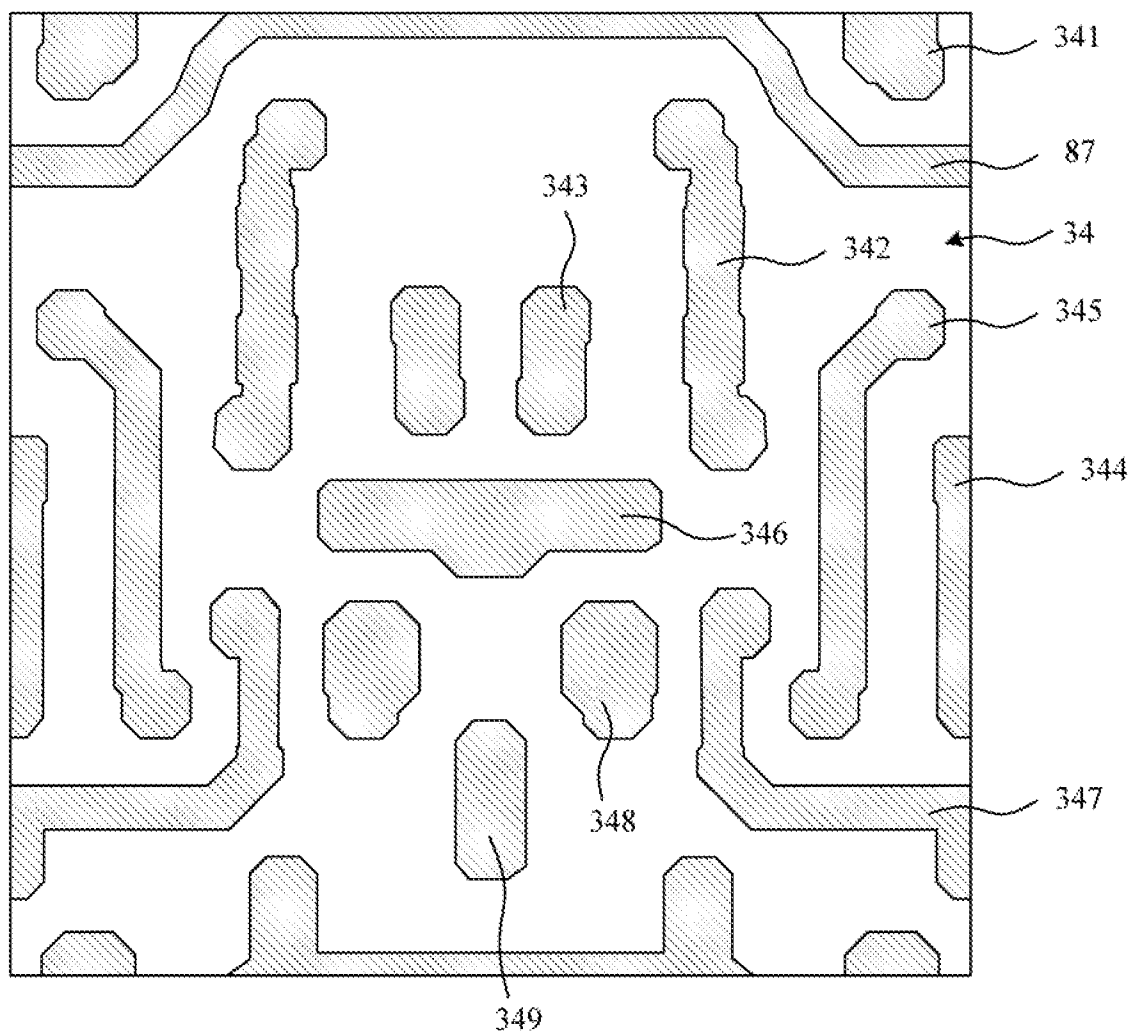


图 12

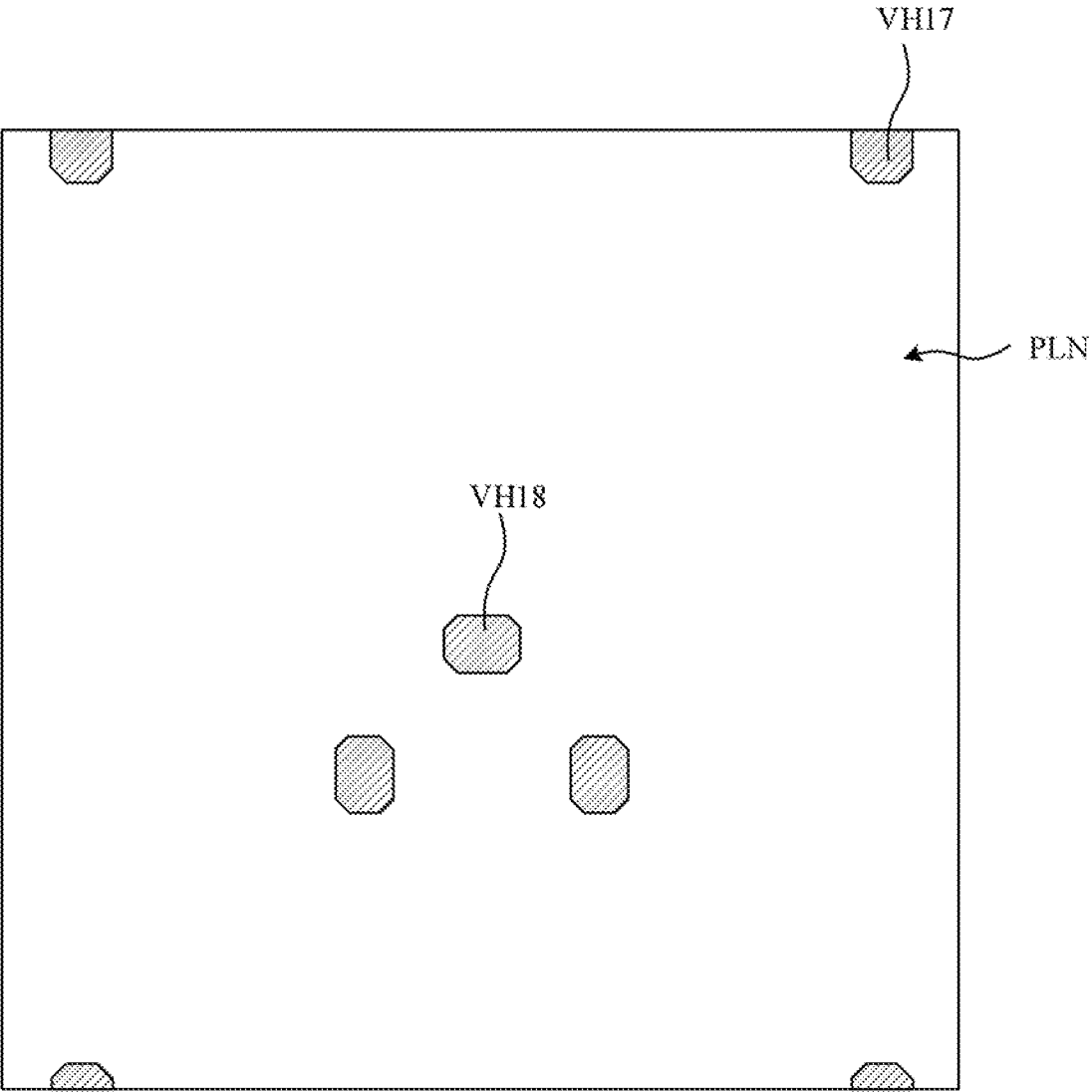


图 13

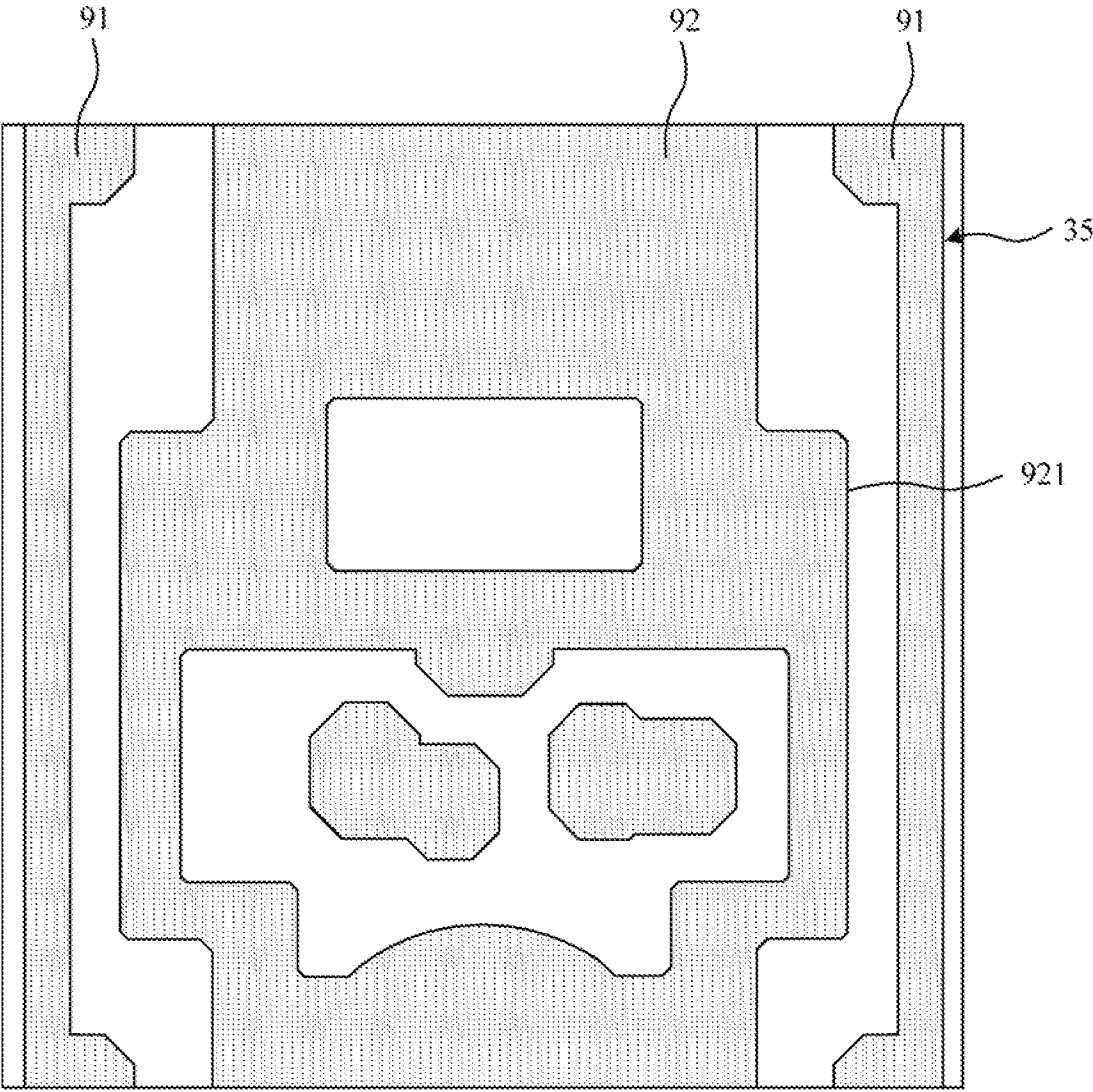


图 14

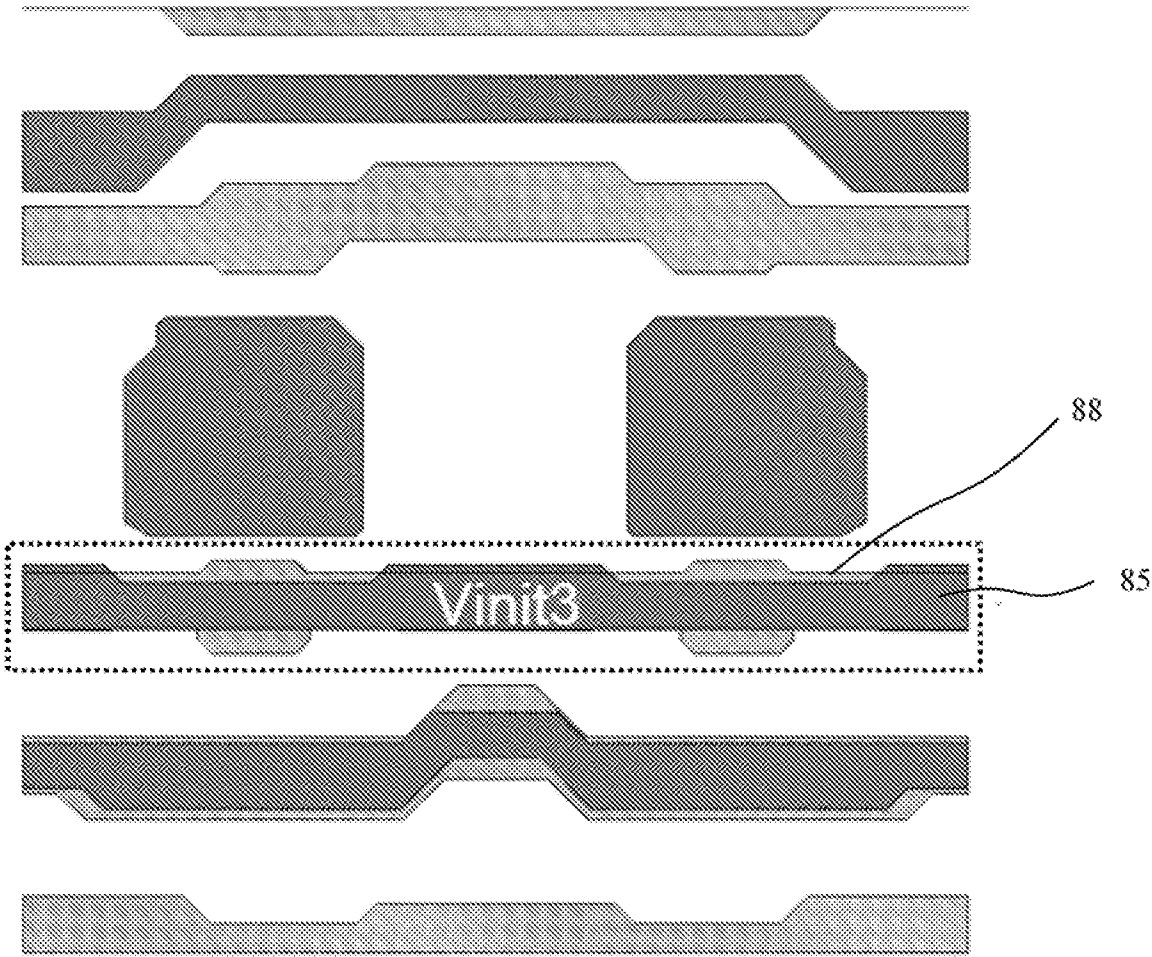


图 15

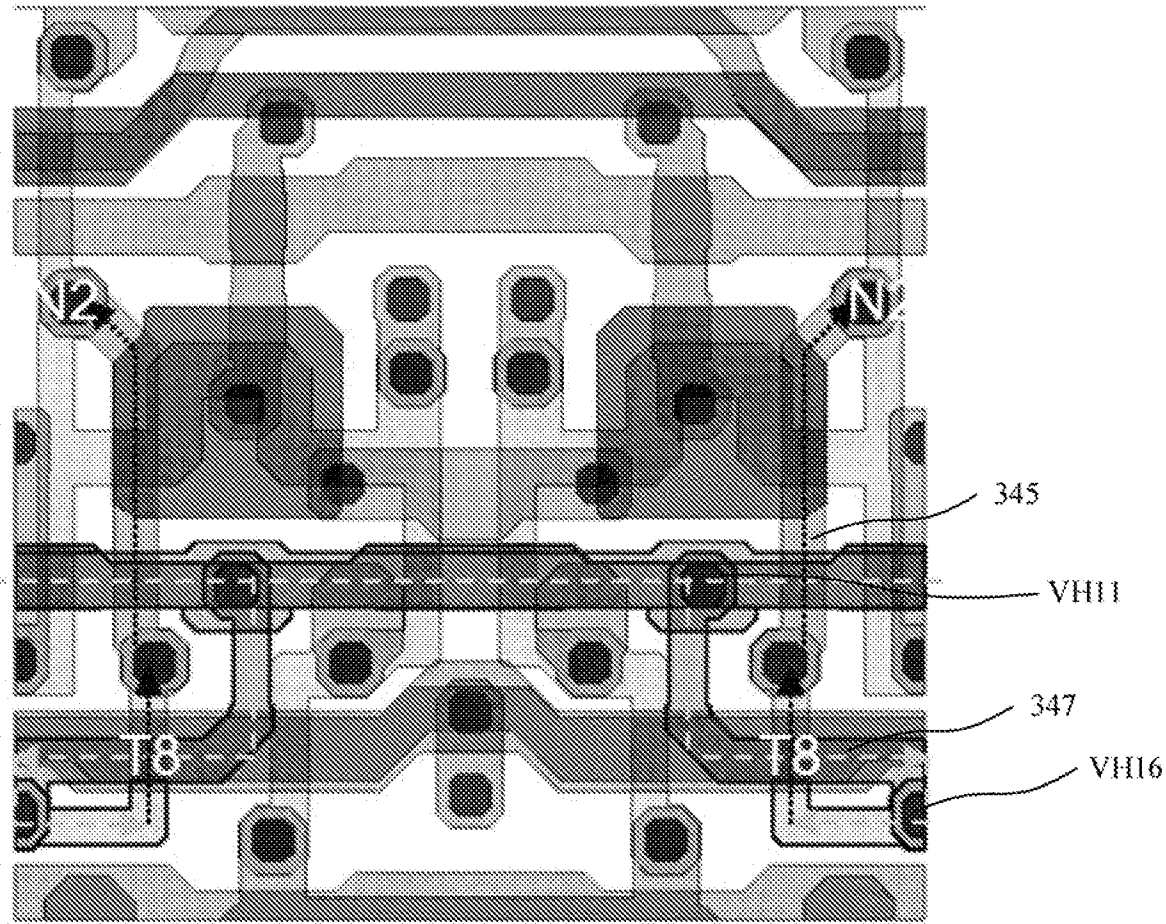


图 16

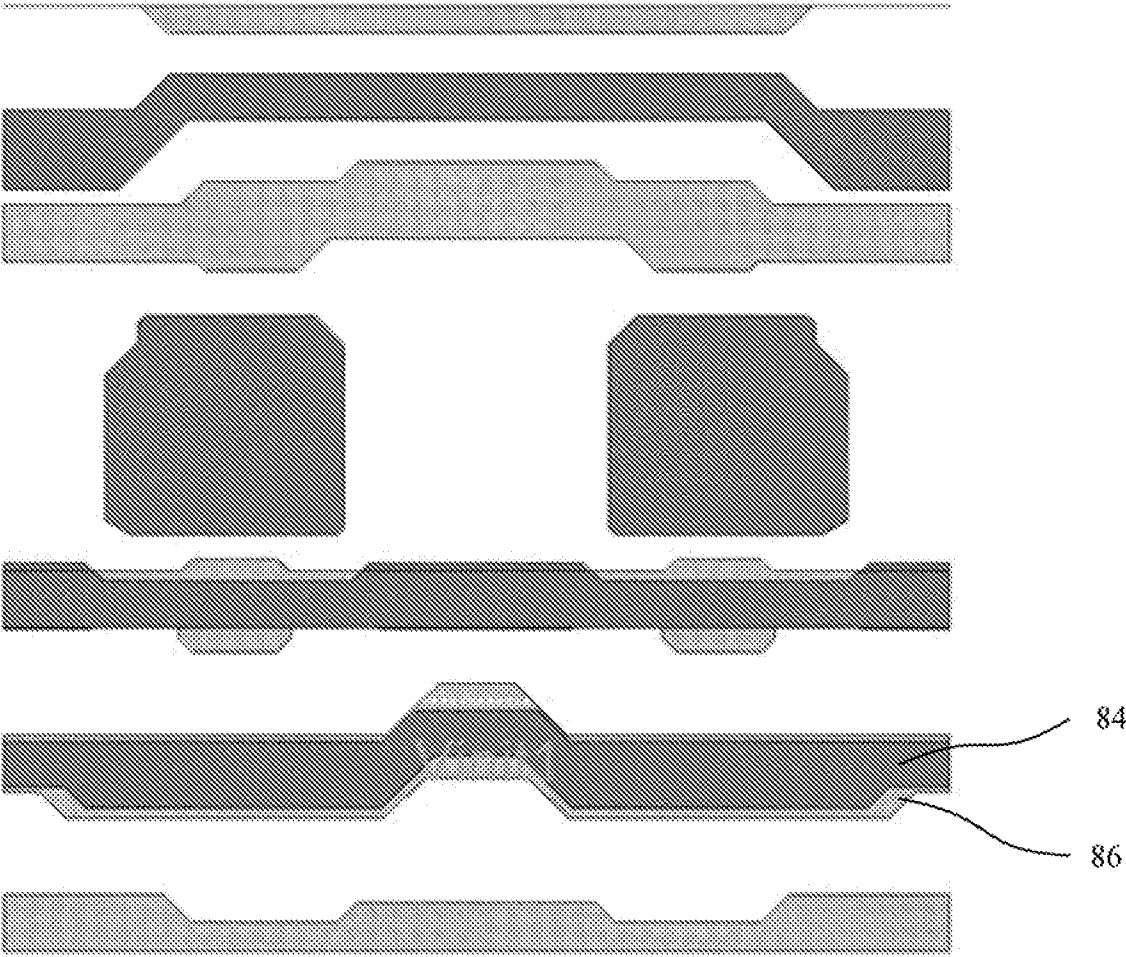


图 17

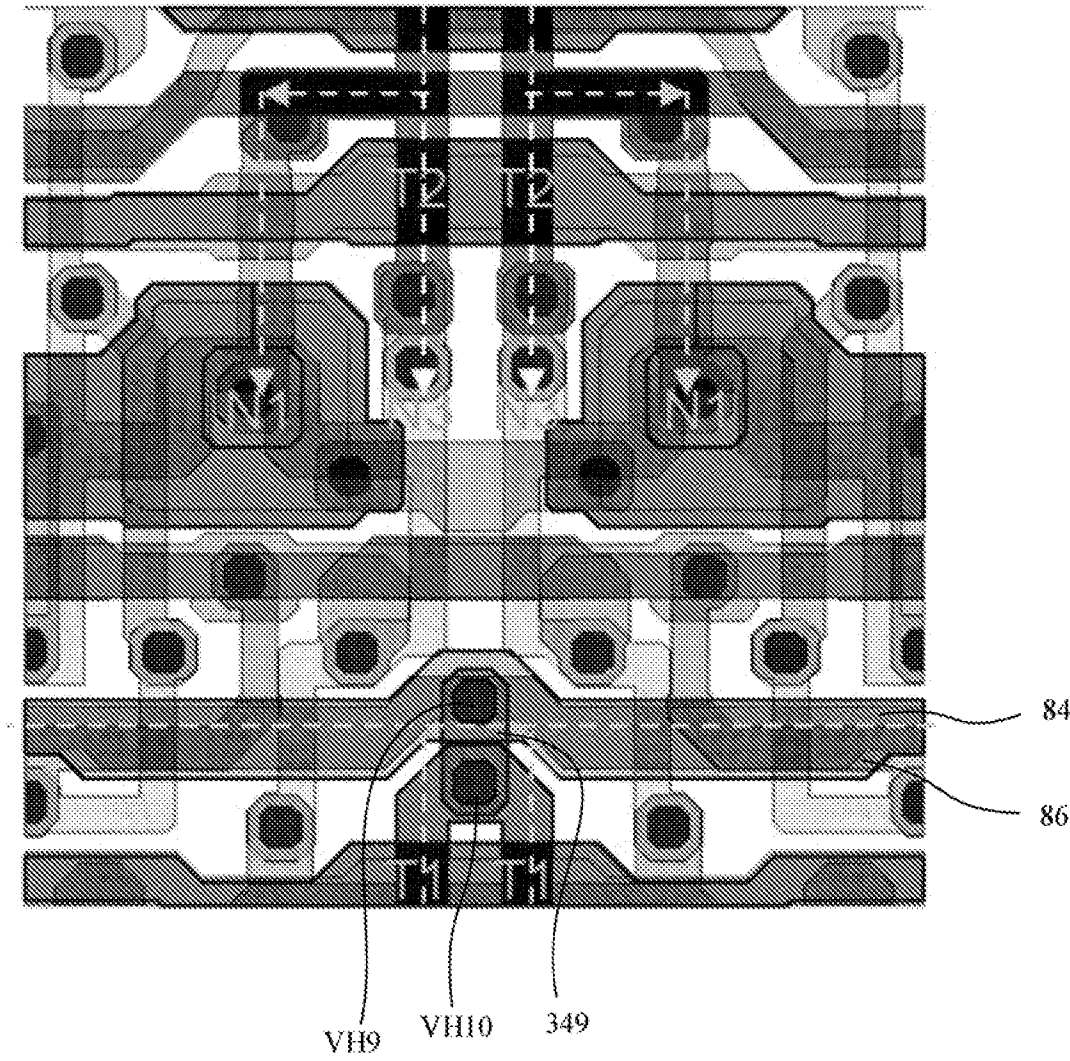


图 18

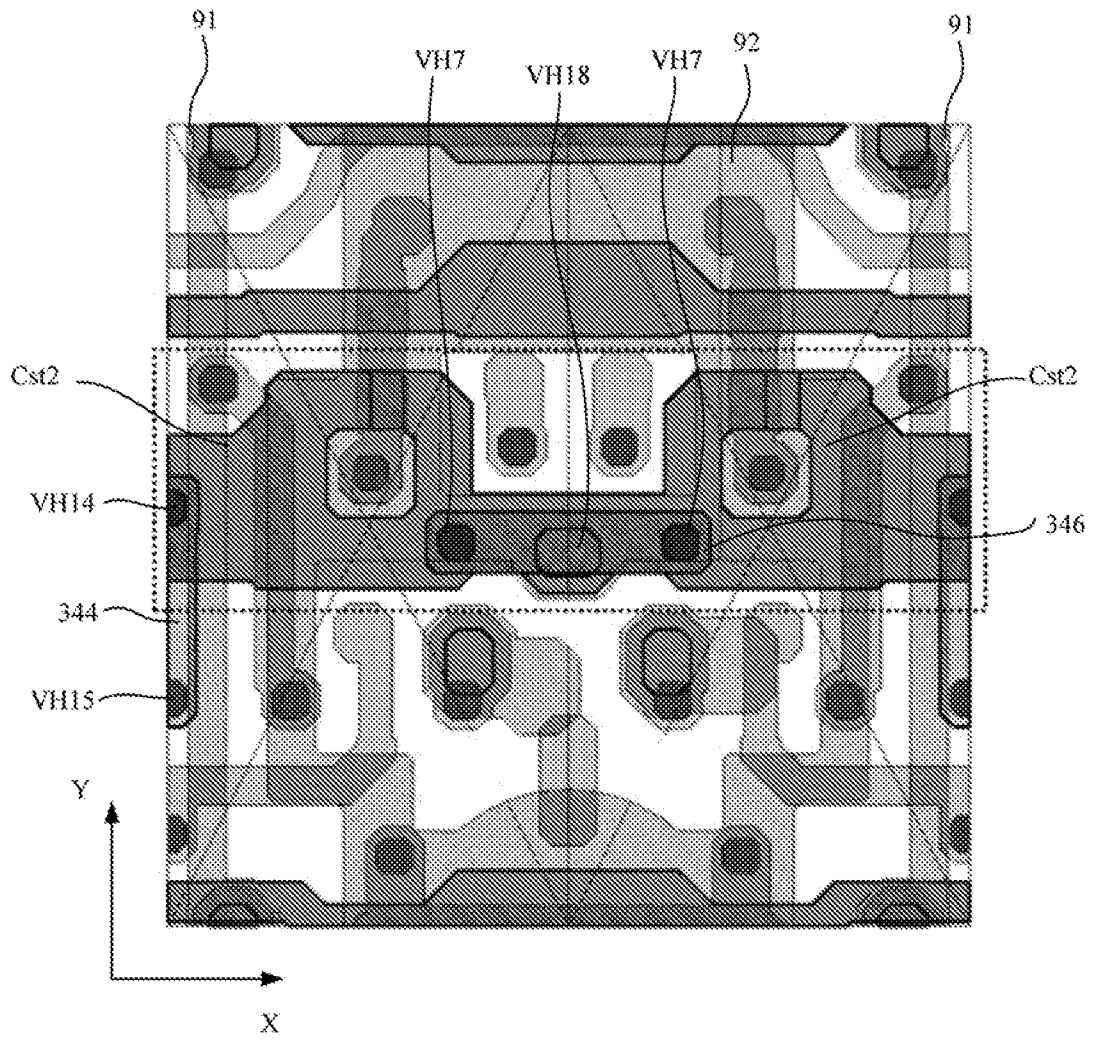


图 19

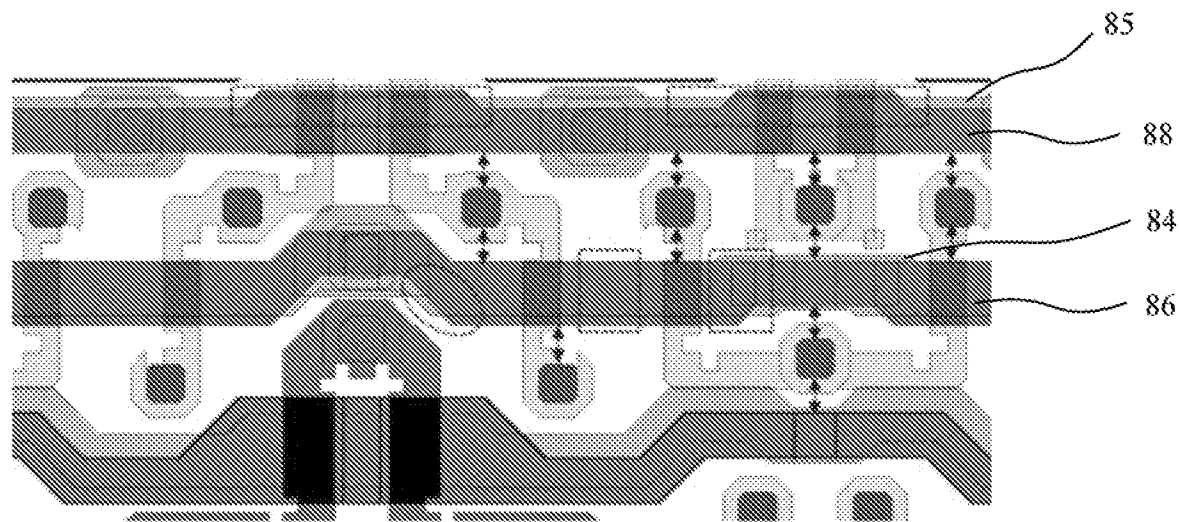


图 20

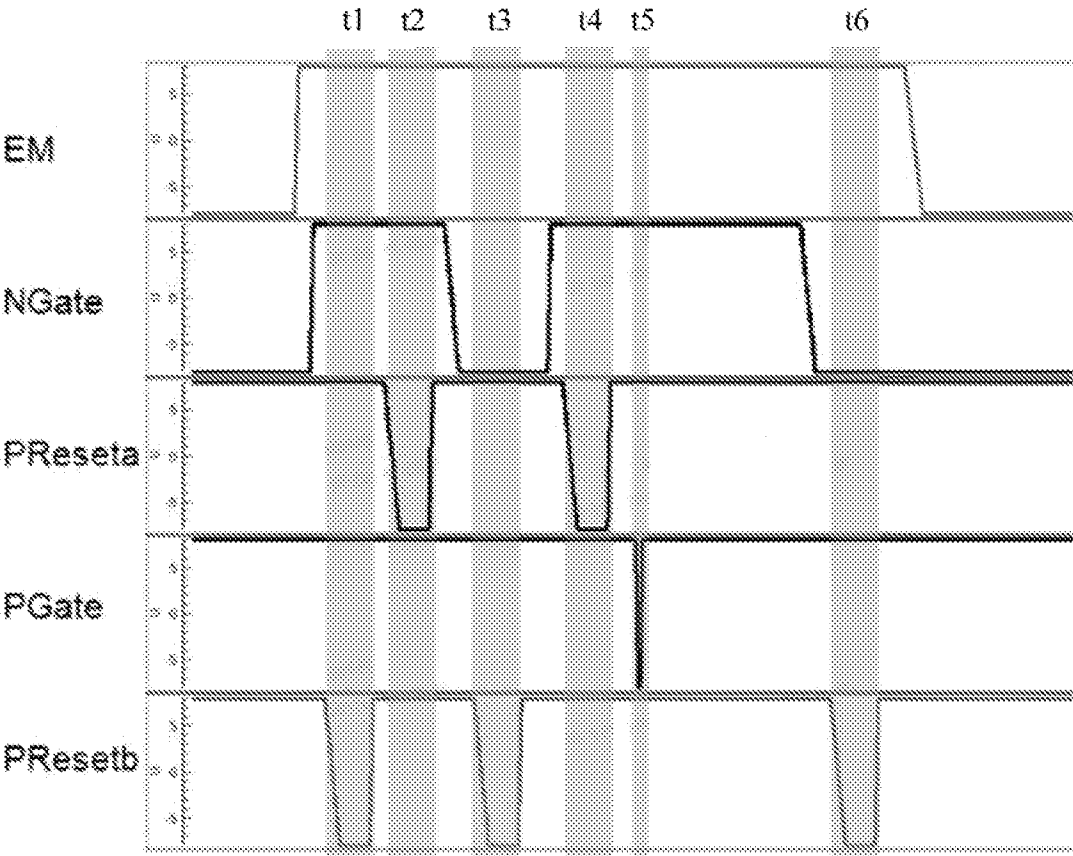


图 21

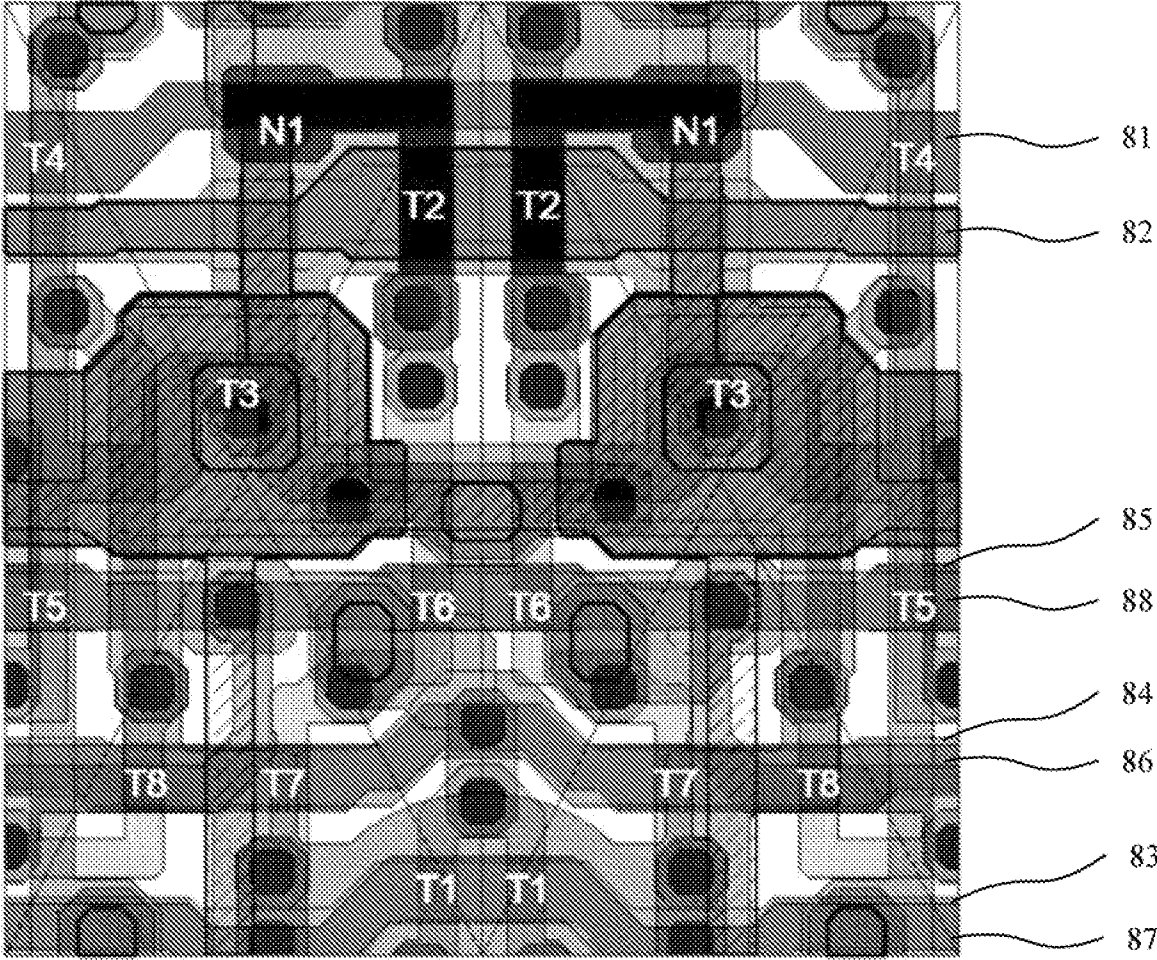


图 22

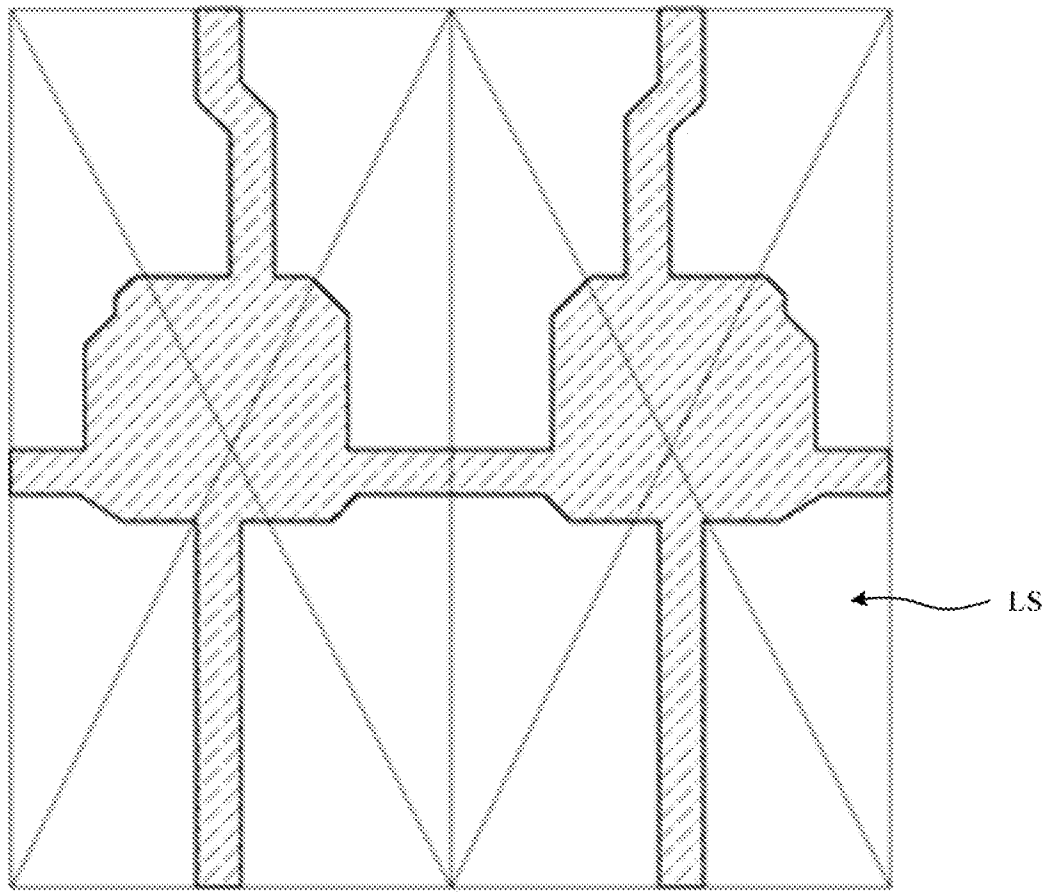


图 23

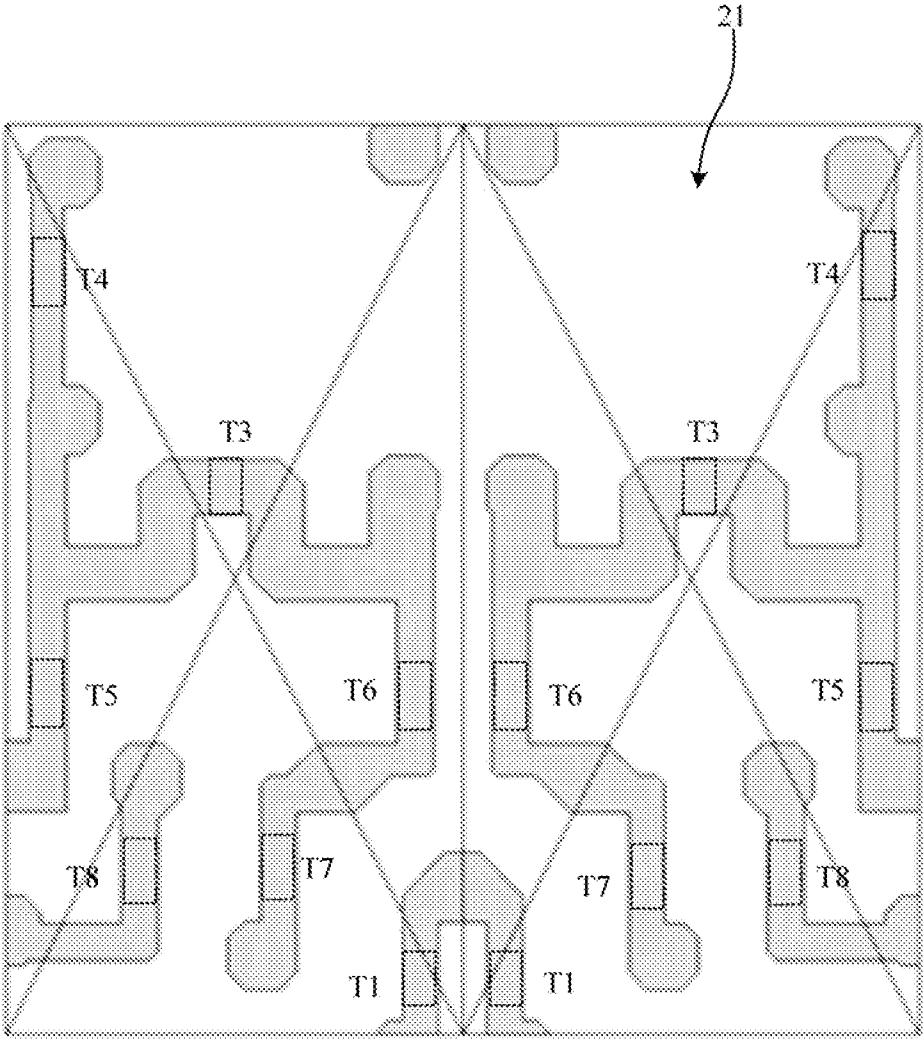


图 24

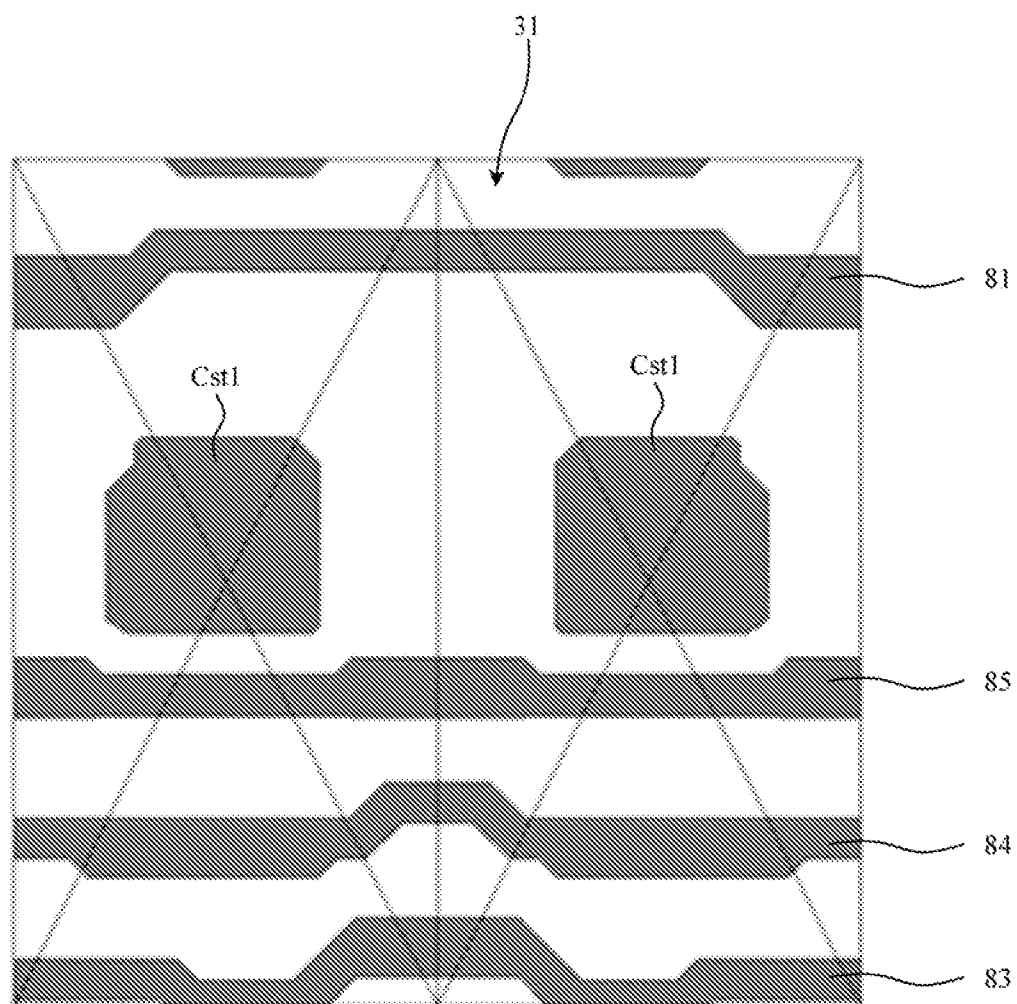


图 25

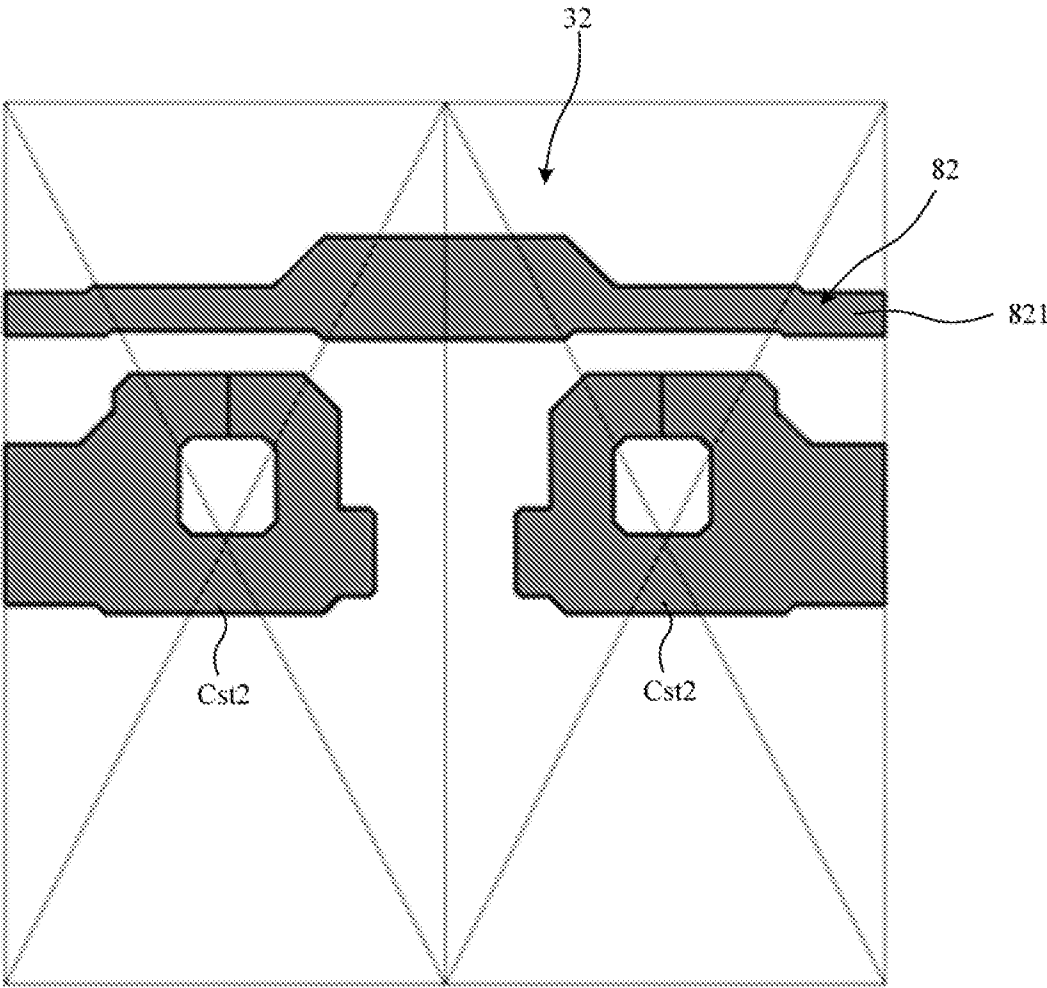


图 26

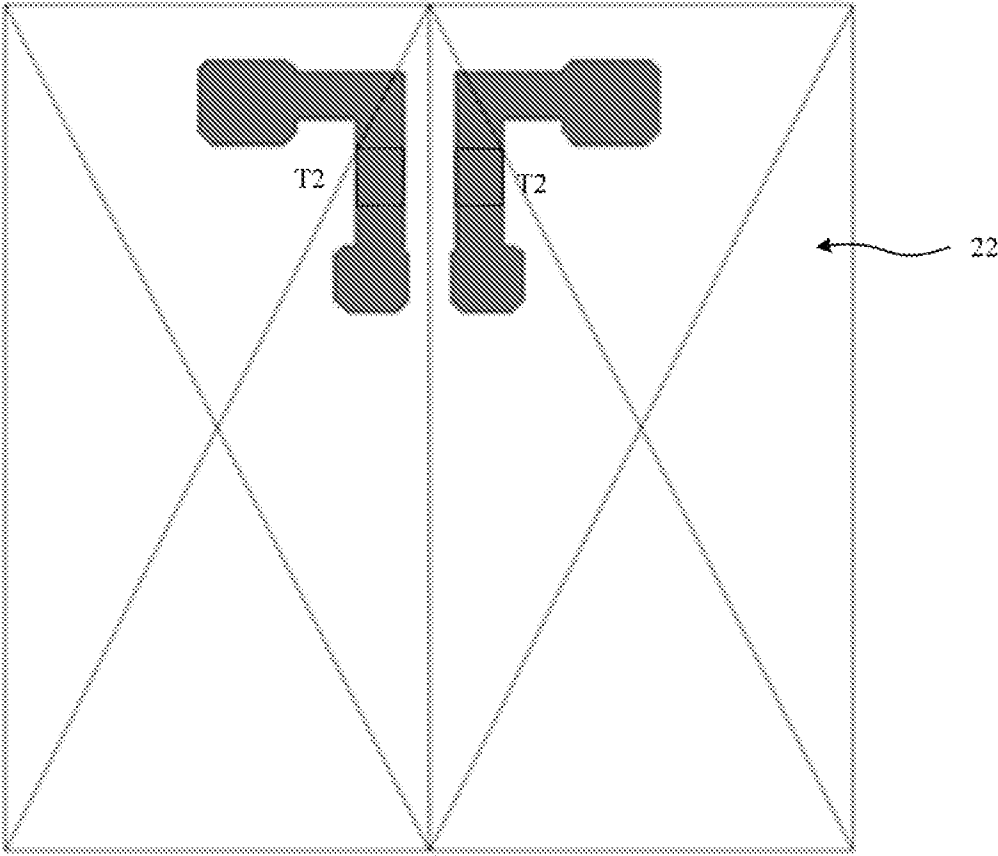


图 27

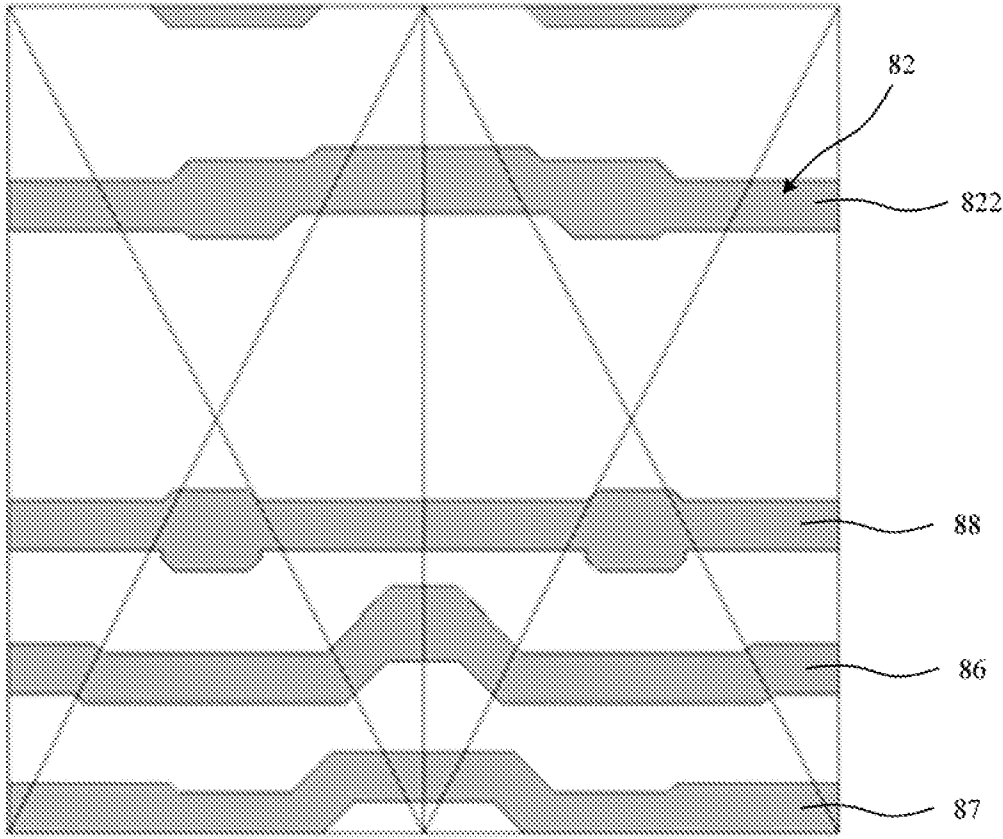


图 28

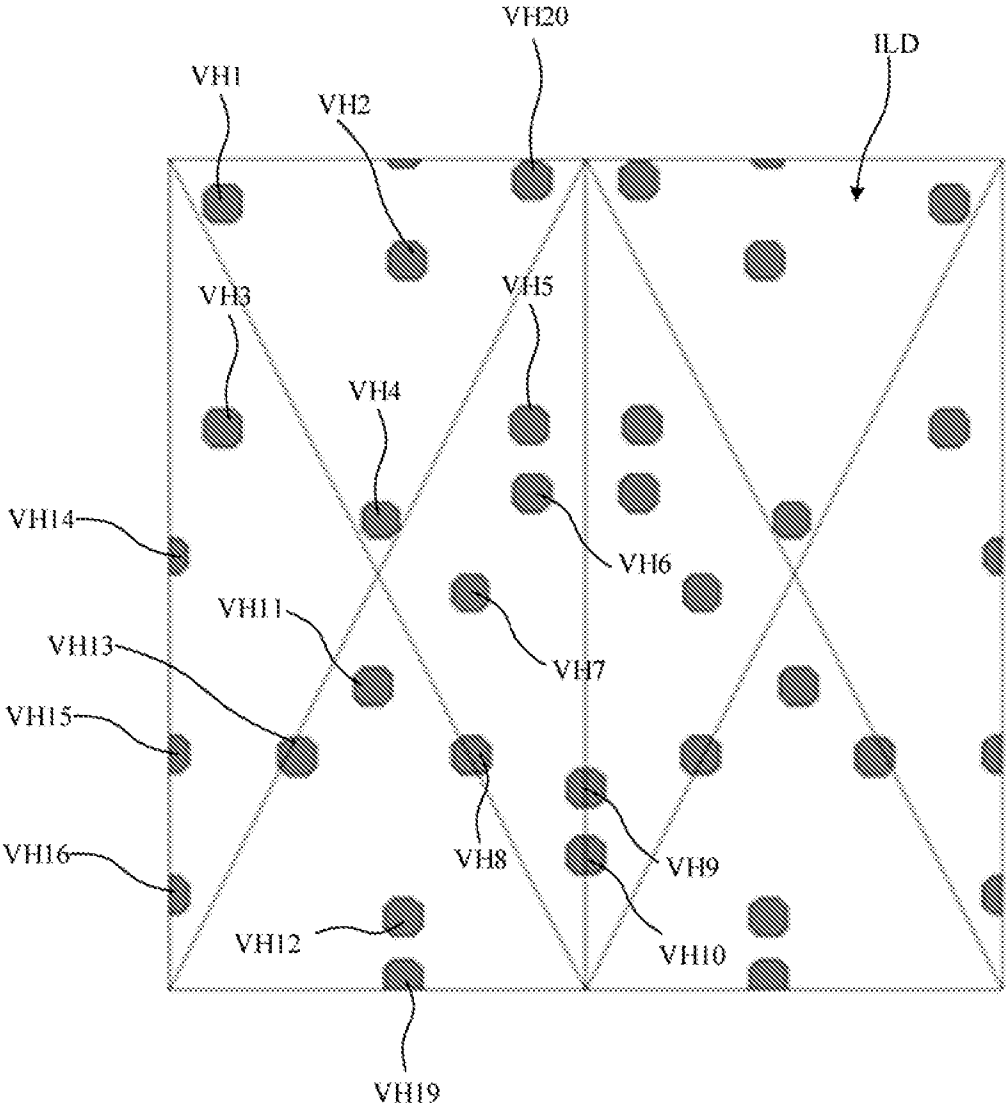


图 29

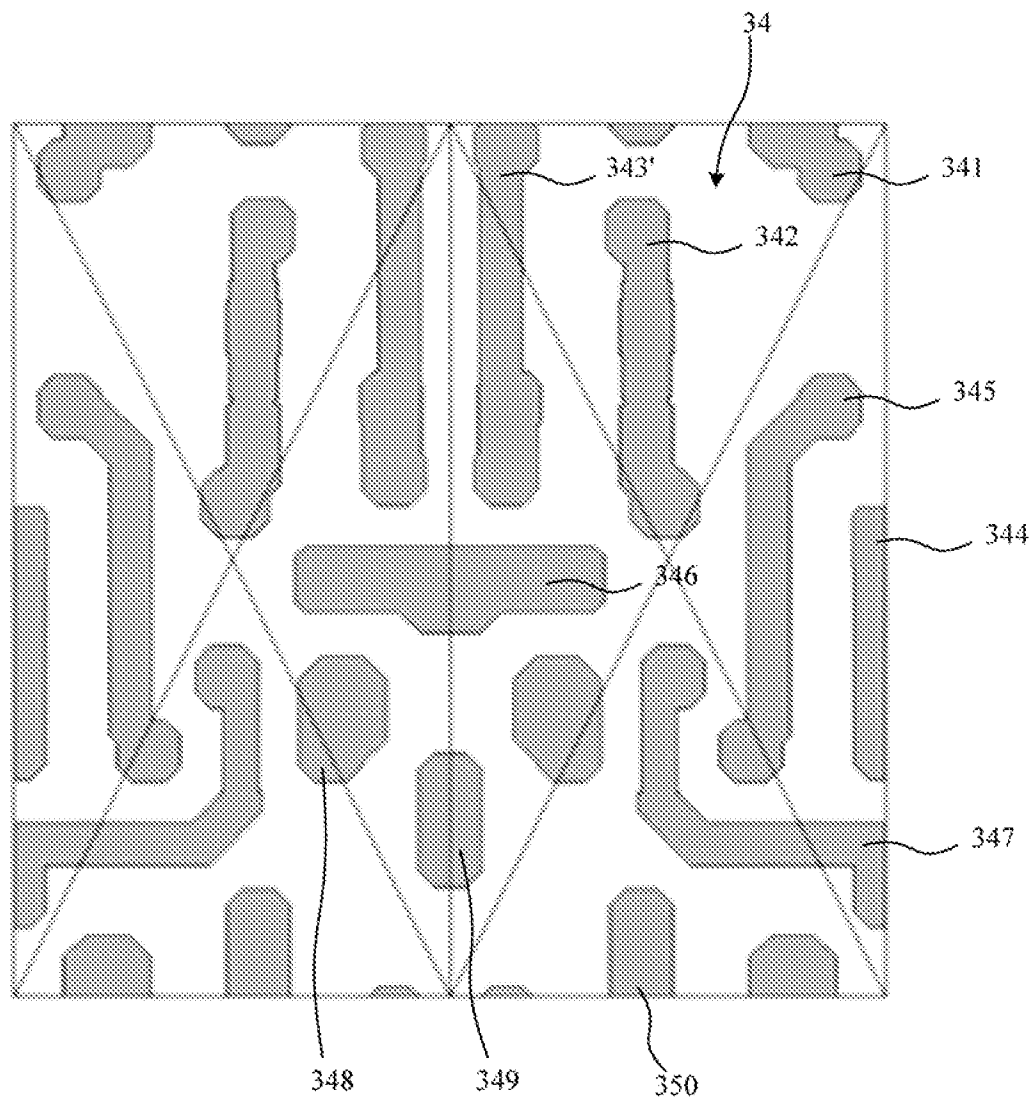


图 30

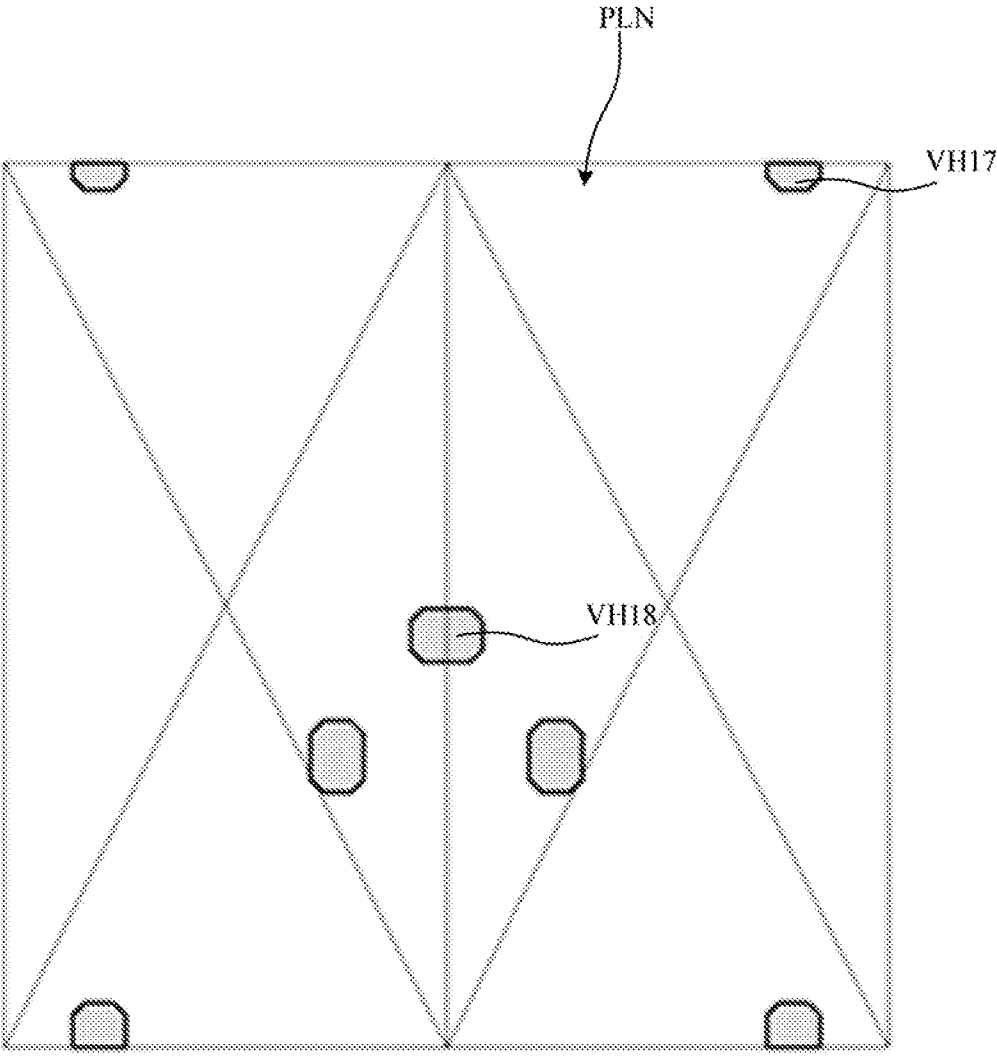


图 31

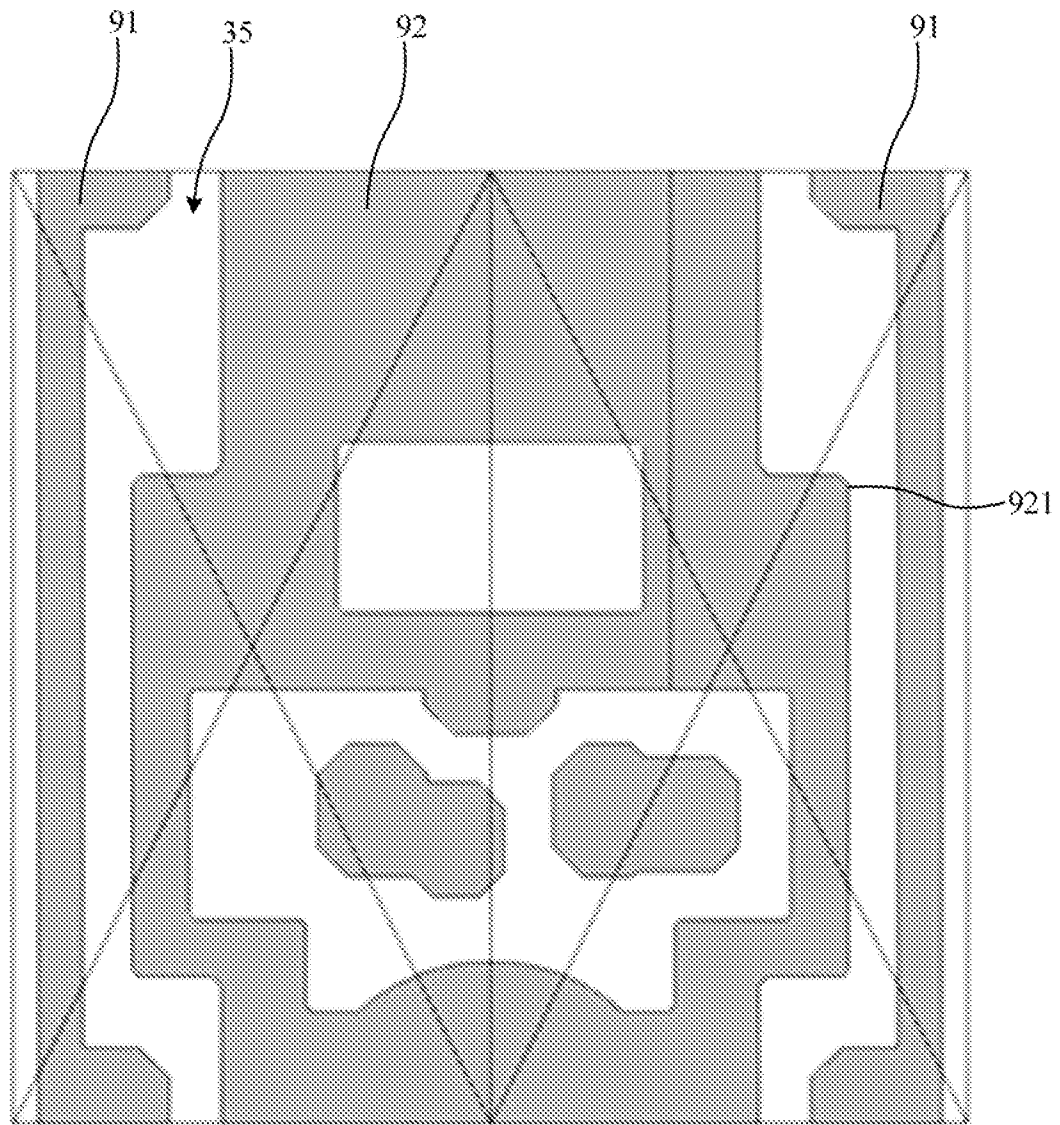


图 32

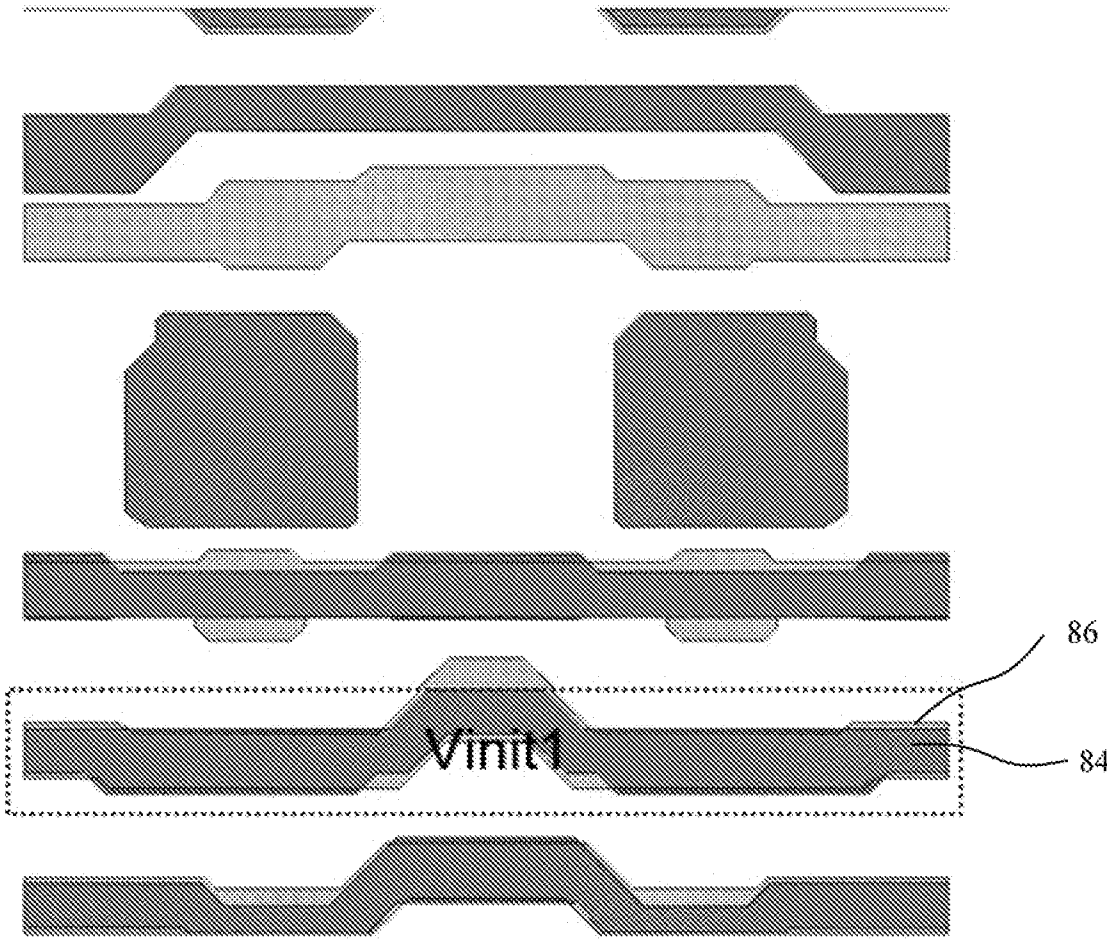


图 33

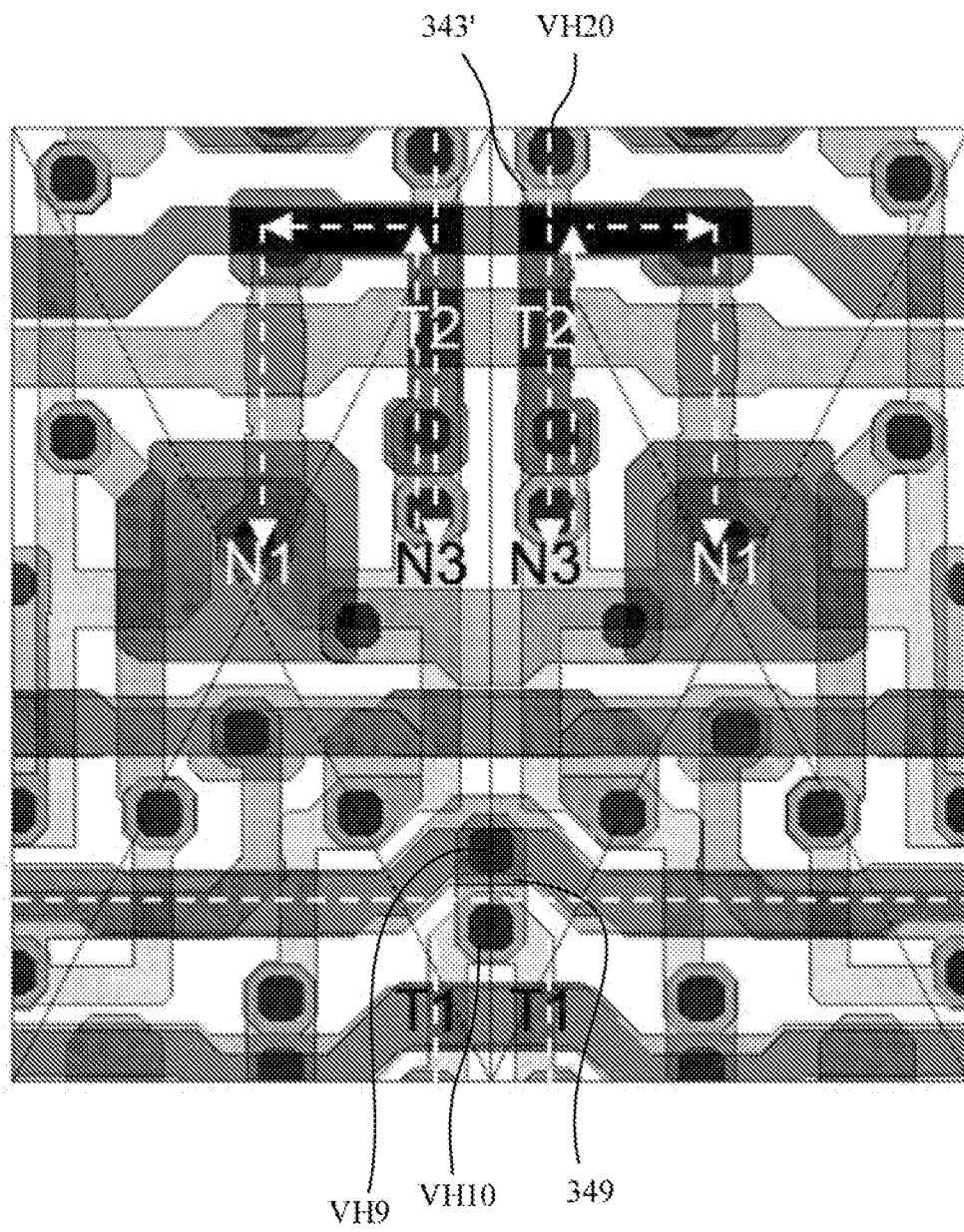


图 34

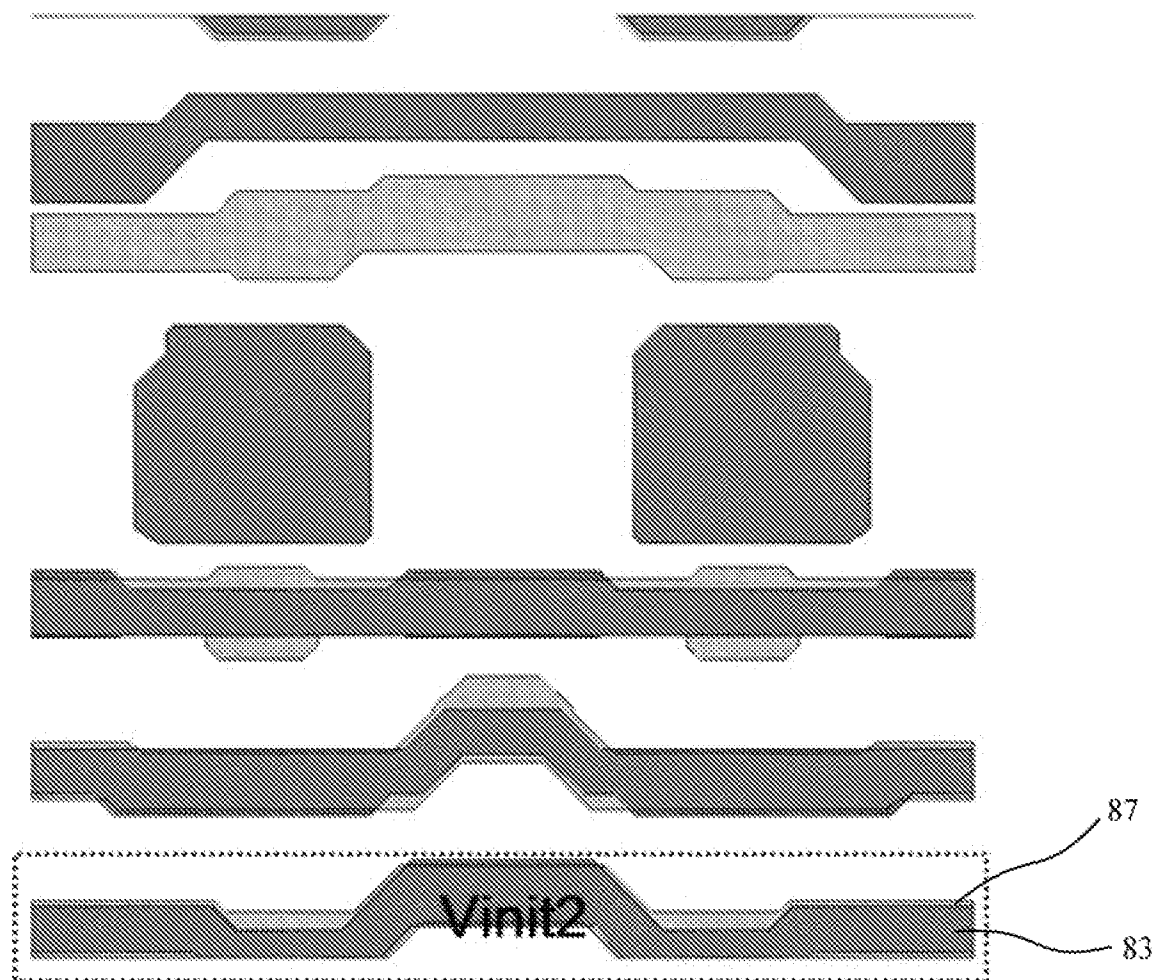


图 35

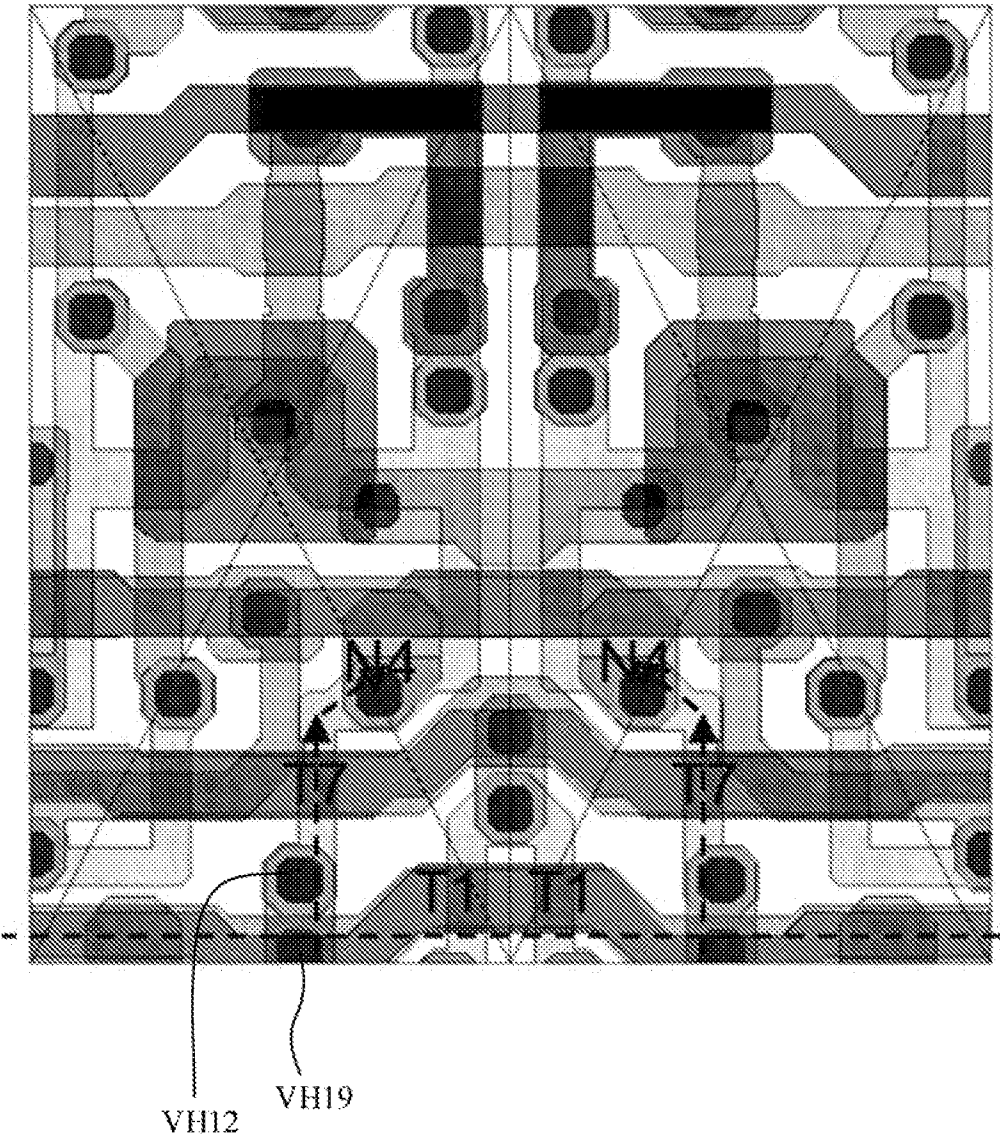


图 36

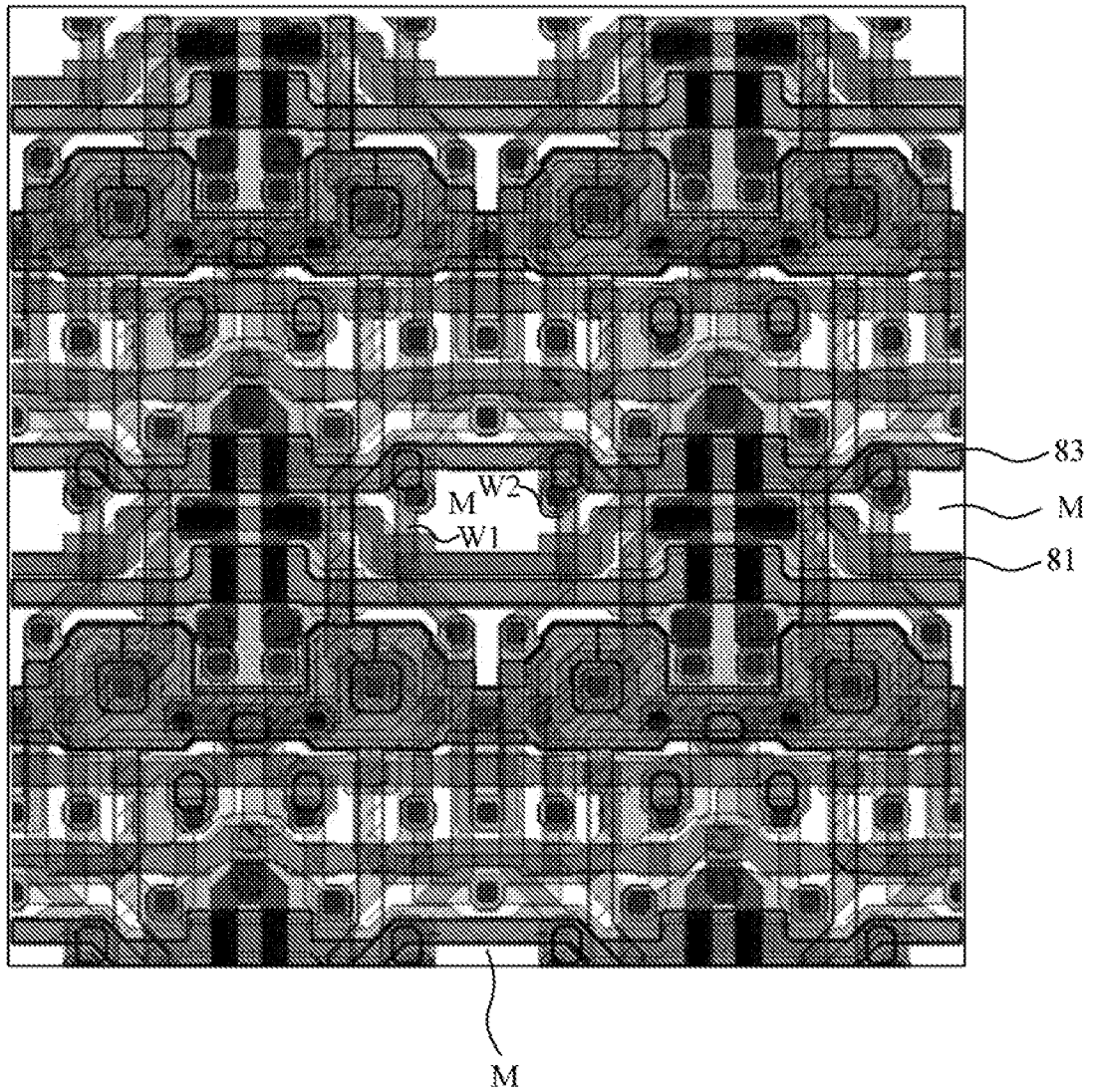


图 37

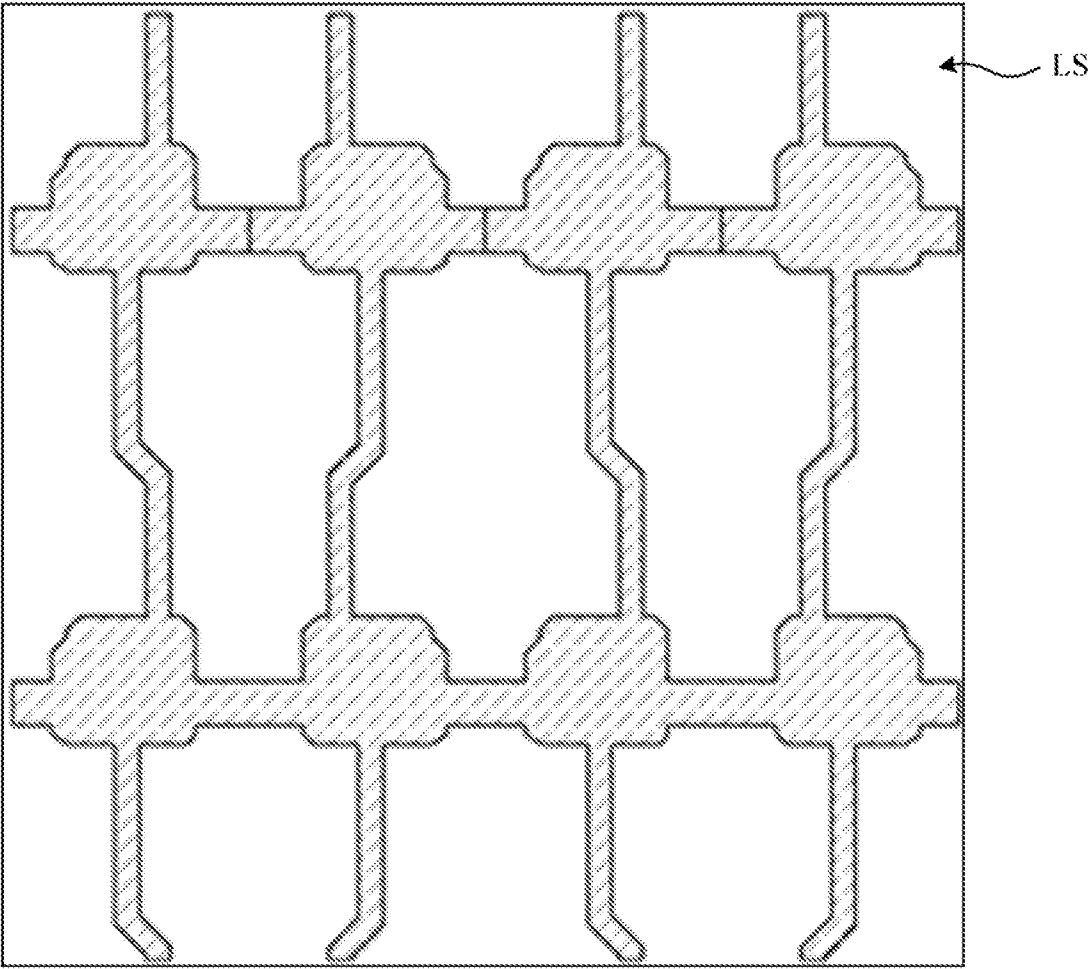


图 38

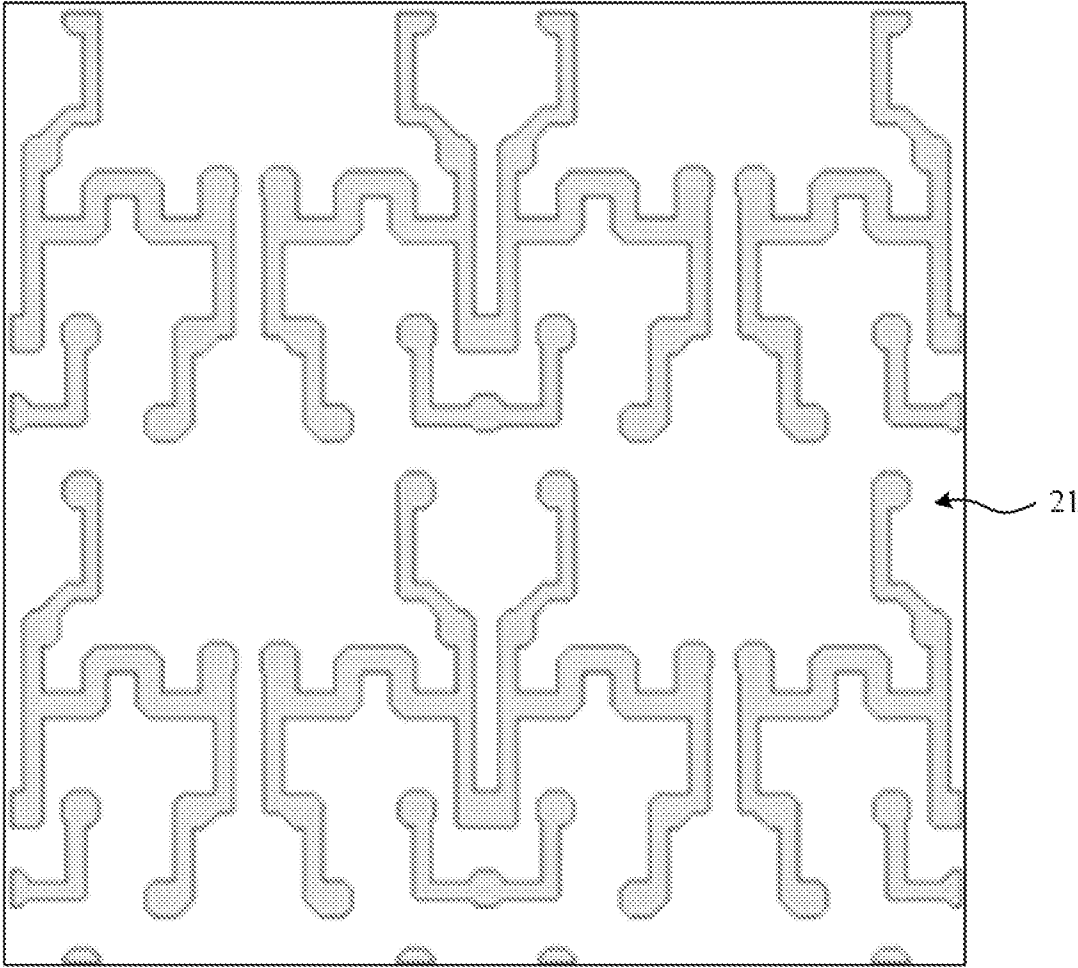


图 39

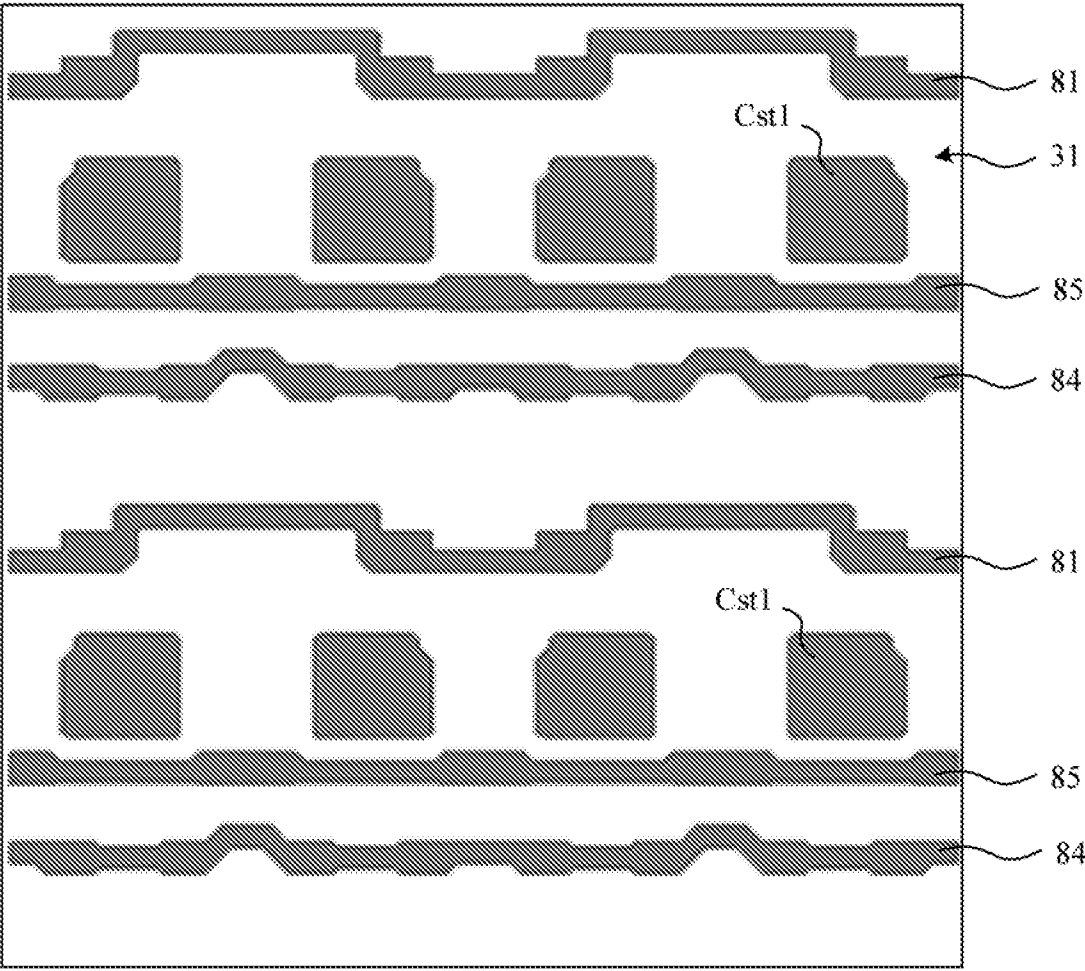


图 40

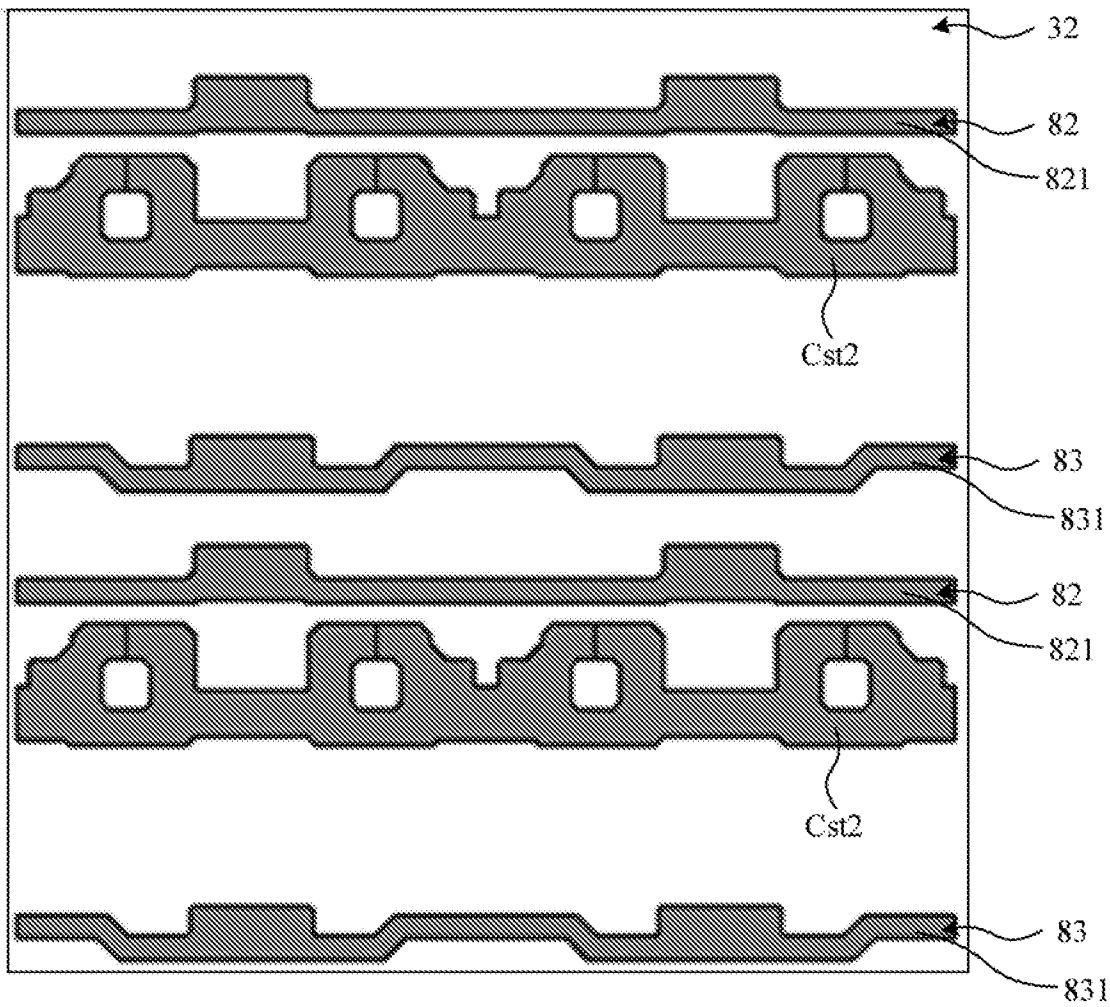


图 41

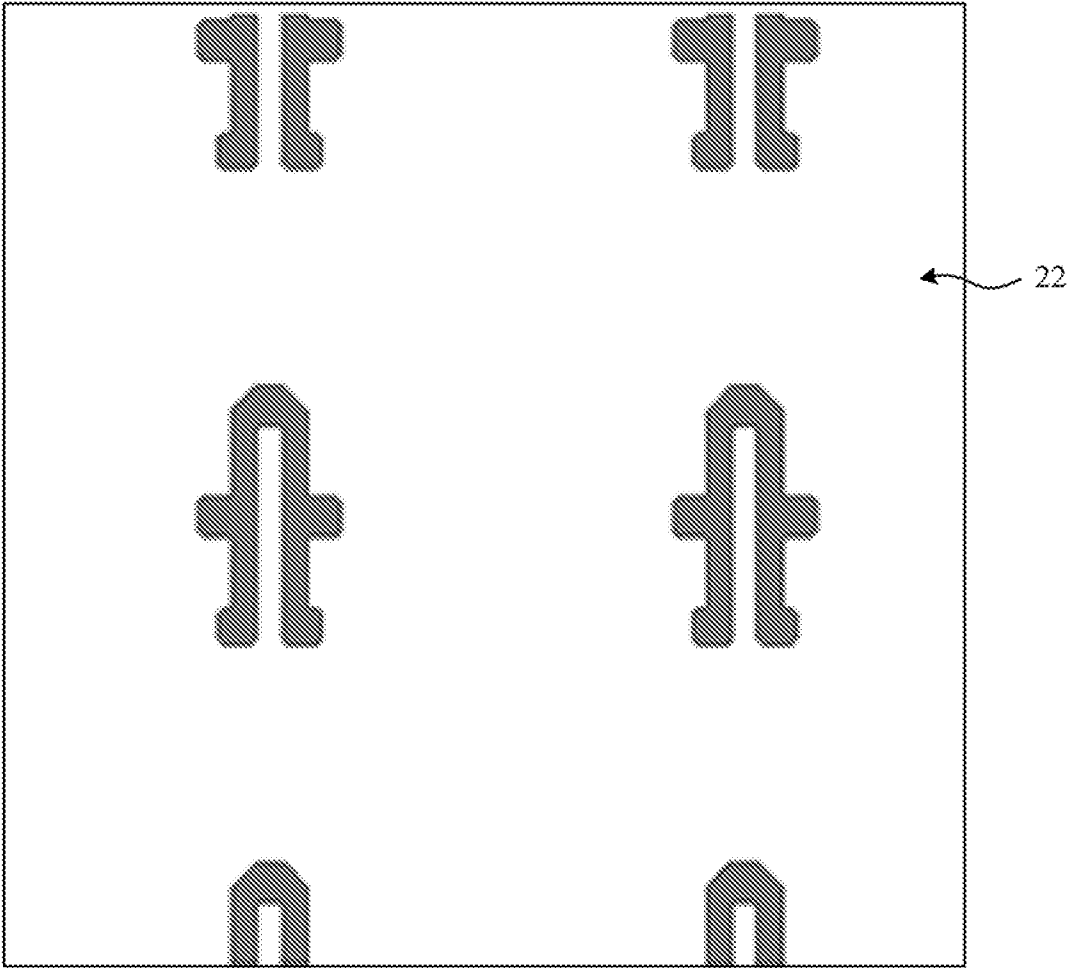


图 42

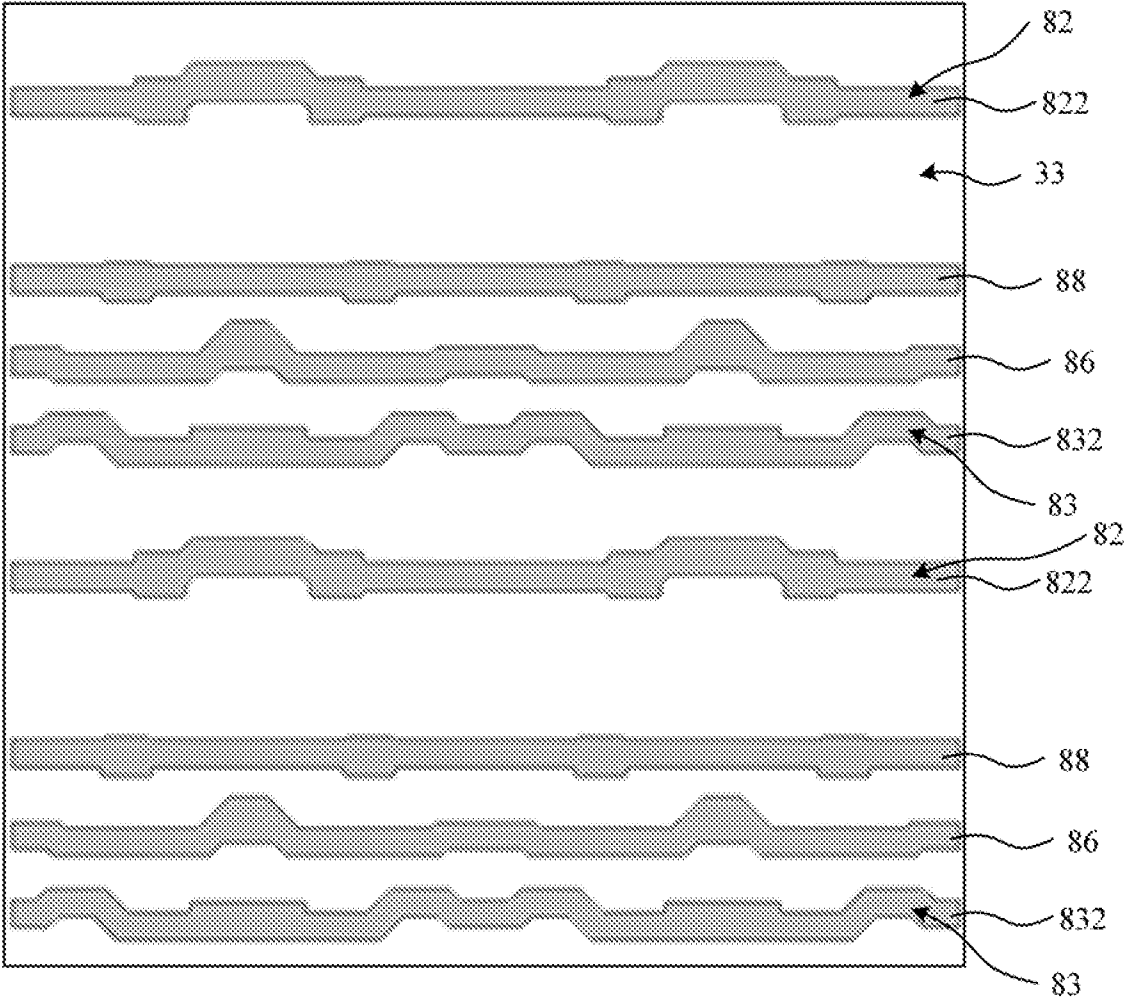


图 43

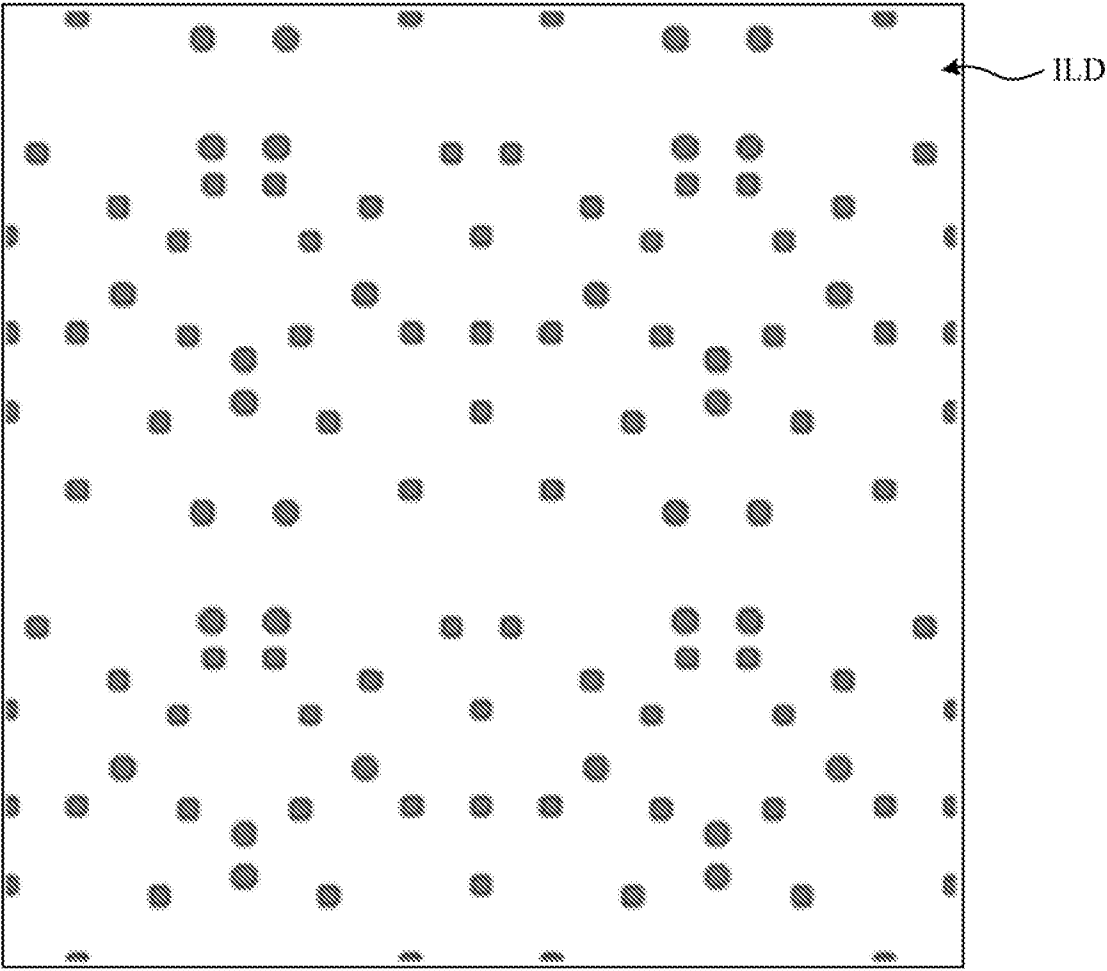


图 44

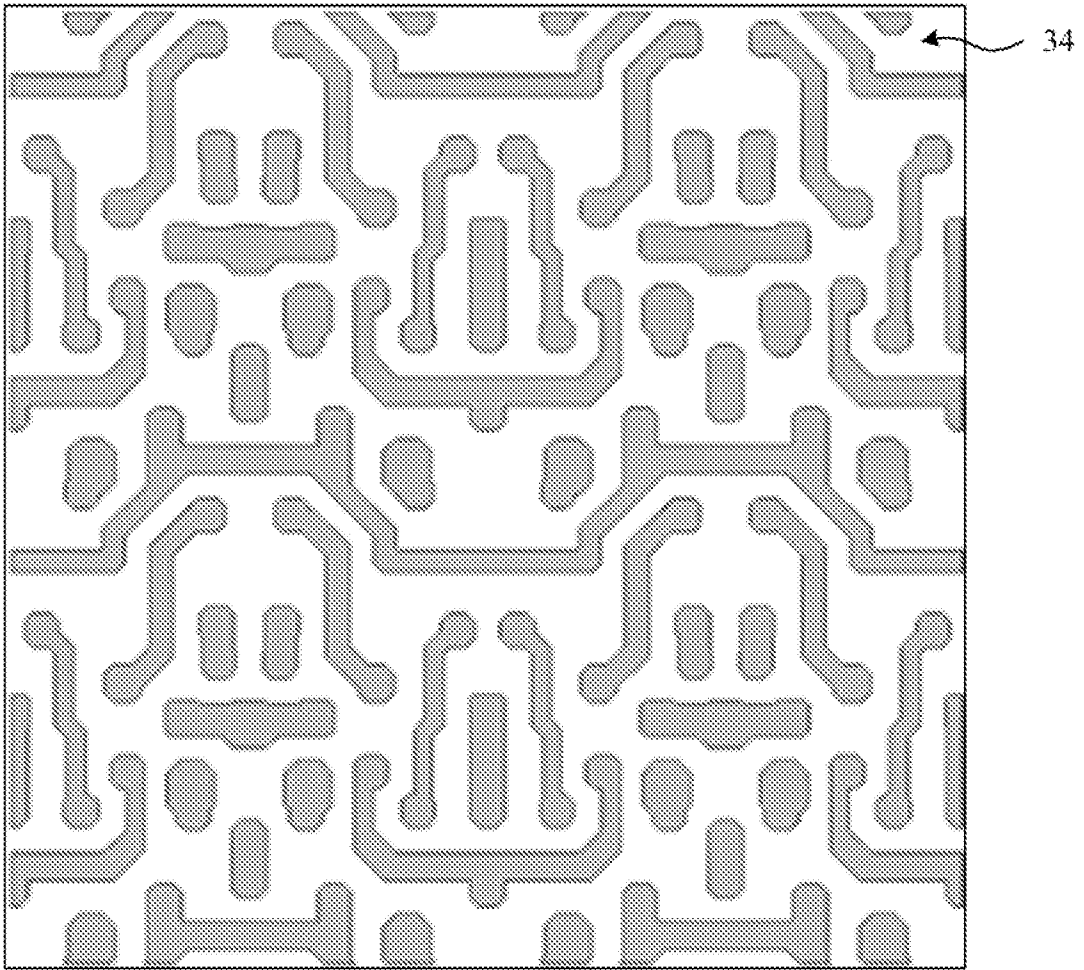


图 45

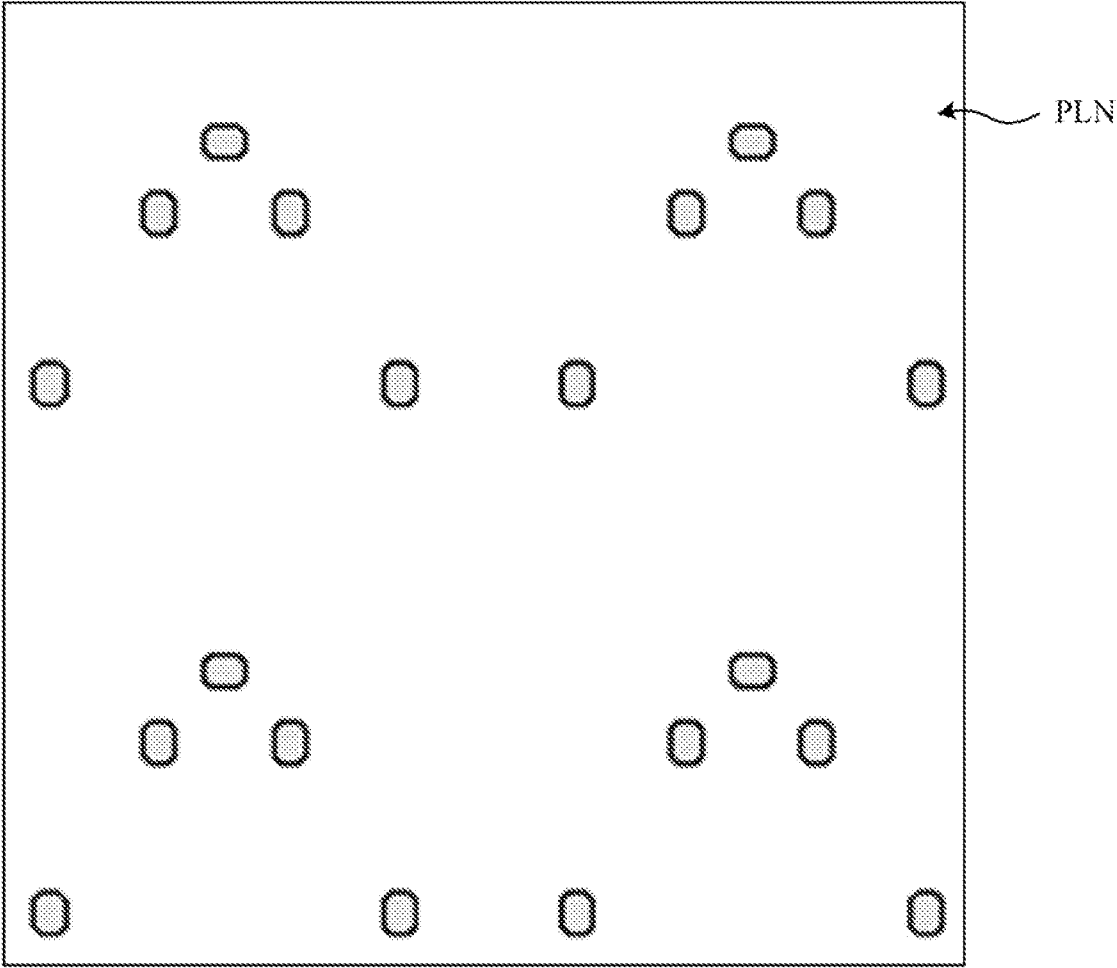


图 46

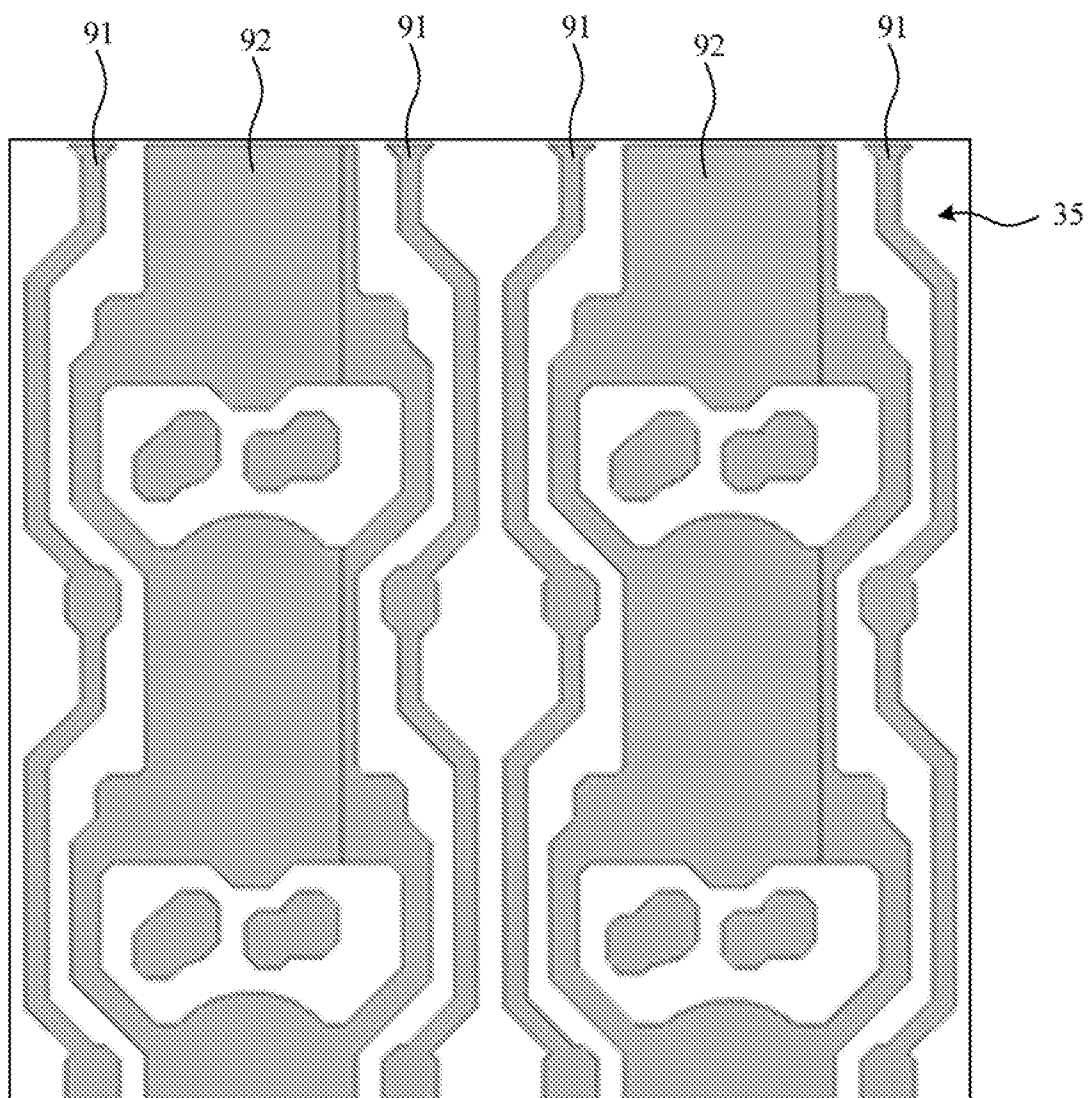


图 47

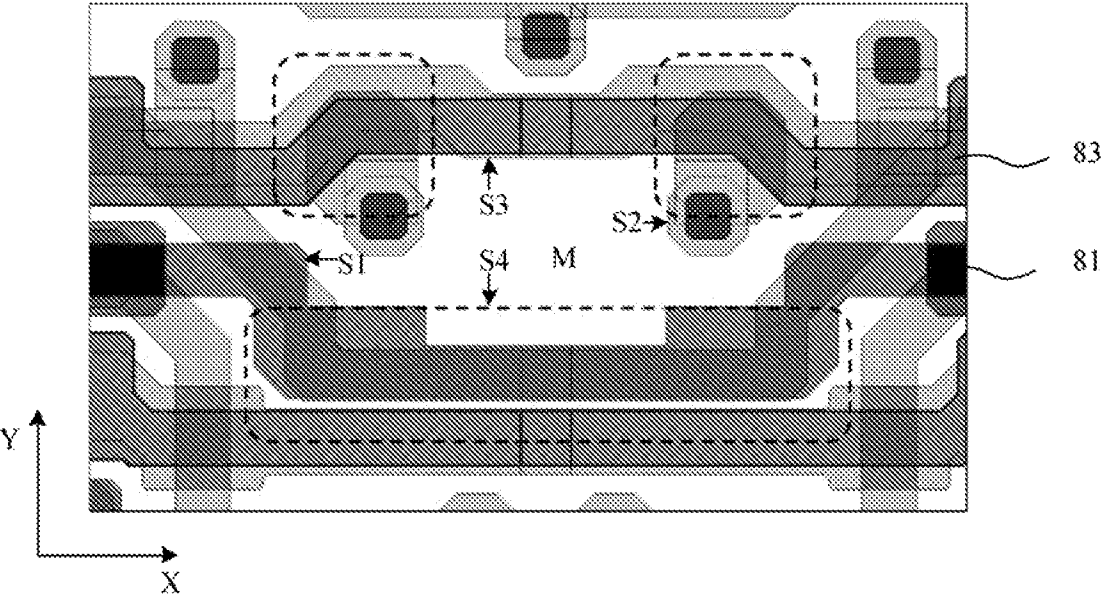


图 48

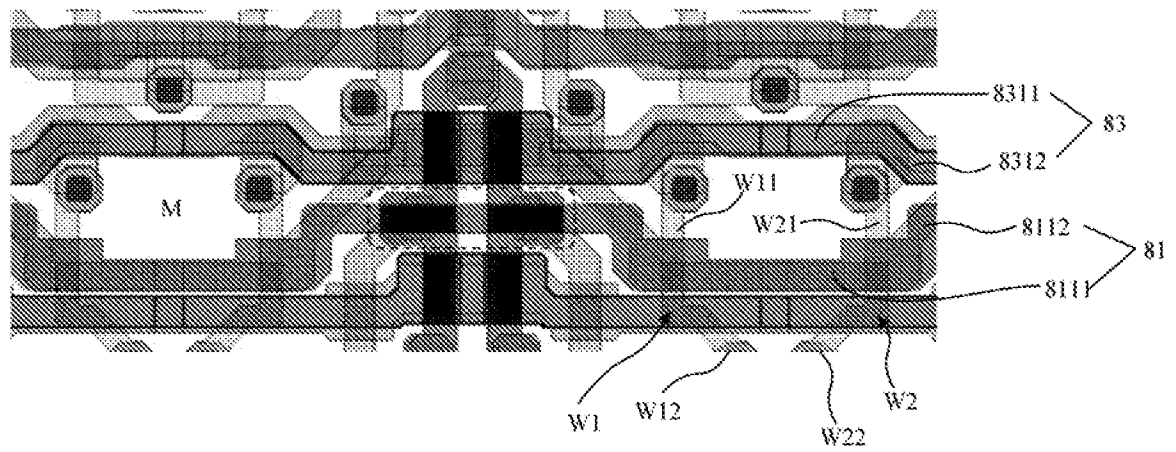


图 49

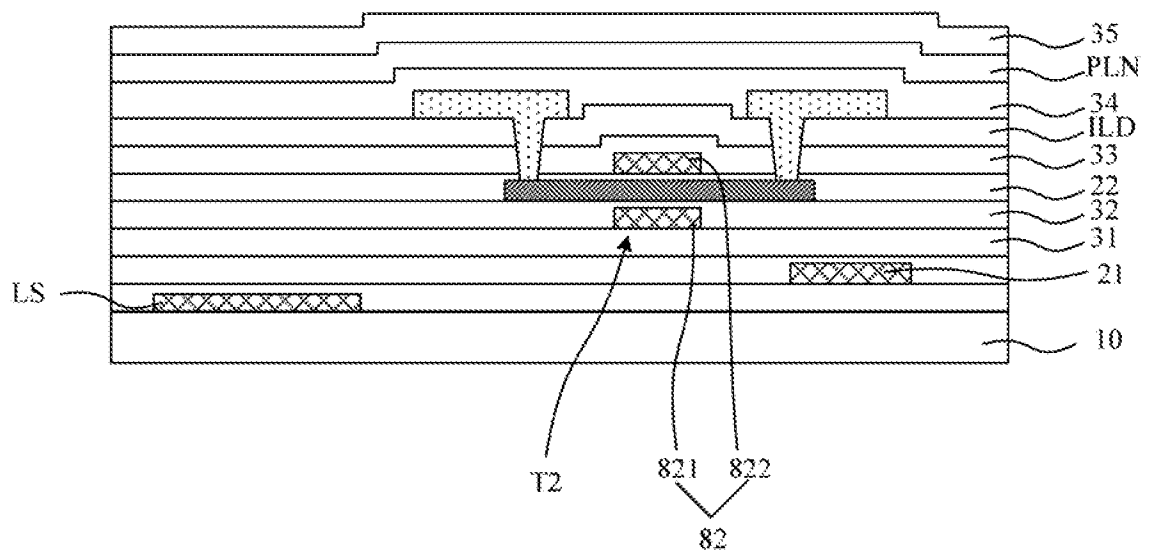


图 50

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/079105

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/32(2016.01)i; H10K59/12(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G3 H10K59

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNABS, CNKI: PPI, 密度, 面积, 尺寸, 重叠, 层叠, 覆盖, 交叠, 投影, 初始化, 重置, 复位; VEN, DWPI, USTXT, EPTXT, WOTXT, IEEE, WEB OF SCIENCE: PPI, density, area, size, overlap, stack, overlay, project, initialize, reset

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115050339 A (XIAMEN TIANMA DISPLAY TECHNOLOGY CO., LTD.) 13 September 2022 (2022-09-13) description, paragraphs 37-112, and figures 1-23	1-17, 23-25
A	CN 113224123 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 August 2021 (2021-08-06) entire document	1-25
A	CN 114093898 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 February 2022 (2022-02-25) entire document	1-25
A	CN 115101538 A (BOE TECHNOLOGY GROUP CO., LTD.) 23 September 2022 (2022-09-23) entire document	1-25



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 October 2023

Date of mailing of the international search report

05 November 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/079105

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115050339	A	13 September 2022	US	2023178009	A1	08 June 2023
CN	113224123	A	06 August 2021	WO	2022233120	A1	10 November 2022
CN	114093898	A	25 February 2022	None			
CN	115101538	A	23 September 2022	None			

A. 主题的分类

G09G3/32(2016.01)i; H10K59/12(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G3 H10K59

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,CNABS,CNKI:PPI, 密度, 面积, 尺寸, 重叠, 层叠, 覆盖, 交叠, 投影, 初始化, 重置, 复位; VEN, DWPI,USTXT,EPTXT,WOTXT,IEEE,WEB OF SCIENCE: PPI, density, area, size, overlap, stack, overlay, project, initialize, reset

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115050339 A (厦门天马显示科技有限公司) 2022年9月13日 (2022 - 09 - 13) 说明书第37-112段, 图1-23	1-17,23-25
A	CN 113224123 A (京东方科技集团股份有限公司 等) 2021年8月6日 (2021 - 08 - 06) 全文	1-25
A	CN 114093898 A (京东方科技集团股份有限公司 等) 2022年2月25日 (2022 - 02 - 25) 全文	1-25
A	CN 115101538 A (京东方科技集团股份有限公司) 2022年9月23日 (2022 - 09 - 23) 全文	1-25

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年10月18日

国际检索报告邮寄日期

2023年11月5日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

吕佩

电话号码 (+86) 020-28958183

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/079105

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115050339	A	2022年9月13日	US	2023178009	A1	2023年6月8日
CN	113224123	A	2021年8月6日	WO	2022233120	A1	2022年11月10日
CN	114093898	A	2022年2月25日	无			
CN	115101538	A	2022年9月23日	无			