



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0061132
(43) 공개일자 2023년05월08일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) H04L 25/03 (2006.01)
H04L 25/49 (2006.01)
(52) CPC특허분류
H04L 25/0266 (2013.01)
H04L 25/0292 (2013.01)
(21) 출원번호 10-2021-0146056
(22) 출원일자 2021년10월28일
심사청구일자 2021년10월28일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
최중혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영
통마크원 2단지)
(74) 대리인
특허법인주연케이알피

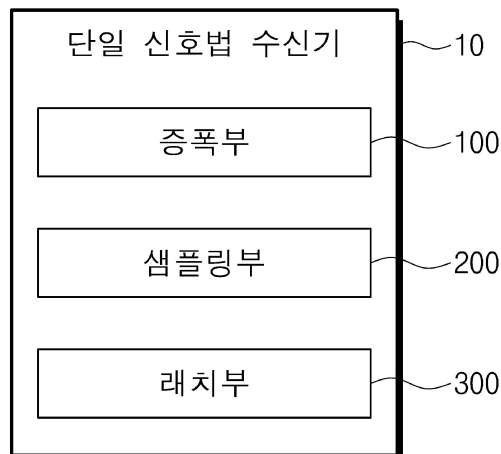
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 스위치드 커패시터 전하 가산기를 포함하는 단일 신호법 수신기 및 그 동작방법

(57) 요약

본 발명은 단일 신호법 수신기에 관한 것으로, 스위치드 커패시터 전하 가산기를 포함하는 단일 신호법 수신기에 관한 것이다. 본 발명의 일 실시예에 따른 단일 신호법 수신기는 단일 신호를 입력받고, 상기 단일 신호를 증폭시키는 증폭부, 입력된 상기 증폭부의 출력 신호를 복원시키고, 복원된 신호를 비교하여 디지털 신호로 샘플링하는 샘플링부, 및 상기 샘플링부의 출력 신호를 NRZ 신호로 변환하는 래치부를 포함한다.

대 표 도 - 도2



(52) CPC특허분류

H04L 25/03006 (2013.01)

H04L 25/4904 (2013.01)

명세서

청구범위

청구항 1

단일 신호를 입력받고, 상기 단일 신호를 증폭시키는 증폭부;

입력된 상기 증폭부의 출력 신호의 ISI 성분을 제거하고, 상기 ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링하는 샘플링부; 및

상기 샘플링부의 출력 신호를 NRZ 신호로 변환하는 래치부를 포함하는, 단일 신호법 수신기.

청구항 2

제1항에 있어서,

상기 샘플링부는,

적어도 하나의 커패시터를 포함하며, 상기 적어도 하나의 커패시터의 스위칭 특성을 이용하여 상기 증폭부로부터 입력된 신호의 상기 ISI 성분을 제거하는 스위치드 커패시터 전하 가산부; 및

상기 스위치드 커패시터 전하 가산부의 출력을 비교하여, 상기 디지털 신호로 샘플링하는 비교부를 포함하는, 단일 신호법 수신기.

청구항 3

제2항에 있어서,

상기 비교부의 출력은 상기 스위치드 커패시터 전하 가산부로 피드백되는, 단일 신호법 수신기.

청구항 4

제3항에 있어서,

상기 스위치드 커패시터 전하 가산부는 피드백된 상기 비교부의 출력에 기초하여, 다음에 입력되는 상기 증폭부의 출력 신호의 상기 ISI 성분을 제거하는, 단일 신호법 수신기.

청구항 5

제4항에 있어서,

이전 데이터가 LOW이면, 상기 스위치드 커패시터 전하 가산부는 상기 증폭부의 출력 신호를 상기 ISI 성분만큼 증가시킴으로써, 상기 증폭부의 출력 신호에 포함된 상기 ISI 성분을 제거하고,

상기 이전 데이터가 HIGH이면, 상기 스위치드 커패시터 전하 가산부는 상기 증폭부의 출력 신호를 상기 ISI 성분만큼 감소시킴으로써, 상기 증폭부의 출력 신호에 포함된 상기 ISI 성분을 제거하는, 단일 신호법 수신기.

청구항 6

제5항에 있어서,

상기 스위치드 커패시터 전하 가산부는 제1 모드 및 제2 모드를 포함하고,

상기 제1 모드는 양(positive)의 출력 모드이고,

상기 제2 모드는 음(negative)의 출력 모드인, 단일 신호법 수신기.

청구항 7

제6항에 있어서,

상기 스위치드 커패시터 전하 가산부가 상기 제1 모드로 동작할 때, 상기 스위치드 커패시터 전하 가산부는 제1

및 제2 상태를 통해 상기 ISI 성분을 제거하는, 단일 신호법 수신기.

청구항 8

제7항에 있어서,

상기 제1 상태는 클럭에 HIGH가 입력되는 상태이고,

상기 제2 상태는 상기 클럭에 LOW가 입력되는 상태인, 단일 신호법 수신기.

청구항 9

제6항에 있어서,

상기 스위치드 커패시터 전하 가산부가 상기 제2 모드로 동작할 때, 상기 스위치드 커패시터 전하 가산부는 상기 피드백된 비교부의 출력에 상관없이 같은 데이터를 출력하는, 단일 신호법 수신기.

청구항 10

제1항에 있어서,

상기 샘플링부의 출력 신호는 RZ 신호인, 단일 신호법 수신기.

청구항 11

증폭부가 단일 신호를 입력받고, 상기 단일 신호를 증폭시키는 단계;

샘플링부가 입력된 상기 증폭부의 출력 신호의 ISI 성분을 제거하고, 상기 ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링하는 단계; 및

래치부가 상기 샘플링부의 출력 신호를 NRZ 신호로 변환하는 단계를 포함하는, 단일 신호법 수신기의 동작방법.

청구항 12

제11항에 있어서,

상기 샘플링부가 입력된 상기 증폭부의 출력 신호의 ISI 성분을 제거하고, 상기 ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링하는 단계는,

스위치드 커패시터 전하 가산부가 적어도 하나의 커패시터를 포함하며, 상기 적어도 하나의 커패시터의 스위칭 특성을 이용하여 상기 증폭부로부터 입력된 신호의 상기 ISI 성분을 제거하여 신호를 복원하는 단계; 및

비교부가 상기 스위치드 커패시터 전하 가산부의 출력을 비교하여, 상기 디지털 신호로 샘플링하는 단계를 포함하는, 단일 신호법 수신기의 동작방법.

청구항 13

제12항에 있어서,

상기 비교부의 출력이 상기 스위치드 커패시터 전하 가산부로 피드백되는 단계를 더 포함하는, 단일 신호법 수신기의 동작방법.

청구항 14

제13항에 있어서,

상기 스위치드 커패시터 전하 가산부가 피드백된 상기 비교부의 출력에 기초하여, 다음에 입력되는 상기 증폭부의 출력 신호의 상기 ISI 성분을 제거하는 단계를 더 포함하는, 단일 신호법 수신기의 동작방법.

발명의 설명

기술 분야

[0001] 본 발명은 단일 신호법 수신기에 관한 것으로, 스위치드 커패시터 전하 가산기를 포함하는 단일 신호법 수신기

에 관한 것이다.

배경 기술

- [0002] 종래의 연속 시간 선형 등화기 회로의 경우 차동 신호를 입력받아 특정 주파수의 성분을 증폭시켜 채널 ISI(Inter-symbol interference)를 제거했다. 이 경우 차동 신호를 입력 받아야만 출력이 선형적으로 왜곡없이 증폭이 가능했다. 이를 단일 신호법에 적용하기 위해서는 연속 시간 선형 등화기 전에 단일 신호를 차동 신호로 바꿔주는 증폭기가 필요했으며, 단일 신호를 차동 신호로 바꿔주는 증폭기는 단일 입력 신호를 받아 고정된 전압값과 비교해 차동 신호를 출력했다.
- [0003] 그러나, 증폭기의 두 입력이 차동신호가 아니어서 출력 또한 완전히 대칭적인 차동신호가 아니게되어 신호에 왜곡이 발생할 수 있다는 문제점이 있다.
- [0004] 또한, 종래의 차동 판정 궤환 등화기의 경우 회로로 채널을 통과하며 생긴 ISI와 반대되는 전류를 가산시켜 ISI를 제거하였다. 그러나 이 또한 차동 구조를 기반으로하기 때문에 입력 신호는 차동 신호여야하며, 고정된 전류원을 사용하기 때문에 항상 전류를 소모하게되는 문제점이 있다.
- [0005] 이에 더해, 차동 판정 궤환 등화기는 연속 시간 선형 등화기 회로의 뒤에 연결되기 때문에, 비대칭적인 연속 시간 선형 등화기 회로의 출력에 기초하여 차동 판정 궤환 등화기의 출력 또한 비선형적일 수 있다는 문제점이 있다.
- [0006] 이와 같이, 차동 구조를 기반으로 하는 등화기에 단일 신호법을 적용할 경우, 정상적으로 동작하지 않거나 성능이 제한되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 단일 신호 입력 시에 신호의 왜곡을 보상해주는 단일 신호법 수신기를 제공하는 것에 목적이 있다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 단일 신호법 수신기는 단일 신호를 입력받고, 상기 단일 신호를 증폭시키는 증폭부, 입력된 상기 증폭부의 출력 신호의 ISI 성분을 제거하고, 상기 ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링하는 샘플링부, 및 상기 샘플링부의 출력 신호를 NRZ 신호로 변환하는 래치부를 포함한다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 샘플링부는, 적어도 하나의 커패시터를 포함하며, 상기 적어도 하나의 커패시터의 스위칭 특성을 이용하여 상기 증폭부로부터 입력된 신호의 상기 ISI 성분을 제거하는 스위치드 커패시터 전하 가산부, 및 상기 스위치드 커패시터 전하 가산부의 출력을 비교하여, 상기 디지털 신호로 샘플링하는 비교부를 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 비교부의 출력은 상기 스위치드 커패시터 전하 가산부로 피드백될 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 스위치드 커패시터 전하 가산부는 피드백된 상기 비교부의 출력에 기초하여, 다음에 입력되는 상기 증폭부의 출력 신호의 상기 ISI 성분을 제거할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 이전 데이터가 LOW이면, 상기 스위치드 커패시터 전하 가산부는 상기 증폭부의 출력 신호를 상기 ISI 성분만큼 증가시킴으로써, 상기 ISI 성분을 제거하고, 상기 피드백된 비교부의 출력이 HIGH이면, 상기 스위치드 커패시터 전하 가산부는 상기 증폭부의 출력 신호를 상기 ISI 성분만큼 감소시킴으로써, 상기 ISI 성분을 제거할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 스위치드 커패시터 전하 가산부는 제1 모드 및 제2 모드를 포함하고, 상기 제1 모드는 양(positive)의 출력 모드이고, 상기 제2 모드는 음(negative)의 출력 모드일 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 스위치드 커패시터 전하 가산부가 상기 제1 모드로 동작할 때, 상기 스위치드 커패시터 전하 가산부는 제1 및 제2 상태를 통해 상기 ISI 성분을 제거할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제1 상태는 클럭에 HIGH가 입력되는 상태이고, 상기 제2 상태는 상기 클럭

에 LOW가 입력되는 상태일 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 스위치드 커패시터 전하 가산부가 상기 제2 모드로 동작할 때, 상기 스위치드 커패시터 전하 가산부는 상기 피드백된 비교부의 출력에 상관없이 같은 데이터를 출력할 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 샘플링부의 출력 신호는 RZ 신호일 수 있다.

[0018] 본 발명의 일 실시예에 따른 단일 신호법 수신기의 동작방법은 증폭부가 단일 신호를 입력받고, 상기 단일 신호를 증폭시키는 단계, 샘플링부가 입력된 상기 증폭부의 출력 신호의 ISI 성분을 제거하고, 상기 ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링하는 단계, 및 래치부가 상기 샘플링부의 출력 신호를 NRZ 신호로 변환하는 단계를 포함할 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 샘플링부가 입력된 상기 증폭부의 출력 신호의 ISI 성분을 제거하고, 상기 ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링하는 단계는, 스위치드 커패시터 전하 가산부가 적어도 하나의 커패시터를 포함하며, 상기 적어도 하나의 커패시터의 스위칭 특성을 이용하여 상기 증폭부로부터 입력된 신호의 상기 ISI 성분을 제거하여 신호를 복원하는 단계, 및 비교부가 상기 스위치드 커패시터 전하 가산부의 출력을 비교하여, 상기 디지털 신호로 샘플링하는 단계를 포함할 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 비교부의 출력이 상기 스위치드 커패시터 전하 가산부로 피드백되는 단계를 더 포함할 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 스위치드 커패시터 전하 가산부가 피드백된 상기 비교부의 출력에 기초하여, 다음에 입력되는 상기 증폭부의 출력 신호의 상기 ISI 성분을 제거하는 단계를 더 포함할 수 있다.

발명의 효과

[0022] 본 발명의 단일 신호법 수신기는 단일 신호 입력 시에 신호의 왜곡을 보상해줄 수 있다.

도면의 간단한 설명

[0023] 도 1은 채널 ISI가 없는 NRZ 신호의 일 예를 보여주는 도면이다.

도 2는 본 발명의 일 실시예에 따른 단일 신호법 수신기의 블록도이다.

도 3은 본 발명의 일 실시예에 따른 단일 신호법 수신기의 좀 더 자세하게 보여주는 도이다.

도 4a 및 도 4b는 이전 데이터가 HIGH일 때의 스위치드 커패시터 전하 가산부의 positive 출력 동작을 보여주는 도이다.

도 5a 및 도 5b는 이전 데이터가 LOW일 때의 스위치드 커패시터 전하 가산부의 positive 출력 동작을 보여주는 도이다.

도 6a 및 도 6b는 스위치드 커패시터 전하 가산부의 negative 출력 동작을 보여주는 도이다.

도 7은 본 발명의 다른 실시예에 따른 샘플링부 및 변환부를 도시한 도이다.

도 8은 본 발명의 일 실시예에 따른 단일 신호법 수신기의 동작방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 본 출원의 기술적 사상을 본 출원의 기술분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 출원의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 도 1은 채널 ISI가 없는 NRZ 신호의 일 예를 보여주는 도면이다.

[0025] 이하에서 설명될 본 출원의 일 실시예에 따른 단일 신호법 수신기는 도1 과 같이 채널 ISI가 없는 깨끗한 NRZ 신호를 복원할 수 있다.

[0026] NRZ 신호는 HIGH와 LOW 두 가지로 구분될 수 있다. 각 신호는 다음과 같이 정의될 수 있다.

[0027] $HIGH = V_{CM} + V_P$

[0028] $LOW = V_{CM} - V_P$

- [0029] 채널을 거친 신호는 감쇄와 함께 ISI 성분이 추가될 수 있다. 이때, ISI 성분은 패턴에 의존하는 성분으로, 이전 데이터에 기초하여 결정되어 신호에 추가될 수 있다.
- [0030] 예를 들어, 이전 신호에 따른 이전 데이터가 LOW이면, 현재 신호는 ISI 성분만큼 감소하고, 이전 데이터가 HIGH이면, 현재 신호를 ISI 성분만큼 증가할 수 있다. ISI 성분을 a_{ISI} 라고 하면, ISI 성분이 추가된 신호는 다음과 같이 나타낼 수 있다.
- [0031] $HIGH = V_{CM} + V_P \pm a_{ISI}$
- [0032] $LOW = V_{CM} - V_P \pm a_{ISI}$
- [0033] 공통 모드 전압 V_{CM} 을 기준으로 최대가 V_P 인 신호를 다음과 같이 나타낼 수 있다.
- [0034] $SIGNAL = V_{CM} \pm V_P \pm a_{ISI}$
- [0035] 본 출원의 실시 예에 따른 단일 신호법 수신기는 이전 데이터 및 커패시터의 스위치 특성을 이용하여 NRZ 신호를 복원할 때에 ISI 성분을 효과적으로 제거할 수 있다. 또한, 본 발명의 단일 신호법 수신기는 고정 전류원을 사용하지 않아 전류 소모량을 줄일 수 있으며, 부가적인 증폭기를 사용하지 않아 전력 소모와 면적을 줄일 수 있다.
- [0036] 도 2는 본 발명의 일 실시예에 따른 단일 신호법 수신기의 블록도이다.
- [0037] 본 발명의 일 실시예에 따른 단일 신호법 수신기(10)는 증폭부(100), 샘플링부(200), 및 래치부(300)를 포함할 수 있다.
- [0038] 증폭부(100)는 단일 신호를 입력받고, 입력된 단일 신호를 증폭시킬 수 있다. 이때, 증폭부(100)는 앰플리파이어(amplifier)만으로 구성되거나, 연속시간선형등화기를 포함할 수 있다.
- [0039] 샘플링부(200)는 증폭부(100)로부터 입력된 신호의 ISI 성분을 제거하여, 신호를 복원할 수 있다. 이때, 샘플링부(200)는 증폭부(100)의 출력과 아날로그 입력 전압을 입력받을 수 있다.
- [0040] 좀 더 자세하게, 샘플링부(200)는 이전 데이터에 기초하여, 입력된 증폭부(100)의 출력 신호를 복원시키고, 복원된 신호를 비교하여 디지털 신호로 샘플링할 수 있다. 예를 들어, 샘플링부(200)는 ISI 성분을 포함하고 있는 증폭된 출력을 입력 받아, ISI 성분을 제거하여 신호를 복원할 수 있다. 이때, 샘플링된 디지털 신호는 피드백되어 다음 입력 신호의 ISI 성분을 제거하는데 사용될 수 있다.
- [0041] 래치부(300)는 샘플링부(200)의 출력을 입력받아, NRZ 신호로 변환할 수 있다. 래치부(300)는 SR 래치로 구현될 수 있으며, 샘플링부(200)의 출력 신호인 RZ 신호를 NRZ 신호로 변환하여 출력할 수 있다.
- [0042] 상술한 바와 같이, 단일 신호법 수신기(10)는 단일 신호를 입력받고, 증폭된 단일 신호의 ISI 성분을 제거하여 복원 신호를 생성하고, 생성된 복원 신호를 비교하여 디지털 신호로 샘플링 할 수 있다. 좀 더 자세하게, 단일 신호법 수신기(10)는 단일 신호를 입력받고, 단일 신호를 증폭시킬 수 있다. 단일 신호법 수신기(10)는 이전 데이터에 기초하여, ISI 성분을 제거함으로써, 현재 입력된 증폭부(100)의 출력 신호를 복원시킬 수 있다. 단일 신호법 수신기(10)는 복원된 신호를 비교하여 디지털 신호로 샘플링할 수 있다. 단일 신호법 수신기(10)는 샘플링된 신호를 NRZ 신호로 변환하여 출력할 수 있다.
- [0043] 이에 따라, 본 발명의 단일 신호법 수신기(10)는 단일 신호 입력 시에 신호의 왜곡을 보상해줄 수 있다. 또한, 본 발명의 단일 신호법 수신기(10)는 고정 전류원을 사용하지 않아 전류 소모량을 줄일 수 있으며, 부가적인 증폭기를 사용하지 않아 전력 소모와 면적을 줄일 수 있다.
- [0044] 도 3은 본 발명의 일 실시예에 따른 단일 신호법 수신기를 좀 더 자세하게 보여주는 도이다.
- [0045] 도 3을 참조하면, 단일 신호법 수신기(10)는 증폭부(100), 샘플링부(200), 및 래치부(300)를 포함할 수 있다.
- [0046] 증폭부(100)는 단일 신호가 입력되고, 단일 신호를 증폭할 수 있다. 즉, 증폭부(100)는 입력된 단일 신호를 증폭시켜 증폭된 신호(AFE_{OUT})를 출력할 수 있다. 이때, 증폭부(100)는 앰플리파이어(amplifier)만으로 구성되거나, 연속시간선형등화기를 포함하여 구성될 수 있다. 증폭부(100)는 S2D 증폭기를 추가로 구비할 필요가 없어, 전력 소모와 면적을 줄일 수 있다.

- [0047] 샘플링부(200)는 스위치드 커패시터 전하 가산부(210) 및 비교부(230)를 포함할 수 있다.
- [0048] 스위치드 커패시터 전하 가산부(210)는 이전 데이터에 기초하여, 현재 입력된 증폭부(100)의 출력 신호의 ISI 성분을 제거하여 신호를 복원시킬 수 있다.
- [0049] 구체적으로, 이전 데이터가 LOW이면, 스위치드 커패시터 전하 가산부(210)는 증폭부(100)의 출력 신호를 ISI 성분만큼 증가시킴으로써, 증폭부(100)의 출력 신호에 포함된 ISI 성분을 제거할 수 있다. 다른 예로, 이전 데이터가 HIGH이면, 스위치드 커패시터 전하 가산부(210)는 증폭부(100)의 출력 신호를 ISI 성분만큼 감소시킴으로써, 증폭부(100)의 출력 신호에 포함된 ISI 성분을 제거할 수 있다.
- [0050] 스위치드 커패시터 전하 가산부(210)는 제1 및 제2 모드를 포함할 수 있다. 예를 들어, 제1 모드는 스위치드 커패시터 전하 가산부(210)가 양의 값을 출력하는 양(positive)의 출력 모드이고, 제2 모드는 스위치드 커패시터 전하 가산부(210)가 음의 값을 출력하는 음(negative)의 출력 모드일 수 있다.
- [0051] 제1 모드에서 스위치드 커패시터 전하 가산부(210)는 증폭부(100)의 출력 신호와, 제1 내지 제3 아날로그 신호 중 하나를 입력받을 수 있다.
- [0052] 스위치드 커패시터 전하 가산부(210)는 제1 모드로 동작할 때, 증폭부(100)로부터 입력된 신호의 ISI 성분을 제거할 수 있다. 스위치드 커패시터 전하 가산부(210)는 프리 차지된 커패시터가 전압을 유지하려는 차지 재분배(charge redistribution) 특징을 이용하여 ISI 성분을 제거할 수 있다. 이에 따라, 고정 전류원이 없고 차지의 분배를 이용하기 때문에 전력 소모량이 거의 없을 수 있다.
- [0053] 스위치드 커패시터 전하 가산부(210)는 제2 모드로 동작할 때, 피드백된 비교부(230)의 출력에 상관없이 항상 같은 데이터를 출력할 수 있다. 제2 모드의 출력은 제1 모드의 출력과 같은 용량성 부하(capacitive load)를 갖게 하여, 커패시터의 킥 백 노이즈를 같게 받도록 할 수 있다.
- [0054] 이와 관련하여 구체적인 내용은 도 4a, 도 4b, 도 5a, 도 5b, 도 6a, 및 도 6b에서 후술될 것이다.
- [0055] 비교부(230)는 스위치드 커패시터 전하 가산부(210)의 출력을 입력받아, 디지털 신호로 샘플링할 수 있다. 예를 들어, 비교부(230)는 스위치드 커패시터 전하 가산부(210)의 제1 출력(SAMP_P) 및 제2 출력(SAMP_N)을 비교하여 디지털 신호로 샘플링할 수 있다. 이때, 제1 출력(SAMP_P)은 양의 출력이고, 제2 출력(SAMP_N)은 음의 출력일 수 있다. 좀 더 자세하게, 제1 출력(SAMP_P)은 증폭부(100)의 출력을 보상한 신호이고, 제2 출력(SAMP_N)은 제1 아날로그 신호를 그대로 출력하는 신호일 수 있다.
- [0056] 비교부(230)는 디지털 신호로 샘플링된 신호를 스위치드 커패시터 전하 가산부(210)로 피드백할 수 있다. 예를 들어, 피드백된 비교부(230)의 출력은 다음 동작을 수행하기 위해 스위치드 커패시터 전하 가산부(210)에 입력될 수 있다.
- [0057] 또한, 래치부(300)로 입력될 수 있다. 래치부(300)는 RZ 형태의 디지털 신호(COMP_{OUT})를 입력받아 NRZ 형태로 변환하여 출력 신호(DATA_{OUT})를 출력할 수 있다. 이때, 디지털 신호(COMP_{OUT})는 양의 값을 가진 양의 디지털 신호(COMP_P) 및 음의 값을 가진 디지털 신호(COMP_N)을 포함할 수 있다.
- [0058] 도 4a 및 도 4b는 이전 데이터가 HIGH일 때의 스위치드 커패시터 전하 가산부의 제1 모드의 출력 동작을 보여주는 도이다. 구체적으로, 도 4a는 이전 데이터가 HIGH일 때 제1 모드에서의 스위치드 커패시터 전하 가산부의 제1 상태를 보여주는 도면이고, 도 4b는 이전 데이터가 HIGH일 때 제1 모드에서의 스위치드 커패시터 전하 가산부의 제2 상태를 보여주는 도면이다.
- [0059] 스위치드 커패시터 전하 가산부가 제1 상태에서 제2 상태로 스위칭됨으로써, 증폭부의 출력 신호에 포함된 ISI 성분이 제거될 수 있다. 이 경우, 이전의 데이터가 HIGH이기 때문에 현재의 신호에 +a_{ISI}가 추가된 경우로, 스위치드 커패시터 전하 가산부는 현재의 신호에서 a_{ISI}를 제거하기 위한 동작을 수행할 수 있다.
- [0060] 도 4a를 참조하면, 제1 모드의 제1 상태에서, HIGH 클럭 신호가 인가된다. HIGH의 클럭 신호가 인가되면, 커패시터 양단에 증폭부의 출력과 제1 아날로그 전압이 입력될 수 있다. 이때, 제1 아날로그 전압은 공통모드 전압일 수 있다. 공통모드 전압(V_{CM})을 기준으로, 피크가 V_P인 신호는 V_{CM}±V_P+a_{ISI}로 나타낼 수 있다.
- [0061] 스위치드 커패시터 전하 가산부가 제1 모드 제1 상태일 때, 각 노드의 전압은 다음과 같다.

- [0062] $AFE_{OUT} = V_{CM} \pm V_P + a_{ISI}$
- [0063] $V_{TOP} = V_{CM} \pm V_P + a_{ISI}$
- [0064] $V_{BOTTOM} = V_{CM}$
- [0065] $V_{CAP} = \pm V_P + a_{ISI}$
- [0066] 이때, AFE_{OUT} 은 증폭부의 출력단의 전압이고, V_{CM} 은 공통 모드 전압이고, V_{CAP} 는 커패시터의 전압이고, V_P 는 공통 모드전압을 기준으로 피크 전압인 전압이며, a_{ISI} 는 ISI 성분의 크기일 수 있다.
- [0067] 도 4b를 참조하면, 이전 데이터가 HIGH일 때, 스위치드 커패시터 전하 가산부의 제1 모드의 제2 상태 동작을 보여주는 도이다. 즉, 제1 모드의 제1 상태에서, LOW의 클럭 신호가 인가되고, HIGH의 $COMP_P$ 신호가 인가된다. $COMP_P$ 신호는 양의 값인 디지털 신호($COMP_{OUT}$, 도 2 참조)를 의미할 수 있다.
- [0068] 스위치드 커패시터 전하 가산부는 클럭이 LOW로 바뀌면서 커패시터의 상단은 플로팅 노드가 된다. 이전 데이터가 HIGH였으므로, 비교부의 출력인 $COMP_P$ 는 HIGH가 되고, $COMP_N$ 은 LOW가 되어, 커패시터의 하단은 $V_{EQ,N}$ 과 연결될 수 있다. 이때, $V_{EQ,N}$ 은 샘플링부의 보상 계수로, $V_{CM} - a_{ISI}$ 일 수 있다.
- [0069] 커패시터는 양단 전압을 유지하려는 성질이 있기 때문에, 플로팅 노드인 상단 전압은 아래와 같이 ISI 성분이 제거되어 제1 출력($SAMP_P$)으로 출력될 수 있다.
- [0070] $SAMP_P = V_{CM} \pm V_P$
- [0071] $V_{TOP} = V_{CM} \pm V_P$
- [0072] $V_{BOTTOM} = V_{CM} - a_{ISI}$
- [0073] $V_{CAP} = \pm V_P + a_{ISI}$
- [0074] 이때, $SAMP_P$ 는 비교부의 제1 출력 전압이고, V_{CM} 은 공통 모드 전압이고, V_{CAP} 는 커패시터의 전압이고, V_P 는 공통 모드전압을 기준으로 피크 전압인 전압이며, a_{ISI} 는 ISI 성분의 크기일 수 있다.
- [0075] 도 5a 및 도 5b는 이전 데이터가 LOW일 때의 스위치드 커패시터 전하 가산부의 제1 모드의 출력 동작을 보여주는 도이다.
- [0076] 구체적으로, 도 5a는 이전 데이터가 LOW일 때 제1 모드에서의 스위치드 커패시터 전하 가산부(210)의 제1 상태를 보여주는 도면이고, 도 5b는 이전 데이터가 LOW일 때 제1 모드에서의 스위치드 커패시터 전하 가산부(210)의 제2 상태를 보여주는 도면이다.
- [0077] 스위치드 커패시터 전하 가산부가 제1 상태에서 제2 상태로 스위칭됨으로써, 증폭부의 출력 신호에 포함된 ISI 성분이 제거될 수 있다. 이 경우, 이전의 데이터가 LOW이기 때문에 현재 신호에 $-a_{ISI}$ 가 추가된 경우로, 스위치드 커패시터 전하 가산부는 현재의 신호에서 a_{ISI} 를 제거하기 위한 동작을 수행할 수 있다.
- [0078] 도 5a를 참조하면, 제1 모드의 제1 상태에서, HIGH의 클럭 신호가 인가된다.
- [0079] 제1 상태에서 클럭은 HIGH가 입력되므로, 커패시터의 양단에 증폭부의 출력(AFE_{OUT})과 제1 아날로그 전압(V_{CM})이 입력될 수 있다. 이때의 각 노드의 전압은 다음과 같다.
- [0080] $AFE_{OUT} = V_{CM} \pm V_P - a_{ISI}$
- [0081] $V_{TOP} = V_{CM} \pm V_P - a_{ISI}$
- [0082] $V_{BOTTOM} = V_{CM}$
- [0083] $V_{CAP} = \pm V_P - a_{ISI}$

- [0084] 이때, A_{FEOUT} 은 증폭부의 출력단의 전압이고, V_{CM} 은 공통 모드 전압이고, V_{CAP} 는 커패시터의 전압이고, V_P 는 공통 모드 전압을 기준으로 피크 전압인 전압이며, a_{ISI} 는 ISI 성분의 크기일 수 있다.
- [0085] 도 5b는 이전 데이터가 LOW일 때, 스위치드 커패시터 전하 가산부의 제1 모드의 제2 상태 동작을 보여주는 도이다. 즉, 제1 모드의 제1 상태에서, LOW의 클럭 신호가 인가되고, HIGH의 $COMP_N$ 신호가 인가된다. $COMP_N$ 신호는 음의 값인 디지털 신호($COMP_{OUT}$, 도 2 참조)를 의미할 수 있다.
- [0086] 스위치드 커패시터 전하 가산부는 클럭이 LOW로 바뀌면서 커패시터의 상단은 플로팅 노드가 된다. 이전 데이터가 LOW였으므로, 비교부의 출력인 $COMP_P$ 는 LOW가 되고, $COMP_N$ 은 HIGH가 되어, 커패시터의 하단은 $V_{EQ,P}$ 와 연결될 수 있다. 이때, $V_{EQ,P}$ 는 샘플링부의 보상 계수로, $V_{CM}+a_{ISI}$ 일 수 있다.
- [0087] 커패시터는 양단 전압을 유지하려는 성질이 있기 때문에, 플로팅 노드인 상단 전압은 아래와 같이 ISI 성분이 제거되어 $SAMP_P$ 로 출력될 수 있다.
- [0088] $SAMP_P = V_{CM} \pm V_P$
- [0089] $V_{TOP} = V_{CM} \pm V_P$
- [0090] $V_{BOTTOM} = V_{CM} + a_{ISI}$
- [0091] $V_{CAP} = \pm V_P - a_{ISI}$
- [0092] 이때, $SAMP_P$ 는 비교부의 제1 출력 전압이고, V_{CM} 은 공통 모드 전압이고, V_{CAP} 는 커패시터의 전압이고, V_P 는 공통 모드 전압을 기준으로 피크 전압인 전압이며, a_{ISI} 는 ISI 성분의 크기일 수 있다.
- [0093] 도 6a 및 도 6b는 스위치드 커패시터 전하 가산부의 제2 모드의 출력 동작을 보여주는 도이다. 구체적으로, 도 6a는 이전 데이터가 HIGH일 때, 제2 모드에서의 스위치드 커패시터 전하 가산부의 제1 상태를 보여주는 도면이고, 도 6b는 이전 데이터가 HIGH일 때, 제2 모드에서의 스위치드 커패시터 전하 가산부의 제2 상태를 보여주는 도면이다.
- [0094] 도 6a는 스위치드 커패시터 전하 가산부의 제2 모드의 제1 상태 동작을 보여주는 도이다. 즉, 제2 모드에서 클럭이 HIGH가 들어오는 상태를 보여주는 예시이다. 좀 더 자세하게, 스위치드 커패시터 전하 가산부의 제2 모드의 제1 상태 동작은 클럭에 HIGH가 입력되어 상단 노드가 제1 아날로그 전압(V_{CM})과 연결될 수 있다. 또한, VDD에 스위치를 연결시키는 HIGH 신호와 같은 전압 레벨이 입력되어 하단 노드가 VSS와 연결될 수 있다. 이때, VSS는 0V전압으로, 접지(ground voltage)와 같을 수 있다. 이에 따라, $SAMP_N$ 은 제1 아날로그 전압(V_{CM})이 출력될 수 있다.
- [0095] 도 6b는 스위치드 커패시터 전하 가산부의 제2 모드의 제2 상태 동작을 보여주는 도이다. 즉, 제2 모드에서 클럭이 LOW가 들어오는 상태를 보여주는 예시이다. 좀 더 자세하게, 스위치드 커패시터 전하 가산부의 제2 모드의 제2 상태 동작은 클럭에 LOW가 입력되어 상단 노드가 플로팅될 수 있다. 이때, 제1 모드의 출력과 동기화된 동작으로, 상단을 플로팅시켜 비교기의 킥 백 노이즈(kick back noise)가 동일하게 받도록 할 수 있다.
- [0096] 또한, VDD에 스위치를 연결시키는 HIGH 신호와 같은 전압 레벨이 입력되어 하단 노드가 VSS와 연결될 수 있다. 이때, VSS는 0V전압으로, 접지(ground voltage)와 같을 수 있다. 이에 따라, $SAMP_N$ 은 제1 아날로그 전압이 출력될 수 있다.
- [0097] 상술한 바와 같이, 제2 모드의 출력 동작은 이전 데이터와 상관 없이 항상 제1 아날로그 전압(V_{CM})인 공통 모드 전압을 출력할 수 있다. 도 7은 본 발명의 다른 실시예에 따른 샘플링부 및 변환부를 도시한 도이다.
- [0098] 도 7을 참조하면, 본 발명의 샘플링부는 루프 풀기(loop unrolling) 구조로 구현될 수 있다.
- [0099] 샘플링부(201)는 제1 스위치드 커패시터 전하 가산부(211), 제2 스위치드 커패시터 전하 가산부(212), 제1 비교부(231), 제2 비교부(232) 및 믹스(251)를 포함할 수 있다.
- [0100] 제1 스위치드 커패시터 전하 가산부(211)는 제1 및 제2 아날로그 전압(V_{CM} , $V_{EQ,P}$)과 증폭부의 출력을 입력받을

수 있다. 이때, 제1 아날로그 전압은 공통모드 전압(V_{CM})이고, 제2 아날로그 전압은 양의 보상 계수 전압($V_{EQ,P}$)일 수 있다.

[0101] 제1 비교부(231)는 제1 스위치드 커패시터 전하 가산부(211)의 출력을 입력받아 제1 출력($COMP_{OUT,P}$)을 생성할 수 있다. 이때, 제1 스위치드 커패시터 전하 가산부(211)는 도 1의 스위치드 커패시터 전하 가산부(210)와 동일하고, 제1 비교부(231)는 도 1의 비교부(230)와 동일하므로 자세한 설명은 생략될 것이다.

[0102] 제1 스위치드 커패시터 전하 가산부(211) 및 제1 비교부(231)를 통해 +ISI 성분을 제거할 수 있다.

[0103] 제2 스위치드 커패시터 전하 가산부(212)는 제1 및 제3 아날로그 전압(V_{CM} , $V_{EQ,N}$)과 증폭부의 출력을 입력받을 수 있다. 이때, 제1 아날로그 전압은 공통모드 전압(V_{CM})이고, 제3 아날로그 전압은 음의 보상 계수 전압($V_{EQ,N}$)일 수 있다.

[0104] 제2 비교부(232)는 제2 스위치드 커패시터 전하 가산부(212)의 출력을 입력받아 제2 출력($COMP_{OUT,N}$)을 생성할 수 있다. 이때, 제2 스위치드 커패시터 전하 가산부(212)는 도 1의 스위치드 커패시터 전하 가산부(210)와 동일하고, 제2 비교부(232)는 도 1의 비교부(230)와 동일하므로 자세한 설명은 생략될 것이다.

[0105] 제2 스위치드 커패시터 전하 가산부(212) 및 제2 비교부(232)를 통해 -ISI 성분을 제거할 수 있다.

[0106] 즉, 제1 및 제2 스위치드 커패시터 전하 가산부(211, 212)와 제1 및 제2 비교부(231, 232)를 사용하여, 데이터와 상관없이 하나는 +ISI를 제거하고, 나머지 하나는 -ISI를 제거하도록 할 수 있다. 미리 데이터를 비교해 놓은 후, 이전 출력 데이터에 기초하여 현재의 출력 데이터를 믹스(251)에서 선택하도록 할 수 있다. 믹스(251)의 출력을 플립플롭(271)으로 입력하여, RZ 신호를 NRZ로 변환할 수 있다.

[0107] 제1 및 제2 스위치드 커패시터 전하 가산부(211, 212)와 제1 및 제2 비교부(231, 232)가 데이터에 상관 없이 항상 한 방향으로 데이터를 복원하기 때문에, 데이터에 왜곡을 일으킬 수 있으나, 피드백과 믹스(251)를 통해 신호의 왜곡을 보상할 수 있다.

[0108] 상술한 루프 풀기(loop unrolling) 구조는 피드백 루프 딜레이 타임이 $T_{MUX}+T_{Flip-Flop}$ 으로 기존보다 짧아지도록 할 수 있다.

[0109] 도 8은 본 발명의 일 실시예에 따른 단일 신호법 수신기의 동작방법을 도시한 순서도이다.

[0110] 도 8을 참조하면, S100 단계에서, 증폭부가 단일 신호를 증폭시킬 수 있다. 예를 들어, 단일 신호를 입력받고, 입력된 단일 신호를 증폭시킬 수 있다. 이때, 증폭부는 앰플리파이어(amplifier)만으로 구성되거나, 연속시간선형등화기를 포함할 수 있다.

[0111] S200 단계에서 샘플링부가 입력된 증폭부의 출력 신호의 ISI 성분을 제거하고, ISI 성분이 제거된 출력 신호를 비교하여 디지털 신호로 샘플링할 수 있다. 예를 들어, ISI 성분을 포함하고 있는 증폭된 출력을 입력 받아, ISI 성분을 제거하여 신호를 복원할 수 있다. 또한, 복원된 신호를 비교하여 디지털 신호로 샘플링할 수 있다. 이때, 샘플링된 신호는 피드백되어 다음 입력 신호의 ISI 성분을 제거할 수 있다.

[0112] S300 단계에서 래치부가 샘플링부의 출력 신호를 NRZ 신호로 변환할 수 있다. 예를 들어, 래치부는 SR 래치로 구현될 수 있으며, 샘플링부의 출력 신호인 RZ 신호를 NRZ 신호로 변환하여 출력할 수 있다.

[0113] 상술한 설명에서 제안 방식에 대한 일례들 또한 본 개시의 구현 방법들 중 하나로 포함될 수 있으므로, 일종의 제안 방식들로 간주될 수 있음은 명백한 사실이다. 또한, 상기 설명한 제안 방식들은 독립적으로 구현될 수 도 있지만, 일부 제안 방식들의 조합 (혹은 병합) 형태로 구현될 수 도 있다.

[0114] 상술한 바와 같이 개시된 본 개시의 예들은 본 개시와 관련된 기술분야의 통상의 기술자가 본 개시를 구현하고 실시할 수 있도록 제공되었다. 상기에서는 본 개시의 예들을 참조하여 설명하였지만, 해당 기술 분야의 통상의 기술자는 본 개시의 예들을 다양하게 수정 및 변경시킬 수 있다. 따라서, 본 개시는 여기에 기재된 예들에 제한되려는 것이 아니라, 여기서 개시된 원리들 및 신규한 특징들과 일치하는 최광의 범위를 부여하려는 것이다.

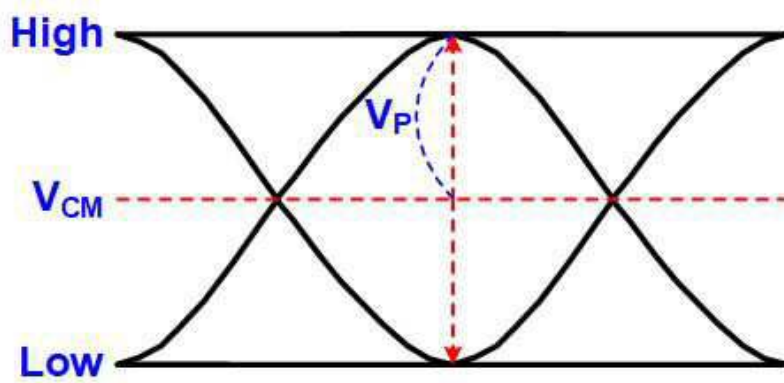
부호의 설명

[0115] 10 : 단일 신호법 수신기

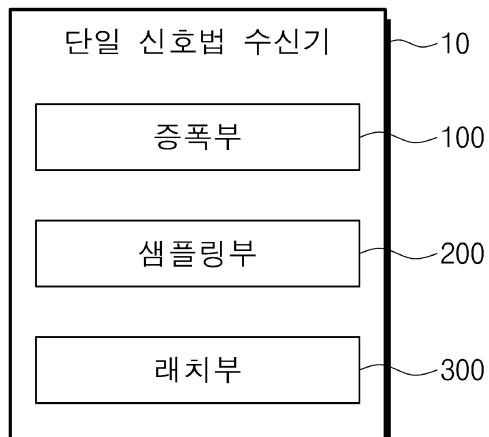
100 : 증폭부
 200, 201 : 샘플링부
 210, 211, 212 : 스위치드 커패시터 전하 가산부
 230, 231, 232 : 비교부
 251 : 맥스
 271 : 플립플롭
 300 : 래치부

도면

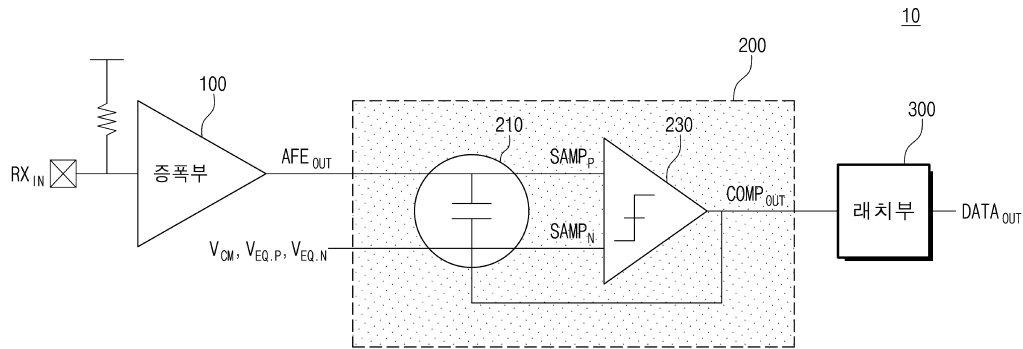
도면1



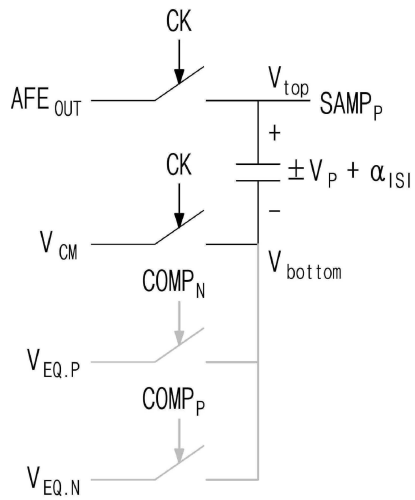
도면2



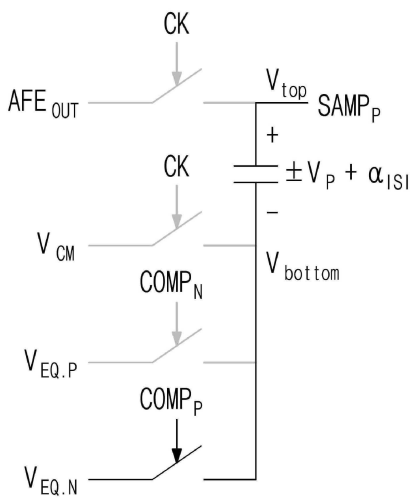
도면3



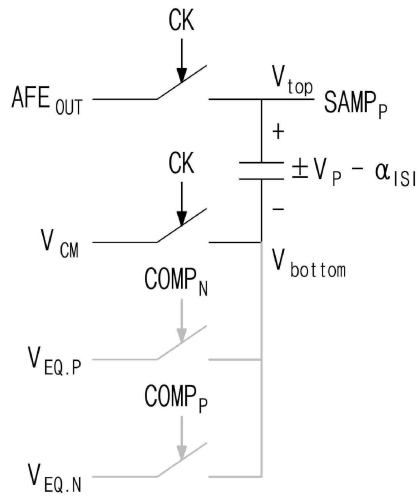
도면4a



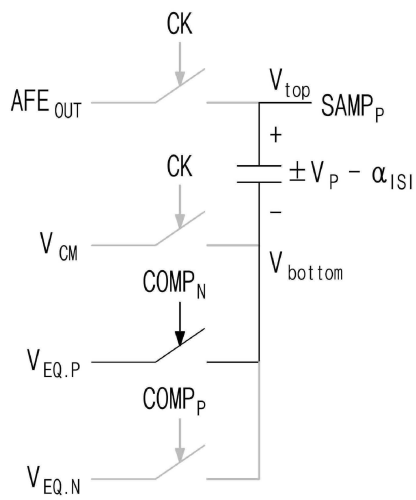
도면4b



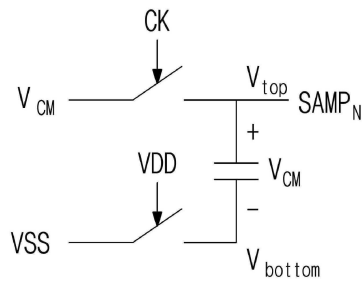
도면5a



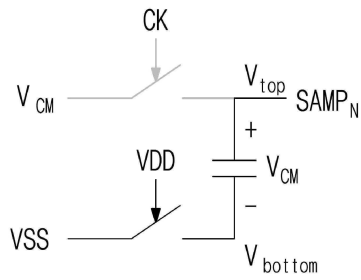
도면5b



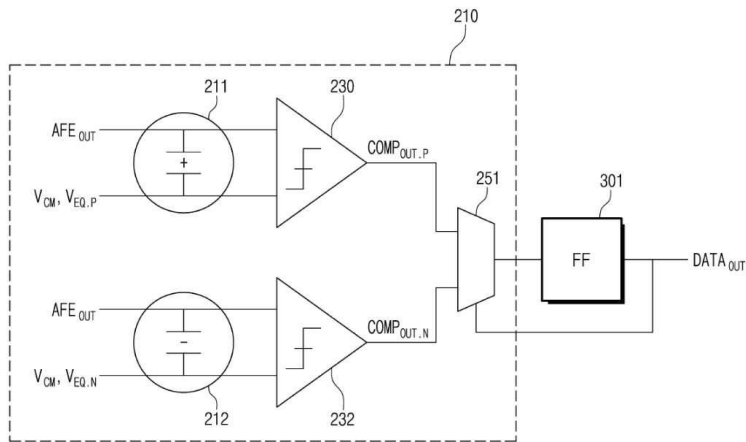
도면6a



도면6b



도면7



도면8

