

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7540888号
(P7540888)

(45)発行日 令和6年8月27日(2024.8.27)

(24)登録日 令和6年8月19日(2024.8.19)

(51)国際特許分類	F I			
G 0 2 F	1/1339(2006.01)	G 0 2 F	1/1339	5 0 0
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368	
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00	3 3 8
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 2 0
		G 0 9 F	9/30	3 3 8

請求項の数 8 (全22頁)

(21)出願番号	特願2019-561817(P2019-561817)	(73)特許権者	510280589
(86)(22)出願日	平成30年4月28日(2018.4.28)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2020-531884(P2020-531884 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和2年11月5日(2020.11.5)		中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2018/085028		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2019/033791	(74)代理人	100108453
(87)国際公開日	平成31年2月21日(2019.2.21)		弁理士 村山 靖彦
審査請求日	令和3年4月23日(2021.4.23)	(74)代理人	100110364
審判番号	不服2022-20206(P2022-20206/J 1)		弁理士 実広 信哉
審判請求日	令和4年12月13日(2022.12.13)	(72)発明者	程 鴻 飛
(31)優先権主張番号	201710703280.6		
(32)優先日	平成29年8月16日(2017.8.16)		
(33)優先権主張国・地域又は機関			

最終頁に続く

(54)【発明の名称】 表示パネル及びその製造方法、表示装置

(57)【特許請求の範囲】

【請求項 1】

表示パネルであって、
 第 1 ベース基板を含むアレイ基板を含み、
 前記表示パネルは、前記第 1 ベース基板に位置し、複数のゲート線と複数のデータ線とが交差して限定される複数の画素領域を含み、
 各画素領域は、
 開口領域と、
 前記開口領域を囲む非開口領域と、
 前記非開口領域内に設けられるスペーサーとを含み、
 前記非開口領域内に、前記スペーサーが前記開口領域に移動することを防止するように、前記スペーサーの隣に位置するパッド構造がさらに設けられ、
 前記ゲート線は、前記第 1 ベース基板の上において前記非開口領域に対応する領域内に位置し、
 前記スペーサーは、前記非開口領域内においてゲート線に対応する領域内に位置し、
 前記パッド構造は、前記第 1 ベース基板の上位置し、前記非開口領域内に位置する第 1 パッド及び第 2 パッドを含み、
 前記第 1 パッド及び前記第 2 パッドのそれぞれは、前記スペーサーの両側に位置し且つ前記ゲート線の両側に位置し、
 前記第 1 ベース基板の上において前記第 1 パッドに対応する領域内の各膜層構造の総厚

さは、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きく、

前記第1ベース基板の上において前記第2パッドに対応する領域内の各膜層構造の総厚さは、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きく、

前記第1パッドは、

前記ゲート線と同じ層に位置し、且つ前記ゲート線から離間される第1マット層、データ線と同じ層に位置する第2マット層、及び、活性層と同じ層に位置し、且つ前記活性層から離間される第3マット層を含み、

前記第2パッドは、

前記ゲート線と同じ層に位置し、且つ前記ゲート線から離間される第4マット層、前記データ線と同じ層に位置する第5マット層、及び、前記活性層と同じ層に位置し、且つ前記活性層から離間される第6マット層を含み、

前記表示パネルは、共通電極線をさらに含み、

前記共通電極線は、前記ゲート線と同じ層に位置し且つ前記ゲート線の一侧に位置し、

前記第1パッドは、前記共通電極線に対応し、前記第1パッドに対応する前記共通電極線の部分が、前記第1マット層として機能し、或いは、

前記第2パッドは、前記共通電極線に対応し、前記第2パッドに対応する前記共通電極線の部分が、前記第4マット層として機能する

ことを特徴とする表示パネル。

【請求項2】

表示パネルの製造方法であって、

前記表示パネルは、請求項1に記載の表示パネルであり、前記表示パネルの製造方法は、前記表示パネルの非開口領域内に、パッド構造を形成し、前記パッド構造は、前記スペーサーが前記開口領域に移動することを防止するように、前記非開口領域内に設けられるスペーサーの隣に位置するステップを含み、

前記スペーサーは、前記非開口領域内においてゲート線に対応する領域内に位置し、

前記パッド構造は、第1パッド及び第2パッドを含み、

前記表示パネルの非開口領域内に、パッド構造を形成するステップは、

1つの第1ベース基板を用意するステップと、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第1パッド及び前記第2パッドを形成し、前記第1パッド及び前記第2パッドのそれぞれは、前記スペーサーの両側に位置し且つ前記ゲート線の両側に位置し、前記第1ベース基板の上において前記第1パッドに対応する領域内の各膜層構造の総厚さが、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きく、前記第1ベース基板の上において前記第2パッドに対応する領域内の各膜層構造の総厚さが、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きいステップと、を含み、

前記第1パッドは、第1マット層、第2マット層及び第3マット層のうちの少なくとも1つを含み、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第1パッドを形成するステップは、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第1マット層を形成し、前記第1マット層は、前記ゲート線と同じ層に位置し、且つ前記ゲート線から離間されるステップ、前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第2マット層を形成し、前記第2マット層は、データ線と同じ層に位置するステップ、及び、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第3マット層を形成し、前記第3マット層は、活性層と同じ層に位置し、且つ前記活性層から離間されるステップを含み、

10

20

30

40

50

前記第 2 パッドは、第 4 マット層、第 5 マット層及び第 6 マット層のうちの少なくとも 1 つを含み、

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第 2 パッドを形成するステップは、

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第 4 マット層を形成し、前記第 4 マット層は、前記ゲート線と同じ層に位置し、且つ前記ゲート線から離間されるステップ、

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第 5 マット層を形成し、前記第 5 マット層は、データ線と同じ層に位置するステップ、及び、

10

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記第 6 マット層を形成し、前記第 6 マット層は、活性層と同じ層に位置し、且つ前記活性層から離間されるステップを含む

ことを特徴とする表示パネルの製造方法。

【請求項 3】

前記第 1 マット層と前記ゲート線は、1 回のパターニング工程により形成され、前記第 2 マット層と前記データ線は、1 回のパターニング工程により形成され、前記第 3 マット層と前記活性層は、1 回のパターニング工程により形成される請求項 2 に記載の表示パネルの製造方法。

【請求項 4】

前記第 2 マット層と前記第 3 マット層は、1 回のパターニング工程により形成される請求項 2 に記載の表示パネルの製造方法。

20

【請求項 5】

前記第 4 マット層と前記ゲート線は、1 回のパターニング工程により形成され、前記第 5 マット層と前記データ線は、1 回のパターニング工程により形成され、前記第 6 マット層と前記活性層は、1 回のパターニング工程により形成される請求項 2 に記載の表示パネルの製造方法。

【請求項 6】

前記第 5 マット層と前記第 6 マット層は、1 回のパターニング工程により形成される請求項 2 に記載の表示パネルの製造方法。

30

【請求項 7】

前記表示パネルは、前記ゲート線と同じ層に位置し且つ前記ゲート線の一侧に位置する共通電極線を含み、前記第 1 パッドは、前記共通電極線に対応し、

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、第 1 マット層を形成するステップは、

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記共通電極線を形成し、前記第 1 パッドに対応する前記共通電極線の部分が、前記第 1 マット層として機能するステップを含み、

或いは、

前記表示パネルは、前記ゲート線と同じ層に位置し且つ前記ゲート線の一侧に位置する共通電極線を含み、前記第 2 パッドは、前記共通電極線に対応し、

40

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、第 4 マット層を形成するステップは、

前記第 1 ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、共通電極線を形成し、前記第 2 パッドに対応する前記共通電極線の部位が、前記第 4 マット層として機能するステップを含む

請求項 2 に記載の表示パネルの製造方法。

【請求項 8】

請求項 1 に記載の表示パネルを備える

ことを特徴とする表示装置。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本願は、2017年8月16日に提出した出願番号が201710703280.6であって、発明の名称が「表示パネル及びその製造方法、表示装置」である中国特許出願に基づいて優先権を主張し、当該中国特許出願の内容の全てを本願に援用する。

【0002】

本発明は、表示技術分野に関し、特に、表示パネル及びその製造方法、表示装置に関する。

【背景技術】**【0003】**

通常、従来の表示パネルは、積層された2つの表示基板と、2つの表示基板の間に充填された液晶と、上記2つの表示基板のうちの1つの表示基板の非開口領域内に設置され且つセルギャップを保持するためのスペーサーと、を含む。表示パネルがアレイ基板及びカラーフィルタ基板を含み、且つ、スペーサーがアレイ基板の上に設置されていることを一例とすると、スペーサーは、例えば、アレイ基板のゲート線の上方に設置され、アレイ基板とカラーフィルタ基板との間に一定のセルギャップを保持させることができる。

【0004】

ただし、下記のように、アレイ基板及びカラーフィルタ基板が積層されて表示パネルを形成した後、表示パネルに一定の外力が印加されると、スペーサーが外力の作用により開口領域内に移動する可能性があるため、表示パネルの表示性能に影響を与えるという問題点がまだ存在している。

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明は、上記の少なくとも1つの技術問題を解決するための表示パネルを提供する。

【課題を解決するための手段】**【0006】**

上記の技術問題を解決するために、本発明は、表示パネルを提供する。

【0007】

前記表示パネルは、開口領域と、前記開口領域を囲む非開口領域と、前記非開口領域内に設けられるスペーサーと、を含み、前記非開口領域内に、前記スペーサーが前記開口領域に移動することを防止するように、前記スペーサーの隣に位置するパッド構造がさらに設けられる。

【0008】

本発明の一実施例において、前記表示パネルは、第1ベース基板と、前記第1ベース基板の上において前記非開口領域に対応する領域内に位置するゲート線と、を含み、前記スペーサーは、前記非開口領域内においてゲート線に対応する領域内に位置する。前記パッド構造は、前記第1ベース基板の上に位置し、前記非開口領域内に位置する第1パッド及び第2パッドを含む。ここで、前記第1パッド及び前記第2パッドのそれぞれは、前記スペーサーの両側に位置する。また、前記第1パッド及び前記第2パッドのそれぞれは、前記ゲート線の両側に位置する。前記第1ベース基板の上において前記第1パッドに対応する領域内の各膜層構造の総厚さは、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きい。前記第1ベース基板の上において前記第2パッドに対応する領域内の各膜層構造の総厚さは、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きい。

【0009】

本発明の一実施例において、前記第1パッドは、前記ゲート線と同じ層に位置する第1マット層、及び/又は、データ線と同じ層に位置する第2マット層、及び/又は、活性層と同じ層に位置する第3マット層を含む。前記第2パッドは、前記ゲート線と同じ層に位

10

20

30

40

50

置する第4マット層、及び/又は、前記データ線と同じ層に位置する第5マット層、及び/又は、前記活性層と同じ層に位置する第6マット層を含む。

【0010】

本発明の一実施例において、前記表示パネルは、前記ゲート線と同じ層に位置する共通電極線を、さらに含む。また、前記共通電極線は、前記ゲート線の一侧に位置する。前記第1パッドは、前記共通電極線に対応し、前記第1パッドに対応する前記共通電極線の部分は、前記第1マット層として機能する。或いは、前記第2パッドは、前記共通電極線に対応し、前記第2パッドに対応する前記共通電極線の部分は、前記第4マット層として機能する。

【0011】

上記の技術問題を解決するために、本発明は、

上記のような技術手段に記載された表示パネルを製造するための表示パネルの製造方法を提供する。前記表示パネルの製造方法は、

前記表示パネルの非開口領域内にパッド構造を形成し、前記パッド構造は、スペーサーが開口領域に移動することを防止するように、前記非開口領域内に設けられているスペーサーの隣に位置するステップを含む。

【0012】

本発明の一実施例において、前記スペーサーは、前記非開口領域内においてゲート線に対応する領域内に位置し、前記パッド構造は、第1パッド及び第2パッドを含む。

【0013】

前記表示パネルの非開口領域内に、パッド構造を形成するステップは、

1つの第1ベース基板を用意するステップと、

前記第1ベース基板上において前記表示パネルの非開口領域に対応する領域内に、前記第1パッド及び前記第2パッドを形成し、前記第1パッド及び前記第2パッドのそれぞれは、前記スペーサーの両側に位置し且つ前記ゲート線の両側に位置し、前記第1ベース基板の上において前記第1パッドに対応する領域内の各膜層構造の総厚さが、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きく、前記第1ベース基板の上において前記第2パッドに対応する領域内の各膜層構造の総厚さが、前記第1ベース基板の上において前記ゲート線に対応する領域内の各膜層構造の総厚さよりも大きいステップと、を含む。

【0014】

本発明の一実施例において、前記第1パッドは、第1マット層、第2マット層及び第3マット層のうちの少なくとも1つを含み、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に前記第1パッドを形成するステップは、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記ゲート線と同じ層に位置する前記第1マット層を形成するステップ、

及び/又は、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、データ線と同じ層に位置する前記第2マット層を形成するステップ、

及び/又は、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、活性層と同じ層に位置する前記第3マット層を形成するステップを含む。

【0015】

本発明の一実施例において、前記第1マット層と前記ゲート線は、1回のパターニング工程により形成され、前記第2マット層と前記データ線は、1回のパターニング工程により形成され、前記第3マット層と前記活性層は、1回のパターニング工程により形成される。

【0016】

本発明の一実施例において、前記第2マット層と前記第3マット層は、1回のパターニ

10

20

30

40

50

ング工程により形成される。

【0017】

本発明の一実施例において、前記第2パッドは、第4マット層、第5マット層及び第6マット層のうちの少なくとも1つを含む。

【0018】

前記表示パネルの非開口領域に対応する前記第1ベース基板の上の領域内に、前記第2パッドを形成するステップは、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記ゲート線と同じ層に位置する前記第4マット層を形成するステップ、

及び/又は、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、データ線と同じ層に位置する前記第5マット層を形成するステップ、

及び/又は、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、活性層と同じ層に位置する前記第6マット層を形成するステップを含む。

【0019】

本発明の一実施例において、前記第4マット層と前記ゲート線は、1回のパターニング工程により形成され、前記第5マット層と前記データ線は、1回のパターニング工程により形成され、前記第6マット層と前記活性層は、1回のパターニング工程により形成される。

【0020】

本発明の一実施例において、前記第5マット層と前記第6マット層は、1回のパターニング工程により形成される。

【0021】

本発明の一実施例において、前記表示パネルは、前記ゲート線と同じ層に位置し且つ前記ゲート線の一侧に位置する共通電極線を含み、前記第1パッドは、前記共通電極線に対応し、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、第1マット層を形成するステップは、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、前記共通電極線を形成し、前記第1パッドに対応する前記共通電極線の部分は、前記第1マット層として機能するステップを含み、

又は、

前記表示パネルは、前記ゲート線と同じ層に位置し且つ前記ゲート線の一侧に位置する共通電極線を含み、前記第2パッドは、前記共通電極線に対応し、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、第4マット層を形成するステップは、

前記第1ベース基板の上において前記表示パネルの非開口領域に対応する領域内に、共通電極線を形成し、前記第2パッドに対応する前記共通電極線の部位は、前記第4マット層として機能するステップを含む。

【0022】

上記の技術問題を解決するために、本発明は、

上記のような技術手段に記載された表示パネルを備える表示装置を提供する。

【図面の簡単な説明】

【0023】

ここで説明する図面は、本発明に対するさらなる理解を提供するためのものであり、本発明の一部を構成する。本発明の例示的な実施例及びその説明は本発明を解釈することを意図しており、本発明を限定するものではない。

【0024】

【図1】本発明の関連実施例に係る表示パネルの平面図である。

10

20

30

40

50

【図 2】本発明の実施例に係る表示パネルの平面図である。

【図 3】図 2 の A - A 線の断面図である。

【図 4】本発明の実施例に係る別の表示パネルの平面図である。

【図 5】図 4 の B - B 線の断面図である。

【図 6】本発明の実施例に係る表示パネルの製造方法のフローチャート 1 である。

【図 7】本発明の実施例に係る表示パネルの製造方法のフローチャート 2 である。

【図 8】本発明の実施例に係る表示パネルの製造方法のフローチャート 3 である。

【図 9】本発明の実施例に係る表示パネルの製造方法のフローチャート 4 である。

【図 10】本発明の実施例に係る表示パネルの製造方法のフローチャート 5 である。

【発明を実施するための形態】

【0025】

以下、本発明の実施例に係る表示パネル及びその製造方法、表示装置をさらに説明するために、添付の図面を参照しながら詳細に説明する。

【0026】

図 1 は、本発明の関連実施例に係る表示パネルの平面図である。アレイ基板は、図 1 に示すように、複数のゲート線 11 及び複数のデータ線 13 により交差して限定される複数の画素領域を含む。各画素領域は、開口領域 1（即ち、表示パネルの開口領域 1）と、開口領域 1 を囲む非開口領域 2（即ち、表示パネルの非開口領域 2）とを含む。スペーサー 20 は、一般的に非開口領域 2 内においてゲート線に対応する領域内に設置される。

【0027】

上記の構造により、アレイ基板の非開口領域 2 内に設置されるスペーサー 20 は、一定のセルギャップを保持するようにセルを支持することができる。しかしながら、また下記のように、アレイ基板及びカラーフィルタ基板が積層されて表示パネルを形成した後、表示パネルに一定の外力が印加されると、スペーサー 20 が外力の作用により開口領域 1 内まで移動する可能性があるため、スペーサー 20 の周囲の液晶の配置に影響するだけでなく、開口領域 1 を介して透過される光も遮断され、これにより、開口率の低下を引き起こし、したがって、表示パネルの表示性能に影響する問題点が存在している。

【0028】

図 2、図 3 又は図 4、図 5 を参照すると、本発明の実施例に係る表示パネルは、開口領域 1 と、開口領域 1 を囲む非開口領域 2 と、非開口領域 2 内に設置されるスペーサー 20 と、を含む。非開口領域 2 内には、パッド構造 30 がさらに設けられている。パッド構造 30 は、スペーサー 20 が開口領域 1 に移動することを防止するように、スペーサー 20 の隣に位置する。

【0029】

例えば、本発明の実施例に係る表示パネルは、積層されたアレイ基板及びカラーフィルタ基板を含む。アレイ基板は、第 1 ベース基板 10 と、第 1 ベース基板 10 の上に位置し、複数のゲート線 11 及び複数のデータ線 13 が交差して限定される複数の画素領域と、を含む。各画素領域は、開口領域 1（即ち、表示パネルの開口領域 1）と、開口領域 1 を囲む非開口領域 2（即ち、表示パネルの非開口領域 2）と、を含む。また、各画素領域には、1 つの画素ユニットが対応して設置される。各画素ユニットは、薄膜トランジスタ 14 及び画素電極 16 を含む。ここで、薄膜トランジスタ 14 は、ボトムゲート薄膜トランジスタであってもよい。薄膜トランジスタ 14 は、ゲート 141、ゲート絶縁層 142、活性層 143、ソース 144 及びドレイン 145 を含む。

【0030】

薄膜トランジスタ 14 は、ゲート 141 が第 1 ベース基板 10 の上に位置し、ゲート 141 が対応するゲート線 11 に接続される。ゲート 141 及びゲート線 11 は、1 回のパターンニング工程により形成され、材料として、銅 (Cu)、アルミニウム (Al)、モリブデン (Mo)、チタン (Ti)、クロム (Cr)、タングステン (W) などの単体金属材料を選択してもよいし、上記の単体金属のうち少なくとも 2 つにより構成された合金材料を選択してもよい。第 1 ベース基板 10 に垂直する方向におけるゲート線 11 及びゲ

10

20

30

40

50

ート141の構造は、単層構造であってもよいし、多層構造であってもよい。ゲート線11及びゲート141が多層構造である場合、2つのモリブデン構造層及び1つのアルミニウム構造層により構成されるサンドイッチ構造（即ち、Mo/Al/Mo構造）、或いは、2つのチタン構造層及び1つの銅構造層により構成されるサンドイッチ構造（即ち、Ti/Cu/Ti構造）、或いは、モリブデンチタン合金構造層及び銅構造層により構成される2層構造（即ち、MoTi/Cu構造）を含むことができる。

【0031】

ゲート絶縁層142は、第1ベース基板10及びゲート141を覆う。ゲート絶縁層142の材料として、窒化シリコン又は酸化シリコンを採用することができる。また、ゲート絶縁層142は、単層構造であってもよいし、多層構造であってもよい。ゲート絶縁層142は、多層構造である場合、酸化シリコン構造層及び窒化シリコン構造層により構成される2層構造（即ち、酸化シリコン/窒化シリコン構造）を含むことができる。

10

【0032】

活性層143は、ゲート絶縁層142の上に位置し、ゲート141に対応する。活性層143の材料として、アモルファスシリコン、単結晶シリコン、多結晶シリコン、又は金属酸化物半導体材料であってもよい。活性層143の材料として金属酸化物半導体材料を選択する場合、インジウム-ガリウム-亜鉛酸化物（Indium Gallium Zinc Oxide, IGZO）、酸化亜鉛（ZnO）等でありことができる。

【0033】

ソース144及びドレイン145は、それぞれ活性層143に接触する。ソース144、ドレイン145及びデータ線13は、同じ層に設置され、そして1回のパターンニング工程により形成される。ソース144は、対応するデータ線13に接続され、ドレイン145は、対応する画素電極16に接続される。ソース144、ドレイン145及びデータ線13の材料として、銅（Cu）、アルミニウム（Al）、モリブデン（Mo）、チタン（Ti）、クロム（Cr）、タングステン（W）などの単体金属材料を選択してもよいし、上記の単体金属のうちの少なくとも2つにより構成される合金材料を選択してもよい。第1ベース基板10に垂直する方向においてソース144、ドレイン145及びデータ線13の構造は、単層構造であってもよいし、多層構造であってもよい。ソース144、ドレイン145及びデータ線13は、多層構造である場合、2つのモリブデン構造層及び1つのアルミニウム構造層により構成されるサンドイッチ構造（即ち、Mo/Al/Mo構造）、或いは、2つのチタン構造層及び1つの銅構造層により構成されるサンドイッチ構造（即ち、Ti/Cu/Ti構造）、或いは、モリブデンチタン合金構造層及び銅構造層により構成される2層構造（即ち、MoTi/Cu構造）を含むことができる。

20

30

【0034】

画素電極16は、薄膜トランジスタ14の上方に位置し、対応する開口領域1内に位置する。画素電極16と薄膜トランジスタ14との間には、パッシベーション層15が形成されている。パッシベーション層15は、ゲート絶縁層142、ソース144、ドレイン145、データ線13、活性層143を覆う。パッシベーション層15の材料として、窒化シリコン又は酸化シリコンを採用してもよい。また、パッシベーション層15は、単層構造であってもよいし、多層構造であってもよい。パッシベーション層15は、多層構造である場合、酸化シリコン構造層及び窒化シリコン構造層により構成される2層構造（即ち、酸化シリコン/窒化シリコン構造）を含むことができる。

40

【0035】

ドレイン145に対応するパッシベーション層15の部位には、ビアホールが設けられている。画素電極16は、対応するビアホールを介して対応するドレイン145に接続される。画素電極16の材料として、インジウムスズ酸化物（Indium Tin Oxide, ITO）、インジウム亜鉛酸化物（Indium Zinc Oxide, IZO）又は他の透明な金属酸化物導電性材料を選択して使用してもよい。

【0036】

カラーフィルタ基板は、第2ベース基板40、第2ベース基板40の上に形成されてい

50

るブラックマトリクス42及びカラーフィルタ層41、を含む。ブラックマトリクス42により、複数の開口領域1（即ち、表示パネルの開口領域1）が限定される（表示パネルの非開口領域2がブラックマトリクス42に対応する。）。ブラックマトリクス42は、ゲート線11、データ線13及び薄膜トランジスタ14に対応する。カラーフィルタ層41は、第2ベース基板40の上において開口領域1に対応する領域内に位置する。

【0037】

アレ基板とカラーフィルタ基板との間には、スペーサー20が設けられている。スペーサー20は、アレ基板及びカラーフィルタ基板を積層する際に、一定のセルギャップを保持するようにセルを支持する。ここで、スペーサー20は、アレ基板において非開口領域2に対応する領域（ブラックマトリクス42に対応する領域と理解されてもよい。）内に設けられ、そして、非開口領域2においてアレ基板上のゲート線11に対応する領域内に位置してもよく、或いは、スペーサー20は、カラーフィルタ基板において非開口領域2に対応する領域内に設けられ、非開口領域2においてアレ基板上のゲート線11に対応する領域内に位置してもよく、スペーサー20がカラーフィルタ基板のブラックマトリクス42においてゲート線11に対応する領域内に設けられると理解されてもよい。非開口領域2内には、パッド構造30がさらに設けられている。パッド構造30は、アレ基板の上において非開口領域2に対応する領域内に設けられてもよいし、カラーフィルタ基板の上において非開口領域2に対応する領域内に設けられてもよい。パッド構造30は、スペーサー20の隣に位置され、スペーサー20の位置を限定することによって、スペーサー20が表示パネルの開口領域1内までに移動することを防止することができる。

【0038】

上記の分析からわかるように、本発明の実施例に係る表示パネルにおいて、表示パネルの非開口領域2内のスペーサー20の隣に設けられているパッド構造30を利用してスペーサー20の位置を限定することによって、スペーサー20が開口領域1内まで移動することを防止することで、スペーサー20の位置が移動することによるスペーサー20周囲の液晶の配置が変化することを防止するとともに、開口領域1を介して透過される光がスペーサー20が開口領域1に移動されたスペーサー20によって遮断されることを防止することができる。これにより、スペーサー20が開口領域1に移動することによる液晶の配置及び表示パネルの開口率に影響することを防止することで、表示パネルの表示性能を改善することができる。

【0039】

上記の実施例において、パッド構造30は、非開口領域2内のスペーサー20の隣に設けられている。例えば、スペーサー20の一侧にパッド構造30を設けたり、スペーサー20の対向する両側にパッド構造30を設けたり、スペーサー20の周りにパッド構造30を設けたりしてもよい。本発明の実施例において、図2、図3又は図4、図5を参照し続けると、本発明の実施例に係る表示パネルは、第1ベース基板10と、第1ベース基板10の上において非開口領域2に対応する領域内に位置するゲート線11と、を含む。スペーサー20は、非開口領域2内においてゲート線11に対応する領域内に位置する。パッド構造30は、第1ベース基板10の上に位置する。パッド構造30は、非開口領域2内に位置する第1パッド31及び第2パッド32を含む。ここで、第1パッド31及び第2パッド32は、それぞれスペーサー20の両側に位置する。また、第1パッド31及び第2パッド32は、それぞれゲート線11の両側に位置する。第1ベース基板10上において第1パッド31に対応する領域内の各膜層構造の総厚さは、第1ベース基板10上においてゲート線11に対応する領域内の各膜層構造の総厚さよりも大きい。第1ベース基板10上において第2パッド32に対応する領域内の各膜層構造の総厚さは、第1ベース基板10上においてゲート線11に対応する領域内の各膜層構造の総厚さよりも大きい。

【0040】

具体的に、図2、図3又は図4、図5を参照し続けると、スペーサー20は、非開口領域2内においてゲート線11に対応する領域内に位置する。例えば、スペーサー20は、図3又は図5におけるゲート線11の直上に位置する。パッド構造30は、第1パッド3

1及び第2パッド32を含む。第1パッド31及び第2パッド32は、それぞれスペーサー20の両側に設置され、且つゲート線11の両側に設置される。例えば、第1パッド31は、図2又は図4の上部に位置する開口領域1とスペーサー20との間に位置し、第2パッド32は、図2又は図4の下部に位置する開口領域1とスペーサー20との間に位置している。第1ベース基板10上において第1パッド31に対応する領域内の各膜層構造の総厚さは、第1ベース基板10上においてゲート線11に対応する領域内の各膜層構造の総厚さよりも大きい。また、第1ベース基板10上において第2パッド32に対応する領域内の各膜層構造の総厚さは、第1ベース基板10上においてゲート線11に対応する領域内の各膜層構造の総厚さよりも大きい。

【0041】

例えば、図2及び図3を参照すると、第1ベース基板10上において第1パッド31に対応する領域内の膜層は、第1パッド31、ゲート絶縁層142及びパッシベーション層15を含み；第1ベース基板10上において第2パッド32に対応する領域内の膜層は、第2パッド32、ゲート絶縁層142及びパッシベーション層15を含み；第1ベース基板10上においてゲート線11に対応する領域内の膜層は、ゲート線11、ゲート絶縁層142及びパッシベーション層15を含む。第1パッド31、ゲート絶縁層142、パッシベーション層15の総厚さは、ゲート線11、ゲート絶縁層142及びパッシベーション層15の総厚さよりも大きい。第2パッド32、ゲート絶縁層142及びパッシベーション層15の総厚さは、ゲート線11、ゲート絶縁層142及びパッシベーション層15の総厚さよりも大きい。つまり、図3又は図5に示すように、第1ベース基板10の上部においてスペーサー20に対応する領域に、1つの溝が形成している。スペーサー20は、溝内に配置されている。溝の溝壁がスペーサー20の両側を遮断することによって、スペーサー20が開口領域1に移動することを防止する。

【0042】

第1パッド31及び第2パッド32のそれぞれをスペーサー20の対向する両側に設置し、且つゲート線11の両側に位置させる。したがって、第1パッド31及び第2パッド32のそれぞれは、スペーサー20を阻止するように、対応する開口領域1とスペーサー20との間に位置することによって、スペーサー20の位置を限定するので、スペーサー20が開口領域1に移動することを防止することができる。

【0043】

上記の実施例において、第1パッド31は、様々な形式で設置されることができる。例えば、図2及び図3に示したように、第1パッド31は、ゲート線11と同じ層に位置する第1マット層311、及び/又は、データ線13と同じ層に位置する第2マット層312、及び/又は、活性層143と同じ層に位置する第3マット層313を含むことができる。つまり、第1パッド31は、第1マット層311、第2マット層312及び第3マット層313のうちの少なくとも1つを含むことができる。ここで、図3を一例として説明すると、第1ベース基板10の上においてゲート線11に対応する領域内の膜層は、ゲート線11、ゲート絶縁層142及びパッシベーション層15を含み；第1ベース基板10の上において第1パッド31に対応する領域内の膜層は、第1パッド31、ゲート絶縁層142及びパッシベーション層15を含む。第1パッド31が第1マット層311、第2マット層312及び第3マット層313のうちの1つを含む場合、第1パッド31の厚さは、ゲート線11の厚さよりも大きくさせることによって、第1ベース基板10の上において第1パッド31に対応する領域内の各膜層構造の総厚さが、第1ベース基板10の上においてゲート線11に対応する領域内の各膜層構造の総厚さよりも大きくなる。即ち、第1パッド31が第1マット層311のみ含む場合、第1マット層311の厚さは、ゲート線11の厚さよりも大きくなり；第1パッド31が第2マット層312のみ含む場合、第2マット層312の厚さは、データ線13の厚さよりも大きくなり；第1パッド31が第3マット層313のみ含む場合、第3マット層313の厚さは、活性層143の厚さよりも大きくなる。

【0044】

上記の実施例において、第1マット層311は、ゲート線11と同じ層に位置する。第1マット層311は、別個に形成されることができ、ゲート線11と1回のパターンニング工程により形成されてもよい。本発明の少なくとも1つの実施例において、第1マット層311とゲート線11は、1回のパターンニング工程により形成されることができ、第2マット層312は、データ線13と同じ層に位置する。第2マット層312は、別個に形成されることができ、データ線13と1回のパターンニング工程により形成されてもよい。本発明の少なくとも1つの実施例において、第2マット層312とデータ線13は、1回のパターンニング工程により形成されることができ、第3マット層313は、活性層143と同じ層に位置する。第3マット層313は、別個に形成されることができ、活性層143と1回のパターンニング工程により形成されてもよい。本発明の少なくとも1つの実施例において、第3マット層313と活性層143は、1回のパターンニング工程により形成されることができ、第1マット層311とゲート線11は、1回のパターンニング工程により形成され、第2マット層312とデータ線13は、1回のパターンニング工程により形成され、第3マット層313と活性層143は、1回のパターンニング工程により形成されることができ。これにより、表示パネルの製造時の工程ステップを減少するとともに、表示パネルの製造際に必要となるマスクの数を減少できるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上することができる。

【0045】

同様に、第2パッド32も、様々な形式で設置することができる。例えば、図2及び図3に示したように、第2パッド32は、ゲート線11と同じ層に位置する第4マット層321、及び/又は、データ線13と同じ層に位置する第5マット層322、及び/又は、活性層143と同じ層に位置する第6マット層323を含むことができる。つまり、第2パッド32は、第4マット層321、第5マット層322及び第6マット層323のうちの少なくとも1つを含むことができる。ここで、図3を一例として説明すると、第1ベース基板10の上においてゲート線11に対応する領域内の膜層は、ゲート線11、ゲート絶縁層142及びパッシベーション層15を含み；第1ベース基板10の上において第2パッド32に対応する領域内の膜層は、第2パッド32、ゲート絶縁層142及びパッシベーション層15を含む。第2パッド32が第4マット層321、第5マット層322及び第6マット層323のうちの1つを含む場合、第2パッド32の厚さは、ゲート線11の厚さよりも大きくさせることによって、第1ベース基板10の上において第2パッド32に対応する領域内の各膜層構造の総厚さが、第1ベース基板10の上においてゲート線11に対応する領域内の各膜層構造の総厚さよりも大きくなる。即ち、第2パッド32が第4マット層321のみ含む場合、第2マット層321の厚さは、ゲート線11の厚さよりも大きくなり；第2パッド32が第5マット層322のみ含む場合、第5マット層322の厚さは、データ線13の厚さよりも大きくなり；第2パッド32が第6マット層323のみ含む場合、第6マット層323の厚さは、活性層143の厚さよりも大きくなる。

【0046】

上記の実施例において、第4マット層321は、ゲート線11と同じ層に位置する。第4マット層321は、別個に形成されることができ、ゲート線11と1回のパターンニング工程により形成されてもよい。本発明の少なくとも1つの実施例において、第4マット層321とゲート線11は、1回のパターンニング工程により形成されることができ、第5マット層322は、データ線13と同じ層に位置する。第5マット層322は、別個に形成されることができ、データ線13と1回のパターンニング工程により形成されてもよい。本発明の少なくとも1つの実施例において、第5マット層322とデータ線13は、1回のパターンニング工程により形成されることができ、第6マット層323は、活性層143と同じ層に位置する。第6マット層323は、別個に形成されることができ、活性層143と1回のパターンニング工程により形成されてもよい。本発明の少なくとも1つの実施例において、第6マット層323と活性層143は、1回のパターンニング工程により形成されることができ、第4マット層321とゲート線11は、1回のパターンニング工程により形成され、第5マット層322とデータ線13は、1回のパターンニング工程により形成

10

20

30

40

50

され、第6マット層323と活性層143は、1回のパターニング工程により形成されることができる。これにより、表示パネルの製造時の工程ステップを減少するとともに、表示パネルの製造時に必要となるマスクの数を減少できるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上できる。

【0047】

図4及び図5を参照すると、表示パネルが共通電極線12をさらに含む場合、共通電極線12は、ゲート線11と同じ層に位置し、ゲート線11の一側に位置する。この時、第1パッド31を共通電極線12に対応させることで、第1パッド31に対応する共通電極線12の部分が、第1パッド31の第1マット層311として機能することができる。または、図4及び図5を参照すると、第2パッド32を共通電極線12にも対応させることで、第2パッド32に対応する共通電極線12の部分が、第2パッド32の第4マット層321として機能することができる。つまり、第1マット層311または第4マット層321を別途に設置する必要がなくなる。このような設計によって、第1マット層311及び第4マット層321を別途に設置する際、非開口領域2内に第1パッド31及び第2パッド32が設置するための領域を保留する必要がなくなるので、非開口領域2の面積を減少し、開口率を増加させることができる。

10

【0048】

また、第1パッド31に対応する共通電極線12の部分を第1パッド31の第1マット層311として機能させたり、第2パッド32に対応する共通電極線12の部分を第2パッド32の第4マット層321として機能させ、また、共通電極線12をゲート線11と同じ層に設置し、1回のパターニング工程により共通電極線12及びゲート線11を形成されることによって、表示パネルを製造する時の工程ステップを減少するとともに、表示パネルの製造時に必要となるマスクの数を減少できるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上できる。

20

【0049】

また、第1パッド31に対応する共通電極線12の部分を第1パッド31の第1マット層311として機能させたり、第2パッド32に対応する共通電極線12の部分を第2パッド32の第4マット層321として機能させたりし、また、第1マット層311又は第4マット層321を形成する際に使われるマスクに第1マット層311又は第4マット層321を形成するための小さい領域を設ける必要がないので、マスクの構造を簡素化し、表示パネルを製造するコストを削減することができる。

30

【0050】

本発明の実施例は、上記のような実施例に記載した表示パネルを備える表示装置をさらに提供する。

【0051】

前記表示装置及び上記の表示パネルは、関連技術に対して同様な利点を有するので、ここでは詳細な説明を省略する。

【0052】

図6を参照すると、本発明の実施例は、上記の実施例に記載した表示パネルを製造するための表示パネルの製造方法をさらに提供する。前記表示パネルの製造方法は、下記のステップを含む。

40

【0053】

ステップS100において、表示パネルの非開口領域内に、パッド構造を形成し、パッド構造は、スペーサーが開口領域に移動することを防止するように、非開口領域内に設けられるスペーサーの横に位置する。

【0054】

本明細書の様々な実施例は漸進的に説明されており、様々な実施例の間の同一又は類似の部分は互いに参照され、各実施例は、他の実施例との違いに焦点を当てる。特に、表示パネルの製造方法の実施例は、表示パネルの実施例とほぼ同様であるため、説明は比較的簡単になり、関連する部分は表示パネルの実施例の説明を参照することができる。

50

【0055】

スペーサーは、非開口領域内においてゲート線に対応する領域内に位置し、パッド構造が第1パッド及び第2パッドを含む場合、図7に示すように、表示パネルの非開口領域内に、パッド構造を形成するステップS100は、下記のステップを含むことができる。

【0056】

ステップS110において、1つの第1ベース基板を用意する。

【0057】

ステップS120において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッド及び第2パッドを形成し、第1パッド及び第2パッドのそれぞれは、スペーサーの両側に位置し、ゲート線の両側に位置し、第1ベース基板の上において第1パッドに対応する領域内の各膜層構造の総厚さが、第1ベース基板の上においてゲート線に対応する領域内の各膜層構造の総厚さよりも大きく、第1ベース基板の上において第2パッドに対応する領域内の各膜層構造の総厚さが、第1ベース基板の上においてゲート線に対応する領域内の各膜層構造の総厚さよりも大きい。

10

【0058】

第1パッドは、ゲート線と同じ層に位置する第1マット層と、データ線と同じ層に位置する第2マット層と、活性層と同じ層に位置する第3マット層とのうちの少なくとも1つを含むことができる。第1パッドが第1マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成するステップS120は、下記のステップを含むことができる。

20

【0059】

ステップS121において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1マット層を形成し、第1マット層は、ゲート線と同じ層に位置する。

【0060】

第1パッドが第2マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成するステップS120は、下記のステップを含むことができる。

【0061】

ステップS122において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2マット層を形成し、第2マット層は、データ線と同じ層に位置する。

30

【0062】

第1パッドが第3マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成するステップS120は、下記のステップを含むことができる。

【0063】

ステップS123において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第3マット層を形成し、第3マット層は、活性層と同じ層に位置する。

【0064】

第1パッドが第1マット層及び第2マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成するステップS120は、下記のステップを含むことができる。

40

【0065】

ステップS121において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1マット層を形成し、第1マット層は、ゲート線と同じ層に位置する。

【0066】

ステップS122において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2マット層を形成し、第2マット層は、データ線と同じ層に位置する。

【0067】

第1パッドが第1マット層及び第3マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成する

50

ステップS 1 2 0は、下記のステップを含むことができる。

【0068】

ステップS 1 2 1において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1マット層を形成し、第1マット層は、ゲート線と同じ層に位置する。

【0069】

ステップS 1 2 3において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第3マット層を形成し、第3マット層は、活性層と同じ層に位置する。

【0070】

第1パッドが第2マット層及び第3マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成するステップS 1 2 0は、下記のステップを含むことができる。

【0071】

ステップS 1 2 3において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第3マット層を形成し、第3マット層は、活性層と同じ層に位置する。

【0072】

ステップS 1 2 2において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2マット層を形成し、第2マット層は、データ線と同じ層に位置する。

【0073】

第1パッドが第1マット層、第2マット層及び第3マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1パッドを形成するステップS 1 2 0は、下記のステップを含むことができる。

【0074】

ステップS 1 2 1において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1マット層を形成し、第1マット層は、ゲート線と同じ層に位置する。

【0075】

ステップS 1 2 3において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第3マット層を形成し、第3マット層は、活性層と同じ層に位置する。

【0076】

ステップS 1 2 2において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2マット層を形成し、第2マット層は、データ線と同じ層に位置する。

【0077】

ステップS 1 2 1において、第1マット層とゲート線は、1回のパターンニング工程により形成されてもよい。ステップS 1 2 2において、第2マット層とデータ線は、1回のパターンニング工程により形成されてもよい。ステップS 1 2 3において、第3マット層と活性層は、1回のパターンニング工程により形成されてもよい。このように、表示パネルの製造時の工程ステップを減少するとともに、表示パネルの製造際に必要となるマスクの数を減少できるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上することができる。

【0078】

上記の実施例において、第1パッドが第2マット層及び第3マット層を同時に含む場合、即ち、第1パッドが第2マット層及び第3マット層を含み、又は、第1パッドが第1マット層、第2マット層及び第3マット層を含む場合、第2マット層及び第3マット層は、1回のパターンニング工程により形成されることができる。この時、第2マット層は、データ線と同じ層に設けられ、第3マット層は、活性層と同じ層に設けられるので、第2マット層及び第3マット層を形成する際に、まず、活性層材料層を形成し、次にデータ線材料層を形成し、その後、ハーフトーンマスクのようなマスクを利用して、活性層、データ線、第2マット層及び第3マット層を同時に形成することによって、表示パネルの製造際の工程ステップを減少するとともに、表示パネルの製造際に必要となるマスクの数を減少できるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上することができる。

10

20

30

40

50

【0079】

第2パッドは、第4マット層、第5マット層及び第5マット層のうちの少なくとも1つを含むことができる。第2パッドが第4マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS120は、下記のステップを含むことができる。

【0080】

ステップS124において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第4マット層を形成し、第4マット層は、ゲート線と同じ層に位置する。

【0081】

第2パッドが第5マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS120は、下記のステップを含むことができる。

10

【0082】

ステップS125において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第5マット層を形成し、第5マット層は、データ線と同じ層に位置する。

【0083】

第2パッドが第6マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS120は、下記のステップを含むことができる。

【0084】

ステップS126において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第6マット層を形成し、第6マット層は、活性層と同じ層に位置する。

20

【0085】

第2パッドが第4マット層及び第5マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS120は、下記のステップを含むことができる。

【0086】

ステップS124において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第4マット層を形成し、第4マット層は、ゲート線と同じ層に位置する。

【0087】

ステップS125において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第5マット層を形成し、第5マット層は、データ線と同じ層に位置する。

30

【0088】

第2パッドが第4マット層及び第6マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS120は、下記のステップを含むことができる。

【0089】

ステップS124において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第4マット層を形成し、第4マット層は、ゲート線と同じ層に位置する。

【0090】

ステップS126において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第6マット層を形成し、第6マット層は、活性層と同じ層に位置する。

40

【0091】

第2パッドが第5マット層及び第6マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS120は、下記のステップを含むことができる。

【0092】

ステップS126において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第6マット層を形成し、第6マット層は、活性層と同じ層に位置する。

【0093】

50

ステップS 1 2 5において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第5マット層を形成し、第5マット層は、データ線と同じ層に位置する。

【0094】

第2パッドが第4マット層、第5マット層及び第6マット層を含む場合、図8に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第2パッドを形成するステップS 1 2 0は、下記のステップを含むことができる。

【0095】

ステップS 1 2 4において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第4マット層を形成し、第4マット層は、ゲート線と同じ層に位置する。

【0096】

ステップS 1 2 6において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第6マット層を形成し、第6マット層は、活性層と同じ層に位置する。

【0097】

ステップS 1 2 5において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第5マット層を形成し、第5マット層は、データ線と同じ層に位置する。

【0098】

ステップS 1 2 4において、第4マット層とゲート線は、1回のパターンニング工程により形成されることができる。ステップS 1 2 5において、第5マット層とデータ線は、1回のパターンニング工程により形成されることができる。ステップS 1 2 6において、第6マット層と活性層は、1回のパターンニング工程により形成されることができる。これにより、表示パネルの製造工程ステップを減少するとともに、表示パネルの製造際に必要となるマスクの数を減少できるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上することができる。

【0099】

上記の実施例において、第2パッドが第5マット層及び第6マット層を同時に含む場合、即ち、第2パッドが第5マット層及び第6マット層を含み、又は、第2パッドが第4マット層、第5マット層及び第6マット層を含む場合、第5マット層及び第6マット層は、1回のパターンニング工程により形成されることができる。この時、第5マット層は、データ線と同じ層に設けられ、第6マット層は、活性層と同じ層に設けられるので、第5マット層及び第6マット層を形成する際に、まず、活性層材料層を形成し、次にデータ線材料層を形成し、その後、ハーフトーンマスクのようなマスクを利用して、活性層、データ線、第5マット層及び第6マット層を同時に形成することによって、表示パネルの製造際の工程ステップを減少するとともに、表示パネルの製造際に必要となるマスクの数を減少することができるので、表示パネルの製造コストを削減し、表示パネルの製造効率を向上することができる。

【0100】

表示パネルがゲート線と同じ層に設けられ且つゲート線の一侧に位置する共通電極線をさらに含む場合、第1パッドを共通電極線に対応させることができる。この時、図9に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第1マット層を形成するステップS 1 2 1は、下記のステップを含むことができる。

【0101】

ステップS 1 2 1 1において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、共通電極線を形成し、第1パッドに対応する共通電極線の部分は、第1マット層として機能する。

【0102】

表示パネルがゲート線と同じ層に設けられ且つゲート線の一侧に位置する共通電極線をさらに含む場合にも、第2パッドを共通電極線に対応させることができる。この時、図10に示すように、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、第4マット層を形成するステップS 1 2 4は、下記のステップを含むことができる。

【0103】

10

20

30

40

50

ステップS1241において、第1ベース基板の上において表示パネルの非開口領域に対応する領域内に、共通電極線を形成し、第2パッドに対応する共通電極線の部分は、第4マット層として機能する。

【0104】

以下、本発明の実施例に係る表示パネルの製造方法を詳細に説明するために、図4及び図5に示す表示パネルの構造を一例として説明する。前記表示パネルの製造方法は、下記のステップを含むことができる。

【0105】

1つの第1ベース基板を用意する。

【0106】

スパッタ工程(Sputter)を利用して第1ベース基板の上にアルミニウム(Al)層のような金属層を堆積し、1回のパターニング工程によってゲート、ゲート線、共通電極線及び第1マット層を形成する。ゲートは、対応するゲート線に接続される。即ち、まず、金属層の上にフォトレジストをコーティングし、次に、マスクを利用してフォトレジストを露光し、その後、露光されたフォトレジストを現像させることにより金属層のエッチングが必要な部位を露出させ、そして、エッチング工程(ドライエッチング工程又はウェットエッチング工程)を利用して金属層におけるエッチングする必要がある部位の金属をエッチング除去し、この後、残留しているフォトレジストを除去することによって、ゲート、ゲート線、共通電極線及び第1マット層の形成を実現する。ここで、第1マット層及び共通電極線は、それぞれゲート線の両側に設置され、第2パッドは、共通電極線に対応し、第2パッドに対応する共通電極線の部分は、第4マット層として機能する。

【0107】

プラズマ化学気相成長法(Plasma Enhanced Chemical Vapor Deposition, PECVD)を利用してゲート絶縁層を形成する。ゲート絶縁層は、第1ベース基板、ゲート、ゲート線、共通電極線及び第1マット層を覆い、ゲート絶縁層の材料は、窒化シリコン又は酸化シリコンであってもよい。

【0108】

ゲート絶縁層の上に活性層材料層を堆積し、1回のパターニング工程によって活性層、第3マット層及び第6マット層を形成する。第3マット層は、第1マット層に対応し、第6マット層は、第2パッドに対応する共通電極線の部分に対応する。例えば、活性層の材料がアモルファスシリコンである場合、プラズマ化学気相成長法(Plasma Enhanced Chemical Vapor Deposition, PECVD)を利用してゲート絶縁層の上にアモルファスシリコン層を堆積し、その後、フォトレジストコーティング、露光、現像、エッチング、残留のフォトレジスト除去の工程を利用して、活性層、第3マット層及び第6マット層を形成することができる。或いは、活性層の材料がインジウム-ガリウム-亜鉛酸化物(IGZO)のような金属酸化物半導体材料である場合、スパッタ工程を利用してゲート絶縁層の上に金属酸化物半導体材料層を堆積し、その後、フォトレジストコーティング、露光、現像、エッチング、残留のフォトレジスト除去の工程を利用して活性層、第3マット層及び第6マット層を形成することができる。

【0109】

スパッタ工程(Sputter)を利用して第1ベース基板の上にアルミニウム(Al)層のような金属層を堆積し、1回のパターニング工程によってソース、ドレイン、データ線、第2マット層及び第5マット層を形成する。ソース及びドレインは、それぞれ活性層に接触される。ソースは、対応するデータ線に接続される。第2マット層は、第3マット層の上に位置し、第5マット層は、第6マット層の上に位置する。即ち、フォトレジストコーティング、露光、現像、エッチング、残留のフォトレジスト除去の工程を利用して、ソース、ドレイン、データ線、第2マット層及び第5マット層を形成する。

【0110】

プラズマ化学気相成長法(Plasma Enhanced Chemical Vapor Deposition, PECVD)を利用してパッシベーション層を形成する。

10

20

30

40

50

パッシベーション層は、ゲート絶縁層、活性層、ソース、ドレイン、データ線、第2マット層及び第5マット層を覆い、また、フォトレジストコーティング、露光、現像、エッチング、残留のフォトレジスト除去の工程を利用して、ドレインに対応するパッシベーション層の部位にピアホールを形成する。ここで、パッシベーション層の材料は、窒化シリコン又は酸化シリコンであってもよい。

【0111】

スパッタ工程を利用して、パッシベーション層の上にインジウムスズ酸化物材料層のような透明な金属酸化物導電性材料層を堆積し、フォトレジストコーティング、露光、現像、エッチング、残留のフォトレジスト除去の工程を利用して、画素電極を形成し、画素電極は、パッシベーション層内のピアホールを介してドレインに接続される。

10

【0112】

上記の実施形態の説明において、特定の特徴、構造、材料、又は特性は、適切な方式でいかなる1つ又は複数の実施例又は一例に組み合わせることができる。

【0113】

上記のように、本発明の具体的な実施形態に過ぎないが、本発明の範囲はそれに限定されず、当業者は本発明に開示された技術的範囲内で変更又は置換を容易に考えることができるが、いずれも本発明の範囲内に含まれるべきである。したがって、本発明の範囲は、特許請求の範囲によって決定されるべきである。

【0114】

- 1 開口領域
- 2 非開口領域
- 10 第1ベース基板
- 11 ゲート線
- 12 共通電極線
- 13 データ線
- 14 薄膜トランジスタ
- 141 ゲート
- 142 ゲート絶縁層
- 143 活性層
- 144 ソース
- 145 ドレイン
- 15 パッシベーション層
- 16 画素電極
- 20 スペーサー
- 30 パッド構造
- 31 第1パッド
- 311 第1マット層
- 312 第2マット層
- 313 第3マット層
- 32 第2パッド
- 321 第4マット層
- 322 第5マット層
- 323 第6マット層
- 40 第2ベース基板
- 41 カラーフィルタ層
- 42 ブラックマトリクス

20

30

40

50

【 図面 】

【 図 1 】

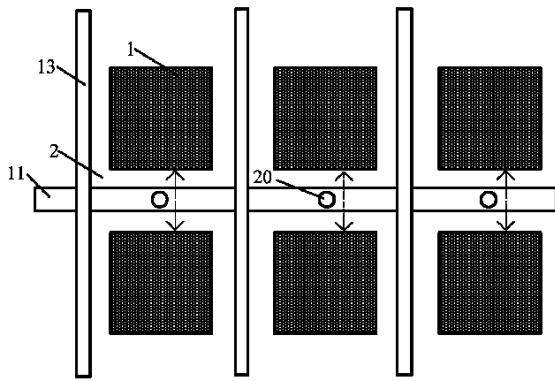


图 1

【 图 2 】

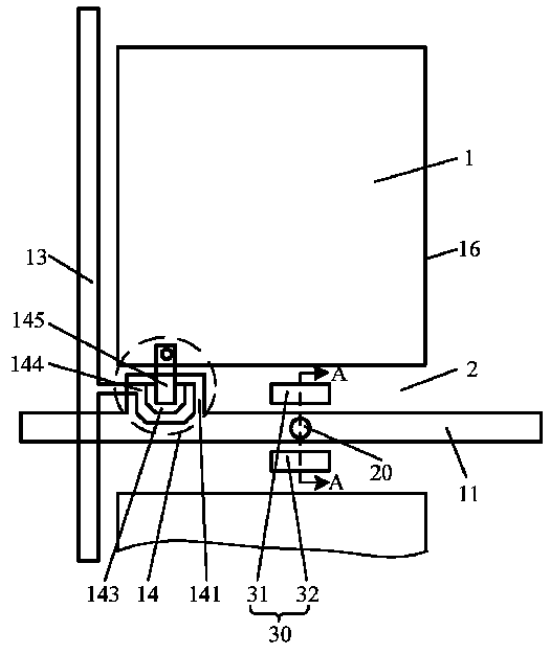


图 2

【 图 3 】

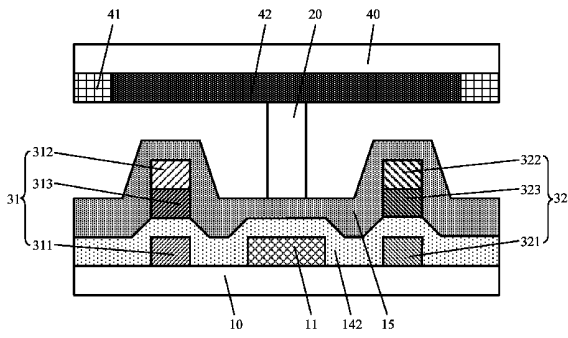


图 3

【 图 4 】

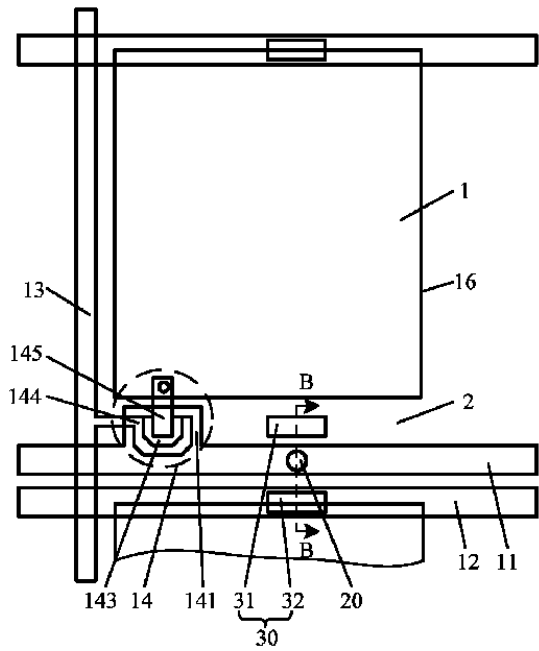


图 4

10

20

30

40

50

【 図 5 】

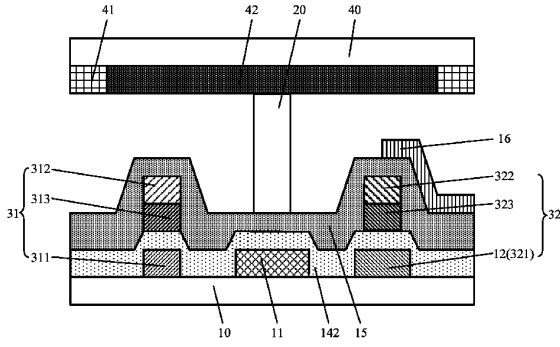


図 5

【 図 6 】

S100
表示パネルの非開口領域内に、スペーサーが開口領域に移動することを防止するように、非開口領域内に設けられるスペーサーの隣に位置するパッド構造を形成する。

図6

10

【 図 7 】

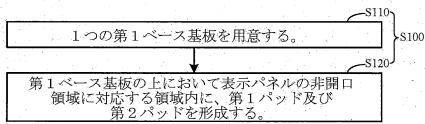


図7

【 図 8 】

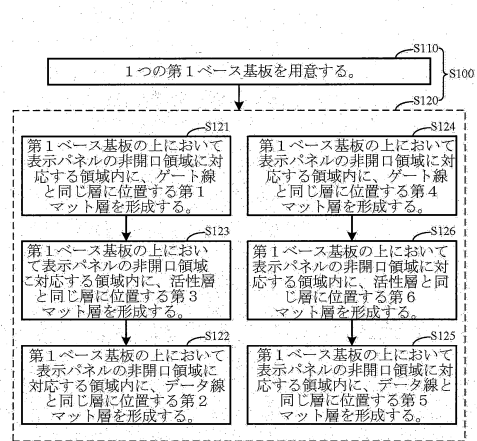


図8

20

30

40

50

【図9】

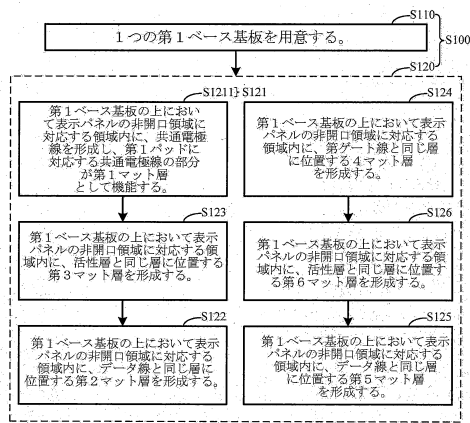


図9

【図10】

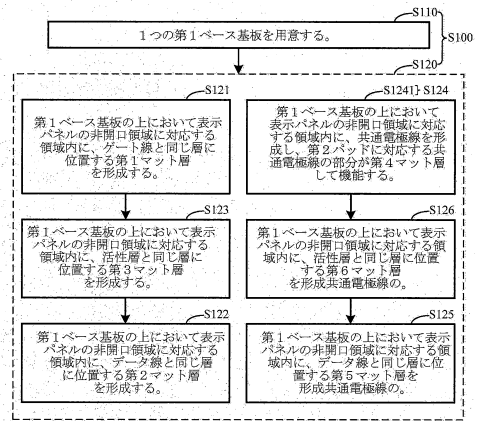


図10

10

20

30

40

50

フロントページの続き

- 中国(CN)
中華人民共和国北京市北京 經 済 技 術 開 発 区 地 澤 路 9 号
(72)発明者 李 パン
中華人民共和国北京市北京 經 済 技 術 開 発 区 地 澤 路 9 号
- 合議体
審判長 波多江 進
審判官 野村 伸雄
審判官 秋田 将行
- (56)参考文献 中国特許出願公開第 1 0 6 3 5 3 9 3 0 (C N , A)
米国特許出願公開第 2 0 0 8 / 0 2 6 6 4 9 8 (U S , A 1)
特開 2 0 0 6 - 3 5 0 3 0 6 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
G02F 1/1339