

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7556045号
(P7556045)

(45)発行日 令和6年9月25日(2024.9.25)

(24)登録日 令和6年9月13日(2024.9.13)

(51)国際特許分類		F I		
H 0 1 F	27/38 (2006.01)	H 0 1 F	27/38	
H 0 1 F	27/32 (2006.01)	H 0 1 F	27/32	1 3 0
H 0 1 F	27/42 (2006.01)	H 0 1 F	27/42	
H 0 1 F	30/10 (2006.01)	H 0 1 F	30/10	C
		H 0 1 F	30/10	H
請求項の数 12 (全12頁)				
(21)出願番号	特願2022-562329(P2022-562329)	(73)特許権者	515249628	
(86)(22)出願日	令和3年5月6日(2021.5.6)		サングロー パワー サプライ カンパニー	
(65)公表番号	特表2023-521204(P2023-521204 A)		リミテッド	
(43)公表日	令和5年5月23日(2023.5.23)		中華人民共和国 2 3 0 0 8 8 アンホエ	
(86)国際出願番号	PCT/CN2021/091835		ハーフェイ ニュー アンド ハイ テクノ	
(87)国際公開番号	WO2022/121226		ロジー インダストリアル ディベロップ	
(87)国際公開日	令和4年6月16日(2022.6.16)		メント ゾーン シーヨウ ロード ナンバ	
審査請求日	令和4年10月12日(2022.10.12)	(74)代理人	100094569	
(31)優先権主張番号	202011438258.1		弁理士 田中 伸一郎	
(32)優先日	令和2年12月7日(2020.12.7)	(74)代理人	100103610	
(33)優先権主張国・地域又は機関	中国(CN)		弁理士 ▲吉▼田 和彦	
		(74)代理人	100109070	
			弁理士 須田 洋之	
		(74)代理人	100067013	
				最終頁に続く

(54)【発明の名称】 変圧器

(57)【特許請求の範囲】

【請求項1】

コアと、本体巻線と、半導電層とを含む変圧器であって、
前記本体巻線は、前記コアのコアコラムに嵌着され、
前記半導電層は、前記本体巻線に対応して設置され、
前記半導電層の等電位接続点は、補助回路によって提供され、
前記補助回路は、前記本体巻線の引き出し接続点に接続され、前記補助回路は、前記本体巻線のプリセット位置と等しい電位を有し、
前記補助回路は、前記変圧器に接続されるコンバータを含み、前記コンバータの直流側母線は、前記等電位接続点を提供することを特徴とする変圧器。

【請求項2】

前記補助回路が提供する等電位接続点は、前記半導電層内の容量性電流を最小にする接続点であることを特徴とする請求項1に記載の変圧器。

【請求項3】

前記補助回路は、前記コアコラムに嵌着される補助巻線を含むことを特徴とする請求項1に記載の変圧器。

【請求項4】

前記補助巻線は、前記本体巻線の巻き方向と同じであり、ターン数が同じであることを特徴とする請求項3に記載の変圧器。

【請求項5】

前記コンバータの直流側正母線は、前記等電位接続点とすることを特徴とする請求項 1 に記載の変圧器。

【請求項 6】

前記コンバータの直流側負母線は、前記等電位接続点とすることを特徴とする請求項 1 に記載の変圧器。

【請求項 7】

前記コンバータの直流側母線中点は、前記等電位接続点とすることを特徴とする請求項 1 に記載の変圧器。

【請求項 8】

前記補助回路は、補助巻線をさらに含み、

前記変圧器の全ての半導電層のうち N 個の前記半導電層は、対応するコンバータの直流側母線に接続され、ただし、 $N \geq 1$ であり、

前記変圧器の全ての半導電層のうち M 個の前記半導電層は、対応する補助巻線の等電位接続点に接続され、ただし、 $M \geq 1$ であることを特徴とする請求項 1 に記載の変圧器。

【請求項 9】

容量性電流抑制回路をさらに含み、

前記容量性電流抑制回路は、前記補助回路が提供する等電位接続点と前記半導電層との間に直列接続されることを特徴とする請求項 1 から 8 のいずれか 1 項に記載の変圧器。

【請求項 10】

前記容量性電流抑制回路は、抵抗とインダクタのいずれかを含むことを特徴とする請求項 9 に記載の変圧器。

【請求項 11】

前記容量性電流抑制回路は、直列に接続された抵抗及びインダクタを含むことを特徴とする請求項 9 に記載の変圧器。

【請求項 12】

アイソレーションコンバータであって、

請求項 1 から 11 のいずれか 1 項に記載の変圧器を含み、

前記補助回路におけるコンバータは、第 1 のコンバータと、第 2 のコンバータを含み、

前記第 1 のコンバータは、前記変圧器の一次側の本体巻線に接続され、

前記第 2 のコンバータは、前記変圧器の二次側の本体巻線に接続されることを特徴とするアイソレーションコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2020年12月07日に中国專利局に提出した、出願番号が202011438258.1であって、発明の名称が「変圧器」である中国特許出願の優先権を主張し、その全内容が援用により本出願に組み込まれる。

【0002】

本発明は、送配電技術分野に関し、特に変圧器に関する。

【背景技術】

【0003】

実際の適用では、高周波高電圧大電力変圧器の高周波特性に注目する必要があるだけでなく、同時に、このような変圧器の高電圧特性に注目すべきである。具体的に、高周波高電圧大電力変圧器の高周波特性に対して、表皮効果と近接効果による高周波渦電流損を防止するために、リッツ (Litz) 線を採用して変圧器巻線を巻回することが多い。高周波高電圧大電力変圧器の高電圧特性に対して、通常、変圧器の局所的な電界強度が高くなりすぎないように、半導電層を使用して巻線の電界分布を改善する必要がある。

【0004】

図 1 を参照すると、図 1 は、従来技術において高電圧電力周波数変圧器に半導電層を設置する実現方式を示し、多くの場合、1 つの半導電層は 1 つの巻線に対応し、半導電層は

10

20

30

40

50

通常、対応する巻線の指定位置に直接等電位的に接続される。

【0005】

しかしながら、高周波高電圧大電力変圧器が図1に示す実現方式を採用することは困難であり、その理由は、高周波高電圧大電力変圧器の巻線がリッツ線で巻回され、リッツ線が複数本の相互間に絶縁された導線を含むため、リッツ線間の絶縁を破壊しないことを前提に、半導電層に接続された接続点を引き出すことが困難であり、リッツ線間の絶縁を破壊すると、絶縁破壊箇所の高周波渦電流損失による発熱問題を引き起こすからである。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、補助回路によって、変圧器本体巻線のプリセット位置と同じ電位を有するプリセット接続点を提供し、半導電層が当該プリセット接続点に直接接続される変圧器を提供し、これにより、リッツ線間の絶縁を破壊することを回避した場合に、半導電層の既定の作用、即ち、巻線の電界分布を改善し、変圧器の局所的な電界強度が高すぎることを防止することを実現する。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明によって提供される技術案は以下の通りである。

第1の態様では、本発明は、コアと、本体巻線と、半導電層とを含む変圧器を提供し、

前記本体巻線は、前記コアのコアコラムに嵌着され、

前記半導電層は、前記本体巻線に対応して設置され、

前記半導電層の等電位接続点は、補助回路によって提供され、

前記補助回路は、前記本体巻線に接続され、前記補助回路は、前記本体巻線のプリセット位置と等しい電位を有する。

【0008】

任意選択で、前記補助回路が提供する等電位接続点は、前記半導電層内の容量性電流を最小にする接続点である。

【0009】

任意選択で、前記補助回路は、前記コアコラムに嵌着される補助巻線を含む。

【0010】

任意選択で、前記補助巻線は、前記本体巻線の巻き方向と同じであり、ターン数が同じである。

【0011】

任意選択で、前記補助回路は、前記変圧器に接続されるコンバータを含む。

【0012】

任意選択で、前記コンバータの直流側正母線は、前記等電位接続点とする。

【0013】

任意選択で、前記コンバータの直流側負母線は、前記等電位接続点とする。

【0014】

任意選択で、前記コンバータの直流側母線中点は、前記等電位接続点とする。

【0015】

任意選択で、前記補助回路は、コンバータと補助巻線とを含み、

前記コンバータの直流側母線は、前記等電位接続点を提供し、

前記変圧器におけるN個の前記半導電層は、対応するコンバータの直流側母線に接続され、ただし、 $N \geq 1$ であり、

前記変圧器におけるM個の前記半導電層は、対応する補助巻線の等電位接続点に接続され、ただし、 $M \geq 1$ である。

【0016】

任意選択で、本発明の上記第1の態様のいずれかが提供する変圧器は、容量性電流抑制回路をさらに含み、

10

20

30

40

50

前記容量性電流抑制回路は、前記補助回路が提供する等電位接続点と前記半導電層との間に直列接続される。

【0017】

任意選択で、前記容量性電流抑制回路は、抵抗とインダクタのいずれかを含む。

【0018】

任意選択で、前記容量性電流抑制回路は、直列に接続された抵抗及びインダクタを含む。

【0019】

第2の態様では、本発明は、アイソレーションコンバータを提供し、第1のコンバータと、第2のコンバータと、本発明の第1の態様のいずれかに記載の変圧器を含み、

前記第1のコンバータは、前記変圧器の一次側の本体巻線に接続され、

前記第2のコンバータは、前記変圧器の二次側の本体巻線に接続される。

【0020】

本発明によって提供される変圧器は、コアと、本体巻線と、半導電層とを含み、本体巻線は、コアのコアコラムに嵌着され、半導電層は、本体巻線に対応して設置される。補助回路は、本体巻線に接続され、補助回路は、本体巻線のプリセット位置と等しい電位を有し、半導電層の等電位接続点は、補助回路によって提供され、半導電層が補助回路に接続された後、巻線の電界分布を均衡化する役割を実現することができる。本発明によって提供される変圧器は、補助回路によって、変圧器本体巻線のプリセット位置と等しい電位を有する等電位接続点を提供し、半導電層は、当該等電位接続点に直接接続され、これにより、リッツ線間の絶縁を破壊することを回避した場合に、半導電層の既定の作用、即ち、巻線の電界分布を改善し、変圧器の高電圧絶縁性能を向上させることを実現する。

本発明の実施例又は従来技術における技術案をより明確に説明するために、以下、実施例又は従来技術の記述に必要な図面について簡単に紹介し、以下で説明される図面は本発明のいくつかの実施例に過ぎず、当業者にとっては、創造的な労力を要することなく、これらの図面から他の図面を得ることができることは自明である。

【図面の簡単な説明】

【0021】

【図1】従来技術における高電圧電力周波数変圧器に設置される半導電層の構造概略図である。

【図2】本発明の実施例による第1の変圧器の構造概略図である。

【図3】本発明の実施例による第2の変圧器の構造概略図である。

【図4】本発明の実施例による第3の変圧器の構造概略図である。

【図5】本発明の実施例による第4の変圧器の構造概略図である。

【図6】本発明の実施例による第5の変圧器の構造概略図である。

【図7】本発明の実施例による第6の変圧器の構造概略図である。

【図8】本発明の実施例による変圧器における半導電層容量性電流の流通経路の概略図である。

【図9】本発明の実施例による第7の変圧器の構造概略図である。

【発明を実施するための形態】

【0022】

以下、本出願の実施例における図面を参照して、本出願の実施例における技術案を明確かつ詳細に説明する。明らかに、記述される実施例は、本出願の実施例の一部に過ぎず、全ての実施例ではない。本出願における実施例に基づいて、当業者が創造的な労働をしない前提で取得した全ての他の実施例は、いずれも本出願の保護範囲に属する。

【0023】

図2を参照すると、図2は、本発明の実施例による第1の変圧器の構造概略図である。本発明の実施例による変圧器は、コアと、本体巻線と、半導電層とを含む。

【0024】

実際の適用における変圧器構造と組み合わせて、本発明の実施例による変圧器は、複数の本体巻線、即ち、図2に示す本体巻線1、本体巻線2・・・本体巻線nを含む。勿論、

本体巻線はさらに一次側巻線と二次側巻線に分けることができ、具体的に、従来技術を参照することができ、ここでは詳細に説明しない。変圧器の本体巻線は、コアのコアコラムに嵌着され、3相変圧器の場合、本実施例に記載のコアコラムは、a、b、cの3相に対応するコアコラムを含むべきであり、各本体巻線は同様にa、b、cの3相に分ける必要があり、それぞれ、対応するコアのコアコラムに嵌着すると考えられる。

【0025】

さらなる半導電層は、本体巻線に対応して設置される。多くの場合、変圧器のいずれの相についても、一次側巻線と二次側巻線がコアコラムに同心状に嵌着され、このような構造に基づいて、変圧器の一次側巻線と二次側巻線の表面にそれぞれ半導電層を対応して設置すると考えられる。勿論、実際の設計要求に応じて、前記2つの位置に同時に半導電層を設置してもよい。

10

【0026】

なお、本発明の各図面に示す構造概略図に現れる本体巻線、コア、及び半導電層の間の位置関係は、本発明の実施例及び後続の各実施例における補助回路と本体巻線と半導電層との間の接続関係を説明する便宜上のものであり、変圧器製品構造を直接限定するものではない。そして、変圧器の具体的な構造、各構造部分の間の取り付け結果、及び半導電層の設置について、いずれも従来技術を参照して実現することができ、本発明はこれを限定しない。

【0027】

本発明の実施例及び後続の各実施例によって提供される変圧器では、本体巻線に対応して設置される半導電層の等電位接続点は、補助回路によって提供されることが重要である。補助回路は本体巻線に接続され、補助回路は本体巻線のプリセット位置と等しい電位を有する。

20

【0028】

勿論、補助回路と本体巻線との接続点は、本体巻線の引き出し線のような、本体巻線の引き出し接続点を選択すべきである。本体巻線の引き出し線は、本体巻線を外部回路に接続するために特別に使用されるものであり、補助回路は本体巻線の引き出し接続点に接続され、本体巻線の内部ターンの絶縁を破壊することはないからである。リッツ線で巻回した本体巻線について、同様にリッツ線の間のストランド間絶縁を破壊しない。

【0029】

上記の補助回路、半導電層、及び本体巻線の間の接続関係から分かるように、半導電層と本体巻線との間に補助回路を設置し、半導電層と補助回路は直接に接続され、補助回路と本体巻線のプリセット位置は等しい電位を有するため、効果の観点から、半導電層が補助回路に接続されることは、従来技術における導電層が本体巻線に直接接続されることと同等であり、半導電層が電界分布を改善する作用は影響を受けない。

30

【0030】

任意選択で、実際の適用では、補助回路が提供する等電位接続点は、好ましくは半導電層内の容量性電流を最小にする接続点であり、容量性電流が大きすぎることによる半導電層、及び半導電層と補助回路を接続する接続線の発熱問題をできるだけ回避する。

【0031】

以上のように、本発明によって提供される変圧器は、補助回路によって、変圧器本体巻線のプリセット位置と等しい電位を有する等電位接続点を提供し、半導電層が当該等電位接続点に直接接続され、これにより、リッツ線間の絶縁を破壊することを回避した場合に、半導電層の既定の作用、即ち、巻線の電界分布を改善し、変圧器の高電圧絶縁性能を向上させることを実現する。

40

【0032】

以下、複数の実施例及び対応する図面を併せて、補助回路の選択可能な実現方式について紹介する。

【0033】

図3を参照すると、図3は、本発明の実施例による第2の変圧器の構造概略図である。

50

本実施例では、補助回路は補助巻線によって実現される。

【0034】

任意選択で、実際の生産において最も実現しやすい設置方式として、本実施例によって提供される補助巻線は本体巻線と共に巻回されるため、本実施例における補助巻線は、本体巻線の巻き方向と同じであり、且つターン数が同じであり、同様にコアのコアコラムに嵌着される。

【0035】

上記の接続方式に基づいて、補助巻線と本体巻線は並列関係にあり、補助巻線の両端の電圧は、本体巻線の両端の電圧値及び電圧降下の方向とまったく同じである。さらに、補助巻線を本体巻線と同時に巻回する場合、補助巻線は本体巻線のターン数と同じであり、補助巻線の各ターンの誘導電圧は本体巻線の各ターンの誘導電圧と同じであり、補助巻線の各箇所の電位は、本体巻線の対応する位置の電位とまったく同じであるため、補助巻線の各点はいずれも半導電層の等電位接続点とすることができ、実際の適用では、半導電層と本体巻線との結合状況に応じて任意に配置することができる。

【0036】

変圧器全体については、複数の本体巻線を含み、それに対応して、半導電層が設置された本体巻線ごとに、補助巻線に対応して設置する必要があり、各補助巻線の出力端は、対応する本体巻線の引き出し接続点に接続すればよいと考えられる。実際の生産において、補助巻線は、非常に細い絶縁導線を採用することができ、本体巻線を巻回するリッツ線と共に巻回し、プロセスの実現難度が大きくない。

【0037】

勿論、実現プロセスの難度が大きくないにもかかわらず、変圧器の設計過程において、補助巻線のシャントによる線材の発熱問題、及び加工プロセス、変圧器の体積や絶縁性能などへの影響を考慮する必要があり、ここで繰り返して説明しない。

【0038】

任意選択で、実際の適用では、高周波高電圧変圧器の一次側及び二次側には常にコンバータが接続され、コンバータによって交直流の変換を実現する。コンバータの直流側に直流電位があるため、選択可能な実現方式として、半導電層の等電位接続点は、変圧器に接続されたコンバータによって提供することができる。

【0039】

任意選択で、図4、図5、及び図6に示す実施例を参照して、コンバータを補助回路とし、等電位接続点を提供する実現方式をそれぞれ示す。

【0040】

具体的に、図4に示す実施例では、コンバータの直流側正母線は、等電位接続点とし、それに対応して、図5に示す実施例では、コンバータの直流側負母線は、等電位接続点とする。母線の中点を含むコンバータについて、コンバータの母線の中点は同様に等電位接続点とし、具体的な接続関係は図6に示す。

【0041】

図4、図5、及び図6に示す実施例では、補助回路はコンバータによって実現され、変圧器自体の構造を改善する必要がなく、且つ配線が簡単であり、図3に示す実施例に比べて、実現しやすい。勿論、その弊害は、コンバータを設置している適用シーンのみに適用することである。

【0042】

勿論、実際の適用シーンと結合して、上記の二種類の補助回路の実現方式を統合的に使用することも可能であり、特に、変圧器の片側のみにコンバータを設置する適用シーンでは、上記の二種類の実現方式を統合的に適用することで、変圧器生成手順の難しさを最小限に抑えることができる。

【0043】

任意選択で、図7を参照すると、図7は、本発明の実施例による第6の変圧器の構造概略図である。本実施例では、補助回路は、コンバータ及び補助巻線に基づいて共同に実現

10

20

30

40

50

し、即ち、コンバータの直流側母線及び補助巻線はそれぞれ等電位接続点を提供する。

【0044】

実際の適用では、変圧器におけるN個の半導電層は、対応するコンバータの直流側母線に接続され、 $N \geq 1$ であり、変圧器におけるM個の半導電層は、対応する補助巻線の等電位接続点に接続され、 $M \geq 1$ である。NとMの合計は、変圧器に含まれる全ての本体巻線の数であると考えられる。

【0045】

なお、上記の実施例におけるNとMの具体的な値について、変圧器の具体的な適用シーン、特に適用シーンにおけるコンバータの設置数に合わせて選択すべきである。

【0046】

半導電層の基本的な原理から分かるように、半導電層の容量性電流をできるだけ小さくするために、半導電層と本体巻線の結合状況に合わせて半導電層を接続する等電位接続点を選択すべきである。

【0047】

以下、図7を参照して、半導電層が本体巻線と対称的に結合される場合を例として、半導電層における容量性電流の流通状況を説明する。

【0048】

図7に示すように、変圧器本体巻線中心点の両側の電圧ジャンプは逆であり、半導電層が母線の中点に接続されると、変圧器本体巻線の中点に接続されると等価し、半導電層と巻線中点の両側との結合も対称であるため、流れる容量性電流の大きさが同じで方向が逆であり、このように半導電層等電位配線に流れる総容量性電流は最小であり、母線への影響も最小である。

【0049】

上記のいずれかの実施例では、理論的には、半導電層における容量性電流をゼロにすることができるが、実際の適用では、理想的な等電位接続点を正確に決定することは困難であり、特に、コンバータによって等電位接続点を提供する実現方式について、コンバータにより提供できる等電位接続点の選択可能な位置が限られ、容量性電流をゼロにすることがより困難である。

【0050】

この問題を解決するために、本発明の実施例は、他の変圧器を提供する。図9を参照すると、図9は本発明の実施例による第7の変圧器の構造概略図である。前述の実施例のいずれかを基に、本実施例による変圧器は、容量性電流抑制回路をさらに含む。具体的に、当該容量性電流抑制回路は、補助回路が提供する等電位接続点と半導電層との間に直列接続される。容量性電流抑制回路の具体的な設置数については、変圧器の各本体巻線に対応する半導電層における容量性電流の大きさに合わせて決定すべきである。勿論、製造コストが許容できる場合に、半導電層ごとに1つの容量性電流抑制回路を設置する。

【0051】

本実施例による変圧器では、半導電層と補助回路との間に容量性電流抑制回路を設置し、容量性電流抑制回路によって容量性電流の大きさを制限することで、半導電層の容量性電流が大きすぎることによる発熱問題を回避し、半導電層に接続される等電位接続点への影響を低減することができる。

【0052】

任意選択で、容量性電流抑制回路は、抵抗及びインダクタのいずれかによって実現することができる。純粋にインダクタによって実現された容量性電流抑制回路の場合、高周波信号に対して、インピーダンスは比較的大きく、高周波容量性電流を有効的に抑制することができる。低周波信号に対して、インピーダンスが低く、インダクタ分圧が小さいため、半導電層が有効的な等電位を提供することを保証することができる。

【0053】

勿論、容量性電流抑制回路は、直列に接続された抵抗及びインダクタによって実現されてもよい。

10

20

30

40

50

【0054】

任意選択で、本発明は、アイソレーションコンバータをさらに提供し、第1のコンバータと、第2のコンバータと、上記のいずれかの実施例で提供される変圧器を含み、

前記第1のコンバータは、前記変圧器の一次側の本体巻線に接続され、

前記第2のコンバータは、前記変圧器の二次側の本体巻線に接続される。

【0055】

本明細書における各実施例については、漸進の方式を用いて説明しており、各実施例では重点的に説明するのは、他の実施例との相違点であり、各実施例の間の同一又は類似部分は互いに参照すればよい。実施例で開示される装置については、実施例で開示される方法に対応するので、記述は比較的簡単であり、関連する部分は方法の説明を参照すればよい。

10

【0056】

当業者であれば、さらに、本明細書で開示される実施例に基づいて記述した各例示的なユニット及びアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、又は両者の組み合わせで実現されることができ、ハードウェアとソフトウェアとの互換性を明確に説明するために、上記の説明において、各例の構造及びステップを機能に応じて一般的に記述したことが認識されることができる。これらの機能がハードウェア又はソフトウェアの方式で実行するかは、技術案の特定の応用及び設計制約条件に依存する。当業者は、特定の応用ごとに異なる方法を用いて記述された機能を実現することができるが、このような実現は本発明の範囲を逸脱するものと考えられるべきではない。

20

【0057】

本明細書に開示された実施例に記述された方法又はアルゴリズムのステップは、直接ハードウェアで実現してもよいし、又はプロセッサによって実行されるソフトウェアモジュールで実現してもよいし、又は両者の結合で実現してもよい。ソフトウェアモジュールは、ランダムメモリ（RAM）、メモリ、読み取り専用メモリ（ROM）、電氣的にプログラム可能なROM、電氣的に消去可能なプログラム可能なROM、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、又は技術分野で知られている任意の他の形態の記憶媒体に配置することができる。

【0058】

開示された実施例に対する上記の説明は、当業者が本発明を実現又は使用できることを可能にする。これらの実施例に対する様々な修正は、当業者にとって、本明細書で定義された一般的な原理が本発明の核心理念又は範囲から逸脱することなく、他の実施例で実現することができることは自明である。従って、本発明は、本明細書に示される実施形態に限定されなく、本明細書に開示される原理及び新規の特徴と一致する最も広い範囲が与えられるべきである。

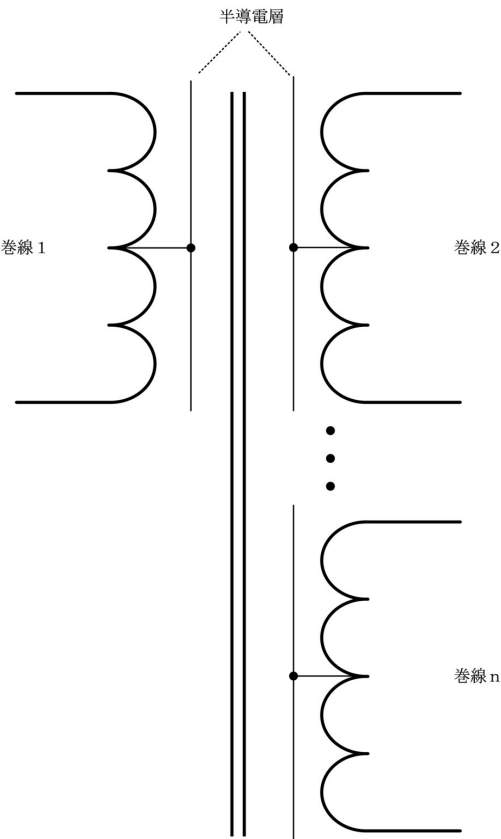
30

40

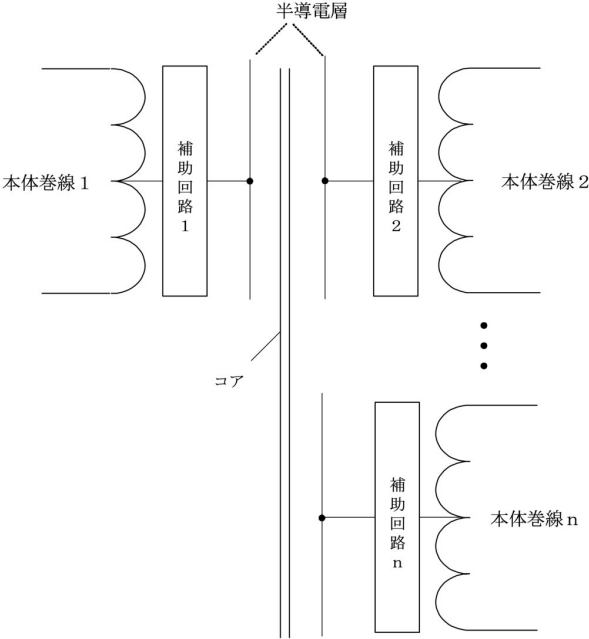
50

【図面】

【図 1】



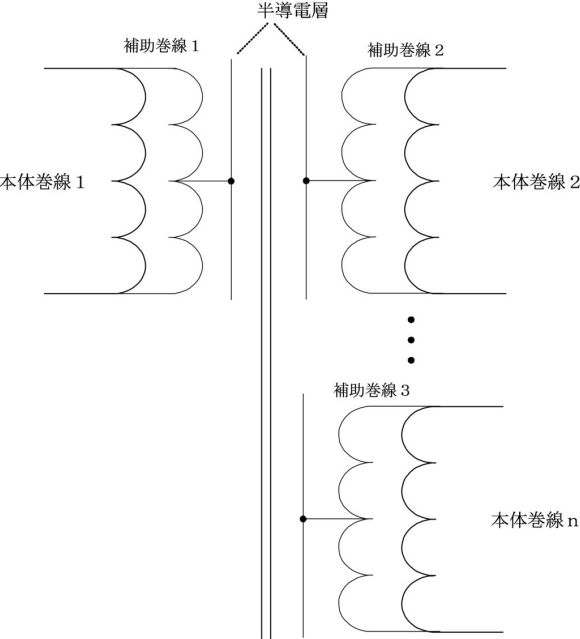
【図 2】



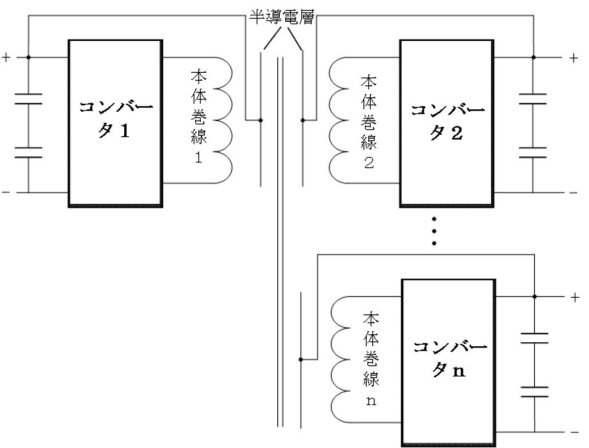
10

20

【図 3】



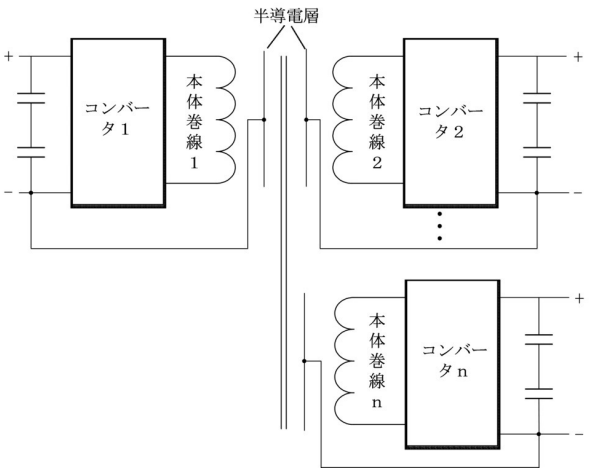
【図 4】



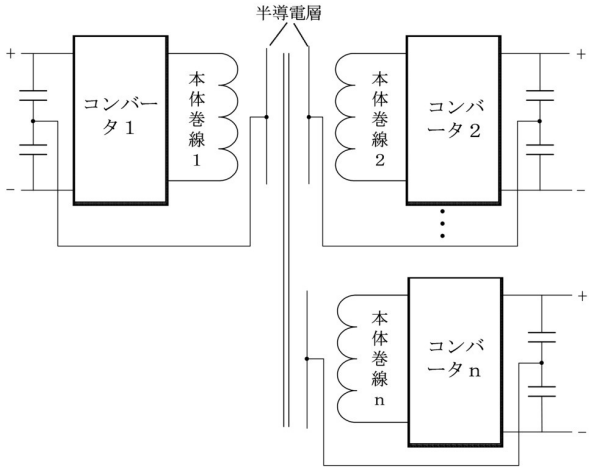
30

40

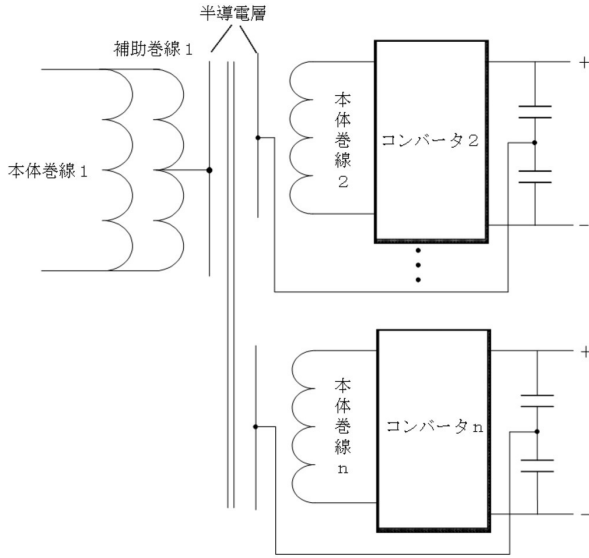
【図 5】



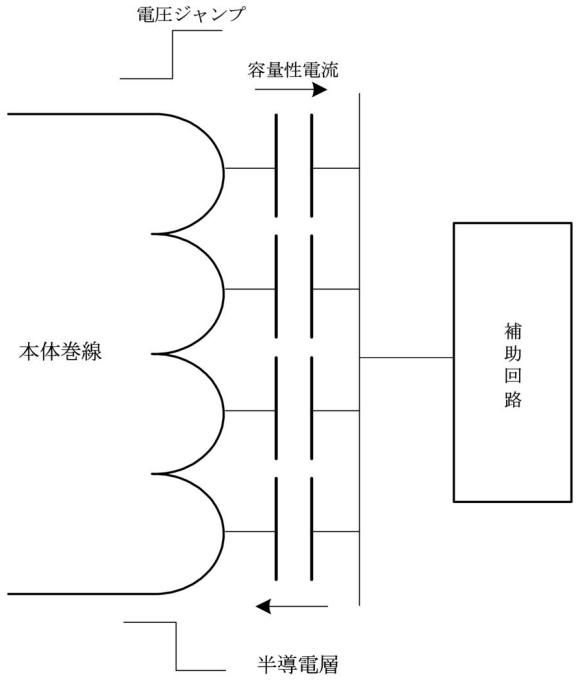
【図 6】



【図 7】



【図 8】



10

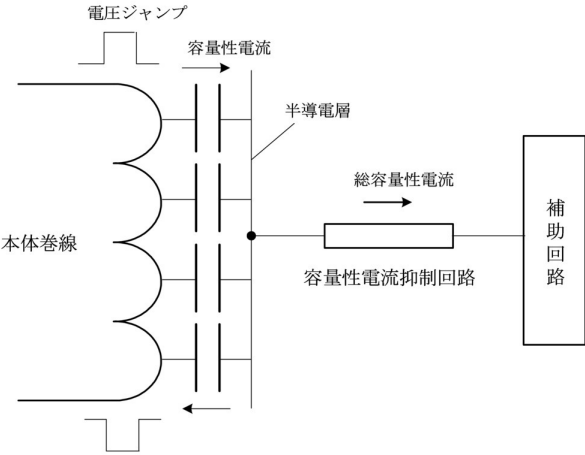
20

30

40

50

【図 9】



10

20

30

40

50

フロントページの続き

- 弁理士 大塚 文昭
(74)代理人 100086771
弁理士 西島 孝喜
(74)代理人
上杉 浩
(74)代理人 100120525
弁理士 近藤 直樹
(74)代理人 100139712
弁理士 那須 威夫
(72)発明者 ツァイ グオチン
中華人民共和国 230088 アンホエ ハーフェイ ニュー アンド ハイ テクノロジー インダ
ストリアル ディベロップメント ゾーン シーヨウ ロード ナンバー1699
(72)発明者 ジュアン ジアツァイ
中華人民共和国 230088 アンホエ ハーフェイ ニュー アンド ハイ テクノロジー インダ
ストリアル ディベロップメント ゾーン シーヨウ ロード ナンバー1699
(72)発明者 シュー ジュン
中華人民共和国 230088 アンホエ ハーフェイ ニュー アンド ハイ テクノロジー インダ
ストリアル ディベロップメント ゾーン シーヨウ ロード ナンバー1699
(72)発明者 リウ ウェイ
中華人民共和国 230088 アンホエ ハーフェイ ニュー アンド ハイ テクノロジー インダ
ストリアル ディベロップメント ゾーン シーヨウ ロード ナンバー1699
審査官 久保田 昌晴
(56)参考文献 実開平04-109514 (JP, U)
特公昭51-032801 (JP, B1)
特開2008-028221 (JP, A)
特開2008-182020 (JP, A)
中国特許出願公開第111933423 (CN, A)
(58)調査した分野 (Int.Cl., DB名)
H01F 17/00-19/08、27/28、27/32
H01F 27/34-27/38、27/42、30/00-30/16
H01F 37/00
H02M 1/00-7/98