

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月2日(02.08.2012)



(10) 国際公開番号
WO 2012/102303 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) H01L 25/04 (2006.01)
H01L 23/12 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051544
- (22) 国際出願日: 2012年1月25日(25.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-013711 2011年1月26日(26.01.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 南 匡晃(MI-NAMI, Masaaki) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社 村田製作所内 Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

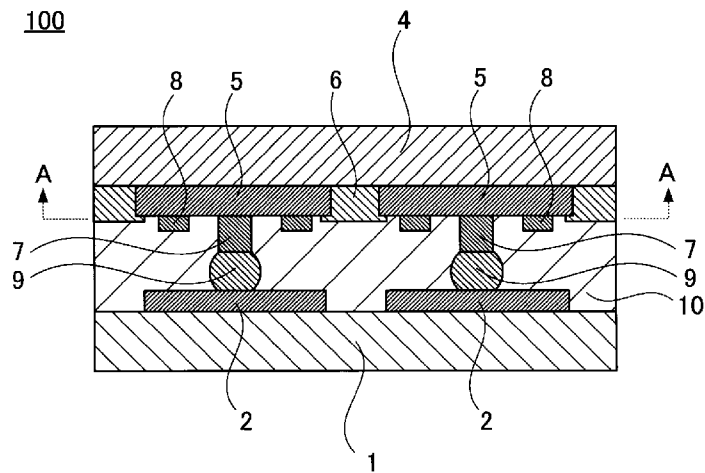
添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: ELECTRONIC COMPONENT MODULE AND ELECTRONIC COMPONENT ELEMENT

(54) 発明の名称: 電子部品モジュールおよび電子部品素子

[図1]



(57) Abstract: Provided is an electronic component module that suppresses occurrences of solder splashing. An electronic component module (100) is formed by an electronic component element (4), on which a plurality of pad electrodes (5) are formed, being disposed on a substrate (1), on which a plurality of substrate electrodes (2) are formed, so as to face the substrate (1), with the substrate electrodes (2) and pad electrodes (5) connected by solder bumps. Columnar electrodes (7) are formed on the pad electrodes, and in addition to the solder bumps (9) being provided on the columnar electrodes (7), ring-shaped electrodes (8) are formed on the pad electrodes (5) so as to surround the columnar electrodes (7).

(57) 要約: はんだスプラッシュの発生を抑制した電子部品モジュールを提供する。電子部品モジュール100は、複数の基板電極2が形成された基板1上に、複数のパッド電極5が形成された電子部品素子4が対向して配置され、基板電極2とパッド電極5がはんだバンプにより接続されたものからなり、パッド電極上に柱状電極7が形成され、柱状電極7上にはんだバンプ9が設けられるとともに、パッド電極5上に、柱状電極7を囲むように、環状電極8が形成されたものからなる。



WO 2012/102303 A1

明 細 書

発明の名称：電子部品モジュールおよび電子部品素子

技術分野

[0001] 本発明は、基板上に電子部品素子がフリップチップ実装された電子部品モジュールに関し、さらに詳しくは、基板と電子部品素子の接合構造に改良が加えられた電子部品モジュールに関する。

[0002] また、本発明は、上記電子部品モジュールに使用するのに適した電子部品素子に関する。

背景技術

[0003] 近年、電子機器の小型化、高機能化により、半導体などの電子部品素子の基板への高密度実装が要求されている。その要求に応える方法として、フリップチップ実装が広く用いられている。このフリップチップ実装は、一般的には、電子部品素子側にはんだバンプを設け、リフローにより電子部品素子を基板にはんだ接合し、さらに接合力強化のために、基板と電子部品素子の間に樹脂を充填するようにしている。

[0004] このように、基板に電子部品素子をフリップチップ実装した電子部品モジュールは、さらに、より大きな実装基板にリフローはんだにより実装されることが多い。しかしながら、電子部品モジュールを実装基板に実装する場合、リフロー加熱により、基板と電子部品素子を接合しているはんだが再熔融し、熔融したはんだが、電子部品素子と基板との接合面に沿って流出し、隣接した他のはんだバンプと電氣的に短絡してしまう可能性があった。

[0005] これを防止した電子部品モジュールが、特許文献1（特開2004-47637号公報）に開示されている。

[0006] 図8に、特許文献1に開示された電子部品モジュール（半導体パッケージ）400を示す。

[0007] 電子部品モジュール400は、基板101を備える。基板101の主面上には、複数の基板電極102が形成されている。また、基板101の主面上

には、基板電極 102 部分を除いて、はんだレジスト 103 が形成されている。

[0008] また、電子部品モジュール 400 は、電子部品素子（半導体素子）104 を備える。電子部品素子 104 の主面上には、複数のパッド電極 105 が形成されている。また、電子部品素子 104 の主面上には、パッド電極 105 部分を除いて、絶縁膜 106 が形成されている。そして、絶縁膜 106 には、パッド電極 105 を囲むように、突起状のはんだダム 106 a が形成されている。はんだダム 106 a は、電子部品モジュール 400 を実装基板（図示せず）に実装するときに、溶融したはんだが流出するのを防止する機能をはたす。

[0009] そして、電子部品素子 104 は、パッド電極 105 上に設けられたはんだバンプ 109 を、基板 101 の基板電極 102 に接合することにより、基板 101 にフリップチップ実装されている。

[0010] さらに、電子部品モジュール 400 は、基板 101 と電子部品素子 104 の接合強度を大きくするために、基板 101 と電子部品素子 104 との間に、樹脂 110 が充填されている。

先行技術文献

特許文献

[0011] 特許文献 1：特開 2004-47637 号公報

発明の概要

発明が解決しようとする課題

[0012] しかしながら、上述した従来の電子部品モジュール 400 には、次のような問題があった。

[0013] すなわち、電子部品素子 104 の絶縁膜 106 に、はんだ流出防止のための突起状のはんだダム 106 a を形成するためには、ある程度の大きな面積を必要とするため、近時の、小型化、高密度化が要求される電子部品モジュールにおいては、絶縁膜 106 上にはんだダム 106 a を形成するための面

積を確保することができないという問題があった。

[0014] また、一般的に、電子部品素子104に形成する絶縁膜106は、SiNなどで形成する場合が多いが、SiNなどからなる絶縁膜106およびはんだダム106aは、はんだを弾く傾向があるため、溶融したはんだバンプ109のはんだが、絶縁膜106上に留まらず、はんだダム106aを超えて流出しやすいという問題があった。そして、はんだダム106aを超えて流出したはんだが、隣接するはんだバンプ109と電氣的に短絡してしまう場合があるという問題があった。

[0015] そこで、本発明の目的は、狭ピッチにはんだバンプが形成されていたとしても、はんだの流出を防止することができる構造を備えた、電子部品モジュールを提供することである。

課題を解決するための手段

[0016] その手段として、本発明の電子部品モジュールは、複数の基板電極が形成された基板の上に、複数のパッド電極を有する電子部品素子が前記基板電極と前記パッド電極とが対向するように配置され、基板電極とパッド電極とがはんだバンプを介して電氣的に接続されてなる電子部品モジュールにおいて、パッド電極上に形成された柱状電極と、柱状電極の先端に形成されたはんだバンプと、柱状電極を囲むようにパッド電極上に形成された環状電極とを備えている、ものとした。かかる構造とすることにより、本発明の電子部品モジュールは、はんだの流出を確実に防止することができる。

[0017] なお、環状電極は、パッド電極の表面から突出するように形成されていることが好ましい。この場合には、はんだの流出を防止する機能が高くなる。

[0018] また、基板と電子部品素子の間に、樹脂を充填するようにしても良い。この場合には、基板と電子部品素子の接合強度をより大きくすることができる。

[0019] また、環状電極の高さが柱状電極の高さよりも高く、環状電極が基板電極に当接してしても良い。この場合には、環状電極によって柱状電極およびはんだバンプが完全に囲まれることになり、はんだの流出を完全に防止するこ

とができる。

[0020] また、基板電極に、別途、柱状電極および環状電極の少なくとも一方を設けるようにしても良い。この場合には、基板側においてははんだが流出する場合にも、はんだの流出を抑制することができる。

[0021] また、本発明の電子部品素子は、実装面を有する電子部品本体と、実装面上に形成された複数のパッド電極と、パッド電極上に形成された柱状電極と、柱状電極の先端に形成されたはんだバンプと、柱状電極を囲むようにパッド電極上に形成された環状電極とを備えた構造とした。かかる構造とすることにより、本発明の電子部品素子は、基板に上記はんだバンプを使ってフリップチップ実装して電子部品モジュールを製造し、その電子部品モジュールを実装基板に実装する場合に、リフロー加熱によりはんだが再溶融しても、溶融したはんだが流出するのを確実に防止することができる。

発明の効果

[0022] 本発明の電子部品モジュールは、パッド電極上に金属製の環状電極を形成したものであるため、特許文献1に開示された従来技術のように、SiNなど、はんだを弾く性質をもった絶縁膜にはんだダムを形成したものに比べて、はんだ流出を防止する機能が大きく向上している。

[0023] また、本発明の電子部品モジュールは、はんだバンプが、パッド電極上に直接に設けられるのではなく、パッド電極上に形成された柱状電極上に設けられているため、各はんだバンプの配置位置をより正確に制御することができる。したがって、複数のはんだバンプを、狭いピッチで隣接して形成することができる。

[0024] さらに、本発明の電子部品モジュールは、はんだバンプが、パッド電極上に形成された柱状電極上に設けられており、はんだバンプとパッド電極との間に一定の距離が設けられている。そのため、万一、はんだスプラッシュが発生しても、溶融したはんだは、柱状電極の側面、パッド電極の表面、環状電極を経由しなければ、隣接するパッド電極やはんだバンプに到達することができない。このように、はんだの経路が長くなっていることによって

も、はんだ流出を防止する機能が大きく向上している。

図面の簡単な説明

[0025] [図1]本発明の第1実施形態にかかる電子部品モジュール100の要部を示す断面図である。

[図2]本発明の第1実施形態にかかる電子部品モジュール100の要部を示す断面図であり、図1の矢印A-A部分を示す。

[図3]図3(a)～(c)は、本発明の第1実施形態にかかる電子部品モジュール100の製造方法において適用する各工程を示す断面図である。

[図4]図4(d)～(f)は、図3の続きであり、本発明の第1実施形態にかかる電子部品モジュール100の製造方法において適用する各工程を示す断面図である。

[図5]図4(g)～(i)は、図4の続きであり、本発明の第1実施形態にかかる電子部品モジュール100の製造方法において適用する各工程を示す断面図である。

[図6]第2実施形態にかかる電子部品モジュール200の要部を示す断面図である。

[図7]第3実施形態にかかる電子部品モジュール300の要部を示す断面図である。

[図8]従来の電子部品モジュール400を示す断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態について、図面を参照しながら説明する。

[0027] (第1実施形態)

図1および図2に、本発明の第1実施形態にかかる電子部品モジュール100における基板と電子部品素子との接合状態を示す。ただし、図2は、図1の矢印A-A部分の断面を示している。

[0028] 電子部品モジュール100は、基板1を備える。基板1の材質には、たとえば、セラミックや樹脂などが用いられる。基板1の主面上には、複数の基板電極2が形成されている。基板電極2の材質には、たとえば、CuやAg

などが用いられる。

[0029] また、電子部品モジュール100は、電子部品素子4を備える。電子部品素子4としては、たとえば、半導体素子などが用いられ、一般的には矩形状のものが多く、電子部品素子4の主面上には、複数のパッド電極5が形成されている。パッド電極5の形状は問わないが、本実施形態では、電子部品素子4の形状に合わせて矩形状とした。パッド電極5の材質には、たとえば、Alなどが用いられる。また、電子部品素子4の主面上には、パッド電極5部分に開口を設けて、絶縁膜6が形成されている。絶縁膜6の材質には、たとえば、SiNなどが用いられる。

[0030] そして、電子部品素子4のパッド電極5の中心部上には、柱状電極7が形成されている。本実施形態においては、柱状電極7の形状を円柱状とした。ただし、柱状電極7の形状はこれには限定されず、多角柱状、円錐台状、多角錐台状などであっても良い。柱状電極7の材質には、たとえば、Cuが用いられる。ただし、Ni、Pt、Pdなど、Cu以外の金属であっても良い。

[0031] また、電子部品素子4のパッド電極5上には、柱状電極7を囲むように、環状電極8が形成されている。本実施形態においては、環状電極8の平面形状を円環状とした。ただし、円環状には限られず、矩形環状であっても良い。環状電極8は、パッド電極の表面から突出している。環状電極8の材質には、たとえば、Cuが用いられる。ただし、Ni、Pt、Pdなど、Cu以外の金属であっても良い。

[0032] そして、柱状電極7上に、はんだバンプ9が設けられている。

[0033] 電子部品素子4は、柱状電極7上に設けられたはんだバンプ9を、基板1の基板電極2に接合することにより、基板1にフリップチップ実装されている。

[0034] さらに、電子部品モジュール100は、基板1と電子部品素子4の接合強度を大きくするために、基板1と電子部品素子4の間に、樹脂10が充填されている。ただし、しかし、電子部品リペアによる基板再利用等を想定して

、樹脂 10 を充填しない場合もある。

[0035] 以上の構造からなる、本発明の第 1 実施形態にかかる電子部品モジュール 100 は、柱状電極 7 を囲む環状電極 8 がパッド電極 5 上に形成されているため、はんだスプラッシュ発生時に、溶融したはんだが隣接するはんだバンプ 9 に到達する経路が長くなっており、隣接するはんだバンプ 9 との短絡が抑制されている。さらに、柱状電極 7 および環状電極 8 が金属で形成されていることにより、従来のはんだを弾く作用のある SiN など形成した場合に比べて、はんだ流失を防止する効果が高まっている。

[0036] さらに、はんだバンプ 9 が、パッド電極 5 上に形成された柱状電極 7 上に設けられているため、各はんだバンプ 9 の配置位置が正確に制御されている。したがって、複数のはんだバンプ 9 を、狭いピッチで隣接して形成することができる。

[0037] なお、図示しないが、基板 1 は、配線用内層導体や容量形成用内層導体が形成された多層基板で構成され、その表面には、形成された外部端子が形成されている。電子部品素子 4 が実装されている基板電極 2 と外部端子電極の間はビアホール導体で接続されている。

[0038] また、基板 1 の電子部品素子 4 が実装されている基板電極 2 とは別の基板電極 2 にチップコンデンサなどが実装されていてもよい。また、基板 1 の内層導体にチップコンデンサなどが接続された状態で基板内に内蔵されていてもよい。

[0039] 次に、図 3 (a) ~ 図 5 (i) を参照して、電子部品モジュール 100 の製造方法の一例について説明する。

[0040] まず、図 3 (a) に示すように、予め A1 などからなる複数のパッド電極 5 が形成された半導体素子などの電子部品素子 4 を用意する。

[0041] 次に、図 3 (b) に示すように、電子部品素子 4 上に、柱状電極 7 や環状電極 8 を形成の基礎となるシード層 11 を、蒸着やスパッタリングにより形成する。シード層 11 の材質には、たとえば、Ti や Cu を用いる。そして、シード層 11 を形成した後に、環状電極 8 を形成するためのレジスト 12

を形成する。レジスト12の材質には、たとえば、SiN、SiO₂などが用いられる。レジスト12は、まずシード層11上の全面に塗布する。続いて、レジスト12上に、環状電極16を形成する部分を打ち抜きのしたマスク（図示せず）を覆せ、フォトリソグラフィの要領で、紫外線を照射して露光を行う。続いて、マスクを外し、現像液により現像処理を行う。現像処理により、レジスト12には、露光された形、すなわち環状電極8の平面形状（たとえば円環状）をした開口が形成される。

[0042] 次に、図3（c）に示すように、めっき処理を施すことにより、レジスト12の開口部に環状電極8を形成する。

[0043] 次に、レジスト12を剥離除去することにより、図4（d）に示すように、パッド電極5上に、シード層11を介して、環状電極8が完成する。

[0044] 続いて、柱状電極7およびはんだバンプ9の形成を行う。

[0045] まず、図示しないが、環状電極8が形成されたシード層11上に、再度、レジスト13を塗布する。続いて、レジスト13上に、柱状電極7を形成する部分を打ち抜きのしたマスクを覆せ、フォトリソグラフィの要領で、紫外線を照射して露光を行う。続いて、マスクを外し、現像液により現像処理を行う。現像処理により、図4（e）に示すように、レジスト13には、露光された形、すなわち柱状電極7の平面形状（たとえば円形）をした開口が形成される。

[0046] 次に、図4（f）に示すように、めっき処理を施すことにより、レジスト13の開口部に、まず、柱状電極7を形成し、続いてはんだバンプ9のもととなる、はんだめっき層9'を形成する。

[0047] 次に、図5（g）に示すように、残ったレジスト13を剥離除去し、続いて、エッチング処理により残ったシード層11を剥離除去する。

[0048] 次に、図5（h）に示すように、リフロー処理を施すことにより、はんだ層9'を、略球状のはんだバンプ9に形成する。

[0049] 最後に、図5（i）に示すように、基板電極2にはんだバンプ9をリフローにより接合し、基板1に電子部品素子4をフリップチップ実装し、続いて

、基板 1 と電子部品素子 4 の接合強度を高めるため、基板 2 と電子部品素子 4 の間に樹脂 10 を充填して、本実施形態にかかる電子部品モジュール 100 を完成させる。なお、図 5 (g) ~ (i) においては、柱状電極 7 および環状電極 8 のシード層部分を図示しているが、完成状態を示す図 1 においては、図示を省略している。

[0050] 以上、本発明の第 1 実施形態にかかる電子部品モジュール 100 の構造、および製造方法の一例について説明した。しかしながら、本発明の内容が上述した内容に限定されることはなく、発明の主旨に沿って、種々の変更をなすことができる。

[0051] たとえば、柱状電極 7 や環状電極 8 の形成は、フォトリソグラフィに代えて、蒸着や印刷などの方法によっても良い。

[0052] また、金属製の電極とはんだとの界面を合金化させ、接合強度を高めるようにしても良い。

[0053] また、パッド電極 5 上にその表面から突出するように環状電極 8 を設けているが、パッド電極 5 の表面に凹溝を形成するような環状電極にしても、はんだ流出を防止する機能をはたす。

(第 2 実施形態)

図 6 に、本発明の第 2 実施形態にかかる電子部品モジュール 200 の要部を示す。

[0054] 電子部品モジュール 200 は、基板 1 の基板電極 2 上にも、柱状電極 27 および環状電極 28 を形成した。他の構成は、上述した第 1 実施形態にかかる電子部品モジュール 100 に準じた。

[0055] 本実施形態にかかる電子部品モジュール 200 においては、基板 2 側においてははんだが流出した場合にも、はんだの流出を抑制することができる。

(第 3 実施形態)

図 7 に、本発明の第 3 実施形態にかかる電子部品モジュール 300 の要部を示す。

[0056] 電子部品モジュール 300 においては、環状電極 18 の高さ h_1 を、柱状

電極 7 の高さ h_2 よりも高くした。この結果、環状電極 18 が基板電極 2 に当接し、パッド電極 5 と環状電極 18 と基板電極 2 とで空間 13 が形成され、空間 13 内には樹脂 10 は充填されない。電子部品モジュール 300 の他の構成は、上述した第 1 実施形態にかかる電子部品モジュール 100 に準じた。

[0057] 電子部品モジュール 300 においては、柱状電極 7 およびはんだバンプ 9 が環状電極 18 で完全に囲まれ、空間 13 が形成されているため、はんだスプラッシュが発生しない。仮にはんだスプラッシュが発生しても、環状電極 18 に囲まれているため、溶融したはんだが環状電極 18 を超えて周辺に漏れ出すことはない。

符号の説明

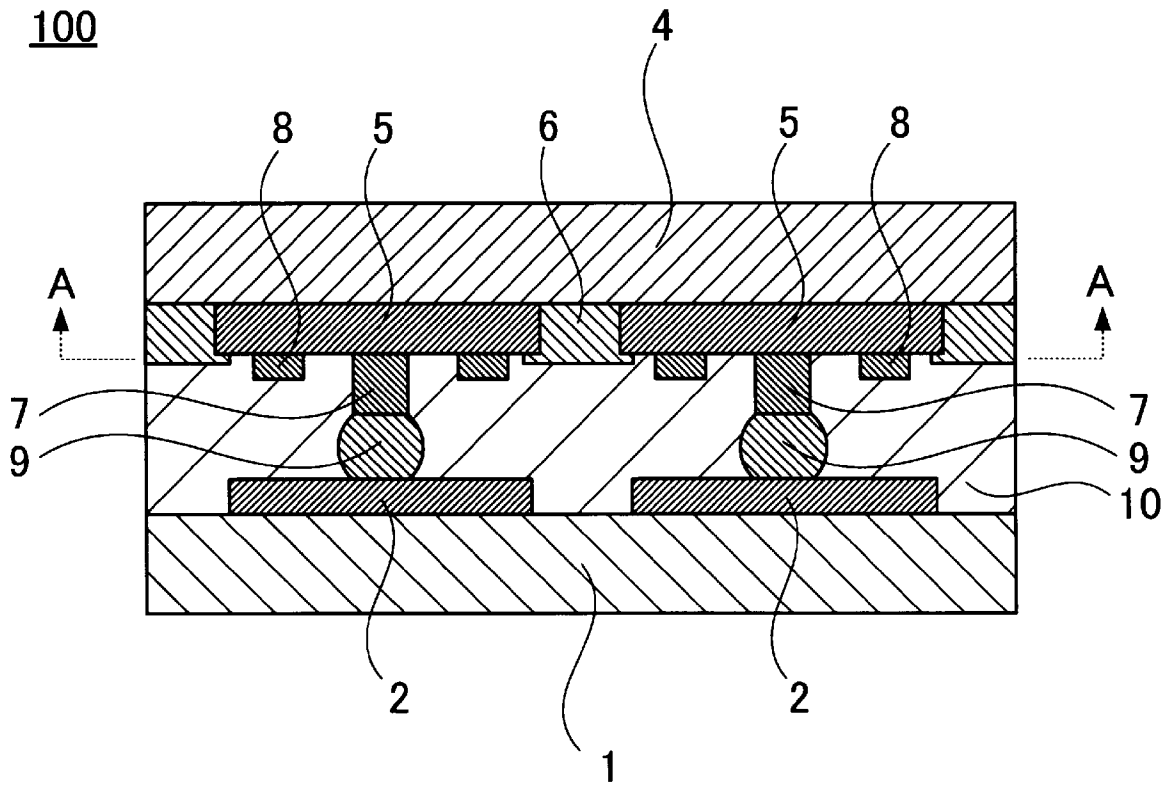
- [0058] 1 : 基板
2 : 基板電極
4 : 電子部品素子 (半導体素子など)
5 : パッド電極
6 : 絶縁膜
7 : 柱状電極
8、18 : 環状電極
9 : はんだバンプ
9' : はんだ層
10 : 樹脂
11 : シード層
12、13 : レジスト
27 : (基板電極に形成された) 柱状電極
28 : (基板電極に形成された) 環状電極
100、200、300 : 電子部品モジュール

請求の範囲

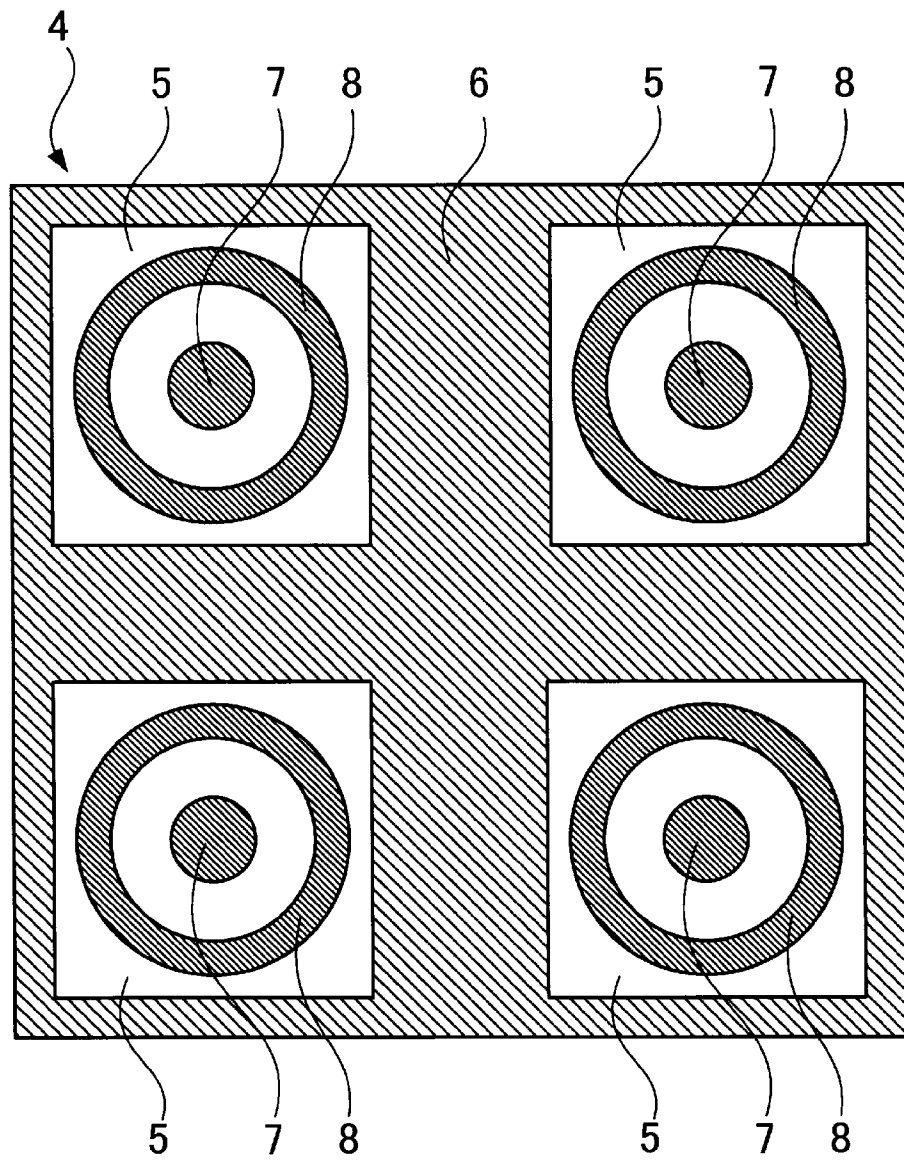
- [請求項1] 複数の基板電極が形成された基板上に、複数のパッド電極を有する電子部品素子が前記基板電極と前記パッド電極とが対向するように配置され、前記基板電極と前記パッド電極とがはんだバンプを介して電氣的に接続されてなる電子部品モジュールにおいて、
- 前記パッド電極上に形成された柱状電極と、
- 前記柱状電極の先端に形成されたはんだバンプと、
- 前記柱状電極を囲むように前記パッド電極上に形成された環状電極とを備えている、
- ことを特徴とする電子部品モジュール。
- [請求項2] 前記環状電極は、前記パッド電極の表面から突出するように形成されていることを特徴とする、請求項1に記載された電子部品モジュール。
- [請求項3] 前記基板と前記電子部品素子の間に樹脂が充填されていることを特徴とする、請求項1または2に記載された電子部品モジュール。
- [請求項4] 前記環状電極の高さが前記柱状電極の高さよりも高く、前記環状電極が前記基板電極に当接していることを特徴とする、請求項3に記載された電子部品モジュール。
- [請求項5] 前記パッド電極、前記環状電極、および前記基板電極で構成される空間を除いて、前記基板と前記電子部品素子との間に樹脂が充填されていることを特徴とする、請求項4に記載された電子部品モジュール。
- [請求項6] 前記基板電極に、前記柱状電極および前記環状電極の少なくとも一方が設けられていることを特徴とする、請求項1ないし5のいずれか1項に記載された電子部品モジュール。
- [請求項7] 実装面を有する電子部品本体と、前記実装面上に形成された複数のパッド電極と、前記パッド電極上に形成された柱状電極と、前記柱状電極の先端に形成されたはんだバンプと、前記柱状電極を囲むように

前記パッド電極上に形成された環状電極とを備えたことを特徴とする電子部品素子。

[図1]

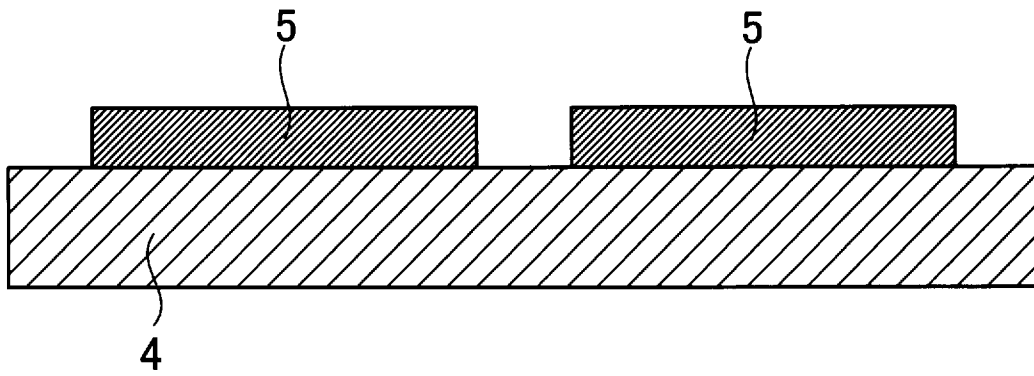
100

[図2]

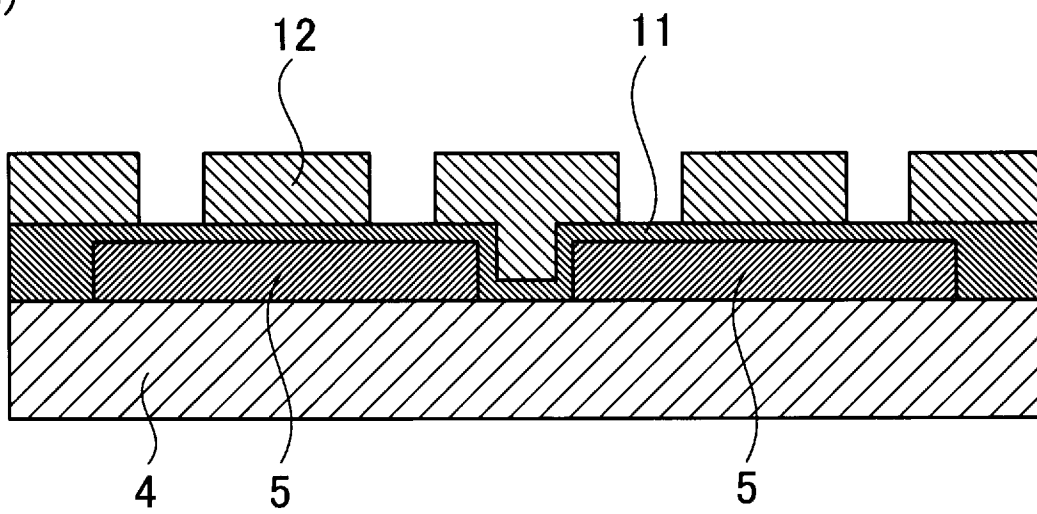
100

[図3]

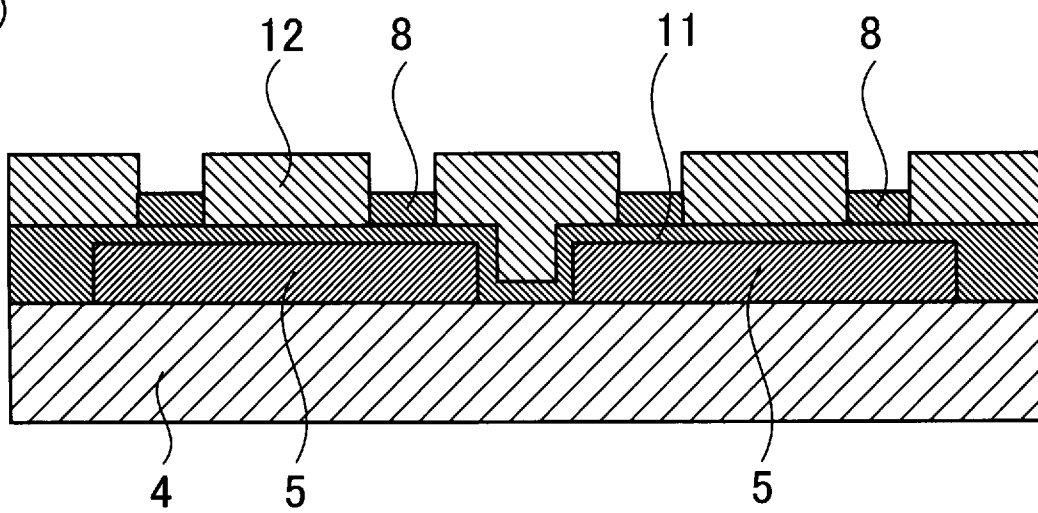
(a)



(b)

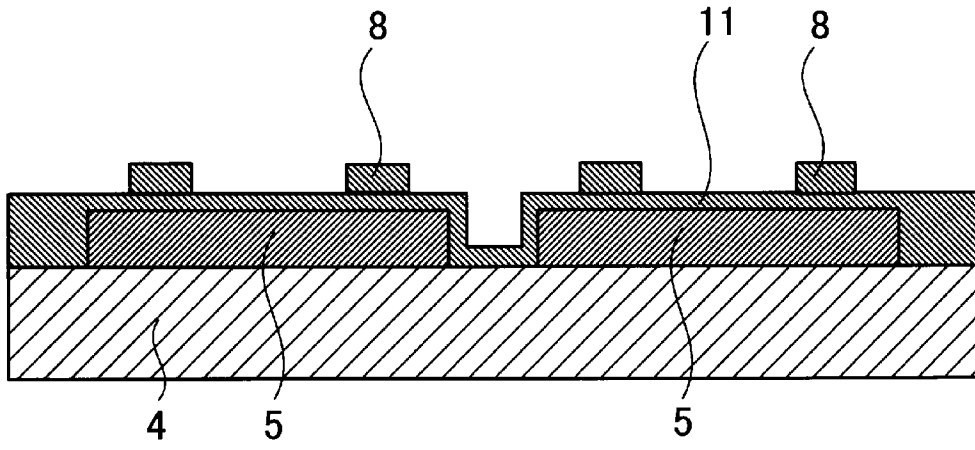


(c)

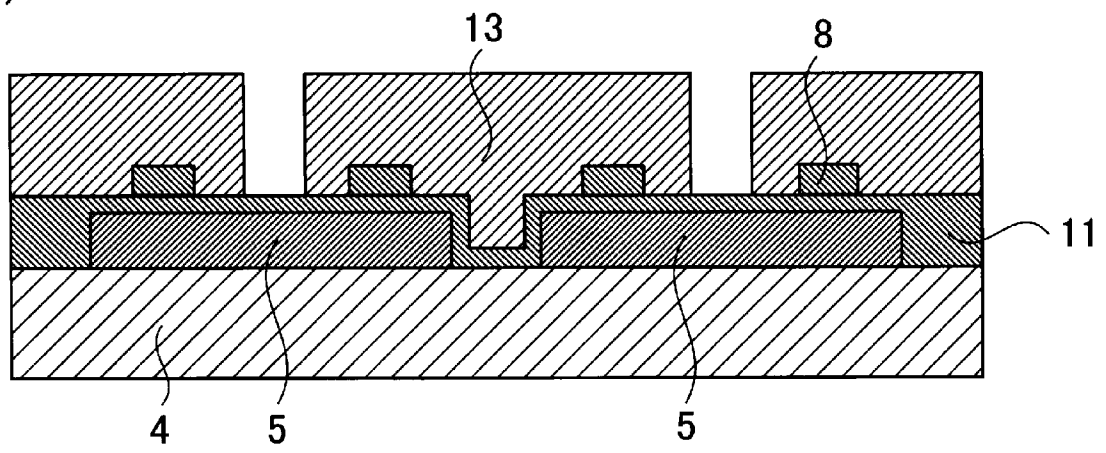


[図4]

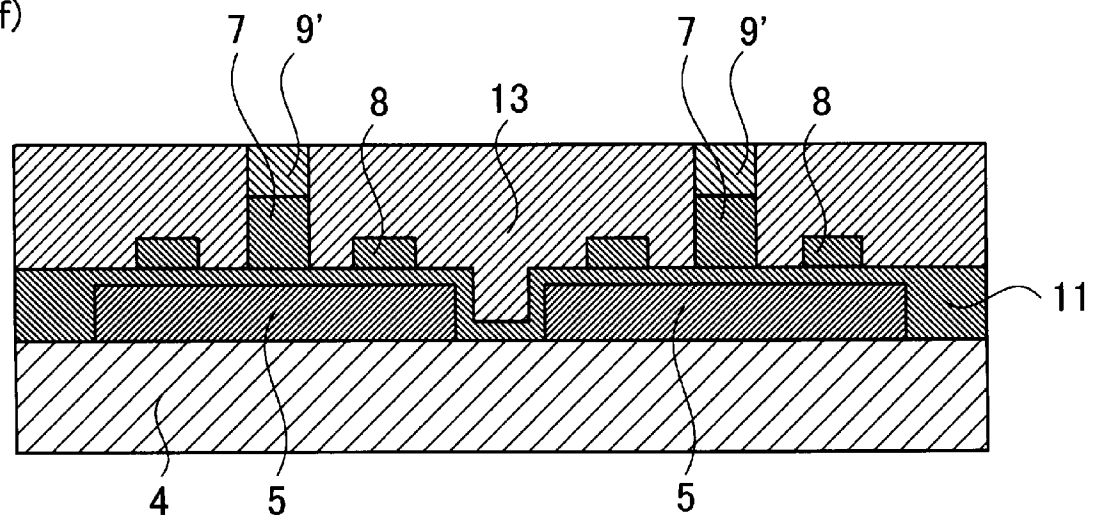
(d)



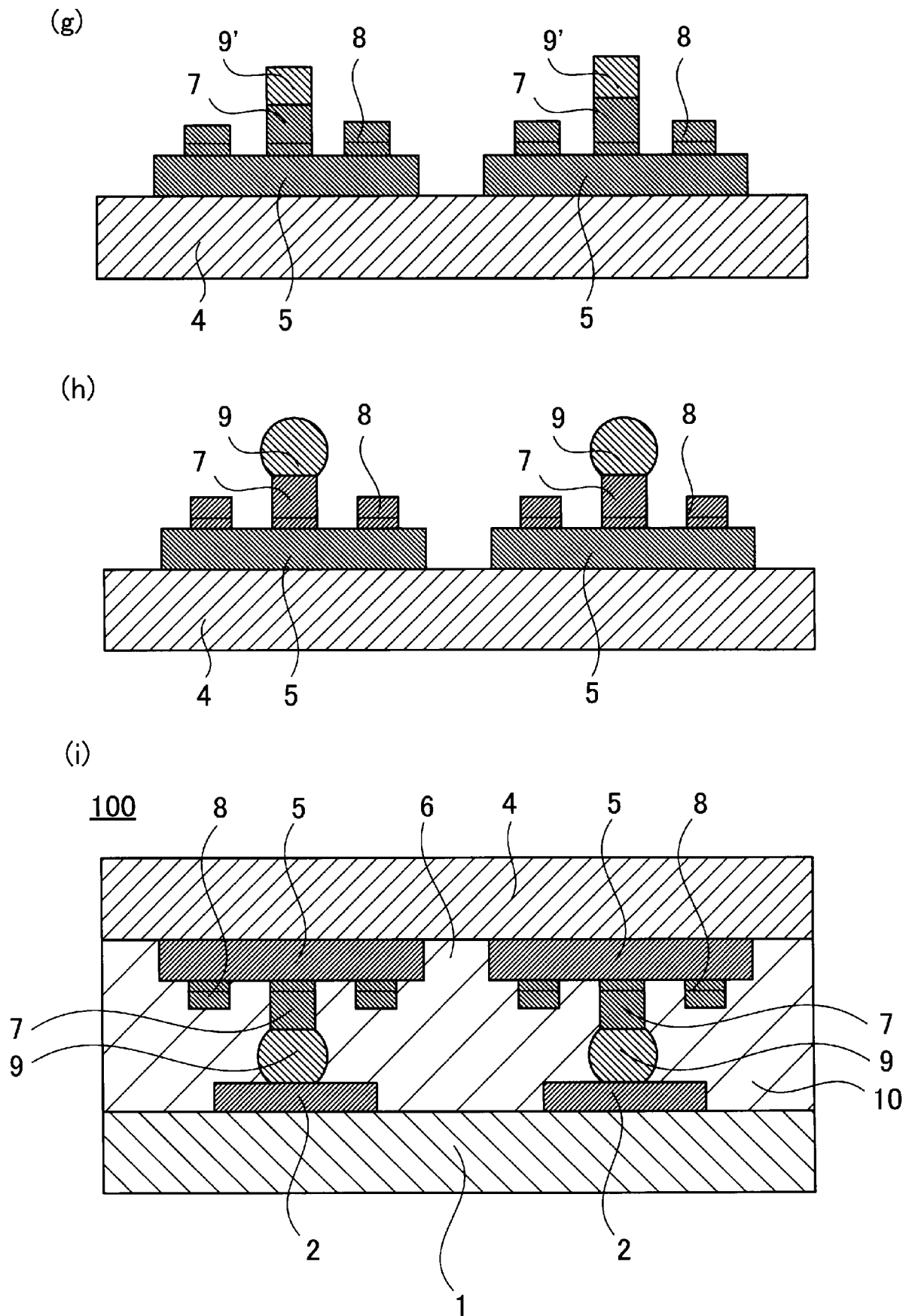
(e)



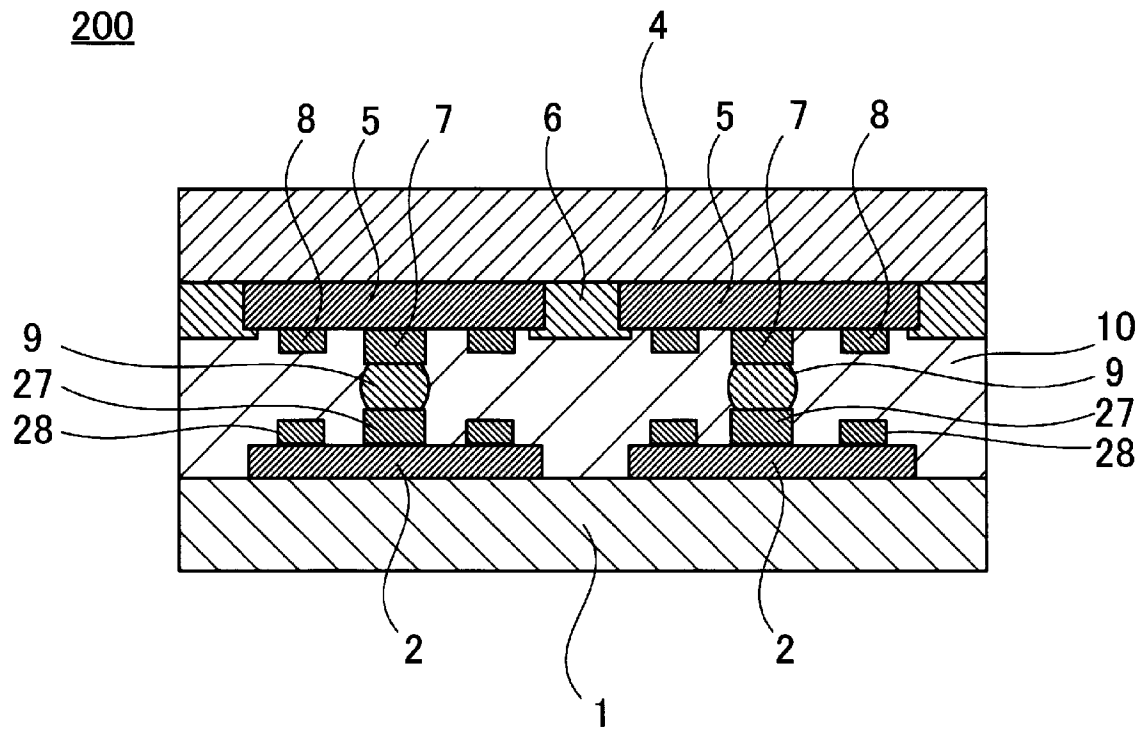
(f)



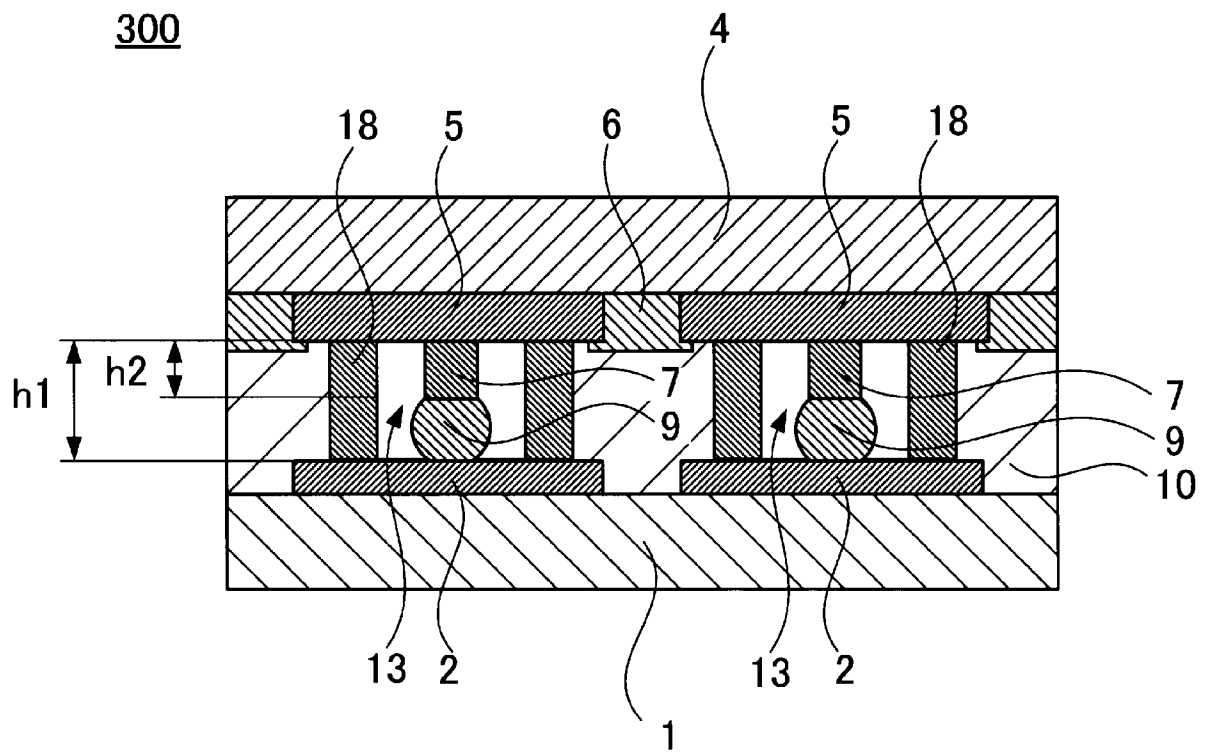
[図5]



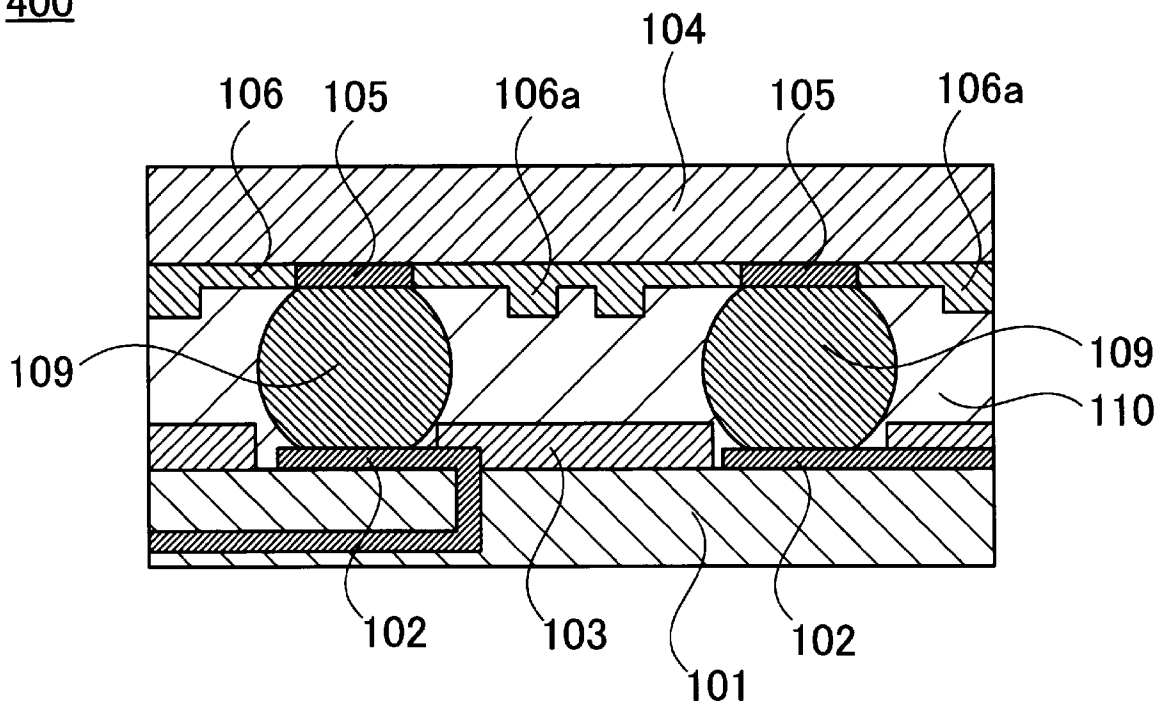
[図6]



[図7]



[図8]

400

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051544

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L25/04(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, H01L23/12, H01L25/04, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-344672 A (Fujitsu Ltd.), 21 December 2006 (21.12.2006), (Family: none)	1-7
A	JP 2006-245289 A (Casio Micronics Co., Ltd.), 14 September 2006 (14.09.2006), (Family: none)	1-7
A	WO 2007/080863 A1 (NEC Corp.), 19 July 2007 (19.07.2007), & US 2010/0193948 A1	1-7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 February, 2012 (08.02.12)

Date of mailing of the international search report
21 February, 2012 (21.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L25/04(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/60, H01L23/12, H01L25/04, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-344672 A (富士通株式会社) 2006. 12. 21, (ファミリーなし)	1-7
A	JP 2006-245289 A (カシオマイクロニクス株式会社) 2006. 09. 14, (ファミリーなし)	1-7
A	WO 2007/080863 A1 (日本電気株式会社) 2007. 07. 19, & US 2010/0193948 A1	1-7

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 08. 02. 2012	国際調査報告の発送日 21. 02. 2012
----------------------------	----------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭	4 R	9 2 6 5
	電話番号 03-3581-1101 内線 3471		