

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96107286

※申請日期：96 年 03 月 02 日

※IPC 分類：H04N 7/24

一、發明名稱：

(中) 動畫處理方法、動畫處理方法之程式、記錄有動畫處理方法之程式的記錄
媒體及動畫處理裝置

(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 新力股份有限公司

(英) SONY CORPORATION

代表人：(中) 1. 中鉢良治

(英) 1. CHUBACHI, RYOJI

地 址：(中) 日本國東京都港區港南一丁目七番一號

(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 小倉譽之

(英) OGURA, TAKAYUKI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 重本大乘

(英) SHIGEMOTO, DAIJOU

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2006/05/02 ; 2006-128093 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96107286

※申請日期：96 年 03 月 02 日

※IPC 分類：H04N 7/24

一、發明名稱：

(中) 動畫處理方法、動畫處理方法之程式、記錄有動畫處理方法之程式的記錄
媒體及動畫處理裝置

(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 新力股份有限公司

(英) SONY CORPORATION

代表人：(中) 1. 中鉢良治

(英) 1. CHUBACHI, RYOJI

地 址：(中) 日本國東京都港區港南一丁目七番一號

(英) 1-7-1 Konan, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 小倉譽之

(英) OGURA, TAKAYUKI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 重本大乘

(英) SHIGEMOTO, DAIJOU

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2006/05/02 ; 2006-128093 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關於動畫處理方法、動畫處理方法之程式、記錄有動畫處理方法之程式的記錄媒體及動畫處理裝置，例如是可適用於 ITU(International Telecommunication Union)-T H.264 所致之動畫的編碼裝置、解碼裝置。本發明係使用存取延遲小的第 2 記憶體中所保持的機率狀態變數來處理出現頻率高的語法元素，使用存取延遲大的第 1 記憶體中所保持的機率狀態變數來處理其他語法元素，藉此來防止全體構成的大型化，相較先前可使處理速度高速化。

【先前技術】

先前，在動畫之編碼處理中，係適用熵編碼處理之手法來將動畫予以效率良好地進行資料壓縮。又，在 MPEG(Moving Picture Experts Group)2、MPEG4 等中，在該熵編碼處理上，是適用了可變長編碼處理。又再者，在 ITU-T H.264 中，在該熵編碼處理上，適用了上下文適應型 2 值算術編碼處理(CABAC: Context-based Adaptive Binary Arithmetic Coding)。

此處的上下文適應型 2 值算術編碼處理，係由於可比可變長編碼處理更有效率地進行資料壓縮，因此當以一定位元速率進行資料傳送時，相較於 MPEG2、MPEG4 之編碼處理，ITU-T H.264 的編碼處理可以提升畫質。可是在

(2)

此同時，上下文適應型 2 值算術編碼處理，係比可變長編碼處理，處理上較為複雜，存在著處理負荷較大之缺點。

第 1 圖係圖示該上下文適應型 2 值算術編碼處理的處理程序的流程圖。上下文適應型 2 值算術編碼處理，係在每個依序連續的語法元素(syntax element)時，執行該處理。上下文適應型 2 值算術編碼處理，係藉由該第 1 圖之處理程序的執行，將連續的語法元素進行上下文計算，依序偵測出可取得各語法元素(syntax element)的機率狀態變數。又，將已測出之機率狀態變數依序選擇並處理之，將語法元素(syntax element)予以編碼。

亦即上下文適應型 2 值算術編碼處理，係一旦開始該處理，則從步驟 SP1 移往步驟 SP2，取得處理對象的多值語法元素(syntax element)。上下文適應型 2 值算術編碼處理，係藉由接下來的步驟 SP3 的 2 值化處理，以將步驟 SP2 中所取得到的語法元素，依照隨個各語法元素(syntax element)種類的規則而進行 2 值化。

接著，上下文適應型 2 值算術編碼處理係藉由步驟 SP4 的上下文計算處理，而對在步驟 SP3 中轉換成的每個 2 值的位置，求出上下文編號(ctxIdx)。此處上下文編號(ctxIdx)，係為用來特定出機率狀態變數的編號；機率狀態變數，係為表示 2 值中的各值之出現機率的變數。機率狀態變數，是以對應於各 2 值之值的 MPS(most probable symbol)和狀態編號(stateIdx)來表示。此處，MPS(most probable symbol)係為表示其是否為發生機率高的符號的

(3)

旗標，狀態編號(stateIdx)係為表示 MPS 之符號之發生機率表的編號。因此，上下文適應型 2 值算術編碼處理，係藉由步驟 SP4 的上下文計算處理，而將處理對象之可取得語法元素(syntax element)之各 2 值的機率狀態變數，分別以上下文編號(ctxIdx)來求得。

接著，上下文適應型 2 值算術編碼處理係於步驟 SP5 的機率推定處理中，基於步驟 SP4 中所求得之上下文編號(ctxIdx)，來選擇處理對象之 2 值的值所對應之 MPS(most probable symbol)和狀態編號(stateIdx)。

上下文適應型 2 值算術編碼處理，係於接下來的步驟 SP6 的算術編碼處理中，使用步驟 SP5 所選擇之 MPS(most probable symbol)和狀態編號(stateIdx)，來執行算術編碼處理。

上下文適應型 2 值算術編碼處理，係一直到應編碼的所有 2 值處理完成為止，從下位側 2 值起反覆進行步驟 SP4-SP5-SP6-SP4 之處理程序，依序生成位元串流(bitstream)。又，一旦應編碼之所有 2 值的處理完畢，則從步驟 SP6 移至步驟 SP7，輸出所生成的位元串流(bitstream)，移至步驟 SP8 而結束該處理程序。

又，上下文適應型 2 值算術編碼處理，係從步驟 SP6 起如步驟 SP4 之箭頭所示，一旦處理了 1 個語法元素(syntax element)，則基於該處理結果來更新記憶體中所保持之機率狀態變數，當將同一語法元素予以編碼處理時，就使用該更新過之機率狀態變數來執行編碼處理。

(4)

相對於此，第 2 圖係圖示上下文適應型 2 值算術解碼處理的流程圖。上下文適應型 2 值算術解碼處理，係在每個語法元素 (syntax element) 執行該處理，和上下文適應型 2 值算術編碼處理同樣地，將連續的語法元素 (syntax element) 進行上下文計算而依序偵測出可取得各語法元素 (syntax element) 的機率狀態變數。又，將已測出之機率狀態變數依序選擇並處理之，將語法元素 (syntax element) 予以解碼。

亦即上下文適應型 2 值算術解碼處理，係一旦開始該處理程序，則從步驟 SP11 移至步驟 SP12。此處，上下文適應型 2 值算術解碼處理，係從要進行解碼處理的位元串流中，偵測出用來特定語法元素 (syntax element) 之種別的語法模式 (Syntax Mode)、用來特定處理對象之位元位置的資訊亦即 bin。

又於接下來的步驟 SP13 中，使用該步驟 SP12 所取得之資訊來計算上下文計算，和上下文適應型 2 值算術編碼處理同樣地，求出對應的上下文編號 (ctxIdx)。上下文適應型 2 值算術解碼處理，係使用此上下文編號 (ctxIdx)，和上下文適應型 2 值算術編碼處理同樣地，依序求出 MPS 和狀態編號 (stateIdx)。又，藉由使用了所求出之 MPS 和狀態編號 (stateIdx) 的算術編碼處理，和進行編碼時相反地求出原本的 2 值，於步驟 SP17 中，將該 2 值予以多值化而解碼成原本的語法元素 (syntax element)。又，和上下文適應型 2 值算術編碼同樣地，基於處理結果來更新機率狀

(5)

態變數，在將同一語法元素(syntax element)進行解碼處理時，使用該已更新過之機率狀態變數來執行解碼處理。

第 3 圖係執行上下文適應型 2 值算術解碼處理的解碼裝置之區塊圖。

於該解碼裝置 1 中，上下文計算部 2，係受控制部 3 之控制而從處理對象之位元串流(bitstream)中求出上下文編號(ctxIdx)。機率狀態儲存部 4，係將被該上下文編號(ctxIdx)所特定之機率狀態變數儲存在記憶體 5 中並保持之，藉由來自適應算術編碼解碼部 6 的存取而將機率狀態變數通知給適應算術編碼解碼部 6。此外記憶體 5 中所儲存之機率狀態變數，例如在係數資料的處理中，係為 7bit x 59 種類。

適應算術編碼解碼部 6，係根據處理對象之位元串流(bitstream)生成 2 值化資料，藉由使用了該 2 值化資料的機率推定，依序選擇狀態編號(stateIdx)及 MPS。適應算術編碼解碼部 6，係處理該狀態編號(stateIdx)及 MPS 以生成語法資訊，執行算術解碼處理。2 值解碼部 7，係基於適應算術編碼解碼部 6 的處理結果，解碼出原本的語法元素(syntax element: syntax)並加以輸出。

控制部 3，係為控制該解碼裝置 1 全體動作的控制部，係指示上下文計算部 2，進行套用已被適應算術編碼解碼部 6 所生成之 2 值化資料所致之上下文計算。又，將上下文計算部 2 所求出之上下文編號(ctxIdx)通知給適應算術編碼解碼部 6，又向 2 值解碼部 7 指示，適應算術編碼

(6)

解碼部 6 的處理結果之處理。

控制部 3，係在 1NAL(Network Abstraction Layer)單元的處理開始前，機率狀態儲存部 4 之記憶體 5 中所保持的機率狀態變數被初期化後，隨應於適應算術編碼解碼部 6 之處理結果來更新記憶體 5 中所儲存的機率狀態變數。又，在係數資料的處理中，係基於 1 個係數資料處理之際的適應算術編碼解碼部 6 上的執行結果，來設定用連續之係數資料進行處理的 2 值的數目。

第 4 圖係該解碼裝置 1 中的連續之語法元素之處理的說明用時序圖。上下文適應型 2 值算術解碼處理，係在 ITU-T H.264 所定義之切片資料層以下的複數語法元素中作適應。因此在解碼裝置 1 中，係對每個巨集區塊，將巨集區塊類型(mb type)、變形(transform)、編碼區塊模式(cbp:code block pattern)、子巨集區塊類型(sub mb type)等的語法元素依序處理後，進行巨集區塊處理的殘餘層(residual layer)處理(第 4 圖(A)及(C))。此處，residual 層，係被分割成 4x4 像素的 residual 區塊，並對各 residual 區塊，分別分配了，將像素資料進行離散餘弦轉換處理、量化處理然後所得之係數資料(coeff abs level minus1(第 4 圖係以 level 表示))(第 4 圖(B))。解碼裝置 1，係在此 residual 層中，依序將連續之 residual 區塊的係數資料(coeff abs level minus1)加以編碼處理(第 4 圖(C))。

此外，巨集區塊類型(mb type)、變形(transform)、編碼區塊模式(cbp:code block pattern)、子巨集區塊類型

(7)

(sub mb type)等的語法元素，係 1 個巨集區塊僅存在 1 個；相對於此，residual 區塊的係數資料(coeff abs level minus1)，係會存在有 64 個。因此例如在處理所謂的 4 : 2 : 0 之影像資料時，亮度訊號的巨集區塊是以 1616 像素而被形成，色差訊號的巨集區塊是以 88 像素而被形成，因此，在此情況下，1 個巨集區塊，係會存在有 $64 \times 6 = 384$ 個係數資料(coeff abs level minus1)。

因此當解碼裝置 1 將 residual 區塊之係數資料(coeff abs level minus1)予以編碼處理之際，將最初記錄在記憶體 5 中之機率狀態變數予以初期化之後，隨應於適應算術編碼解碼部 6 之處理結果來更新記憶體 5 中所儲存之機率狀態變數。此外該初期化處理，係 1NAL(Network Abstraction Layer)單元的開始時，會被執行。又，基於處理 1 個係數資料(coeff abs level minus1)之際的適應算術編碼解碼部 6 上的執行結果，來設定以連續之係數資料(coeff abs level minus1)進行處理的 2 值的數目。

第 5 圖係該 residual 區塊之係數資料(coeff abs level minus1)的連續處理之說明用時序圖。此外該第 5 圖係為，將第 3 圖的記憶體 5，以存取延遲大的 SRAM 來構成時的情形。又各處理的區隔，係為處理單位的 1 循環(cycle)。解碼裝置 1，係首先將記憶體 5 的內容初期化後，將開頭的係數資料(coeff abs level minus1(0))的上下文，在上下文計算部 2 上計算出來(第 5 圖(A)及(B))。此外在此第 5 圖的例子係為，藉由該上下文之計算而以最下位 2 值來

(8)

求出上下文編號 (ctxIdx0)，以接著第 2～第 4 之 2 值，連續地求出 1 個上下文編號 (ctxIdx1) 時的情形。因此這 2 個上下文編號 (ctxIdx0)、(ctxIdx1) 當中的第 2 個上下文編號 (ctxIdx1)，係被使用在第 2～第 4 之 2 值的處理中。此外以下當中，是適宜地，以表示從開頭起算之順序的括弧數字，來表示各係數資料。

在解碼裝置 1，基於該上下文編號 (ctxIdx0)、(ctxIdx1) 當中的開頭之上下文編號 (ctxIdx0) 以適應算術編碼解碼部 6 的機率計算 (arith0) 來選擇記憶體 5 中所記錄之狀態編號 (stateIdx0) 及 MPS (第 5 圖的 (C) 及 (D))；又在接下來的機率計算 (arith1) 中再基於上下文編號 (ctxIdx1)，來選擇記憶體 5 中所記錄之狀態編號 (stateIdx1) 及 MPS。解碼裝置 1，係順應處理之 2 值的數目，反覆執行該狀態編號 (stateIdx) 及 MPS 之選擇，將處理結果 bin 以 2 值解碼部 7 加以處理然後解碼出語法元素 (syntax0) (第 5 圖 (E) 及 (F))。又如箭頭 A 所示，基於處理結果來更新記憶體 5 中所記錄之機率狀態變數後，接下來將係數資料 (coeff abs level minus1) 同樣地加以處理。

關於此種上下文適應型 2 值算術解碼處理，係於日本特開 2005-130099 號公報、日本特開 2005-217871 號公報等中，提出了使處理速度高速化的設計。

可是在此種編碼裝置、解碼裝置上，使處理速度高速化是較理想。從此高速化的觀點來檢討第 5 圖所示的解碼裝置 1 之動作時可以發現，連續之語法元素 (syntax

(9)

`element : syntax`)的處理之間會有發生空窗時間之問題。

亦即如第 5 圖所示，若記憶體 5 是以存取延遲大的 SRAM 來構成時，則機率狀態變數的狀態編號(`stateIdx`)及 MPS，係在計算了上下文之後，經過 2 個循環(`cycle`)才會被取得。該第 5 圖的例子中，該上下文計算處理所致之機率狀態變數的處理是在接下來的 4 循環中執行，才將語法元素(`syntax element : syntax`)解碼。此外，此處的該上下文計算處理所致之機率狀態變數的處理，係為機率狀態變數的取得處理、算術解碼處理、2 值化處理；在此第 5 圖的例子中是將這些處理以管線(`pipeline`)方式來加以執行。又，在語法元素(`syntax element : syntax`)解碼後，基於處理結果來更新記憶體 5 之記錄，開始接續之係數資料(`coeff abs level minus1`)之處理。因此當記憶體 5 是以存取延遲大的 SRAM 構成時，在先前的解碼裝置 1 上，以 1 個語法元素來完成機率狀態變數之處理後，到以接續之語法元素來開始機率狀態變數之處理的這中間，會發生 3 循環的空窗時間。

該 3 循環的空窗時間，係在所有的係數資料之處理中發生；在 1 個巨集區塊中，則是在連續之係數資料的處理中發生，因此從整體來看時，會是極為龐大的空窗時間。

做為解決該問題的方法之一，也考慮到在記憶體 5 上適用存取延遲為 0 的暫存器來保持機率狀態變數的方法。可是在此同時，使用此方法的情況下，上述 3 循環的空窗時間雖然可縮短成 1 循環，但是相較於 SRAM，記憶體 5

(10)

的面積會變大，導致全體構成大型化之問題。

【發明內容】

本發明係考慮以上問題點而研發，因此試圖提出一種可防止全體構成的大型化，可較先前使處理速度更高速化的動畫處理方法、動畫處理方法之程式、記錄有動畫處理方法之程式的記錄媒體及動畫處理裝置。

爲了解決上記課題，本發明係適用於先計算上下文然後將動畫予以編碼或解碼的動畫處理方法，具有：上下文計算處理之步驟，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和機率狀態變數之處理步驟，將前記上下文計算處理之步驟所求出之前記機率狀態變數，依序選擇並處理之，將前記語法元素予以編碼或解碼；前記機率狀態變數之處理步驟，係具有機率狀態變數之選擇步驟，將機率狀態儲存部中所保持的前記機率狀態變數加以選擇；前記機率狀態儲存部中，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體；前記機率狀態變數之選擇步驟，係當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數；當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

本發明的構成中，使用存取延遲小的第 2 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀變大，但可

(11)

使處理速度高速化。相對於此，使用存取延遲大的第 1 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀縮小，但要使處理速度高速化是有困難的。因此藉由申請項 1 的構成，當要處理出現頻率低的語法元素時，係從第 1 記憶體中依序選擇出機率狀態變數；當要處理出現頻率高的語法元素時，係從第 2 記憶體中依序選擇出機率狀態變數，若如此構成，則可活用使用第 1 及第 2 記憶體時的兩者的優點，可防止全體構成的大型化，可較先前使處理速度更為高速化。

又本發明係適用於先計算上下文然後將動畫予以編碼或解碼的動畫處理方法之程式，具有：上下文計算處理之步驟，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和機率狀態變數之處理步驟，將前記上下文計算處理之步驟所求出之前記機率狀態變數，依序選擇並處理之，將前記語法元素予以編碼或解碼；前記機率狀態變數之處理步驟，係具有機率狀態變數之選擇步驟，將機率狀態儲存部中所保持的前記機率狀態變數加以選擇；前記機率狀態儲存部中，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體；前記機率狀態變數之選擇步驟，係當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數；當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

(12)

本發明的構成中，使用存取延遲小的第 2 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀變大，但可使處理速度高速化。相對於此，使用存取延遲大的第 1 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀縮小，但要使處理速度高速化是有困難的。因此藉由本發明的構成，當要處理出現頻率低的語法元素時，係從第 1 記憶體中依序選擇出機率狀態變數；當要處理出現頻率高的語法元素時，係從第 2 記憶體中依序選擇出機率狀態變數，若如此構成，則可活用使用第 1 及第 2 記憶體時的兩者的優點，可防止全體構成的大型化，可較先前使處理速度更為高速化。

又本發明係適用於先計算上下文然後將動畫予以編碼或解碼的動畫處理方法之程式所記錄成的記錄媒體，前記動畫處理方法之程式係具有：上下文計算處理之步驟，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和機率狀態變數之處理步驟，將前記上下文計算處理之步驟所求出之前記機率狀態變數，依序選擇並處理之，將前記語法元素予以編碼或解碼；前記機率狀態變數之處理步驟，係具有機率狀態變數之選擇步驟，將機率狀態儲存部中所保持的前記機率狀態變數加以選擇；前記機率狀態儲存部中，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體；前記機率狀態變數之選擇步驟，係當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記

(13)

機率狀態變數；當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

本發明的構成中，使用存取延遲小的第 2 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀變大，但可使處理速度高速化。相對於此，使用存取延遲大的第 1 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀縮小，但要使處理速度高速化是有困難的。因此藉由本發明的構成，當要處理出現頻率低語法元素時，係從第 1 記憶體中依序選擇出機率狀態變數；當要處理出現頻率高的語法元素時，係從第 2 記憶體中依序選擇出機率狀態變數，若如此構成，則可活用使用第 1 及第 2 記憶體時的兩者的優點，可防止全體構成的大型化，可較先前使處理速度更為高速化。

又本發明係適用於先計算上下文然後將動畫予以編碼或解碼的動畫處理裝置，具有：上下文計算部，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和機率狀態儲存部，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體，將前記機率狀態變數保持在前記第 1 及第 2 記憶體；機率狀態變數處理部，基於前記上下文計算部的偵測結果，從前記機率狀態儲存部中依序選擇出前記機率狀態變數並加以處理，將前記語法元素予以編碼或解碼；前記機率狀態變數處理部，係當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數

(14)

；當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

本發明的構成中，使用存取延遲小的第 2 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀變大，但可使處理速度高速化。相對於此，使用存取延遲大的第 1 記憶體來選擇機率狀態變數的構成，係雖然會使全體形狀縮小，但要使處理速度高速化是有困難的。因此藉由本發明的構成，當要處理出現頻率低語法元素時，係從第 1 記憶體中依序選擇出機率狀態變數；當要處理出現頻率高的語法元素時，係從第 2 記憶體中依序選擇出機率狀態變數，若如此構成，則可活用使用第 1 及第 2 記憶體時的兩者的優點，可防止全體構成的大型化，可較先前使處理速度更為高速化。

若依據本發明，則可防止全體構成的大型化，可較先前使處理速度更為高速化。

【實施方式】

以下，一面參照適宜圖面一面詳述本發明的實施例。

(1) 實施例 1 的構成

第 6 圖係和第 3 圖做對比來圖示本發明之實施例 1 的解碼裝置的區塊圖。此解碼裝置 1 中，關於和第 3 圖所述之解碼裝置 1 相同的構成，係標示對應的符號，並省略重複說明。此解碼裝置 10，係依照 ITU-T H.264 的規定，從

(15)

位元串流(bitstream)中依序解碼出語法元素(syntax)，將該語法元素(syntax)進行逆量化處理、逆正交轉換處理，而解碼出動畫的影像資料。此外，此第 6 圖所示之各部，係可為硬體所構成，亦可為演算處理手段之機能區塊所構成。此外，當是以演算手段之機能區塊來構成時，該演算手段的程式，係可藉由事前的安裝來提供，也可記錄在光碟、磁碟、記憶卡等記錄媒體中來提供，更可藉由透過網際網路等網路的下載來提供。

於該解碼裝置 10 中，機率狀態儲存部 11 係設有存取延遲大的第 1 記憶體，和存取延遲是較該第 1 記憶體小的第 2 記憶體。此處，第 1 記憶體在本實施例中，是由消費電力較第 2 記憶體小且形狀較小的例如 SRAM 的記憶體 12 所形成。相對於此，第 2 記憶體係由暫存器 13 所形成。此外暫存器 13，係例如以正反器(flip-flop)所構成。

機率狀態儲存部 11，係將所有的語法元素之機率狀態變數，儲存在記憶體 12 中。又，該記憶體 12 中所儲存之機率狀態變數當中，對應之語法元素的出現頻率高、使用頻率高的機率狀態變數，則是被載入至暫存器 13 中保持。解碼裝置 10，係當解碼出現頻率高的語法元素時，是使用暫存器 13 中所保持之機率狀態變數來處理出現頻率高的語法元素。相對於此，在處理出現頻率高語法元素以外的語法元素，係使用記憶體 12 中所記錄的資料來進行處理。具體而言，本實施例中，是對該使用頻率高的機率狀態變數，分配了係數資料(coeff abs level minus1)的機率

(16)

狀態變數。

機率狀態儲存部 11，係受控制部 19 的控制來切換選擇部 14 的動作，將適應算術編碼解碼部 16 的存取對象，在這些記憶體 12 和暫存器 13 中進行切換。又，會因控制部 19 的控制，而基於解碼結果來更新記憶體 12 中所記錄之機率狀態變數。又或者受控制部 19 之控制，在將記憶體 12 中所保持之機率狀態變數載入至暫存器 13，並基於解碼結果來更新記憶體 12 中所記錄之機率狀態變數時，係將該暫存器 13 中所儲存的對應之機率狀態變數，對應於記憶體 12 的記錄而加以更新。

上下文計算部 18，係受控制部 19 之控制而從處理對象的位元串流(bitstream)中求出上下文編號(ctxIdx)。上下文計算部 18，係於連續的係數資料(coeff abs level minus1(1-N))的解碼處理中，是在以前一語法元素所計算出來之上下文編號的機率狀態變數正在處理的期間中，執行接續之語法元素的上下文計算。

爲了對應於該上下文計算部 18 中的上下文之計算，適應算術編碼解碼部 16 係將位元串流(bitstream)予以 2 值化然後通知給控制部 19。又，基於上下文計算部 18 上所求出的上下文編號(ctxIdx)，來存取記憶體 12、暫存器 13，依序選擇 MPS(most probable symbol)和狀態編號(stateIdx)來執行算術解碼處理。

控制部 19，係爲控制該解碼裝置 10 全體動作的控制部，除了係數資料(coeff abs level minus1)以外，其餘均

(17)

和第 4 圖所說明過的解碼裝置 1 之控制部 3 同樣地控制著全體動作。亦即此時，控制部 19，係指示上下文計算部 18，進行適應算術編碼解碼部 16 上所生成之 2 值化資料的上下文計算。又，指示適應算術編碼解碼部 16、2 值解碼部 7，進行已上下文計算部 18 上所求出之上下文編號 (ctxIdx) 的處理。又，基於適應算術編碼解碼部 16 的處理結果，來更新機率狀態儲存部 11 中所保持之機率狀態變數。

相對於此，在將係數資料 (coeff abs level minus1) 進行解碼處理時，控制部 19 係將記憶體 12 中所儲存之機率狀態變數載入至暫存器 13，使用該暫存器 13 中所載入之機率狀態變數來執行狀態編號 (stateIdx) 及 MPS 之選擇，如此地控制各部動作。又在 1 個語法元素之機率狀態變數正在處理的期間中，控制著上下文計算部 18、適應算術編碼解碼部 16 等之動作，使其計算接續之語法元素的上下文然後將對應之機率狀態變數儲存至暫存器 13。

第 7 圖，係和第 5 圖做對比而圖示控制部 19 之控制所致之係數資料 (coeff abs level minus1) 的處理的時序圖。此外該第 7 圖，係和第 4 圖的情況相同，是以開頭的係數資料 (coeff abs level minus1(0)) 的最下位 2 值及第 2～第 4 之 2 值來分別求出上下文編號 (ctxIdx0) 及上下文編號 (ctxIdx1)，以接續之係數資料 (coeff abs level minus1(1)) 的連續之 2 個 2 值來分別求出上下文編號 (ctxIdx2)、(ctxIdx3) 時的情形。

(18)

控制部 19，係一旦開始係數資料 (coeff abs level minus1(0)) 的處理，則藉由上下文計算部 18、適應算術編碼解碼部 16 之控制，以連續的循環，依序求出上下文編號 (ctxIdx0)、(ctxIdx1) (第 7 圖 (A) 及 (B))。又，控制著機率狀態儲存部 11，將上下文計算部 18 中以求出之上下文編號 (ctxIdx0)、(ctxIdx1) 所對應之機率狀態變數，在接續之 2 個循環中，分別從記憶體 12 載入至暫存器 13 (第 7 圖 (C))。控制部 19，係控制著適應算術編碼解碼部 16，使用該暫存器 13 中所載入之機率狀態變數來選擇狀態編號 (stateIdx) 及 MPS，執行機率狀態選擇處理、算術解碼處理、二進位化處理 (第 7 圖 (D) ~ (F))。

此處，暫存器 13 係由於其存取延遲為 0，因此這些機率狀態選擇處理、算術解碼處理、二進位化處理，係可在將處理中所要使用機率狀態變數儲存至暫存器 13 的循環內，開始處理開頭的 2 值。

控制部 19，係控制著上下文計算部 18，在適應算術編碼解碼部 16 上正在執行機率狀態選擇處理、算術解碼處理、二進位化處理的期間中，計算接續之係數資料 (coeff abs level minus1(1)) 的上下文。在本實施例中，係在前一係數資料 (coeff abs level minus1(0)) 的上下文計算完成後緊接著的循環起，就開始了此接續之係數資料 (coeff abs level minus1(1)) 的上下文計算處理。

又，控制部 19，係一旦該接續之係數資料 (coeff abs level minus1(1)) 的上下文計算完成，則在接續之循環中，

(19)

將該上下文計算所求出之上下文編號 (ctxIdx2)、(ctxIdx3) 的機率狀態變數，從記憶體 12 載入至暫存器 13；在前一係數資料 (coeff abs level minus1(0)) 的處理完成前，事先將可使接續之係數資料 (coeff abs level minus1(1)) 被處理的機率狀態變數，保持在暫存器 13 中。

控制部 19，係依照適應算術編碼解碼部 16 的處理結果，逐次更新該暫存器 13、記憶體 12 中所保持的機率狀態變數，一旦前一個係數資料 (coeff abs level minus1(0)) 之處理完成，便對適應算術編碼解碼部 16 指示進行接續之係數資料 (coeff abs level minus1(1)) 的處理。

此處，在解碼裝置 10 中，係由於接續之係數資料 (coeff abs level minus1(1)) 的處理時所必須之上下文編號 (ctxIdx2)、(ctxIdx3) 的機率狀態變數是已經事先被儲存在暫存器 13 中，因此適應算術編碼解碼部 16 係一旦完成前一係數資料 (coeff abs level minus1(0)) 的處理，便可毫無空窗時間地，在接續之循環中開始接續之係數資料 (coeff abs level minus1(1)) 的處理。因此在解碼裝置 10 中，可較先前更高速地解碼影像資料。

此外，控制部 19 係一旦向適應算術編碼解碼部 16 指示開始處理接續之係數資料 (coeff abs level minus1(1))，則同時會再向上下文計算部 18 指示，進行接續之係數資料 (coeff abs level minus1(2)) 的上下文計算。

順便一提，在此種有效利用暫存器 13 中所儲存之機率狀態變數正在被處理的期間，事先將接續之係數資料

(20)

(coeff abs level minus1(N))進行上下文計算而將機率狀態變數保持在暫存器 13 的情形下，在接續之係數資料(coeff abs level minus1(N))的適應算術編碼解碼部 16 的處理開始時點上，仍有可能發生機率狀態變數對暫存器 13 的儲存尚未完成之情形。亦即對暫存器 13 之機率狀態變數儲存，是有可能發生趕不上各語法元素的解碼處理之情形。

具體而言，第 8 圖係將 residual 區塊中所存在之係數資料(coeff level abs minus1)依序處理下去時所必須之上下文編號和機率狀態變數加以推測的時序圖。此外在此第 8 圖的例子中，各係數資料(coeff level abs minus1)的各 2 值之值係假設為 0 或 1。

此處，於 residual 區塊的開頭係數資料(coeff level abs minus1(0))中，上下文編號(ctxIdx)，係被一致地決定，係為 ctxIdx=1。在解碼裝置 10 上，當該係數資料(coeff level abs minus1(0))的最下位 2 值(level0 bin0)係為值 0 的時候，則移至接續之係數資料(coeff level abs minus1(1))的處理，變成去處理該接續之係數資料(coeff level abs minus1(1))的最下位 2 值(level1 bin0)。又反之，當係數資料(coeff level abs minus1(0))的最下位 2 值(level0 bin0)係為值 1 的時候，則變成去處理接續之上位 2 值(level0 bin1)。此處，在此第 8 圖的例子中，這些 2 值(level1 bin0)、(level0 bin1)的上下文編號(ctxIdx)，係分別假設為 ctxIdx=2、ctxIdx=5。

又在此第 8 圖的例子中，開頭係數資料(coeff abs

(21)

level minus1(0))的接續之 2 值(level0 bin1)被選擇時，則接著會去處理接續之係數資料(coeff level abs minus1(1))的最下位 2 值(level1 bin0)。又當係數資料(coeff level abs minus1(0))的最下位 2 值(level0 bin0)係為值 0，且接續之係數資料(coeff level abs minus1(1))的最下位 2 值(level1 bin0)係為值 0 及值 1 的時候，則變成分別去處理接續之係數資料(coeff level abs minus1(2))的最下位 2 值(level2 bin0)、同一係數資料(coeff level abs minus1(2))的接續之 2 值(level2 bin1)。此外，此第 8 圖的右端的表示，係於此第 8 圖中最終的遷移目標中，表示到達各遷移目標的各係數資料。又，第 9 圖係雖然沒有對應於該第 8 圖，但係於連續之係數資料中，各 2 值為值 1 且連續所定個數時的遷移之略線圖。

因此在處理該第 8 圖的例子時，在開頭係數資料(coeff level abs minus1(0))的上下文計算中，係必須要求出上下文編號 ctxIdx=1、ctxIdx=5；又在接續之係數資料(coeff level abs minus1(1))的事前的上下文計算中，係必須要計算出上下文編號 ctxIdx=0、ctxIdx=2、ctxIdx=5、ctxIdx=6。

此處該第 8 圖的水平方向之各遷移，係對應於第 7 圖的循環(cycle)。因此，藉由第 6 圖之構成，來先進行上下文計算然後將機率狀態變數儲存至暫存器 13 的情況下，關於開頭之係數資料(coeff level abs minus1(0))，係將上下文編號 ctxIdx=1、ctxIdx=5 之機率狀態變數儲存至暫存

(22)

器 13 後，才開始處理，因此，在此情況下，可使機率狀態變數之處理開始毫無延遲地，將機率狀態變數事先儲存在暫存器 13 中。

又在接續之係數資料 (coeff level abs minus1(1)) 的處理中，係需要上下文編號 ctxIdx=0、ctxIdx=2、ctxIdx=5、ctxIdx=6 的機率狀態變數。此處，若把可使處理從最下位 2 值之處理切換成下個係數資料的 bin=0 側之上下文編號 ctxIdx=2、ctxIdx=5，優先於可使處理從最下位 2 值之處理切換成接續之上位側的 2 值的 bin=1 側之上下文編號 ctxIdx=2、ctxIdx=6，儲存至暫存器 13 中，再從下位側 2 值所對應之上下文編號起依序將機率狀態變數儲存至暫存器 13，則在完成了開頭之係數資料 (coeff level abs minus1(0)) 的最下位 2 值 (level0 bin0) 的時點上，就可將 bin=0 時的接續之係數資料 (coeff level abs minus1(1)) 的最下位 2 值 (level1 bin0) 之處理上所必須之上下文編號 ctxIdx=2 的機率狀態變數，事先保持在暫存器 13 中。又，在此最下位 2 值 (level1 bin0) 之處理完成的時點上，也可將 bin=1 時的接續之最下位 2 值 (level1 bin1) 之處理上所必須之上下文編號 ctxIdx=5 的機率狀態變數，事先保持在暫存器 13 中。因此在此情況下，也是可使任何接續之係數資料 (coeff level abs minus1(1)) 的處理毫無延遲地，在暫存器 13 中儲存機率狀態變數。

可是在此同時，當開頭係數資料 (coeff level abs minus1(0)) 的最下位 2 值 (level0 bin0) 係為 bin=1 時，係在

(23)

接續之上位側之 2 值(level0 bin1)的處理完成的時點上，接續之係數資料(coeff level abs minus1(1))的最下位 2 值(level1 bin0)之處理時所必須之上下文編號 ctxIdx=0 的機率狀態變數，因為尚未被備妥於暫存器 13 中，所以對暫存器 13 的機率狀態變數之儲存，會趕不上語法元素的解碼處理。

因此如第 10 圖(A)所示，於解碼裝置 10 中，暫存器 13，係分別由所定個數的機率狀態變數暫時暫存器 13A 和機率狀態變數暫存器 13B 所形成。此處，機率狀態變數暫時暫存器 13A，係如第 7 圖所說明過的，是平行於上下文計算、算術解碼處理等，從記憶體 12 中載入機率狀態變數並加以儲存之暫存器。機率狀態變數暫存器 13B 則為，往暫存器 13 之儲存是趕不上語法元素解碼處理的機率狀態變數，在 residual 層的處理開始前，就事先加以儲存的暫存器。

此處，對係數資料之語法元素的上下文編號(ctxIdx)，係可藉由 AC 成分、DC 成分、亮度訊號(Y)成分、色差訊號(Cr、Cb)成分之種別而被分類成 6 個範疇。各範疇中，上下文編號(ctxIdx)係為 9~10 種類。又由於在各 residual 區塊中係一致地選擇範疇，因此結果而言，被 1 個範疇所使用之上下文編號(ctxIdx)，係為 9 種或 10 種。因此，機率狀態變數暫時暫存器 13A 係對每一範疇來設置，在各範疇中，可以保持分別對應於此 9 種或 10 種上下文編號的機率狀態變數，最多設置 10 個。

(24)

但是，隨著從記憶體 12 往暫存器 13 進行傳輸之資料傳輸能力，在 1 個循環中可儲存至暫存器 13 的機率狀態變數的數目會有所不同，因該數目的變化，而會使得來不及儲存的機率狀態變數的數目也有所變化。又，隨著以格式決定之係數資料中的上下文編號 (ctxIdx) 之遷移，來不及儲存的機率狀態變數之數目也會跟著改變。因此機率狀態變數暫時暫存器和機率狀態變數暫存器的個數，是可隨應於從記憶體 12 往暫存器 13 進行傳輸的資料傳輸能力，甚至隨著以格式決定之係數資料中的上下文編號 (ctxIdx) 之遷移，來作各種設定。順便一提，亦可設計成，於 1 個語法元素中，對於被上下文計算所求出之最大之上下文編號的數目，從記憶體 12 往暫存器 13 進行傳輸之資料傳輸能力是很充分；更具體而言，例如被上下文計算所求出之所有上下文編號的機率狀態變數，可在 1 個循環內被傳送至暫存器 13，則亦可省略機率狀態變數暫存器 13B 之構成。

對應於該暫存器 13 之構成，控制部 19 係如第 10 圖 (B2) 所示，在 residual 區塊之處理開始之際的初期化處理中，將有可能來不及往暫存器 13 儲存之機率狀態變數，事前載入至機率狀態變數暫存器 13B。此外此種可能來不及往暫存器 13 儲存的機率狀態變數，係可根據係數資料 (coeff level abs minus1) 中的上下文編號之遷移規則來推求。

又然後一旦事前載入完成，則依序開始各 residual 區

(25)

塊的處理，一面將上下文計算所求出之機率狀態變數儲存至機率狀態變數暫時暫存器 13A，一面解碼各語法元素。此外在此時，關於已經被儲存在機率狀態變數暫時暫存器 13A 中的上下文編號之機率狀態變數，則是控制著機率狀態儲存部 11 的動作，令其省略掉從記憶體 12 往機率狀態變數暫時暫存器 13A 之儲存。此外，關於已經被儲存在機率狀態變數暫時暫存器 13B 的上下文編號之機率狀態變數的對機率狀態變數暫時暫存器 13A 之儲存，亦可將其省略。

此外，第 10 圖(B1)係為，在開始各 residual 區塊之處理之際，將對應之所有機率狀態變數從記憶體 12 載入至暫存器 13 時的時序圖。如第 10 圖(B1)所示，即使將對應之所有機率狀態變數事前全部載入至暫存器 13，也可防止機率狀態變數對暫存器 13 的載入趕不上各語法元素解碼裝置的情形。

可是在此同時，在開始各 residual 區塊之處理之際，必須將對應之所有機率狀態變數從記憶體 12 載入至暫存器 13。相對於此，在解碼裝置 10 上，是一面處理語法元素，一面將必要之機率狀態變數載入至暫存器 13，只有載入處理可能會來不及的某些機率狀態變數，是事前被儲存在暫存器 13 中，因此整體來看時的處理時間，是可較第 10 圖(B1)所示例子更為縮短，可高效率地處理影像資料。

(2)實施例 1 的動作

於以上的構成中，被依序輸入的位元串流(bitstream)(

(26)

第 6 圖及第 7 圖)，係在適應算術編碼解碼部 16 上，被依序偵測出語法元素的種別。又，藉由基於該適應算術編碼解碼部 16 之偵測結果的控制部 19 之控制，在上下文計算部 18 上依序計算出語法元素的上下文，求出可取得已被 2 值化之語法元素之各位元的上下文編號 (ctxIdx)。位元串流 (bitstream)，係基於該上下文編號 (ctxIdx) 的機率狀態變數，依序在適應算術編碼解碼部 16 上選擇狀態編號 (stateIdx) 及 MPS，藉由該選擇結果的處理，就可解碼出原本的語法元素。

在此解碼裝置 10 中，係隨著被適應算術編碼解碼部 16 所測出之語法元素的種別；當要解碼出現頻率低的語法元素時，適應算術編碼解碼部 16 會存取被設在機率狀態儲存部 11 中之存取延遲大的第 1 記憶體，偵測出已被上下文計算部 18 所求出的上下文編號 (ctxIdx) 的機率狀態變數。又，使用該已測出之機率狀態變數，來解碼處理原本的語法元素。該解碼裝置 10，藉由以 SRAM 來形成該記憶體 12，來解碼此出現頻率低的語法元素，關於此種構成，是可使全體形狀小型化。

可是在此同時，若全部的語法元素處理中都使用 SRAM 的記憶體 12，則就像第 3 圖所說明之先前構成的解碼裝置 1，難以高速地進行解碼。

此處，在此解碼裝置 10 上，係當要解碼出現頻率高的語法元素時，係已被上下文計算部 18 所求出之上下文編號 (ctxIdx) 的機率狀態變數，是從記憶體 12 被載入至存

(27)

取延遲比第 1 記憶體小的第 2 記憶體亦即暫存器 13 中而保持，使用該暫存器 13 中所儲存之機率狀態變數來將出現頻率高之語法元素進行解碼處理。因此關於出現頻率高的語法元素，解碼裝置 10 係雖然形狀大型化，但可實現高速處理。

此處，在此種解碼裝置中，出現頻率低的語法元素係存在有巨集區塊類型、子巨集區塊類型等之語法元素，這些語法元素，係在處理 1 個巨集區塊之際，分別只會出現 1 次。

相對於此，出現頻率高的語法元素，係存在有 DC 係數資料及 AC 係數資料，這其中的 AC 係數資料，在 4:2:0 之影像資料的情形中，處理 1 個巨集區塊之際，是會連續 15 次而出現 $15 \times 4 \times 6 = 360$ 次。又，DC 係數係在處理 1 個巨集區塊之際，會出現 6 次。因此如此解碼裝置 10，若只有出現頻率高的語法元素使用暫存器 13，則可活用暫存器 13 及記憶體 12 使用時的兩者之優點，整體來看時，可使構成不必如此大型化，又能較先前更為提高處理速度。

又在此解碼裝置 10 上，並非只是單純將出現頻率高的語法元素之機率狀態變數保持在暫存器 13 中，而是將已被上下文計算部 18 求出之上下文編號 (ctxIdx) 的機率狀態變數選擇性地從記憶體 12 載入至暫存器 13，使用該已載入之機率狀態變數來進行解碼裝置，因此結果而言，係數資料之處理上所必須之所有的上下文編號 (ctxIdx) 的機

(28)

率狀態變數當中，只有一部份可加以儲存地來構成暫存器 13 即可。具體而言，係數資料之處理上所必須之所有的上下文編號 (ctxIdx) 的數目，係有 59 種類。因此只要將該係數資料處理上所必須之全部上下文編號 (ctxIdx) 的機率狀態變數當中的僅一部份加以儲存地構成暫存器 13 即可，仍是可以防止全體構成的大型化，可較先前使處理速度更為高速化。

又在解碼裝置 10 上，係將機率狀態變數選擇性地從記憶體 12 載入至暫存器 13 而加以保持，而在正在處理暫存器 13 中所保持之機率狀態變數的期間中，更具體而言，在適應算術編碼解碼部 16 上進行 1 個係數資料 (coeff abs level Minus1(0)) 的機率狀態選擇處理、算術解碼處理、二進位化處理之期間中，接續之係數資料 (coeff abs level minus1(1)) 會被進行上下文計算，暫存器 13 中會儲存著對應之機率狀態變數。又，該暫存器 13 中所儲存之機率狀態變數，是會隨著解碼處理結果而被更新。因此，在解碼裝置 10 上，在開始處理接續之係數資料 (coeff abs level minus1(1-N)) 的時點上，暫存器 13 中會已經保持著機率狀態變數，關於接續之係數資料 (coeff abs level minus1(1-N))，則是可在前一個係數資料的處理完成後，立刻開始處理，藉此可更進一步使處理速度高速化。尤其是在處理高解析度之影像資料時，可較先前更大幅提高處理速度。

亦即例如在 ITU-T H.264 所規格化之等級 4 以上的高

(29)

解析度(1920×1088)的情況下，若依據此實施例，則關於第5圖係可較上述先前構成，在1個巨集區塊中減少693循環的空窗時間，若依據實驗的結果，可知即使令動作速度較先前構成降低170〔MHz〕左右，仍可充分解碼。

可是在此同時，有效利用暫存器13中所儲存之機率狀態變數正在被處理的期間，事先將接續之係數資料(coeff abs level minus1(N))進行上下文計算而將機率狀態變數保持在暫存器13的情形下，隨著係數資料中的上下文編號(ctxIdx)之遷移，如此對暫存器13的機率狀態變數儲存，是有可能發生趕不上各語法元素的解碼裝置之情形(第8圖及第9圖)。

此處，在本實施例中，係藉由機率狀態變數暫時暫存器13A和機率狀態變數暫存器13B來形成暫存器13，關於有可能來不及儲存至暫存器13的機率狀態變數，係在residual區塊開始處理之際，事前就從記憶體12被載入至機率狀態變數暫存器13B中而加以保持。又除此以外的機率狀態變數，係在各語法元素正在處理之際，可適宜地從記憶體12載入而保持在機率狀態變數暫時暫存器13A中。

其結果為，在此解碼裝置10上，係有效利用暫存器13中所儲存之機率狀態變數正在被處理的期間，事先將接續之係數資料(coeff abs level minus1(N))之處理所必須之機率狀態變數保持在暫存器13中，如此以使處理高速化，可以有效避免機率狀態變數來不及往暫存器13儲存，

(30)

避免發生等待機率狀態變數往暫存器 13 儲存完畢的等待時間。因此藉由有效避免該等待時間的發生，就可使處理速度高速化。

(3)實施例 1 的效果

若依據以上構成，則使用存取延遲小的第 2 記憶體中所保持的機率狀態變數來解碼處理出現頻率高的語法元素，使用存取延遲大的第 1 記憶體中所保持的機率狀態變數來解碼其他語法元素，藉此來防止全體構成的大型化，相較先前可使處理速度高速化。

又，藉由對使用此第 2 記憶體中所保持之機率狀態變數的出現頻率高之語法元素，適用係數資料，就可更具體地防止全體構成的大型化，可使處理速度較先前高速化。

又，因為該存取延遲小的第 2 記憶體係為暫存器，所以可存取延遲為 0 地執行連續處理，可更具體的使處理速度高速化。

又，隨應於上下文計算結果來將第 1 記憶體中所保持之機率狀態變數選擇性地載入到第 2 記憶體中來使用，就可使第 2 記憶體的容量收斂在必要最小極限之大小，可防止全體形狀的大型化。

又，在該第 2 記憶體中所保持之機率狀態變數正被處理的期間中，將接續之語法元素進行上下文計算而將機率狀態變數放在暫存器 13 中待用，藉此可更進一步提高處理速度。

(31)

又在暫存器 2 中所保持之機率狀態變數正被處理的期間中，將接續之語法元素進行上下文計算而將機率狀態變數儲存至暫存器 13 以提高處理速度，使可能來不及往第 2 記憶體儲存之機率狀態變數，處理開始時，載入至第 2 記憶體而加以保持備用，藉此，可有效避免等待機率狀態變數往暫存器 13 儲存完成的等待時間之發生，而使處理速度高速化。

(4)實施例 2

第 11 圖係藉由和第 8 圖之對比，說明本發明之實施例 2 的解碼裝置的時序圖。此外在該實施例中，除了此第 11 圖所示之時序圖的相關構成不同這點以外，其餘均和實施例 1 相同的構成。因此以下的說明中，是沿用第 6 圖的構成來說明。該解碼裝置 20，係將各語法元素的連續 2 個 2 值予以同時平行處理。

因此於此解碼裝置 20 中，機率狀態儲存部 11、上下文計算部 18、適應算術編碼解碼部 16、2 值化部 7、控制部 19，係可同時平行處理連續的 2 個 2 值，關於第 8 圖所說明過的連續 2 個循環之處理，可將其在 1 個循環中加以執行。因此機率狀態儲存部 11，係在 1 循環內將 2 個上下文編號的機率狀態變數，儲存至暫存器 13。

又適應算術編碼解碼部 16，係隨著同時平行處理之 2 個 2 值的處理結果，切換於該第 11 圖中的遷移目標，來切換暫存器 13 的存取目標。又接著再處理下位側的 2 值

(32)

，若接續之上位側的 2 值的處理是不需要時，更具體而言，若下位側之 2 值係為 $\text{bin}=0$ 時，則中止接續之上位側的 2 值的處理。因此於第 11 圖的例子中，是將開頭的 2 值 level0 bin0 、接續之 2 值 level0 bin1 同時平行地加以處理，若開頭的 2 值 level0 bin0 係為 $\text{bin}=0$ 時，則中止以接續之 2 值 level0 bin1 所選擇之機率狀態變數的處理。

又，將接續之係數資料之開頭的 2 值 level1 bin0 、接續之 2 值 level1 bin1 同時平行地加以處理，若此時也是開頭的 2 值 level1 bin0 係為 $\text{bin}=0$ 時，則中止以接續之 2 值 level1 bin1 所選擇之機率狀態變數的處理。

此處，於第 11 圖之例子進行處理時，若 2 值 level0 bin0 為 $\text{bin}=0$ 時，則在第 2 循環之處理中，上下文編號 $\text{ctxIdx} = 2$ 、 $\text{ctxIdx} = 5$ 的機率狀態變數，是在適應算術編碼解碼部 16 之處理時所必需的。又，在 2 值 level0 bin0 、 level0 bin1 係為 $\text{bin}=1$ 時，在第 2 循環之處理中，上下文編號 $\text{ctxIdx} = 0$ 、 $\text{ctxIdx} = 6$ 的機率狀態變數，是在適應算術編碼解碼部 16 之處理時所必需的。

因此在第 2 循環開始的時點上，在暫存器 13 中，係必須要備妥上下文編號 $\text{ctxIdx} = 0$ 、 $\text{ctxIdx} = 2$ 、 $\text{ctxIdx} = 5$ 、 $\text{ctxIdx} = 6$ 之機率狀態變數，結果，如第 11 圖中以四方形圍繞所示，例如上下文編號 $\text{ctxIdx} = 0$ 的機率狀態變數往暫存器 13 之儲存，便趕不上處理。

因此在此第 11 圖的例中，也是和實施例 1 所說明過的相同，在暫存器 13 中設置機率狀態變數暫時暫存器

(33)

13A 和機率狀態變數暫存器 13B，將該有可能趕不上處理的機率狀態變數，事前儲存至機率狀態變數暫存器 13B。

若依據此實施例，則將各語法元素的連續 2 個 2 值予以同時平行處理時，也能獲得和實施例 1 同樣的效果。

(5)實施例 3

第 12 圖係圖示本發明之實施例 3 的編碼裝置的區塊圖。此編碼裝置 30，係依照 ITU-T H.264 格式，將動畫的影像資料依序進行正交轉換處理、量化處理等而生成語法元素，將該語法元素予以處理而輸出位元串流(bitstream)。於該編碼處理中，編碼裝置 30，係藉由使用實施例 1、2 所說明過之機率狀態儲存部 11、上下文計算部 18 的上下文適應型 2 值算術編碼處理，依序將語法元素(syntax)予以編碼處理，而輸出位元串流(bitstream)。

亦即 2 值化部 33，係和第 6 圖所說明過的 2 值解碼部 7 相反，將編碼處理對象的語法元素(syntax)依序予以 2 值化。適應算術編碼部 32，係和第 6 圖所說明過的適應算術編碼解碼部 16 同樣地，將機率狀態儲存部 11 的暫存器 13、記憶體 12 中所儲存之機率狀態變數依序加以處理，將 2 值化部 33 所生成之 2 值化資料依序予以編碼處理，輸出位元串流(bitstream)。

即使如本實施例般地適用於編碼裝置上，也能獲得和實施例 1、2 相同的效果。

(34)

(6) 其他實施例

此外於上述實施例中，雖然說明以 ITU-T H.264 格式進行上下文適應型 2 值算術編碼、上下文適應型 2 值算術解碼處理時的情形，但本發明不限於此，以該格式以外之各種格式進行上下文適應型 2 值算術編碼、上下文適應型 2 值算術解碼處理時，也能廣泛適用。

[產業上利用之可能性]

本發明係有關於動畫處理方法、動畫處理方法之程式、記錄有動畫處理方法之程式的記錄媒體及動畫處理裝置，例如是可適用於 ITU-T H.264 所致之動畫的編碼裝置、解碼裝置。

【圖式簡單說明】

第 1 圖係圖示上下文適應型 2 值算術編碼處理的處理程序的流程圖。

第 2 圖係圖示上下文適應型 2 值算術解碼處理的處理程序的流程圖。

第 3 圖係圖示先前的上下文適應型 2 值算術處理所致之解碼裝置之區塊圖。

第 4 圖係第 3 圖的解碼裝置中的連續之語法元素之處理的說明用時序圖。

第 5 圖係第 3 圖的解碼裝置中的 residual 區塊的係數資料的連續處理的說明用時序圖。

(35)

第 6 圖係圖示本發明之實施例 1 的解碼裝置的區塊圖。

第 7 圖係第 6 圖的解碼裝置之動作的說明用時序圖。

第 8 圖係第 6 圖的解碼裝置中的上下文編號之遷移的略線圖。

第 9 圖係第 8 圖的遷移中之 1 例的略線圖。

第 10 圖係第 6 圖的解碼裝置中的暫存器之構成的略線圖。

第 11 圖係圖示本發明之實施例 2 的解碼裝置的說明用略線圖。

第 12 圖係圖示本發明之實施例 3 的編碼裝置的說明用區塊圖。

【主要元件符號說明】

1、10、20：解碼裝置，2、18：上下文計算部，3、19：控制部，4、11：機率狀態儲存部，5、12：記憶體，6、16：適應算術編碼解碼部，7：2 值解碼部，13：暫存器，13A：機率狀態變數暫時暫存器，13B：機率狀態變數暫存器，14：選擇部，30：編碼裝置，32：適應算術編碼部，33：2 值化部。

五、中文發明摘要

發明之名稱：動畫處理方法、動畫處理方法之程式、記錄有動畫處理方法之程式的記錄媒體及動畫處理裝置

本發明係可適用於例如 ITU-T H.264 所致之動畫的編碼裝置、解碼裝置，使用存取延遲小的第 2 記憶體 13 中所保持的機率狀態變數來處理出現頻率高的語法元素，使用存取延遲大的第 1 記憶體 12 中所保持的機率狀態變數來處理其他語法元素。

六、英文發明摘要

發明之名稱：

(1)

十、申請專利範圍

1. 一種動畫處理方法，係屬於先計算上下文然後將動畫予以編碼或解碼的動畫處理方法，其特徵為，

具有：

上下文計算處理之步驟，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和

機率狀態變數之處理步驟，將前記上下文計算處理之步驟所求出之前記機率狀態變數，依序選擇並處理之，將前記語法元素予以編碼或解碼；

前記機率狀態變數之處理步驟，係

具有機率狀態變數之選擇步驟，將機率狀態儲存部中所保持的前記機率狀態變數加以選擇；

前記機率狀態儲存部中，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體；

前記機率狀態變數之選擇步驟，係

當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數；

當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

2. 如申請專利範圍第 1 項所記載之動畫處理方法，其中，前記出現頻率高的前記語法元素，是將形成前記動畫的影像資料，以所定區塊單位進行正交轉換處理而成的係數資料。

(2)

3. 如申請專利範圍第 1 項所記載之動畫處理方法，其中，前記第 2 記憶體係為暫存器。

4. 如申請專利範圍第 1 項所記載之動畫處理方法，其中，

前記第 1 記憶體，係

將所有前記語法元素之處理時所必須之前記機率狀態變數加以保持；

前記動畫處理方法，係

具有對第 2 記憶體寫入之步驟，將前記第 1 記憶體中所保持之前記機率狀態變數之一部份加以讀出，然後儲存至前記第 2 記憶體。

5. 如申請專利範圍第 4 項所記載之動畫處理方法，其中，

前記上下文計算處理之步驟，係

在前記機率狀態變數之處理步驟中正在處理前記機率狀態變數的期間，計算接續之語法元素的上下文，偵測出前記接續之語法元素的前記機率狀態變數；

前記對第 2 記憶體寫入之步驟，係

正在以前記機率狀態變數之處理步驟來處理前記機率狀態變數的期間，將前記上下文計算處理之步驟中所測出之前記接續之語法元素的前記機率狀態變數，儲存至前記第 2 記憶體中。

6. 如申請專利範圍第 5 項所記載之動畫處理方法，其中，

(3)

係具有前處理之步驟，在有可能於前記出現頻率高的前記語法元素上測出之可能性的前記機率狀態變數當中，在前記對第 2 記憶體寫入之步驟之處理時，係將趕不上以前記機率狀態變數之處理步驟來進行前記接續之語法元素之前記機率狀態變數之處理開始的前記機率狀態變數，事先從前記第 1 記憶體儲存至第 2 記憶體。

7. 一種動畫處理方法之程式，係屬於先計算上下文然後將動畫予以編碼或解碼的動畫處理方法之程式，其特徵為，

具有：

上下文計算處理之步驟，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和

機率狀態變數之處理步驟，將前記上下文計算處理之步驟所求出之前記機率狀態變數，依序選擇並處理之，將前記語法元素予以編碼或解碼；

前記機率狀態變數之處理步驟，係

具有機率狀態變數之選擇步驟，將機率狀態儲存部中所保持的前記機率狀態變數加以選擇；

前記機率狀態儲存部中，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體；

前記機率狀態變數之選擇步驟，係

當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數；

(4)

當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

8. 一種記錄有動畫處理方法之程式的記錄媒體，係屬於先計算上下文然後將動畫予以編碼或解碼的動畫處理方法之程式加以記錄而成的記錄媒體，其特徵為，

前記動畫處理方法之程式，係

具有：

上下文計算處理之步驟，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和

機率狀態變數之處理步驟，將前記上下文計算處理之步驟所求出之前記機率狀態變數，依序選擇並處理之，將前記語法元素予以編碼或解碼；

前記機率狀態變數之處理步驟，係

具有機率狀態變數之選擇步驟，將機率狀態儲存部中所保持的前記機率狀態變數加以選擇；

前記機率狀態儲存部中，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體；

前記機率狀態變數之選擇步驟，係

當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數；

當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。

9. 一種動畫處理裝置，係屬於先計算上下文然後將

(5)

動畫予以編碼或解碼的動畫處理裝置，其特徵為，

具有：

， 上下文計算部，將構成前記動畫的語法元素的上下文加以計算，依序偵測出可取得前記語法元素的機率狀態變數；和

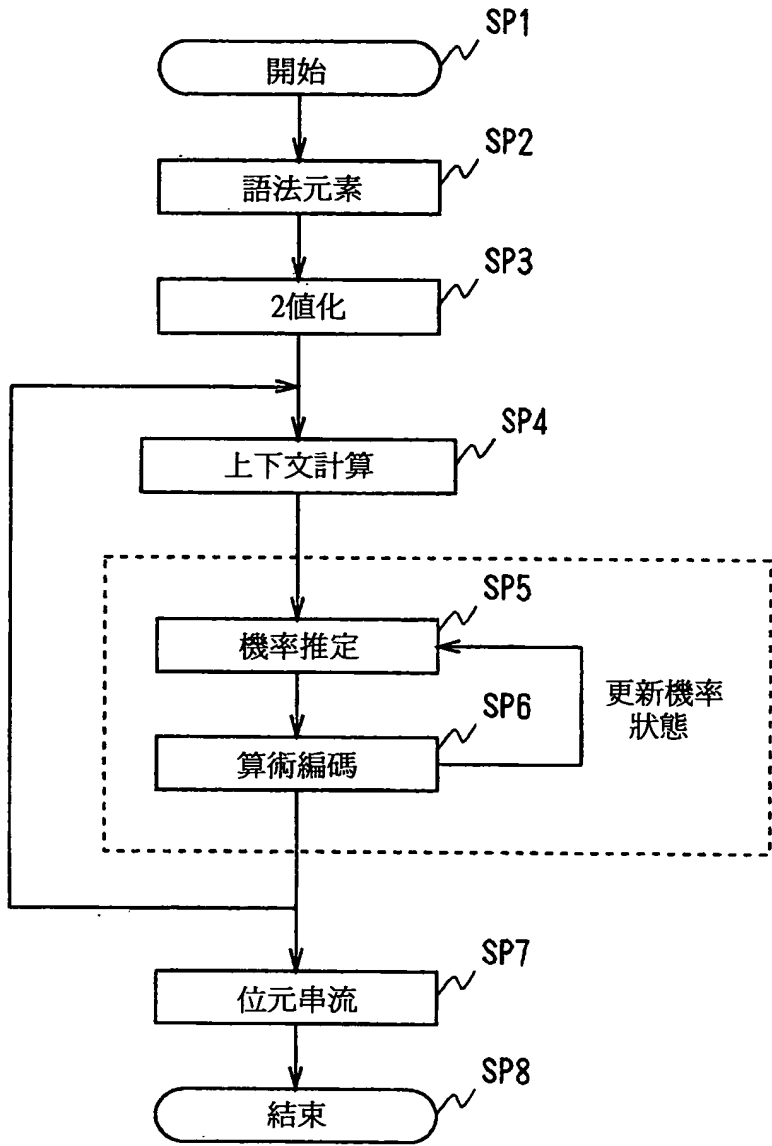
機率狀態儲存部，設有第 1 記憶體，和存取延遲是較前記第 1 記憶體小的第 2 記憶體，將前記機率狀態變數保持在前記第 1 及第 2 記憶體；

機率狀態變數處理部，基於前記上下文計算部的偵測結果，從前記機率狀態儲存部中依序選擇出前記機率狀態變數並加以處理，將前記語法元素予以編碼或解碼；

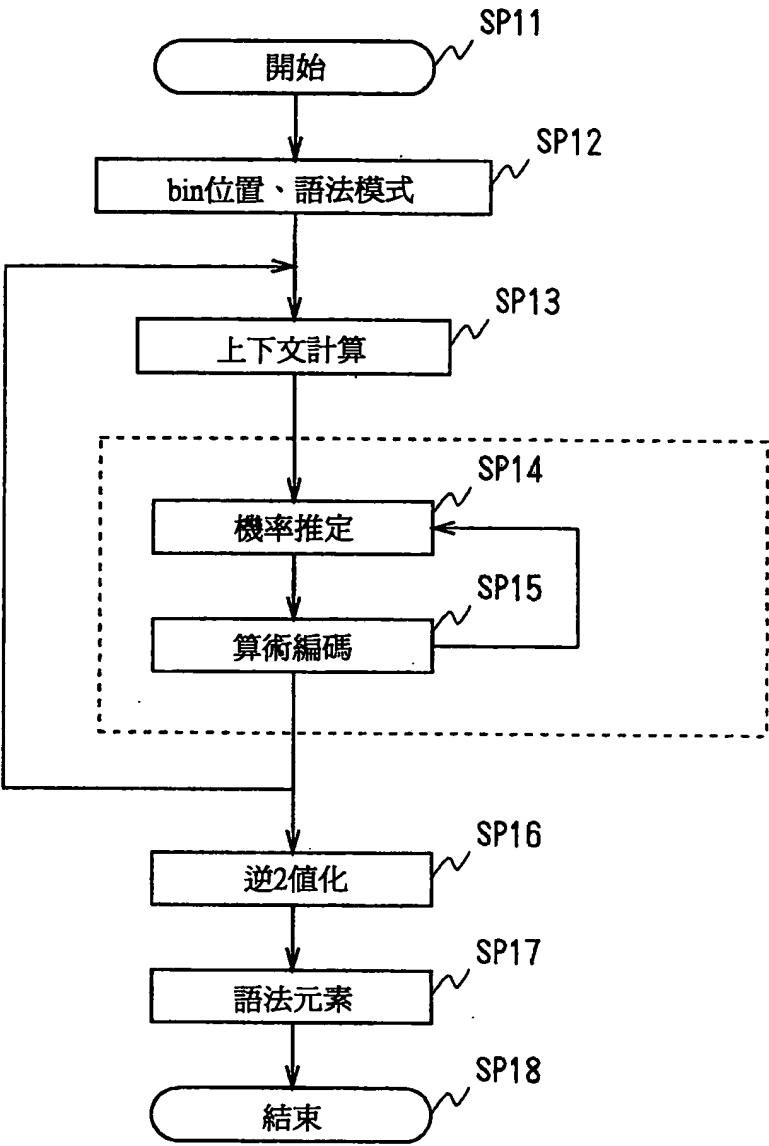
前記機率狀態變數處理部，係

當處理出現頻率低的前記語法元素時，係從前記第 1 記憶體中依序選擇出前記機率狀態變數；

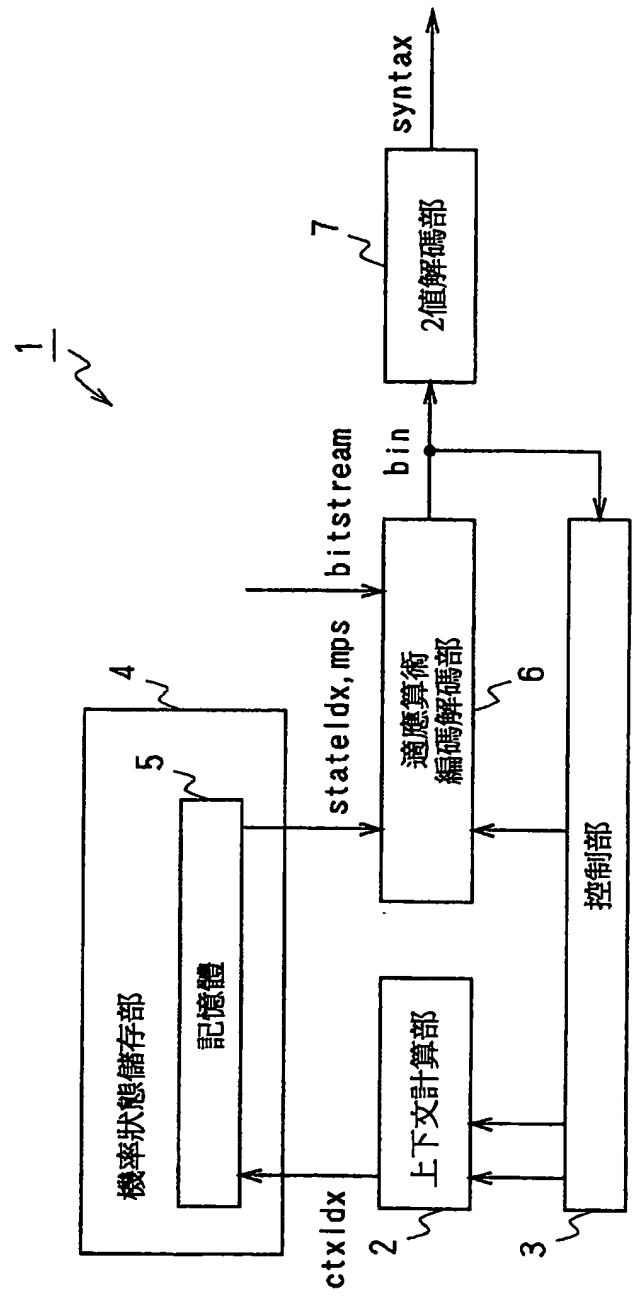
當處理出現頻率高的前記語法元素時，係從前記第 2 記憶體中依序選擇出前記機率狀態變數。



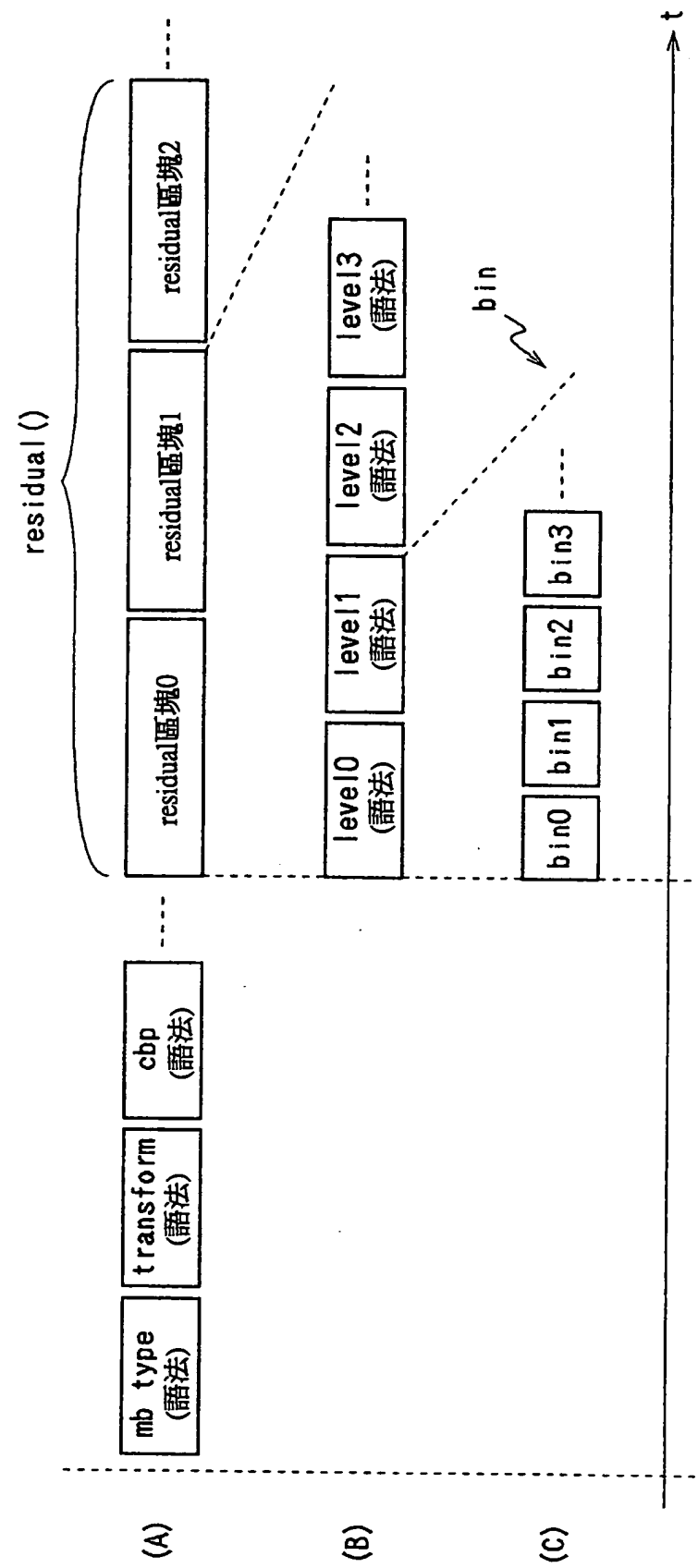
第1圖



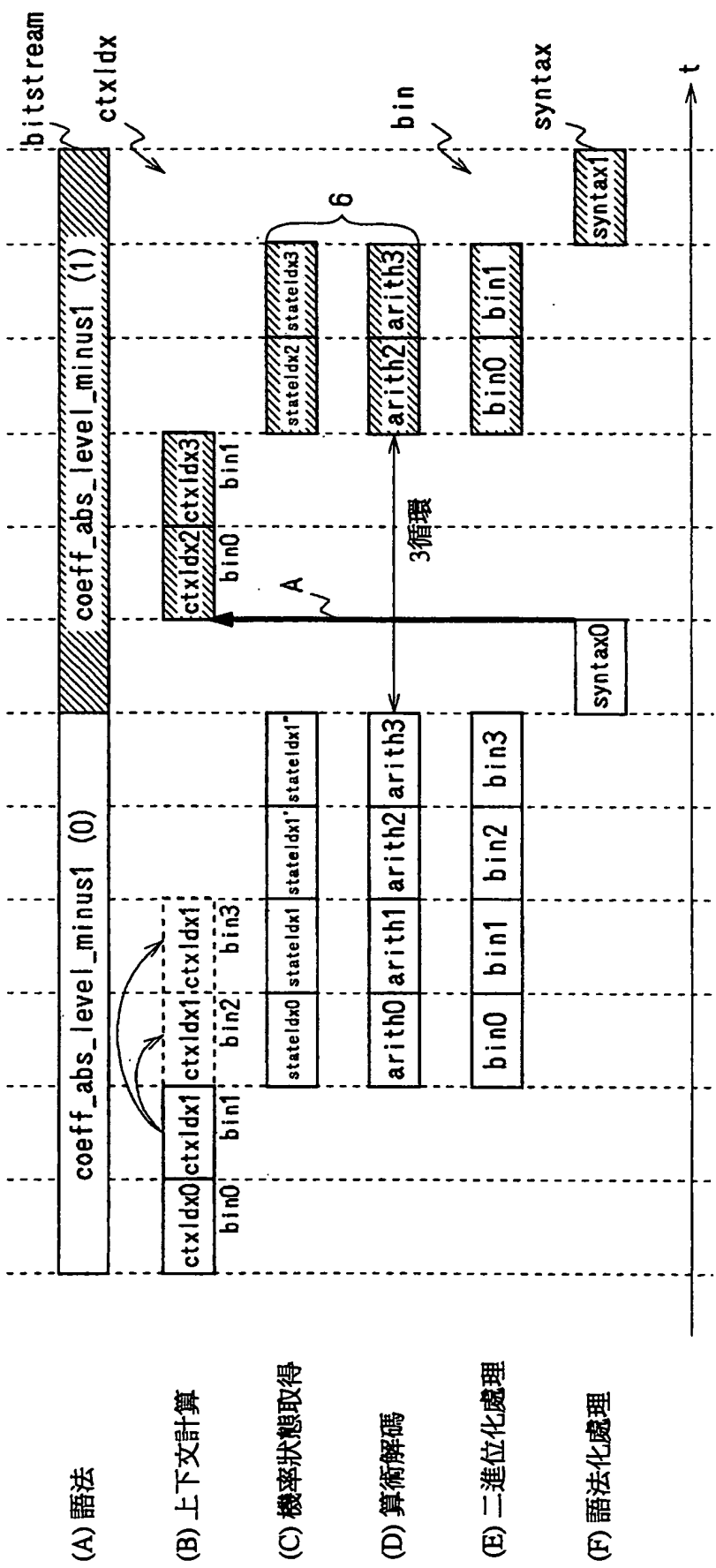
第2圖



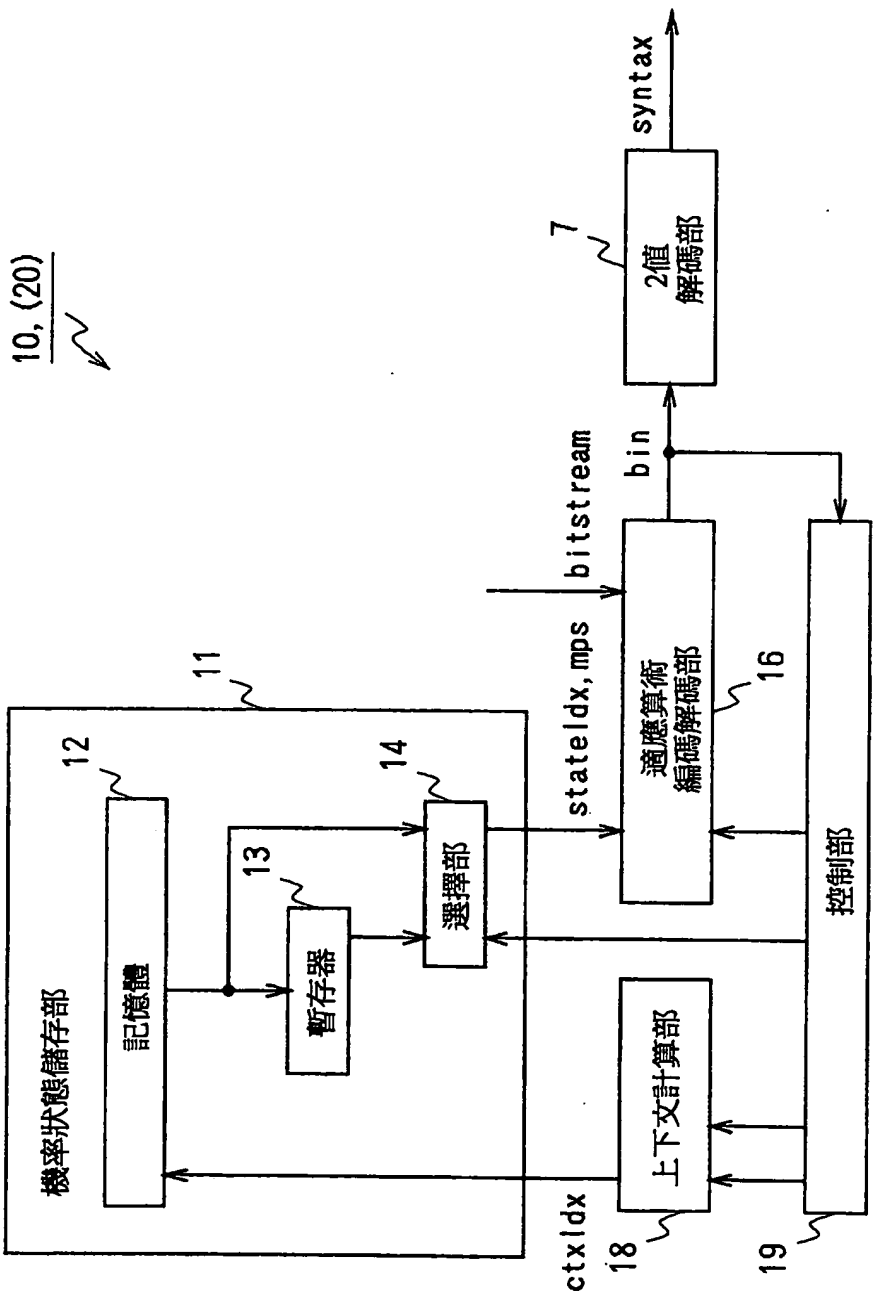
第3圖



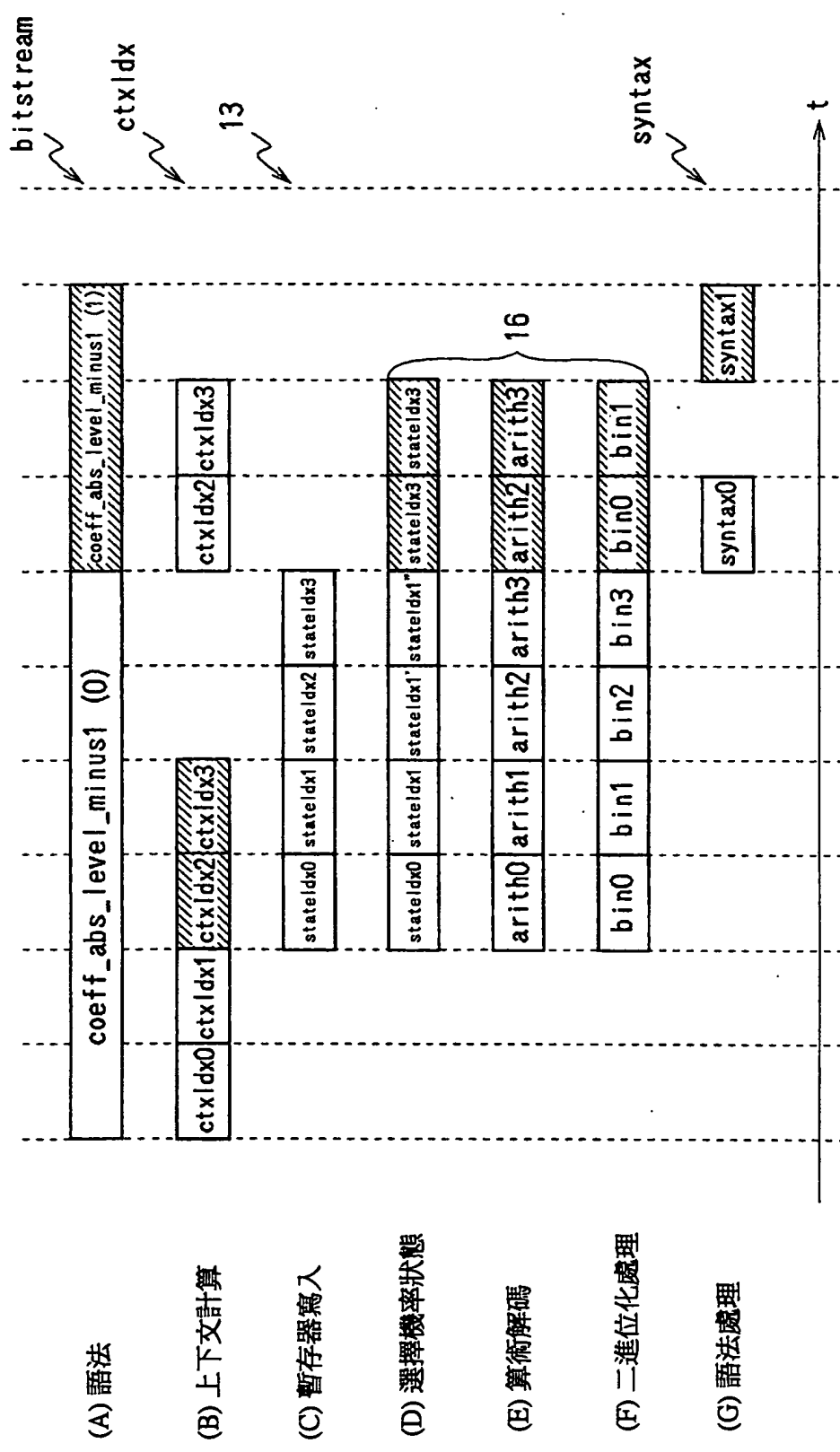
第4圖



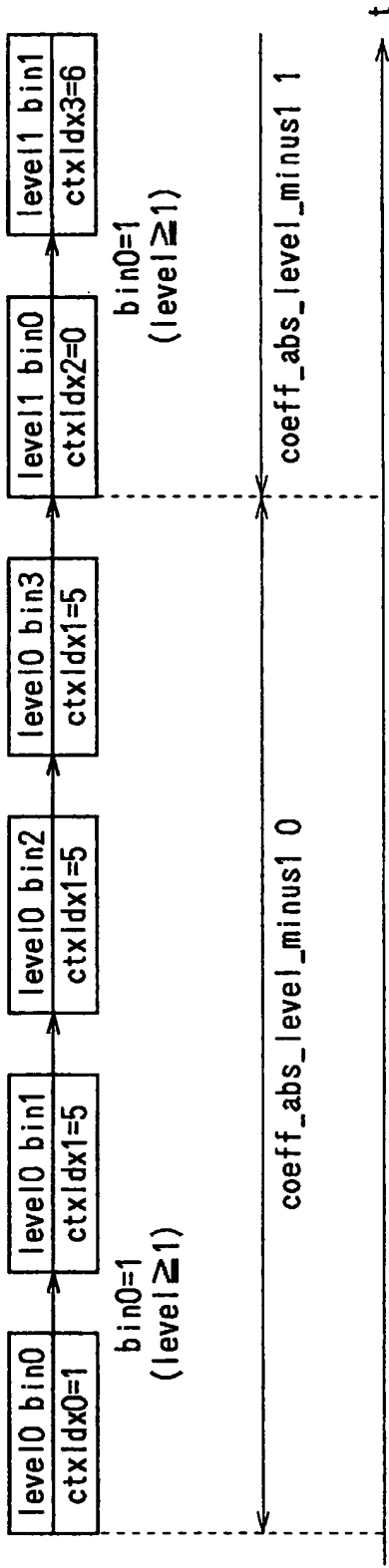
第5圖



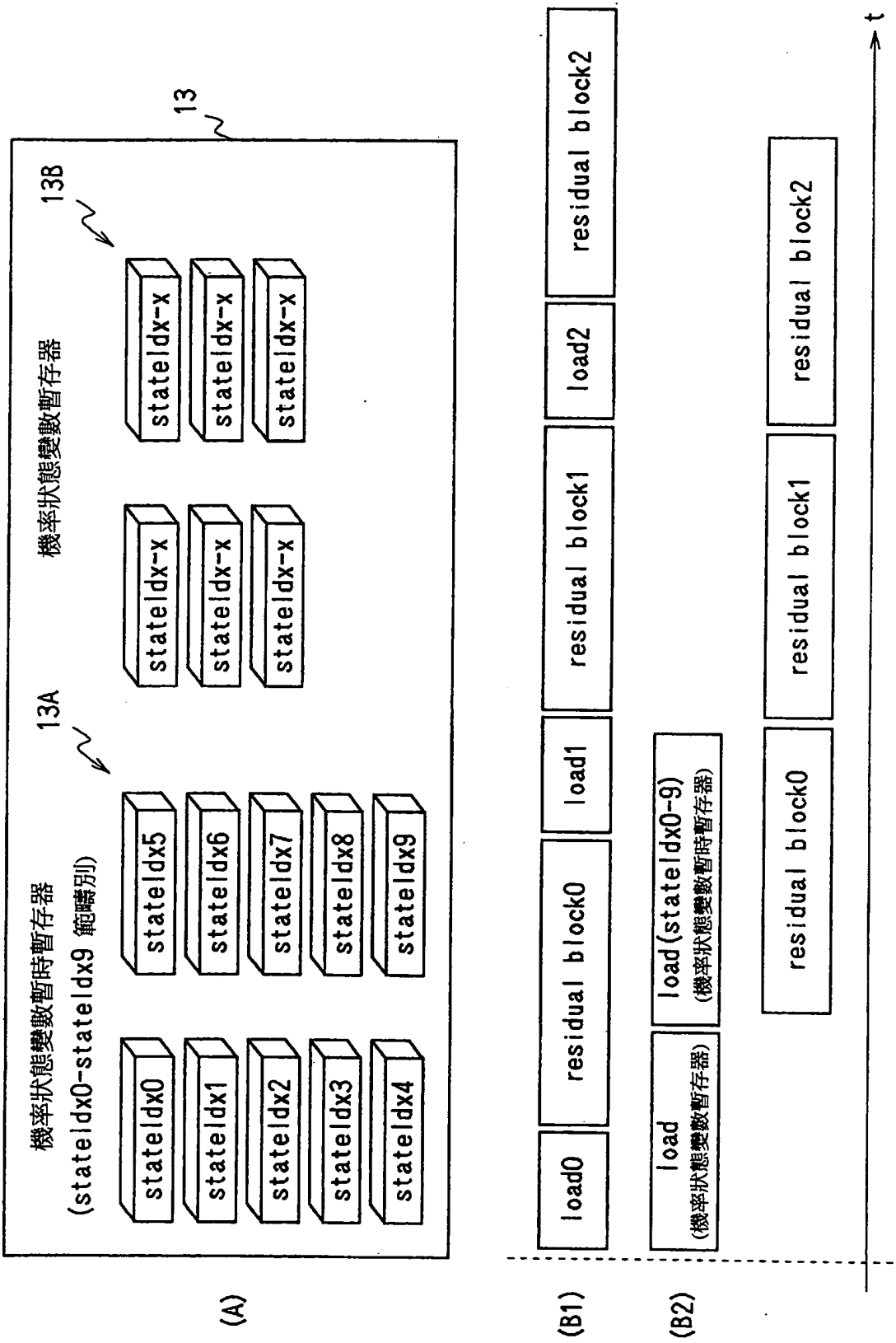
第6圖



第7圖



第9圖



第10圖

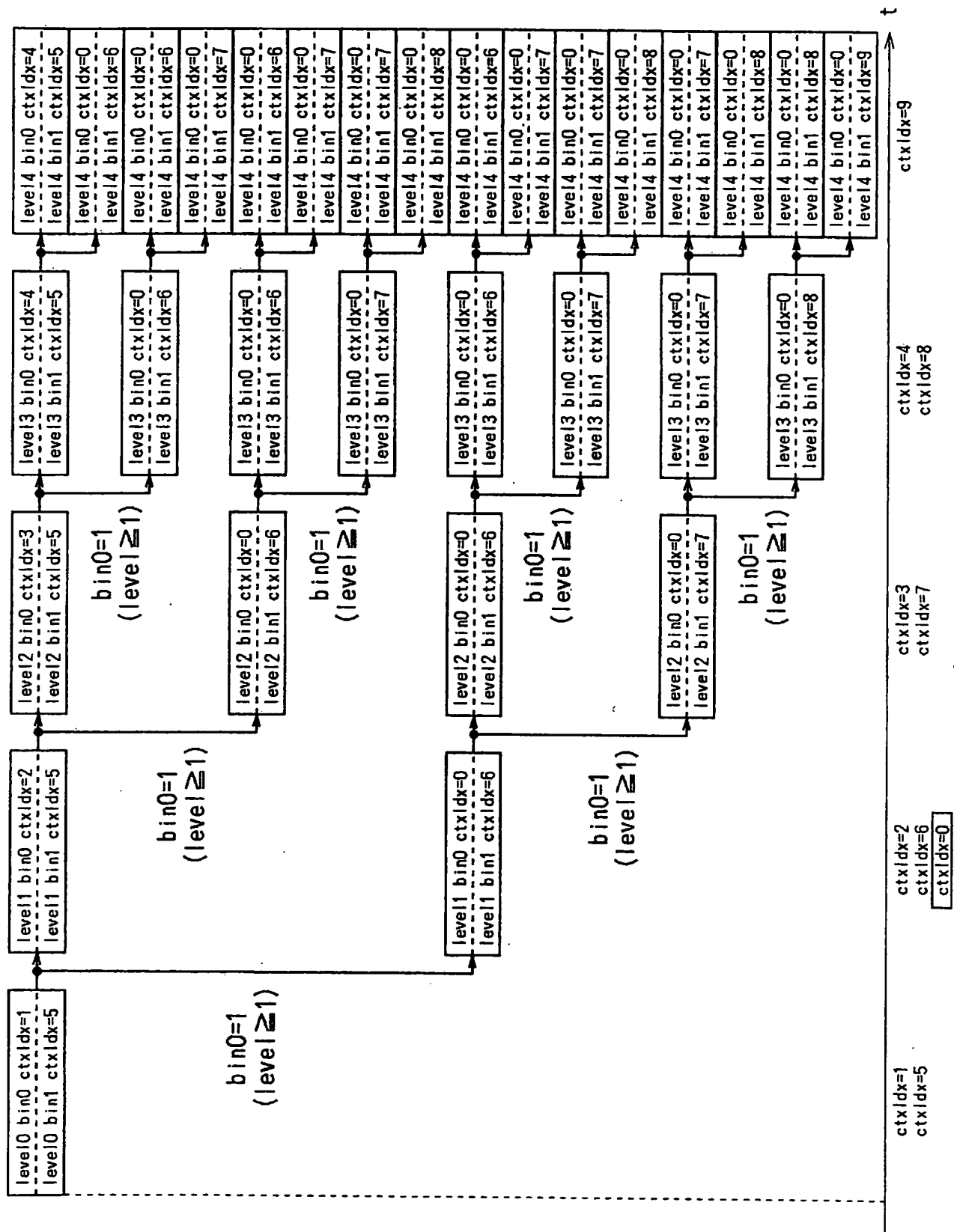
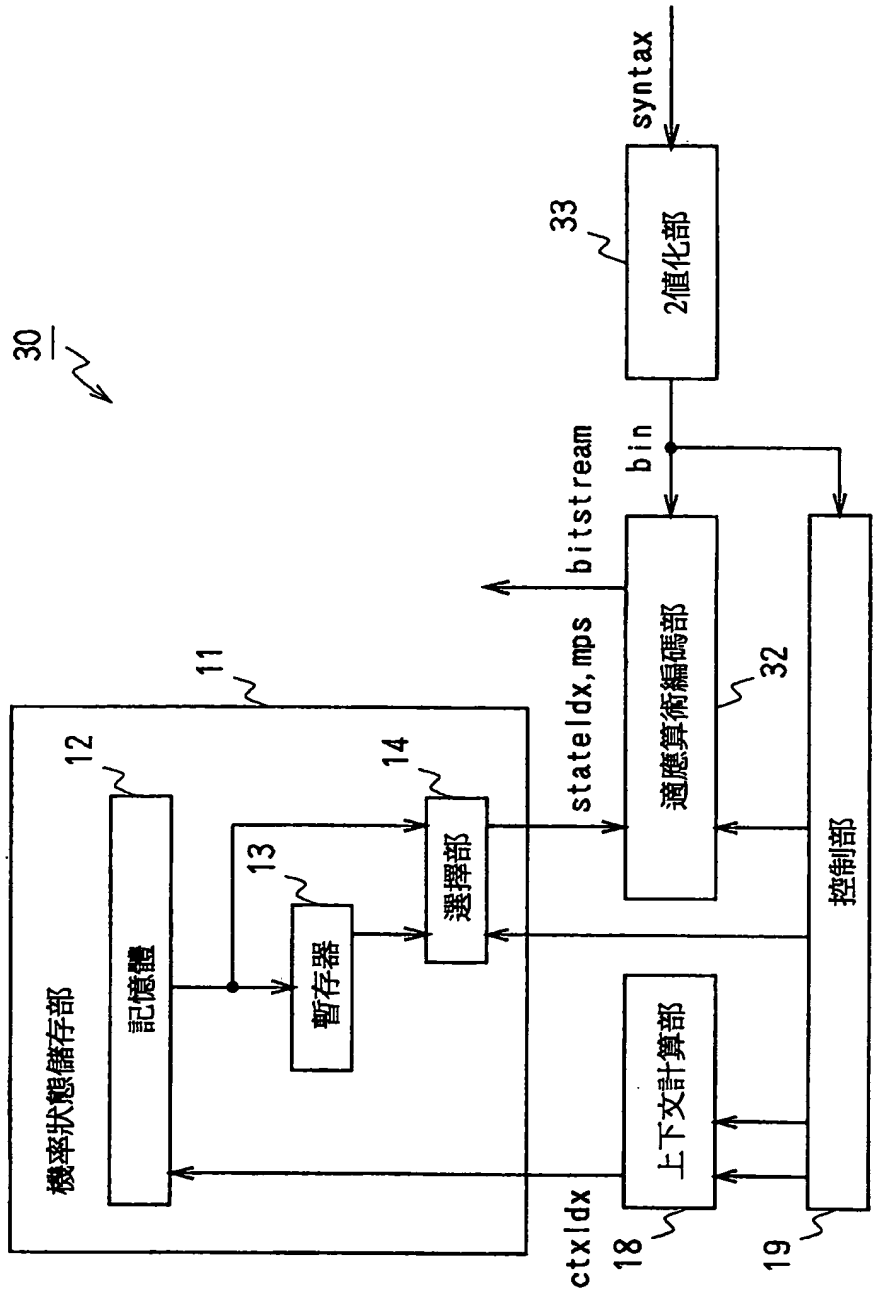


圖 11 第



第12圖

七、指定代表圖：

(一)、本案指定代表圖為：第 (6) 圖

(二)、本代表圖之元件代表符號簡單說明：

7：2 值解碼部

10、20：解碼裝置

11：機率狀態儲存部

12：記憶體

13：暫存器

14：選擇部

16：適應算術編碼解碼部

18：上下文計算部

19：控制部，

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：