



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201537745 A

(43)公開日：中華民國 104 (2015) 年 10 月 01 日

(21)申請案號：103145047

(22)申請日：中華民國 103 (2014) 年 12 月 23 日

(51)Int. Cl.：

*H01L29/06 (2006.01)**H01L29/66 (2006.01)**H01L29/78 (2006.01)*

(30)優先權：2014/03/21

美國

14/222,401

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：蔡俊雄 TSAI, CHUNHSIUNG (TW)；呂偉元 LU, WEIYUAN (TW)；詹前泰 CHAN,
CHIENTAI (TW)；李威養 LEE, WEIYANG (TW)；林大文 LIN, DAWEN (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 57 頁

(54)名稱

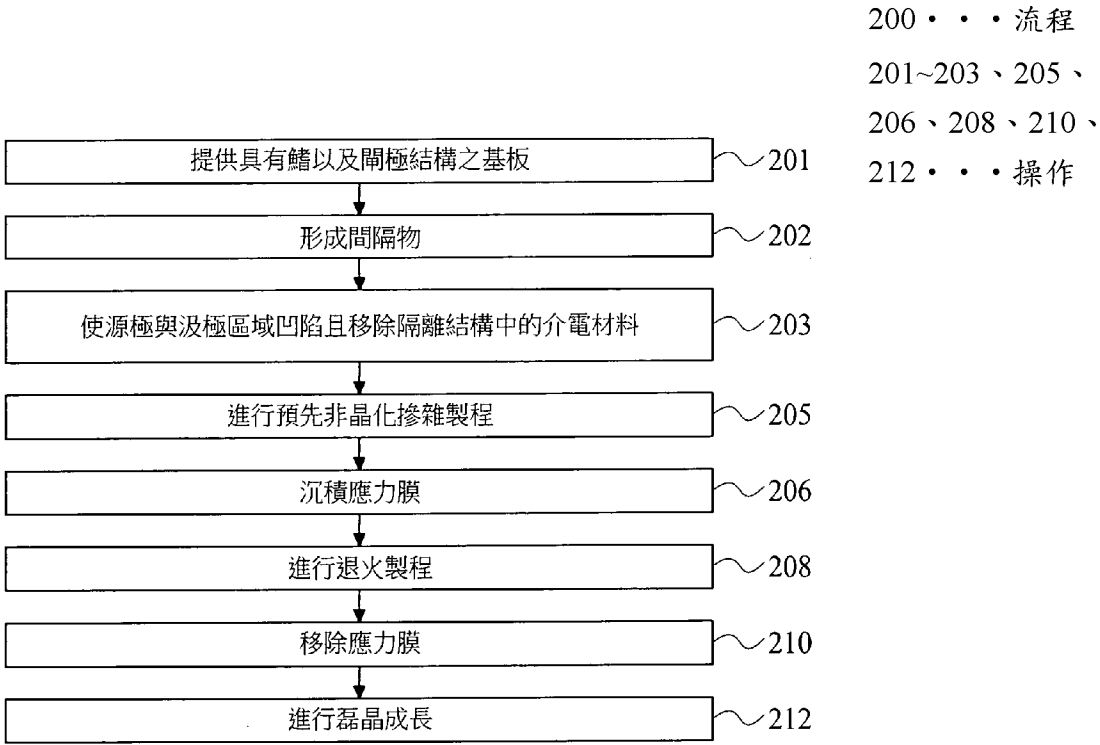
半導體裝置以及形成鰭式場效電晶體裝置的方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING FINFET DEVICES

(57)摘要

提供一種用於在鰭式場效電晶體裝置的源極和汲極區域中形成差排的機制的實施方式。所述機制包含使鰭凹陷，並且移除鄰接於鰭的隔離結構中的介電材料，以增加磊晶區域而形成差排。所述機制亦包含在磊晶成長於源極和汲極區域之前或之後，進行預先非晶化佈植製程。在預先非晶化佈植製程之後的退火製程使得源極和汲極區域中的差排一致性的成長。在源極和汲極區域(或應力源區域)中的差排可一致性地形成以產生目標應變於源極和汲極區域，以改善 N 型金氧半裝置的載子遷移率和裝置效能。

Embodiments of mechanisms for forming dislocations in source and drain regions of finFET devices are provided. The mechanisms involve recessing fins and removing the dielectric material in the isolation structures neighboring fins to increase epitaxial regions for dislocation formation. The mechanisms also involve performing a pre-amorphous implantation (PAI) process either before or after the epitaxial growth in the recessed source and drain regions. An anneal process after the PAI process enables consistent growth of the dislocations in the source and drain regions. The dislocations in the source and drain regions (or stressor regions) can form consistently to produce targeted strain in the source and drain regions to improve carrier mobility and device performance for NMOS devices.



第 2 圖

201537745 【發明摘要】

【中文發明名稱】在鰭式場效電晶體裝置的源極和汲極區域中差排的形成

H01L 29/06 (2006.01)

H01L 29/66 (2006.01)

H01L 29/08 (2006.01)

【英文發明名稱】Formation of Dislocations in Source and Drain Regions of FinFET Device

【中文】

提供一種用於在鰭式場效電晶體裝置的源極和汲極區域中形成差排的機制的實施方式。所述機制包含使鰭凹陷，並且移除鄰接於鰭的隔離結構中的介電材料，以增加磊晶區域而形成差排。所述機制亦包含在磊晶成長於源極和汲極區域之前或之後，進行預先非晶化佈植製程。在預先非晶化佈植製程之後的退火製程使得源極和汲極區域中的差排一致性的成長。在源極和汲極區域(或應力源區域)中的差排可一致性地形成以產生目標應變於源極和汲極區域，以改善N型金氧半裝置的載子遷移率和裝置效能。

【英文】

Embodiments of mechanisms for forming dislocations in source and drain regions of finFET devices are provided. The mechanisms involve recessing fins and removing the dielectric material in the isolation structures neighboring fins to increase epitaxial regions

for dislocation formation. The mechanisms also involve performing a pre-amorphous implantation (PAI) process either before or after the epitaxial growth in the recessed source and drain regions. An anneal process after the PAI process enables consistent growth of the dislocations in the source and drain regions. The dislocations in the source and drain regions (or stressor regions) can form consistently to produce targeted strain in the source and drain regions to improve carrier mobility and device performance for NMOS devices.

【指定代表圖】第2圖

【代表圖之符號簡單說明】

200：流程

201~203、205、206、208、210、212：操作

【特徵化學式】

無

【發明說明書】

【中文發明名稱】在鰭式場效電晶體裝置的源極和汲極區域中差排的形成

【英文發明名稱】Formation of Dislocations in Source and Drain Regions of FinFET Device

【技術領域】

【0001】 本揭露係有關於一種半導體裝置以及形成鰭式場效電晶體裝置的方法。

【先前技術】

【0002】 半導體積體電路(integrated circuit, IC)產業近來經歷了快速的成長。在積體電路演進的過程中，裝置的功能性密度逐漸地增加，而裝置的特徵尺寸或幾何尺寸則逐漸地縮小。體積的縮小提高了生產效率、降低了生產成本且/或改善了裝置效能。體積的縮小也提高了積體電路處理與製造的複雜性，爲了實現這些進步，積體電路處理與製造的相關發展是需要的。

【0003】 同樣地，爲了增強積體電路(IC)的效能以及微縮幾何尺寸的需求，而引入了多閘極裝置。這些多閘極裝置包含多閘極鰭式場效電晶體，也稱爲finFET裝置，而如此稱謂是由於通道形成於自基板延伸的「鰭」上。finFET裝置可以縮小裝置的閘極寬度，同時在包括通道區域的鰭之側面和/或頂

部上提供閘極。

【0004】 如半導體裝置，像是金氧半導體場效電晶體 (metal-oxide-semiconductor field-effect transistors, MOSFETs) 的尺寸隨著技術上的發展越來越小，應變源/汲極特徵(例如應力源區域)來增加載子遷移率以及裝置效能已經實現。應力使得半導體晶格變形或應變，影響到了半導體的能帶排列以及電荷傳輸特性。藉由控制成品裝置內部的應力大小與分佈，製造者可增加載子遷移率並改善裝置效能。

【發明內容】

【0005】 在一些實施方式中，提供一種半導體裝置。所述半導體裝置包含基板，其具有鰭式場效電晶體 (fin-type field-effect-transistor, finFET) 區域。半導體裝置亦包含兩相鄰閘極結構形成於兩相鄰鰭狀結構上方，且兩相鄰鰭狀結構包含結晶的含矽材料。部分的兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置還包含由兩相鄰閘極結構所共用之源極與汲極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。

【0006】 在另外一些實施方式中，提供一種半導體裝置。所述半導體裝置包含具有鰭式場效電晶體 (fin-type field-effect-transistor, finFET) 區域的基板，以及形成於兩相鄰鰭狀結構上方的兩相鄰閘極結構。兩相鄰鰭狀結構包含結晶的含矽材料，且部分之兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置亦包含同時為兩相鄰閘極結構之源極與汲

極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。源極與汲極區域中延伸過兩相鄰閘極結構之間的隔離結構，且源極與汲極區域中沒有隔離結構。

【0007】 在又一些實施方式中，提供一種形成鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置的方法。所述方法包含提供具有複數個鰭狀結構以及複數個閘極結構之基板，且複數個閘極結構形成於鰭狀結構上方，其中複數個隔離結構形成於鰭狀結構之間。所述方法亦包含使鰭狀結構的暴露部分凹陷，且移除隔離結構之介電材料，並進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於部分之半導體層上，以非晶化部分之半導體層。所述方法還包含進行退火製程以重新結晶半導體層的非晶化部分，並成長磊晶含矽材料於半導體層的重新結晶化部份上，以形成鰭式場效電晶體裝置的源極與汲極區域。

【圖式簡單說明】

【0008】 細讀以下詳細敘述並搭配對應之圖式，可瞭解到本揭露之多個態樣。須注意的是，圖式中的多個特徵並未依照該業界領域之標準作法繪製實際比例。事實上，爲了討論的清楚，所述之特徵的尺寸可以任意的增加或減少。

第 1A 圖係根據一些實施方式之半導體裝置結構的一實施例的立體圖。

第 1B 圖係根據一些實施方式繪示電晶體區域的上視圖。

第 2 圖係根據一些實施方式繪示形成差排於鰭式場效電晶體

裝置的源極和汲極區域中的連續製作流程。

第 3A-3H 圖係根據一些實施方式繪示第 2 圖的連續製作流程中的電晶體區域之剖面圖。

第 3I 圖係根據一些實施方式繪示第 3A 圖以及第 3B 圖的電晶體區域的立體圖。

第 3J 圖係根據一些實施方式繪示第 3G 圖以及第 3H 圖的電晶體區域的立體圖。

第 4 圖係根據一些實施方式繪示形成差排於 finFET 裝置的源極和汲極區域中的連續製作流程。

第 5A-5J 圖係根據一些實施方式繪示第 4 圖的連續製作流程中的電晶體區域之剖面圖。

第 5K 圖係根據一些實施方式繪示第 5I 圖以及第 5J 圖的電晶體區域的立體圖。

【實施方式】

【0009】 應瞭解的是，以下本揭露將提供許多個不同的實施方式或實施例以實現本揭露之多個特徵。許多元件與設置將以特定實施例在以下說明，以簡化本揭露。當然這些實施例僅用以示例而不應用以限制本揭露。此外，敘述「第一特徵形成於第二特徵上」包含多種實施方式，其中涵蓋第一特徵與第二特徵直接接觸，以及額外的特徵形成於第一特徵與第二特徵之間而使兩者不直接接觸。爲了清楚與簡化起見，各種特徵可以不同的比例任意繪示。此外，於各式各樣的實施例中，本揭露可能會重複標號以及/或標註字母。此重複是爲了簡化並清楚說明，而非意圖表明這些討論的各種實施方式以及/或配置之

間的關係。應瞭解的是，儘管本文中沒有明確描述，然本領域技術人員應能夠設計出體現本揭露原理的各種均等物。

【0010】 還應注意的是，本揭露展示實施例的形式為多閘極電晶體或鰭式多閘極電晶體，在本文中稱為鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置。此種裝置可包含p型金氧半導體(p-type metal oxide semiconductor, PMOS)finFET裝置或n型金氧半導體(n-type metal-oxide-semiconductor, NMOS)finFET裝置。finFET裝置可以是雙閘極裝置、三閘極裝置及/或其他配置。finFET裝置可包含於積體電路(IC)中，例如微處理器、記憶裝置及/或其他積體電路(IC)。本技術領域中具有通常知識者可瞭解的是其他半導體裝置之實施例亦可使用本揭露之裝置。

【0011】 如上所述，應變源/汲極特徵(例如應力源區域)來增加載子遷移率以及裝置效能已經實現。應力使得半導體晶格變形或應變，影響到了半導體的能帶排列以及電荷傳輸特性。藉由控制成品裝置內部的應力大小與分佈，製造者可增加載子遷移率並改善裝置效能。在源極與汲極區域中的差排(dislocation)應變電晶體區域中的半導體晶格。因此，形成差排可改善載子遷移率以及改善裝置效能。finFET裝置具有三維(3D)的閘極介電層並利用多個鰭去形成源極與汲極區域。在finFET裝置的源極與汲極區域形成差排具有獨特的挑戰，在平面的裝置中是不會發生的。

【0012】 第1A圖係繪示根據多個實施方式之半導體裝置結構100的示意圖。半導體裝置結構100包含finFET裝置結

構。半導體裝置結構100包含基板102、複數個鰭104、複數個隔離結構106以及設置於各個鰭104上的閘極結構108。閘極結構108可包含閘極介電層115、閘極電極層117及/或一或多個其他層。遮罩層120於閘極電極層117上方。硬式遮罩層120藉由例如蝕刻，以圖案化閘極電極層117。在一些實施方式中，遮罩層120可由介電材料所製成，例如氧化矽。第1A圖之示意圖係繪示閘極結構108之圖案化(或形成)製程後的結果。第1A圖只繪示一個閘極介電層108。其他的閘極結構(未繪示)可相似且平行於第1A圖所示之閘極結構108。第1A圖繪示兩個鰭104。在一些實施方式中，鰭104之數目介於2至30之間。

【0013】 各個鰭104包含閘極區域110_s以及汲極區域110_d，其中源極以及汲極特徵形成於鰭狀結構104中、上及/或周圍。鰭104之通道區域112位於閘極結構108下方。如第1A圖所示，鰭狀結構104之通道區域112具有長度(閘極長度)L以及寬度(閘極寬度)W。在一些實施方式中，長度(閘極長度)L在約10奈米至約30奈米的範圍內。在一些實施方式中，寬度(閘極寬度)W在約10奈米至約20奈米的範圍內。閘極結構108之高度(閘極高度)H_G，由鰭狀結構104的上方量測至閘極結構108的上方，約在50奈米至約80奈米的範圍內。在一些實施方式中，鰭狀結構104的高度(鰭高)H_F，由隔離結構106的上方量測至鰭狀結構104的上方，約在25奈米至約35奈米的範圍內。

【0014】 基板102可為矽基板。或者，基板102可包含其他基本的半導體，例如鍺；包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮的化合物半導體；包含矽鍺、磷砷化

鎔、砷化銮鋁、砷化鎔鋁、砷化銮鎔、磷化銮鎔及/或砷磷化鎔銮的合金半導體；或上述之組合。在一實施方式中，基板102可為半導體在絕緣層上(semiconductor on insulator, SOI)的結構。

【0015】 隔離結構106可為介電材料所製成，其可由氧化矽、氮化矽、氮氧化矽、摻氟矽酸鹽玻璃(fluoride-doped silicate glass, FSG)、低介電常數介電材料及/或其他適合的絕緣材料。隔離結構106可具有淺溝槽隔離區(shallow trench isolation, STI)特徵。在一實施方式中，隔離結構106係有STI特徵且藉由蝕刻基板102中的溝槽形成。溝槽可接著填補絕緣材料，並進行化學機械研磨(Chemical mechanical polishing, CMP)。其他隔離結構106及/或鰭狀結構104的製造技術也是可能的。隔離結構106可包含多層結構，例如具有一或多個襯墊層。隔離結構106中的頂表面之高度118以及底表面之高度119係標示於第1A圖中。

【0016】 鰭104可提供形成一或多個裝置的主動區域。在一實施方式中，電晶體裝置的通道區域112形成於鰭104中。鰭104可包含矽或其他基本的半導體，例如鍺；包含碳化矽、砷化鎔、磷化鎔、磷化銮、砷化銮及/或銻化銮的化合物半導體；包含矽鍺、磷砷化鎔、砷化銮鋁、砷化鎔鋁、砷化銮鎔、磷化銮鎔及/或砷磷化鎔銮的合金半導體；或上述之組合。鰭104可藉由適當的製程製造，包含在半導體層103中進行光微影以及蝕刻製程。半導體層103與鰭104可由相同的材料製成。事實上，鰭104可藉由蝕刻半導體層103形成。在一些實

施方式中，半導體層103為一部分的基板102。光微影製程可包含在基板(如矽基層上)形成光阻層(抗蝕劑)，暴露抗蝕劑以圖案化，並進行暴露後烘烤製程，以及顯影抗蝕劑以形成包含抗蝕劑的遮罩元件。遮罩元件可接著在蝕刻製程中，於隔離結構106形成凹陷時用以保護基板之區域，而留下突出的鰭。凹陷可使用反應離子蝕刻(reactive ion etch, RIE)及/或其他適合的製程蝕刻而成。亦可適用多個其他實施方式的方法形成基板102上的鰭104。

【0017】 閘極結構108可包含閘極介電層115，閘極電極層117及/或一或多個其他層。在一實施方式中，閘極結構108為犧牲閘極結構，例如形成於閘極替換製程以形成金屬閘極結構。在一實施方式中，閘極結構108包含多晶矽層(如閘極電極層117)。

【0018】 閘極結構108的閘極介電層115可包含二氧化矽。氧化矽可藉由適當的氧化及/或沉積方式形成。或者，閘極結構108之閘極介電層可包含高介電常數介電層，例如二氧化鈦(HfO_2)。或者，高介電常數介電層可選擇性的包含其他高介電材料，例如二氧化鈦(TiO_2)、氧化鈦鋅(HfZrO)、氧化鋇(Ta_2O_3)、鈦矽氧化物(HfSiO_4)、二氧化鋇(ZrO_2)、矽酸鋇(ZrSiO_2)、以上之組合或其他適合的材料。高介電常數介電材料可藉由原子層沉積(atomic layer deposition, ALD)及/或其他適當的方法形成。

【0019】 在一實施方式中，閘極結構108可為金屬閘極結構。金屬閘極結構可包含介面層、閘極介電層、功函數層、填

充金屬層及/或其他作為金屬閘極結構的適當材料。在其他實施方式中，金屬閘極結構108可更包含覆蓋蝕刻停止層及/或其他適當的材料。介面層可包含介電材料，如氧化矽(SiO_2)或氮氧化矽(SiON)。介面層可藉由化學氧化、熱氧化、原子層沉積(ALD)、化學氣相沉積(CVD)及/或其他適當的成形製程。

【0020】 包含於閘極結構108之P型功函數金屬之示例可包含氮化鈦(TiN)、氮化鉭(TaN)、鈦(Ru)、鉬(Mo)、鋁(Al)、氮化鎢(WN)、二矽化鋯(ZrSi_2)、二矽化鉬(MoSi_2)、二矽化鉭(TaSi_2)、二矽化鎳(NiSi_2)、氮化鎢(WN)、其他適當的P型功函數材料或上述之組合。包含於閘極結構108之N型功函數金屬之示例可包含鈦(Ti)、銀(Ag)、鋁化鉭(TaAl)、碳化鋁鉭(TaAlC)、鉭化鋁鈦(TiAlN)、碳化鉭(TaC)、氮碳化鉭(TaCN)、氮矽化鉭(TaSiN)、錳(Mn)、鋯(Zr)、其他適當的N型功函數材料或上述之組合。功函數值與功函數層的材料組成有關，因此選擇第一功函數層的材料以調整其功函數值，以達到形成於各別區域之裝置所預期的臨界電壓 V_t 。功函數層可藉由化學氣相沉積(CVD)、物理氣相沉積(PVD)及/或其他適當的製程沉積形成。金屬填充層可包含鋁(Al)、鎢(W)或銅(Cu)及/或其他適當的材料。金屬填充層可藉由化學氣相沉積(CVD)、物理氣相沉積(PVD)、電鍍及/或其他適當的製程而形成。金屬填充層可沉積於功函數金屬層上方，因而填充於藉由移除偽閘極結構而形成的溝槽或開口中的剩餘部份。

【0021】 上述之半導體裝置結構100包含鰭104以及閘極結構108。半導體裝置結構100需要其他的製程以形成電晶體

所利用之結構 100 的各種特徵，如汲極輕摻雜 (lightly-doped-drain, LDD) 區域以及摻雜源極/汲極區域。LDD 區域鄰接通道區域且位於隔離物下方。LDD 之用語係用以形容鄰接於源極與汲極區域之輕摻雜區域。

【0022】 第1B圖係根據多個實施方式，於第1A圖之其中一個鰭104一同形成之電晶體區域150之上視圖，其為沿著與隔離結構106之頂表面之高度118所延伸之平面。電晶體區域150包含源極區域110_s以及汲極區域110_D。

【0023】 電晶體區域150亦包含通道區域112。通道區域112係為鰭104之一部分且如第1A圖所示，閘極結構108環繞通道區域112的三個邊。通道區域112具有長度(閘極長度) L 以及寬度(閘極寬度) W 。電晶體區域150亦包含閘極介電層115以及閘極電極層117。第1B圖繪示介於源極區域110_s與通道區域112之間以及介於汲極區域110_D與通道區域112之間的LDD區域113。LDD區域具有寬度 W 以及長度 L_s ，長度 L_s 係由間隔物111之寬度所界定。第1B圖藉由虛線繪示另外一個閘極結構108。第1A圖所沒有繪示之所述另一個閘極結構108係相似且平行於上述之閘極結構108。在一些實施方式中， L_s 介於約5奈米至約10奈米的範圍。

【0024】 第2圖係根據多個實施方式繪示於finFET裝置的源極與汲極區域形成差排的連續流程200。第3A圖至第3H圖係根據多個實施方式繪示第2圖之連續流程中的電晶體區域的剖面圖。以下所述之製作順序以及結構主要是為了n型finFET裝置。然而，以下所述之至少部分實施方式也可以應用於p型

finFET裝置。

【0025】 流程200起始於操作201，如第1A圖所示，提供具有鰭以及閘極結構之基板。基板經過各種製造過程以形成所述結構，如鰭104、隔離結構106以及閘極結構108。隔離物(未繪示)形成於操作202。在操作203中，使源極與汲極區域110_D以及110_S凹陷，且接著藉由蝕刻移除介於源極與汲極區域之間的隔離結構106之介電材料。然而，位於閘極層117與間隔物111下方的隔離結構106之介電材料並未被移除。

【0026】 流程200接著繼續至操作205，進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於基板上。流程200接著繼續至操作206，沉積應力膜於基板上。接著，在操作208中，進行退火製程於基板上。差排於退火製程的過程中形成。如上所述，應變源/汲極特徵(例如應力源區域)來增加載子遷移率且改善裝置效能已可實現。以下將描述差排的詳細形成過程。如果可以的話，應力膜於操作210中移除。在操作212中，於基板上進行磊晶成長以形成源極以及汲極區域。在一些實施方式中，操作206以及208並非必要且並沒有沉積應力膜。

【0027】 第3A至第3H圖為根據多個實施方式形成finFET結構的源極與汲極區域的中間步驟的剖面圖。如上所述，間隔物111形成於操作202中。間隔物111可包含沉積的間隔層116，用以提供偏移。因此，此間隔層亦可稱為偏移間隔層116。在一些實施方式中，間隔物111亦可包含其他間隔層，此間隔層可稱為主要間隔層125。在一些實施方式中，偏移間

隔層116具有約3奈米至約10奈米範圍的厚度。偏移間隔層116可由介電材料所製成，例如氮氧化矽(SiON)、氮化矽(SiN)、碳摻雜氮化矽(SiCN)或碳摻雜氮氧化矽(SiOCN)。在一些實施方式中，LDD摻雜係於偏移間隔116形成後進行。

【0028】 在一些實施方式中，主要間隔層具有約5奈米至約10奈米範圍的厚度。主要間隔層125可由介電材料所製成，例如氮氧化矽(SiON)、氮化矽(SiN)、碳摻雜氮化矽(SiCN)。SiCN相較於SiN或SiON在對抗蝕刻液，例如磷酸(H₃PO₄)與氫氟酸(HF)時，具有相對低的蝕刻速率。在一些實施方式中，沉積製程為電漿強化化學氣相沉積(plasma-enhanced chemical vapor deposition, PECVD)製程。其他適合的沉積製程亦可使用。在一些實施方式中，各個間隔物111具有寬度約於5奈米至約10奈米的範圍。

【0029】 間隔物111形成後，藉由操作203中的蝕刻製程，使n型裝置的源極和汲極區域凹陷。可利用一或多個蝕刻製程使得源極和汲極區域凹陷。蝕刻製程可包含乾式蝕刻，如電漿蝕刻製程，濕式蝕刻或者上述兩種的組合。在一些實施方式中，乾式蝕刻用以形成凹陷。舉例而言，蝕刻液如四氟化碳(CF₄)、氫氟酸(HF)、四甲基氫氧化銨(TMAH)或上述之組合，或者可用以進行濕式蝕刻的類似物以形成凹陷。在一些實施方式中，形成約有50埃的厚度之氮化矽(SiN)層可用以近接式控制凹陷。

【0030】 在使n型裝置的源極區域和汲極區域凹陷前，光微影製程中可利用光阻劑覆蓋基板102之其他區域，例如p型

裝置區域，以避免被蝕刻。因此，在蝕刻製程之後且下一個操作之前，需要有移除光阻劑的製程。其他的清除製程也可用來確保沒有殘餘的光阻劑餘留在基板102上。

【0031】 在n型裝置的源極和汲極區域凹陷後，藉由蝕刻以曝光環繞於隔離結構106下方之半導體層103以移除鄰接於凹陷的源極和汲極區域之隔離結構106的介電材料。在一些實施方式中，蝕刻製程為離子(乾式)蝕刻製程。在隔離結構106之介電材料蝕刻前，包含有光阻的圖案化製程。圖案化的光阻層保護不是介電材料之移除目標的區域，如p型裝置區域和沒有鄰接N型裝置的源極和汲極區域之STI結構。藉由移除隔離結構106中的隔離介電材料(或者移除隔離結構106)，以下將會描述可有附加區域以相繼形成差排於源極和汲極區域中。在蝕刻製程之後且下一個操作之前，需要有光阻移除製程。其他的清除製程也可用來確保沒有殘餘的光阻劑餘留在基板上。

【0032】 第3A圖與第3B圖為根據多個實施方式形成凹陷127後且移除隔離結構106中的介電材料並使鰭104凹陷後，電晶體區域150之剖面圖。如上所述，在第2圖之操作203中，移除隔離結構106之介電材料且使鰭104凹陷。第3A圖繪示兩相鄰之閘極結構108。如上所述，可具有類似且平行於第1A圖所示之閘極結構108的其他閘極結構。第3A圖繪示形成於其中一個鰭104上方且被凹陷127所分離之兩相鄰的閘極結構108，其中凹陷127可藉由蝕刻第1A圖所示之源極/汲極區域110_D以及110_S而形成。為了簡單敘述，我們指定凹陷127為凹陷的汲極區域110_D。各個閘極結構108包含閘極電極層117以及閘極介

電層115。根據一些實施方式，硬式遮罩層120形成於閘極電極層117上方。硬式遮罩層120用以輔助閘極結構108之圖案化。在一些實施方式中，硬式遮罩層120的厚度 H_1 介於約70奈米至約100奈米的厚度之間。閘極電極層117的厚度 H_2 介於約80奈米至約100奈米的厚度之間。閘極介電層115的厚度 H_1 介於約2奈米至約3奈米的厚度之間。第1B圖示的通道長度 L 與閘極結構108之閘極電極層117的寬度相同。直接位於閘極結構108下方的通道區域112亦標註於第3A圖中。虛線118指的是隔離結構106的頂表面之高度，而另一個虛線119指的是隔離結構106的底表面之高度。

【0033】 第3A圖係繪示間隔物111形成於下一個閘極結構108。根據一些實施方式，各間隔物111包含偏移間隔層116以及主間隔層125。在相鄰閘極結構108之間有凹陷127。在一些實施方式中，凹陷127之深度 H_R 在隔離結構106的頂表面(高度118)下方約5奈米至約20奈米的範圍。凹陷127的底表面121係標示於第3A圖中。凹陷127的底表面121在隔離結構106的底表面下方(標示為高度119)。

【0034】 第3B圖係根據第1A圖所繪示之切線132之電晶體區域150的剖面圖。第3B圖繪示之凹陷127係被鰭104(標示為104₀)以及隔離結構106(標示為106₀)所佔據。鰭104之邊界係由虛線105所標示。指示隔離結構106的頂表面之高度的虛線118，以及指示隔離結構106的底表面之高度的虛線119亦繪示於第3A圖中。凹陷127的底表面121標示於第3A圖中。凹陷127的底表面在隔離結構的底表面119之水平下方。第3B圖繪

示兩個鰭104被移除。在一些實施方式中，移除的鰭之數目介於2至30個的範圍之間。

【0035】 第3I圖根據一些實施方式繪示第3A圖與第3B圖之電晶體區域150的立體圖。第3I圖繪示已經凹陷的鰭104。此外，相鄰的隔離結構106之介電材料已被移除，且位於隔離結構106下方之部分的半導體層103亦被移除。凹陷127包含用以被鰭104以及隔離結構106所佔據的區域。此外，凹陷127亦包含已經被蝕刻的部分半導體層103。因為在蝕刻的過程中，間隔物111可保護隔離結構106以及鰭104，所以第3I圖亦繪示被間隔物111所覆蓋而沒有被移除且餘留於基板102上方的部分之隔離結構106以及鰭狀結構104。第3I圖繪示凹陷127之底表面121。

【0036】 請參考第2圖，預先非晶化佈植(pre-amorphization implantation, PAI)製程於操作205進行。如第3C圖以及第3D圖所示，根據一些實施方式，PAI製程230佈植一些佈植物於基板102上方所暴露之表面。佈植的佈植物損害開口106₀下方所殘餘的鰭104以及半導體層103之晶格結構以形成非晶化(或非晶的)區域232。在一些實施方式中，佈植的佈植物於半導體層103中散開。散開的佈植物造成橫向的非晶化，導致延伸至間隔物111下方的非晶化區域232。在一些實施方式中，非晶化區域232形成於電晶體區域150之源極以及汲極區域中，且不會延伸至閘極結構108的中心線226下方。非晶化區域232在半導體層103之頂表面128下方具有深度234，頂表面128正好鄰接於閘極介電層115。深度

234根據設計規格形成。在一些實施方式中，深度234介於約15奈米至約60奈米的範圍。在一些實施方式中，深度234少於約100奈米。

【0037】 第3D圖繪示延伸至用以填補介電材料的開口106₀下方之非晶化區域232。藉由移除隔離結構106的介電材料，可暴露下方的半導體層103以非晶化。因此，相較於尚未移除隔離結構106之介電材料時，非晶化區域232更為擴張。擴張的非晶化區域232可協助差排的形成。否則，差排在初始階段會侷限於鰭104中。研究顯示差排可能不會如在平面裝置中一般所預期的形成或延展。更詳細的差排之形成將在以下說明。

【0038】 在一些實施方式中，因為閘極間隔物111作用為將PAI製程230的佈植能量遠離閘極結構108的中心線226聚集，所以非晶化深度234可藉由閘極間隔物111之深度所控制，藉以允許更深的非晶化深度234。此外，非晶化深度234可藉由PAI製程230的參數所控制，例如佈植能量，佈植的佈植物以及佈植的劑量等。根據一些實施方式，PAI製程230佈植矽(Si)或鍺(Ge)於基板半導體層103。在一些實施方式中，使用其他比矽重的佈植物。例如，在一些實施方式中，PAI製程230使用其他佈植物，如氬(Ar)、氙(Xe)、砷(As)、磷(P)、銦(In)、其他適合的佈植物或上述之組合。在一些實施方式中，PAI製程230佈植佈植物的佈植能量於約20 KeV至約40 KeV的範圍。在一些實施方式中，根據佈植溫度，PAI製程230佈植佈植物的劑量在約 7×10^{14} 原子/cm²至約 1.5×10^{15} 原子

/cm²的範圍。較低的佈植溫度提高佈植非晶化的效率。在一些實施方式中，佈植的溫度在約-100 °C至約25 °C(或室溫)的範圍。

【0039】 在一些實施方式中，使用圖案化的光阻層來限定非晶化區域232的形成位置並保護基板102的其他區域免受佈植損壞，例如保護PMOS區域。另外，圖案化的光阻層暴露n型金氧半場效電晶體(NMOSFET)區域的源極/汲極區域，使得源極/汲極區域暴露於PAI製程230當中(形成非晶化區域232)。或者，使用如氮化矽(SiN)或氮氧化矽(SiON)之圖案化的硬式遮罩層來界定非晶化區域。在一些實施方式中，圖案化的光阻層或圖案化的硬式遮罩層為現行製程的一部分，例如輕摻雜(lightly-doped-drain, LDD)或源極/汲極的形成，因此PAI製程230不需要額外的光阻層或硬式遮罩層，藉以減少成本。在PAI製程進行之後，移除基板102上方的光阻。

【0040】 流程200接著選擇性的進行至操作206，其中應力膜沉積於基板上。參考第3E圖與第3F圖，在一些實施方式中，應力膜240選擇性的沉積於基板102上方。第3E圖繪示應力膜240沉積於具有間隔物111的閘極結構108上方。在一些實施方式中，應力膜240藉由原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、高密度電漿化學氣相沉積(HDPCVD)、其他適合的方法及/或上述之組合所形成。在一些實施方式中，應力膜240包含介電材料，例如氮化矽、氧化矽、氮氧化矽、其他適合的材料及/或上述之組合。應力膜240具有拉伸的應力，其會影響重結晶的過程。例如，應力膜240

可減緩源極和汲極區域在[110]結晶方向上的成長速率。在一些實施方式中，沒有使用應力膜240。在一些實施方式中，應力膜240的厚度介於約5奈米至約20奈米的範圍。在一些實施方式中，應力膜240介於0.8 GPa至約2.0 GPa的範圍之間。在一些實施方式中，應力膜240是可拉伸的且提供源極/汲極區域壓縮應力。

【0041】 接著，在操作208中，於基板上進行退火製程。仍參考第3E圖以及第3F圖，在操作208中，退火製程250在基板102上進行。退火製程250導致非晶化區域232重結晶，形成應力源區域252。此製程通常被稱為固相磊晶重長(solid-phase epitaxy regrowth, SPER)，因此稱應力源區域252為epi區域。根據一些實施方式，應力源區域252包含磊晶磷化矽(SiP)、磊晶碳磷化矽(SiCP)或磊晶矽(Si)，或者上述之組合。碳化矽(SiC)代表含碳的矽，而碳磷化矽(SiCP)代表含碳及磷的矽。在一些實施方式中，碳濃度少於大約3原子百分比。在一些實施方式中，磷濃度介於約 $5E19\text{ 1/cm}^3$ 至約 $5E21\text{ 1/cm}^3$ 之間。應力源區域的佈植劑於沉積的過程中佈植於層之中(或內佈植)。在一些實施方式中，應力源區域252包含具有不同佈植劑的磊晶層。在一些實施方式中，磊晶層包含磷濃度介於約 $1E20\text{ 1/cm}^3$ 至約 $7E20\text{ 1/cm}^3$ 且厚度介於約4奈米至約10奈米的磷化矽(SiP)層於另一個磷濃度介於約 $1E21\text{ 1/cm}^3$ 至約 $3E21\text{ 1/cm}^3$ 的範圍之間的磷化矽(SiP)層上方。在一些實施方式中，磊晶層包含厚度介於約4奈米至約10奈米的範圍且碳濃度少於約1%、磷濃度介於約 $1E20\text{ 1/cm}^3$ 至約 $7E20\text{ 1/cm}^3$ 的範

圍之間的碳磷化矽(SiCP)層於另一個磷濃度介於約 $1 \times 10^{21} \text{ 1/cm}^3$ 至約 $3 \times 10^{21} \text{ 1/cm}^3$ 的範圍的磷化矽(SiP)層。在一些實施方式中，應力源區域252的表面層為矽層以避免於相繼製程中磷的流失。

【0042】 在一些實施方式中，鑒於碳的尺寸相較於矽小，碳摻入矽膜可製造碳化矽(SiC)應力源，其係壓縮性地且提供拉伸應變至N型金氧半(NMOS)電晶體之通道區域。此外，在一些實施方式中，壓縮膜應力於應力源區域中幫助夾斷點的生成。在一些實施方式中，摻雜磷以降低源極和汲極區域的電阻。可加入碳以阻止磷的外擴。

【0043】 在一些實施方式中，退火製程250為微波退火(microwave annealing, MWA)製程、快速熱退火(rapid thermal annealing, RTA)製程、毫秒熱退火(millisecond annealing, MSA)製程(例如，毫秒雷射熱退火製程)或微秒熱退火(microsecond annealing, μ SA)製程。在一些實施方式中，退火製程包含預熱操作，以減少甚至消除末端損傷(end of range, EOR)缺陷，其係為非晶/結晶介面所遺留的缺陷。根據一些實施方式，預熱操作於約 200°C 至約 700°C 的溫度間進行。在一些實施方式中，預熱操作於約10秒至約10分鐘的範圍之間進行。

【0044】 以先進組件製造而言，由於高溫處理在所述製程操作中是禁止的，因此使用MWA製程為主要的退火製程。MWA製程可調整以局部地增加特定結構、層或區域的溫度，如非晶化區域232，至相較於基板或其他周圍結構、層或區域

更高的溫度。舉例而言，非晶化區域232具有佈植物且結晶結構不同於周圍的半導體層103以及基板102。因此，非晶化區域232可藉由微波加熱至比半導體層103以及基板102更的溫度。局部地高溫可由微波下的電子極化及/或界面極化機制造成。目標層之局部溫度高於基板。在一些實施方式中，溫度差在約200°C至約500°C的範圍。因此，MWA製程的溫度(於基板上量測)可被設置於較低的值。在一些實施方式中，MWA製程在約400°C至約600°C的範圍。在一些實施方式中，基板的溫度在電子極化機制的第二階段期間約在300°C至約500°C的範圍。在一些實施方式中，基板溫度在界面極化機制的第二階段期間約在500°C至約600°C的範圍。在一些實施方式中，MWA製程的時間約在1分鐘至約3分鐘的範圍。如果使用MWA製程，預熱操作的溫度可維持在製程過程所需要的範圍內。

【0045】 或者，有其他退火製程的種類。在一些實施方式中，退火製程250的主要退火在約800°C至約1400°C的範圍進行。在一些實施方式中，依據退火製程的種類以及使用的溫度，退火製程250的主要退火在約1毫秒至約5小時的範圍之間進行。例如，預熱操作在約550°C的溫度且進行約180秒。在一些實施方式中，如果退火製程250為RTA製程，主要退火溫度相同或大於約950°C且進行的期間約0.5秒至約5秒的範圍。在一些實施方式中，如果退火製程250為MSA製程。主要退火溫度升高至矽的熔點，約1400°C且進行約幾個毫秒或更少，例如約0.8毫秒至約100毫秒。

【0046】 在退火製程250的期間，當應力源區域252重結晶時，差排260形成於應力源區域252中。如上所述，第3B圖根據第1A圖之切線132繪示電晶體區域150之剖面圖。第3F圖繪示第3B圖所延伸的剖面圖。如第3F圖所示，根據一些實施方式，第3F圖(平行於切線132或切線131)之半導體層103所暴露的表面具有[100]的結晶取向且所述半導體層103p之結晶取向垂直於[110]之切線132。如上所述，在第3D圖中，藉由移除隔離結構106之介電材料，而暴露下方之半導體層103以非晶化。因此，當隔離結構106之介電材料沒有移除時，非晶化區域232較為擴張。在退火製程250期間，擴張的非晶化區域232增加了差排(或夾斷點262)起始的區域之尺寸。在一些實施方式中，差排260形成於[111]的方向上。如第3E圖與第3F圖所示，在一些實施方式中，以半導體層103(或基板102的表面)之頂表面128平行的[110]為準量測角度，[111]的方向具有角度 θ 介於約45度至約65度之間。第3E圖中的半導體層103所暴露的表面(平行於切線131)具有結晶取向[110]。夾斷點262位於凹陷127的底表面121下方。

【0047】 差排260之形成起始於夾斷點262。在一些實施方式中，夾斷點262形成於應力源區域252中，位於約10奈米至約30 奈米範圍之深度 H_D ，其中深度 H_D 由隔離結構106的底表面119開始量測。夾斷點262具有水平緩衝264以及垂直緩衝266。水平緩衝264以及垂直緩衝266從非晶化區域232的邊界開始量測，且由第3C、3E與3F圖中的虛線所標示。水平緩衝264以及垂直緩衝266根據設計規格所形成且被退火製程250

所影響。在一些實施方式中，夾斷點262具有約8奈米至約38奈米範圍的水平緩衝264，以及約10奈米至約40奈米範圍的垂直緩衝266。在一些實施方式中，夾斷點262形成且夾斷點262沒有設置於通道區域內。第3F圖繪示差排260的剖面圖，其係由位於底表面121下方的虛線所表示。

【0048】 如第2圖中所述，在退火製程250過後，於操作210中移除應力膜240。在一些實施方式中，NMOS裝置之各個閘極間隔物111之至少一部分亦被移除。應力膜240以及閘極間隔物111移除的部分藉由蝕刻製程移除。在一些實施方式中，蝕刻製程可由濕式蝕刻進行，如藉由磷酸或氫氟酸，或藉由乾式蝕刻以及濕式蝕刻的組合。在一些實施方式中，上述進行PAI製程的處理程序、應力膜的形成、退火以及應力膜的移除係重覆多次以製造出多個差排。關於多個差排於應力源區域252的細節可在美國專利申請號13/177,309號中找到(代理人案號為TSM11-0091)，於2011年7月6日提申，標題為「A Semiconductor Device with a Dislocation Structure and Method of Forming the Same」，在此引用作為本說明書的揭示內容。

【0049】 接著，如第3G圖以及第3H圖所示，含矽磊晶結構285形成於各個凹陷127中，根據一些實施方式，第2圖中的操作212形成源極以及汲極區域。含矽磊晶結構285用以作為電晶體區域150中的裝置之源極以及汲極結構。在一些實施方式中，含矽磊晶結構285藉由進行磊晶沉積製程以形成含矽磊晶材料。在一些實施方式中，含矽磊晶材料(應力誘導材料)包

含碳化矽(SiC)、碳磷化矽(SiCP)、磷化矽(SiP)或其他可產生拉伸應變於電晶體通道區域的材料。在一些實施方式中，含矽材料藉由利用含矽前體物形成。例如，在一些實施方式中，氣體如矽甲烷(SiH₄)、乙矽烷(Si₂H₆)、丙矽烷(Si₃H₈)、二氯矽烷(SiH₂Cl₂)等，係用以形成含碳化矽(SiC)磊晶材料於結構285中。在一些實施方式中，含磷氣體，如磷化氫(PH₃)，係用以形成磷化矽(SiP)磊晶材料或者與含碳氣體形成碳磷化矽(SiCP)。在其他形成P型電晶體的實施方式中，含矽磊晶材料包含任何材料，例如製造壓縮應變於電晶體通道區域上的矽鍺(SiGe)。

【0050】 在一些實施方式中，含矽磊晶結構285的表面286為凹陷的且大致與半導體層103的表面128以及閘極結構108同個高度或者更高。因為在[100]與[111]的結晶取向之生長速率的差異，表面286為凹陷的。在一些實施方式中，表面286具有之高度達到基板表面223上方約30奈米。如第3G圖所示，根據一些實施方式，因為含矽磊晶結構285亦為磊晶的，差排260於結構285中延續。隨著差排260的生長，磊晶結構285成為部分的應力源區域252，其即為源極和汲極區域。

【0051】 第3J圖係根據一些實施方式繪示第3G圖以及第3H圖的電晶體區域150的立體圖。第3J圖繪示含矽磊晶結構285形成於第3I圖的凹陷127中。部分的磊晶結構285突出於相鄰之半導體層103上方。凹陷127的底表面121亦標註於第3J圖中。第3J圖亦繪示差排262的剖面圖，其係以底表面121下方的虛線表示之。

【0052】 在一些實施方式中，含矽結晶材料藉由化學氣相沉積(CVD)形成，例如低壓化學氣相沉積(low pressure CVD, LPCVD)、原子層化學氣相沉積(atomic layer CVD, ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum CVD, UHVCVD)、減壓化學氣相沉積(reduced pressure CVD, RPCVD)、任何適合的CVD、分子束磊晶(molecular beam epitaxy, MBE)製程、任何適合的磊晶製程或上述的組合。在一些實施方式中，含矽磊晶材料的沉積具有約750°C或更低的沉積溫度。在其他實施方式中，蝕刻溫度介於約500°C至約750°C的範圍。在一些實施方式中，沉積製程的壓力介於約50托(Torr)至約600托之間。

【0053】 又或者，含矽磊晶材料藉由進行週期性沉積以及蝕刻製程形成含矽磊晶材料。例示性製程的細節於美國專利申請號13/029,378中有說明(代理人案號為TSM10-0559)，標題為「Integrated Circuits and Fabrication Methods Thereof」，提申日為2011年2月17日，在此引用作為本說明書的揭示內容。

【0054】 接著，基板102進行進一步的CMOS或MOS技術的製程以形成多樣的特徵，以完成裝置區域150中的裝置結構以及內連接結構的形成。在一實施方式中，閘極堆疊包含多晶矽於最終產物中。在另一實施方式中，進行閘極置換製程(或後閘極製程)，其中閘極電極117置換為金屬閘極。金屬閘極包含線性層、功函數層、導電層、金屬閘極層、填充層、其他適合的層及/或上述之組合。各式的層中可包含任何適當的材

料，例如鋁、銅、鎢、鈦、鉭、鋁化鉭、氮化鉭鋁、氮化鈦、氮化鉭、矽化鎢、矽化鈷、銀、碳化鉭(TaC)、鉭矽氮(TaSiN)、碳氮化鉭(TACN)、鋁化鉭(TiAl)、氮化鈦鋁(TiAlN)、氮化鎢(WN)、金屬合金、其他適合的材料、及/或上述之組合。

【0055】 在一些實施方式中，後續的製程還形成各式的接觸點/孔/線以及多層的內連接特徵(例如，金屬層以及層間介電層)於基板102上方，用以連接各種特徵或結構。在一些實施方式中，附加的特徵提供電性連接至裝置。例如，多層內連接包含垂直的內連接，如傳統的孔或接觸點，以及水平的內連接，例如金屬線。在一些實施方式中，各式的內連接特徵實現各式的導電材料，如銅、鎢及/或矽化物。在一實施方式中，鑲嵌及/或雙嵌製程用以形成與銅相關的多層內連接之結構。

【0056】 在以上第3A至3H圖中描述之源極和汲極區域中形成差排的機制使得差排一致並且可靠的形成，以施加拉伸應力於通道區域中。

【0057】 第2圖之流程200在磊晶成長(操作212)之前進行PAI製程(操作205)。或者，源極和汲極區域中的差排可藉由不同的流程形成。第4圖係根據一些實施方式繪示在finFET裝置之源極和汲極區域中形成差排的連續製作流程。第5A圖至第5J圖係根據多個實施方式繪示電晶體區域於第2圖之連續流程中的剖面圖。以下所述之製作順序以及結構主要是爲了n型finFET裝置。然而，以下所述之至少部分實施方式也可以應用於p型finFET裝置。

【0058】 流程400起始於操作401，如第1A圖所示，提供

具有鰭狀結構以及閘極結構之基板。操作401類似於操作201，且操作401所提供的結構類似於操作201所提供的結構。間隔物(未繪示)接著形成於操作402。在操作403中，使得源極和汲極區域110_D以及110_S凹陷，且接著藉由蝕刻移除介於源極和汲極區域之間的隔離結構106以暴露半導體層103。操作402以及操作403分別類似於操作202以及203。

【0059】 流程400接著繼續至操作405，於基板上進行磊晶成長以形成源極和汲極區域。流程接著進行至操作406，進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於基板上。流程200接著進行至操作407，沉積應力膜於基板上。接著，在操作408中，進行退火製程於基板上。在操作410中，移除應力膜。流程400在進行PAI製程之前進行源極和汲極區域的磊晶成長。因此，差排相較於流程200將會更接近半導體層103的表面128形成。夾斷點的位置，如標號262，會影響施加至鰭通道的拉伸應力。

【0060】 第5A至第5J圖為根據多個實施方式形成finFET結構的源極與汲極區域的中間步驟的剖面圖。因為操作401、402以及操作403分別類似於操作201、202以及203。第5A-5B圖分別類似於第3A-3B圖，對於第5A-5B圖的說明可參考第3A-3B圖的敘述。

【0061】 請參考第4圖，於操作404完成後，於基板上進行磊晶成長以形成源極以及汲極區域。磊晶成長形成含矽磊晶結構285*，含矽磊晶結構285*用以作為電晶體區域150*中的裝置之源極以及汲極結構。含矽磊晶結構285*藉由進行磊晶沉

積製程以形成含矽磊晶材料。在一些實施方式中，含矽磊晶結構285*之含矽磊晶材料類似於上述第3G圖以及第3H圖中的含矽磊晶結構285之含矽磊晶材料。然而，於含矽磊晶結構285*中，設計用以應力源極和汲極區域的差排尚未形成。

【0062】 在一些實施方式中，含矽磊晶結構285*的表面286*與半導體層103的表面128以及閘極結構108高度或者更高。在一些實施方式中，表面286*具有之高度達到表面108上方約30奈米。

【0063】 請參考第4圖，在操作405完成後，進行操作406中的預先非晶化佈植(pre-amorphization implantation, PAI)製程。如第5E圖以及第5F圖所示，根據一些實施方式，PAI製程230*佈植一些佈植物於基板102上方暴露之表面。佈植的佈植物損害含矽結構285*以及鄰接含矽結構285*的部份半導體層103之晶格結構。在一些實施方式中，佈植的佈植物於半導體層103中散開。散開的佈植物造成橫向的非晶化，導致延伸至間隔物111下方區域的非晶化區域232*(具有虛線的邊界，其接近結構285*的邊界)。非晶化區域232*形成於電晶體區域150*之源極以及汲極區域150中，且不會延伸至閘極結構108的中心線226下方。非晶化區域232*在原本的隔離結構106的頂表面118下方具有深度234*。深度234*根據設計規格形成。在一些實施方式中，距離234*介於約30奈米至約50奈米的範圍。在一些實施方式中，非晶化的深度234*少於約60奈米。在一些實施方式中，PAI製程230*以及佈植的劑量範圍類似於上述之PAI製程230。根據一些實施方式中，非晶化區

域232*的底表面以第5F圖中的虛線123標示之。

【0064】 流程400接著繼續至操作407，其中應力膜沉積於基板上。參考第5G與第5H圖，在一些實施方式中，應力膜240*沉積於基板102上方。第5G圖繪示應力膜240*沉積於具有間隔物111之閘極結構108上方。所述應力膜240*類似於上述之應力膜240。

【0065】 接著，在操作408中，於基板上進行退火製程。參考第5G圖以及第5H圖，在操作408中，退火製程250*在基板102上進行。退火製程250*導致非晶化區域232*重結晶，以形成應力源區域252*。此製程通常被稱為固相磊晶重長(solid-phase epitaxy regrowth, SPER)，因此應力源區域252*稱為epi區域。所述退火製程250*類似於上述之退火製程250。在應力源區域252*重結晶且差排形成後，應力源區域252*為非晶化區域232*。因為PAI製程230*在含矽磊晶結構285*形成之後進行，應力源區域252*(或非晶化區域232*)之深度234*少於第5E圖以及第5G圖之應力源區域252(或非晶化區域232)之深度234。

【0066】 如上所述，藉由移除隔離結構106之介電材料，而暴露下方的半導體層103以非晶化。類似於非晶化區域232，當隔離結構106之介電材料沒有移除時，非晶化區域232*較為擴張。在退火製程250*期間，擴張的非晶化區域232*增加了差排262*起始的區域之尺寸。在一些實施方式中，差排260*形成於[111]的方向上。在一些實施方式中，如第5G圖所示，以[110]為準量測角度，[111]的方向具有角度 θ^* 介於約45

度至約65度之間。

【0067】 差排260*之形成起始於夾斷點262*。在一些實施方式中，夾斷點262*形成於應力源區域252*中，在約5奈米至約20奈米範圍之深度 H_D *，其中深度 H_D *由隔離結構106的底表面119開始量測。因為PAI製程230*在含矽磊晶結構285*形成之後進行，應力源區域252*(或非晶化區域232*)之深度234*少於第5E圖以及第5G圖之應力源區域252(或非晶化區域232)之深度234。因此，所述之差排260*的深度 H_D *少於上述之差排260的深度 H_D 。

【0068】 根據一些實施方式，第5K圖繪示第5I圖與第5J圖之電晶體區域150*的立體圖。第5K圖繪示含矽磊晶結構285*形成於第3I圖中的凹陷127，第5K圖亦為第5A圖與第5B圖之立體圖。部分的磊晶結構285*突出於相鄰之半導體層103上方。凹陷127之底表面121亦標示於第5K圖中。第5K圖亦繪示差排262*之剖面圖，差排260*係藉由虛線表現之，且位於底表面121上方。

【0069】 夾斷點262*具有水平緩衝264*以及垂直緩衝266*。水平緩衝264*以及垂直緩衝266*根據設計規格所形成且被退火製程250*所影響。在一些實施方式中，夾斷點262*具有約8奈米至約38奈米範圍的水平緩衝264*，以及約10奈米至約40奈米範圍的垂直緩衝266*。在一些實施方式中，夾斷點262*形成且夾斷點262*沒有設置於通道區域內。

【0070】 如上述之第4圖且如第5I圖以及第5J圖所示，根據一些實施方式，在退火製程250*過後，於操作410中移除應

力膜240*。在一些實施方式中，NMOS裝置的各個閘極間隔物111的至少一部分亦被移除。應力膜234*以及所移除的部分閘極間隔物111係藉由蝕刻製程移除。在一些實施方式中，蝕刻製程可由濕式蝕刻進行，如藉由磷酸或氫氟酸，或藉由適當的蝕刻劑之乾式蝕刻。在一些實施方式中，上述進行PAI製程的處理程序、應力膜的形成、退火以及應力膜的移除係重覆多次以製造出多個差排。關於多個差排於應力源區域252的細節可在美國專利申請號13/177,309號中找到，於2011年7月6日提申，標題為「A Semiconductor Device with a Dislocation Structure and Method of Forming the Same」，在此引用作為本說明書的揭示內容。

【0071】 接著，基板102進行進一步的CMOS或MOS技術的製程以形成多樣的特徵，並以類似於區域150之方式完成區域150*中的裝置結構以及內連接結構的形成。上述第5A至5J圖中，於源極和汲極區域中形成差排的機制亦使得差排一致且可靠的形成，以施加拉伸應力於通道區域中。

【0072】 上述之差排260和260*應變源極/汲極區域(或形成應力源區域)。差排260和260*形成於源極和汲極區域中以增加載子遷移率以及裝置效能。finFET裝置具有三維(3D)的閘極介電層且使用多個鰭以形成源極和汲極區域。所述鰭具備有限的結晶區以限制差排的形成。藉由移除環繞鰭104之隔離結構106中的介電材料，形成差排的結晶區域增加。因此，應力源區域(或源極和汲極區域)中的差排可一致的形成，以產生目標應變於源極和汲極區域中，增加NMOS的載子遷移率以及

裝置效能。

【0073】 以上第3A-3H圖以及第5A-5J圖中所描述的形成差排於源極和汲極區域中的實施方式之機制，皆可一致的並可靠的形成差排以施加拉伸應力於通道區域中。差排一致且可靠的形成可藉由使鰭凹陷，並藉由移除鰭狀結構之間的隔離結構以增加形成差排的區域而達成。沒有移除鰭狀結構之間的隔離結構，形成差排的區域被侷限在鰭狀區域，其更加的侷限且可能會限制差排的產生。在一些實施方式中，藉由利用上述之機制，NMOS finFET裝置可改善電流(離子)於約5%至約20%的範圍。

【0074】 形成差排於finFET裝置中的源極和汲極區域的實施方式之機制已提供。所述機制包含使鰭凹陷，且移除鄰接於鰭的隔離結構中的介電材料以增加磊晶區域形成差排。上述機制亦包含進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於磊晶成長於源極和汲極區域之前或之後。PAI製程之後的退火製程使得差排於源極和汲極區域中一致的長成。源極和汲極區域(或應力源區域)中的差排可一致地形成，以產生目標應變於源極和汲極區域中以改善NMOS裝置的載子遷移率以及裝置效能。

【0075】 在一些實施方式中，提供一種半導體裝置。所述半導體裝置包含基板，其具有鰭式場效電晶體(fin-type field-effect-transistor, finFET)區域。半導體裝置亦包含兩相鄰閘極結構形成於兩相鄰鰭上方，且兩相鄰鰭狀結構包含結晶的含矽材料。部分的兩相鄰鰭突出於相鄰之隔離結構上方。

半導體裝置還包含同時為兩相鄰閘極結構之源極與汲極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。

【0076】 在另外一些實施方式中，提供一種半導體裝置。所述半導體裝置包含具有鰭式場效電晶體(fin-type field-effect-transistor, finFET)區域的基板，以及形成於兩相鄰鰭狀結構上方的兩相鄰閘極結構。兩相鄰鰭狀結構包含結晶的含矽材料，且部分之兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置亦包含同時為兩相鄰閘極結構之源極與汲極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。源極與汲極區域中延伸過兩相鄰閘極結構之間的隔離結構，且源極與汲極區域中沒有隔離結構。

【0077】 在又一些實施方式中，提供一種形成鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置的方法。所述方法包含提供具有複數個鰭狀結構以及複數個閘極結構之基板，且複數個閘極結構形成於鰭狀結構上方，其中複數個隔離結構形成於鰭狀結構之間。所述方法亦包含使鰭狀結構的暴露部分凹陷，且移除隔離結構之介電材料，並進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於部分之半導體層上，以非晶化部分之半導體層。所述方法還包含進行退火製程以重新結晶非晶化部分之半導體層，並成長磊晶含矽材料於重心結晶化的部份半導體層上，以形成finFET裝置之源極與汲極區域。

【0078】 應了解到，在本文中所公開的不同實施方式提供了不同的公開內容，並且可以在不背離本揭露的理念和範圍的情況下對這些實施方式進行各種改變、替換和變化。舉例而言，本文公開之實施方式描述了鰭狀區域中形成拉伸應力。然而，其他實施方式可以包含通過鰭狀區域上面提供的應力層(例如，應力傳遞層)在鰭狀區域中形成壓縮應力。壓縮應力產生膜的實例可以包含金屬氮化物成分。

【符號說明】

【0079】

100：半導體裝置結構

110_S：閘極區域

110_D：汲極區域

102：基板

103：半導體層

104、104₀：鰭狀結構

105、118：虛線

106：隔離結構

106₀：開口

108：閘極結構

111：間隔物

112：通道區域

113：LDD 區域

115：閘極介電層

116：偏移間隔層

117：閘極電極層

118、119：高度

121：底表面

128：頂表面

120：硬式遮罩層

125：主要間隔層

127：凹陷

132、131：切線

150、150*：電晶體區域

200、400：流程

201~203、205、206、208、210、212、401~403、405、406~408、

410：操作

226：中心線

230、230*：PAI 製程

232、232*：非晶化區域

234：深度

240：應力膜

250、250*：退火製程

252、252*：應力源區域

260：差排

264、264*：水平緩衝

266、266*：垂直緩衝

285、285*：磊晶結構

286、286*：表面

L、L_S：長度

W：寬度

H_G、H_F：高度

H₁、H₂、H₃：厚度

H_R、H_D、H_D*：深度

θ、θ*：角度

【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

一基板，具有一鰭式場效電晶體 (fin-type field-effect-transistor, finFET) 區域；

兩相鄰閘極結構，形成於兩相鄰鰭狀結構上方，其中該兩相鄰鰭狀結構包含一結晶的含矽材料，且其中部分之該兩相鄰鰭狀結構突出於相鄰之複數個隔離結構上方；以及

一源極與汲極區域，為該兩相鄰閘極結構所共用，其中複數個差排(dislocations)位於該源極與汲極區域中以應變(strain)該源極與汲極區域。

【第 2 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域延伸過該兩相鄰閘極結構之間的該些隔離結構。

【第 3 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域中沒有該些隔離結構。

【第 4 項】如請求項 1 所述之半導體裝置，其中該些差排在該兩相鄰閘極結構的相鄰之該些隔離結構之下表面的下方約 5 奈米至約 30 奈米的範圍之深度具有複數個夾斷點(pinchoff points)。

【第 5 項】如請求項 1 所述之半導體裝置，其中該些差排於[111]的方向形成。

【第 6 項】如請求項 1 所述之半導體裝置，其中該些差排之其中之一者與平行於該基板之表面之一表面間具有約 45 度至約 60 度的範圍之角度。

【第 7 項】如請求項 1 所述之半導體裝置，其中具有該些差排之該源極與汲極區域從一半導體層之上表面起具有約 15 奈米至約 60 奈米的範圍之深度，其中該上表面緊鄰一閘極介電層。

【第 8 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域之上表面係凹陷的且於一半導體層之上表面上方，其中該半導體層之上表面緊鄰一閘極介電層。

【第 9 項】如請求項 1 所述之半導體裝置，其中該鰭式場效電晶體(finFET)區域包含一 n 型金氧半場效電晶體(n-type metal-oxide-semiconductor field effect, NMOSFET)。

【第 10 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域包含一磊晶應力誘導材料(epitaxial stress-including material)，其中該磊晶應力誘導材料包含碳化矽(SiC)、磷化矽(SiP)、碳磷化矽(SiCP)、矽或其組合。

【第 11 項】一種半導體裝置，包含：
一基板，具有一鰭式場效電晶體(fin-type

field-effect-transistor, finFET)區域；

兩相鄰閘極結構，形成於兩相鄰鰭狀結構上方，其中該兩相鄰鰭狀結構包含一結晶的含矽材料，且其中部分之該兩相鄰鰭狀結構突出於相鄰之複數個隔離結構上方；以及

一源極與汲極區域，為該兩相鄰閘極結構所共用，其中複數個差排(dislocations)於該源極與汲極區域中以應變(strain)該源極與汲極區域，其中該源極與汲極區域中延伸過該兩相鄰閘極結構之間的該些隔離結構，且其中該源極與汲極區域中沒有該些隔離結構。

【第 12 項】一種形成鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置的方法，包含：

提供具有複數個鰭以及複數個閘極結構之一基板，其中該些閘極結構形成於該些鰭之上方，且其中複數個隔離結構形成於該些鰭之間；

使該些鰭之暴露部分凹陷，且移除該些隔離結構之一介電材料；

進行一預先非晶化佈植(pre-amorphization implantation, PAI)製程於部分之一半導體層上，以所述非晶化部分之該半導體層；

進行一退火製程以重新結晶該半導體層的非晶化部分；以及

成長一磊晶含矽材料於該半導體層的重新結晶化部分上，以形成該鰭式場效電晶體裝置之一源極與汲極區域。

【第 13 項】如請求項 12 所述之方法，其中該預先非晶化佈植製程於成長該磊晶含矽材料之前進行。

【第 14 項】如請求項 12 所述之方法，其中該預先非晶化佈植製程於成長該磊晶含矽材料之後進行。

【第 15 項】如請求項 12 所述之方法，更包含：
在該退火製程前沉積一應力膜；以及
在該退火製程後移除該應力膜。

【第 16 項】如請求項 12 所述之方法，其中該磊晶含矽材料為一應力誘導材料，其中該磊晶應力誘導材料包含碳化矽(SiC)、磷化矽(SiP)、碳磷化矽(SiCP)。

【第 17 項】如請求項 12 所述之方法，其中該退火製程為一微波退火(microwave anneal, MWA)製程。

【第 18 項】如請求項 17 所述之方法，其中該微波退火製程之一基板溫度介於約 400 度至約 600 度的範圍。

【第 19 項】如請求項 12 所述之方法，其中該磊晶含矽材料成長於該些隔離結構以及該些鰭之凹陷部位所佔據的區域上。

【第 20 項】如請求項 15 所述之方法，其中該些鰭之數

目介於 2 至 30 個的範圍。

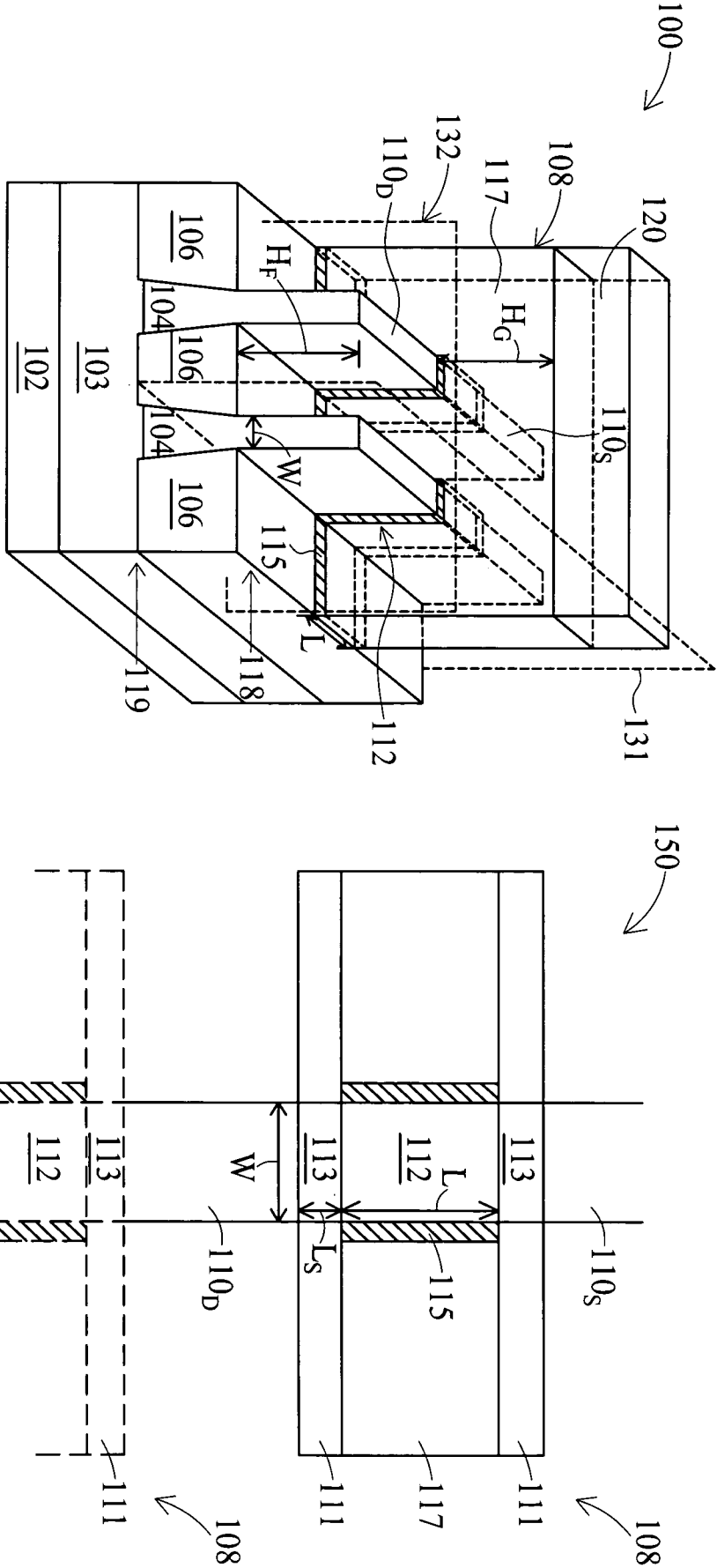
.

.

.

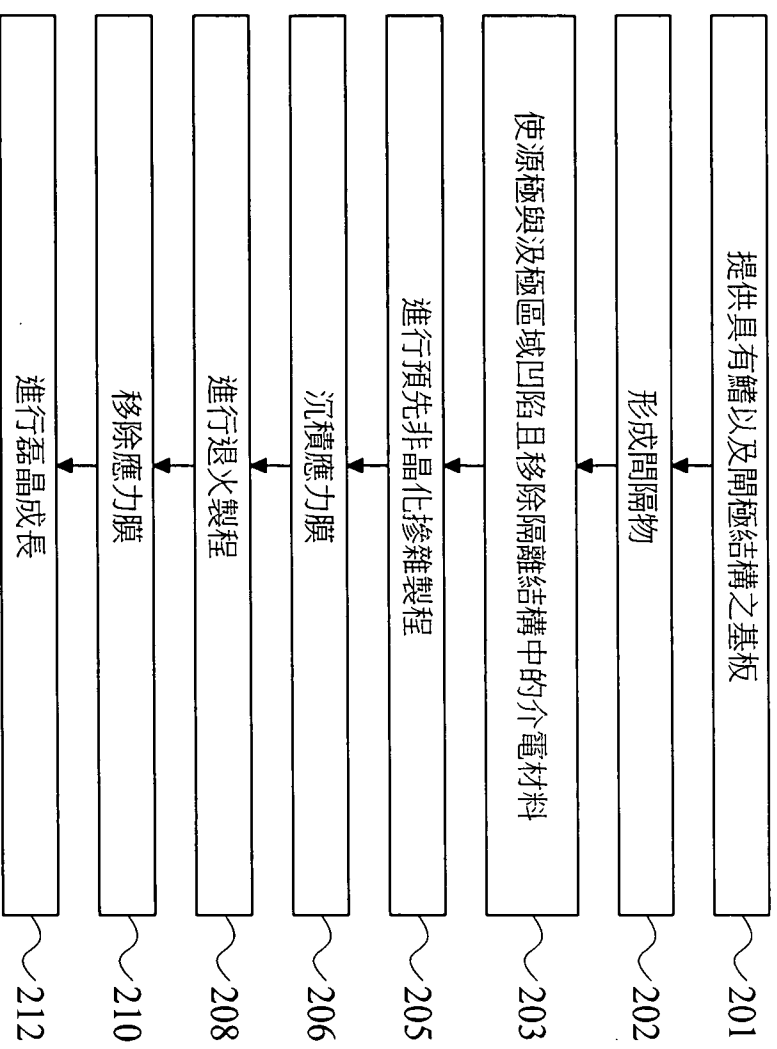
.

圖式

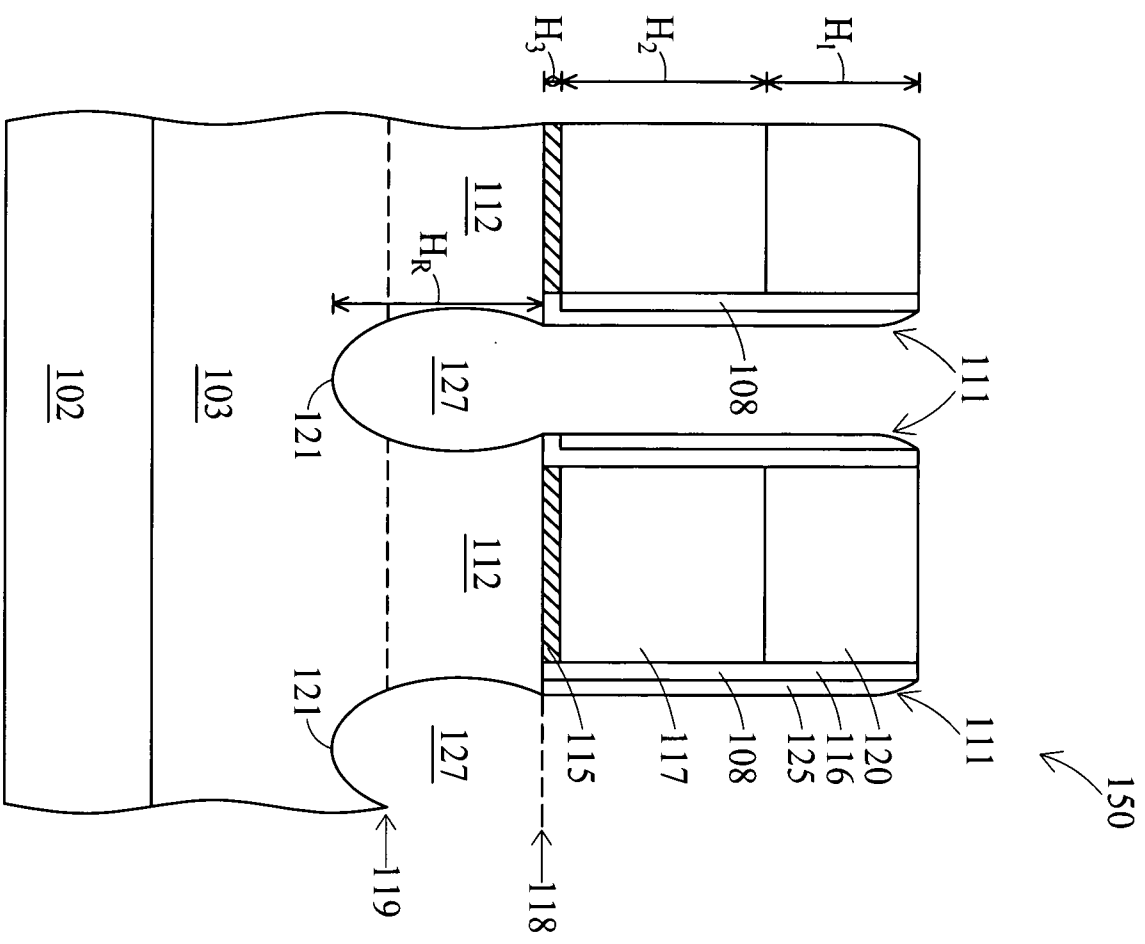


第 1A 圖

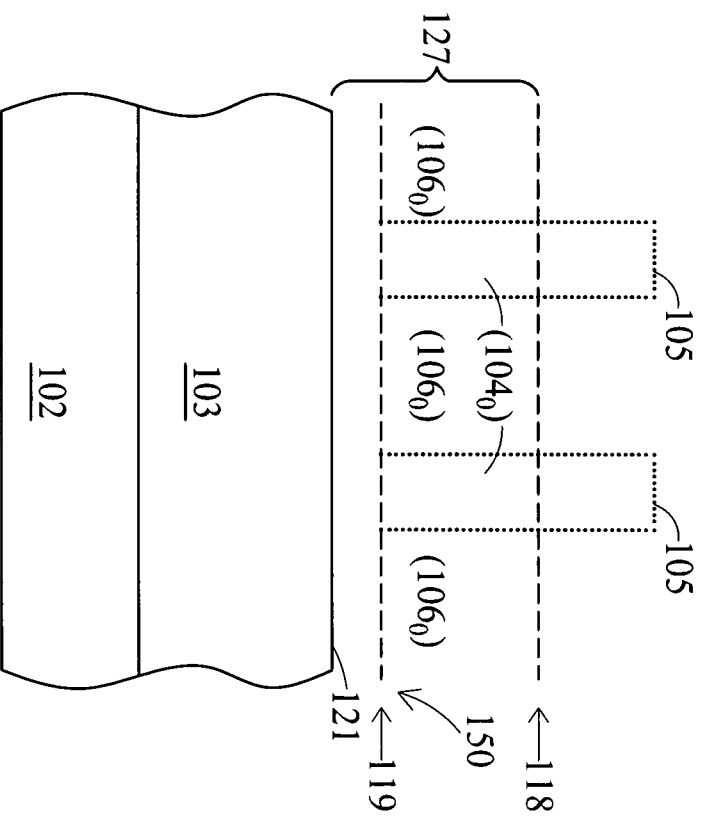
第 1B 圖



第 2 圖



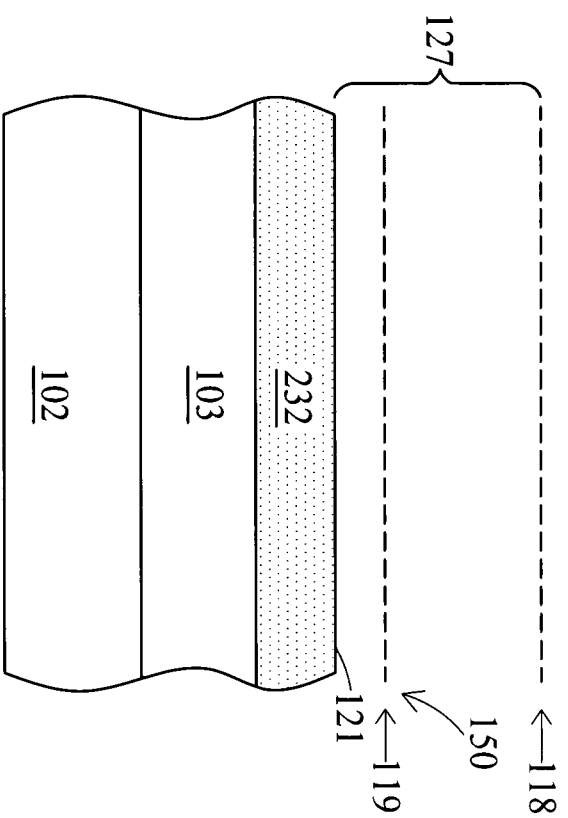
第3A圖

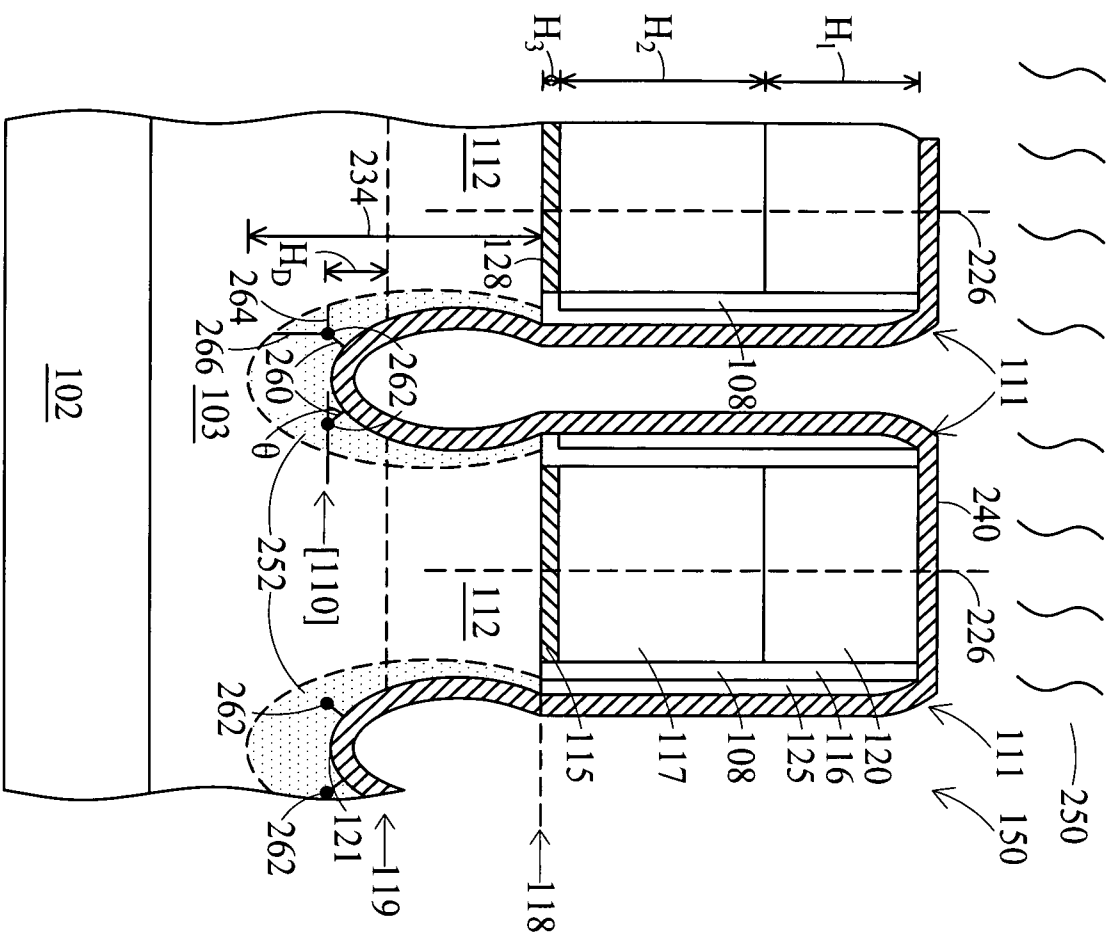


第3B圖

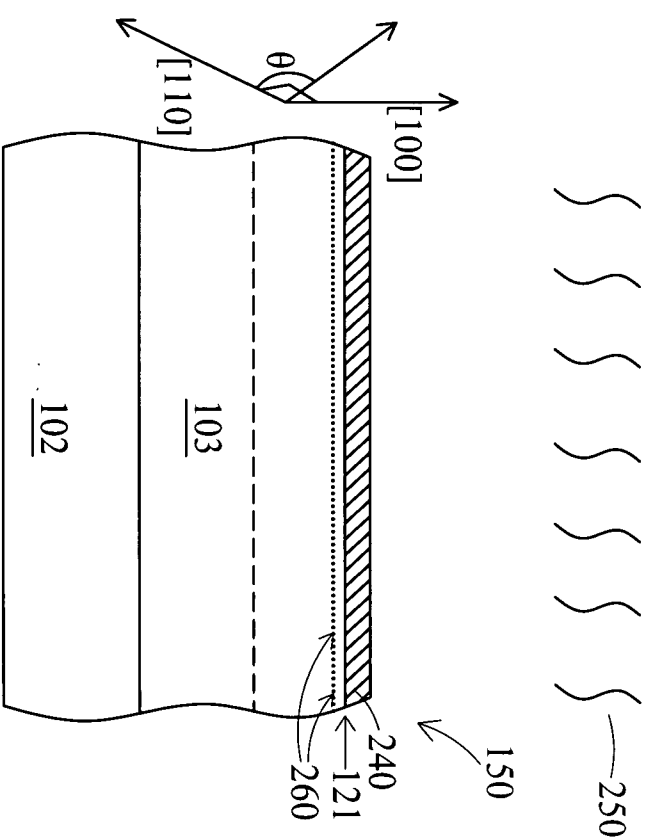


第3D圖

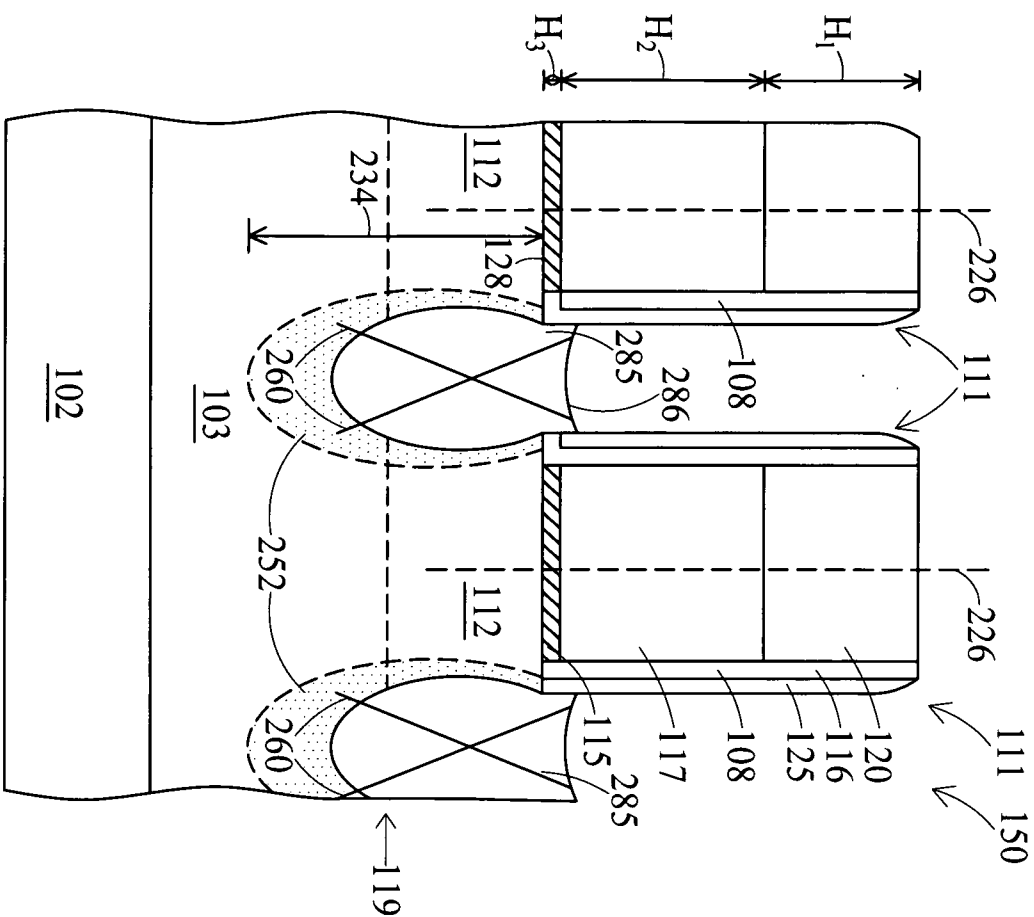




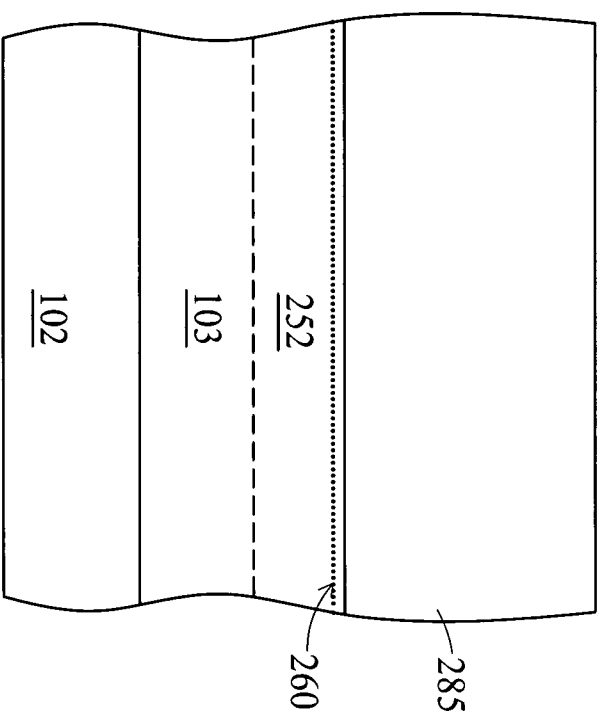
第 3E 圖



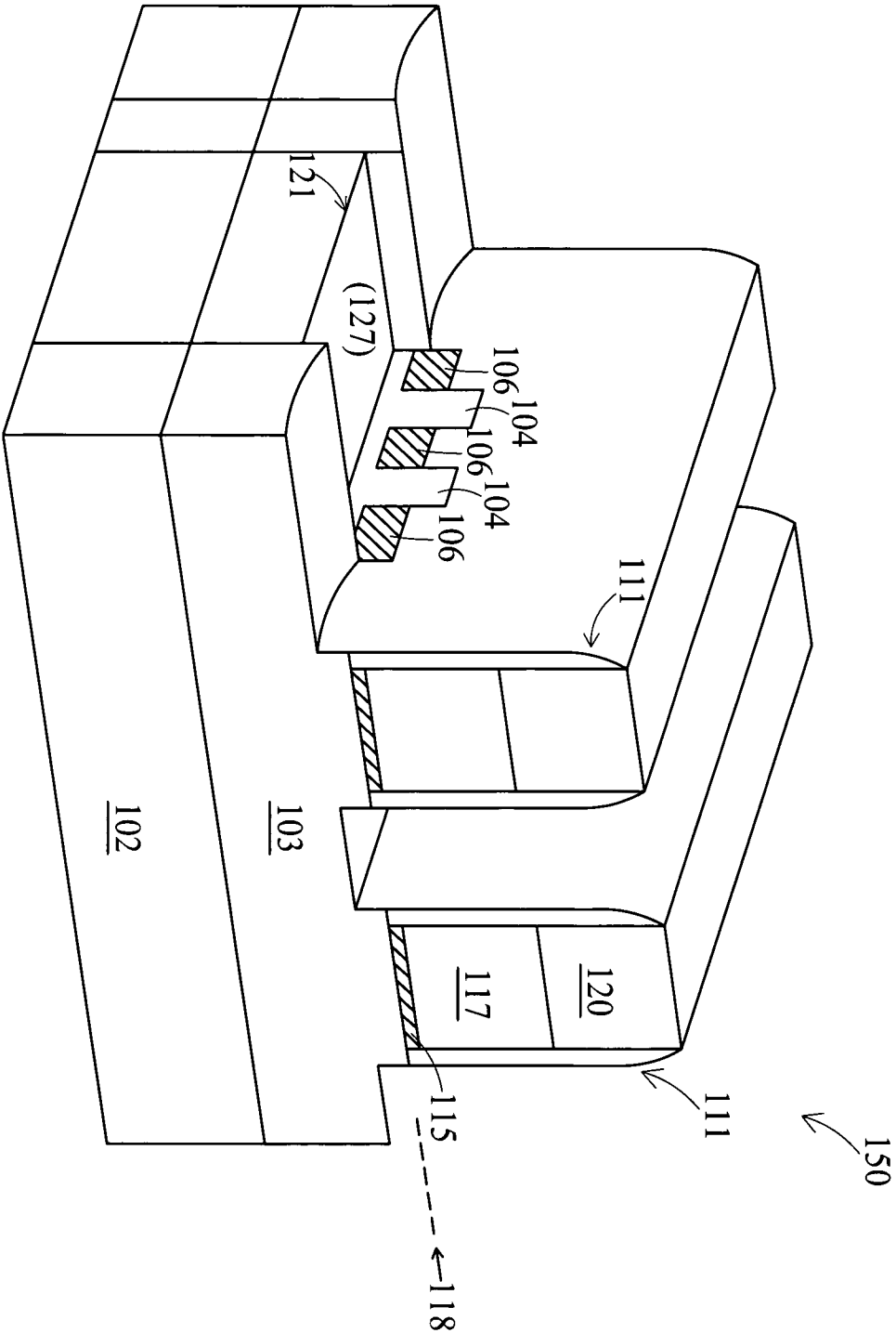
第 3F 圖



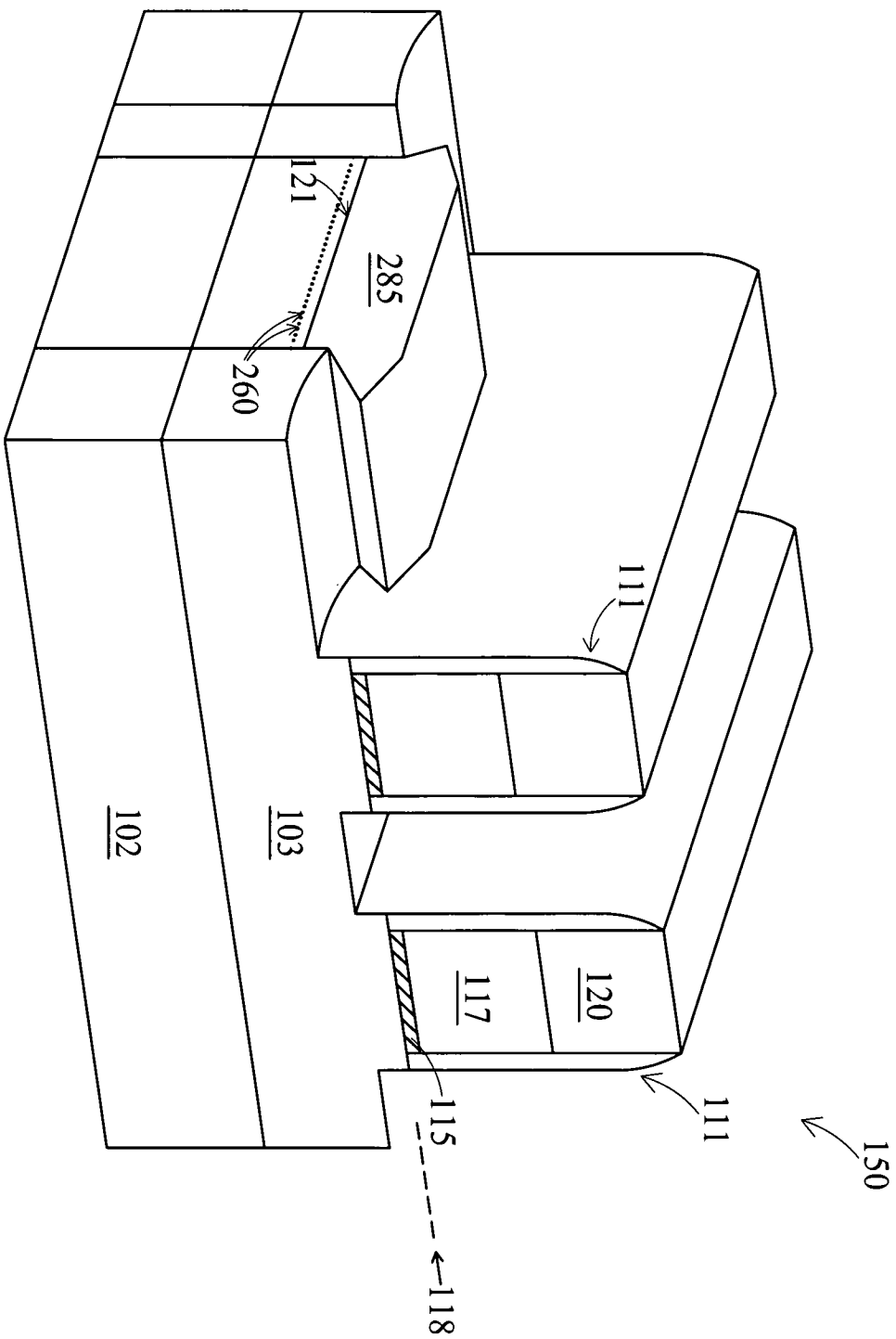
第3G圖



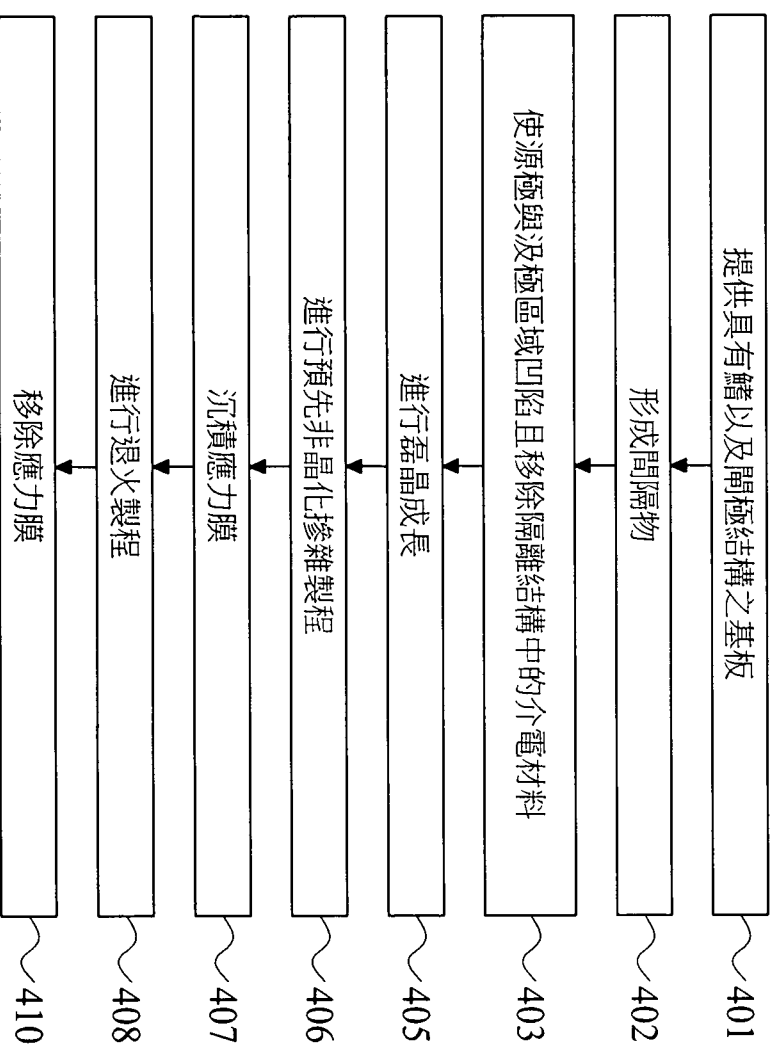
第3H圖



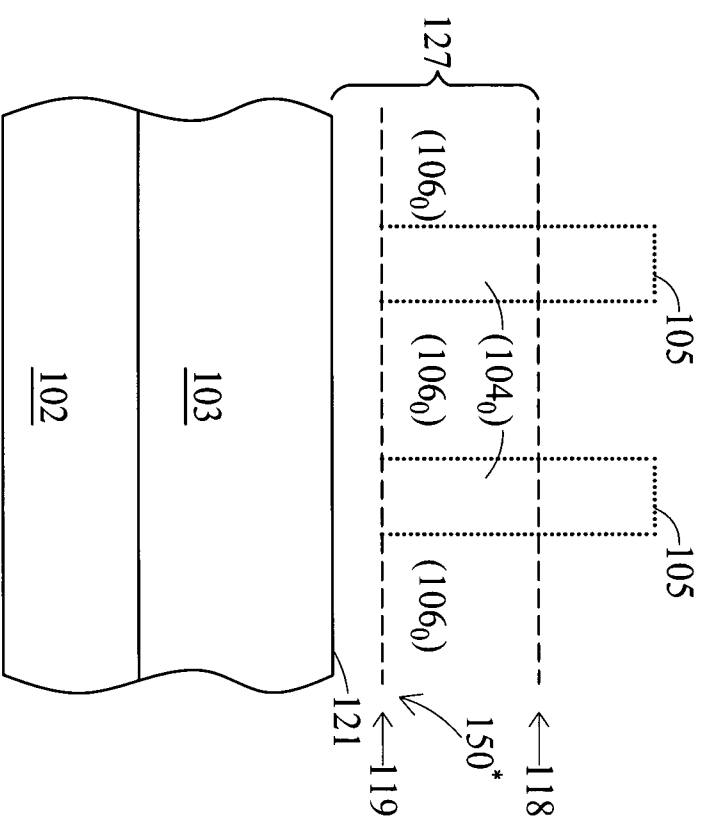
第 31 圖



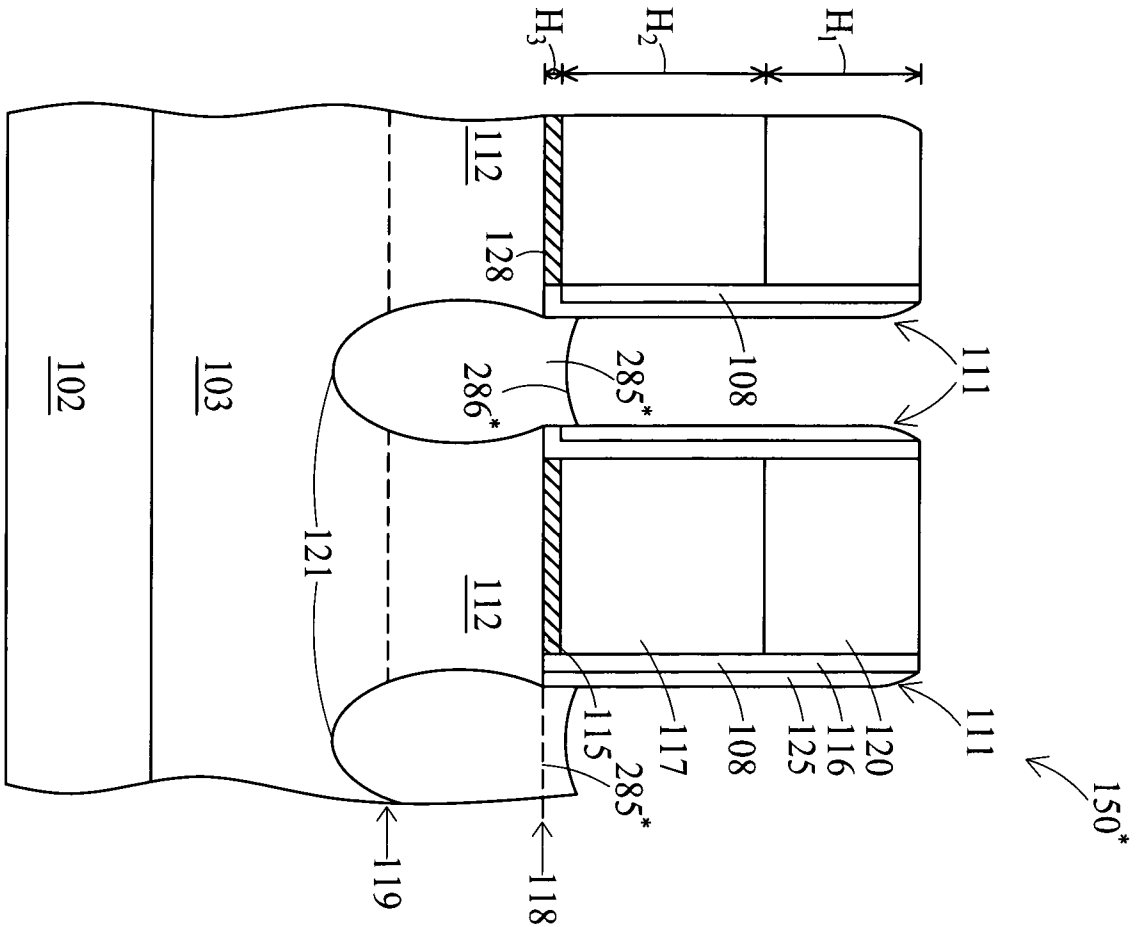
第31圖



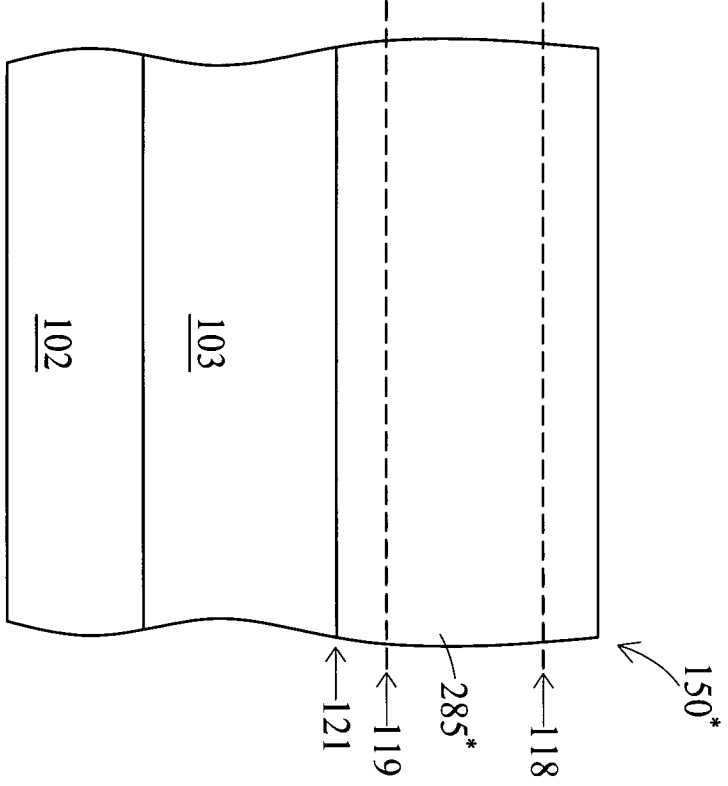
第 4 圖



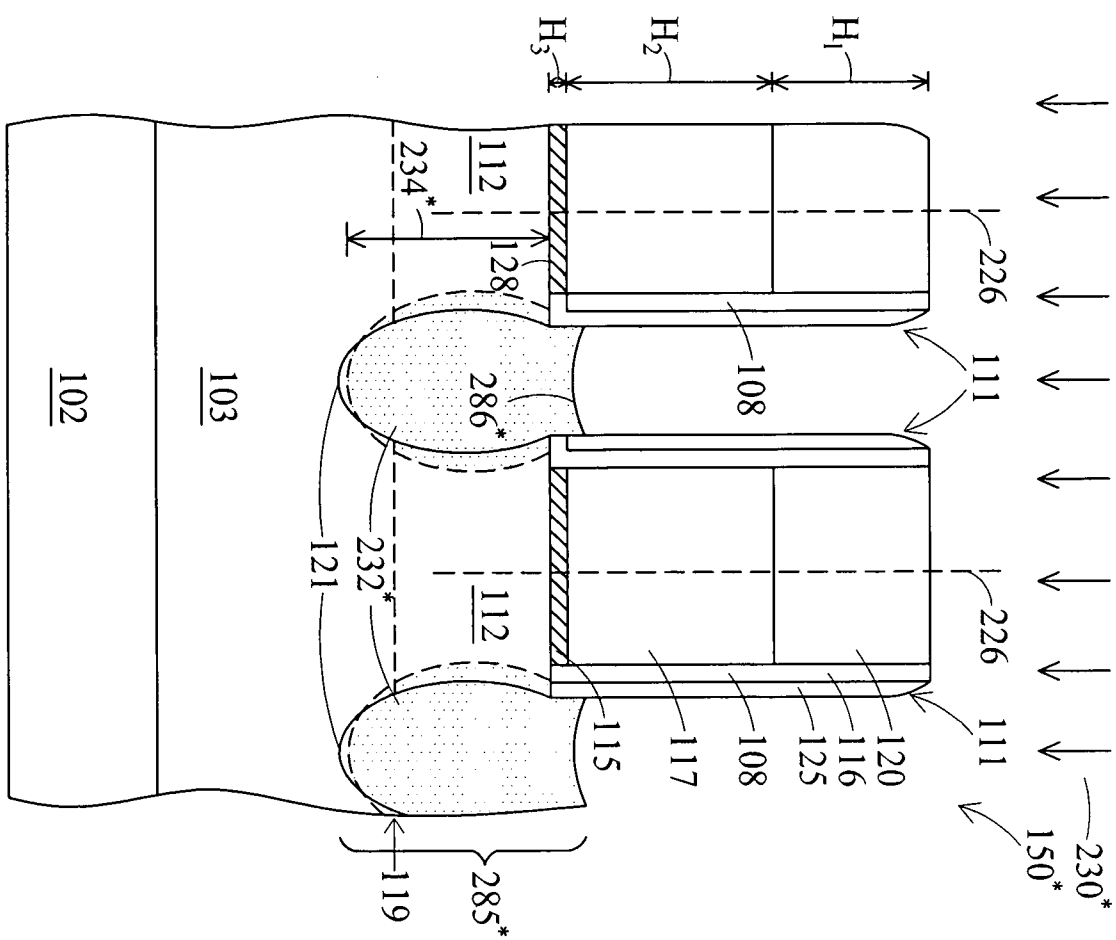
第5B圖



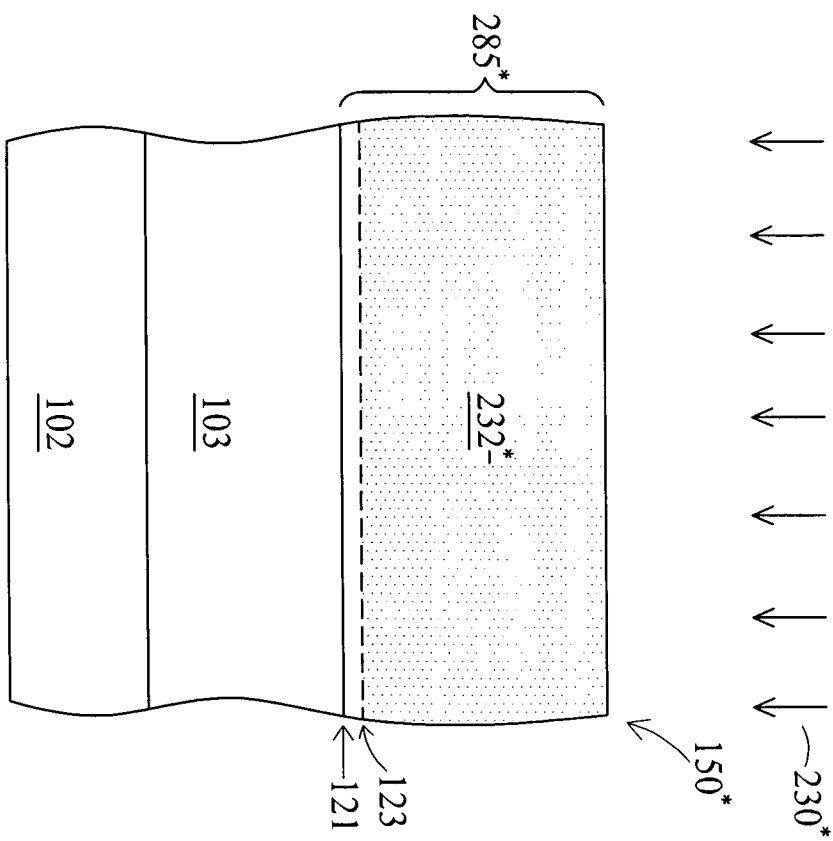
第 5C 圖



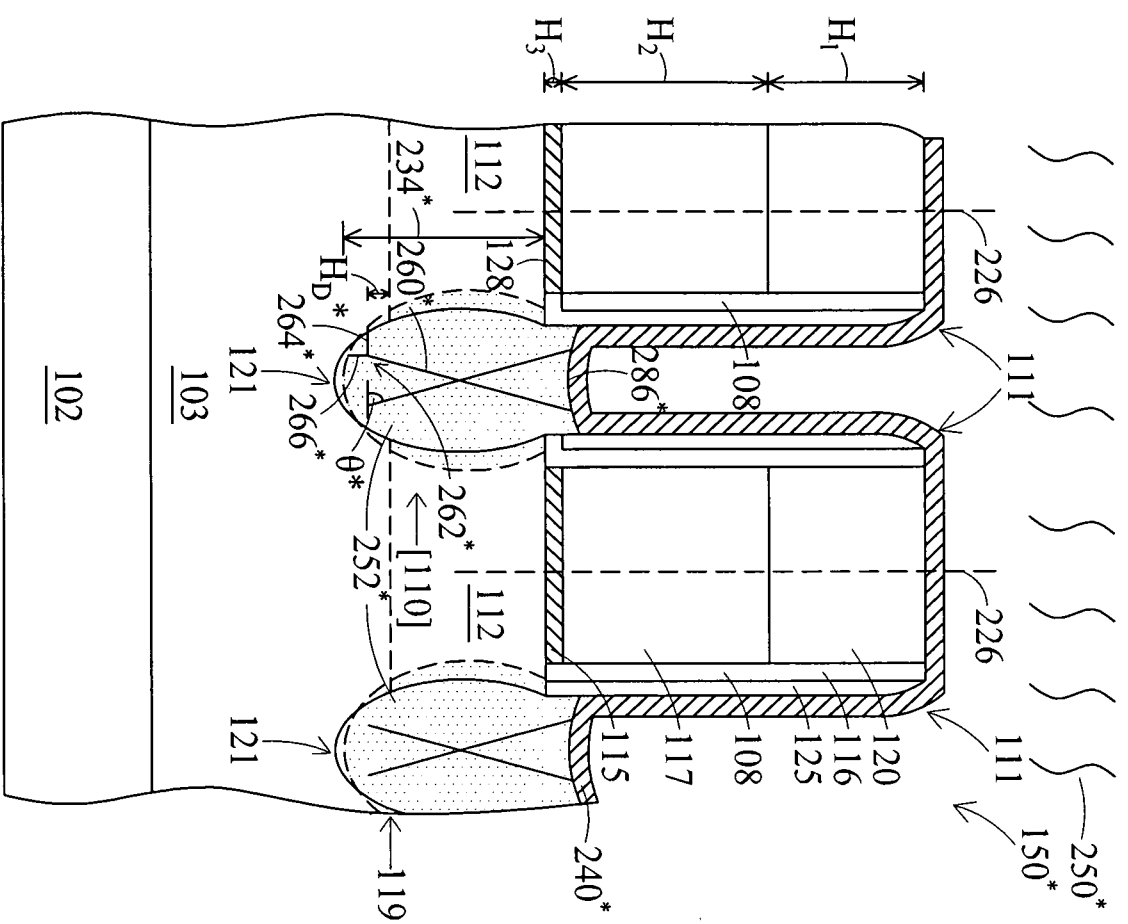
第 5D 圖



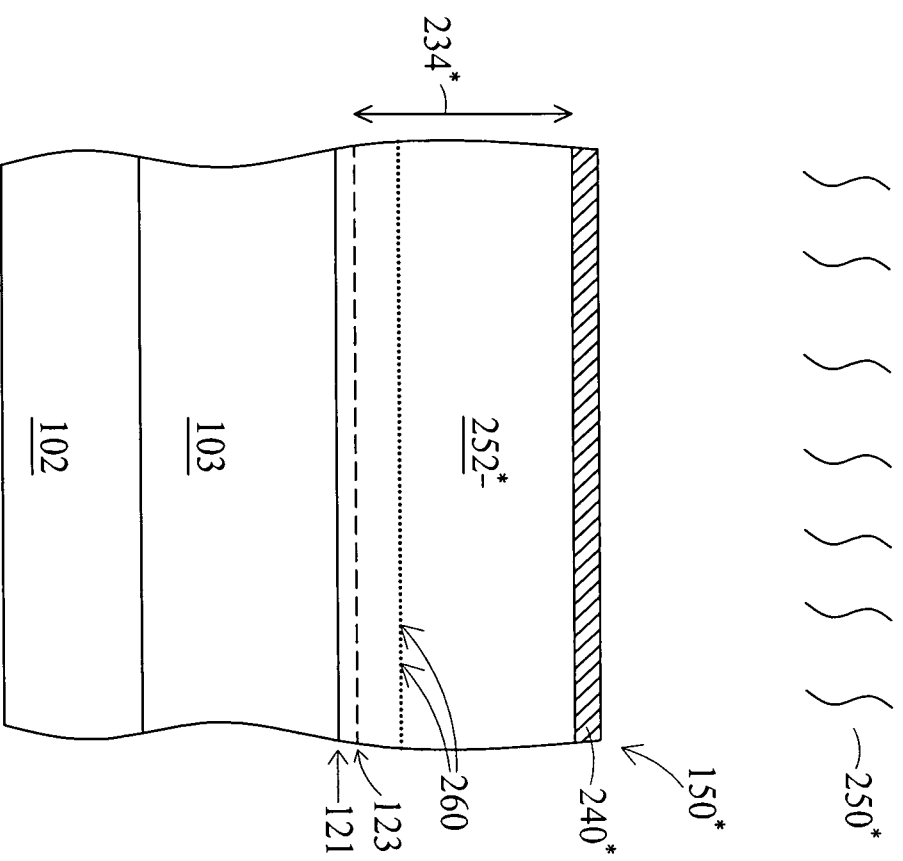
第 5E 圖



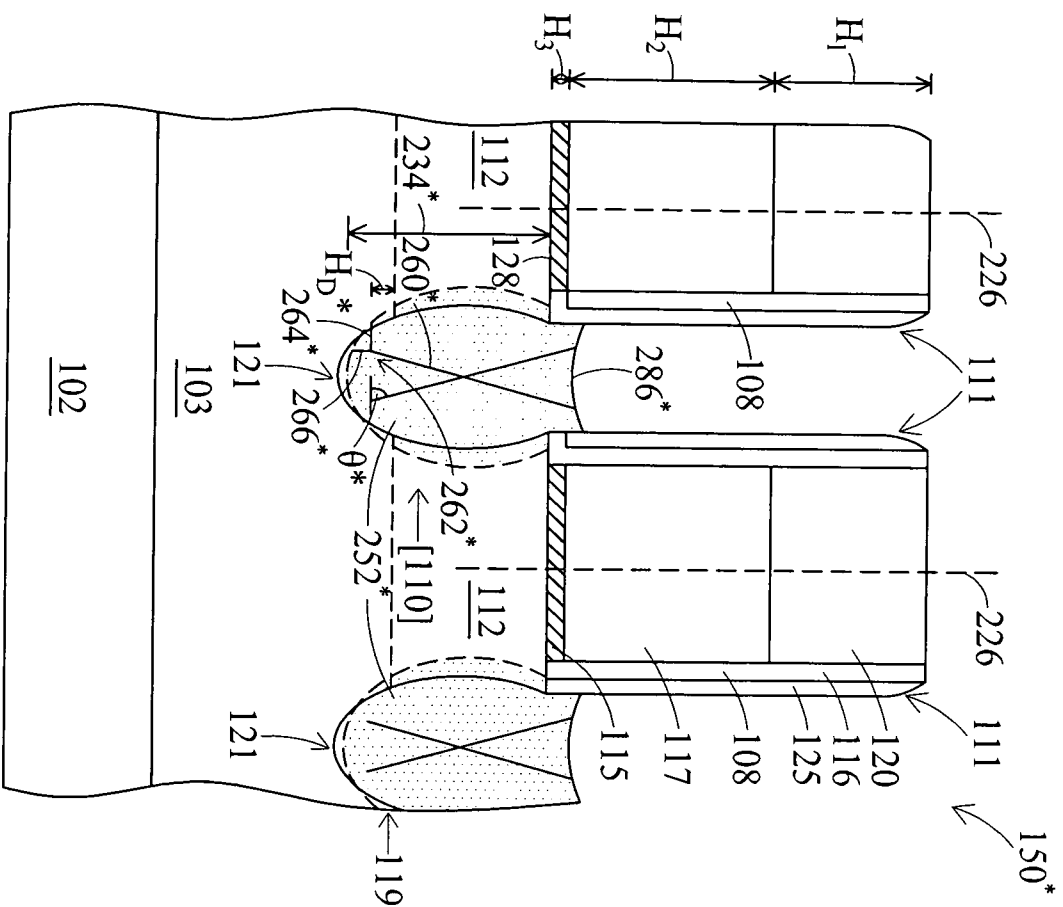
第 5F 圖



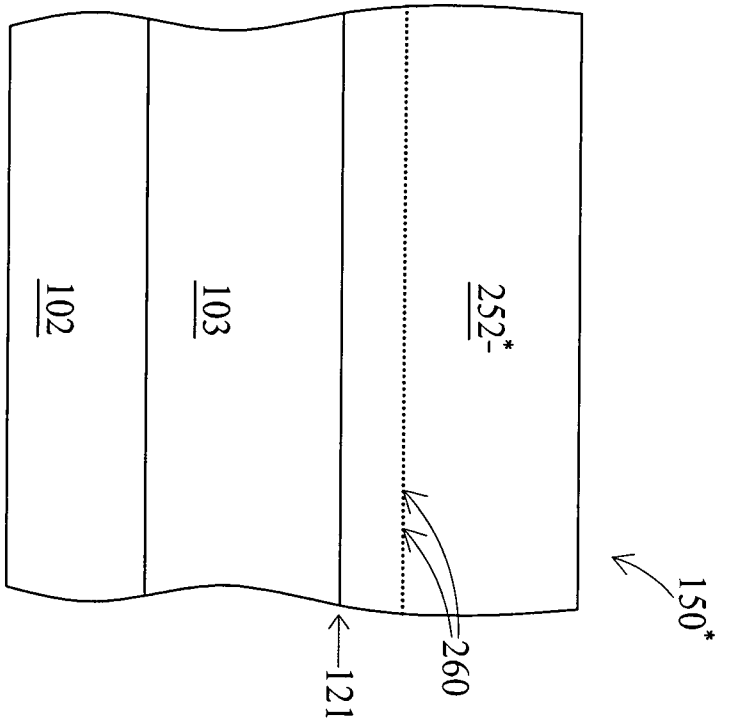
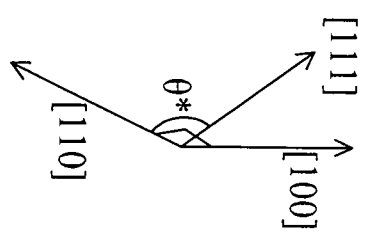
第5G圖



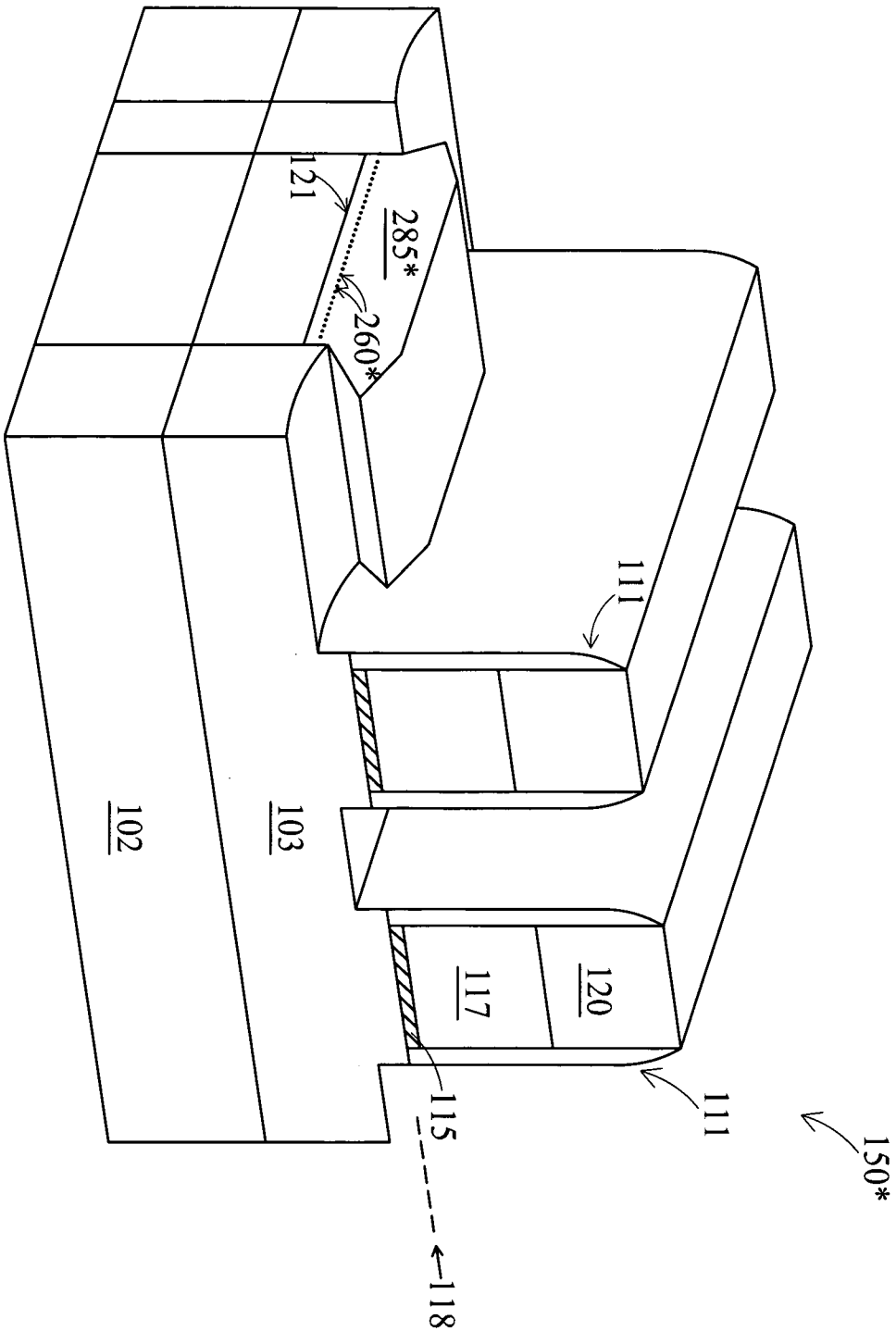
第5H圖



第 5I 圖



第 5J 圖



第 5K 圖

【發明摘要】

【中文發明名稱】半導體裝置以及形成鰭式場效電晶體裝置的方法

H01L 29/06 (2006.01)

H01L 29/66 (2006.01)

H01L 29/78 (2006.01)

【英文發明名稱】Semiconductor Device and Method of Forming FinFET Devices

【中文】

提供一種用於在鰭式場效電晶體裝置的源極和汲極區域中形成差排的機制的實施方式。所述機制包含使鰭狀結構凹陷，並且移除鄰接於鰭狀結構的隔離結構中的介電材料，以增加磊晶區域而形成差排。所述機制亦包含在磊晶成長於源極和汲極區域之前或之後，進行預先非晶化佈植製程。在預先非晶化佈植製程之後的退火製程使得源極和汲極區域中的差排一致性的成長。在源極和汲極區域(或應力源區域)中的差排可一致性地形成以產生目標應變於源極和汲極區域，以改善N型金氧半裝置的載子遷移率和裝置效能。

【英文】

Embodiments of mechanisms for forming dislocations in source and drain regions of finFET devices are provided. The mechanisms involve recessing fin structures and removing the dielectric material in the isolation structures neighboring fin structures to

increase epitaxial regions for dislocation formation. The mechanisms also involve performing a pre-amorphous implantation (PAI) process either before or after the epitaxial growth in the recessed source and drain regions. An anneal process after the PAI process enables consistent growth of the dislocations in the source and drain regions. The dislocations in the source and drain regions (or stressor regions) can form consistently to produce targeted strain in the source and drain regions to improve carrier mobility and device performance for NMOS devices.

【指定代表圖】第2圖

【代表圖之符號簡單說明】

200：流程

201~203、205、206、208、210、212：操作

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置以及形成鰭式場效電晶體裝置的方法

【英文發明名稱】Semiconductor Device and Method of Forming FinFET Devices

【技術領域】

【0001】 本揭露係有關於一種半導體裝置以及形成鰭式場效電晶體裝置的方法。

【先前技術】

【0002】 半導體積體電路(integrated circuit, IC)產業近來經歷了快速的成長。在積體電路演進的過程中，裝置的功能性密度逐漸地增加，而裝置的特徵尺寸或幾何尺寸則逐漸地縮小。體積的縮小提高了生產效率、降低了生產成本且/或改善了裝置效能。體積的縮小也提高了積體電路處理與製造的複雜性，爲了實現這些進步，積體電路處理與製造的相關發展是需要的。

【0003】 同樣地，爲了增強積體電路(IC)的效能以及微縮幾何尺寸的需求，而引入了多閘極裝置。這些多閘極裝置包含多閘極鰭式場效電晶體，也稱爲finFET裝置，而如此稱謂是由於通道形成於自基板延伸的「鰭」上。finFET裝置可以縮小裝置的閘極寬度，同時在包括通道區域的鰭之側面和/或頂

部上提供閘極。

【0004】如半導體裝置，像是金氧半導體場效電晶體(metal-oxide-semiconductor field-effect transistors, MOSFETs)的尺寸隨著技術上的發展越來越小，應變源/汲極特徵(例如應力源區域)來增加載子遷移率以及裝置效能已經實現。應力使得半導體晶格變形或應變，影響到了半導體的能帶排列以及電荷傳輸特性。藉由控制成品裝置內部的應力大小與分佈，製造者可增加載子遷移率並改善裝置效能。

【發明內容】

【0005】在一些實施方式中，提供一種半導體裝置。所述半導體裝置包含基板，其具有鰭式場效電晶體(fin-type field-effect-transistor, finFET)區域。半導體裝置亦包含兩相鄰閘極結構形成於兩相鄰鰭狀結構上方，且兩相鄰鰭狀結構包含結晶的含矽材料。部分的兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置還包含由兩相鄰閘極結構所共用之源極與汲極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。

【0006】在另外一些實施方式中，提供一種半導體裝置。所述半導體裝置包含具有鰭式場效電晶體(fin-type field-effect-transistor, finFET)區域的基板，以及形成於兩相鄰鰭狀結構上方的兩相鄰閘極結構。兩相鄰鰭狀結構包含結晶的含矽材料，且部分之兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置亦包含同時為兩相鄰閘極結構之源極與汲

極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。源極與汲極區域中延伸過兩相鄰閘極結構之間的隔離結構，且源極與汲極區域中沒有隔離結構。

【0007】 在又一些實施方式中，提供一種形成鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置的方法。所述方法包含提供具有複數個鰭狀結構以及複數個閘極結構之基板，且複數個閘極結構形成於鰭狀結構上方，其中複數個隔離結構形成於鰭狀結構之間。所述方法亦包含使鰭狀結構的暴露部分凹陷，且移除隔離結構之介電材料，並進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於部分之半導體層上，以非晶化部分之半導體層。所述方法還包含進行退火製程以重新結晶半導體層的非晶化部分，並成長磊晶含矽材料於半導體層的重心結晶化的部份層上，以形成鰭式場效電晶體裝置的源極與汲極區域。

【圖式簡單說明】

【0008】 細讀以下詳細敘述並搭配對應之圖式，可瞭解到本揭露之多個態樣。須注意的是，圖式中的多個特徵並未依照該業界領域之標準作法繪製實際比例。事實上，爲了討論的清楚，所述之特徵的尺寸可以任意的增加或減少。

第 1A 圖係根據一些實施方式之半導體裝置結構的一實施例的立體圖。

第 1B 圖係根據一些實施方式繪示電晶體區域的上視圖。

第 2 圖係根據一些實施方式繪示形成差排於鰭式場效電晶體

裝置的源極和汲極區域中的連續製作流程。

第 3A-3H 圖係根據一些實施方式繪示第 2 圖的連續製作流程中的電晶體區域之剖面圖。

第 3I 圖係根據一些實施方式繪示第 3A 圖以及第 3B 圖的電晶體區域的立體圖。

第 3J 圖係根據一些實施方式繪示第 3G 圖以及第 3H 圖的電晶體區域的立體圖。

第 4 圖係根據一些實施方式繪示形成差排於 finFET 裝置的源極和汲極區域中的連續製作流程。

第 5A-5J 圖係根據一些實施方式繪示第 4 圖的連續製作流程中的電晶體區域之剖面圖。

第 5K 圖係根據一些實施方式繪示第 5I 圖以及第 5J 圖的電晶體區域的立體圖。

【實施方式】

【0009】 應瞭解的是，以下本揭露將提供許多個不同的實施方式或實施例以實現本揭露之多個特徵。許多元件與設置將以特定實施例在以下說明，以簡化本揭露。當然這些實施例僅用以示例而不應用以限制本揭露。此外，敘述「第一特徵形成於第二特徵上」包含多種實施方式，其中涵蓋第一特徵與第二特徵直接接觸，以及額外的特徵形成於第一特徵與第二特徵之間而使兩者不直接接觸。爲了清楚與簡化起見，各種特徵可以不同的比例任意繪示。此外，於各式各樣的實施例中，本揭露可能會重複標號以及/或標註字母。此重複是爲了簡化並清楚說明，而非意圖表明這些討論的各種實施方式以及/或配置之

間的關係。應瞭解的是，儘管本文中沒有明確描述，然本領域技術人員應能夠設計出體現本揭露原理的各種均等物。

【0010】 還應注意的是，本揭露展示實施例的形式為多閘極電晶體或鰭式多閘極電晶體，在本文中稱為鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置。此種裝置可包含p型金氧半導體(p-type metal-oxide-semiconductor, PMOS)finFET裝置或n型金氧半導體(n-type metal-oxide-semiconductor, NMOS)finFET裝置。finFET裝置可以是雙閘極裝置、三閘極裝置及/或其他配置。finFET裝置可包含於積體電路(IC)中，例如微處理器、記憶裝置及/或其他積體電路(IC)。本技術領域中具有通常知識者可瞭解的是其他半導體裝置之實施例亦可使用本揭露之裝置。

【0011】 如上所述，應變源/汲極特徵(例如應力源區域)來增加載子遷移率以及裝置效能已經實現。應力使得半導體晶格變形或應變，影響到了半導體的能帶排列以及電荷傳輸特性。藉由控制成品裝置內部的應力大小與分佈，製造者可增加載子遷移率並改善裝置效能。在源極與汲極區域中的差排(dislocation)應變電晶體區域中的半導體晶格。因此，形成差排可改善載子遷移率以及改善裝置效能。finFET裝置具有三維(3D)的閘極介電層並利用多個鰭去形成源極與汲極區域。在finFET裝置的源極與汲極區域形成差排具有獨特的挑戰，在平面的裝置中是不會發生的。

【0012】 第1A圖係繪示根據多個實施方式之半導體裝置結構100的示意圖。半導體裝置結構100包含finFET裝置結

構。半導體裝置結構100包含基板102、複數個鰭狀結構104、複數個隔離結構106以及設置於各個鰭狀結構104上的閘極結構108。閘極結構108可包含閘極介電層115、閘極電極層117及/或一或多個其他層。硬式遮罩層120於閘極電極層117上方。硬式遮罩層120藉由例如蝕刻，以圖案化閘極電極層117。在一些實施方式中，硬式遮罩層120可由介電材料所製成，例如氧化矽。第1A圖之示意圖係繪示閘極結構108之圖案化(或形成)製程後的結果。第1A圖只繪示一個閘極介電層108。其他的閘極結構(未繪示)可相似且平行於第1A圖所示之閘極結構108。第1A圖繪示兩個鰭狀結構104。在一些實施方式中，鰭狀結構104之數目介於2至30之間。

【0013】 各個鰭狀結構104包含閘極區域110_s以及汲極區域110_D，其中源極以及汲極特徵形成於鰭狀結構104中、上及/或周圍。鰭狀結構104之通道區域112位於閘極結構108下方。如第1A圖所示，鰭狀結構104之通道區域112具有長度(閘極長度)L以及寬度(閘極寬度)W。在一些實施方式中，長度(閘極長度)L在約10奈米至約30奈米的範圍內。在一些實施方式中，寬度(閘極寬度)W在約10奈米至約20奈米的範圍內。閘極結構108之高度(閘極高度)H_G，由鰭狀結構104的上方量測至閘極結構108的上方，約在50奈米至約80奈米的範圍內。在一些實施方式中，鰭狀結構104的高度(鰭高)H_F，由隔離結構106的上方量測至鰭狀結構104的上方，約在25奈米至約35奈米的範圍內。

【0014】 基板102可為矽基板。或者，基板102可包含其他

基本的半導體，例如鍺；包含碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦及/或銻化銦的化合物半導體；包含矽鍺、磷砷化鎵、砷化銦鋁、砷化鎵鋁、砷化銦鎵、磷化銦鎵及/或砷磷化鎵銦的合金半導體；或上述之組合。在一實施方式中，基板102可為半導體在絕緣層上(semiconductor on insulator, SOI)的結構。

【0015】 隔離結構106可為介電材料所製成，其可由氧化矽、氮化矽、氮氧化矽、摻氟矽酸鹽玻璃(fluoride-doped silicate glass, FSG)、低介電常數介電材料及/或其他適合的絕緣材料。隔離結構106可具有淺溝槽隔離區(shallow trench isolation, STI)特徵。在一實施方式中，隔離結構106係有STI特徵且藉由蝕刻基板102中的溝槽形成。溝槽可接著填補絕緣材料，並進行化學機械研磨(Chemical mechanical polishing, CMP)。其他隔離結構106及/或鰭狀結構104的製造技術也是可能的。隔離結構106可包含多層結構，例如具有一或多個襯墊層。隔離結構106中之高度118以及底表面之高度119係標示於第1A圖中。

【0016】 鰭狀結構104可提供形成一或多個裝置的主動區域。在一實施方式中，電晶體裝置的通道區域112形成於鰭狀結構104中。鰭狀結構104可包含矽或其他基本的半導體，例如鍺；包含碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦及/或銻化銦的化合物半導體；包含矽鍺、磷砷化鎵、砷化銦鋁、砷化鎵鋁、砷化銦鎵、磷化銦鎵及/或砷磷化鎵銦的合金半導體；或上述之組合。鰭狀結構104可藉由適當的製程製造，包含在

半導體層103中進行光微影以及蝕刻製程。半導體層103與鰭狀結構104可由相同的材料製成。事實上，鰭狀結構104可藉由蝕刻半導體層103形成。在一些實施方式中，半導體層103為一部分的基板102。光微影製程可包含在基板(如矽基層上)形成光阻層(抗蝕劑)，暴露抗蝕劑以圖案化，並進行暴露後烘烤製程，以及顯影抗蝕劑以形成包含抗蝕劑的遮罩元件。遮罩元件可接著在蝕刻製程中，於隔離結構106形成凹陷時用以保護基板之區域，而留下突出的鰭狀結構。凹陷可使用反應離子蝕刻(reactive ion etch, RIE)及/或其他適合的製程蝕刻而成。亦可適用多個其他實施方式的方法形成基板102上的鰭狀結構104。

【0017】 閘極結構108可包含閘極介電層115，閘極電極層117及/或一或多個其他層。在一實施方式中，閘極結構108為犧牲閘極結構，例如形成於閘極替換製程以形成金屬閘極結構。在一實施方式中，閘極結構108包含多晶矽層(如閘極電極層117)。

【0018】 閘極結構108的閘極介電層115可包含二氧化矽。二氧化矽可藉由適當的氧化及/或沉積方式形成。或者，閘極結構108之閘極介電層可包含高介電常數介電層，例如二氧化鈺(HfO_2)。或者，高介電常數介電層可選擇性的包含其他高介電材料，例如二氧化鈦(TiO_2)、氧化鈺鋯(HfZrO)、氧化鉬(Ta_2O_3)、鈺矽氧化物(HfSiO_4)、二氧化鋯(ZrO_2)、矽酸鋯(ZrSiO_2)、以上之組合或其他適合的材料。高介電常數介電材料可藉由原子層沉積(atomic layer deposition, ALD)及/或其

他適當的方法形成。

【0019】 在一實施方式中，閘極結構108可為金屬閘極結構。金屬閘極結構可包含介面層、閘極介電層、功函數層、填充金屬層及/或其他作為金屬閘極結構的適當材料。在其他實施方式中，金屬閘極結構108可更包含覆蓋蝕刻停止層及/或其他適當的材料。介面層可包含介電材料，如氧化矽(SiO_2)或氮氧化矽(SiON)。介面層可藉由化學氧化、熱氧化、原子層沉積(ALD)、化學氣相沉積(CVD)及/或其他適當的成形製程。

【0020】 包含於閘極結構108之P型功函數金屬之示例可包含氮化鈦(TiN)、氮化鉭(TaN)、鈦(Ru)、鉬(Mo)、鋁(Al)、氮化鎢(WN)、二矽化鋯(ZrSi_2)、二矽化鉬(MoSi_2)、二矽化鉭(TaSi_2)、二矽化鎳(NiSi_2)、其他適當的P型功函數材料或上述之組合。包含於閘極結構108之N型功函數金屬之示例可包含鈦(Ti)、銀(Ag)、鋁化鉭(TaAl)、碳化鋁鉭(TaAlC)、鉭化鋁鈦(TiAlN)、碳化鉭(TaC)、氮碳化鉭(TaCN)、氮矽化鉭(TaSiN)、錳(Mn)、鋯(Zr)、其他適當的N型功函數材料或上述之組合。功函數值與功函數層的材料組成有關，因此選擇第一功函數層的材料以調整其功函數值，以達到形成於各別區域之裝置所預期的臨界電壓 V_t 。功函數層可藉由化學氣相沉積(CVD)、物理氣相沉積(PVD)及/或其他適當的製程沉積形成。金屬填充層可包含鋁(Al)、鎢(W)或銅(Cu)及/或其他適當的材料。金屬填充層可藉由化學氣相沉積(CVD)、物理氣相沉積(PVD)、電鍍及/或其他適當的製程而形成。金屬填充層可沉積於功函數金屬層上方，因而填充於藉由移除偽閘極結構而

形成的溝槽或開口中的剩餘部份。

【0021】 上述之半導體裝置結構100包含鰭狀結構104以及閘極結構108。半導體裝置結構100需要其他的製程以形成電晶體所利用之半導體裝置結構100的各種特徵，如汲極輕摻雜(lightly-doped-drain, LDD)區域以及摻雜源極/汲極區域。LDD區域鄰接通道區域且位於隔離物下方。LDD之用語係用以形容鄰接於源極與汲極區域之輕摻雜區域。

【0022】 第1B圖係根據多個實施方式，於第1A圖之其中一個鰭狀結構104一同形成之電晶體區域150之上視圖，其為沿著與隔離結構106之頂表面之高度118所延伸之平面。電晶體區域150包含源極區域110_s以及汲極區域110_D。

【0023】 電晶體區域150亦包含通道區域112。通道區域112係為鰭狀結構104之一部分且如第1A圖所示，閘極結構108環繞通道區域112的三個邊。通道區域112具有長度(閘極長度)L以及寬度(閘極寬度)W。電晶體區域150亦包含閘極介電層115以及閘極電極層117。第1B圖繪示介於源極區域110_s與通道區域112之間以及介於汲極區域110_D與通道區域112之間的LDD區域113。LDD區域113具有寬度W以及長度L_s，長度L_s係由間隔物111之寬度所界定。第1B圖藉由虛線繪示另外一個閘極結構108。第1A圖所沒有繪示之所述另一個閘極結構108係相似且平行於上述之閘極結構108。在一些實施方式中，長度L_s介於約5奈米至約10奈米的範圍。

【0024】 第2圖係根據多個實施方式繪示於finFET裝置的源極與汲極區域形成差排的連續流程200。第3A圖至第3H圖

係根據多個實施方式繪示第2圖之連續流程中的電晶體區域的剖面圖。以下所述之製作順序以及結構主要是爲了n型finFET裝置。然而，以下所述之至少部分實施方式也可以應用於p型finFET裝置。

【0025】 流程200起始於操作201，如第1A圖所示，提供具有鰭狀結構以及閘極結構之基板。基板經過各種製造過程以形成所述結構，如鰭狀結構104、隔離結構106以及閘極結構108。隔離物(未繪示)形成於操作202。在操作203中，使源極與汲極區域110_s以及110_d凹陷，且接著藉由蝕刻移除介於源極與汲極區域之間的隔離結構106之介電材料。然而，位於閘極電極層117與間隔物111下方的隔離結構106之介電材料並未被移除。

【0026】 流程200接著繼續至操作205，進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於基板上。流程200接著繼續至操作206，沉積應力膜於基板上。接著，在操作208中，進行退火製程於基板上。差排於退火製程的過程中形成。如上所述，應變源/汲極特徵(例如應力源區域)來增加載子遷移率且改善裝置效能已可實現。以下將描述差排的詳細形成過程。如果可以的話，應力膜於操作210中移除。在操作212中，於基板上進行磊晶成長以形成源極以及汲極區域。在一些實施方式中，操作206以及208並非必要且並沒有沉積應力膜。

【0027】 第3A至第3H圖爲根據多個實施方式形成finFET結構的源極與汲極區域的中間步驟的剖面圖。如上所述，間隔

物111形成於操作202中。間隔物111可包含沉積的間隔層，用以提供偏移。因此，此間隔層亦可稱為偏移間隔層116。在一些實施方式中，間隔物111亦可包含其他間隔層，此間隔層可稱為主要間隔層125。在一些實施方式中，偏移間隔層116具有約3奈米至約10奈米範圍的厚度。偏移間隔層116可由介電材料所製成，例如氮氧化矽(SiON)、氮化矽(SiN)、碳摻雜氮化矽(SiCN)或碳摻雜氮氧化矽(SiOCN)。在一些實施方式中，LDD摻雜係於偏移間隔層116形成後進行。

【0028】 在一些實施方式中，主要間隔層125具有約5奈米至約10 nm範圍的厚度。主要間隔層125可由介電材料所製成，例如氮氧化矽(SiON)、氮化矽(SiN)、碳摻雜氮化矽(SiCN)。SiCN相較於SiN或SiON在對抗蝕刻液，例如磷酸(H₃PO₄)與氫氟酸(HF)時，具有相對低的蝕刻速率。在一些實施方式中，沉積製程為電漿強化化學氣相沉積(plasma-enhanced chemical vapor deposition, PECVD)製程。其他適合的沉積製程亦可使用。在一些實施方式中，各個間隔物111具有寬度約於5奈米至約10奈米的範圍。

【0029】 間隔物111形成後，藉由操作203中的蝕刻製程，使n型裝置的源極和汲極區域凹陷。可利用一或多個蝕刻製程使得源極和汲極區域凹陷。蝕刻製程可包含乾式蝕刻，如電漿蝕刻製程，濕式蝕刻或者上述兩種的組合。在一些實施方式中，乾式蝕刻用以形成凹陷。舉例而言，蝕刻液如四氟化碳(CF₄)、氫氟酸(HF)、四甲基氫氧化銨(TMAH)或上述之組合，或者可用以進行濕式蝕刻的類似物以形成凹陷。在一些實施方

式中，形成約有50埃的厚度之氮化矽(SiN)層可用以近接式控制凹陷。

【0030】 在使n型裝置的源極區域和汲極區域凹陷前，光微影製程中可利用光阻劑覆蓋基板102之其他區域，例如p型裝置區域，以避免被蝕刻。因此，在蝕刻製程之後且下一個操作之前，需要有移除光阻劑的製程。其他的清除製程也可用來確保沒有殘餘的光阻劑餘留在基板上。

【0031】 在n型裝置的源極和汲極區域凹陷後，藉由蝕刻以曝光環繞於隔離結構106下方之半導體層103以移除鄰接於凹陷的源極和汲極區域之隔離結構106的介電材料。在一些實施方式中，蝕刻製程為離子(乾式)蝕刻製程。在隔離結構106之介電材料蝕刻前，包含有光阻的圖案化製程。圖案化的光阻層保護不是介電材料之移除目標的區域，如p型裝置區域和沒有鄰接N型裝置的源極和汲極區域之STI結構。藉由移除隔離結構106中的隔離介電材料(或者移除隔離結構106)，以下將會描述可有附加區域以相繼形成差排於源極和汲極區域中。在蝕刻製程之後且下一個操作之前，需要有光阻移除製程。其他的清除製程也可用來確保沒有殘餘的光阻劑餘留在基板上。

【0032】 第3A圖與第3B圖為根據多個實施方式形成凹陷127後且移除隔離結構106中的介電材料並使鰭狀結構104凹陷後，電晶體區域150之剖面圖。如上所述，在第2圖之操作203中，移除隔離結構106之介電材料且使鰭狀結構104凹陷。第3A圖繪示兩相鄰之閘極結構108。如上所述，可具有類似且平行於第1A圖所示之閘極結構108的其他閘極結構。第3A圖

繪示形成於其中一個鰭狀結構104上方且被凹陷127所分離之兩相鄰的閘極結構108，其中凹陷127可藉由蝕刻第1A圖所示之源極/汲極區域110_s以及110_D而形成。爲了簡單敘述，我們指定凹陷127爲凹陷的汲極區域110_D。各個閘極結構108包含閘極電極層117以及閘極介電層115。根據一些實施方式，硬式遮罩層120形成於閘極電極層117上方。硬式遮罩層120用以輔助閘極結構108之圖案化。在一些實施方式中，硬式遮罩層120的厚度 H_1 介於約70奈米至約100奈米的厚度之間。閘極電極層117的厚度 H_2 介於約80奈米至約100奈米的厚度之間。閘極介電層115的厚度 H_1 介於約2奈米至約3奈米的厚度之間。第1B圖示的通道長度 L 與閘極結構108之閘極電極層117的寬度相同。直接位於閘極結構108下方的通道區域112亦標註於第3A圖中。虛線118指的是隔離結構106的頂表面之高度，而另一個虛線119指的是隔離結構106的底表面之高度。

【0033】 第3A圖係繪示間隔物111形成於下一個閘極結構108。根據一些實施方式，各間隔物111包含偏移間隔層116以及主間隔層125。在相鄰閘極結構108之間有凹陷127。在一些實施方式中，凹陷127之深度 H_R 在隔離結構106的頂表面(高度118)下方約5奈米至約20奈米的範圍。凹陷127的底表面121係標示於第3A圖中。凹陷127的底表面121在隔離結構106的底表面下方(標示爲高度119)。

【0034】 第3B圖係根據第1A圖所繪示之切線132之電晶體區域150的剖面圖。第3B圖繪示之凹陷127係被鰭狀結構104(標示爲104₀)以及隔離結構106(標示爲開口106₀)所佔

據。鰭狀結構104之邊界係由虛線105所標示。指示隔離結構106的頂表面之高度的虛線118，以及指示隔離結構106的底表面之高度的虛線119亦繪示於第3B圖中。凹陷127的底表面121標示於第3B圖中。凹陷127的底表面在隔離結構的底表面119之水平下方。第3B圖繪示兩個鰭狀結構104被移除。在一些實施方式中，移除的鰭狀結構之數目介於2至30個的範圍之間。

【0035】 第3I圖根據一些實施方式繪示第3A圖與第3B圖之電晶體區域150的立體圖。第3I圖繪示已經凹陷的鰭狀結構104。此外，相鄰的隔離結構106之介電材料已被移除，且位於隔離結構106下方之部分的半導體層103亦被移除。凹陷127包含用以被鰭狀結構104以及隔離結構106所佔據的區域。此外，凹陷127亦包含已經被蝕刻的部分半導體層103。因為在蝕刻的過程中，間隔物111可保護隔離結構106以及鰭狀結構104，所以第3I圖亦繪示被間隔物111所覆蓋而沒有被移除且餘留於基板102上方的部分之隔離結構106以及鰭狀結構104。第3I圖繪示凹陷127之底表面121。

【0036】 請參考第2圖，預先非晶化佈植(pre-amorphization implantation, PAI)製程於操作205進行。如第3C圖以及第3D圖所示，根據一些實施方式，PAI製程230佈植一些佈植物於基板102上方所暴露之表面。佈植的佈植物損害開口106₀下方所殘餘的鰭狀結構104以及半導體層103之晶格結構以形成非晶化(或非晶的)區域232。在一些實施方式中，佈植的佈植物於半導體層103中散開。散開的佈植

物造成橫向的非晶化，導致延伸至間隔物111下方的非晶化區域232。在一些實施方式中，非晶化區域232形成於電晶體區域150之源極以及汲極區域中，且不會延伸至閘極結構108的中心線226下方。非晶化區域232在半導體層103之頂表面128下方具有深度234，頂表面128正好鄰接於閘極介電層115。深度234根據設計規格形成。在一些實施方式中，深度234介於約15奈米至約60奈米的範圍。在一些實施方式中，深度234少於約100奈米。

● **【0037】** 第3D圖繪示延伸至用以填補介電材料的開口106₀下方之非晶化區域232。藉由移除隔離結構106的介電材料，可暴露下方的半導體層103以非晶化。因此，相較於尚未移除隔離結構106之介電材料時，非晶化區域232更為擴張。擴張的非晶化區域232可協助差排的形成。否則，差排在初始階段會侷限於鰭狀結構104中。研究顯示差排可能不會如在平面裝置中一般所預期的形成或延展。更詳細的差排之形成將在以下說明。

● **【0038】** 在一些實施方式中，因為閘極間隔物111作用為將PAI製程230的佈植能量遠離閘極結構108的中心線226聚集，所以非晶化深度234可藉由閘極間隔物111之深度所控制，藉以允許更深的非晶化深度234。此外，非晶化深度234可藉由PAI製程230的參數所控制，例如佈植能量，佈植的佈植物以及佈植的劑量等。根據一些實施方式，PAI製程230佈植矽(Si)或鍺(Ge)於半導體層103。在一些實施方式中，使用其他比矽重的佈植物。例如，在一些實施方式中，PAI製程230

使用其他佈植植物，如氬(Ar)、氙(Xe)、砷(As)、磷(P)、銦(In)、其他適合的佈植佈植物或上述之組合。在一些實施方式中，PAI製程230佈植佈植物的佈植能量於約20 KeV至約40 KeV的範圍。在一些實施方式中，根據佈植溫度，PAI製程230佈植佈植物的劑量在約 7×10^{14} 原子/cm²至約 1.5×10^{15} 原子/cm²的範圍。較低的佈植溫度提高佈植非晶化的效率。在一些實施方式中，佈植的溫度在約-100 °C至約25 °C(或室溫)的範圍。

【0039】 在一些實施方式中，使用圖案化的光阻層來限定非晶化區域232的形成位置並保護基板102的其他區域免受佈植損壞，例如保護PMOS區域。另外，圖案化的光阻層暴露n型金氧半場效電晶體(NMOSFET)區域的源極/汲極區域，使得源極/汲極區域暴露於PAI製程230當中(形成非晶化區域232)。或者，使用如氮化矽(SiN)或氮氧化矽(SiON)之圖案化的硬式遮罩層來界定非晶化區域。在一些實施方式中，圖案化的光阻層或圖案化的硬式遮罩層為現行製程的一部分，例如輕摻雜(lightly-doped-drain, LDD)或源極/汲極的形成，因此PAI製程230不需要額外的光阻層或硬式遮罩層，藉以減少成本。在PAI製程進行之後，移除基板102上方的光阻。

【0040】 流程200接著選擇性的進行至操作206，其中應力膜沉積於基板上。參考第3E圖與第3F圖，在一些實施方式中，應力膜240選擇性的沉積於基板102上方。第3E圖繪示應力膜240沉積於具有間隔物111的閘極結構108上方。在一些實施方式中，應力膜240藉由原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、高密度電漿化學氣相沉積

(HDPCVD)、其他適合的方法及/或上述之組合所形成。在一些實施方式中，應力膜240包含介電材料，例如氮化矽、氧化矽、氮氧化矽、其他適合的材料及/或上述之組合。應力膜240具有拉伸的應力，其會影響重結晶的過程。例如，應力膜240可減緩源極和汲極區域在[110]結晶方向上的成長速率。在一些實施方式中，沒有使用應力膜240。在一些實施方式中，應力膜240的厚度介於約5奈米至約20奈米的範圍。在一些實施方式中，應力膜240介於0.8 GPa至約2.0 GPa的範圍之間。在一些實施方式中，應力膜240是可拉伸的且提供源極/汲極區域壓縮應力。

【0041】 接著，在操作208中，於基板上進行退火製程。仍參考第3E圖以及第3F圖，在操作208中，退火製程250在基板102上進行。退火製程250導致非晶化區域232重結晶，形成應力源區域252。此製程通常被稱為固相磊晶重長(solid-phase epitaxy regrowth, SPER)，因此稱應力源區域252為epi區域。根據一些實施方式，應力源區域252包含磊晶磷化矽(SiP)、磊晶碳磷化矽(SiCP)或磊晶矽(Si)，或者上述之組合。碳化矽(SiC)代表含碳的矽，而碳磷化矽(SiCP)代表含碳及磷的矽。在一些實施方式中，碳濃度少於大約3原子百分比。在一些實施方式中，磷濃度介於約 $5 \times 10^{19} \text{ 1/cm}^3$ 至約 $5 \times 10^{21} \text{ 1/cm}^3$ 之間。應力源區域的佈植劑於沉積的過程中佈植於層之中(或內佈植)。在一些實施方式中，應力源區域252包含具有不同摻雜劑的磊晶層。在一些實施方式中，磊晶層包含磷濃度介於約 $1 \times 10^{20} \text{ 1/cm}^3$ 至約 $7 \times 10^{20} \text{ 1/cm}^3$ 且厚度介於約4奈米至約

10奈米的磷化矽(SiP)層於另一個磷濃度介於約 $1\text{E}21\text{ 1/cm}^3$ 至約 $3\text{E}21\text{ 1/cm}^3$ 的範圍之間的磷化矽(SiP)層上方。在一些實施方式中，磊晶層包含厚度介於約4奈米至約10奈米的範圍且碳濃度少於約1%、磷濃度介於約 $1\text{E}20\text{ 1/cm}^3$ 至約 $7\text{E}20\text{ 1/cm}^3$ 的範圍之間的碳磷化矽(SiCP)層於另一個磷濃度介於約 $1\text{E}21\text{ 1/cm}^3$ 至約 $3\text{E}21\text{ 1/cm}^3$ 的範圍的磷化矽(SiP)層。在一些實施方式中，應力源區域252的表面層為矽層以避免於相繼製程中磷的流失。

【0042】 在一些實施方式中，鑒於碳的尺寸相較於矽小，碳摻入矽膜可製造碳化矽(SiC)應力源，其係壓縮性地且提供拉伸應變至N型金氧半(NMOS)電晶體之通道區域。此外，在一些實施方式中，壓縮膜應力於應力源區域中幫助夾斷點的生成。在一些實施方式中，摻雜磷以降低源極和汲極區域的電阻。可加入碳以阻止磷的外擴。

【0043】 在一些實施方式中，退火製程250為微波退火(microwave annealing, MWA)製程、快速熱退火(rapid thermal annealing, RTA)製程、毫秒熱退火(millisecond annealing, MSA)製程(例如，毫秒雷射熱退火製程)或微秒熱退火(microsecond annealing, μSA)製程。在一些實施方式中，退火製程包含預熱操作，以減少甚至消除末端損傷(end of range, EOR)缺陷，其係為非晶/結晶介面所遺留的缺陷。根據一些實施方式，預熱操作於約 200°C 至約 700°C 的溫度間進行。在一些實施方式中，預熱操作於約10秒至約10分鐘的範圍之間進行。

【0044】 以先進組件製造而言，由於高溫處理在所述製程操作中是禁止的，因此使用MWA製程為主要的退火製程。MWA製程可調整以局部地增加特定結構、層或區域的溫度，如非晶化區域232，至相較於基板或其他周圍結構、層或區域更高的溫度。舉例而言，非晶化區域232具有佈植物且結晶結構不同於周圍的半導體層103以及基板102。因此，非晶化區域232可藉由微波加熱至比半導體層103以及基板102更的溫度。局部地高溫可由微波下的電子極化及/或界面極化機制造成。目標層之局部溫度高於基板。在一些實施方式中，溫度差在約200°C至約500°C的範圍。因此，MWA製程的溫度(於基板上量測)可被設置於較低的值。在一些實施方式中，MWA製程在約400°C至約600°C的範圍。在一些實施方式中，基板的溫度在電子極化機制的第二階段期間約在300°C至約500°C的範圍。在一些實施方式中，基板溫度在界面極化機制的第二階段期間約在500°C至約600°C的範圍。在一些實施方式中，MWA製程的時間約在1分鐘至約3分鐘的範圍。如果使用MWA製程，預熱操作的溫度可維持在製程過程所需要的範圍內。

【0045】 或者，有其他退火製程的種類。在一些實施方式中，退火製程250的主要退火在約800°C至約1400°C的範圍進行。在一些實施方式中，依據退火製程的種類以及使用的溫度，退火製程250的主要退火在約1毫秒至約5小時的範圍之間進行。例如，預熱操作在約550°C的溫度且進行約180秒。在一些實施方式中，如果退火製程250為RTA製程，主要退火溫

度相同或大於約 950°C 且進行的期間約0.5秒至約5秒的範圍。在一些實施方式中，如果退火製程250為MSA製程。主要退火溫度升高至矽的熔點，約 1400°C 且進行約幾個毫秒或更少，例如約0.8毫秒至約100毫秒。

【0046】 在退火製程250的期間，當應力源區域252重結晶時，差排260形成於應力源區域252中。如上所述，第3B圖根據第1A圖之切線132繪示電晶體區域150之剖面圖。第3F圖繪示第3B圖所延伸的剖面圖。如第3F圖所示，根據一些實施方式，第3F圖(平行於切線132或切線131)之半導體層103所暴露的表面具有[100]的結晶取向且所述半導體層103之結晶取向垂直於[110]之切線132。如上所述，在第3D圖中，藉由移除隔離結構106之介電材料，而暴露下方之半導體層103以非晶化。因此，當隔離結構106之介電材料沒有移除時，非晶化區域232較為擴張。在退火製程250期間，擴張的非晶化區域232增加了差排(或夾斷點262)起始的區域之尺寸。在一些實施方式中，差排260形成於[111]的方向上。如第3E圖與第3F圖所示，在一些實施方式中，以半導體層103(或基板102的表面)之頂表面128平行的[110]為準量測角度，[111]的方向具有角度 θ 介於約45度至約65度之間。第3E圖中的半導體層103所暴露的表面(平行於切線131)具有結晶取向[110]。夾斷點262位於凹陷127的底表面121下方。

【0047】 差排260之形成起始於夾斷點262。在一些實施方式中，夾斷點262形成於應力源區域252中，位於約10奈米至約30奈米範圍之深度 H_D ，其中深度 H_D 由隔離結構106的底表

面119開始量測。夾斷點262具有水平緩衝264以及垂直緩衝266。水平緩衝264以及垂直緩衝266從非晶化區域232的邊界開始量測，所述邊界由第3C與3E圖中的虛線所標示。水平緩衝264以及垂直緩衝266根據設計規格所形成且被退火製程250所影響。在一些實施方式中，夾斷點262具有約8奈米至約38奈米範圍的水平緩衝264，以及約10奈米至約40奈米範圍的垂直緩衝266。在一些實施方式中，夾斷點262形成且夾斷點262沒有設置於通道區域內。第3F圖繪示差排260的剖面圖，其係由位於底表面121下方的虛線所表示。

【0048】 如第2圖中所述，在退火製程250過後，於操作210中移除應力膜240。在一些實施方式中，NMOS裝置之各個閘極間隔物111之至少一部分亦被移除。應力膜240以及閘極間隔物111移除的部分藉由蝕刻製程移除。在一些實施方式中，蝕刻製程可由濕式蝕刻進行，如藉由磷酸或氫氟酸，或藉由乾式蝕刻以及濕式蝕刻的組合。在一些實施方式中，上述進行PAI製程的處理程序、應力膜的形成、退火以及應力膜的移除係重複多次以製造出多個差排。關於多個差排於應力源區域252的細節可在美國專利申請號13/177,309號中找到，於2011年7月6日提申，標題為「A Semiconductor Device with a Dislocation Structure and Method of Forming the Same」，在此引用作為本說明書的揭示內容。

【0049】 接著，如第3G圖以及第3H圖所示，含矽磊晶結構285形成於各個凹陷127中，根據一些實施方式，第2圖中的操作212形成源極以及汲極區域。含矽磊晶結構285用以作為

電晶體區域150中的裝置之源極以及汲極結構。在一些實施方式中，含矽磊晶結構285藉由進行磊晶沉積製程以形成含矽磊晶材料。在一些實施方式中，含矽磊晶材料(應力誘導材料)包含碳化矽(SiC)、碳磷化矽(SiCP)、磷化矽(SiP)或其他可產生拉伸應變於電晶體通道區域的材料。在一些實施方式中，含矽材料藉由利用含矽前體物形成。例如，在一些實施方式中，氣體如矽甲烷(SiH_4)、乙矽烷(Si_2H_6)、丙矽烷(Si_3H_8)、二氯矽烷(SiH_2Cl_2)等，係用以形成含碳化矽(SiC)磊晶材料於磊晶結構285中。在一些實施方式中，含磷氣體，如磷化氫(PH_3)，係用以形成磷化矽(SiP)磊晶材料或者與含碳氣體形成碳磷化矽(SiCP)。在其他形成P型電晶體的實施方式中，含矽磊晶材料包含任何材料，例如製造壓縮應變於電晶體通道區域上的矽鍺(SiGe)。

【0050】 在一些實施方式中，含矽磊晶結構285的表面286為凹陷的且大致與半導體層103的表面128以及閘極結構108同個高度或者更高。因為在[100]與[111]的結晶取向之生長速率的差異，表面286為凹陷的。在一些實施方式中，表面286具有之高度達到基板表面上方約30奈米。如第3G圖所示，根據一些實施方式，因為含矽磊晶結構285亦為磊晶的，差排260於磊晶結構285中延續。隨著差排260的生長，磊晶結構285成為部分的應力源區域252，其即為源極和汲極區域。

【0051】 第3J圖係根據一些實施方式繪示第3G圖以及第3H圖的電晶體區域150的立體圖。第3J圖繪示含矽磊晶結構285形成於第3I圖的凹陷127中。部分的磊晶結構285突出於相

鄰之半導體層103上方。凹陷127的底表面121亦標註於第3J圖中。第3J圖亦繪示差排260的剖面圖，其係以底表面121下方的虛線表示之。

【0052】 在一些實施方式中，含矽結晶材料藉由化學氣相沉積(CVD)形成，例如低壓化學氣相沉積(low pressure CVD, LPCVD)、原子層化學氣相沉積(atomic layer CVD, ALCVD)、超高真空化學氣相沉積(ultrahigh vacuum CVD, UHVCVD)、減壓化學氣相沉積(reduced pressure CVD, RPCVD)、任何適合的CVD、分子束磊晶(molecular beam epitaxy, MBE)製程、任何適合的磊晶製程或上述的組合。在一些實施方式中，含矽磊晶材料的沉積具有約750°C或更低的沉積溫度。在其他實施方式中，蝕刻溫度介於約500°C至約750°C的範圍。在一些實施方式中，沉積製程的壓力介於約50托(Torr)至約600托之間。

【0053】 又或者，含矽磊晶材料藉由進行週期性沉積以及蝕刻製程形成。例示性製程的細節於美國專利申請號13/029,378中有說明，標題為「Integrated Circuits and Fabrication Methods Thereof」，提申日為2011年2月17日，在此引用作為本說明書的揭示內容。

【0054】 接著，基板102進行進一步的CMOS或MOS技術的製程以形成多樣的特徵，以完成電晶體區域150中的裝置結構以及內連接結構的形成。在一實施方式中，閘極堆疊包含多晶矽於最終產物中。在另一實施方式中，進行閘極置換製程(或後閘極製程)，其中閘極電極117置換為金屬閘極。金屬閘極包

含線性層、功函數層、導電層、金屬閘極層、填充層、其他適合的層及/或上述之組合。各式的層中可包含任何適當的材料，例如鋁、銅、鎢、鈦、鉭、鋁化鉭、氮化鉭鋁、氮化鈦、氮化鉭、矽化鎳、矽化鈷、銀、碳化鉭(TaC)、鉭矽氮(TaSiN)、碳氮化鉭(TACN)、鋁化鉭(TiAl)、氮化鈦鋁(TiAlN)、氮化鎢(WN)、金屬合金、其他適合的材料、及/或上述之組合。

【0055】 在一些實施方式中，後續的製程還形成各式的接觸點/孔/線以及多層的內連接特徵(例如，金屬層以及層間介電層)於基板102上方，用以連接各種特徵或結構。在一些實施方式中，附加的特徵提供電性連接至裝置。例如，多層內連接包含垂直的內連接，如傳統的孔或接觸點，以及水平的內連接，例如金屬線。在一些實施方式中，各式的內連接特徵實現各式的導電材料，如銅、鎢及/或矽化物。在一實施方式中，鑲嵌及/或雙嵌製程用以形成與銅相關的多層內連接之結構。

【0056】 在以上第3A至3H圖中描述之源極和汲極區域中形成差排的機制使得差排一致並且可靠的形成，以施加拉伸應力於通道區域中。

【0057】 第2圖之流程200在磊晶成長(操作212)之前進行PAI製程(操作205)。或者，源極和汲極區域中的差排可藉由不同的流程形成。第4圖係根據一些實施方式繪示在finFET裝置之源極和汲極區域中形成差排的連續製作流程。第5A圖至第5J圖係根據多個實施方式繪示電晶體區域於第4圖之連續流程中的剖面圖。以下所述之製作順序以及結構主要是爲了n型finFET裝置。然而，以下所述之至少部分實施方式也可以應

用於p型finFET裝置。

【0058】 流程400起始於操作401，如第1A圖所示，提供具有鰭狀結構以及閘極結構之基板。操作401類似於操作201，且操作401所提供的結構類似於操作201所提供的結構。間隔物(未繪示)接著形成於操作402。在操作403中，使得源極和汲極區域110_s以及110_D凹陷，且接著藉由蝕刻移除介於源極和汲極區域之間的隔離結構106以暴露半導體層103。操作402以及操作403分別類似於操作202以及203。

【0059】 流程400接著繼續至操作405，於基板上進行磊晶成長以形成源極和汲極區域。流程400接著進行至操作406，進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於基板上。流程400接著進行至操作407，沉積應力膜於基板上。接著，在操作408中，進行退火製程於基板上。在操作410中，移除應力膜。流程400在進行PAI製程之前進行源極和汲極區域的磊晶成長。因此，差排相較於流程200將會更接近半導體層103的表面128形成。夾斷點的位置，如標號262，會影響施加至鰭通道的拉伸應力。

【0060】 第5A至第5J圖為根據多個實施方式形成finFET結構的源極與汲極區域的中間步驟的剖面圖。因為操作401、402以及操作403分別類似於操作201、202以及203。第5A-5B圖分別類似於第3A-3B圖，對於第5A-5B圖的說明可參考第3A-3B圖的敘述。

【0061】 請參考第4圖，於操作403完成後，於基板上進行磊晶成長以形成源極以及汲極區域。磊晶成長形成含矽磊晶結

構285*，含矽磊晶結構285*用以作為電晶體區域150*中的裝置之源極以及汲極結構。含矽磊晶結構285*藉由進行磊晶沉積製程以形成含矽磊晶材料。在一些實施方式中，含矽磊晶結構285*之含矽磊晶材料類似於上述第3G圖以及第3H圖中的含矽磊晶結構285之含矽磊晶材料。然而，於含矽磊晶結構285*中，設計用以應力源極和汲極區域的差排尚未形成。

【0062】 在一些實施方式中，含矽磊晶結構285*的表面286*與半導體層103以及閘極結構108之間的表面128大致同個高度或者更高。在一些實施方式中，表面286*具有之高度達到表面128上方約30奈米。

【0063】 請參考第4圖，在操作405完成後，進行操作406中的預先非晶化佈植(pre-amorphization implantation, PAI)製程。如第5E圖以及第5F圖所示，根據一些實施方式，PAI製程230*佈植一些佈植物於基板102上方暴露之表面。佈植的佈植物損害含矽結構285*以及鄰接含矽磊晶結構285*的部份半導體層103之晶格結構。在一些實施方式中，佈植的佈植物於半導體層103中散開。散開的佈植物造成橫向的非晶化，導致延伸至間隔物111下方區域的非晶化區域232*(具有虛線的邊界，其接近含矽磊晶結構285*的邊界)。非晶化區域232*形成於電晶體區域150*之源極以及汲極區域150中，且不會延伸至閘極結構108的中心線226下方。非晶化區域232*在原本的隔離結構106的頂表面128下方具有深度234*。深度234*根據設計規格形成。在一些實施方式中，深度234*介於約30奈米至約50奈米的範圍。在一些實施方式中，非晶化的深度234*

少於約60奈米。在一些實施方式中，PAI製程230*以及佈植的劑量範圍類似於上述之PAI製程230。根據一些實施方式中，非晶化區域232*的底表面以第5F圖中的虛線123標示之。

【0064】 流程400接著繼續至操作407，其中應力膜沉積於基板上。參考第5G與第5H圖，在一些實施方式中，應力膜240*沉積於基板102上方。第5G圖繪示應力膜240*沉積於具有間隔物111之閘極結構108上方。所述應力膜240*類似於上述之應力膜240。

【0065】 接著，在操作408中，於基板上進行退火製程。參考第5G圖以及第5H圖，在操作408中，退火製程250*在基板102上進行。退火製程250*導致非晶化區域232*重結晶，以形成應力源區域252*。此製程通常被稱為固相磊晶重長(solid-phase epitaxy regrowth, SPER)，因此應力源區域252*稱為epi區域。所述退火製程250*類似於上述之退火製程250。在應力源區域252*重結晶且差排形成後，應力源區域252*為非晶化區域232*。因為PAI製程230*在含矽磊晶結構285*形成之後進行，應力源區域252*(或非晶化區域232*)之深度234*少於第3E圖以及第3G圖之應力源區域252(或非晶化區域232)之深度234。

【0066】 如上所述，藉由移除隔離結構106之介電材料，而暴露下方的半導體層103以非晶化。類似於非晶化區域232，當隔離結構106之介電材料沒有移除時，非晶化區域232*較為擴張。在退火製程250*期間，擴張的非晶化區域232*增加了差排262*起始的區域之尺寸。在一些實施方式中，差排

260*形成於[111]的方向上。在一些實施方式中，如第5G圖所示，以[110]為準量測角度，[111]的方向具有角度 θ^* 介於約45度至約65度之間。

【0067】 差排260*之形成起始於夾斷點262*。在一些實施方式中，夾斷點262*形成於應力源區域252*中，在約5奈米至約20奈米範圍之深度 H_D^* ，其中深度 H_D^* 由隔離結構106的底表面119開始量測。因為PAI製程230*在含矽磊晶結構285*形成之後進行，應力源區域252*(或非晶化區域232*)之深度234*少於第5E圖以及第5G圖之應力源區域252(或非晶化區域232)之深度234。因此，所述之差排260*的深度 H_D^* 少於上述之差排260的深度 H_D 。

【0068】 根據一些實施方式，第5K圖繪示第5I圖與第5J圖之電晶體區域150*的立體圖。第5K圖繪示含矽磊晶結構285*形成於第3I圖中的凹陷127，第5K圖亦為第5A圖與第5B圖之立體圖。部分的磊晶結構285*突出於相鄰之半導體層103上方。凹陷127之底表面121亦標示於第5K圖中。第5K圖亦繪示差排260*之剖面圖，差排260*係藉由虛線表現之，且位於底表面121上方。

【0069】 夾斷點262*具有水平緩衝264*以及垂直緩衝266*。水平緩衝264*以及垂直緩衝266*根據設計規格所形成且被退火製程250*所影響。在一些實施方式中，夾斷點262*具有約8奈米至約38奈米範圍的水平緩衝264*，以及約10奈米至約40奈米範圍的垂直緩衝266*。在一些實施方式中，夾斷點262*形成且夾斷點262*沒有設置於通道區域內。

【0070】 如上述之第4圖且如第5I圖以及第5J圖所示，根據一些實施方式，在退火製程250*過後，於操作410中移除應力膜240*。在一些實施方式中，NMOS裝置的各個閘極間隔物111的至少一部分亦被移除。應力膜234*以及所移除的部分閘極間隔物111係藉由蝕刻製程移除。在一些實施方式中，蝕刻製程可由濕式蝕刻進行，如藉由磷酸或氫氟酸，或藉由適當的蝕刻劑之乾式蝕刻。在一些實施方式中，上述進行PAI製程的處理程序、應力膜的形成、退火以及應力膜的移除係重覆多次以製造出多個差排。關於多個差排於應力源區域252*的細節可在美國專利申請號13/177,309號中找到，於2011年7月6日提申，標題為「A Semiconductor Device with a Dislocation Structure and Method of Forming the Same」，在此引用作為本說明書的揭示內容。

【0071】 接著，基板102進行進一步的CMOS或MOS技術的製程以形成多樣的特徵，並以類似於電晶體區域150之方式完成電晶體區域150*中的裝置結構以及內連接結構的形成。上述第5A至5J圖中，於源極和汲極區域中形成差排的機制亦使得差排一致且可靠的形成，以施加拉伸應力於通道區域中。

【0072】 上述之差排260和260*應變源極/汲極區域(或形成應力源區域)。差排260和260*形成於源極和汲極區域中以增加載子遷移率以及裝置效能。finFET裝置具有三維(3D)的閘極介電層且使用多個鰭狀結構以形成源極和汲極區域。所述鰭狀結構具備有限的結晶區以限制差排的形成。藉由移除環繞鰭狀結構104之隔離結構106中的介電材料，形成差排的結晶

區域增加。因此，應力源區域(或源極和汲極區域)中的差排可一致的 formed，以產生目標應變於源極和汲極區域中，增加 NMOS 的載子遷移率以及裝置效能。

【0073】 以上第3A-3H圖以及第5A-5J圖中所描述的形成差排於源極和汲極區域中的實施方式之機制，皆可一致的並可靠的形成差排以施加拉伸應力於通道區域中。差排一致且可靠的形成可藉由使鰭狀結構凹陷，並藉由移除鰭狀結構之間的隔離結構以增加形成差排的區域而達成。沒有移除鰭狀結構之間的隔離結構，形成差排的區域被侷限在鰭狀區域，其更加的侷限且可能會限制差排的產生。在一些實施方式中，藉由利用上述之機制，NMOS finFET裝置可改善電流(離子)於約5%至約20%的範圍。

【0074】 形成差排於finFET裝置中的源極和汲極區域的實施方式之機制已提供。所述機制包含使鰭狀結構凹陷，且移除鄰接於鰭狀結構的隔離結構中的介電材料以增加磊晶區域形成差排。上述機制亦包含進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於磊晶成長於源極和汲極區域之前或之後。PAI製程之後的退火製程使得差排於源極和汲極區域中一致的長成。源極和汲極區域(或應力源區域)中的差排可一致地形成，以產生目標應變於源極和汲極區域中以改善NMOS裝置的載子遷移率以及裝置效能。

【0075】 在一些實施方式中，提供一種半導體裝置。所述半導體裝置包含基板，其具有鰭式場效電晶體(fin-type field-effect-transistor, finFET)區域。半導體裝置亦包含兩

相鄰閘極結構形成於兩相鄰鰭狀結構上方，且兩相鄰鰭狀結構包含結晶的含矽材料。部分的兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置還包含同時為兩相鄰閘極結構之源極與汲極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。

【0076】 在另外一些實施方式中，提供一種半導體裝置。所述半導體裝置包含具有鰭式場效電晶體(fin-type field-effect-transistor, finFET)區域的基板，以及形成於兩相鄰鰭狀結構上方的兩相鄰閘極結構。兩相鄰鰭狀結構包含結晶的含矽材料，且部分之兩相鄰鰭狀結構突出於相鄰之隔離結構上方。半導體裝置亦包含同時為兩相鄰閘極結構之源極與汲極區域，其中複數個差排(dislocations)於源極與汲極區域中以應變(strain)源極與汲極區域。源極與汲極區域中延伸過兩相鄰閘極結構之間的隔離結構，且源極與汲極區域中沒有隔離結構。

【0077】 在又一些實施方式中，提供一種形成鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置的方法。所述方法包含提供具有複數個鰭狀結構以及複數個閘極結構之基板，且複數個閘極結構形成於鰭狀結構上方，其中複數個隔離結構形成於鰭狀結構之間。所述方法亦包含使鰭狀結構的暴露部分凹陷，且移除隔離結構之介電材料，並進行預先非晶化佈植(pre-amorphization implantation, PAI)製程於部分之半導體層上，以非晶化部分之半導體層。所述方法還包含進行退火製程以重新結晶非晶化部分之半導體層，並成長磊晶含矽

材料於重心結晶化的部份半導體層上，以形成finFET裝置的源極與汲極區域。

【0078】 應了解到，在本文中所公開的不同實施方式提供了不同的公開內容，並且可以在不背離本揭露的理念和範圍的情況下對這些實施方式進行各種改變、替換和變化。舉例而言，本文公開之實施方式描述了鰭狀區域中形成拉伸應力。然而，其他實施方式可以包含通過鰭狀區域上面提供的應力層(例如，應力傳遞層)在鰭狀區域中形成壓縮應力。壓縮應力產生膜的實例可以包含金屬氮化物成分。

【符號說明】

【0079】

100：半導體裝置結構

110_S：閘極區域

110_D：汲極區域

102：基板

103：半導體層

104、104₀：鰭狀結構

105：虛線

106：隔離結構

106₀：開口

108：閘極結構

111：間隔物

112：通道區域

113：LDD 區域

115：閘極介電層

116：偏移間隔層

117：閘極電極層

118、119：高度

121：底表面

128：頂表面

120：硬式遮罩層

125：主要間隔層

127：凹陷

132、131：切線

150、150*：電晶體區域

200、400：流程

201~203、205、206、208、210、212、401~403、405、406~408、

410：操作

226：中心線

230、230*：PAI 製程

232、232*：非晶化區域

234：深度

240：應力膜

250、250*：退火製程

252、252*：應力源區域

260：差排

264、264*：水平緩衝

266、266*：垂直緩衝

285、285*：磊晶結構

286、286*：表面

L 、 L_s ：長度

W ：寬度

H_G 、 H_F ：高度

H_1 、 H_2 、 H_3 ：厚度

H_R 、 H_D 、 H_D^* ：深度

θ 、 θ^* ：角度

【發明申請專利範圍】

【第 1 項】一種半導體裝置，包含：

一基板，具有一鰭式場效電晶體 (fin-type field-effect-transistor, finFET) 區域；

兩相鄰閘極結構，形成於兩相鄰鰭狀結構上方，其中該兩相鄰鰭狀結構包含一結晶的含矽材料，且其中部分之該兩相鄰鰭狀結構突出於相鄰之複數個隔離結構上方；以及

一源極與汲極區域，為該兩相鄰閘極結構所共用，其中複數個差排(dislocations)位於該源極與汲極區域中以應變(strain)該源極與汲極區域。

【第 2 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域延伸過該兩相鄰閘極結構之間的該些隔離結構。

【第 3 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域中沒有該些隔離結構。

【第 4 項】如請求項 1 所述之半導體裝置，其中該源極與汲極區域之上表面係凹陷的且於一半導體層之上表面上方，其中該半導體層之上表面緊鄰一閘極介電層。

【第 5 項】一種半導體裝置，包含：

一基板，具有一鰭式場效電晶體 (fin-type field-effect-transistor, finFET) 區域；

兩相鄰閘極結構，形成於兩相鄰鰭狀結構上方，其中該

兩相鄰鰭狀結構包含一結晶的含矽材料，且其中部分之該兩相鄰鰭狀結構突出於相鄰之複數個隔離結構上方；以及

一源極與汲極區域，為該兩相鄰閘極結構所共用，其中複數個差排(dislocations)於該源極與汲極區域中以應變(strain)該源極與汲極區域，其中該源極與汲極區域中延伸過該兩相鄰閘極結構之間的該些隔離結構，且其中該源極與汲極區域中沒有該些隔離結構。

【第 6 項】一種形成鰭式場效電晶體(fin-type field-effect-transistor, finFET)裝置的方法，包含：

提供具有複數個鰭狀結構以及複數個閘極結構之一基板，其中該些閘極結構形成於該些鰭狀結構之上方，且其中複數個隔離結構形成於該些鰭狀結構之間；

使該些鰭狀結構之暴露部分凹陷，且移除該些隔離結構之一介電材料；

進行一預先非晶化佈植(pre-amorphization implantation, PAI)製程於部分之一半導體層上，以非晶化部分之該半導體層；

進行一退火製程以重新結晶該半導體層的非晶化部分；以及

成長一磊晶含矽材料於該半導體層的重新結晶化部分上，以形成該鰭式場效電晶體裝置之一源極與汲極區域。

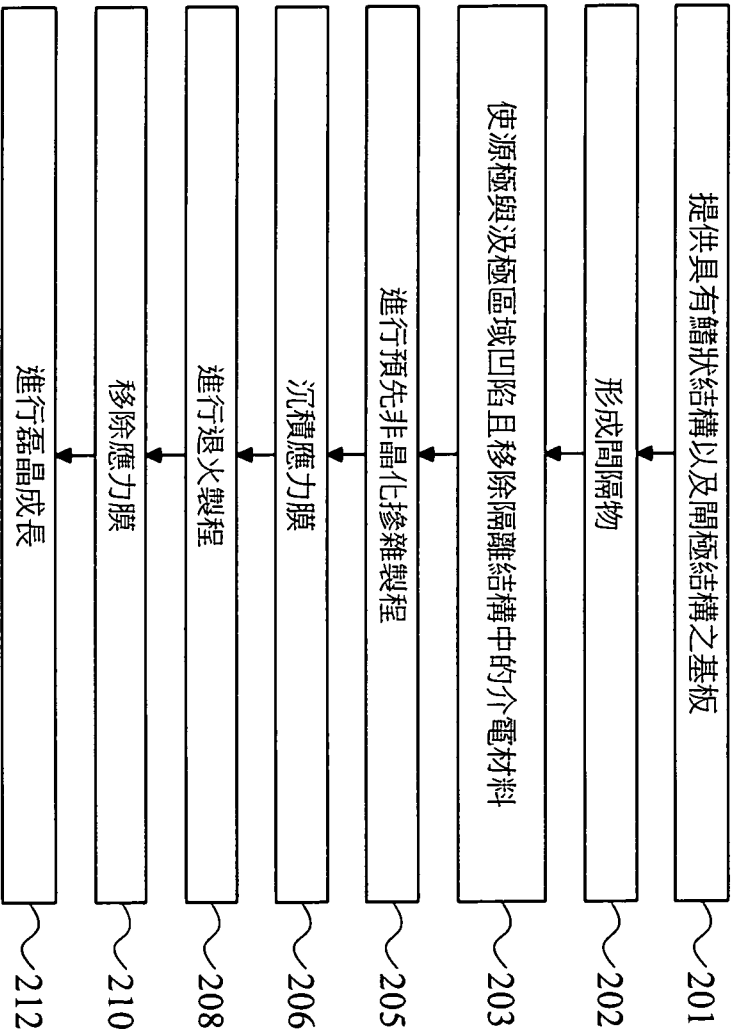
【第 7 項】如請求項 6 所述之方法，其中該預先非晶化佈植製程於成長該磊晶含矽材料之前進行。

【第 8 項】如請求項 6 所述之方法，其中該預先非晶化佈植製程於成長該磊晶含矽材料之後進行。

【第 9 項】如請求項 6 所述之方法，更包含：
在該退火製程前沉積一應力膜；以及
在該退火製程後移除該應力膜。

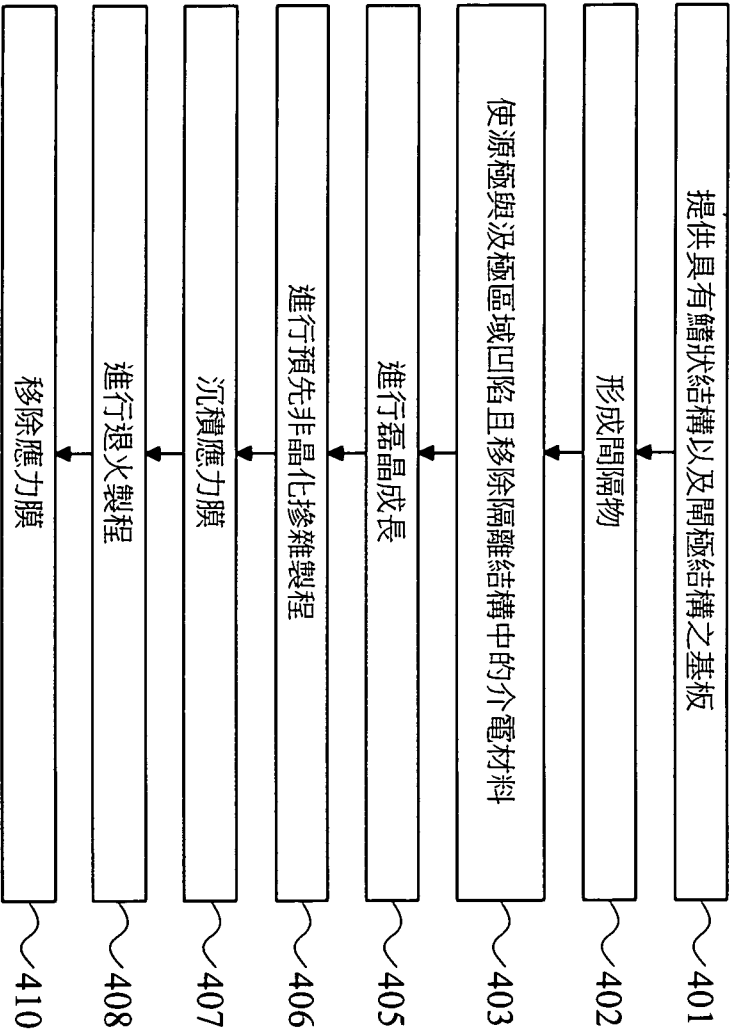
【第 10 項】如請求項 6 所述之方法，其中該磊晶含矽材料成長於該些隔離結構以及該些鰭狀結構之凹陷部位所佔據的區域上。

200



第 2 圖

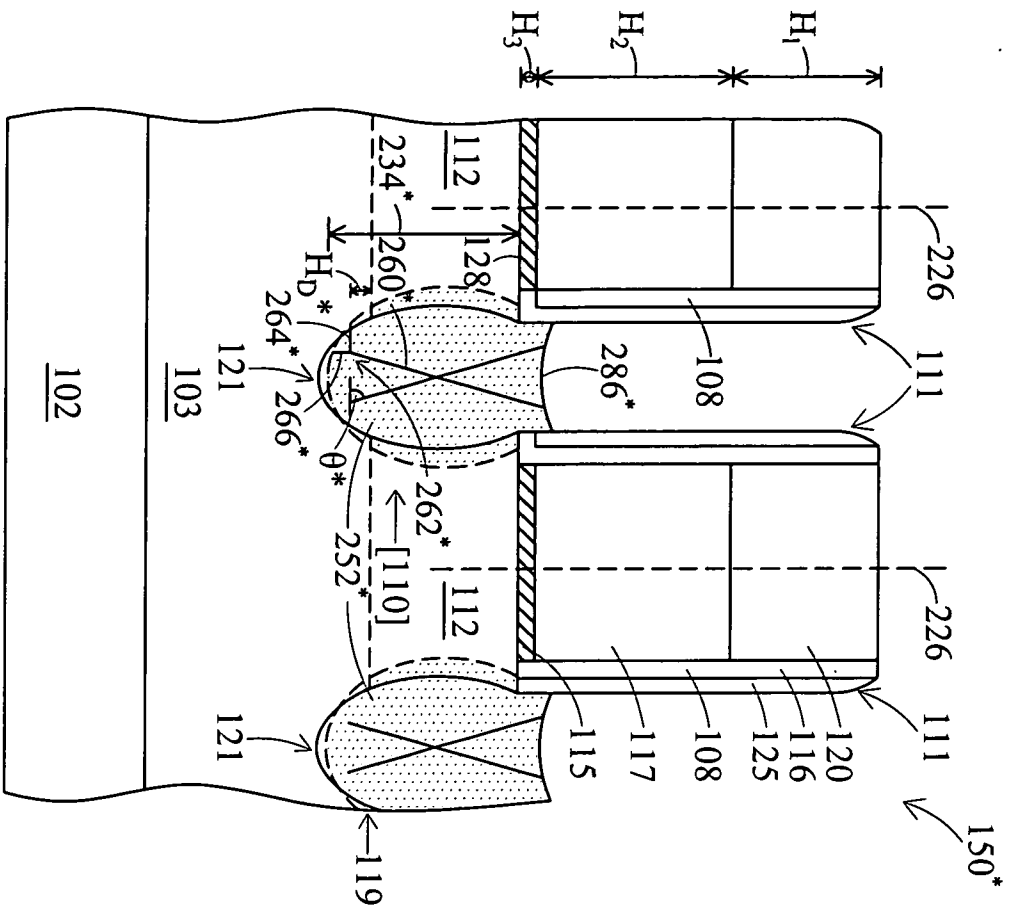
400



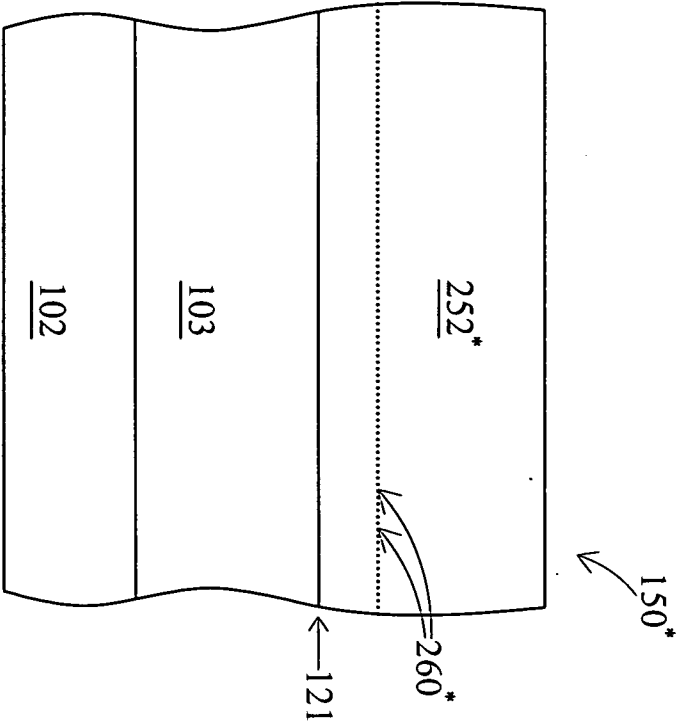
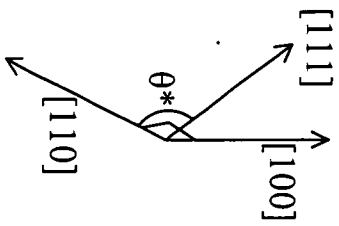
第 4 圖







第 51 圖



第 51 圖