

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97107439

※ 申請日期：97/03/04

※IPC 分類：H01L 23/488 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置 / SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞薩科技股份有限公司

Renesas Technology Corp. (株式会社ルネサステクノロジ)

代表人：(中文/英文)

塚本克博 / Katsuhiko TSUKAMOTO (塚本克博)

住居所或營業所地址：(中文/英文)

日本國東京都千代田區大手町二丁目 6 番 2 號

6-2, Otemachi 2-chome, Chiyoda-ku, Tokyo 100-0004 Japan

國 籍：(中文/英文)

日本 / Japan

三、發明人：(共 6 人)

姓 名：(中文/英文)

(1) 三角和幸 / Kazuyuki MISUMI

(2) 畑內和士 / Kazushi HATAUCHI

(3) 高田泰紀 / Yasuki TAKATA

(4) 安田直世 / Naoya YASUDA (安田直世)

(5) 新川秀之 / Hideyuki ARAKAWA

(6) 福留勝幸 / Katsuyuki FUKUDOME

國 籍：(中文/英文)

(1)~(6) 日本 / Japan

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實
發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007/03/06；2007-055247
- 2.
- 3.
- 4.
- 5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關於分別以連接線連接半導體晶片上之多個鐳墊和多個內部引線之樹脂模製型之半導體裝置。

【先前技術】

在晶片鐳墊和多個內部引線之間設有接地之 GND 引線之半導體裝置被廣泛地使用。連接該 GND 引線和半導體晶片之 GND 線被配置在分別連接半導體晶片和多個內部引線之多個連接線之間。因此，在 GND 線之周圍，鄰接之內部引線前端之間隔擴大成為 0.4~0.5mm 之程度。

(專利文獻 1)日本專利特開平 1-202853 號公報

(專利文獻 2)日本專利特開平 7-14976 號公報

【發明內容】

(發明所欲解決之問題)

當將此種之引線框架重疊地儲存時，在鄰接之內部引線前端，間隔擴大之內部引線會有表面相擦成為很深之擦傷之情況。在將該擦傷之內部引線針腳式接合到連接線時，會有針腳式剝離之問題。另外，假如在引線框架間放入層間紙時，可以避免上述之問題，但是不只成本會增加，而且可放入箱子之引線框架之數目會變少為其問題。

另外，在先前技術之情況是使用 L 字型內部引線者。該 L 字型內部引線具有被設在晶片鐳墊和多個內部引線間之區域並且在多個之內部引線之排列方向延伸之部份。在該部份當拉伸針腳式接合之連接線進行切斷時，會造成 L 字

型內部引線之浮上為其問題。

另外，在半導體晶片上之鐳墊之近旁具有大的寄生電容。在傳送線路之途中當具有大的寄生電容時，會使該部份之特性阻抗降低。因此當特性阻抗之不匹配變大時，由於信號之反射所產生之損失變大，信號之傳達特性會劣化。與此相對地，在專利文獻 1、2 所揭示之技術是經由調整內部引線之間隔，可以使特性阻抗之不匹配變小。但是，當為能防止特性阻抗之降低而使各個內部引線之間隔變大時，會造成半導體裝置之大型化為其問題。

本發明用來解決上述之課題，其第 1 目的是獲得可以防止內部引線表面之擦傷之半導體裝置。

本發明之第 2 目的是獲得在切斷針腳式接合之連接線時，可以防止內部引線浮上之半導體裝置。

本發明之第 3 目的是獲得可以抑制大型化並且使特性阻抗之不匹配變小，及可以防止信號之傳達特性劣化之半導體裝置。

(解決問題之手段)

本發明之一實施例之半導體裝置具有：晶片鐳墊；多個之內部引線，被設在晶片鐳墊之周圍；接地之 GND 引線，被設在晶片鐳墊和多個之內部引線間之區域；半導體晶片，搭載在晶片鐳墊上；多個之連接線，分別連接半導體晶片和多個之內部引線；和 GND 線，被配置在多個之連接線之間，用來連接半導體晶片和 GND 引線。另外，鄰接之內部引線前端之間隔為 0.2mm 以下。

(發明效果)

依照該實施例時，可以防止內部引線表面之擦傷。

【實施方式】

[實施形態 1]

圖 1 是平面圖，用來表示本發明之實施形態 1 之半導體裝置，圖 2 為其側面圖。從以模製樹脂密封半導體晶片(如後面所述)之封裝本體 11，引出多個之外部引線 12。

圖 3 是平面圖，用來表示本發明之實施形態 1 之半導體裝置之封裝本體之內部，圖 4 是將圖 3 之主要部份擴大之平面圖。在晶片銲墊 13 之周圍設置多個之內部引線 14 和 T 字型內部引線 15。多個之內部引線 14 和 T 字型內部引線 15 分別連接到對應之外部引線 12。多個之內部引線 14 包含有互相鄰接之 2 根之差動信號用內部引線 14a，和鄰接差動信號用內部引線 14a 之固定電位用內部引線 14b。在晶片銲墊 13 和多個之內部引線 14 之間設有接地之 GND 引線 16。

在半導體晶片 17 上設有多個之銲墊 18。多個之銲墊 18 包含有互相鄰接之 2 個之差動信號用銲墊 18a，和鄰接差動信號用銲墊 18a 之固定電位用銲墊 18b。半導體晶片 17 上之銲墊 18 和多個之內部引線 14 分別利用多個之連接線 21(第 1 連接線)連接。半導體晶片 17 上之銲墊 18 和 GND 引線 16 利用 GND 線 22 連接。GND 線 22 被配置在多個之連接線 21 之間。半導體晶片 17 上之銲墊 18 和 T 字型內部引線 15 利用連接線 23(第 2 連接線)連接。

在本實施形態中，在 GND 線 22 之周圍使內部引線 14 之寬度變粗，使鄰接之內部引線 14 前端之間隔成為 0.2mm 以下。利用此種方式，即使在重疊儲存引線框架之情況時，亦可以防止內部引線表面之擦傷。

另外，T 字型內部引線 15 具有第 1、第 2 引線部 15a、15b。第 1 引線部 15a 被設在晶片鐳墊 13 和多個之內部引線 14 間之區域，在多個之內部引線 14 之排列方向延伸。第 2 引線部 15b 連接到被設在多個之內部引線 14 間之第 1 引線部 15a。在 T 字型內部引線 15 連接有多個之連接線 21，但是只在第 2 引線部 15b 之 1 個位置與外部引線 12 連結。

連接線 23 針腳式接合在 T 字型內部引線 15 之第 1 引線部 15a。例如，當在第 1 引線部 15a 之右半部拉伸針腳式接合之連接線 23 進行切斷時，第 1 引線部 15a 之右半部亦被拉伸到上方。這時，第 1 引線部 15a 之左半部接觸在下面之底座因而被支撐，可以防止 T 字型內部引線 15 之浮上。

圖 5 是平面圖，用來表示在本發明之實施形態 1 之半導體裝置之製造過程進行接線之樣子，圖 6 是將圖 5 之主要部份擴大之平面圖。如圖所示，利用引線保持器 24 於保持離開內部引線 14 前端 1mm 之位置同時進行接線。

T 字型內部引線 15 比其他之內部引線 14 為長，連接線 23 針腳式接合在延伸到晶片鐳墊 13 和多個之內部引線 14 間之區域。亦即，接合部份遠離由引線保持器 24 保持之

部份。其中，對於 T 字型內部引線 15，在接線時引線保持器 24 所保持部份之寬度 $W1$ ，當與接線時引線保持器 24 所保持部份之寬度之最細之內部引線 14 之寬度 $W2$ 比較時，成為 1.5 倍以上。利用此種方式，可以防止 T 字型內部引線 15 之浮上。

圖 7 表示本發明之實施形態 1 之半導體裝置與主機側機器連接之狀態。

本實施形態 1 之半導體裝置 31 具備有高速差動信號用之驅動器電路 32 和接收器電路 33，NOR 電路 GT1、GT2，電阻 $R1$ 、 $R2$ ，共同模態電壓產生電路 34，高速差動信號用之輸出梢 TxP 、 TxN ，高速差動信號用之輸入梢 RxP 、 RxN 、GND 電位梢 $VssTx$ 、 $VssRx$ ，和電源電位梢 $VddTx$ 、 $VddRx$ 。

驅動器電路 32 包含有 P 通道 MOS 電晶體 $M1$ 、 $M2$ ，電阻 $R3$ 、 $R4$ ，和電流源 $IS1$ 。接收器電路 33 包含有 P 通道 MOS 電晶體 $M3$ 、 $M4$ ，N 通道 MOS 電晶體 $M5$ 、 $M6$ ，和電流源 $IS2$ 。

共同模態電壓產生電路 34 對電阻 $R1$ 、 $R2$ 之連接點施加必要之電位，用來使接收器電路 33 正常地接收經由輸入梢 RxP 、 RxN 輸入之差動信號。

另外，信號 IDLE 為半導體裝置 31 之輸出控制信號。亦即，在信號 IDLE 為高位準之情況時 P 通道 MOS 電晶體 $M1$ 、 $M2$ 成為 ON 狀態，不從輸出梢 TxP 、 TxN 輸出差動信號。

另外一方面，主機側機器 35 具備有高速差動信號用之驅動器電路 36 和接收器電路 37，NOR 電路 GT3、GT4，電

阻 R5、R6，共同模態電壓產生電路 38，高速差動信號用之輸出梢 TxP、TxN，和高速差動信號用之輸入梢 RxP、RxN。驅動器電路 36 包含有 P 通道 MOS 電晶體 M7、M8，電阻 R7、R8，和電流源 IS3。接收器電路 37 包含有 P 通道 MOS 電晶體 M9、M10，N 通道 MOS 電晶體 M11、M12，和電流源 IS4。

從半導體裝置 31 之驅動器電路 32 發送之差動信號，經由半導體裝置 31 之輸出梢 TxP、TxN 和主機側機器 35 之輸入梢 RxP、RxN，被主機側機器 35 之接收器電路 37 接收。另外，從主機側機器 35 之驅動器電路 36 發送之差動信號，經由主機側機器 35 之輸出梢 TxP、TxN 和半導體裝置 31 之輸入梢 RxP、RxN，被半導體裝置 31 之接收器電路 33 接收。

在此處如圖 8 所示，在半導體裝置 31 組入有 ESD 保護元件 39a~39d，用來保護半導體晶片 17 使其不會受到靜電放電(ESD: Electro-Static Discharge)。

ESD 保護元件 39a 之構成包含有：P 通道 MOS 電晶體，其源極和閘極連接到電源，其汲極連接到驅動器電路 32 和輸出梢 TxP 之連接點；和 N 通道 MOS 電晶體，其源極和閘極被接地，其汲極連接到驅動器電路 32 和輸出梢 TxP 之連接點。各個 MOS 電晶體實質上具有作為嵌位二極體之功能。利用此種方式，當有突波(surge)電流被輸入到輸出梢 TxP 時，可以使該突波電流釋放到電源或接地。其他之 ESD 保護元件 39b~39d 亦具有同樣之構造和功能。

ESD 保護元件 39a~39d 之構造並不只限於此種，但是因為一般在通常之信號輸入時成為逆向接面 (reverse junction) 之半導體元件而使用，所以在逆向接面產生電容。

在半導體晶片 17 之各個鉀墊 18 之近旁，具有大的寄生電容。在各個之位置具有寄生電容，但是 ESD 保護元件 39a~39d 之半導體區域和半導體基板間之寄生電容，或鉀墊 18 與其他之佈線導體或半導體基板間之寄生電容佔大部份。

當在傳送線路之途中具有大的寄生電容時，在該部份特性阻抗降低。如此當使特性阻抗之不匹配變大時，由於信號反射之損失變大，會使信號之傳達特性劣化。

但是，要使鉀墊 18 或 ESD 保護元件 39a~39d 等之寄生電容小至可以忽視之程度會有困難。例如，要確保作為 ESD 保護元件 39a~39d 所必要之電容時，不可避免地會使元件大型化，因而亦使寄生電容亦變大。另外，當確保接線或形成突起部所必要之鉀墊 18 之面積時，隨著導體面積之增大則寄生電容亦變大。

因此，為能防止鉀墊 18 近旁之特性阻抗之降低，可以減小鉀墊 18 近旁之其他傳送線路之有效寄生電容。在本實施形態中，從鉀墊 18 到驅動器電路之終端電阻之寄生電容為 1~2pF。

傳送線路進行高頻率區域之分布常數電路之動作。因此，要抵銷寄生在鉀墊 18 和 I/O 單元之寄生電容之影響

時，有效之方法是減小其近旁之寄生電容。例如，在超過 1Gbps 之資料轉送速度之傳送線路，亦可以在離開鉑墊 18 為 2cm 以內，最好為 1cm 以內之區域有效地進行對策。

仲介半導體晶片 17 和半導體裝置之外部之封裝部份，不只在鉑墊 18 之近旁，利用使其尺度變大之尺寸控制，可以容易地確保特性阻抗之調整量。在此處著重在對封裝部份之有效寄生電容之減小。

例如，記載在輸出梢 TxP 之封裝部份之寄生電容，支配與輸出差動信號之輸出梢 TxN 間之寄生電容 C_{12} ，和與鄰接之 GND 電位梢 VssTx 間之寄生電容 C_0 。要防止特性阻抗之降低時，最好使該等之全部之寄生電容減小。但是，因而會使各梢間之距離變大，造成半導體裝置之大型化，所以不好。

線路之特性阻抗是當連接相對向 2 個導體表面所出現之電荷之電力線，沿著線路移動之情況時，線路內之電場和磁場之比。亦即，線路之特性阻抗是構成在被線路包夾之空間中前進之電磁波之電場和磁場之比。因此，線路之特性阻抗 Z_0 在損失可以忽視時以 $Z_0 = (L/C)^{0.5}$ 求得。其中，C 為線路之電容，L 為線路之阻抗。

在信號梢 TxP 和信號梢 TxN 間產生之電場，理想地成為在信號梢 TxP 和 GND 電位梢 VssTx 間產生之電場之 2 倍。因此，對於信號梢 TxP，在與信號梢 TxN 之間隔變大之情況，當和與 GND 電位梢 VssTx 之間隔相同變大之情況比較時，電場強度之減少量成為 2 倍。

另外，對於信號梢 TxP，當產生抵銷磁場之信號梢 TxN 成為遠離時，信號梢 TxP 所產生之磁場之強度大幅地增加。因此，對於信號梢 TxP，在與信號梢 TxN 之間隔變大之情況，當和與 GND 電位梢 VssTx 之間隔相同變大之情況比較時，阻抗之增加量變大。

因此，在差動信號之信號梢彼此之間隔變大之情況，當和與固定電位之信號梢之間隔相同變大之情況比較時，對特性阻抗實質上具有大的助益。因此，在有限之尺寸中，分配梢間之距離，以實質上之電容之減小和阻抗之增加為目標之情況時，差動信號之信號梢彼此之間隔之變大為非常有效。

在本實施形態中，2 根之差動信號用內部引線 14a 之間隔大於多個之內部引線 14 之最小間隔。利用此種方式，可以使特性阻抗之不匹配減小，而可以防止信號之傳達特性之劣化。另外，因為不是使全部之內部引線之間隔變大，所以可以抑制半導體裝置之大型化。

另外，假如可能，最好亦使差動信號用內部引線 14a 和固定電位用內部引線 14b 之間隔大於多個之內部引線 14 之最小間隔。但是，在對封裝之外形有嚴格限制之情況時，最好使 2 根之差動信號用內部引線 14a 之間隔大於差動信號用內部引線 14a 和固定電位用內部引線 14b 之間隔。

[實施形態 2]

圖 9 是將本發明之實施形態 2 之半導體裝置之主要部份

擴大之平面圖。在實施形態 1 中是使 2 根之差動信號用內部引線 14a 之間隔變大，與此相對地，在本實施形態中是使 2 個之差動信號用鐸墊 18a 之間隔大於多個之鐸墊 18 之最小間隔。

利用此種方式，因為可以使球接合(ball bonding)位置遠離，可以使從球接合位置延伸之連接線之間隔變大，所以可以使特性阻抗之不匹配變小，而可以防止信號之傳達特性之劣化。另外，因為不是使全部之鐸墊之間隔變大，所以可以抑制半導體裝置之大型化。在此處因為傳送線路進行分布常數電路之動作，所以最好依照信號頻率之上升在鐸墊 18 之近旁施加對策。與此相對地，本實施形態因為可以在鐸墊 18 之近旁施加對策，所以比實施形態 1 更有效。

另外，假如可能，最好亦使差動信號用鐸墊 18a 和固定電位用鐸墊 18b 之間隔大於多個之鐸墊 18 之最小間隔。但是，在對半導體晶片 17 之外形有嚴格限制之情況時，最好使 2 個之差動信號用鐸墊 18a 之間隔大於差動信號用鐸墊 18a 和固定電位用鐸墊 18b 之間隔。

[實施形態 3]

圖 10 是平面圖，用來表示本發明之實施形態 3 之半導體裝置封裝本體之內部，圖 11 是將圖 10 之主要部份擴大之平面圖。在本實施形態 3 使 2 根之差動信號用內部引線 14a 之間隔 WA 大於差動信號用內部引線 14a 與外部引線連接部份之間隔 WB。例如，使間隔 WA 成為 $250\mu\text{m}$ ，間隔

WB 成為 $220\ \mu\text{m}$ 。利用此種方式，可以使特性阻抗之不匹配減小，而可以防止信號之傳達特性之劣化。另外，因為不是使全部之內部引線之間隔變大，所以可以抑制半導體裝置之大型化。

另外，在涵蓋差動信號用內部引線 14a 之全長，最好避開形成大寄生電容之處。例如，在差動信號用內部引線 14a，在其全長之一半以上之部份，最好使 2 根之差動信號用內部引線 14a 之間隔，大於差動信號用內部引線 14a 與外部引線連接部份之間隔 WB，並且使 2 根之差動信號用內部引線 14a 間之最小距離成為上述之間隔 WB 以上。

利用此種方式，在涵蓋差動信號用內部引線 14a 之全長，充分確保引線間隔時，要在 2 根之差動信號用內部引線 14a 間之區域形成防止引線脫落用之突起部會有困難。在此種情況，經由採用內部引線在途中被大幅折曲之形狀，可以防止引線從密封樹脂脫落之問題。

另外，用以防止引線脫落用之突起部亦可以設在與差動信號引線間之區域之相反面。如此一來亦可以確保差動信號引線間之最小距離，並且可以防止引線脫落。

【圖式簡單說明】

圖 1 是平面圖，用來表示本發明之實施形態 1 之半導體裝置。

圖 2 是本發明之實施形態 1 之半導體裝置之側面圖。

圖 3 是平面圖，用來表示本發明之實施形態 1 之半導體裝置之封裝本體之內部。

圖 4 是將圖 3 之主要部份擴大之平面圖。

圖 5 是平面圖，用來表示在本發明之實施形態 1 之半導體裝置之製造過程進行接線之樣子。

圖 6 是將圖 5 之主要部份擴大之平面圖。

圖 7 表示本發明之實施形態 1 之半導體裝置與主機側機器連接之狀態。

圖 8 表示將 ESD 保護元件組入到本發明之實施形態 1 之半導體裝置之狀態。

圖 9 是將本發明之實施形態 2 之半導體裝置之主要部份擴大之平面圖。

圖 10 是平面圖，用來表示本發明之實施形態 3 之半導體裝置之封裝本體之內部。

圖 11 是將圖 10 之主要部份擴大之平面圖。

【主要元件符號說明】

11	封裝本體
12	外部引線
13	晶片鉑墊
14	內部引線
14a	差動信號用內部引線
14b	固定電位用內部引線
15	T 字型內部引線
15a	第 1 引線部
15b	第 2 引線部
16	GND 引線

17	半導體晶片
18	鉅墊
18a	差動信號用鉅墊
18b	固定電位用鉅墊
21	連接線(第 1 連接線)
22	GND 線
23	連接線(第 2 連接線)
24	引線保持器
31	半導體裝置
32	驅動器電路
33	接收器電路
34	共同模態電壓產生電路
35	主機側機器
36	驅動器電路
37	接收器電路
38	共同模態電壓產生電路
39a~39d	ESD 保護元件
C_0 、 C_{12}	寄生電容
GT1、GT2、GT3、GT4	NOR 電路
R1、R2、R3、R4、R5、R6、R7、R8	電阻
TxP、TxN	高速差動信號用輸出梢
RxP、RxN	高速差動信號用輸入梢
VssTx、VssRx	GND 電位梢
VddTx、VddRx	電源電位梢

200845342

M1、M2、M3、M4、M7、M8、M9、M10	P 通道 MOS 電 晶 體
M5、M6、M11、M12	N 通道 MOS 電 晶 體
IS1、IS2、IS3、IS4	電 流 源

五、中文發明摘要：

本發明之課題是獲得可以防止內部引線表面被擦傷之半導體裝置。

本發明之解決手段是在晶片鉑墊 13 之周圍設置多個之內部引線 14。在晶片鉑墊 13 和多個之內部引線 14 之間之區域，設置接地之 GND 引線 16。半導體晶片 17 和多個之內部引線 14 分別利用多個之連接線 21 連接。半導體晶片 17 和 GND 引線 16 利用 GND 線 22 連接。GND 線 22 被配置在多個之連接線 21 之間。鄰接之內部引線 14 前端之間隔為 0.2mm 以下。

六、英文發明摘要：

A plurality of inner leads 14 are provided around a die pad 13. A grounded GND lead 16 is provided in a region between the die pad 13 and the plurality of inner leads 14. A semiconductor chip 17 and the plurality of inner leads 14 are connected to each other by a plurality of wires 21. The semiconductor chip 17 and the GND lead 16 are connected to each other by GND wires 22. The GND wires 22 are disposed between a plurality of wires 21. The distance between ends of each adjacent pair of the inner leads 14 is 0.2mm or less.

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於，其具備有：

晶片鐳墊；

多個內部引線，被設在上述晶片鐳墊之周圍；

接地之 GND 引線，被設在上述晶片鐳墊和上述多個內部引線間之區域；

半導體晶片，搭載在上述晶片鐳墊上；

多個連接線，分別連接上述半導體晶片上之多個鐳墊和上述多個內部引線；和

GND 線，被配置在上述多個連接線之間，用來連接上述半導體晶片上之鐳墊和上述 GND 引線；

而鄰接之內部引線前端之間隔為 0.2mm 以下。

2. 一種半導體裝置，其特徵在於，其具備有：

晶片鐳墊；

多個內部引線和 T 字型內部引線，被設在上述晶片鐳墊之周圍；

半導體晶片，搭載在上述晶片鐳墊上；

多個第 1 連接線，分別連接上述半導體晶片上之多個鐳墊和上述多個內部引線；和

第 2 連接線，連接上述半導體晶片上之鐳墊和上述 T 字型內部引線；

而上述 T 字型內部引線具有：

第 1 引線部，被設在上述晶片鐳墊和上述多個內部引線間之區域，並在上述多個內部引線之排列方向延伸；和

第 2 引線部，被設在上述多個內部引線之間，並連接到上述第 1 引線部；

而上述第 2 連接線針腳式接合在上述 T 字型內部引線之上上述第 1 引線部。

3. 如申請專利範圍第 2 項之半導體裝置，其中，上述 T 字型內部引線，使在接線時被引線保持器所保持部份之寬度，當與被上述引線保持器所保持部份之最細內部引線之寬度比較時，成為 1.5 倍以上。

4. 一種半導體裝置，其特徵在於，其具備有：

多個內部引線，被設在上述晶片鐳墊之周圍；

半導體晶片，搭載在上述晶片鐳墊上；和

多個連接線，分別連接上述半導體晶片上之多個鐳墊和上述多個內部引線；

上述多個內部引線包含有互相鄰接之 2 根差動信號用內部引線；

上述 2 根差動信號用內部引線之間隔，大於上述多個內部引線之最小間隔。

5. 如申請專利範圍第 4 項之半導體裝置，其中，上述多個內部引線包含有鄰接上述差動信號用內部引線之固定電位用內部引線；和

上述差動信號用內部引線和上述固定電位用內部引線之間隔，大於上述多個內部引線之最小間隔。

6. 如申請專利範圍第 4 項之半導體裝置，其中，

上述多個內部引線包含鄰接上述差動信號用內部引線

之固定電位用內部引線；和

上述 2 根差動信號用內部引線之間隔，大於上述差動信號用內部引線和上述固定電位用內部引線之間隔。

7. 一種半導體裝置，其特徵在於，其具備有：

多個內部引線，被設在上述晶片鐳墊之周圍；

半導體晶片，搭載在上述晶片鐳墊上；和

多個之連接線，分別連接上述半導體晶片上之多個鐳墊和上述多個內部引線；

而上述多個鐳墊包含互相鄰接之 2 個差動信號用鐳墊；

上述 2 個差動信號用鐳墊之間隔，大於上述多個鐳墊之最小間隔。

8. 如申請專利範圍第 7 項之半導體裝置，其中，

上述多個鐳墊包含鄰接上述差動信號用鐳墊之固定電位用鐳墊；和

上述差動信號用鐳墊和上述固定電位用鐳墊之間隔，大於上述多個鐳墊之最小間隔。

9. 如申請專利範圍第 7 項之半導體裝置，其中，

上述多個鐳墊包含鄰接上述差動信號用鐳墊之固定電位用鐳墊；

而上述 2 根差動信號用鐳墊之間隔，大於上述差動信號用鐳墊和上述固定電位用鐳墊之間隔。

十一、圖式：

圖 1

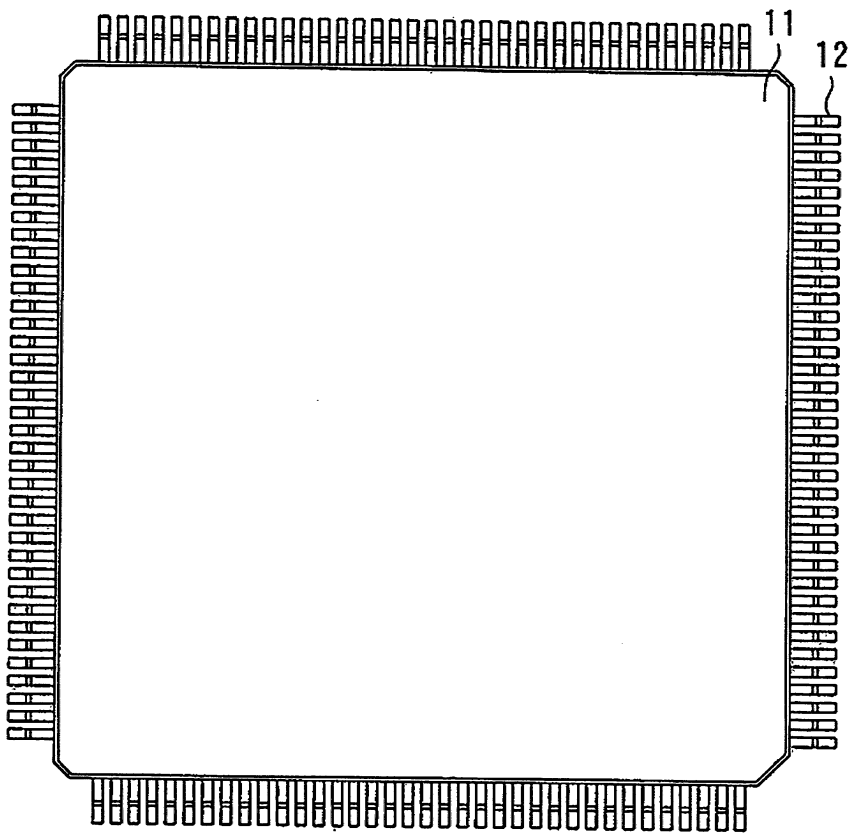


圖 2

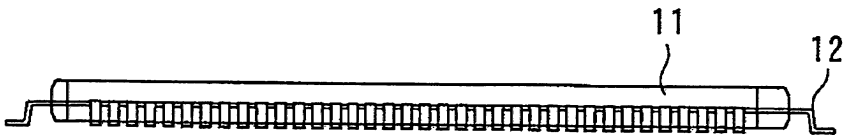


圖 3

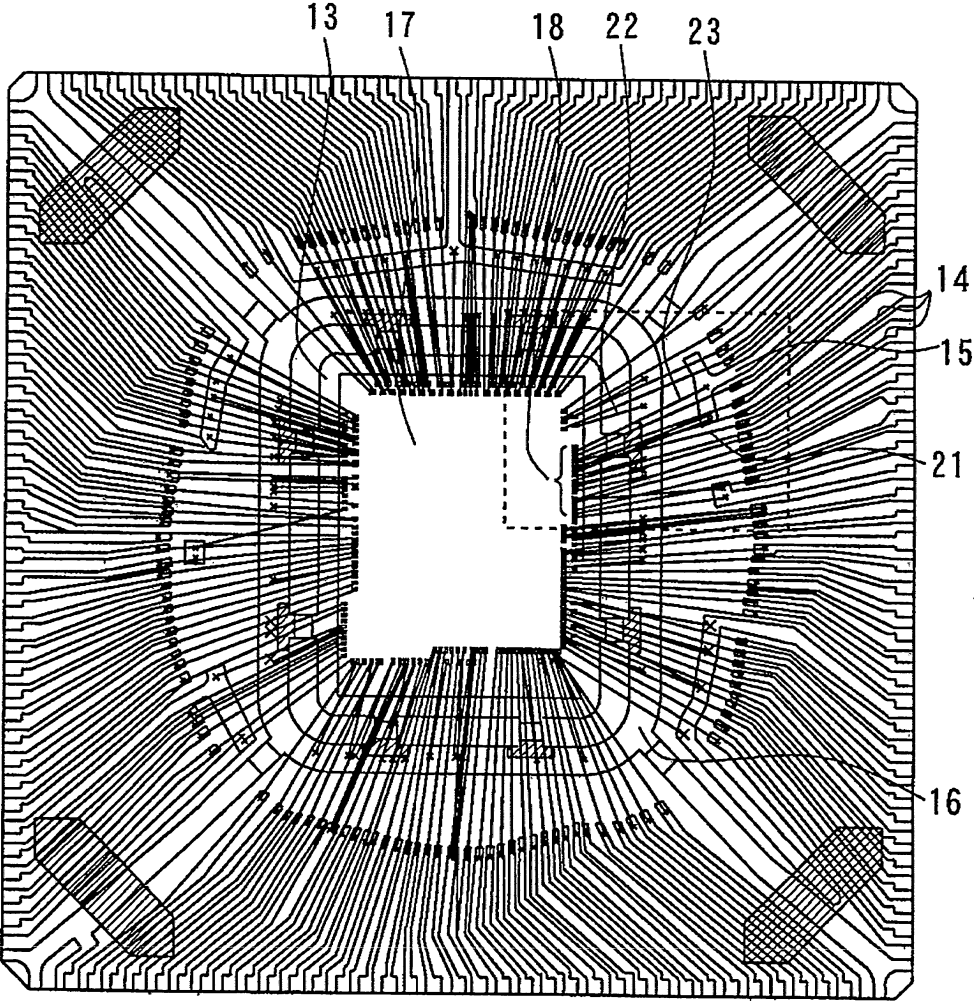


圖 4

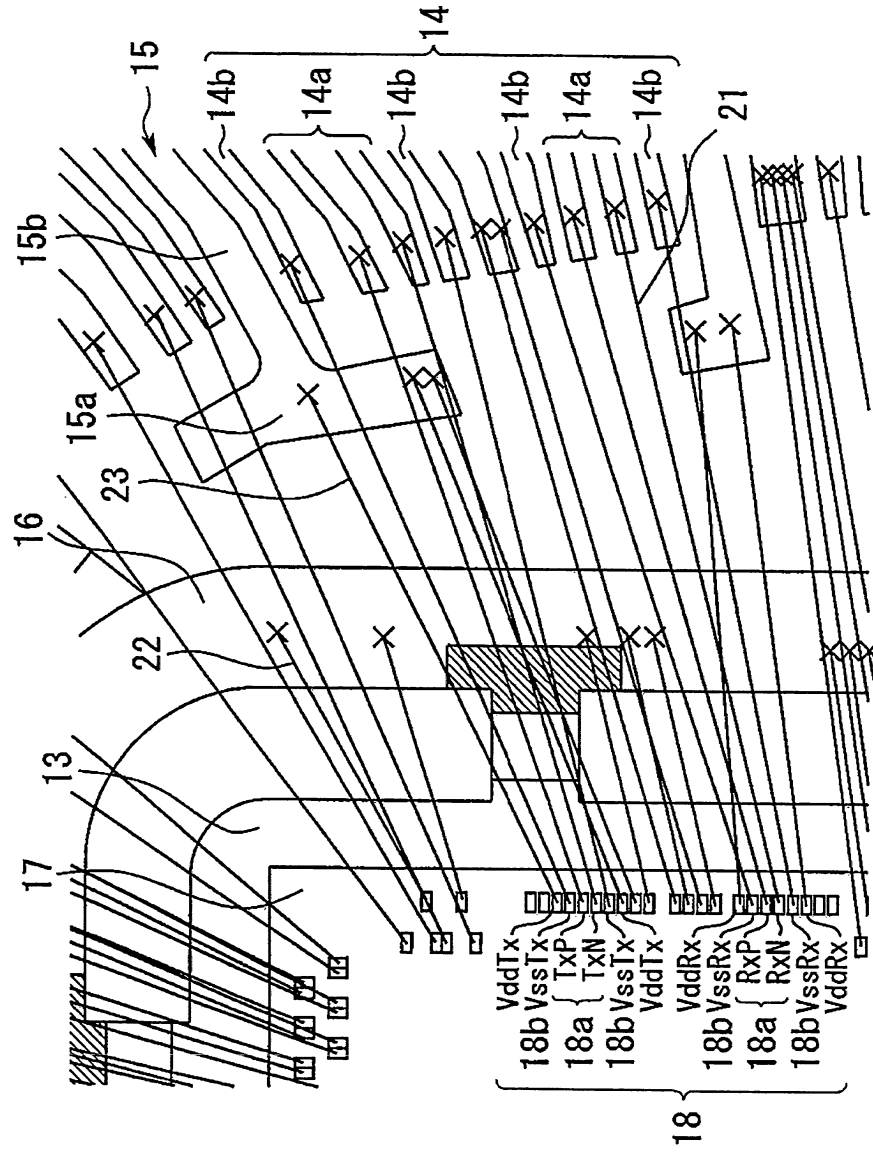


圖 5

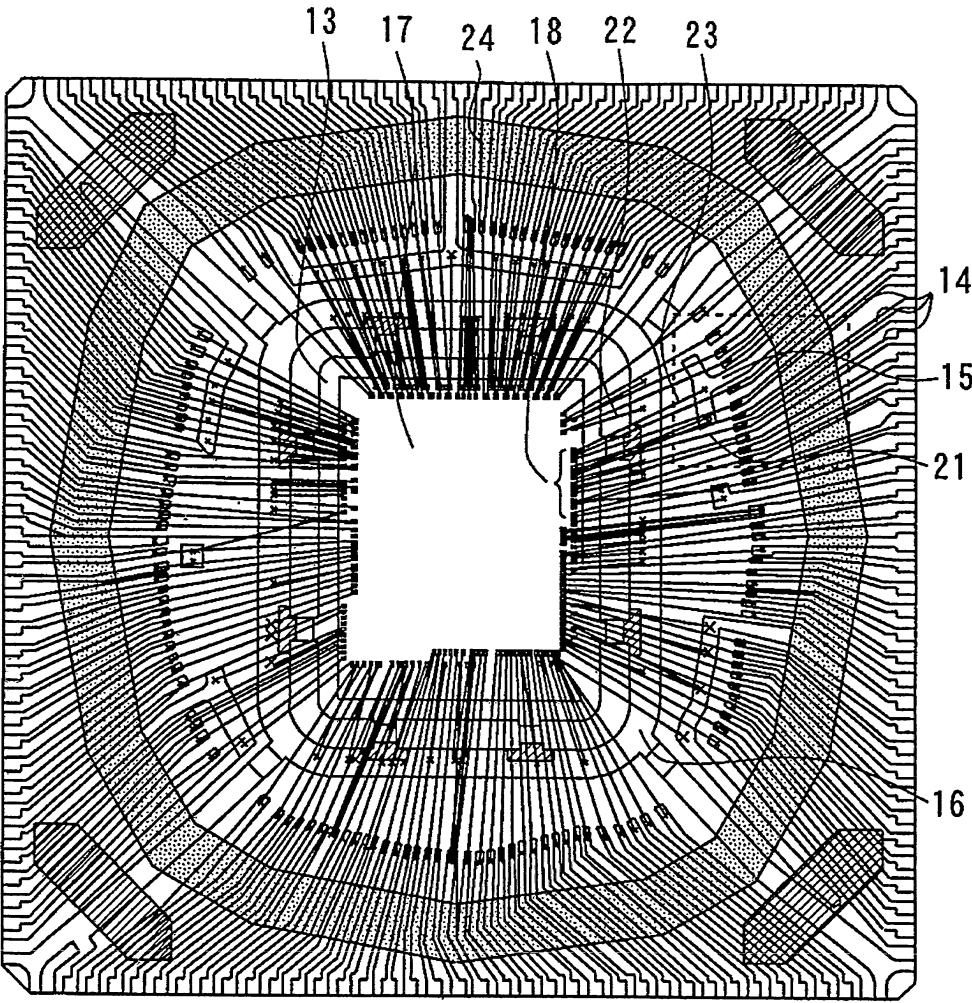


圖 6

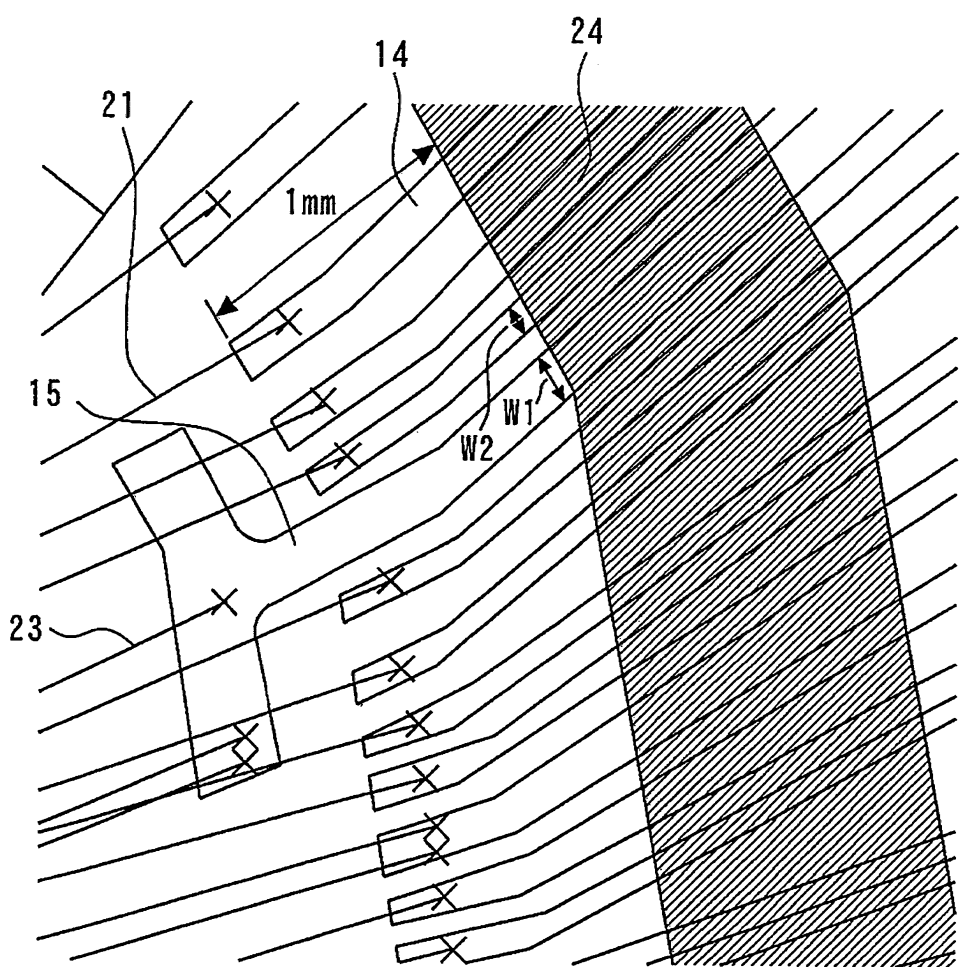


圖 7

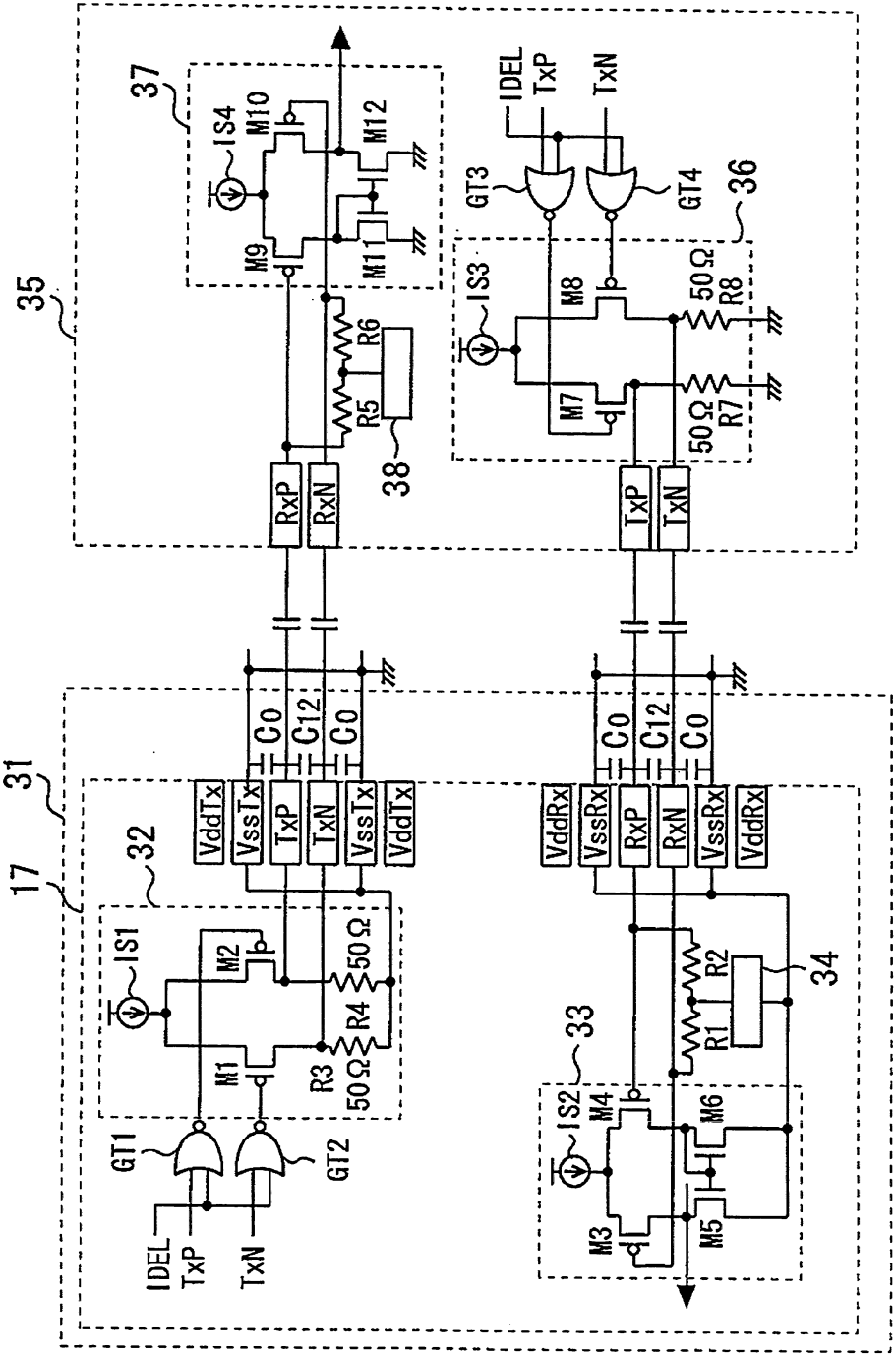


圖 8

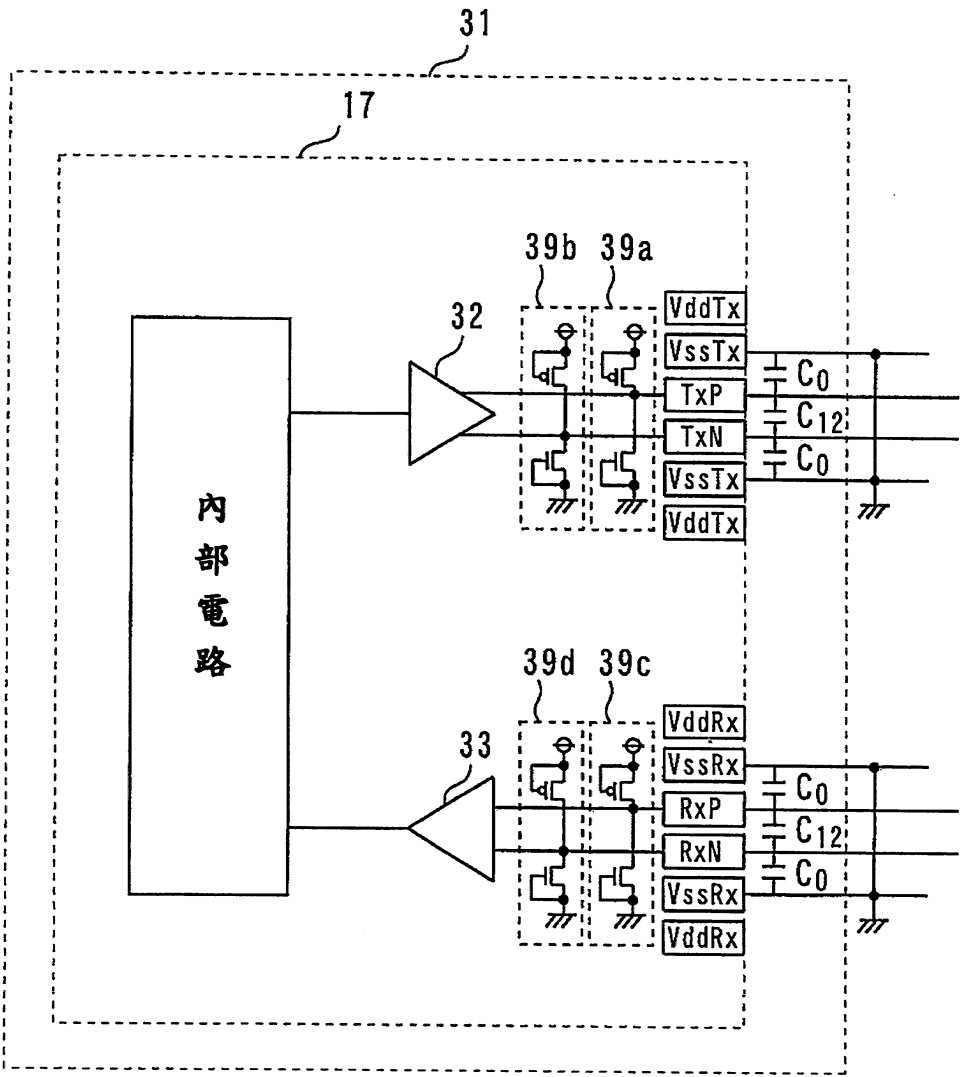


圖 9

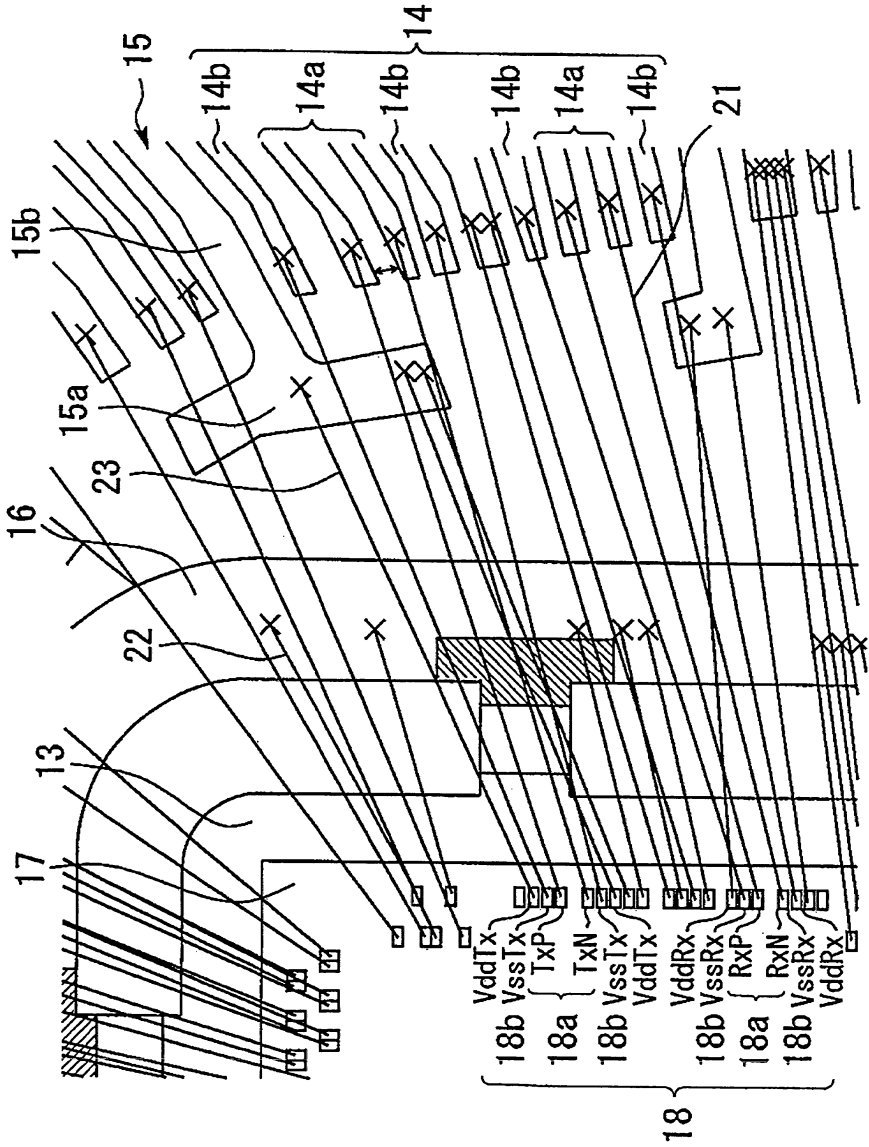
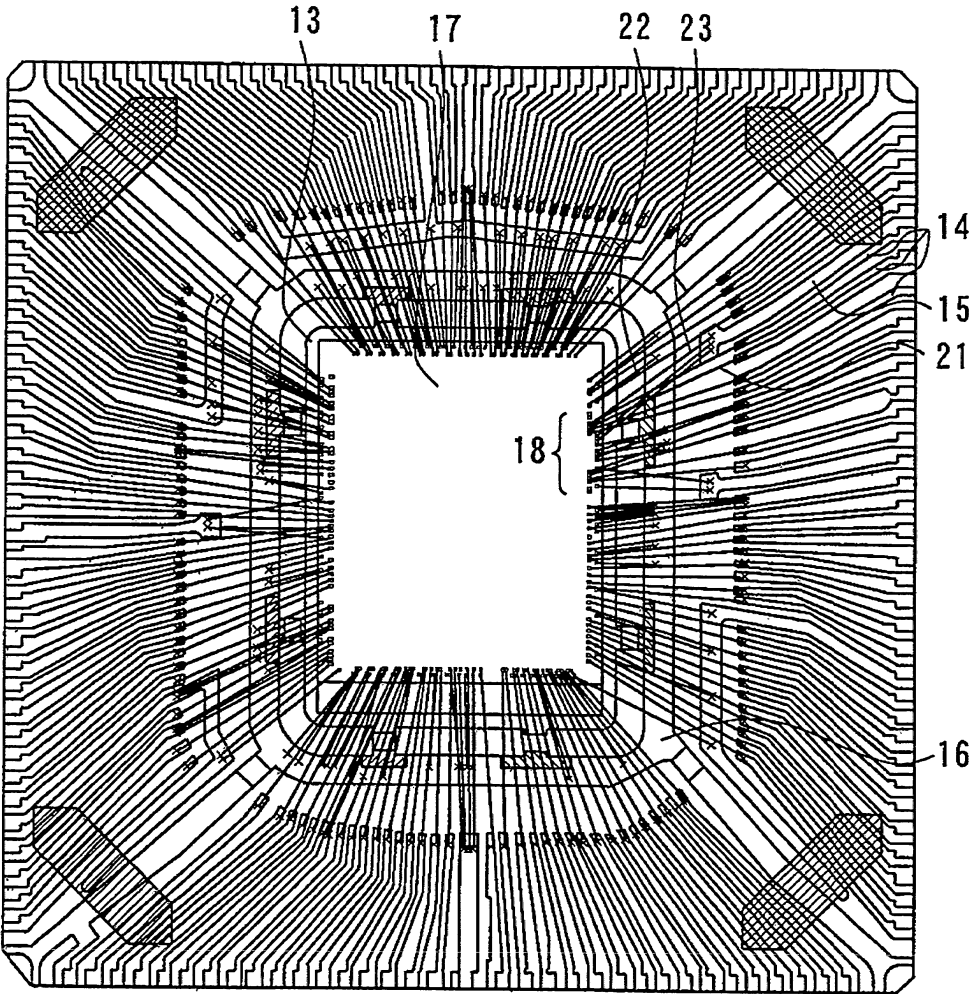


圖 10



七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

13	晶片鐳墊
14	內部引線
14a	差動信號用內部引線
14b	固定電位用內部引線
15	T 字型內部引線
15a	第 1 引線部
15b	第 2 引線部
16	GND 引線
17	半導體晶片
18	鐳墊
18a	差動信號用之鐳墊
18b	固定電位用鐳墊
21	連接線(第 1 連接線)
22	GND 線
23	連接線(第 2 連接線)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無