

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04N 7/24

(45) 공고일자 2000년03월 15일
(11) 등록번호 10-0246169
(24) 등록일자 1999년 12월 03일

(21) 출원번호	10-1996-0061502	(65) 공개번호	특 1997-0068642
(22) 출원일자	1996년 12월 04일	(43) 공개일자	1997년 10월 13일

(30) 우선권 주장 8/616,327 1996년 03월 15일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘
미국 10504 뉴욕주 아몽크
(72) 발명자 체니 데니스 필립
미국 13850 뉴욕주 베스탈 컨트리 클럽 로드 4860
후루세키 데이비드 알렌
미국 13790 뉴욕주 존슨 시티 프레드릭 로드 160
스토잔시크 미하일로 엠.
(74) 대리인 미국 94086 캘리포니아주 서니베일 벨먼트 테라스 962-1
장수길

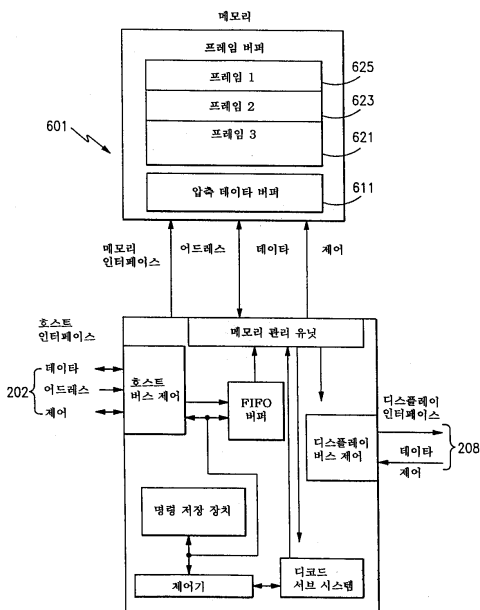
심사관 : 변창규

(54) 다위상 FIR 수평 필터를 포함하는 비디오 디코더

요약

압축 인코딩된 디지털 비디오 신호를 수신하고 다양한 화면비에 대하여 정확한 확장으로 압축 해제 디코딩된 디지털 비디오 신호를 전송하기 위한 디지털 신호디코더 시스템이 개시되어 있다.

대표도



명세서

도면의 간단한 설명

제1도는 3가지 종류의 화상인 "I" 인트라화상 ("I" Intrapictures), "P" 예측성 화상 ("P" Predicted Pictures), 및 "B" 양방향 예측성 화상 ("B" Bidirectionally Predicted Pictures)과, 이들 화상의 MPEG-2 표준 하에서의 관계를 도시한 도면.

제2도는 이산 코사인 변환 계수를 계산하는 단계와, 이산 코사인 변환 계수를 양자화하는 단계와, 양자화된 이산 코사인 변환 계수들을 "지그재그(zig-zigging)" 시키는 단계를 포함하는 프레임 또는 화상 압축 시퀀스를 도시한 도면.

제3도는 MPEG-2 표준을 따르는 디코더의 일반적 논리 흐름을 도시한 논리 흐름도.

제4도는 본 발명의 MPEG-2 표준을 따르는 디코더의 기능적 유닛(functional units)의 블록도.

제5도는 본 발명의 MPEG-2 표준을 따르는 디코더의 디코드 서브시스템의 블록도.

제6도는 전용 또는 텔레비전 셋 탑 박스 환경 (television set top box environment)에서의 본 발명의 디코더의 블록도.

제7도는 개인용 컴퓨터 환경에서의 본 발명의 디코더의 블록도.

제8도는 4:2:0 포맷에서 휘도 및 크로미넌스 신호의 위치를 도시한 도면.

제9도는 4:2:2 포맷에서 휘도 및 크로미넌스 신호의 위치를 도시한 도면.

제10도는 MPEG-2 크로미넌스 신호들의 수평 위치를 도시한 도면.

제11도는 MPEG-1 크로미넌스 신호들의 수평 위치를 도시한 도면.

제12도는 3:4 확장에 대한 휘도와 크로미넌스 위상 관계를 도시한 도면.

제13도는 본 발명에 따른 일반적인 수평 확장 유닛을 도시한 도면.

제14도는 본 발명에 따른 일반적인 수평 확장 유닛을 도시한 도면.

제15도는 일반적인 곱셈기 (multiplier)를 도시한 도면.

제16도는 피승수 포트 (multiplicand port)에 신호를 공급하는 폴딩 가산기(folding adder)를 도시한 도면.

제17도는 승수 포트 (multiplier port)에 신호를 공급하는 폴딩 가산기를 도시한 도면.

제18도는 모든 부분곱(partial product)이 하나의 네트워크 내에서 가산되는 승수 포트에 신호를 공급하는 폴딩 가산기를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

41 : 디멀티플렉서	71b : 가변 길이 허프만 디코더
131 : 움직임 보상기	141 : 가산기
201 : 디코더 시스템	202 : 호스트 인터페이스
208 : 디스플레이 인터페이스	241 : FIFO 버퍼
301 : 디코드 서브시스템	401 : 제어기
402 : 명령 저장 유닛	600 : 메모리 관리 유닛

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 비디오 디코더에 관한 것으로, 더욱 구체적으로는 압축 인코딩된 비디오 데이터 스트림 (compressed encoded video data stream), 예를 들어 이산 코사인 변환으로 인코딩된 비디오 데이터 스트림(discreted cosine transform encoded video data stream)을 디코딩하고 압축 해제 (decompress)하기 위한 비디오 디코더에 관한 것이다. 본 발명의 방법과 장치는 상이한 출력 디스플레이 화면비로 출력 화상의 크기를 재조정하는 데 특히 유용하다. 본 발명의 방법, 장치와 시스템은 고품질 텔레비전, 대화형 텔레비전 (interactive television), 멀티미디어, 주문형 비디오, 화상 회의 및 디지털 비디오 레코딩 뿐만 아니라, 방송 신호, 유선 신호, 위성 방송 신호, 및 디지털 네트워크 신호를 디코딩하는데 유용하다. 본 발명의 시스템과 장치는 셋 탑 박스(set top box)또는 디지털 오락 단말기 (digital entertainment terminal)로서, 텔레비전의 부품, 개인용 컴퓨터, 워크스테이션, 또는 다른 컴퓨터의 일부분으로서, 또는 하나 이상의 인쇄 회로 기판에 포함된 유닛으로서, 또는 비디오 레코더 또는 화상 회의 유닛의 일부분으로서 “독자적인” 유닛 (“stand alone” unit)일 수 있다.

동화상 전문가 그룹 (MPEG)의 MPEG-2 표준은 비디오 어플리케이션을 위한 압축/압축 해제 표준이다. 이 표준은 (1) 상당한 대역폭 감소를 갖는 인코딩되고 압축된 데이터 스트림에 대하여 기술하고, (2) 그 데이터 스트림의 압축 해제에 대하여 기술한다. 압축은 무손실 압축이 워따르는 유손실 압축이다. 인코딩된 압축 디지털 비디오 데이터는 이후 MPEG-2 표준을 따르는 디코더에 의하여 압축 해제되고 디코딩된다.

MPEG-2 표준 예를 들어, 1991년 12월 IEEE 학회지 회로 시스템 비디오 기술 제1권 제4권 제374 내지 제378 페이지에 수록된 씨. 에이. 곤잘레스 (C.A. Gonzales)와 이. 비스키토(E. Viscito)의 논문인 “트랜스폼 도메인 내에서의 움직임 비디오 적응 양자화”, 1990년 SPIE 제 1360권 제1572 내지 제1576 페이지에 수록된 이. 비스키토(E.Viscito)와 씨. 에이. 곤잘레스 (C.A.Gonzales)의 논문 “MPEG 환경에서 산술 코딩을 사용하는, 움직임 비디오 시퀀스의 인코딩”, 1991년 4월 ACM 학회지 제34권 제4번 제46 내지 제58 페

이지에 수록된 디. 르갈 (D. Legall)의 논문 "MPEG: 멀티미디어 응용을 위한 비디오 압축 표준", 1992년 SPIE 제1659권 제24 내지 제29 페이지에 수록된 에스. 퍼셀 (S. Purcell)과 디. 갈비 (D. Galbi)의 논문 "C 큐브 MPEG 비디오 프로세서", 및 1992년 신호 처리 화상 학회 제4권 제2번 제129 내지 제140페이지에 수록된 디. 제이. 르갈 (D. J. LeGall)의 논문 "MPEG 비디오 압축 알고리즘"에 설명되어 있다.

MPEG-2 표준을 순수한 프레임 내 코딩의 랜덤 액세스라는 장점을 유지하면서 프레임 내 코딩 (intraframe coding)이나 프레임간 코딩 (interframe coding)만으로는 얻을 수 없는 전체 화상 데이터 스트림 압축을 달성하는 고압축 기술용 디코더의 데이터스트림을 규정한다. MPEG-2 표준에서 블록에 기초를 둔 주파수 도메인 프레임 내 인코딩 (frequency domain intraframe encoding)과 보간/예측성 프레임간 인코딩 (interframe encoding)의 결합은 프레임 내 인코딩과 프레임간 인코딩 사이의 균형을 이루도록 해준다.

MPEG-2 표준은 움직임 보상 보간성 및 예측성 인코딩을 위하여 시간적 리던던시 (redundancy)를 이용한다. 즉, "국부적으로" 현재 화상은 이전 시간 및/또는 미래 시간의 화상이 이동한 것으로서 모델링할 수 있다는 가정을 한다. 여기서 "국부적으로" 라는 용어의 의미는 변위 (displacement)의 크기나 방향이 화상 모든 곳에서 동일하지는 않다는 의미이다.

MPEG-2 표준은 예측성 및 보간성 프레임간 인코딩과 주파수 도메인 프레임내 인코딩 (frequency domain intraframe encoding)을 규정한다. MPEG-2 표준은 시간적 리던던시를 감소시키기 위하여 블록 기초 움직임 보상 (motion compensation)을 하고, 공간적 리던던시 (spatial redundancy)의 감소를 위하여 블록 기초 이산 코사인 변환을 한다. MPEG-2 표준 하에서는 움직임 보상은 예측성 코딩 (predictive coding), 보간성 코딩 (interpolative coding) 및 가변 길이 코딩된 움직임 벡터 (variable length coded motion vectors)에 의하여 달성된다. 움직임에 대한 정보는 16×16 의 화소 어레이에 기초를 두고, 공간 정보 (spatial information)와 함께 전송된다. 움직임 정보는 허프만 코드 (Huffman coded)와 같은 가변 길이 코드로 압축된다.

MPEG-2 표준은 다양한 종류의 예측 도구 및 보간 도구를 사용하여 시간적 리던던시의 감소를 도모한다. 이것은 제1도에 도시되어 있다. 제1도는 3가지 종류의 프레임 또는 화상, 즉 "I" 인트라화상 (Intraframes), "P" 예측성 화상 (Predicted Pictures), "B" 양방향성 보간 화상 (Bidirectional Interpolated Pictures)을 도시한다. 프레임간 인코딩에서는 IP 인코딩과 IPB 인코딩에서와 마찬가지로, 화상 전송 순서는 화상 디스플레이 순서와 동일하지 않다는 것에 주목해야 한다. 이것은 제1도에 상세히 도시되어 있다.

움직임 보상은 화상 사이의 리던던시에 적용된다. "I" 인트라화상으로부터 "P" 예측성 화상을 형성하는 것과 과거와 미래의 화상의 쌍으로부터 "B" 양방향성 코딩된 화상을 형성하는 것은 MPEG-2 표준 기법의 주요 요소이다.

"I" 인트라화상은 적절한 압축을 제공하고, 예를 들어, 비디오 테이프나 CO-ROM의 경우에 랜덤 액세스 (random access)의 액세스 포인트이다. 편의를 위해, 하나의 "I" 인트라화상은 대략 1/2 초마다, 즉 10개 내지 20개의 화상마다 제공된다. "I" 인트라화상은 그 자신으로부터만 정보를 얻는다. "I" 인트라화상은 "P" 예측성 화상이나 "B" 양방향성 보간 화상으로부터 정보를 수신하지 않는다. 화면의 중단은 바람직하게는 "I" 인트라화상에서 일어난다.

"P" 예측성 화상은 이전 화상에 대하여 코딩된다. "P" 예측성 화상은 미래 화상, 즉 "P" 화상과 "B" 화상에 대한 기준으로서 사용된다.

"B" 양방향성 코딩된 화상은 가장 높은 압축도를 갖는다. 재구성을 위해서는 과거 화상과 미래 화상이 모두 필요하다. "B" 양방향성 화상은 기준으로서 사용되지 않는다.

MPEG-2 표준 하에서의 움직임 보상 유닛은 매크로블록 유닛 (Macroblock unit)이다. MPEG-2 표준 매크로블록은 16×16 화소이다. 움직임 정보는 순방향 예측성 매크로블록 (forward predicted macroblock)을 위한 하나의 벡터와, 역방향 예측성 매크로블록 (backward predicted macroblock)을 위한 하나의 벡터와, 양방향 예측성 매크로블록 (bidirectionally predicted macroblock)을 위한 두 개의 벡터로 구성된다. 각각의 매크로블록과 관련된 움직임 정보는 기준 매크로블록 (reference macroblock)에 있는 움직임 정보에 대하여 차동적으로 코딩된다. 이러한 방식으로, 하소의 매크로블록은 과거 화상이나 미래 화상으로부터 하소의 매크로블록을 이동시킴으로써 예측된다.

소스 화소와 예측된 화소의 차이는 대응되는 비트 스트림에 포함된다. 디코더는 예측된 화소의 블록에 정정 항목을 부가하여 재구성된 블록을 생성한다.

전술한 것과 제1도에 도시된 바와 같이 "P" 예측성 화상의 각각의 매크로블록은 가장 가까운 이전 "I" 인트라화상에 대하여, 또는 가장 가까운 이전 "P" 예측성 화상에 대하여 코딩될 수 있다.

또한, 전술한 것과 제1도에 도시된 바와 같이, "B" 양방향성 화상의 각각의 매크로블록은, 가장 가까운 과거의 "I" 또는 "P" 화상과 가장 가까운 미래의 "I" 또는 "P" 화상을 사용하여, 가장 가까운 과거의 "I" 또는 "P" 화상으로부터 순방향 예측에 의하여, 또는 가장 가까운 미래의 "I" 또는 "P" 화상으로부터 역방향 예측에 의하여, 또는 양방향으로 코딩될 수 있다.

움직임 정보는 각각의 매크로블록과 함께 보내져서 기준 화상의 어느 부분이 예측 부분 (predictor)으로서 사용될지를 보여 준다.

전술한 바와 같이, 움직임 벡터는 이전의 인접한 블록의 움직임 벡터에 대하여 차동적으로 코딩된다. 차동 움직임 벡터 (differential motion vector)를 코딩하는데 가변 길이 코딩이 사용되므로, 매크로블록에 대한 움직임 벡터가 선행 매크로블록에 대한 움직임 벡터와 거의 일치하는 공통의 경우에, 움직임 벡터를 코딩하는데 적은 수의 비트만이 필요하다.

공간적 리던던시는 화상 내의 리던던시를 말한다. 움직임 보상 프로세스는 전술한 바와 같이 매크로블록에 기초를 두고 있기 때문에, MPEG-2 표준에서는 블록에 기초를 둔 공간적 리던던시 감소 방법을 사용하

는 것이 바람직하였다. 선택할 수 있는 방법은 화상의 이산 코사인 변환 방법 및, 이산 코사인 변환 코딩이다. 이산 코사인 변환 코딩은 가중치 스케일러 양자화 (weighted scalar quantization) 및 런 길이 코딩 (run length coding)과 결합되어 압축을 더 진행시킨다.

이산 코사인 변환은 직교 변환 (orthogonal transformation)이다. 직교 변환은 주파수 도메인에서 해석되기 때문에 필터 뱅크(filter bank)지향적이다. 또한, 이산 코사인 변환은 국부적이다. 즉, 인코딩 프로세스는 64개의 변환 계수 또는 부대역(sub-bands)을 계산하는데 충분한 8×8 공간 윈도우 상에서 샘플링한다.

이산 코사인 변환의 또 하나의 장점은 빠른 인코딩 및 디코딩 알고리즘을 사용할 수 있다는 것이다. 또한, 이산 코사인 변환의 부대역 분해 (sub-band decomposition)는 정신 시각적 기준 (psychovisual criteria)을 효과적으로 사용할 수 있을 정도로 충분히 잘 조절할 수 있다.

이산 코사인 변환 후에, 고주파 계수 중의 다수가 0이다. 이들 계수들은 제2도에 도시된 바와 같이 지그재그(zig-zag)로 만들어져서 런-크기 (런-레벨) [run-amplitude (run-level)] 쌍으로 변환된다. 각각의 쌍은 0인 계수의 개수와 0이 아닌 계수의 크기를 표시한다. 이것은 가변 길이 코딩으로 코딩된다.

이산 코사인 변환 인코딩은 제2도에 도시된 바와 같이 3개의 단계로 수행된다. 제1단계는 이산 코사인 변환 계수를 계산하는 단계이다. 제2단계는 계수의 양자화 단계이다. 제3단계는 데이터를 지그재그 주사 순서로 재배열한 후에 양자화된 변환 계수들을 {런-크기} 쌍으로 변환하는 단계이다.

양자화는 하나 이상의 비트만큼 오른쪽 시프트하는 것으로 볼 수 있다. 양자화는 고도의 압축과 높은 출력 비트율을 가능하게 하고, 고품질의 화상을 유지할 수 있도록 한다.

세밀한 양자화를 행하는 "I" 인트라화상에서, 재구성된 화상에서 블록화 현상 (blockiness)을 피하도록 양자화는 적응성 (adaptive)으로 될 수 있다. "I" 인트라화상은 모든 주파수의 에너지를 가지고 있기 때문에 이것은 매우 중요하다. 이와 반대로, "P" 및 "B" 화상은 대부분 낮은 주파수 에너지를 갖고 있으므로 보다 저해상도의 양자화로써 코딩할 수 있다.

디코더 설계자들에게는 휘도/크로미넌스 (luminance/chrominance)관계와 MPEG-2 표준을 충분히 만족시키면서도 다양한 디스플레이 출력 포맷에 적용가능한 하나의 디코더 시스템을 만들려는 과제가 있다.

MPEG-2 비디오 디코더/디스플레이 기능은 디코딩된 소소 비디오 스트림의 표시 화면비 (presentation aspect ratio)를 그 디코더/디스플레이 기능이 설치되는 환경의 요구 조건에 맞도록 할 필요가 있다.

디코더 칩의 디스플레이된 출력은 CCIR 권고 601 (CCIR Recommendation 601)에 맞아야 한다. CCIR 601은 하나의 액티브 라인 (active line)내의 휘도 및 크로미넌스 화소의 개수를 지정하고, 또한 크로미넌스 화소가 휘도 신호에 대하여 서브샘플링 되는 방식을 지정한다. 4:2:2로서 정의된 포맷은 산업상의 대부분의 경우에 지원한다. 4:2:2 포맷은 720개의 액티브 휘도 신호 (Y)와 360개의 색상차 신호 (Cb, Cr 쌍)를 정의하는데, 각각의 휘도 신호의 라인은 대응하는 크로미넌스 신호의 라인을 가지고 있다. 또한 CCIR 권고 656은 NTSC와 PAL 환경에 대한 액티브 라인의 개수를 각각 480과 576으로 정의한다.

디코딩된 화상은 최대 크기의 CCIR-601 해상도 (full sized CCIR-601 resolution)에 맞지 않을 수 있다. 예를 들어, 입력 비디오는 352개의 수직 칼럼의 화소에 대하여 포맷될 수 있지만, 이들은 비디오 디스플레이 (CRT) 상에서는 704개의 수직 칼럼 공간을 채우도록 확장될 필요가 있다. 여기서 수평으로 디스플레이할 수 있는 화소의 개수가 2배가 되기 때문에 이를 1대 2 (1:2) 확장이라고 한다. 이것은 화소 반복 (수평 방향으로 모든 화소를 한번씩 반복시키는 것) 또는 인접한 화소들의 평균을 구하여 그들 사이에 새로운 화소를 배치하는 것을 비롯하여 본 발명의 기술 분야에서 통상의 지식을 가진 자에게 잘 알려진 수개의 방법 중의 어느 것을 사용하여 수행할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 하나의 목적은 디코딩 프로세스의 속도를 유지하고 증가시키는 시스템을 제공하고자 하는 것이다.

본 발명의 또 하나의 목적은 휘도/크로미넌스 표준 및 MPEG-2 표준에 완전히 따르면서도 여러 가지 출력 디스플레이 포맷, 즉 화면비로 사용할 수 있는 MPEG-2 디코더를 제공하고자 하는 것이다.

본 발명의 또 하나의 목적은 많은 수의 파이프라인 레지스터가 필요하지 않도록 하기 위하여 필터 네트워크의 대기 시간 (latency)을 감소시키고, 전체적으로 간소한 시스템을 제공하고자 하는 것이다.

발명의 구성 및 작용

본 발명의 목적은 본 발명의 디지털 비디오 신호 디코더 시스템에 의하여 달성된다. 본 발명의 시스템은 네트워크 또는 호스트 (host)로부터 인코딩된 압축 디지털 비디오 신호를 수신하고 디코딩된 디지털 비디오 신호를 출력 디스플레이에 전송시키는데 유용하다. 디코인 시스템의 구성 요소로는 FIFO 데이터 버퍼 (FIFO data buffer), 가변 길이 코드 디코더 (variable length code decoder), 역양자화기 (dequantizer), 이산 코사인 변환 인버터 (discrete cosine transform inverter), 움직임 보상기 (motion compensator), 디스플레이 출력 처리를 위한 다위상 유한 임펄스 응답 수평 필터 (poly-phase finite impulse response horizontal filter), 디스플레이 유닛 비디오 출력 (display unit video output) 및 제어기 (controller) 등이 있다.

디스플레이 출력의 화면비를 디스플레이 장치의 화면비에 맞추기 위한 복잡한 화면비 확장 방법은 유한 임펄스 응답 전달 함수 (FIR transfer function)를 사용하여 컨볼루션 합 (convolution sum)을 구하는 것을 포함하고, 따라서 여러 개의 입력 화소를 분석함으로써 새로운 화소가 보간된다. 이 방법은 확장된 비디오 디스플레이에서 보다 높은 정밀도가 필요한 경우에 바람직하고, 이는 본 발명의 하나의 실시예이다.

수평 확장을 위한 FIR 필터 방법에서도, 디스플레이 기능은 수 개의 상이한 화면비 변환을 수행하도록 요구될 수 있다. 무엇보다도 1:2, 3:4 및 2:3 과 같은 화면비는 산업에서 흔히 이용된다. 비디오 디스플레이 기능은 비용에 매우 큰 영향을 받으므로, 동일한 디지털 회로로 필요한 모든 화면비 변환을 수행하도록 수평 확장 기능을 설계하는 것이 바람직하다. 디지털 회로에 대한 멀티플렉싱은 디스플레이 기능을 구현하는데 필요한 면적을 감소시키기에 바람직한다. 이는 VLSI에서 면적은 디코더/디스플레이 기능의 제조 비용을 결정하는데 중요한 요소이기 때문이다. 최근에, 하나의 디스플레이 기능에 수 개의 상이한 화면비 변환을 포함시키는 것이 일반화되었고, 따라서 이러한 기능을 갖는데 필요한 실리콘 면적을 줄이는 방법을 택하는 것이 바람직하다.

FIR 방법은 컨볼루션 합에 의하여 실현되는데, 여기서 각각의 출력 화소는 입력 데이터 (디지털 화소값) 와 (원하는 수평 확장의 종류에 적합한) 선형된 임펄스 응답 계수의 개개의 곱을 합산한 것이다. 이를 구현하는데 필요한 곱셈 회수를 줄이기 위하여, 이들 계수는 어떤 경우에는 대칭적으로 선택된다. 또한, 하나의 컨볼루션 결과를 생성하기 위해 병행하여 수행되어야 하는 잔여 곱셈은 회로의 면적을 감소시키는 방식으로 결합된다. 본 발명의 한 부분은 이러한 곱셈의 결합에 관한 것이다.

원래의 화상이 디코딩될 때, 크로미넌스는 여러 가지 방법으로 서브샘플링될 (sub-sampled) 수 있는데, 이들 2가지 방법은 간단한 데시메이션 (decimation)에 의한 것 및 디지털 필터에 의한 것이다. 이러한 방식에 의하면, 크로미넌스 샘플들은 휘도 샘플에 대하여 소정의 공간적 국부성 (spatial locality)을 갖게 된다. 이 화상이 소정의 확장시에 디스플레이 기능에 의하여 후처리 (post-processing)될 때, 이러한 공간적 관계는 가능한 한 가깝게 재구성되어야 한다. 그렇지 않으며, 색상 시프트 (color shift)의 형태로 왜곡이 발생할 수 있다. 이것은 서브-화소 정밀도 (sub-pixel accuracy)를 필요로 하는 MPEG-2 팬/스캔 피쳐 (MPEG-2 Pan/Scan feature)에 있어서 특히 중요하다. 본 발명의 다른 부분은 수평 확장 디스플레이 기능으로부터 보다 정확한 크로미넌스를 생성시킬 수 있으면서도 정밀도 증가를 위한 회로가 나머지 설계에 부담이 되지 않도록 하는 디스플레이 기능에 관한 것이다.

본 발명의 첨부된 도면을 참조하면 보다 잘 이해할 수 있을 것이다.

본 발명의 시스템, 방법 및 장치는 호스트 인터페이스 버스로부터 인코딩된, 압축 디지털 비디오 데이터를 수신하고, 디지털 비디오 데이터를 압축 해제 및 디코딩하고, 압축 해제 및 디코딩된 디지털 비디오 데이터를 화소 버스 (pixel bus)로 인용되는 디스플레이 인터페이스 및 다위상 유한 임펄스 응답 임펄스 응답 필터로 인용되는 화면비 변환 수단 (aspect ratio conversion means)을 통하여 디스플레이 출력에 전달한다. 디지털 데이터로부터 아날로그 데이터의 변환은, 하나의 실시예에서는 화소 버스의 시스템 다운스트림에서 디지털-아날로그 변환기 (DAC)를 사용하고 있지만 시스템 외부에서 행해진다.

본 발명의 바람직한 실시예에서는, 디코드 시스템은 메인 레벨 (Main Level)에서 MPEG 문헌 (MPEG documentaion)에 정의된 바와 같은 동화상 전문가 그룹 MPEG-2 표준 메인 프로파일 (Moving Pictures Experts Group MPEG-2 Standard Main Profile)에 완전히 따른다. 따라서, 시스템은 15 Mbs/초의 속도로 압축 비디오 데이터를 수신할 수 있고, 시스템은 40 Mhz의 클럭 주파수에서 동작할 수 있다. MPEG-2 표준에서 압축, 인코딩된 데이터에 대한 데이터 포맷은 YCbCr (4:2:0)이다.

제3도는 MPEG-2 표준을 지원하는 시스템의 일반적인 내부 데이터 흐름을 도시한 도면이다. 구체적으로는, 압축 인코딩된 데이터 입력(31)은 디멀티플렉서(demultiplexer; 41)로 들어가서 2개의 스트림(51 및 61)로 디멀티플렉싱된다. 스트림(61)은 가변 길이 코드(Variable Length Code: VLC) 허프만 디코더(Huffman Decoder; 71b)에 들어가서 디코딩되고, 역양자화기 (Inverse Quantizer; 81)에 들어가서 역양자화된다. 그 후, 역양자화된 코드는 역이산 코사인 변환 (Inverse Discrete Cosine Transform: IDCT)프로세서(91)에 들어가는데, 여기서 역양자화된 코드가 화소 매핑 (pixel mapping)으로 변환된다.

제2 데이터 스트림(51)은 가변 길이 코드(VLC) 허프만 디코더(71a)로 들어가서 움직임 벡터(101)로 디코딩되고, 이들 움직임 벡터(101)은 움직임 보상기(131)에 들어간다. 허프만 디코더(71a 및 71b)는 구조적, 전자적으로는 동일한 구성 요소일지라도, 논리적으로는 분리되어 있고 구별되어 있는 것으로 도시되어 있다.

또한, 움직임 보상기(131)은 제1데이터 스트림(61)과 움직임 보상 데이터 스트림이 합산기(141)에서 합산된 데이터 스트림을 수신한다. 합산기(141)의 출력(151)은 (도시되지 않은) 화소 버스와 저장 장치, 즉 미래 프레임 저장 장치 (Future Frame Storage; 111) 및 과거 프레임 저장 장치 (Past Frame Storage; 121)에 들어간다. 미래 프레임 저장 장치(111) 및 과거 프레임 저장 장치(121)의 내용은 적절하게 움직임 보상기(131)로 입력된다.

제4도는 본 발명의 디코더 시스템(201)의 블록도이다. 시스템 1/0는 호스트 인터페이스 (202)로부터의 3개의 버스와 디스플레이 인터페이스(208)로의 2개의 버스를 포함한다. 호스트 인터페이스(202)로부터는 버스는 데이터 버스(203), 어드레스버스(205), 및 제어 버스(207)을 포함한다. 데이터 버스(203)은 16 비트 또는 32 비트 버스, 또는 다른 폭의 버스일 수 있고, 직렬 버스 (serial bus)일 수도 있으며, 양방향성 또는 편방향성일 수 있다. 어드레스 버스(205)는 6 비트 버스이며, 본 발명의 범위에서 벗어나지 않으면서도 다른 폭의 버스를 사용할 수도 있다. 제어 버스(207)은 7비트 버스이며, 본 발명의 범위에서 벗어나지 않으면서도 다른 폭의 버스를 사용할 수도 있다.

디스플레이 인터페이스(208) 버스들은 데이터 버스(209)와 제어 버스(211)이다. 데이터 버스(209)는 화소 데이터를 위한 것이다. 제어 버스(211)은 동기화 및 제어를 위한 것이다.

시스템은 호스트 버스 제어 요소 (host bus control element; 231), FIFO 버퍼 (FIFO buffer; 241), 디코드 서브시스템(decode subsystem; 301), 제어기(401), 명령 저장 유닛(instruction storage unit; 402), 디스플레이 버스 제어기 (display bus control; 501), 및 메모리 관리 유닛 (Memory Management Unit; 600)을 포함한다.

외부 메모리(601)인 메모리는 FIFO 버퍼(241)을 통하여 호스트 인터페이스(202)로부터 데이터를 수신하기 위한 압축 데이터 버퍼(611), 및 미래 프레임과 과거 프레임을 비롯한 디코딩된 프레임들을 수신하고 저

장하기 위한 프레임 버퍼(621, 623, 625)를 포함한다.

메모리 관리 유닛(600)과 메모리(601) 사이의 인터페이스는 어드레스 버스(221), 양방향성 데이터 버스(223), 및 제어 버스(225)를 포함한다.

제5도에 상세히 도시된 디코드 유닛(301)은 제어기(401) 및 이와 관련된 명령 저장 유닛(402)의 제어 하에서 동작하는 기능적 유닛들로 구성된다. 이들 디코드 기능적 유닛은 가변 길이 코드 허프만 디코더(Variable Length Code Huffman Decoder; 311), 역양자화기(Inverse Quantizer 또는 Dequantizer; 321), 역이산 코사인 변환 유닛(Inverse Discrete Cosine Transform unit; 331) 및 움직임 보상 유닛(Motion Compensation Unit; 341)을 포함한다.

제어기(401)은 디코더에 대한 제어의 중심 포인트이다. 제어기(401) 마이크로코드(microcode)는 명령 저장 유닛(402)에 저장되어 있다. 제어기(401)은 하이레벨 명령 및 스테이터스를 얻기 위하여 외부 프로세서를 통하여 호스트 또는 시스템 버스를 통하여 호스트 시스템과 상호작용한다. 제어기(401)은 다른 기능적 요소의 제어와 명령도 담당할 뿐만 아니라, 이들 유닛의 전체 동기화(global synchronization)도 담당한다.

제어기(401)은 가변 길이 코드 허프만 디코더(311)에 접속된다. 이것은 코드 스트림(code stream)의 파싱(parsing)을 가능하게 한다. 코드 스트림의 파싱 및 헤더 정보의 처리는 VLC 허프만 디코더(311)과 상호작용하는 제어기(401)에 의하여 수행된다.

가변 길이 코드 허프만 디코더(VLC; 311)은 데이터 스트림을 디코딩하기 위한 표(table)와 매크로블럭에 대한 런/레벨 데이터(run/level data)의 디코딩을 제어하는 국부적 스테이트 머신(local state machine)을 포함하고 있다. VLC(311)은 헤더 정보 및 블럭 런/레벨 기호들이 압축 비트 스트림으로부터 통과됨에 따라 제어기(411)에 의하여 제어된다. 국부적 스테이트 머신은 런/레벨 기호를 디코딩하고 역양자화기(321)과 상호작용하여 디코딩된 신호들을 처리한다.

예를 들어 허프만 코딩과 같은 가변 길이 코딩은 코드워드(codeword)를 기호에 할당하는 통계적 코딩 기법이라는 점에 주목해야 한다. 발생 확률이 높은 기호에는 짧은 코드워드가 할당되고, 발생 확률이 낮은 기호에는 보다 긴 코드워드가 할당된다.

MPEG-2 VLC 디코더에서 사용되는 코드들을 MPEG-2 표준에서 채택한 것이다. 이들 코드는 접두어 코드(prefix code)라고 알려진 코드의 클래스를 형성한다. 접두어 코드 시스템에서는, 유효 코드는 다른 코드의 접두어가 되지 않는다. 각각의 코드워드에 할당된 비트 수는 최소 1부터 최대 16까지 가변적이다. 기호의 시퀀스를 나타내도록 사용되는 코딩된 비트들은 가변 길이 스트림의 비트이다. 이 비트 스트림은 원래 기호의 시퀀스를 재구성하기 위하여 순차적으로 디코딩되어야 한다. 전술한 바와 같이, 허프만 코딩은 기호 발생 확률(symbol occurrence probabilities)에 기초하여 코드표를 발생시킨다. 발생된 코드들은 최소 리던던시 코드(minimum redundancy codes)이다. MPEG-2 표준에 의하여 사용되는 허프만 코딩은 정적 코딩 알고리즘(static coding algorithm)에 기초한 것이다. 허프만 코딩에 의하여 사용되는 코딩 절차는 무손실 코딩인데, 이는 인코딩되는 기호들의 정확한 시퀀스가 디코딩 프로세스에 의하여 복구되기 때문이다.

역양자화기(321)은 런/레벨 [런/크기] 코딩된 기호들을 VLC 유닛(311)로부터 수신하고, 역이산 코사인 변환 유닛(331)에 보내지는 64개의 계수의 블럭을 출력시킨다. 역양자화기(321)은 런/레벨 코딩된 기호들을 0과 기호들로 변환하고, 데이터를 언지그(unzig) 하고, 이산 코사인 계수들을 위한 차동 펄스 코드 변조(differential pulse code modulation: DPCM) 디코딩을 수행하고, 데이터를 역양자화 한다.

제2도는 이산 코사인 변환 계수들의 지그-재그 스캐닝 순서를 도시한 도면이다. 좌측 상부 계수는 DC 계수이다. 다른 모든 계수들은 AC 계수로 간주한다. 숫자들은 런 길이 및 레벨 코딩을 위해 계수들이 판독되는 순서를 나타낸다.

런 길이 코딩 후의 프로세스는 데이터를 “언지그(unzing)” 하는 것이다. 이것은 8 × 8 블럭 또는 매트릭스에 대하여 “레벨” 데이터를 위치에 놓는 것을 말한다. “런(run)”은 건너뛴 위치(skipped position), 즉 0의 개수를 나타낸다. 레벨도 양자화 하에서 더 처리되어야 한다.

양자화, 즉 인코딩에서는, 레벨은 소위 “양자화 인수(quantization factor)”라고 불리는 수로 나누어져서 양자화 계수가 된다. 양자화 및 역양자화는 디코딩된 데이터에 어느 정도의 손실을 가져온다. 디코딩 프로세스에서, 언지그된 양자화 계수 (“레벨”)는 양자화 인수와 곱해져서 역양자화된 계수를 생성한다. 양자화 인수는 디코더에 의하여 사용되어 데이터 스트림을 디코딩하게 되고, 디코더로 들어오는 데이터 스트림의 일부이다. 주파수 도메인 값인 이 계수는 역이산 코사인 변환 유닛(331)에 들어가서 다시 시간 도메인 신호로 변환된다.

1-화상 또는 1-프레임이라고도 알려진 인트라블럭은 차동 펄스 코드 변조 코딩된 DC 계수들을 포함한다. 이것은 이전의 DC 값이 현재의 8×8 블럭 DC 값을 예측한다는 것을 의미한다. 그 후, 양자화된 차(quantized difference)는 코딩된다. DC 계수에 대한 차동 펄스 코드 변조 코딩은 모든 3개의 성분, 즉 Y 성분, Cb 성분, 및 Cr 성분에 대하여 적용할 수 있다. 차동 펄스 코드 변조 디코딩 후에, 8 × 8 블럭의 DC 계수는 역이산 코사인 변환 유닛(331)에 들어가기 이전에 역양자화 프로세스를 거치게 된다.

신호의 블럭이 역양자화 유닛(321)에서 역양자화된 후에, 역이산 코사인 변환 유닛(331)은 8 × 8 블럭에 대하여 2차원 역이산 코사인 변환을 수행하여 재구성된 화상 블럭을 형성한다. 재구성된 화상 블럭은 필연한 경우 움직임 보상 유닛(341)로부터 예측된 블럭에 가산된다. 역이산 코사인 변환 유닛(331)과 움직임 보상 유닛(341)은 이 합산 단계에서 그들의 출력을 동기시킨다. 그 후, 합산 결과는 디스플레이로의 출력과 참조를 위해 메모리(601)에 보내진다.

움직임 보상 유닛(341)에 제어기(401)로부터 명령과 어드레스를 수신하고, 필요한 보간을 수행하여 예측된 화상 블럭을 형성한다. 예측된 출력 블럭은 역이산 코사인 변환의 출력에 동기되고, 이 합산 단계에 의하여 역이산 코사인 변환 재구성 블럭의 출력에 가산된다.

움직임 보상은 현재 블록과 이전 화상이나 미래 화상의 블록 사이의 차를 코딩함으로써 비디오 화상의 시간적 리던던시를 이용한다. 움직임이라는 것은 기존 화상에 비하여 현재 화상 내에서의 화소들의 위치가 달라지는 것을 의미한다. 이러한 변위는 움직임 벡터에 의하여 주어진다. 이들 움직임 벡터 및 현재 화상과 미래 화상 사이의 코딩된 차에 의하여 움직임 보상 화상을 구성하게 된다.

움직임 보상은 전 화소 정밀도 (full pel accuracy) 또는 절반 화소 정밀도 (half pel accuracy)의 움직임 화소를 사용하여, 과거 또는 미래 화상으로부터의 예측, 또는 과거와 미래 화상 모두로부터의 예측을 포함한다. 움직임 보상은 인터레이스 방식 (interlaced) 및 비-인터레이스 방식 (non-interlaced) 비디오 데이터 스트림에서 모두 수행된다.

본 발명의 디코더 시스템은 제6도의 전용 디지털 오락 터미널 환경에 도시되어 있다. 이 시스템은 케이블 또는 업스트림 방송 수단 (upstream broadcasting means; 651) 로부터 입력을 수신한다. 이 입력은 디멀티플렉서(661)에서 비디오, 오디오 및 ASCII 부분으로 디멀티플렉싱된다. 이 시스템은 본 발명의 비디오 디코더(201), 오디오 디코더(21), ASCII 발생기(31), 및 적외선 수신기 (Infrared Receiver; 41)을 포함한다. ASCII 발생기(31), 오디오 디코더(21), 및 비디오 디코더(201)은 NTSC (National Television Standards Committee) 발생기(51)을 통하여 출력을 제공한다.

이하, 개인용 컴퓨터 환경에 대하여 설명한다. 개인용 컴퓨터, 워크스테이션 또는 그 이외의 컴퓨터 환경에서는, 압축 비디오 데이터 입력은 저장 장치 또는 네트워크 통신 어댑터로부터 온다. 비디오 데이터는 전형적으로 시스템 I/O 버스를 통한 패킷 전송으로 처리된다. 이것은 본 발명의 시스템이 제한된 시간 동안 고속으로 데이터 버스트를 수신하고, 그 후 인코딩된 데이터가 처리되는 동안에 다른 장치들이 시스템 I/O 버스를 사용할 수 있어야 한다는 것을 의미한다. 이것은 그러한 데이터 버스트를 처리할 수 있을 정도로 충분히 큰 내부 FIFO 버퍼(241)를 사용함으로써 달성된다. 컴퓨터 환경에서는, 압축 해제된 비디오 데이터 스트림은 디스플레이 (화소 버스) 인터페이스에 제공되는데, 이것은 비디오 제어기와 직접 인터페이스될 수 있다. 대안적으로, 비디오 데이터 스트림은 고대역폭 시스템 버스를 통하여 그래픽 프로세서 프레임 버퍼에 보내질 수 있다.

전형적인 PC 시스템 환경이 제7도에 도시되어 있다. 제7도에는 네트워크 어댑터 (network adapter; 703), SCSI 어댑터(SCSI adapter; 705), 시스템 메모리(707), 호스트 프로세서 (host processor; 709)와 같은 다양한 시스템 버스 서브시스템(system bus subsystem)과, 시스템 버스(701)가 도시되어 있다. 본 발명의 시스템은 그래픽 어댑터 카드(711)을 통하여 시스템 버스(701)에 접속되어 있고, 디지털 신호 프로세서 (digital signal processor; 713), 본 발명의 디코더(201), DRAM(601) 및 SRAM(602)를 포함한다. 그래픽 어댑터 카드(711)은 선택적인 디스플레이 도터 카드 (Display Daughter Card; 715) 또는 그래픽 디스플레이 이(717)에 대한 인터페이스를 제공하거나, 양자 모두에 대한 인터페이스를 제공한다.

이하에는 프로세서 I/O 에 대하여 설명한다. 시스템은 3개의 외부 인터페이스, 호스트 인터페이스(202), 디스플레이 인터페이스(208), 및 메모리 인터페이스(221, 223, 225)를 가지고 있다.

호스트 인터페이스(202)는 1차 제어 및 압축 데이터 인터페이스이다. 16 비트 슬레이브 인터페이스(16 bit slave interface)인 이 인터페이스(202)는 호스트 프로세서, 즉 전송 네트워크로 하여금 내부 레지스터, 국부 저장 장치 및 시스템의 기능적 유닛에 대하여 액세스할 수 있도록 한다. 호스트 인터페이스(202)는 명령(command), 스테이더스(status) 및 시스템을 위한 인코딩된 데이터 인터페이스로서 작용한다. 하이 레벨 시스템 명령 및 스테이더스는 본 발명의 디코더 시스템과 호스트 시스템 사이에서 호스트 인터페이스(202)를 통하여 전달된다.

이하, 다위상 FIR 화면비 확장 (Polyphase FIR Aspect Ratio Expansion)에 대하여 설명한다. 상이한 디스플레이 화면비에 맞추기 위한 수평 확장은 크로미넌스 차동 신호 (chrominance difference signals)에 대한 연산으로부터 시작된다. 크로미넌스 차동 신호는 통상 MPEG-2 인코딩 이전에 원래 화상으로부터 서브샘플링 된다. 크로미넌스 샘플링 포맷은 다음과 같이 규정된다.

4:2:0 → 제8도에 도시된 바와 같이 크로미넌스 차동 신호는 수직 방향과 수평방향으로 휘도 해상도의 절반으로 서브샘플링된다.

4:2:2 → 제9도에 도시된 바와 같이 크로미넌스 차동 신호는 수평 방향으로만 휘도 해상도의 절반으로 서브샘플링된다.

4:4:4 → 동일한 개수의 휘도 샘플과 크로미넌스 차동 샘플이 있다.

MPEG-2 메인 레벨 (main level), 메인 프로파일 (main profile)에서는, 압축데이터는 4:2:0 크로미넌스로 구성된다. 대부분은 MPEG-2 디코더는 4:2:2 포맷으로 압축 해제된 비디오를 출력시킨다. 이것은 제8도와 제9도에 도시되어 있다. 제10도에 도시된 바와 같은 크로미넌스 샘플의 수평 위치는 MPEG-2 에서 휘도 샘플과 동일 위치이다. 동일 위치에 있는 샘플은 휘도 화소와 동일 개수의 크로미넌스 샘플을 취하고, 2개의 샘플마다 데시메이션 (decimation)을 수행함으로써 얻어진다.

제11도에는 MPEG-1 크로미넌스 신호들의 수평 위치가 도시되어 있는데, MPEG-1에서 크로미넌스 샘플들은 제11도에 도시된 바와 같이 인접한 휘도 샘플의 중간에 위치한다.

크기 조절 (re-sizing) 프로세스는 디지털 FIR 필터를 사용하여 수행된다. 이 프로세스는 휘도(Y) 및 각각의 색상차 신호 (U,V)를 독립적으로 취급하고, 각각의 샘플 세트에 동일한 컨볼루션 합을 적용하여 새로운 디지털 데이터 라인을 형성하게 된다.

디지털 필터는 여러개의 구별되는 위상을 사용하여 크로미넌스 샘플들이 확장시 휘도 샘플에 대하여 공간적으로 위치하는 방식을 보다 정밀하게 제어한다. 이것은 대부분의 다위상 필터 확장 모드 (화면비)에서 사용된다. 다위상 필터는 제10도 도시된 바와 같이 공간적으로 위치하는 MPEG-2 입력 크로미넌스 샘플들을 취하고, 제11도에 도시된 바와 같이 보다 정확한 형태로 공간적으로 위치하는 4:2:2 확장 크로미넌스 샘플들을 전달한다.

MPEG-2 팬 및 스캔 피취 (MPEG-2 Pan and Scan feature)는 원래의 화상이 허브-화소 위치 (sub-pel locations)에서는 오프셋일 것을 요구한다. MPEG-2 신택스 (Syntax)에서는 1/16 화소 정밀도를 요구하지만, 실제로는 팬(pan)이 어떠한 속도이든지 관계없이 자연스러운 패닝 움직임 (panning motion)을 보이려면 1/4 화소(1/4 pel)이면 충분하다. 팬 및 스캔 피취는 3:4 확장 필터를 사용한다.

제12도는 3:4 확장 필터에서 다양한 서브화소 위치에 대하여 휘도와 크로미넌스 사이의 위상 관계를 도시한다. 시작 서브화소 위치 (starting sub-pel position)는 제1 짝수 휘도 $y(0)$ 상에서의 시작 데드 센터 (starting dead center)에 대하여 0.00으로 시작하여, 양의 방향으로의 각각의 증가에 대하여 0.25의 간격으로 되어 있고, 1.75로 끝나는 것으로 좌측에 표시되어 있다. 이 시리즈는 시작 화소가 다음번 짝수 휘도 샘플 $y(2)$ 로 시프트될 때 모듈로 8 (modulo 8)방식으로 끝난다. 이것은 예를 들어 1/3 화소 정밀도 또는 그 이상의 다른 정밀도로 확장할 수 있으며, 제12도에는 1/4 화소 정밀도가 도시되어 있다.

이 3:4 확장 필터를 구현하기 위하여 4개의 구별되는 위상 (distinct phases)를 사용하여 크로미넌스 샘플들이 확장 이전에 휘도 샘플에 대하여 공간적으로 위치하는 방식을 보다 정확하게 제어한다. 따라서, 동일한 위상 제어의 적절한 초기화를 통하여 필터로 하여금 확장된 휘도 샘플과 크로미넌스 샘플 모두를 0.25 서브 화소 해상도의 정밀한 형태로 정확히 위치시킬 수 있도록 한다.

제12도를 참조하면, 한가지 예에서는 모든 경우에 대하여 0.00의 화소 오프셋에서 [짝수 화소 (even pel), 전 화소 (full pel)] 초기화하도록 필터를 제한할 수 있다. 그러면, 크로마 위상 (chroma phase)에 대한 가장 정확한 선택은 3일 것이다.

디지털 디스플레이 기능의 디자인에 있어서 중요한 요소는 유한 임펄스 응답(FIR) 수평 확장을 처리하기 위한 회로의 간결성 및 정밀성이다. 본 명세서에서 설명한 디자인은 수개의 상이한 수평 확장비를 위한 하드웨어를 하나의 유닛으로 결합시킨다.

그러한 결합 유닛은 FIR 변환에 관련된 곱셈이 병렬로 수행되고 그 결과들이 수평 확장 유닛의 입력에 적절한 정밀도로 누산되도록 디자인된다. 그러한 디자인은 제13도에 도시되어 있다. 최근에, 이들 디자인에 서는 적절한 정밀도의 새로운 컨벌루션된 화소를 만들도록 8개의 곱셈기를 채용하였다.

CCIR 권고 601에 맞추기 위하여 데이터가 실제 디스플레이 유닛에 공급되어야 하는 속도는 디자인의 간결성이라는 목적에 부답이 된다. 이러한 고속 데이터는 상기 디스플레이 유닛의 대기시간 (latency)을 초과하는 높은 주파수로 수평 디스플레이 유닛이 사이클링될 것을 요구한다. 따라서, 이들 다수의 사이클로 분해하기 위해 파이프라인 레지스터들이 부가될 필요가 있다.

또한, 알고 있는 포인트를 중심으로 대칭이 되도록 전달 함수 계수를 선택할 수 있으면, 상기 네트워크는 곱셈 연산 위에 가산 단계를 삽입함으로써 곱셈기의 개수를 4개로 감소시키도록 "폴딩" 될 ("folded") 수 있다. 면적을 줄이기 위한 이 단계는 요구되는 사이클을 달성하기 위하여 파이프라인 레지스터를 증가 시키므로, 레지스터와 가산기의 면적 대 곱셈기 면적 사이의 타협을 고려해야 한다. 직렬로 디자인된 [캐리 룩-어헤드 (carry look-ahead)가 없는]가산기를 사용하여, 이러한 폴딩 단계를 포함하면, 대기 시간은 커지더라도 디자인 간결성에는 도움이 된다. 이러한 폴딩 회로 (folded circuit)는 제14도에 도시되어 있다.

본 발명의 한가지 특징은 많은 수의 파이프라인 레지스터가 필요하지 않도록 하기 위하여 이 네트워크의 대기 시간 (latency)을 감소시키고 전체적인 간결함을 달성하는 것이다.

곱셈 연산에서는, 그것이 어떻게 구현되더라도, 피연산자 중의 하나를 승수, 나머지 하나를 피승수로서 취급함으로써 부분곱 (partial products)이 발생하게 되고, 따라서 이 부분곱들은 제15도에 도시한 바와 같은 잘 알려진 방식으로 배치된다. 월리스 트리 (Wallace trees)나 가산 어레이 (addition array)와 같은 공지의 방법 중의 어느 하나를 사용하여 이들 부분곱들을 합산하여 곱(product)을 구할 필요가 있으며, 이들 방법들은 캐리 보류 가산기 (carry-save adder) 또는 멀티-비트 카운터(multi-bit counter)로 구성될 수 있다. 데이터 입력에 포함된 비트수는 계수들을 정의하는데 필요한 최대 비트수와 대략 일치하고, 따라서 그러한 방식으로 도시된다.

계수에 대한 데이터는 언제든지 사용할 수 있는 것으로 가정한다. 폴딩 직렬 가산기의 출력은 피승수 입력이나 승수 입력 어느 쪽으로라도 공급될 수 있다. 2가지 가능성은 제16도와 제17도에 도시되어 있다. 이들 2개의 도면은 폴딩 직렬 가산기의 출력을 승수 입력에 공급하는 것이 최선의 선택이라는 것을 보여 준다.

제16도에서, 부분곱의 개수를 감소시키기 위하여, 예를 들어 부스 알고리즘(Booths algorithm)을 사용하여 계수를 인코딩하고자 하면, 코딩된 계수를 저장하기 위하여 필요한 면적의 증가에 대한 댓가로 임계 경로 B에 대한 대기 시간을 감소시키게 된다는 것에 주목해야 한다. 만일 디스플레이 유닛이 수개의 상이한 하먼비 변환을 수행해야 하면 수개의 계수 셋이 저장되어야 한다.

부분곱의 발생과 누산을 위한 계산의 파면은 폴딩 가산기 합의 생성을 위한 파면을 바로 뒤따른다는 점에 주목해야 한다.

제16도와 제17도에 도시된 회로는 4개의 곱셈 각각에 대하여 명시적인 곱 (explicit product)을 계산하고, 그 후 이들 곱은 누산 네트워크 (accumulation network)에 공급되는데, 여기서 이들 4개의 곱은 결국 새로운 화소를 나타내는 하나의 결합된 값으로 감소된다. 여기서, 파이프라인 레지스터를 삽입하기에 가장 적당한 지점은, 4개의 곱을 래치업(latch up)시키는 곳 또는 곱의 가장 중요한 부분 및 사이클 종료시에 계산이 끝난 4-2 네트워크의 부분이다. 4-1 감소 (4-1 reduction)를 완료시키는데 사용되는 제2 사이클은 하나의 사이클 내에서 용이하게 완료된다.

임계 경로의 세그먼트 중 하나를 제거하여 대기 시간을 감소시키는 것이 필요하다. 제18도에 도시된 네트워크는 이러한 대기 시간을 감소시킨 것이다.

제18도에 도시된 네트워크는 4개의 곱셈 각각에 대하여 명시적 곱을 계산하지는 않는다. 그 대신에, 네트

워크는 모든 4개의 곱셈으로부터의 개별적인 부분곱들을 결합시킨다. 네트워크는 어레이 형태로 배치된 복합 4-2 카운터 (composite 4-2 counter)를 채용한다. 4개의 곱셈 각각은 복합 4-2 카운터의 선가산 부분 (pro-addition portion)을 위하여 사용되는 하나의 부분곱을 만드는데 기여한다.

임계 경로 특성은 제17도에 도시된 네트워크의 임계 경로 특성과 매우 유사하다. 폴딩 가산기의 파면이 먼저 진행된다. 폴딩 가산기의 첫 번째 2개의 LSB가 발생되고, 관련된 부분곱이 4-2 매트릭스에 들어온 후에, 4-2 카운터 어레이의 전송부가 진행할 준비를 한다. 폴딩 가산기를 통한 지연은 4-2 카운터 어레이를 통한 임계 지연 경로보다 약간 빠르고, 따라서 복합 4-2 카운터의 선가산부를 위한 부분곱의 발생을 위한 파면은 4-2 카운터 어레이의 전송부의 파면보다 약간 앞선다. 폴딩 가산기가 MSB를 계산하고 최상위 부분곱이 매트릭스에 들어올 즈음에는, 매트릭스는 마지막 몇 개의 행에 대한 계산을 완료하기만 하면 된다.

발명의 효과

2-1 가산기에 대한 대기 시간 (임계 경로 D)은 본질적으로 제거된다. 임계 경로 E에 대한 대기 시간은 임계 경로 B 또는 C 보다 조금만 긴데, 이는 이러한 단일 네트워크가 부분곱을 1/4로 감소시키고 있기 때문이다. 또한, 모든 4개의 곱셈이 계산에 참여했기 때문에, 최하위 곱셈 비트는 버려도 된다. 또한, 파이프라인 레지스터를 삽입하기에 편리한 위치는 네트워크에 의하여 생성된 합과 캐리를 래치하는 곳이다. 이것은 종래의 범위에서 요구되었던 4개의 레지스터 대신에, 단지 한쌍의 레지스터만을 사용하는 것이다.

본 발명을 바람직한 실시예 및 예시에 의하여 설명하였지만, 이것은 본 발명의 범위를 제한하는 것이 아니며, 본 발명의 범위는 특허 청구의 범위에 의해서만 정해진다.

(57) 청구의 범위

청구항 1

데이터 버퍼; 가변 길이 디코더 (a variable length decoder); 역양자화기 (a dequantizer); 역이산 코사인 변환 디코더 (an inverse discrete cosine transform decoder); 움직임 보상기 (a motion compensator); 가산기가 그 위에 있는 4개의 폴딩된 병렬 곱셈기 유닛을 갖고, 디스플레이 출력 프로세싱을 하기 위한 다위상 유한 임펄스 응답 수평 디지털 필터; 디스플레이 유닛 비디오 출력; 및 제어기를 포함하는 디지털 비디오 레코더에 있어서, 가산기를 그 위에 갖고 있는 상기 폴딩된 병렬 곱셈기 유닛 각각은, 출력이 상기 곱셈기 유닛의 승수 입력으로 들어가는 폴딩 직렬 가산기를 구비하며, 상기 디코더는 어레이 형태로 배치된 4-2 카운터를 더 포함하고, 상기 4개의 곱셈기 각각이 상기 4-2 카운터의 선가산부 (pre-addition portion)를 위한 하나의 부분곱을 제공하는 디지털 비디오 디코더.

청구항 2

제1항에 있어서, 휘도 샘플에 대한 크로미넌스 샘플 배치를 제어하기 위한 다수의 위상 (multiple phases)을 갖는 디지털 비디오 디코더.

청구항 3

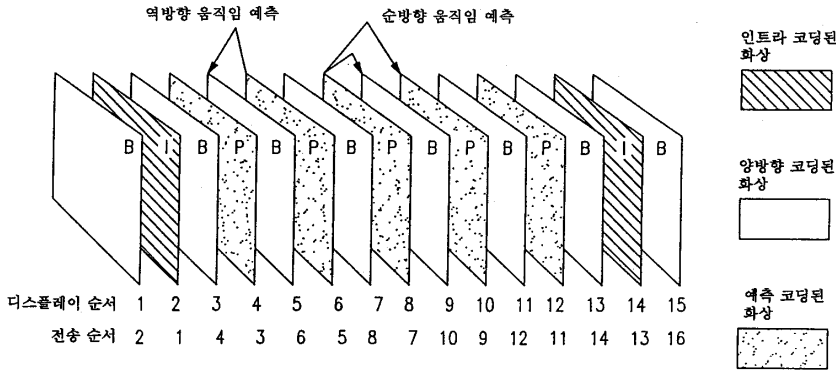
디코더에서 휘도 샘플 및 크로미넌스 샘플을 갖고 있는 디지털 비디오 데이터 스트림을 디코딩하여 출력 비디오 디스플레이를 구하는 방법에 있어서, 상기 디코더의 버퍼에서 상기 데이터 스트림을 수신하는 단계와, 상기 데이터 스트림을 가변 길이 디코딩하는 단계와, 상기 디코딩된 데이터 스트림을 역양자화하는 단계와, 상기 역양자화된 데이터 스트림을 역이산 코사인 변환하는 단계와, 상기 역이산 코사인 변환된 데이터 스트림을 움직임 보상하는 단계와, 곱셈 연산에 선행하는 폴딩 직렬 가산기를 통하여 4-2 카운터와 4개조 병렬로 컨볼루션 곱셈을 수행함으로써 상기 움직임 보상된 데이터 스트림의 화소의 컨볼루션 합을 발생시켜서 출력 비디오 디스플레이를 확장시키는 단계를 포함하는 방법.

청구항 4

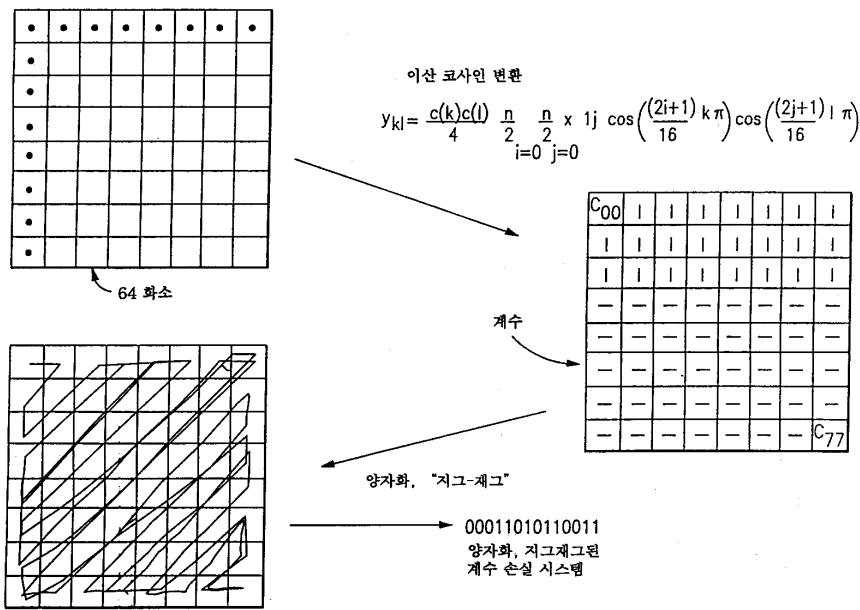
제3항에 있어서, 디코더를 초기화하는 단계를 포함하며, MPEG-2 데이터 스트림을 위한 크로미넌스 샘플의 시작 위상이 크로미넌스 샘플을 그 대응하는 휘도 샘플에 대하여 정확하게 배치되게 해주는 방법.

도면

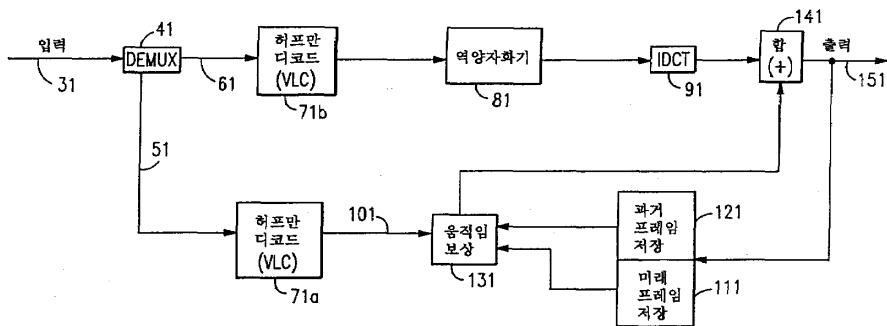
도면1



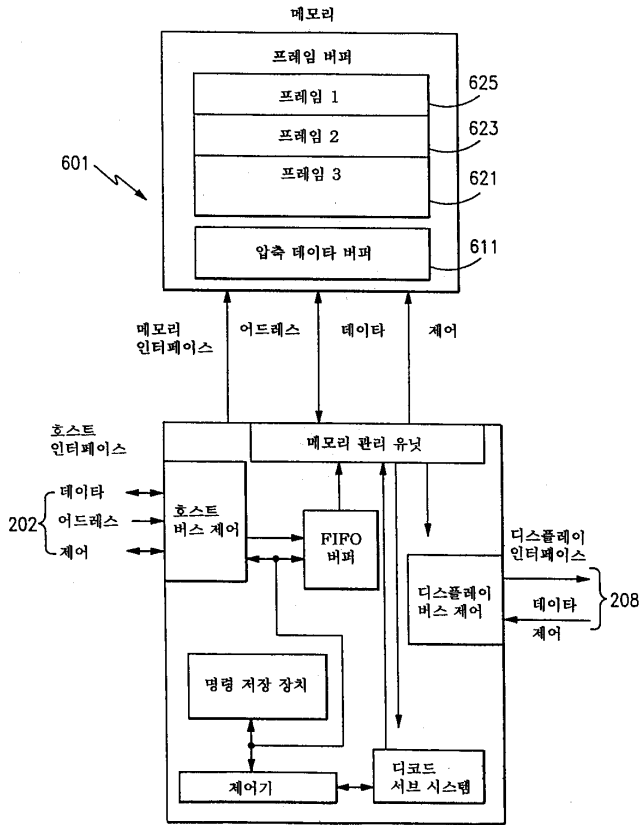
도면2



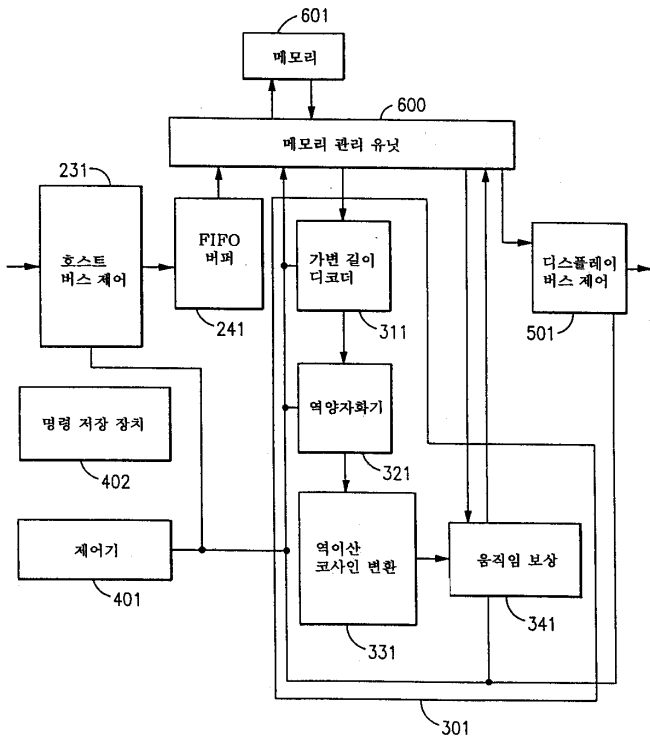
도면3



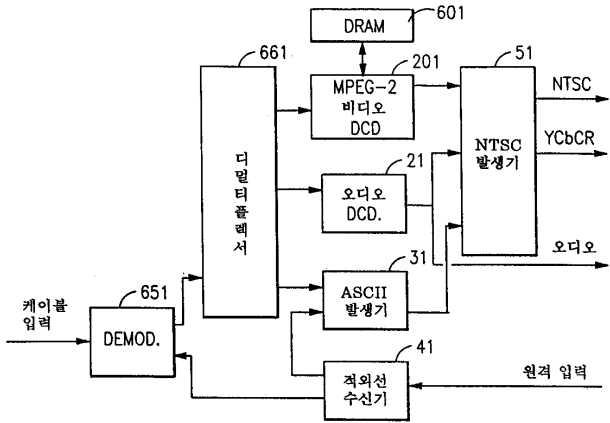
도면4



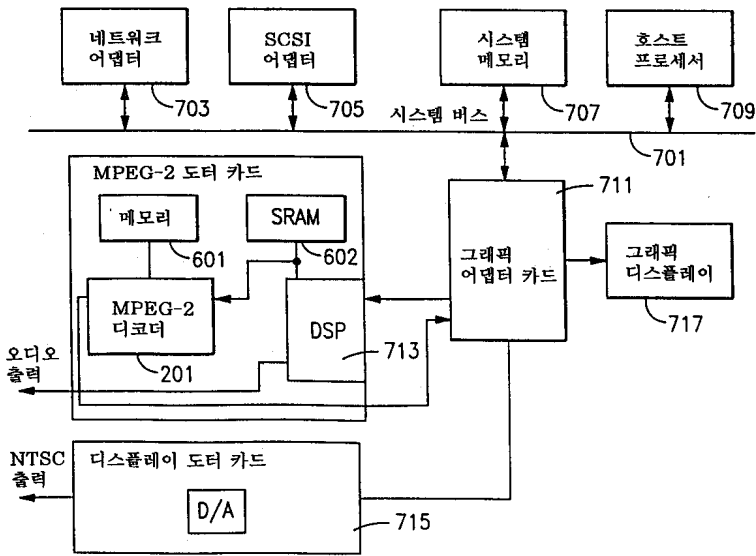
도면5



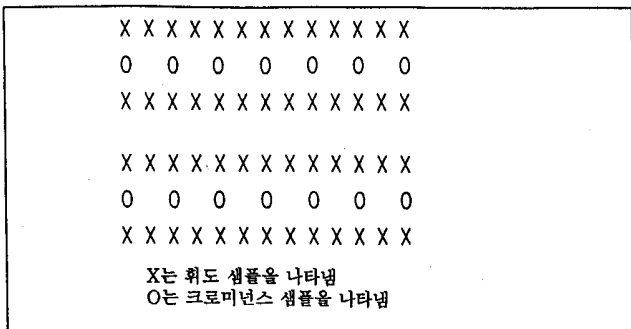
도면6



도면7



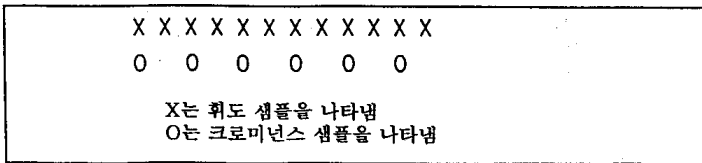
도면8



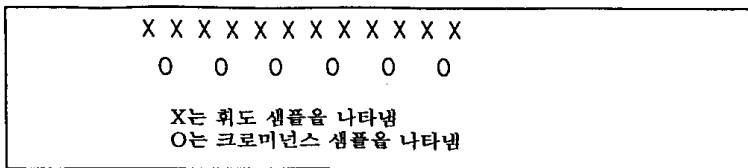
도면9



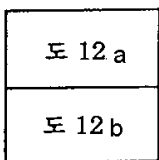
도면10



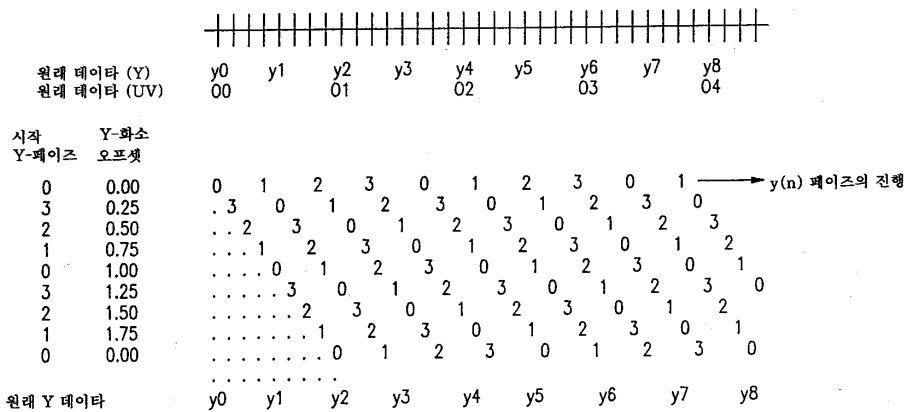
도면11



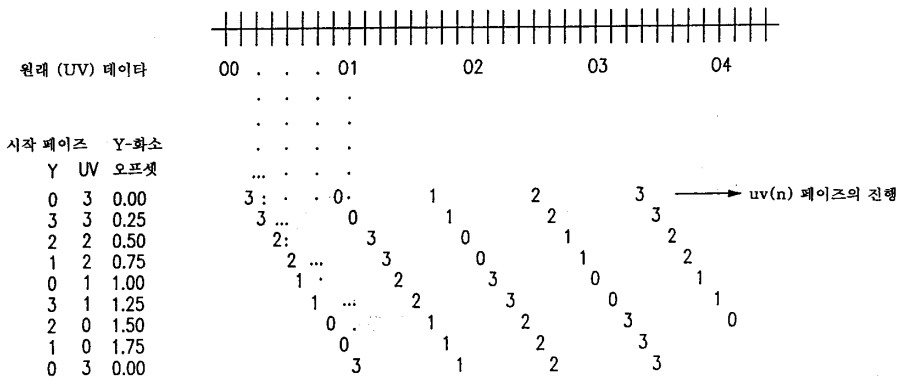
도면12



도면12a



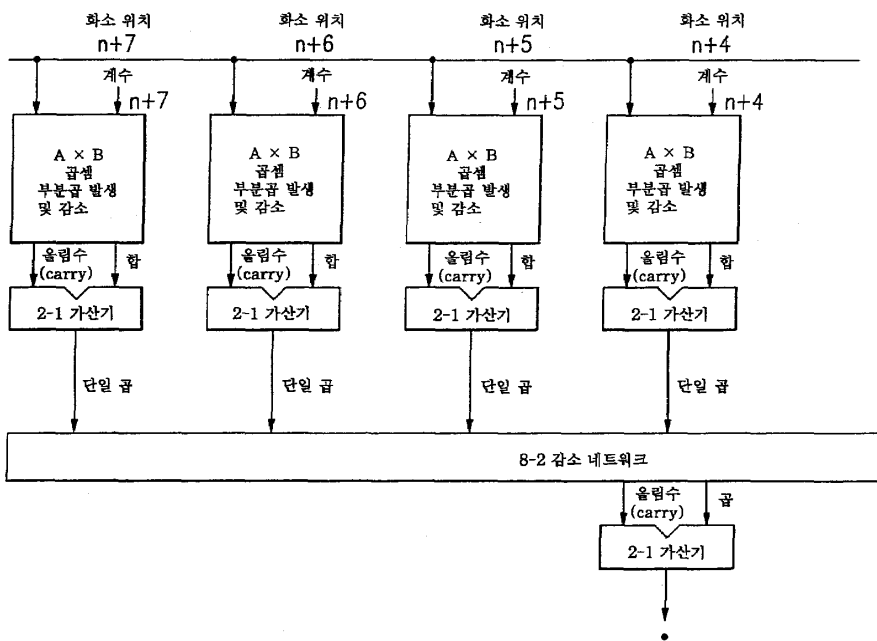
도면 12b



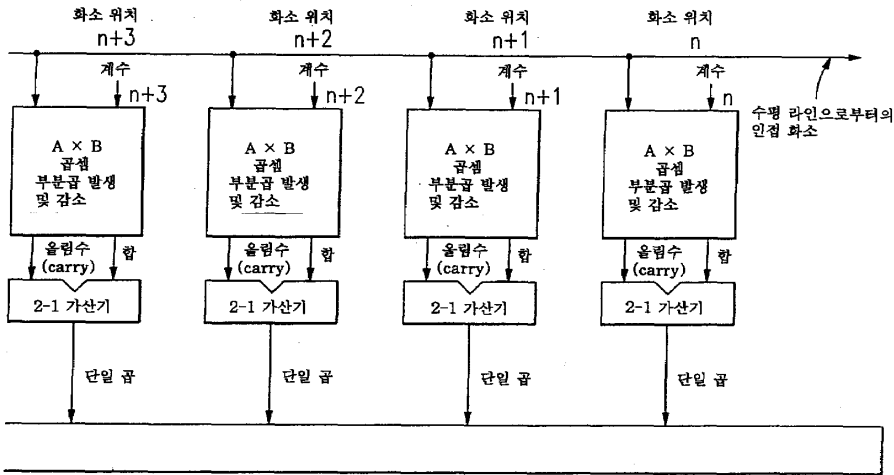
도면 13



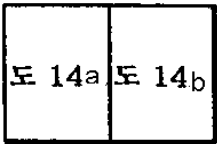
도면 13a



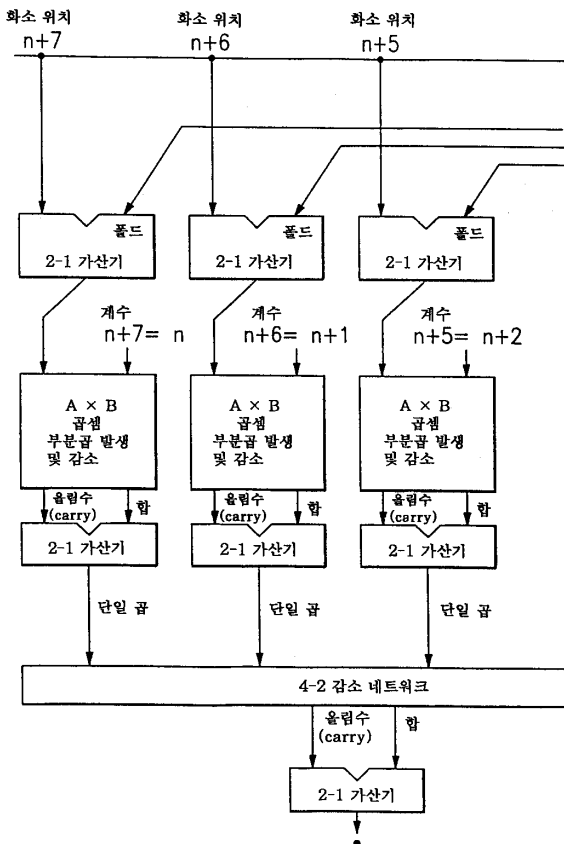
도면 13b



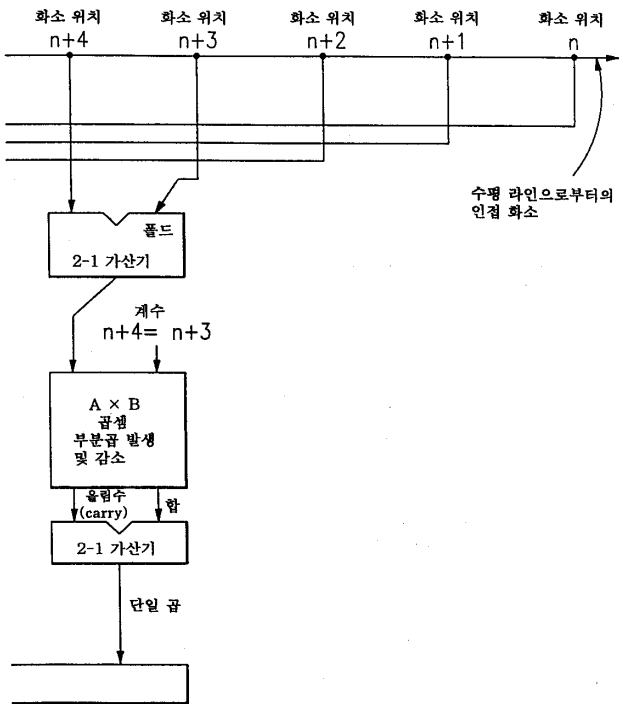
도면 14



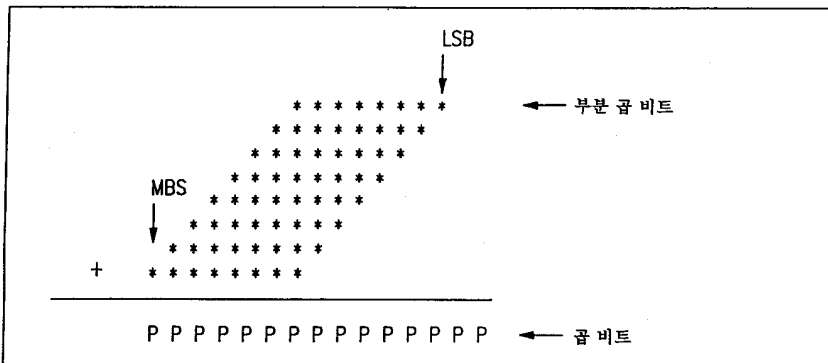
도면 14a



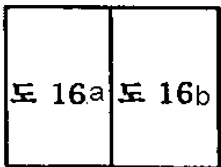
도면 14b



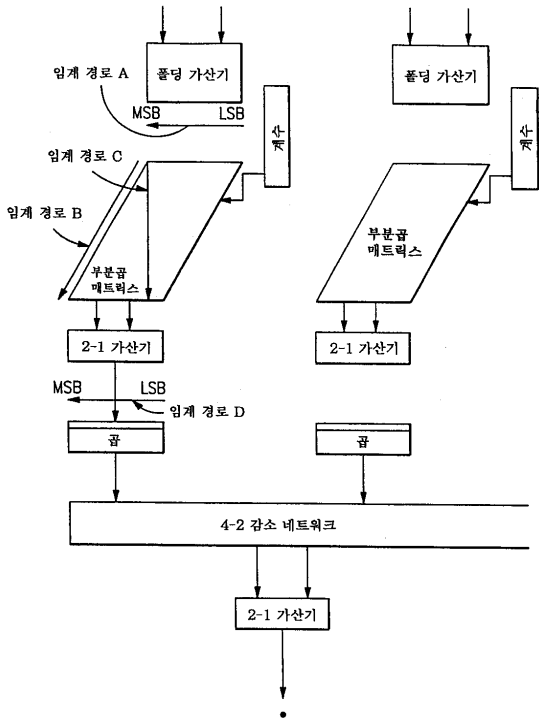
도면 15



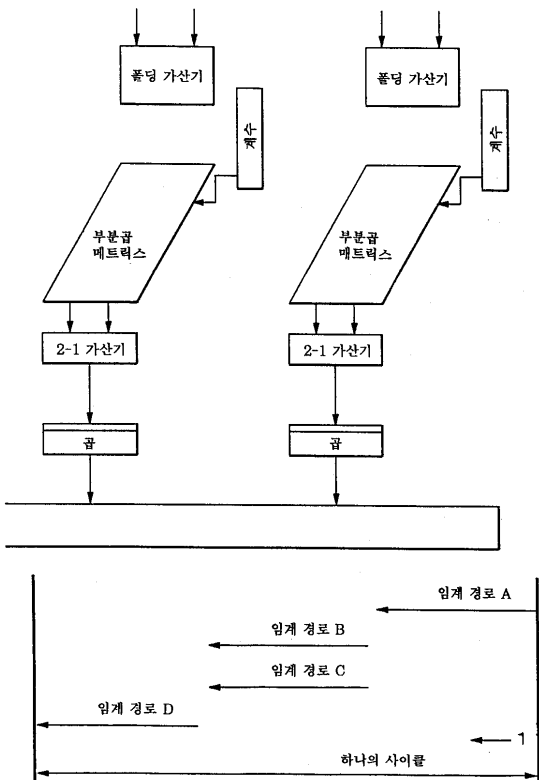
도면 16



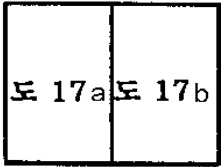
도면 16a



도면 16b

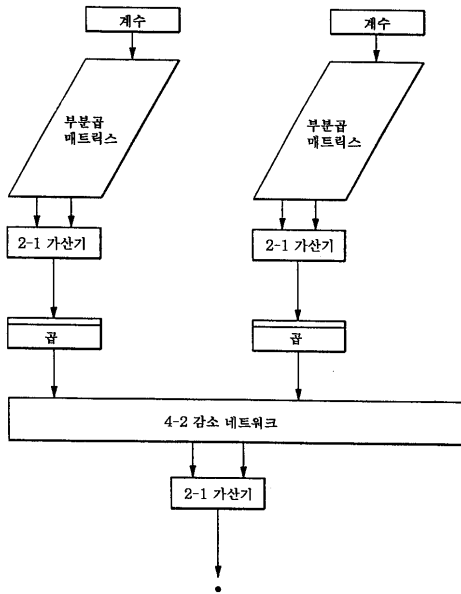


도면17

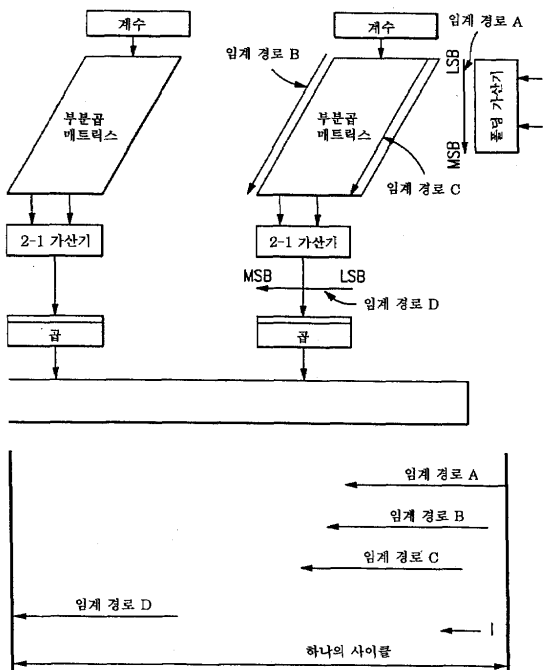


도면17a

주의 : 3개의 풀림 가산기는
도시되어 있지 않음



도면17b



도면 18

