

权 利 要 求 书

1. 为放大、被具有多个通道、每个对应于预定数目的存储位置的多通道存储系统内的多个磁阻传感器读取的信号的前置放大器电路、包括:

a. 多个激活电路, 每个通道一个, 而且每个配置为激活并接收相应磁阻传感器产生的信号;

b. 多个启动电路, 每个通道一个, 连接到相应的激活电路, 启动激活电路中所选定的一个以及相应的磁阻传感器;

c. 一个控制电路, 连接到每个启动电路, 控制启动电路的操作并一次激活一个对应于所选定的一个激活电路的启动电路;

d. 一个偏置电流源, 连接到该激活电路, 通过所选定的一个激活电路向相应的磁阻传感器提供偏置电流; 以及

e. 一个放大器电路, 连接到每个激活电路, 通过所选定的一个激活电路放大相应的磁阻传感器所发射的信号。

2. 如权利要求 1 所述的前置放大器电路, 其特征在于还包括一个单个补偿电容, 连接到激活电路。

3. 如权利要求 2 所述的前置放大器电路, 其特征在于每个启动电路包括一个启动晶体管而且所有启动晶体管以差分对配置连接在一起, 通过电流源供电, 以便控制电路打开选定的一个启动晶体管, 引起来自电流源的启动电流流经它到达所选定的一个激活电路。

4. 如权利要求 3 所述的前置放大器电路, 其特征在于每个激活电路包括一个通过启动电流接通的激活晶体管。

5. 如权利要求 4 所述的前置放大器电路, 其特征在于每个启动晶体管包括连接到控制电路的基极。

6. 如权利要求 5 所述的前置放大器电路, 其特征在于所选定的一个启动晶体管被控制电路激活其基极而打开。

7. 如权利要求 6 所述的前置放大器电路, 其特征在于启动晶体管的基极通过将所选定的基极拉至逻辑低电平而激活。

8. 如权利要求 1 所述的切换装置, 其特征在于中控制电路给所选定的一个启动晶体管的基极提供逻辑低电平信号, 并给未选中的启动晶体管的基极提供逻辑高电平信号。

9. 如权利要求 1 所述的切换电路, 其特征在于启动晶体管的基极被连接到控制电路。

5 10. 如权利要求 9 所述的切换电路, 其特征在于每个启动晶体管还包括一个射极而且其中每个启动晶体管的所有射极又都连接在一起, 接收从电流源来的启动电流, 藉此控制电路激活选定的一个启动晶体管的基极, 引起启动电流流经启动晶体管到达相应的激活电路。

11. 如权利要求 10 所述的切换电路, 其特征在于所选定的一个启动晶体管被控制电路将其基极拉至逻辑低电平而激活。

说明书

多通道读/写前置放大器电路中切换通道的装置

5 本发明涉及使用磁阻传感器的磁存储系统内的放大器领域。特别是，本发明涉及磁存储系统内多通道之间切换以便从所选择的通道放大信号的领域。

10 为了从磁介质存储系统中读取所记录的数据，包括一个磁阻传感器的读/写头通过磁介质并将磁变化转变成极性变化的模拟信号脉冲。这个模拟信号然后被磁介质存储系统内的前置放大器级放大并提供给读通道电路由其解码以复制该数字数据，读通道电路包括在一个一般置于主机系统主板上的电路内。

15 前置放大器电路一般包括在存储介质系统内部连接的读/写芯片中。典型地，读/写芯片以表面封装形式封装。读/写芯片的设计一般受到这样的规定限制：尽可能最少量地散失功率及尽可能最少地给信号添加伪电噪声。读/写头从磁介质提取的较小的信号也可能伴随着通过容性或感性耦合而引入的伪信号以及宽带噪声。

20 提供给读通道电路的信号质量对于读输出信号与从磁介质读出的数据之间的一致性相当重要。保持从磁介质系统通过读通道输出的信号质量以便得到从存储介质读出的数据的真正数字表示是重要的。包括在从存储介质系统输出的信号内的任何噪声可能影响从读通道输出的数字读输出信号的质量并产生从磁介质读取信息的传输中的错误。

25 在诸如硬盘这样的磁存储系统内，一般包括多通道。为了在多通道系统中节省空间并减少元件的个数，来自通道的信号被多路传输通过单个前置放大器。该前置放大器被连接成以便在所选择的信道中放大磁阻传感器从磁介质中读取的信号。在这样的系统中在给定时刻只有单个通道被访问。图 1 中说明了现有技术的两通道磁存储系统内放大器电路的原理图。

30 在图 1 的放大器电路中，第一通道内的第一磁阻传感器 MRA 连接到一个 npn 晶体管 Q1A 的射极。第二通道内的第二磁阻传感器 MRB 连接到一个 npn 晶体管 Q1B 的射极。晶体管 Q1A 的集电极连接到晶体管 Q1B 的集电极和一个 npn 晶体管 Q2 的射极。电压源 VS1 连接到晶体管 Q2

的基极。晶体管 Q2 的集电极连接到电阻 R1 的第一端以及跨导放大器 g1 的负输入。电阻 R1 的第二端连接到电源电压 Vcc。参考电压源 Vref 在电源电压 Vcc 和跨导放大器 g1 的正输入之间连接。跨导放大器 g1 的输出连接到电容 Cext 的第一端以及缓冲器 B1 的输入。电容 Cext 的第二端接地。连接缓冲器电路 B1 的输出作为开关 10 的一个输入。开关 10 的第一控制输出 C1 连接到晶体管 Q1A 的基极。开关 10 的第二控制输出 C2 连接到晶体管 Q1B 的基极。控制逻辑电路 20 被连接以控制开关 10 的操作。

根据当前通道以及磁介质存储系统内正使用的相应的磁阻传感器, 控制逻辑电路 20 控制开关 10 并将缓冲器电路 B1 的输出连接到控制输出 C1 或 C2 中合适的一个。如果存储系统当前正从磁阻传感器 MRA 接收信号, 控制逻辑电路 20 控制开关 10 并因此将控制输出 C1 连接到缓冲器电路 B1 的输出。这使得晶体管 Q1A 将磁阻传感器 MRA 与晶体管 Q2 连接并将来自缓冲器电路 B1 的偏置电流提供给磁阻传感器 MRA。相应地, 如果存储系统当前正从磁阻传感器 MRB 接收信号, 控制逻辑电路 20 控制开关 10 并因此将控制输出 C2 连接到缓冲器电路 B1 的输出。这使得晶体管 Q1B 将磁阻传感器 MRB 与晶体管 Q2 连接并将来自缓冲器电路 B1 的偏置电流提供给磁阻传感器 MRB。

通过使用开关 10 在磁阻传感器 MRA 和 MRB 之间切换, 图 1 的放大器电路能够通过只需要从缓冲器电路 B1 的输出到合适的一个磁阻传感器提供单个偏置电流, 而保留功率和空间。但是, 在现有技术的存储系统中, 开关 10 一般是用饱和结双极性晶体管实现的。这个开关 10 构成了通过电源电压 Vcc 进来的噪声和纹波到磁阻传感器 MRA 和 MRB 的一个有利的通道。这种设计导致很差的电源隔离比并增加了从前置放大器电路输出的信号中的噪声。

因此, 本发明的目的是提供一种不会将外来噪声引入从前置放大器电路输出的信号中的, 在多通道磁介质存储系统中的通道之间切换的切换装置。

一个在多通道磁介质存储系统中读/写前置放大器电路内的通道之间切换的切换装置在通道之间切换并将激活的磁阻传感器连接到前置放大器电路并接收偏置电流。当从磁介质存储系统内的特定通道请求一次读操作时, 对应于合适的磁阻传感器的控制信号线被激活。每个通道包括一个第一对应晶体管, 它通过一条合适的控制信号线被启动, 允许电流

流经第一晶体管以启动连接到磁阻传感器的第二对应晶体管。一旦被启动，第二对应晶体管将磁阻传感器连接到前置放大器级并接收偏置电流。磁阻传感器随后发射与从磁介质读取的数据相对应的脉冲，前置放大器级将其放大并提供给读通道作为输出。多通道被保持，每个包括一个磁阻传感器和第一、第二对应晶体管。控制逻辑电路提供控制信号线，每通道一个。包括一个单个补偿电容。

图 1 说明了现有技术的两通道磁介质存储系统内放大器电路的原理图。

图 2 说明了根据本发明、在多通道磁介质存储系统中通道间切换的装置的原理图。

图 3 说明了本发明的切换装置的优选实施例的原理图。

本发明的切换装置在多通道磁介质存储系统中的通道之间切换，将激活的磁阻传感器连接到前置放大器电路并接收偏置电流。当从磁介质存储系统内的特定位置请求一次读操作时，就激活一个合适的磁阻传感器。每个通道包括一个对应于合适的磁阻传感器的第一晶体管，通过一条对应的控制信号线被启动，允许电流流经第一晶体管并启动也对应于合适的磁阻传感器的第二晶体管。当启动后，第二晶体管将磁阻传感器连接到前置放大器级并接收偏置电流。磁阻传感器发射的信号脉冲对应于磁阻传感器从磁介质读取的数据。这些脉冲被前置放大器级放大并输出到读通道。控制逻辑电路提供控制信号线，每通道一个。

图 2 中说明了根据本发明的切换装置的原理图，用于在多通道磁介质存储系统中的通道之间切换。第一磁阻传感器 MRA 连接到 npn 晶体管 Q1A 的射极。第二磁阻传感器 MRB 连接到 npn 晶体管 Q1B 的射极。晶体管 Q1A 的集电极连接到晶体管 Q1B 的集电极和 npn 晶体管 Q2 的射极。电压源 VS1 连接到晶体管 Q2 的基极。晶体管 Q2 的集电极连接到电阻 R1 的第一端、跨导放大器 g1A 的负输入以及跨导放大器 g1B 的负输入。电阻 R1 的第二端连接到电源电压 Vcc。参考电压源 Vref 在电源电压 Vcc 和跨导放大器 g1A 和 g1B 的正输入之间连接。尽管图 2 的电路只表示了两个通道，但是对于本领域一般技术人员中的一个来说很显然可以添加更多通道并且仍然体现本发明的实质。

控制逻辑电路 20 提供控制输出信号 C3 和 C4，通过包括晶体管 Q3 和 Q4 的差分对允许跨导放大器 g1A 和 g1B 的操作。电流源 I1 连接到

pnp 晶体管 Q3 和 Q4 的射极。来自控制逻辑电路 20 的控制信号 C3 连接到晶体管 Q3 的基极。来自控制逻辑电路 20 的控制信号 C4 连接到晶体管 Q4 的基极。晶体管 Q3 的集电极连接到跨导放大器 g1A 的控制输入。晶体管 Q4 的集电极连接到跨导放大器 g1B 的控制输入。跨导放大器 g1A 的输出连接到电容 Cext1A 的第一端和缓冲器 B1A 的输入。电容 Cext1A 的第二端接地。缓冲器电路 B1A 的输出连接到晶体管 Q1A 的基极。跨导放大器 g1B 的输出连接到电容 Cext1B 的第一端和缓冲器 B1B 的输入。电容 Cext1B 的第二端接地。缓冲器电路 B1B 的输出连接到晶体管 Q1B 的基极。

当控制逻辑电路 20 接收到存储系统正从磁阻传感器 MRA 或 MRB 中的一个执行读操作的信号时，对应于所选择的磁阻传感器 MRA 或 MRB 的控制信号线 C3 或 C4 被拉到逻辑低电平，而且对应于未选择的磁阻传感器 MRA 或 MRB 的控制信号线 C4 或 C3 被抬到逻辑高电平。藉此启动对应的晶体管（晶体管 Q3 或晶体管 Q4），使来自电流源 I1 的电流流经启动的晶体管并打开合适的跨导放大器 g1A 或 g1B。启动的跨导放大器 g1A 或 g1B 的输出在对应的电容上建立电荷并分别通过对应的晶体管 Q1A 或 Q1B 将偏置电流提供给对应的磁阻传感器。所选择的磁阻传感器 MRA 或 MRB 因此也通过分别对应于启动的晶体管 Q1A 或 Q1B 的低阻抗通道连接到晶体管 Q2。

作为一个说明性的例子，如果存储系统正在执行一次需要磁阻传感器 MRA 操作的读操作，控制信号线 C3 被拉至逻辑低电平而控制信号线 C4 被抬到逻辑高电平。这引起来自电流源 I1 的电流流经晶体管 Q3 并启动跨导放大器 g1A。跨导放大器 g1A 产生一个输出，在电容 Cext1A 上建立起电荷并通过缓冲器电路 B1A 和晶体管 Q1A 对磁阻传感器 MRA 提供偏置电流。然后从磁阻传感器 MRA 读取的信号被连接到前置放大器级，被晶体管 Q2 和电阻 R1 放大并输出到读通道。因为通过晶体管 Q4 没有引入电流，跨导放大器 g1B 未被启动。因此，晶体管 g1B 也未被启动而且没有偏置电流提供到磁阻传感器 MRB。

在图 2 中所说明的实施例中，使用包括晶体管 Q3 和 Q4 的差分对实现开关，以便根据当前从中接收信号的通道，启动跨导放大器 g1A 或 g1B 中合适的一个。这个实施例比诸如图 1 中所说明的现有技术的切换电路具有优越性，因为开关引入的任何噪声将除以反馈环路的增益。这就减

少了放大器电路的输出信号中的总噪声。但是，图 2 中所说明的实施例不是最期望的配置，因为每个通道需要分立的外部补偿电容 C_{ext} 和附加的电路，包括跨导放大器和缓冲器。

图 3 中说明了本发明的切换装置的优选实施例的原理图。这个切换装置在四个通道之间切换，使用四个磁阻传感器 MR0、MR1、MR2 和 MR3 读取存储系统内磁介质上存储的数据。图 3 的切换装置只需要单个外部补偿电容 C_{ext} 和附加电路。

磁阻传感器 MR0 连接到 npn 晶体管 Q10 的射极。磁阻传感器 MR1 连接到 npn 晶体管 Q11 的射极。磁阻传感器 MR2 连接到 npn 晶体管 Q12 的射极。磁阻传感器 MR3 连接到 npn 晶体管 Q13 的射极。晶体管 Q10 的集电极连接到晶体管 Q11、Q12 和 Q13 的集电极、电流源 Ibias 的第一端以及 npn 晶体管 Q20 的射极。电流源 Ibias 的第二端连接到电源电压 V_{cc} 。参考电压源 V_{ref} 连接到晶体管 Q20 的基极和跨导放大器 40 的正输入。晶体管 Q20 的集电极连接到跨导放大器 40 的负输入以及电阻 RL 的第一端。电阻 RL 的第二端连接到电源电压源 V_{cc} 。图 3 放大器电路的输出 V_{out} 是从参考电压源 V_{ref} 和电阻 RL 第一端之间取的电压差来提供的。

跨导放大器 40 的输出连接到电容 C_{ext} 的第一端、npn 晶体管 Q19 的集电极以及二极管 D0、D1、D2 和 D3 的阴极。电容 C_{ext} 的第二端接地。二极管 D0 的阳极连接到晶体管 Q10 的基极以及 pnp 晶体管 Q14 的集电极。二极管 D1 的阳极连接到晶体管 Q11 的基极以及 pnp 晶体管 Q15 的集电极。二极管 D2 的阳极连接到晶体管 Q12 的基极以及 pnp 晶体管 Q16 的集电极。二极管 D3 的阳极连接到晶体管 Q13 的基极以及 pnp 晶体管 Q17 的集电极。晶体管 Q14、Q15、Q16 和 Q17 的射极都连接在一起并接到电流源 I1 的第一端。电流源 I1 的第二端连接到电源电压 V_{cc} 。

控制逻辑电路 30 提供控制信号 C10、C11、C12 和 C13，分别有选择地启动磁阻传感器 MR0、MR1、MR2 和 MR3。控制信号 C10 连接到晶体管 Q14 的基极。控制信号 C11 连接到晶体管 Q15 的基极。控制信号 C12 连接到晶体管 Q16 的基极。控制信号 C13 连接到晶体管 Q17 的基极。电流源 I2 的第一端连接到电源电压 V_{cc} 。电流源 I2 的第二端连接到 npn 晶体管 Q18 的集电极。晶体管 Q18 的基极连接到晶体管 Q19

的基极。晶体管 Q18 的射极连接到电阻 R18 的第一端。电阻 R18 的第二端接地。晶体管 Q19 的射极连接到电阻 R19 的第一端。电阻 R19 的第二端接地。

控制逻辑电路 30 根据激活的磁阻传感器 MR0、MR1、MR2 或 MR3，选择控制信号 C10、C11、C12 或 C13 中合适的一个。所选择的控制信号 C10、C11、C12 或 C13 被拉至逻辑低电平，而其它控制信号被抬至逻辑高电平。因为共射极、晶体管 Q14、Q15、Q16 和 Q17 的差分对配置，带逻辑低基极电压的晶体管将被启动，使得来自电流源 I1 的电流流经它并因此而启动相应的晶体管 Q10、Q11、Q12 或 Q13。在给定时刻，控制逻辑电路 30 只将控制信号 C10、C11、C12 或 C13 中的一个拉至逻辑低电平。选定的控制信号 C10、C11、C12 或 C13 所控制的晶体管 Q14、Q15、Q16 或 Q17 被启动，引起来自电流源 I1 的电流流经所启动的晶体管，并因此而启动晶体管 Q10、Q11、Q12 或 Q13 中相应的一个。启动的晶体管 Q10、Q11、Q12 或 Q13 将放大器电路的晶体管 Q20 的射极连接到磁阻传感器 MR0、MR1、MR2 或 MR3 中合适的一个。偏置电流也从偏置电流源 Ibias 通过启动的晶体管 Q10、Q11、Q12 或 Q13 提供给激活的磁阻传感器 MR0、MR1、MR2 或 MR3。放大器电路包括晶体管 Q20 和电阻 RL，将激活的磁阻传感器 MR0、MR1、MR2 和 MR3 发射的信号放大。

从对应于磁阻传感器 MR0 的磁介质中执行一次读操作时，控制逻辑电路 30 将控制信号线 C10 拉至逻辑低电平并将控制信号线 C11、C12 和 C13 抬至逻辑高电平。藉此启动晶体管 Q14，引起来自电流源 I1 的电流流经晶体管 Q14 并开启晶体管 Q10。来自电流源 Ibias 的偏置电流通过晶体管 Q10 提供给磁阻传感器 MR0。磁阻传感器 MR0 通过晶体管 Q10 发射的信号脉冲被包括晶体管 Q20 和电阻 RL 的前置放大器级放大，并作为输出电压信号 Vout 输出。

从对应于磁阻传感器 MR1 的磁介质中执行一次读操作时，控制逻辑电路 30 将控制信号线 C11 拉至逻辑低电平并将控制信号线 C10、C12 和 C13 抬至逻辑高电平。藉此启动晶体管 Q15，引起来自电流源 I1 的电流流经晶体管 Q15 并开启晶体管 Q11。来自电流源 Ibias 的偏置电流通过晶体管 Q11 提供给磁阻传感器 MR1。磁阻传感器 MR1 通过晶体管 Q11 发射的信号脉冲被前置放大器级放大，并作为输出电压信号 Vout 输出。

从对应于磁阻传感器 MR2 的磁介质中执行一次读操作时，控制逻辑电路 30 将控制信号线 C12 拉至逻辑低电平并将控制信号线 C10、C11 和 C13 抬至逻辑高电平。藉此启动晶体管 Q16，引起来自电流源 I1 的电流流经晶体管 Q16 并开启晶体管 Q12。来自电流源 I_{bias} 的偏置电流通过晶体管 Q12 提供给磁阻传感器 MR2。磁阻传感器 MR2 通过晶体管 Q12 发射的信号脉冲被前置放大器级放大，并作为输出电压信号 V_{out} 输出。

从对应于磁阻传感器 MR3 的磁介质中执行一次读操作时，控制逻辑电路 30 将控制信号线 C13 拉至逻辑低电平并将控制信号线 C10、C11 和 C12 抬至逻辑高电平。藉此启动晶体管 Q17，引起来自电流源 I1 的电流流经晶体管 Q17 并开启晶体管 Q13。来自电流源 I_{bias} 的偏置电流通过晶体管 Q13 提供给磁阻传感器 MR3。磁阻传感器 MR3 通过晶体管 Q13 发射的信号脉冲被前置放大器级放大，并作为输出电压信号 V_{out} 输出。

本发明的切换装置在多通道磁介质存储系统中的通道间切换，而不对输出信号贡献外来噪声。当本发明的切换装置的优选实施例在四个通道之间切换时，对本领域的技术人员来说，很显然可以实现一个遵循本发明实质的切换装置在任何数目的通道之间切换。

当本发明的优选实施例被说明并描述为集成电路二极管晶体管时，对本领域的一般技术人员来说很显然，本发明的电路可以使用另一种器件技术来实现，包括但不限于 CMOS、MOS、分立元件以及 ECL。对本领域的技术人员来说也很显然的是，不同的逻辑电路配置可以替代上述逻辑电路执行优选实施例的功能。

根据特定实施例及其细节描述了本发明，以便有利于理解本发明的结构和操作的原则。这里这样参考特定实施例以及其中的细节不是为了限制后面所附的权利要求的范围。对本领域的技术人员来说很显然的是，选做说明的实施例中可以进行修改而不背离本发明的精神和范围。

说明书附图

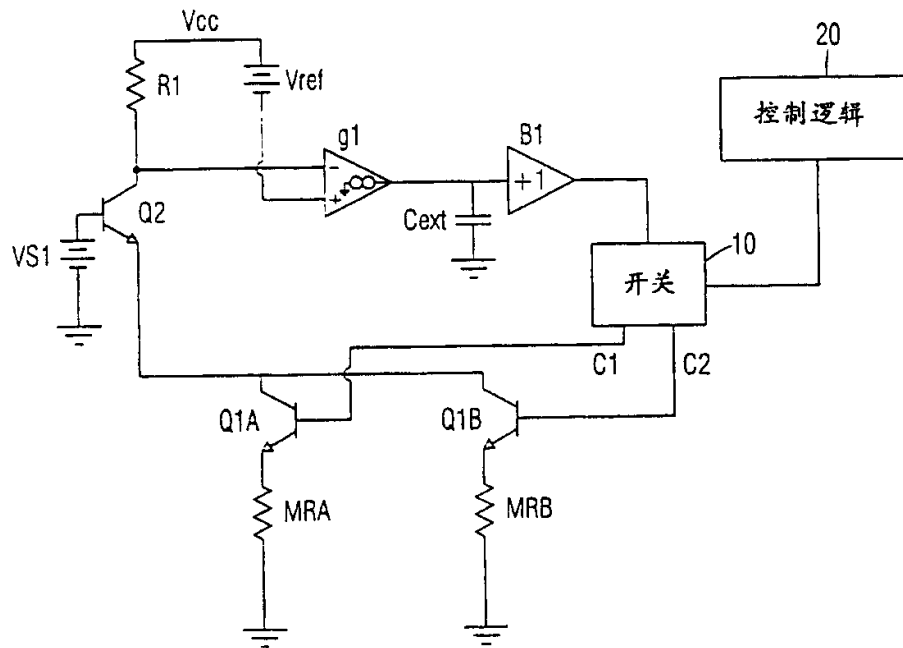


图 1

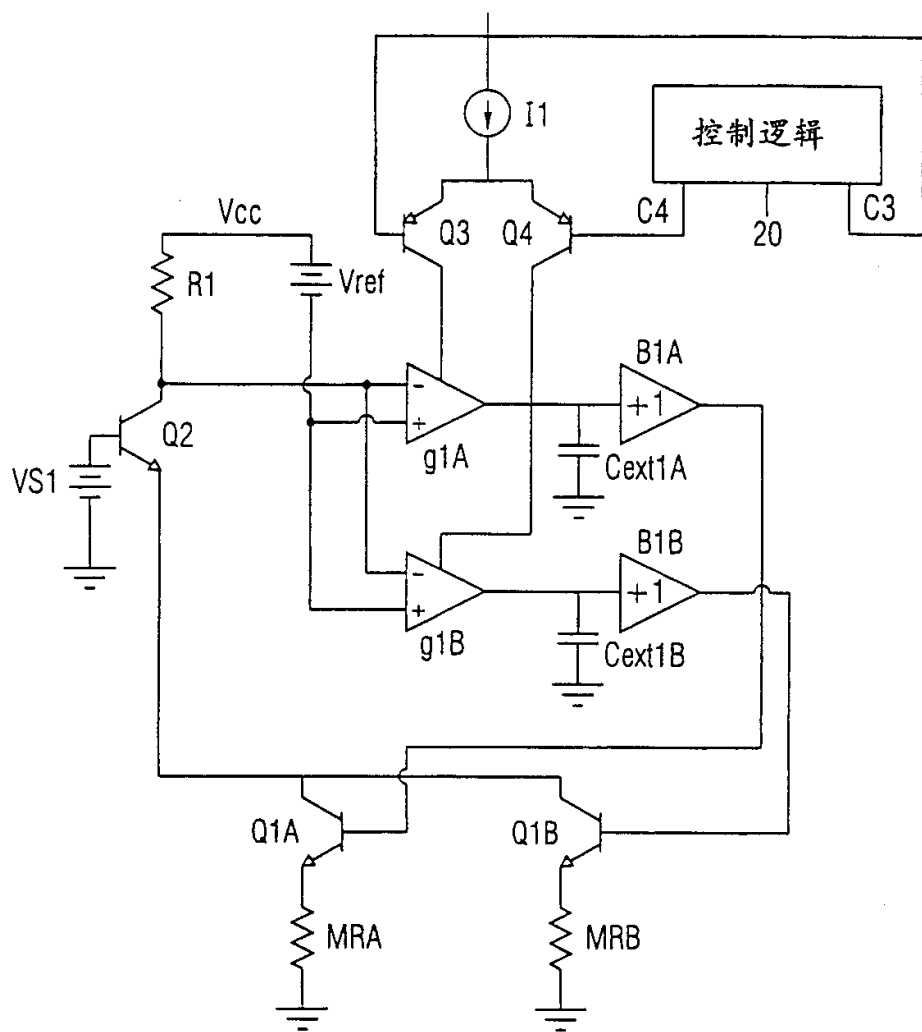


图 2

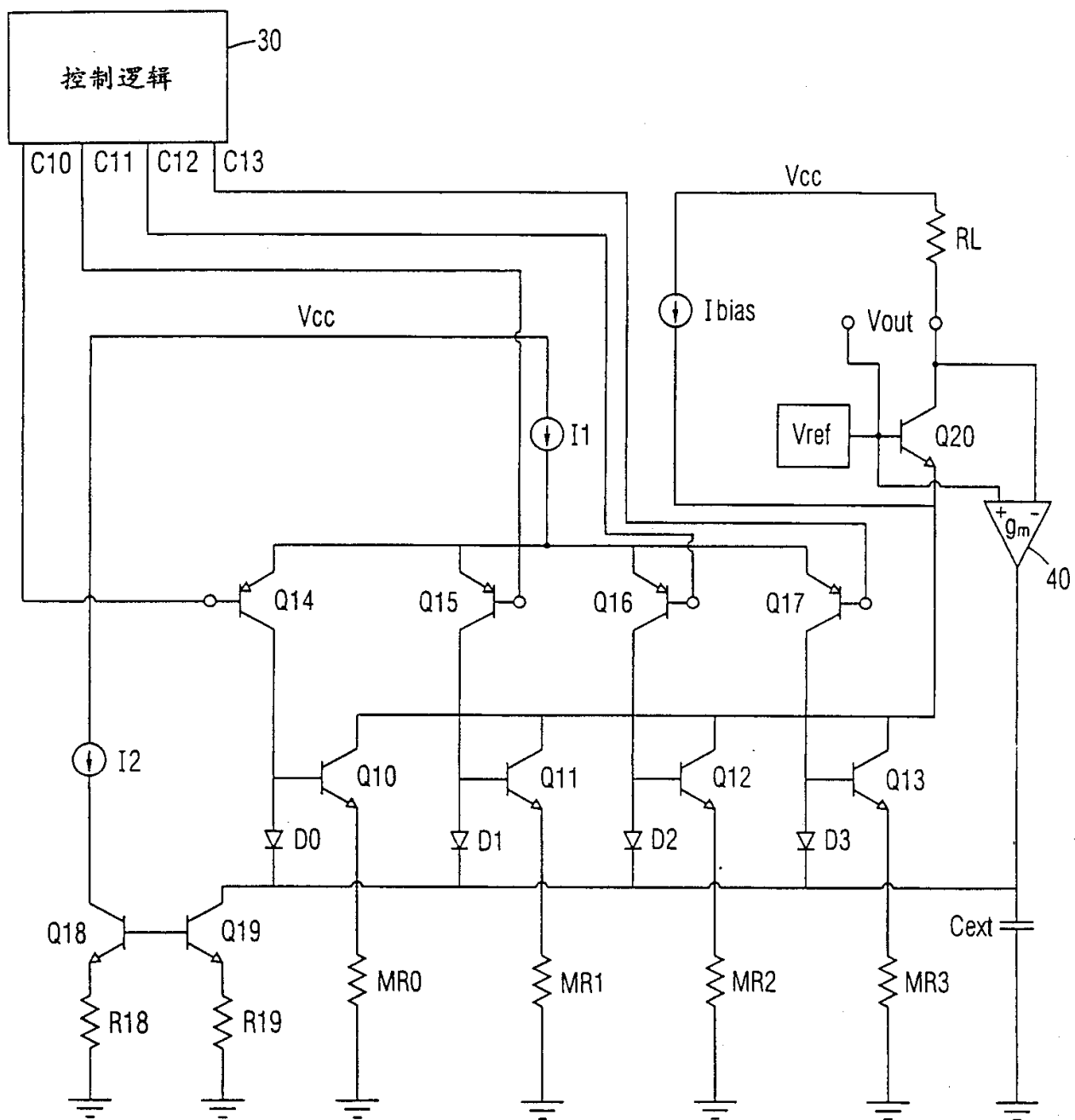


图 3