

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 533 751

②1 N° d'enregistrement national :

83 09953

⑤1 Int Cl³ : H 01 L 29/68.

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 16 juin 1983.

③0 Priorité JP, 24 septembre 1982, n° 164 840.

④3 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 13 du 30 mars 1984.

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : Société dite : HITACHI, LTD, régie selon les lois japonaises. — JP.

⑦2 Inventeur(s) : Norio Anzai et Hideki Yasuoka.

⑦3 Titulaire(s) :

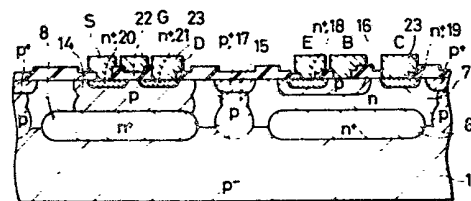
⑦4 Mandataire(s) : Dupuy et Loyer.

⑤4 Procédé de fabrication d'un dispositif à circuit intégré dans lequel les MOSFET sont formés dans un corps semiconducteur identique.

⑤7 L'invention concerne un procédé de fabrication d'un dispositif à circuits intégrés à semiconducteurs.

Ce procédé consiste à former des zones à densité accrue d'une première impureté à la surface d'un substrat 1 et à former une couche semiconductrice épitaxiale 7 contenant une seconde impureté, à introduire une impureté du premier type dans des parties de la couche 7 recouvrant des régions dopées par la première impureté, à faire diffuser cette impureté dans la couche 7 et à réaliser la jonction de couches diffusées en formant une région isolante et une région semiconductrice, et à former un transistor MOSFET S, G, D et un transistor bipolaire E, B, C dans ces régions.

Application notamment à la réalisation de circuits intégrés à transistors MOSFET et bipolaires.



FR 2 533 751 - A1

D

La présente invention concerne un procédé de fabrication d'un dispositif à circuits intégrés à semi-conducteurs (désigné ci-après sous le terme de circuit intégré "Bi-MOS IC"), dans lequel des transistors bi-
5 polaires et des transistors à effet de champ du type métal-isolant-semiconducteur (désignés ci-après sous le terme de transistors "MOSFET") sont formés dans un corps semiconducteur identique.

Jusqu'à présent, on a assisté au développe-
10 ment de différents processus selon lesquels des transistors bipolaires et des transistors MOSFET à canal n (n-MOSFET) ou des transistors MOSFET complémentaires (c-MOSFET) doivent coexister à l'intérieur d'un seul corps semiconducteur. Un exemple de ces processus clas-
15 siques va être décrit ci-après.

(1) On forme une couche enterrée ou ensevelie de type n^+ et dans une partie de la surface principale d'un substrat en silicium (Si) de type p. En outre, on fait croître au moyen d'une croissance épi-
20 taxiale une couche de Si de type n sur le substrat en Si de type p.

(2) On fait diffuser du bore (B) à partir de parties de la surface épitaxiale de type n de manière à former des couches diffusées de type p servant à
25 une isolation et atteignant le substrat de type p, de manière à former ainsi plusieurs régions en forme d'îlots, électriquement isolées à l'intérieur de la couche en Si de type n.

(3) Dans une autre partie de la couche épita-
30 xiale de type n, on forme une région de type p profonde (habituellement dénommée "puits de type p") au moyen d'une diffusion similaire de bore à partir de la surface de la couche épitaxiale.

(4) On forme un transistor MOSFET à canal n
35 dans la région de puits de type p. D'autre part, on

forme un transistor MOSFET à canal p et un transistor bipolaire dans les régions en forme d'îlots à l'intérieur de la couche en Si de type n.

Le processus indiqué ci-dessus est décrit dans le Journal Officiel mentionnant la demande de brevet publiée au Japon sous le N° 54-131887.

Un tel processus concerne un circuit intégré du type Bi-MOS IC, dans lequel l'épaisseur de la couche épitaxiale de silicium de type n est égale à environ 10 microns ou plus (la profondeur d'un émetteur est égale approximativement à 5 microns). Récemment, on a réalisé des circuits intégrés perfectionnés de manière à accroître les vitesses de fonctionnement des éléments ou à réduire la surface de la microplaquette ou puce. A ce sujet, lorsque l'épaisseur d'une couche de Si épitaxial est égale à une valeur aussi faible que moins de cinq microns, le processus indiqué précédemment entraîne le problème consistant en ce que la tension de claquage ou rupture base-collecteur du transistor n-p-n bipolaire s'abaisse. De façon plus spécifique, on doit donner une certaine profondeur à la région de puits de type p servant à former le transistor MOSFET à canal n (profondeur approximativement égale à celle de la couche épitaxiale) de manière que soit garantie la tension de rupture ou de claquage source-drain du transistor MOSFET à canal n devant être formé dans la surface principale du puits. D'autre part, étant donné que la densité des impuretés de surface du puits de type p détermine la tension V_{th} (tension de seuil) du transistor MOSFET, la diffusion d'une impureté avec une densité élevée est indésirable. C'est pourquoi lors de la formation du puits de type p, le traitement de diffusion a besoin d'être effectué avec une faible densité ($C_s \doteq 1 \times 10^{16} \text{ cm}^{-3}$) ainsi qu'à une température élevée (200 °C) et pendant un intervalle de temps de 4-6 heures. Au moment du traitement thermi-

que, une impureté de type n (telle que du Sb et du P) diffuse à partir de la couche ensevelie du type n⁺ située juste au-dessous de la couche de base du transistor bipolaire, et ce selon un mouvement ascendant jus-
5 que dans la couche épitaxiale à un niveau aussi élevé qu'environ 3,5 microns, et atteint le voisinage de la couche de base du transistor n-p-n. Par conséquent la tension de claquage collecteur-base diminue.

C'est pourquoi, lorsque l'on tient compte
10 de l'extension vers le haut de la couche ensevelie de type n⁺, l'épaisseur de la couche épitaxiale est limitée à 7 microns en tant que valeur minimale. Il a été difficile de perfectionner le circuit intégré Bi-MOS IC en le réalisant avec une épaisseur plus faible et
15 d'améliorer la vitesse de fonctionnement du transistor bipolaire.

Une technique similaire à la présente invention est décrite dans la demande de brevet japonais publiée sous le N° 57-75453 au Journal Officiel. Cependant, dans le processus qui s'y trouve décrit, il est
20 nécessaire d'introduire des impuretés à partir de la surface d'un corps semiconducteur au moyen de phases opératoires séparées afin de réaliser une région isolante et une région de puits de type p et ce procédé
25 présente l'inconvénient de nécessiter un nombre plus important d'étapes opératoires.

Un but de la présente invention est de fournir un procédé de fabrication d'un nouveau circuit intégré à semiconducteurs Bi-MOS IC qui possède une vitesse
30 de fonctionnement élevée et une haute densité d'intégration.

Le procédé conforme à l'invention inclut:

(1) la phase opératoire consistant à introduire une impureté possédant un premier type de conducti-
35 vité dans des parties d'une surface principale d'un

substrat contenant une impureté possédant le premier type de conductivité et de manière à former plusieurs régions dopées par l'impureté et comportant une densité d'impureté supérieure à celle dudit substrat.

5 (2) La phase opératoire consistant à former, sur la surface principale dudit substrat, une couche semiconductrice épitaxiale qui contient une impureté possédant un second type de conductivité opposé au premier type de conductivité;

10 (3) La phase opératoire consistant à introduire une impureté possédant le premier type de conductivité dans les parties d'une surface principale de ladite couche semiconductrice épitaxiale, qui recouvrent ledit ensemble des régions dopées par l'impureté.

15 (4) La phase opératoire consistant à introduire l'impureté possédant le premier type de conductivité dudit ensemble des régions dopées par l'impureté dans ladite couche semiconductrice épitaxiale, au moyen d'une diffusion par pénétration ou redistribution,
20 et consistant également à soumettre à une diffusion par pénétration ou distribution l'impureté possédant le premier type de conductivité et introduite dans la surface principale de la couche semiconductrice épitaxiale, de manière à accoupler les couches diffusées formées par
25 les diffusions respectives et à former une région isolante et une région semiconductrice de manière à réaliser un transistor MOSFET; et

(5) La phase opératoire consistant à former une couche parasite empêchant la formation d'un canal,
30 dans la surface principale de ladite région isolante.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur lesquels:

35 les figures 1-7 sont des coupes schématiques

illustrant un mode d'exécution d'un procédé pour fabriquer un circuit intégré Bi-CMOS IC conforme à la présente invention;

la figure 8 est une vue en coupe partielle montrant une autre forme de réalisation d'un circuit intégré Bi-CMOS IC conforme à la présente invention;

la figure 9 est une courbe de variation de la densité de l'impureté d'un transistor MOSFET à canal n dans un circuit intégré Bi-CMOS IC conforme à la présente invention;

la figure 10 est une vue en coupe partielle qui montre une forme de réalisation d'un circuit intégré Bi-CMOS IC conforme à la présente invention;

les figures 11-20 sont des coupes schématiques qui illustrent un mode d'exécution d'un procédé de fabrication d'un circuit intégré Bi-CMOS conforme à la présente invention;

la figure 21 est un diagramme montrant une courbe de variation de la densité d'impureté d'un transistor MOSFET à canal n situé dans un circuit intégré Bi-CMOS IC conforme à la présente invention; et

les figures 22-24 sont des coupes schématiques partielles montrant un autre mode d'exécution d'un procédé de fabrication d'un circuit intégré Bi-CMOS IC conforme à la présente invention.

On va décrire ci-après les modes d'exécution préférés selon l'invention.

Mode de réalisation 1:

Les figures 1 à 7 illustrent un procédé de fabrication d'un circuit intégré Bi-CMOS IC conforme à la présente invention

(1) On prépare un substrat 1 en silicium (Si) du type p^- possédant une résistivité élevée. En utilisant comme masque une pellicule d'oxyde (pellicule de SiO_2) 2, qui est formée sur une surface principale du

substrat comme représenté sur la figure 1, on introduit un donneur, par exemple de l'antimoine (Sb) servant à former des couches enterrées ou ensevelies de type n^+ de haute densité, au moyen par exemple d'un dépôt et d'une implantation d'ions. Les lignes formées de tirets 3 sur la figure indiquent l'impureté introduite Sb. Sur la figure, le symbole I désigne une région servant à former un transistor MOSFET à canal n et le symbole II désigne une région servant à former un transistor n-p-n bipolaire.

(2) En utilisant un nouveau masque 4 formé d'une pellicule d'oxyde, on introduit un accepteur, par exemple du bore (B) servant à former un puits de type p et une partie isolante, à l'aide par exemple d'un dépôt et d'une implantation d'ions. Sur la figure 2 les lignes formées de tirets 5 indiquent l'impureté introduite B. Au moyen d'un traitement thermique servant à former le nouveau masque 4 en forme de pellicule d'oxyde, le Sb introduit dans les parties de la surface principale du substrat lors de la phase opératoire (1) est soumis à une diffusion pénétrante ou à redistribution de manière à former des couches diffusées de type n^+ 6.

(3) Comme représenté sur la figure 3, on forme une couche de Si de type n 7 sur l'ensemble de la surface du substrat, et ce sur une épaisseur d'environ 4 microns au moyen d'une croissance épitaxiale qui met en oeuvre par exemple la thermodécomposition d'un composé de Si. Pendant la formation de la couche épitaxiale de Si de type n 7, les impuretés telles que de l'antimoine (Sb) et du bore (B) introduites au cours des phases opératoires (1) et (2) sont introduites dans la couche de type n 5 par une diffusion pénétrante de manière à former les couches ensevelies de type n^+ 8, une couche ensevelie de type p 9 qui fait partie du puits et une couche ensevelie de type p 10 qui fait partie de la partie

isolante. Etant donné que la constante de diffusion du bore (B) est égale à environ au sextuple de celle de l'antimoine (Sb), le bore diffuse plus profondément à l'intérieur de la couche épitaxiale.

5 (4) On introduit, par implantation ionique, du bore (B) servant à former le puits de type p et la partie isolante, dans la couche épitaxiale en Si à tra-
vers un masque formé d'une pellicule d'oxyde SiO_2 , qui
10 est formée sur la surface de la couche de Si, comme re-
présenté sur la figure 4. La dose de bore dans ce cas
est réglée approximativement à 10^{13} atomes/cm² conformé-
ment à la valeur optimale pour le puits de type p.
Ensuite, en réalisant un traitement de recuit, on fait
15 diffuser le bore vers le bas de manière à former des
couches de type p 12 et 13, et les couches ensevelies
de type p 9 et 10 sont étendues par diffusion vers le
haut à l'intérieur de la couche épitaxiale jusqu'à se
raccorder aux couches de type p 9 et 12, et 10 et 13.
De ce fait le puits de type p 14 et la couche de type
20 p isolante 15 représentés sur la figure 5 sont formés.

(5) Comme représenté sur la figure 5, du bore (B) est déposé (ou implanté selon une implanta-
tion ionique) sur (ou dans) une partie sélectionnée
de la surface de la région (II) servant à former le
25 transistor bipolaire, ce qui a pour effet qu'une cou-
che diffusée du type p⁺ 7 devant constituer une base
est réalisée jusqu'à la profondeur de 1 - 1,5 micron.
En même temps que la diffusion de la base du type p⁺,
une couche diffusée de type p⁺ 17 est formée de maniè-
30 re à recouvrir la surface de la couche de type p iso-
lante 15.

(6) Comme représenté sur la figure 6, on
dépose de l'arsenic (As) et du phosphore (P) sur des
parties sélectionnées de la région II (où on les fait
35 pénétrer par implantation ionique dans ces parties),

ce qui a pour effet qu'une couche diffusée de type n^+ 18 devant constituer un émetteur et une couche diffusée de type n^+ 19 devant constituer une partie de contact d'un collecteur sont formées. Dans le cas d'une diffusion de type n^+ réalisée en même temps que la diffusion sélec-
5 tive de type n^+ indiquée ci-dessus ou séparément de cette dernière, les régions diffusées de type n^+ 20 et 21 devant constituer une source et un drain sont formées dans la surface du puits de type p sur le côté de la
10 région I comme représenté sur la figure.

(7) Dans la région I, comme représenté sur la figure 7, à une pellicule 22 d'isolant de grille, contituée par une pellicule d'oxyde mince, est formée à la surface du puits de type p entre la source et le
15 drain. Ensuite, on aménage des trous de contact par attaque photochimique et on dépose de l'aluminium Al (par évaporation) à la suite de quoi on réalise un recuit et une attaque chimique de conformation de manière à former les électrodes de Al 23 qui sont en con-
20 tact ohmique avec des régions respectives. Ensuite on achève la réalisation du transistor MOSFET à canal n sur le côté de la région I, tandis qu'on achève la réalisation du transistor n-p-n bipolaire sur le côté de la région II. Dans la région I de la figure, la lettre
25 S désigne une électrode de source, la lettre G une électrode de grille et la lettre D une électrode de drain, tandis que dans la région II, la lettre N désigne une électrode d'émetteur, la lettre B une électrode de base et la lettre C une électrode de collecteur.

30 La figure 8 est une vue en coupe partielle montrant une variante de réalisation par rapport à celle de la figure 1. La caractéristique de la forme de réalisation modifiée tient au fait que la couche enter-
35 rée de type n^+ n'est pas prévue dans la région constituant le transistor MOSFET. Dans ce cas, la tension de

claquage source-drain du transistor MOSFET devient supérieure à ce qu'elle est dans la forme de réalisation 1 étant donné que la diffusion de l'impureté vers le haut à partir de la couche enterrée de type n^+ n'intervient pas dans la région du transistor MOSFET. Cependant le potentiel du puits de type p devient égal à celui du substrat. Sur la figure, les mêmes parties que celles représentées sur les dessins précédents sont affectées des mêmes chiffres de référence.

La figure 9 représente le profil de variation de densité de l'impureté dans la coupe d'une partie du transistor MOSFET à canal n fabriqué au moyen du procédé précédent (coupe A-A' de la figure 6). Sur la figure, la densité d'impureté N_D est portée sur l'axe des ordonnées, tandis que la profondeur d à partir de la surface est reproduite sur l'axe de abscisses. La figure 10 est une vue en coupe du circuit intégré Bi-CMOS IC, qui a été réalisé au moyen du procédé selon cette forme de réalisation. Sur la figure, les mêmes parties que celles présentes sur les dessins précédents sont affectées des mêmes chiffres de référence. Sur la figure, les références 24 et 25 désignent respectivement la source et le drain d'un transistor MOSFET à canal p, tandis que la référence 26 désigne une pellicule d'oxyde de grille.

Dans le procédé de fabrication du circuit intégré Bi-CMOS IC tel que décrit ci-dessus en référence à la forme de réalisation 1, lors de la formation de la région semiconductrice de type p (puits de type p) pour le transistor MOSFET à canal n, on introduit par avance du bore (B) qui est une impureté de type p, dans la surface principale du substrat, et après la croissance de la couche épitaxiale, on réalise les diffusions de type p à partir des surfaces supérieure et inférieure de cette couche. C'est pourquoi la durée du traitement

thermique servant à former le puits de type p peut être fortement réduite, et la diffusion "s'étendant vers le haut" de la couche enterrée de couche n^+ diminue. Par conséquent, même si l'épaisseur de la couche épitaxiale est faible, la tension de claquage du transistor bipolaire ne diminue pas et il devient possible que le transistor bipolaire à fonctionnement rapide coexiste avec le transistor MOSFET.

Avec ce procédé, la densité d'impureté dans la couche ensevelie de type p peut être choisie telle que la tension de claquage source-drain sur le côté de la surface du puits de type p ne diminue pas non plus.

C'est pourquoi il est possible de régler l'épaisseur de la couche épitaxiale à environ 4 microns. Il en résulte qu'un transistor à fonctionnement rapide possédant un émetteur s'étendant sur une profondeur de 2 microns, peut être réalisé, ainsi que l'élément bipolaire. Il convient de noter, dans le cadre de ce procédé, que le traitement introduisant une impureté en vue de former la région isolante et la région de puits de type p sont mises en oeuvre simultanément. Comme indiqué précédemment, la densité superficielle de l'impureté dans la région de puits de type p détermine la tension V_{th} (tension de seuil) du transistor MOSFET. C'est pourquoi, on ne peut pas rendre très élevée cette valeur qui est de l'ordre de 10^{16} atomes/cm³. D'autre part la densité superficielle de l'impureté dans la région isolante doit être nécessairement de l'ordre de 10^{17} atomes/cm³ afin d'empêcher l'apparition d'un canal parasite. Dans le cas où les densités superficielles requises de l'impureté sont inégales, il est d'une pratique usuelle que les traitements servant à introduire l'impureté dans ces régions soient réalisés séparément ou bien qu'une phase opératoire soit ajoutée

en vue d'introduire l'impureté à nouveau uniquement dans la région isolante par implantation ionique ou analogue, de manière à accroître la densité de l'impureté dans cette région. Conformément à la forme de réalisation 1, la région isolante est formée en conformité avec la densité optimale de l'impureté dans la région de puits de type p. Ensuite, lorsque l'impureté de type p est introduite en vue de former la base du transistor bipolaire, on l'introduit également dans la surface principale de la région isolante de manière à compenser la densité superficielle de l'impureté dans cette région à une valeur qui est requise pour l'isolation, c'est-à-dire qui puisse empêcher l'apparition du canal parasite. Etant donné que, de cette manière, les phases opératoires deviennent communes, il est possible d'éviter un accroissement du nombre des phases opératoires.

La région isolante est formée par les diffusions à partir des régions supérieure et inférieure de la couche semiconductrice épitaxiale, ce qui a pour effet que la diffusion latérale est supprimée, et ce avec une réduction de la surface isolante. Ceci contribue également à accroître la densité d'intégration.

Comme indiqué ci-après les formes de réalisation 2 et 3 indiquent des exemples dans lesquels la présente invention est appliquée à un cas où les dispositifs sont en outre perfectionnés et où les couches épitaxiales sont amincies à une épaisseur de 1,5-3 microns.

Forme de réalisation 2:

Les figures 11 à 20 sont des coupes schématiques correspondant aux phases opératoires respectives suivantes d'un processus pour réaliser un circuit intégré Bi-CMOS IC dans lequel l'épaisseur d'une couche épitaxiale est aussi faible que 1,5-3 microns, et dans lequel une partie isolante déformée est constituée par une pellicule d'oxyde et une couche diffusée.

(1) Comme représenté sur la figure 11, on prépare un substrat en cristal de Si, de type p^- 100 possédant une conductivité élevée et l'on soumet à une attaque chimique une pellicule d'oxyde (pellicule de SiO_2) 200 formée par oxydation de la surface dudit substrat et l'on dépose et l'on fait diffuser du Sb (antimoine) ou analogue de manière à former une couche ensevelie de type n^+ 300. Cette couche ensevelie de type n^+ 300 est formée en tant que partie du collecteur d'un transistor n-p-n bipolaire.

(2) On réalise à nouveau une pellicule d'oxyde 400 sur l'ensemble de la surface. Comme représenté sur la figure 12, on effectue une attaque photochimique de manière à ouvrir des parties servant à former une partie isolante et un puits, à la suite de quoi on dépose du B (bore) (ou on l'introduit par implantation ionique) et on le fait diffuser de manière à former des couches ensevelies de type p^+ 500 et 600.

(3) Comme représenté sur la figure 13, on fait croître de façon épitaxiale du Si sur l'ensemble de la surface de manière à former une couche de Si de type n 700, qui possède une épaisseur approximative de 3 microns. On oxyde la surface de la couche de Si de type n 700 de manière à former une pellicule d'oxyde 800.

(4) Comme représenté sur la figure 14, on soumet à une attaque photochimique des parties de la pellicule d'oxyde 800 et on réalise des ouvertures en correspondance avec les couches ensevelies de type p 500 et 600 à la suite de quoi on dépose du B (bore) (ou on l'introduit par implantation ionique). Dans ce cas l'impureté est introduite en une quantité telle que la densité superficielle de l'impureté dans le puits de type p devient optimale.

(5) Dans la couche épitaxiale de Si de ty-

pe n 700, on fait diffuser le B (bore) à partir des parties supérieure et inférieure de cette couche de manière à réaliser la partie isolante de type p 900 et le puits de type p 1000, comme représenté sur la figure 5 15.

(6) On soumet la pellicule d'oxyde 800 à une attaque chimique et on l'élimine. On dépose du nitrure (Si_2N_4) sur une pellicule d'oxyde 1100 nouvellement formée, et on soumet l'ensemble à une attaque photochimique de manière à former une pellicule de nitrure 1200 partielle. En utilisant comme masque la pellicule de nitrure 1200, on oxyde localement la surface de la couche de Si de type n de manière à former une pellicule d'oxyde de champ épaisse (1300, 1300a, 1300b, 1300c) 10 comme représenté sur la figure 16. La pellicule d'oxyde de champ 1300 pénètre au-dessous de la surface de la couche de Si de type n 700 jusqu'à une profondeur d'environ 1 micron, et une partie de cette couche 1300a est en contact avec la surface supérieure de la partie isolante de type p 900 de manière à former la partie isolante constituée par les deux éléments 1300a et 900. On 20 forme une autre partie 1300b de la pellicule d'oxyde de champ 1300 dans une position où elle est en contact avec la partie périphérique du puits de type p, cette pellicule d'oxyde de champ servant de partie isolante 25 entre la couche de type n et le puits de type p. Une autre partie 1300c sert également de partie isolante entre le collecteur et la base dans la surface de la partie bipolaire constituée par la couche ensevelie de type n^+ . 30

(7) Comme représenté sur la figure 17, on forme une pellicule de SiO_2 1400 au moyen du dépôt chimique en phase vapeur (désigné ci-après sous le terme abrégé de "dépôt CVD") et l'on en élimine une 35 partie par attaque photochimique. En utilisant la pel-

licule d'oxyde CVD 1400 et la pellicule d'oxyde de champ 1300a, 1300c en tant que masque, on dépose du bore sur une partie de la couche de type n 700 de la partie bipolaire et on l'y fait diffuser, ce qui a pour effet que
5 la base de type p 1500 du transistor n-p-n est formée selon un mode à auto-alignement. On rend approximativement égale à 0,7 micron la profondeur de la base dans ce cas.

(8) Après que la pellicule d'oxyde 1400
10 formée par le dépôt chimique en phase vapeur et une pellicule d'oxyde mince de la surface de la couche de Ni ont été soumises à une attaque chimique et éliminées, on forme une pellicule d'oxyde de grille 1600 par oxydation thermique et l'on dépose à sa surface du Si à
15 partir d'une phase vapeur de manière à former une couche de Si polycristallin. On effectue ensuite une attaque photochimique de manière à laisser subsister des grilles en Si polycristallin 1700, sur le côté du transistor MOSFET, comme représenté sur la figure 18. On
20 forme à nouveau un masque constitué par une pellicule d'oxyde 1800. En utilisant la pellicule d'oxyde de champ 1300a, 1300b et la grille en Si polycristallin 1700 comme masque, on dépose du bore (B) (ou on l'introduit par implantation ionique) et on le fait diffuser,
25 ce qui a pour effet que la source et le drain 1900 du transistor MOSFET à canal p sont formées selon un mode à auto-alignement. On rend la profondeur de la source de type p⁺ dans ce cas, égale à 0,4-0,5 micron.

(9) On élimine la pellicule d'oxyde 1800.
30 On forme à nouveau une pellicule d'oxyde de champ 2000 en utilisant le dépôt CVD et l'on applique une attaque photochimique aux parties ouvertures sur cette dernière, comme représenté sur la figure 17. On dépose de l'arsenic (As) (ou on l'introduit par implantation ionique)
35 que) et on le fait ensuite diffuser, de manière à former

la source et le drain de type n^+ 2100 du transistor MOS-FET à canal n dans la surface du puits de type p 1000 et de manière à former également l'émetteur de type n^+ 2200 et le collecteur de type n^+ (partie de contact) 2300 du transistor n-p-n. La profondeur de l'émetteur dans ce cas est rendue approximativement égale à 0,4 microns. On peut rendre le collecteur suffisamment profond pour qu'il atteigne la couche ensevelie de type n^+ 400, en utilisant une autre phase opératoire.

10 (10) On élimine la pellicule d'oxyde 200 et on forme sur l'ensemble de la surface une pellicule isolante 2400 de PSG (verre au phosphosilicate) ou analogue. Après avoir soumis la pellicule de PSG à une attaque photochimique de manière à former des trous de contact, on 15 dépose par évaporation du Al (aluminium) et on soumet l'aluminium à une attaque photochimique. De ce fait les électrodes 2500 raccordées de façon ohmique aux régions semiconductrices respectives sont terminées comme représenté sur la figure 20. Bien que ceci ne soit 20 pas représenté sur la figure, les électrodes de grille en Al sont reliées par l'intermédiaire de trous ménagés dans la pellicule de PSG à des prolongements des grilles en Si polycristallin.

La figure 21 représente un profil de variation de la densité de l'impureté dans la coupe d'une 25 partie du transistor MOSFET à canal n (coupe B-B' de la figure 19), fabriqué selon le procédé mentionné précédemment.

Forme de réalisation 3:

30 Les figures 22 à 24 sont des coupes schématiques correspondant aux phases opératoires essentielles suivantes dans le cas où la présente invention est appliquée au procédé de fabrication d'un circuit intégré Bi-CMOS IC, selon lequel on aménage préalablement 35 dans une partie isolante un renforcement dans lequel on

forme une pellicule d'oxyde et une couche diffusée.

(1) Au moyen d'un procédé semblable à celui mis en oeuvre aux phases opératoires (1)-(3) de la forme de réalisation 1, on forme une couche ensevelie de type n^+ 400 et des couches ensevelies de type p 500, 600 dans la surface d'un substrat de type p^- 100, comme représenté sur la figure 22. Une couche épitaxiale type n 700, qui possède une épaisseur d'environ 3 microns, est formée sur le substrat résultant. On ouvre partiellement une pellicule d'oxyde 800 à la surface de la couche 700 et l'on implante du bore de manière à former un puits.

(2) Comme représenté sur la figure 23, on forme une pellicule de nitrure (Si_3N_4) 1200 sur des parties de la pellicule d'oxyde. En utilisant la pellicule d'oxyde 1200 en tant que masque, on élimine par attaque photochimique des parties servant à former des pellicules d'isolant de champ, de manière à former des renforcements 1600. L'élimination sélective par attaque photochimique provoque la formation des renforcements profonds possédant des surfaces inclinées très pentues, par suite de l'anisotropie de la surface du cristal de Si et de l'attaque chimique alcaline avec du KOH ou analogue. La profondeur de renforcement est rendue approximativement égale par exemple à 0,7-1 microns.

(3) Ensuite, on met en oeuvre un traitement thermique à 1200°C pendant une durée d'environ 1-5 heures. Ainsi, comme représenté sur la figure 24, les impuretés (Sb, B) sont diffusées dans la couche épitaxiale de couche n 700 à partir de la couche enterrée de type n^+ 400 et des couches enterrées de type p 500, 600 formées dans la surface du substrat de type p, de manière à former un puits de type p au moyen de diffusions à partir des parties supérieure et inférieure

dans une région de manière à former une couche de type p isolant 900 atteignant le fond du renforcement dans une autre région. Ensuite, en utilisant la pellicule de nitrure en tant que masque, on effectue un traitement d'oxydation à 1000°C pendant environ 2 heures dans une atmosphère de O₂ humide, sous une pression élevée, de manière à former une pellicule d'oxyde de champ épaisse 2700 sur les surfaces du renforcement. Dans une partie de la pellicule d'oxyde, une partie isolante est constituée par la couche diffusée de type p et la pellicule d'oxyde (figure 24). Dans ce cas, l'épaisseur de la pellicule d'oxyde de champ au-dessous de la surface de la couche épitaxiale peut être sensiblement égale à celle (environ 1 micron) de la pellicule d'oxyde de champ (figure 16) dans le cas de la forme de réalisation 1. Les parties de la pellicule d'oxyde de champ au-dessus de la surface de la couche épitaxiale sont compensées par les renforcements formés avant l'oxydation, ce qui permet d'obtenir une surface supérieure relativement plate avec une faible rugosité.

Ensuite, on achève la réalisation du circuit intégré Bi-CMOS IC au moyen d'un procédé semblable à celui mis en oeuvre aux phases opératoires (7-10) de la forme de réalisation 2 (figures 17-20). Dans les formes de réalisation 2 et 3 décrites ci-dessus, on réalise le puits de type p avec une forme selon laquelle ce puits est directement accouplé au substrat de type p⁻. C'est pourquoi, lors des diffusions vers le haut et vers le bas pour la formation du puits, la densité de la diffusion à partir de la densité inférieure (la couche ensevelie de type p) peut être rendue supérieure à la densité de la diffusion à partir de la partie supérieure, et la vitesse de diffusion vers le bas peut être accrue dans l'état dans lequel la couche supérieure, dans laquelle le doit être formé le transistor MOSFET, est maintenue

à une faible densité. Par conséquent, la durée du traitement thermique pour la formation de la région de puits est réduite à environ 1/4 de celle utilisée dans le procédé de l'art antérieur, et "l'extension vers le haut" de la couche ensevelie de type n^+ sur le côté bipolaire peut être réduite à environ la moitié de celle intervenant selon le procédé de l'art antérieur.

Par conséquent, même dans le cas où la couche épitaxiale possède une épaisseur aussi faible que 1,5-3 microns, la couche épitaxiale de faible densité possédant une épaisseur de 0,7-1,3 micron subsiste même après l'extension vers le haut de la couche ensevelie de type n^+ , de sorte que les caractéristiques du transistor n-p-n ne sont pas altérées.

Etant donné que la couche ensevelie de type n^+ n'est pas formée dans la région servant à la formation du transistor MOSFET, le traitement thermique n'est pas accompagné par la diffusion d'une impureté dans la couche épitaxiale, de sorte que la tension de claquage ou de rupture source-drain ne s'en trouve pas altérée. Dans la forme de réalisation 2, tout comme dans le cas de la forme de réalisation 1, l'impureté est introduite dans les surfaces principales de la région désignée à former l'isolant et dans la région destinée à former le puits de type p, à une densité pour laquelle le puits de type p prend la densité optimale de l'impureté, et le traitement thermique est mis en oeuvre de manière à former le puits de type p et la région isolante. Ensuite, la pellicule d'oxyde épaisse est formée sur la région isolante de manière à empêcher l'apparition d'un canal parasite imputable à l'inversion du substrat de type p^- . Cette pellicule d'oxyde épaisse sert aussi de masque pour la diffusion de la base du transistor n-p-n.

Les phases opératoires sont ainsi rendues communes, de manière à empêcher tout accroissement du nombre

desdites phases opératoires. La pellicule d'oxyde épaisse présente également comme avantage le fait que la capacité de la jonction est faible, si bien que la vitesse de fonctionnement du transistor n'est pas réduite.

5 La forme de réalisation 3 est une variante de la présente invention et permet d'obtenir des effets semblables à ceux obtenus dans les formes de réalisation 1 et 2.

10 En outre, étant donné que la diffusion du puits de type p et la diffusion de la couche isolante de type p sont réalisées simultanément à partir du bas, la durée du procédé est réduite, et l'extension latérale desdites parties peut être supprimée.

15 La formation de la pellicule d'oxyde de champ requiert un traitement thermique effectué à une température d'environ 1000°C pendant environ 7 heures sous une pression normale. Etant donné cependant que cette température est faible par rapport à la température de 1200°C qui est la température de diffusion du puits de type p,
20 le traitement thermique affecte peu l'extension vers le haut de la couche ensevelie de type n⁺.

Comme cela a été explicité ci-dessus en liaison avec les formes de réalisation, selon la présente invention, un transistor bipolaire à fonctionnement rapide
25 perfectionné, possédant une couche épitaxiale dont l'épaisseur est de 5 microns ou moins, peut coexister avec un transistor MOSFET et la surface de l'élément peut être réduite, ce qui permet d'obtenir un circuit intégré Bi-MOS IC possédant une vitesse élevée de fonctionnement
30 et une capacité élevée. La présente invention peut être appliquée aux procédés généraux de fabrication de circuits intégrés Bi-CMOS IC et de circuits intégrés Bi-MOS à canal n IC, et s'avère efficace en particulier lorsqu'elle est appliquée à des dispositifs pour lesquels on
35 cherche une grande vitesse de fonctionnement et une haute intensité d'intégration, par exemple un réseau de portes comportant au moins 1 k portes.

REVENDICATIONS

1. Procédé pour fabriquer un dispositif à circuits intégrés à semiconducteurs, caractérisé en ce qu'il comprend:

- 5 (1) la phase opératoire consistant à introduire une impureté d'un premier type de conductivité dans plusieurs parties (3) d'une surface principale d'un substrat (1) comportant une impureté d'un premier type de conductivité, de manière à former un ensemble de régions dopées par l'impureté et qui possèdent une densité d'impureté supérieure à celle dudit substrat (1);
- 10 (2) la phase consistant à former une couche semiconductrice épitaxiale (7) contenant une impureté possédant un second type de conductivité, sur la surface principale dudit substrat (1);
- 15 (3) la phase consistant à introduire une impureté possédant le premier type de conductivité simultanément dans les parties d'une surface principale de ladite couche semiconductrice épitaxiale (7), qui recouvrent ledit ensemble de régions dopées par l'impureté;
- 20 (4) la phase consistant à introduire l'impureté possédant le premier type de conductivité dudit ensemble de régions dopées par l'impureté à l'intérieur de ladite couche semiconductrice épitaxiale (7) par diffusion pénétrante, et à soumettre à la diffusion pénétrante l'impureté du premier type de conductivité introduite dans la surface principale de ladite couche semiconductrice épitaxiale (7) de manière à relier les couches diffusées (9,12;10,13) formées par les diffusions respectives et à former une région isolante et une
- 25 région semiconductrice pour la réalisation d'un transistor MOSFET;
- 30 (5) la phase consistant à former une pellicule d'oxyde épaisse sur une surface principale de ladite région isolante;
- 35

(6) la phase consistant à former le transistor MOSFET (20,21,S,G,D) dans ladite région semiconductrice; et

5 (7) la phase consistant à former un transistor bipolaire (16,18,19;E,B,C) dans une partie de ladite couche semiconductrice épitaxiale.

2. Procédé pour fabriquer un dispositif à circuits intégrés à semiconducteurs selon la revendication 1, caractérisé en ce qu'il comporte la phase consistant à introduire une impureté d'un premier type de conductivité dans une partie sélectionnée de la surface principale de ladite couche semiconductrice épitaxiale (7) en utilisant comme masque la pellicule d'oxyde épaisse formée sur ladite surface principale de ladite région isolante, pour former une base (16) du transistor bipolaire.

3. Procédé pour fabriquer un dispositif à circuits intégrés à semiconducteurs selon la revendication 2, caractérisé en ce qu'il comprend la phase consistant à introduire une impureté possédant le second type de conductivité dans la base (16) dudit transistor bipolaire (16,18,19) de manière à former un émetteur (18) de ce transistor et à introduire ladite impureté ayant le second type de conductivité également dans les régions semiconductrices possédant le premier type de conductivité, de manière à former une source (20) et un drain (21) dudit transistor MOSFET.

4. Procédé pour fabriquer un dispositif à circuits intégrés à semiconducteurs caractérisé en ce qu'il comprend:

35 (1) la phase consistant à introduire une impureté possédant un premier type de conductivité dans plusieurs parties d'une surface principale d'un substrat (100) contenant une impureté possédant le premier type de conductivité, de manière à former un ensemble de régions

dopées par l'impureté et qui possèdent une densité d'impureté supérieure à celle dudit substrat (100);

(2) la phase consistant à former une couche semiconductrice épitaxiale (700) contenant une impureté possédant le second type de conductivité, sur une surface principale dudit substrat (100);

(3) la phase consistant à introduire une impureté d'un premier type de conductivité simultanément dans les parties d'une surface principale de ladite couche semiconductrice épitaxiale (700), qui recouvrent ledit ensemble des régions dopées par l'impureté;

(4) la phase consistant à introduire l'impureté du premier type de conductivité dudit ensemble de régions dopées par l'impureté à l'intérieur de ladite couche semiconductrice épitaxiale (100) par diffusion pénétrante, et à soumettre à une diffusion pénétrante l'impureté possédant le premier type de conductivité et introduite dans la surface principale de la couche semiconductrice épitaxiale de manière à relier des couches diffusées formées par les diffusions respectives et à former une région isolante (700) et une région semiconductrice pour la formation d'un transistor MOSFET;

(5) la phase consistant à introduire une impureté possédant le premier type de conductivité à l'intérieur d'une partie de ladite couche semiconductrice épitaxiale (700) de manière à former une base d'un transistor bipolaire, et à introduire ladite impureté du premier type de conductivité également dans une surface principale de ladite région isolante afin de former une région de haute densité dans la surface principale de ladite région isolante, ladite région de haute densité possédant une densité d'impureté supérieure à celle de l'autre partie de ladite région isolante.

(6), la phase consistant à former le transistor MOSFET dans ladite région semiconductrice; et

(7) la phase consistant à former ledit transistor bipolaire dans une partie de ladite couche semiconductrice épitaxiale.

5 5. Procédé pour fabriquer un dispositif à circuits intégrés à semiconducteurs comprenant:

 (1) la phase consistant à introduire une impureté possédant un premier type de conductivité dans un ensemble de parties d'une surface principale d'un substrat (100) contenant une impureté du premier type
10 de conductivité de manière à former un ensemble de régions dopées par l'impureté et qui possèdent une densité d'impureté supérieure à celle dudit substrat (100);

 (2) la phase consistant à former des couches semiconductrices épitaxiales (700) contenant une impureté possédant un second type de conductivité, sur la surface principale dudit substrat (100);
15

 (3) la phase consistant à introduire une impureté possédant le premier type de conductivité dans les parties d'une surface principale de ladite couche semiconductrice épitaxiale, qui recouvrent l'ensemble des régions dopées par l'impureté;
20

 (4) la phase consistant à former des renforcements (2600) dans des parties de la surface principale de ladite couche semiconductrice épitaxiale (700);

25 (5) la phase consistant à réaliser un traitement thermique pour introduire l'impureté du premier type de conductivité dudit ensemble de régions dopées par l'impureté à l'intérieur de ladite couche semiconductrice épitaxiale (700) par diffusion pénétrante de manière à raccorder la couche diffusée à une couche diffusée formée en soumettant à une diffusion pénétrante l'impureté possédant le premier type de conductivité et introduite dans ladite surface principale de ladite couche semiconductrice épitaxiale (700), de manière à former
30
35 mer ainsi une région semiconductrice possédant le pre-

mier type de conductivité dans une partie de ladite couche semiconductrice épitaxiale et pour former une région isolante diffusée atteignant un fond du renforcement (2600) dans une autre partie;

5 (6) la phase consistant à former une pellicule d'oxyde épaisse (2700) sur des surfaces principales dudit renforcement (2600);

(7) la phase consistant à former un transistor MOSFET dans ladite région semiconductrice, et

10 (8) la phase consistant à former un transistor bipolaire dans une partie de ladite couche semiconductrice épitaxiale.

FIG. 1

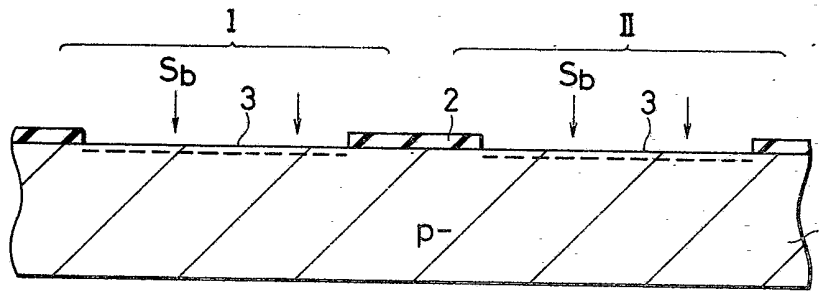


FIG. 2

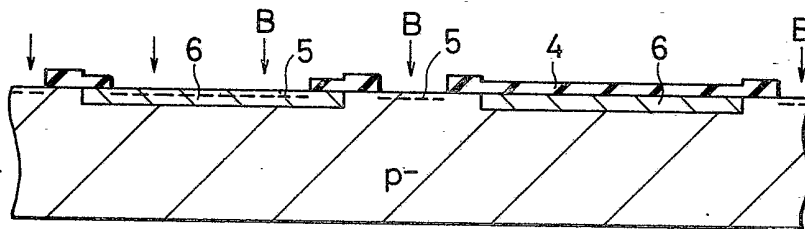


FIG. 3

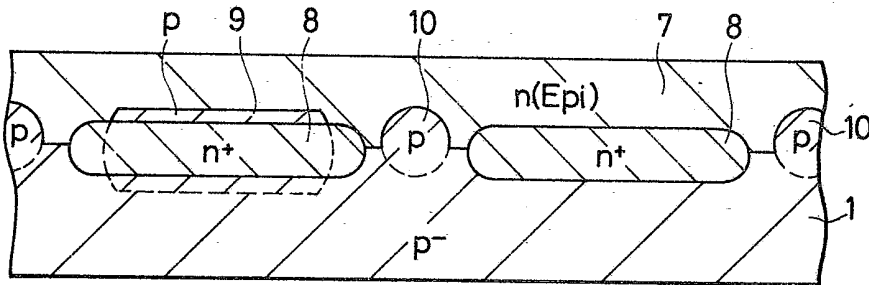


FIG. 4

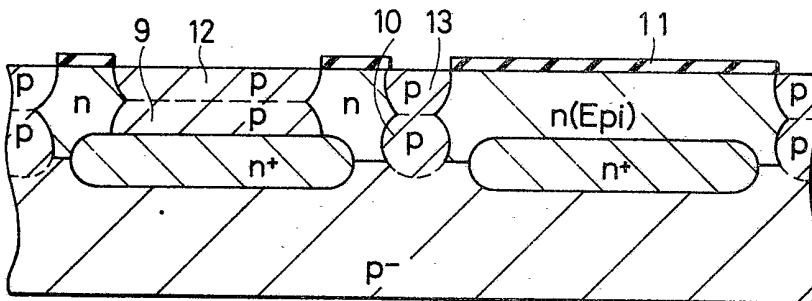


FIG. 5

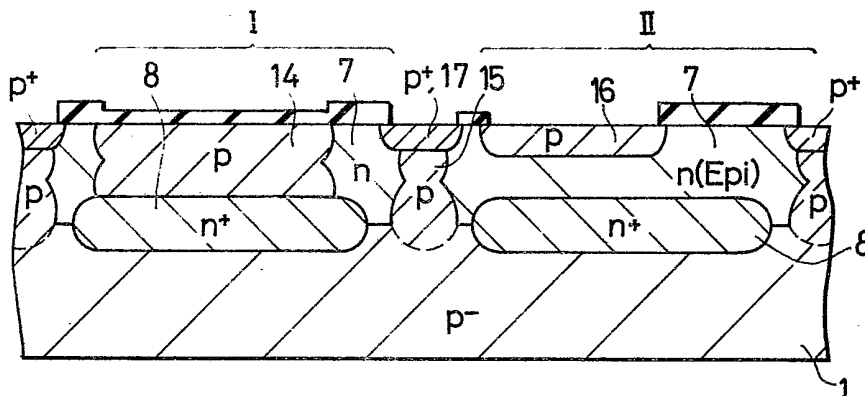


FIG. 6

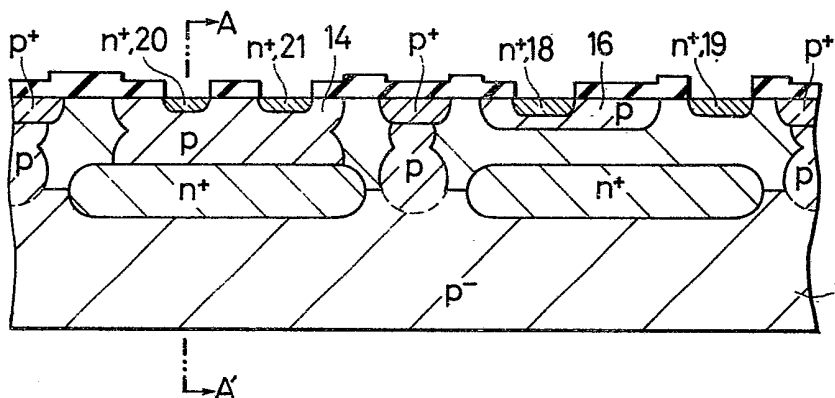


FIG. 7

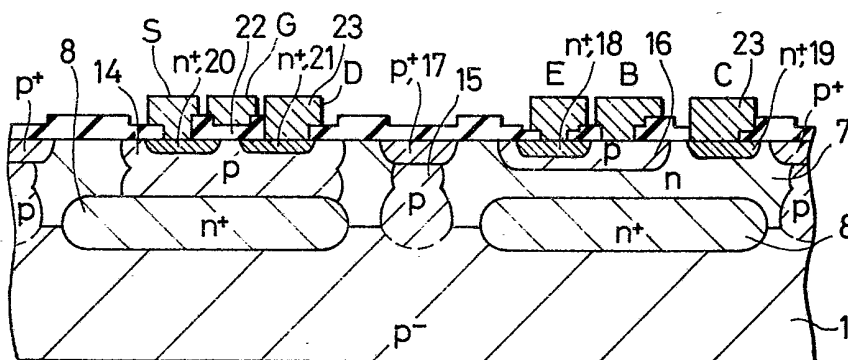


FIG. 11

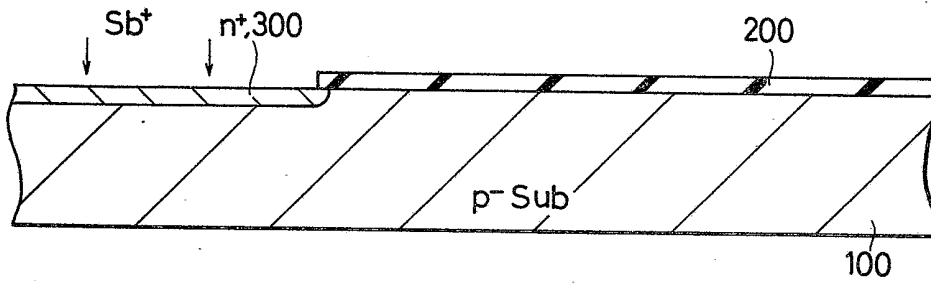


FIG. 12

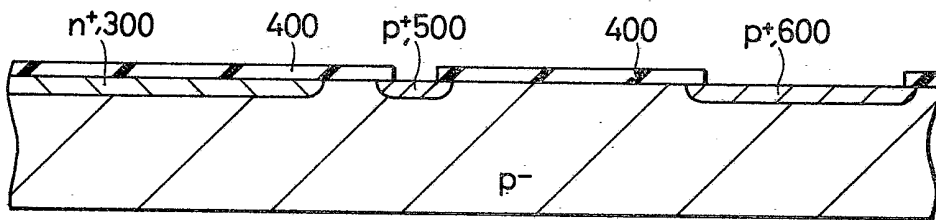


FIG. 13

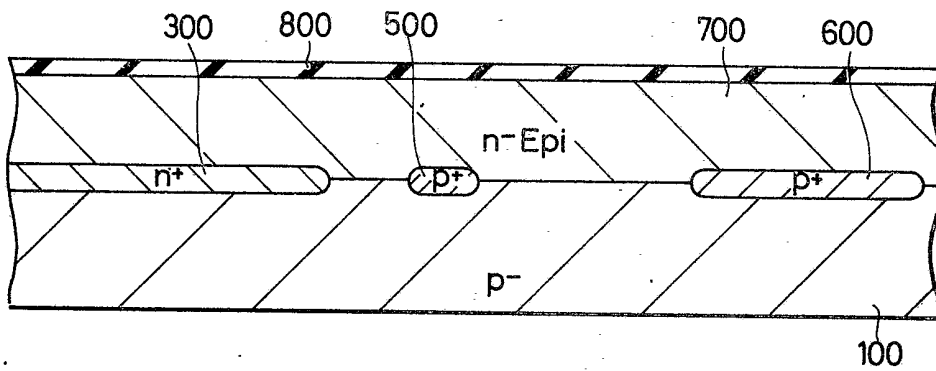


FIG. 14

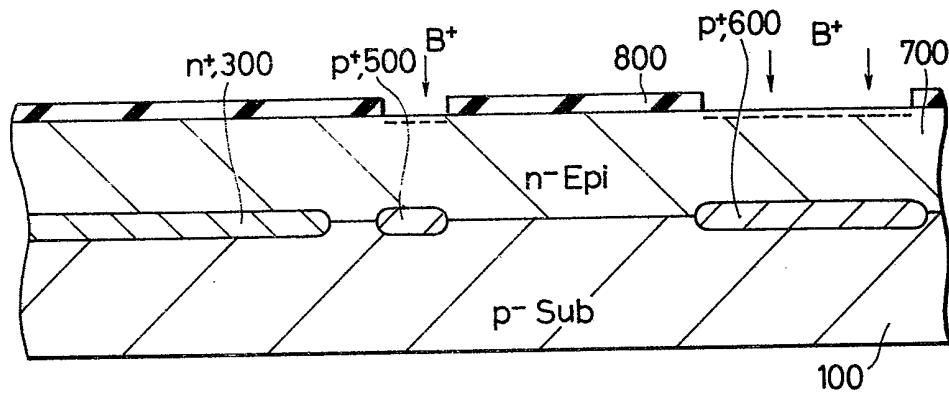


FIG. 15

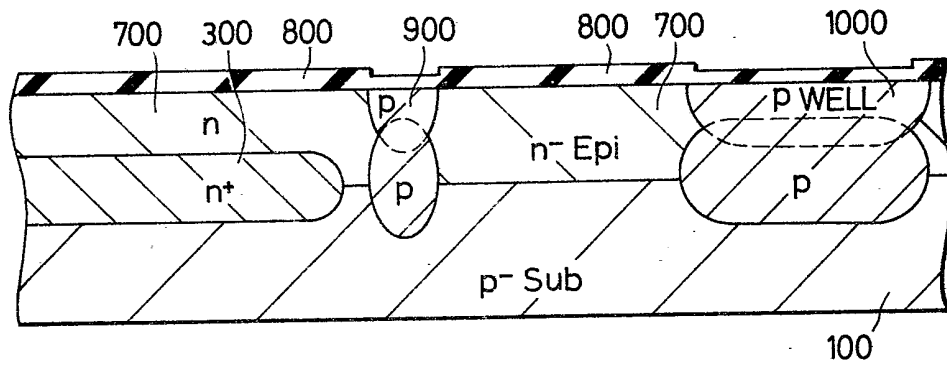


FIG. 16

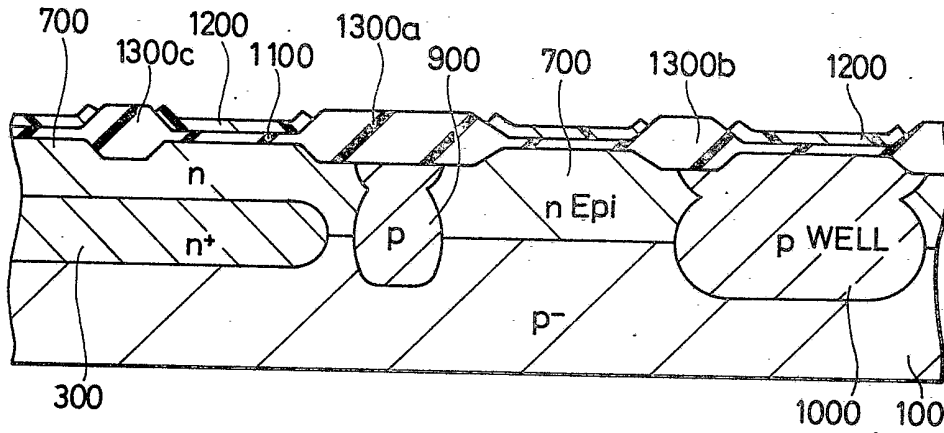


FIG. 17

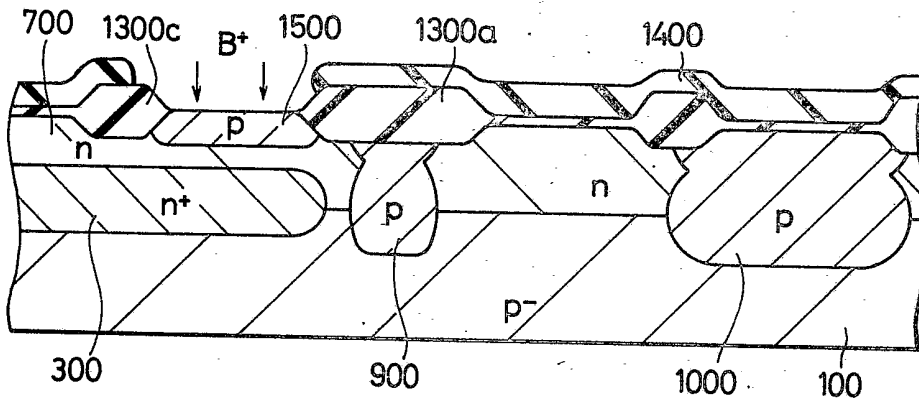


FIG. 18

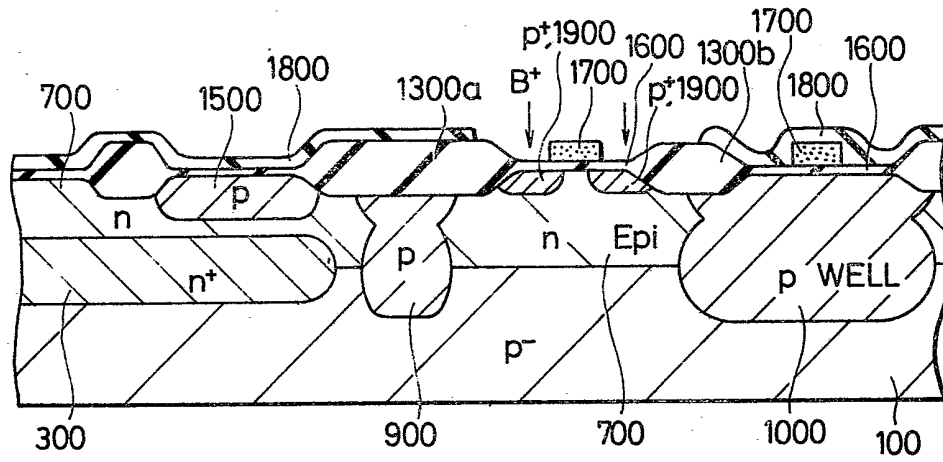


FIG. 19

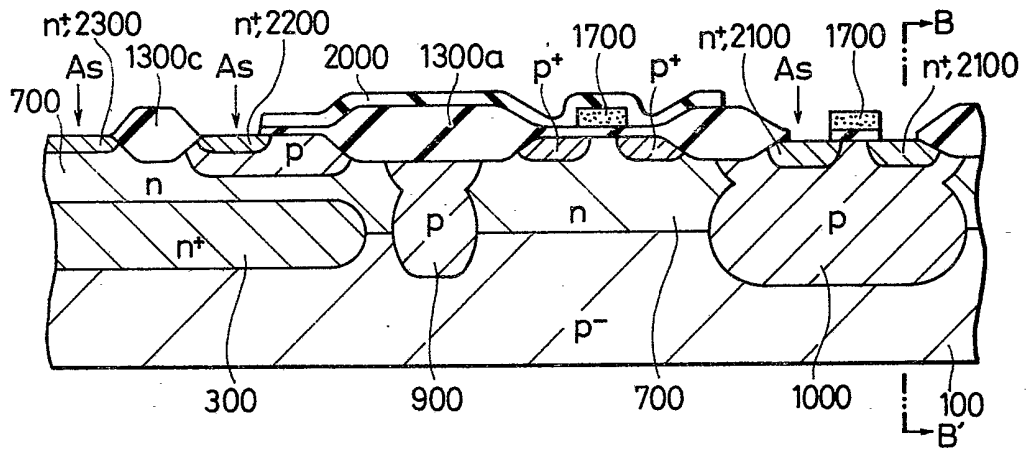


FIG. 20

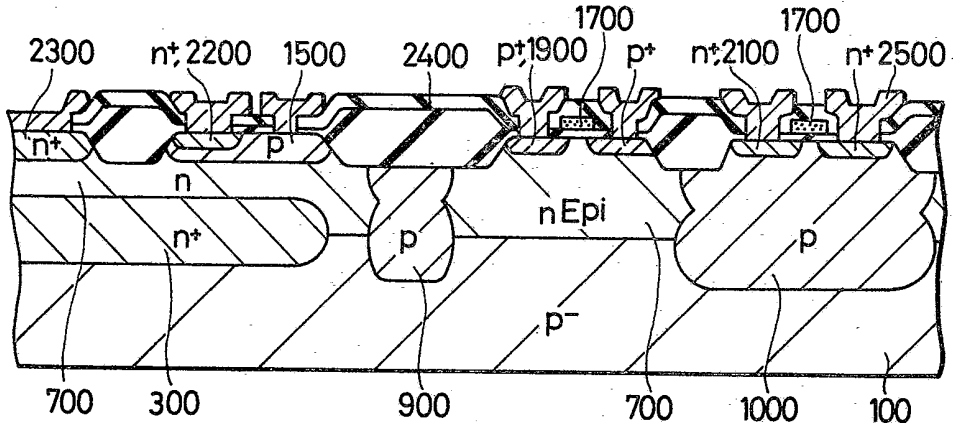


FIG. 21

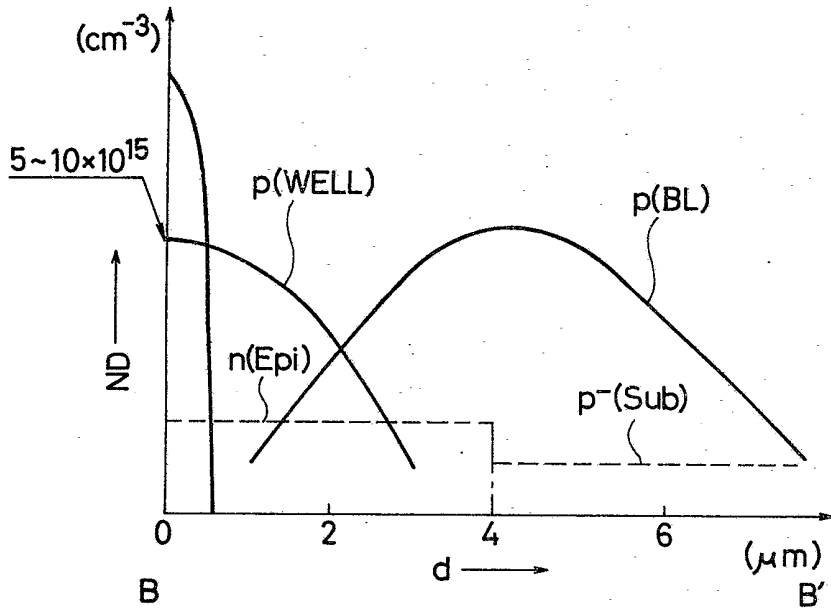


FIG. 22

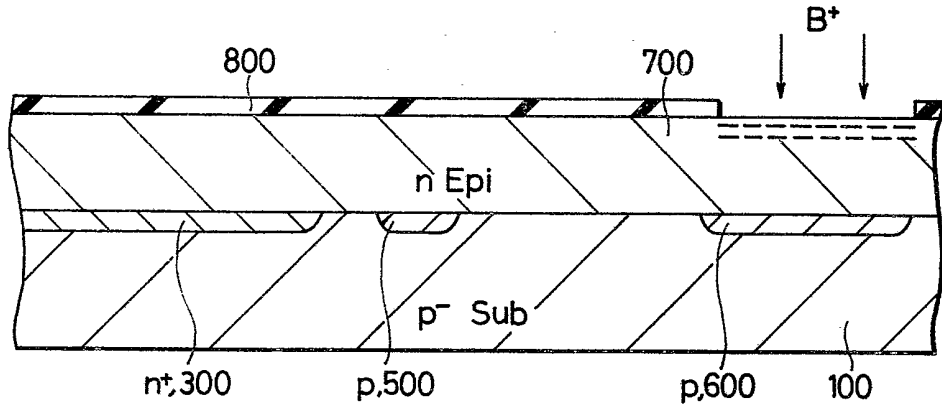


FIG. 23

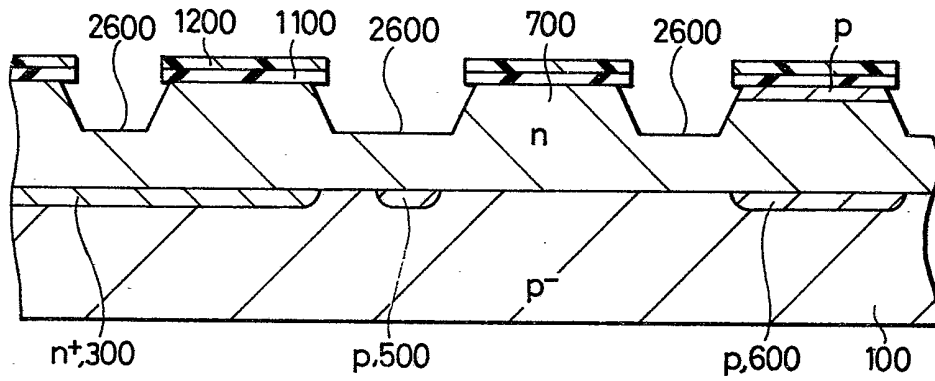


FIG. 24

