

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6108960号
(P6108960)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int.Cl. F I
 H O 3 K 3/02 (2006.01) H O 3 K 3/02 E
 H O 3 K 3/356 (2006.01) H O 3 K 3/356 Z

請求項の数 6 (全 35 頁)

(21) 出願番号	特願2013-112933 (P2013-112933)	(73) 特許権者	000153878
(22) 出願日	平成25年5月29日 (2013.5.29)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-161002 (P2014-161002A)		神奈川県厚木市長谷398番地
(43) 公開日	平成26年9月4日 (2014.9.4)	(72) 発明者	塩野入 豊
審査請求日	平成28年5月18日 (2016.5.18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-125993 (P2012-125993)		半導体エネルギー研究所内
(32) 優先日	平成24年6月1日 (2012.6.1)	(72) 発明者	小林 英智
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-10751 (P2013-10751)		半導体エネルギー研究所内
(32) 優先日	平成25年1月24日 (2013.1.24)	(72) 発明者	黒川 義元
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	▲高▼橋 義昭

最終頁に続く

(54) 【発明の名称】 半導体装置、処理装置

(57) 【特許請求の範囲】

【請求項1】

第1の伝送路および第2の伝送路に電気的に接続されたレジスタと、
 前記第1の伝送路および前記第2の伝送路に電気的に接続された読み出し書き込み回路と、

前記第2の伝送路に電気的に接続された不揮発性のF I L O型レジスタと、
 前記不揮発性のF I L O型レジスタを制御する制御回路と、
 前記不揮発性のF I L O型レジスタと前記制御回路とを電気的に接続する制御信号線と、
 を有し、

前記レジスタは、前記第1の伝送路からデータを書き込み可能に設けられ、且つ格納しているデータを前記第1の伝送路または前記第2の伝送路に読み出し可能に設けられ、

前記読み出し書き込み回路は、前記第2の伝送路から読み出したデータを前記第1の伝送路に書き込むように設けられ、

前記不揮発性のF I L O型レジスタは、前記第2の伝送路からデータを書き込む第1のモードと、格納しているデータを前記第2の伝送路に読み出す第2のモードとを備え、

前記制御回路は、前記制御信号線を介してモード制御信号を出力し、前記不揮発性のF I L O型レジスタの第1のモードと第2のモードを切り替える、半導体装置。

【請求項2】

第1の端子および第2の端子と、

前記制御信号線に含まれる第1の制御信号線と電気的に接続される第1の制御端子と、

10

20

前記制御信号線に含まれる第2の制御信号線と電氣的に接続される第2の制御端子と、を備え、

前記第1の制御端子に入力される第1のモード制御信号に応じて、前記第1の端子が入力端子、前記第2の端子が出力端子として機能し、第2のモード制御信号に応じて、前記第1の端子が出力端子、前記第2の端子が入力端子として機能し、

電力が供給された状態で、前記第2の制御端子に入力されるクロック信号に応じて、格納している第1のデータを出力端子に出力し、入力端子から第2のデータを格納し、

電力が供給されない状態で、格納されているデータを保持する不揮発性のフリップ・フロップ回路を、複数具備する不揮発性のF I L O型レジスタを有する、請求項1記載の半導体装置。

10

【請求項3】

前記不揮発性のF I L O型レジスタが、

A端子、B端子、C端子、D端子およびE端子を具備し、

前記D端子にロウの電位が、前記E端子にハイの電位が入力された状態で前記A端子と前記B端子がハイインピーダンスの状態に、

前記C端子と前記D端子にハイの電位が、前記E端子にロウの電位が入力された状態で、前記A端子から入力された信号に応じた信号を前記B端子に出力する要素回路を4つと

一方の端子が、前記第1の要素回路のB端子、前記第2の要素回路のA端子、前記第3の要素回路のB端子並びに前記第4の要素回路のA端子と接続され、他方の端子は接地される第1の容量素子と、

20

一方の端子が、前記第2の要素回路のB端子、前記第3の要素回路のA端子と接続され、他方の端子は接地される第2の容量素子と、

前記第1の要素回路のD端子および前記第2の要素回路のD端子並びに前記第3の要素回路のE端子および前記第4の要素回路のE端子と接続される第1の制御端子と、

前記第1の要素回路のC端子および前記第3の要素回路のC端子と接続される第2の制御端子と、

前記第1の制御端子に入力端子が接続される第1のインバータ回路と、

前記第2の制御端子に入力端子が接続される第2のインバータ回路と、

前記第1の要素回路のA端子および前記第4の要素回路のB端子と接続される第1の端子と、

30

前記第2の要素回路のB端子および前記第3の要素回路のA端子と接続される第2の端子と、を有し、

前記第1の要素回路のE端子および前記第2の要素回路のE端子並びに前記第3の要素回路のD端子および前記第4の要素回路のD端子は、前記第1のインバータ回路の出力端子と接続され、

前記第2の要素回路のC端子および前記第4の要素回路のC端子は、前記第2のインバータ回路の出力端子と接続される不揮発性のフリップ・フロップ回路を備える、請求項2記載の半導体装置。

【請求項4】

40

前記不揮発性のフリップ・フロップ回路が、

トライステートバッファと、

前記トライステートバッファの出力端子と第1の電極が接続されたスイッチングトランジスタと、

前記トライステートバッファの入力端子と接続されたA端子と、

前記スイッチングトランジスタの第2の電極と接続されたB端子と、

前記スイッチングトランジスタのゲート電極と接続されたC端子と、

前記トライステートバッファのモード制御信号端子と接続されたD端子と、

前記トライステートバッファの反転モード制御信号端子と接続されたE端子と、を備え

50

前記スイッチングトランジスタが、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体をチャンネル形成領域に含む、前記要素回路を備える、請求項 3 記載の半導体装置。

【請求項 5】

前記不揮発性の F I L O 型レジスタの書き込み期間中に、ウエイト信号を出力するメモリアクセス判定回路を備える、請求項 1 記載の半導体装置。

【請求項 6】

前記不揮発性の F I L O 型レジスタが、
不揮発性の外部記憶装置と、

前記第 2 の伝送路に電氣的に接続される第 1 の入出力端子と、前記外部記憶装置に接続された第 2 の入出力端子と、を具備する不揮発性の F I F O 型レジスタと、を含み、

前記不揮発性の F I F O 型レジスタは、第 1 のモードと第 2 のモードで動作し、
前記第 1 のモードにおいて、

前記不揮発性の F I F O 型レジスタは、第 1 の入出力端子からデータを書き込み可能であって、且つ最初に第 1 の入出力端子から格納されたデータを、第 2 の入出力端子から読み出し可能に設けられ、

前記外部記憶装置は、前記不揮発性の F I F O 型レジスタの第 2 の入出力端子から読み出されるデータを書き込むように設けられ、

前記第 2 のモードにおいて、

前記不揮発性の F I F O 型レジスタは、最後に第 1 の入出力端子から格納されたデータを、第 1 の入出力端子から読み出し可能であって、且つ第 2 の入出力端子からデータを書き込み可能に設けられ、

前記外部記憶装置は、読み出すデータが、前記不揮発性の F I F O 型レジスタの第 2 の入出力端子から書き込まれるように設けられる、請求項 1 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明は、レジスタを有する半導体装置および半導体装置を備える処理装置に関する。

【背景技術】

【0002】

処理装置の処理速度は、演算部がデータにアクセス（読み出しおよび書き込み動作）する速度に強く影響される。そのため、処理装置には、動作速度が速いレジスタと呼ばれる記憶回路が設けられている。

【0003】

また、演算部に割り込み命令を実行させる必要が生じる場合がある。割り込み命令を実行させるときには、割り込み命令の実行前に、レジスタに格納されているデータを他の記憶回路に一時的に退避してレジスタを開放する。そして、割り込み命令の実行後に、退避したデータをレジスタに格納しなおす。レジスタに格納されたデータを一時的に退避することができる記憶回路はスタックレジスタと呼ばれ、処理装置に設けられている。

【0004】

なお、処理装置は、上述の演算部と記憶部の他、制御部および伝送路（バスともいう）等を含んで構成されている。制御部は、処理装置の各構成を制御する部分であり、伝送路は各構成の間を接続する共通の信号線である。伝送路は、例えばレジスタとスタックレジスタの間でデータを転送する際に用いられる。

【0005】

また、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制

10

20

30

40

50

限が無い、半導体装置が知られている（特許文献1）。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-151377号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

情報伝達手段に係る社会基盤の充実に伴い、携帯型情報端末機器の情報処理能力の向上と、連続使用時間の長時間化に対する要望が強い。また、エネルギー問題の観点からも、処理装置の消費電力の低減が望まれている。

10

【0008】

処理装置の処理速度を高めるには、演算部のデータに対するアクセスが、容易になるように記憶回路を設ける必要がある。その一例として、レジスタの数（記憶回路の記憶容量と言い換えることもできる）を増やす手段が挙げられる。

【0009】

しかし、動作速度が速い記憶回路の多くは揮発性であり、データを保持するために常時電力を消費するため、消費電力を抑制しながらレジスタの記憶容量を増やすことは困難であった。

【0010】

本発明の一態様は、このような技術的背景のもとでなされたものである。したがって、レジスタの消費電力が抑制された半導体装置を提供することを課題の一とする。または、処理速度が高く消費電力が抑制された処理装置を提供することを課題の一とする。

20

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0012】

上記課題を解決するために、本発明の一態様は、レジスタが設けられた半導体装置の構成に着目して創作されたものである。そして、本明細書に例示する、高速に動作するレジスタと、当該レジスタとの間でデータの読み出しおよび書き込みが可能に設けられた不揮発性のF I L O (F i r s t I n L a s t O u t : 先入れ後出し)型レジスタを有する半導体装置に想到した。なお、本明細書において不揮発性とは、電源を遮断しても記憶されているデータが揮発しないと見なされる性質をいい、揮発性とは、電源遮断により記憶されているデータが瞬時に揮発する性質をいう。

30

【0013】

本発明の一態様は、第1の伝送路からデータを書き込み可能に設けられ、且つ格納しているデータを第1の伝送路または第2の伝送路に読み出し可能に設けられたレジスタと、第2の伝送路から読み出したデータを第1の伝送路に書き込むように設けられた読み出し書き込み回路と、不揮発性のF I L O型レジスタと、を含んで構成される半導体装置である。そして、不揮発性のF I L O型レジスタは、第2の伝送路からデータを書き込む第1のモードと、格納しているデータを第2の伝送路に読み出す第2のモードを備えるものである。

40

【0014】

なお、本明細書においてF I L O型レジスタおよびF I F O (F i r s t I n F i r s t O u t : 先入れ先出し)型レジスタとは、複数のデータを順番に格納可能なレジスタである。F I L O型レジスタは、格納した順番の逆の順番に読み出すことができ、具体的には、A B C Dの順番で格納したデータを、D C B Aの順番で読み出すこ

50

とができる。F I F O型レジスタは、格納した順番に読み出すことができ、具体的には、A B C Dの順番で格納したデータを、A B C Dの順番で読み出すことができる。

【0015】

すなわち、本発明の一態様は、第1の伝送路および第2の伝送路に電氣的に接続されたレジスタと、第1の伝送路および第2の伝送路に電氣的に接続された読み出し書き込み回路と、第2の伝送路に電氣的に接続された不揮発性のF I L O型レジスタと、不揮発性のF I L O型レジスタを制御する制御回路と、不揮発性のF I L O型レジスタと制御回路とを電氣的に接続する制御信号線と、を有する半導体装置である。

【0016】

そして、当該レジスタは、第1の伝送路からデータを書き込み可能に設けられ、且つ格納しているデータを第1の伝送路または第2の伝送路に読み出し可能に設けられている。

【0017】

そして、当該読み出し書き込み回路は、第2の伝送路から読み出したデータを第1の伝送路に書き込むように設けられている。

【0018】

そして、不揮発性のF I L O型レジスタは、第2の伝送路からデータを書き込む第1のモードと、格納しているデータを第2の伝送路に読み出す第2のモードとを備える。

【0019】

そして、制御回路は、制御信号線を介してモード制御信号を出力し、不揮発性のF I L O型レジスタの第1のモードと第2のモードを切り替える、半導体装置である。

【0020】

これにより、レジスタに書き込まれたデータを不揮発性のF I L O型レジスタに退避できる。不揮発性のF I L O型レジスタは待機状態において消費電力が少ないため、半導体装置の消費電力を抑制しながらその記憶容量を大きくできる。また、第1の伝送路が他のデータに占有されているか否かにかかわらず、第2の伝送路を介してレジスタと不揮発性のF I L O型レジスタの間でデータを転送できる。その結果、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

【0021】

また、本発明の一態様は、第1の端子および第2の端子と、制御信号線に含まれる第1の制御信号線と電氣的に接続される第1の制御端子と、制御信号線に含まれる第2の制御信号線と電氣的に接続される第2の制御端子と、を備え、第1の制御端子に入力される第1のモード制御信号に応じて、第1の端子が入力端子、第2の端子が出力端子として機能し、第2のモード制御信号に応じて、第1の端子が出力端子、第2の端子が入力端子として機能し、電力が供給された状態で、第2の制御端子に入力されるクロック信号に応じて、格納している第1のデータを出力端子に出力し、入力端子から第2のデータを格納し、電力が供給されない状態で、格納されているデータを保持する不揮発性のフリップ・フロップ回路を、複数具備する不揮発性のF I L O型レジスタを有する、上記の半導体装置である。

【0022】

上記本発明の一態様の半導体装置は、第1の制御端子が第1の制御信号線に並列に、第2の制御端子が第2の制御信号線に並列に接続された複数の不揮発性のフリップ・フロップ回路を備える。これらのフリップ・フロップ回路は、第1の制御信号線を介して制御回路から入力されるモード制御信号に応じて入力端子と出力端子が反転するように設けられている。そして、複数の不揮発性のフリップ・フロップ回路が、第2の伝送路に対して直列に接続され、不揮発性のF I L O型レジスタを構成している。

【0023】

これにより、制御信号の種類を少なくして、制御回路の構成を簡略化すること、制御信号線の数の増加を抑制すること、制御回路または制御信号線を含む配線が占有する面積の増加を抑制すること、ができる。その結果、作製を容易にすること、不揮発性のF I L O型

10

20

30

40

50

レジスタの容量を増やすこと、若しくは配線容量の増加にともなう信号の遅延を抑制することができる。また、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

【0024】

また、本発明の一態様は、不揮発性のF I L O型レジスタが、不揮発性のフリップ・フロップ回路を備える、上記の半導体装置である。そして、不揮発性のF I L O型レジスタは、A端子、B端子、C端子、D端子およびE端子を具備し、D端子にロウの電位が、E端子にハイの電位が入力された状態でA端子とB端子がハイインピーダンスの状態に、C端子とD端子にハイの電位が、E端子にロウの電位が入力された状態で、A端子から入力される信号に応じた信号をB端子に出力する要素回路を4つ備える。

10

【0025】

そして、一方の端子が、第1の要素回路のB端子、第2の要素回路のA端子、第3の要素回路のB端子並びに第4の要素回路のA端子と接続され、他方の端子は接地される第1の容量素子と、一方の端子が、第2の要素回路のB端子、第3の要素回路のA端子と接続され、他方の端子は接地される第2の容量素子を備える。

【0026】

そして、第1の要素回路のD端子および第2の要素回路のD端子並びに第3の要素回路のE端子および第4の要素回路のE端子と接続される第1の制御端子と、第1の要素回路のC端子および第3の要素回路のC端子と接続される第2の制御端子を備える。

【0027】

そして、第1の制御端子に入力端子が接続される第1のインバータ回路と、第2の制御端子に入力端子が接続される第2のインバータ回路を備える。

20

【0028】

そして、第1の要素回路のA端子および第4の要素回路のB端子と接続される第1の端子と、第2の要素回路のB端子および第3の要素回路のA端子と接続される第2の端子と、を有する。

【0029】

そして、第1の要素回路のE端子および第2の要素回路のE端子並びに第3の要素回路のD端子および第4の要素回路のD端子は、第1のインバータ回路の出力端子と接続され、第2の要素回路のC端子および第4の要素回路のC端子は、第2のインバータ回路の出力端子と接続される。

30

【0030】

また、本発明の一態様は、不揮発性のF I L O型レジスタが備える不揮発性のフリップ・フロップ回路が、トライステートバッファと、トライステートバッファの出力端子と第1の電極が接続されたスイッチングトランジスタと、トライステートバッファの入力端子と接続されたA端子と、スイッチングトランジスタの第2の電極と接続されたB端子と、スイッチングトランジスタのゲート電極と接続されたC端子と、トライステートバッファのモード制御信号端子と接続されたD端子と、トライステートバッファの反転モード制御信号端子と接続されたE端子と、を備える。

【0031】

そして、当該スイッチングトランジスタが、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体をチャネル形成領域に含む、要素回路を備える、上記の半導体装置である。

40

【0032】

上記本発明の一態様の半導体装置の不揮発性のF I L O型レジスタが備える不揮発性のフリップ・フロップ回路は、第1の容量素子が接続された記憶ノードを含み、第2の制御端子に入力されるクロック信号に応じて、入力端子に入力されるデータを格納して、格納していたデータを出力端子に出力する。そして、第1の制御端子に入力されるモード制御信号に応じて、入力端子と出力端子が反転する。また、それぞれの制御端子に接続されたインバータ回路が、内部で反転信号を生成する。

50

【 0 0 3 3 】

これにより、2つの制御信号線と接続するフリップ・フロップ回路を複数設けて、不揮発性のF I L O型レジスタの容量を増やすことができる。その結果、制御回路または配線が占有する面積率の増加を抑制し、作製が容易な、配線容量の増加にともなう信号の遅延が抑制され、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

【 0 0 3 4 】

さらに、当該記憶ノードは、オフ状態におけるリーク電流が著しく小さいスイッチングトランジスタの第2の電極並びにトライステートバッファのハイインピーダンスな入力端子と接続される。

10

【 0 0 3 5 】

これにより、スイッチングトランジスタのオフ状態におけるリーク電流を著しく小さいものとすることができ、電力の供給を停止（パワーゲーティングともいう）しても、記憶ノードに保持されたデータを長期間に渡り保持することができる。また、例えばフローティングゲートを備えるトランジスタを用いて電荷を記憶ノードに保持する構成に比べると、駆動電圧を低減でき、消費電力の増加を抑制できる。

【 0 0 3 6 】

また、本発明の一態様は、不揮発性のF I L O型レジスタの書き込み期間中に、ウエイト信号を出力するメモリアクセス判定回路を備える、上記の半導体装置である。

【 0 0 3 7 】

上記本発明の一態様の半導体装置は、メモリアクセス判定回路を含んで構成される。これにより、レジスタから読み出されたデータを不揮発性のF I L O型レジスタに書き込み終える前に、他のデータをレジスタに書き込んでしまう不具合を防止できる。その結果、誤動作を防止し、信頼性が高められ、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

20

【 0 0 3 8 】

また、本発明の一態様は、不揮発性のF I L O型レジスタが、不揮発性の外部記憶装置と、第2の伝送路に電氣的に接続される第1の入出力端子と、外部記憶装置に接続された第2の入出力端子と、を具備する不揮発性のF I F O型レジスタと、を含む上記の半導体装置である。

30

【 0 0 3 9 】

そして、当該不揮発性のF I F O型レジスタは、第1のモードと第2のモードで動作し、第1のモードにおいて、不揮発性のF I F O型レジスタは、第1の入出力端子からデータを書き込み可能であって、且つ最初に第1の入出力端子から格納されたデータを、第2の入出力端子から読み出し可能に設けられている。

【 0 0 4 0 】

そして、外部記憶装置は、不揮発性のF I F O型レジスタの第2の入出力端子から読み出されるデータを書き込むように設けられている。

【 0 0 4 1 】

そして、第2のモードにおいて、不揮発性のF I F O型レジスタは、最後に第1の入出力端子から格納されたデータを、第1の入出力端子から読み出し可能であって、且つ第2の入出力端子からデータを書き込み可能に設けられている。

40

【 0 0 4 2 】

そして、外部記憶装置は、読み出すデータが、不揮発性のF I F O型レジスタの第2の入出力端子から書き込まれるように設けられる。

【 0 0 4 3 】

上記本発明の一態様の半導体装置は、不揮発性のF I L O型レジスタが、不揮発性の外部記憶装置と、外部記憶装置に電氣的に接続された不揮発性のF I F O型レジスタを含んで構成される。これにより、不揮発性のF I L O型レジスタの容量を飛躍的に大きなものとするすることができる。その結果、F I L O型レジスタがオーバーフローするおそれなくな

50

り、信頼性が高められ、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

【発明の効果】

【0044】

本発明の一態様によれば、レジスタの消費電力が抑制された半導体装置を提供できる。または、処理速度が高く消費電力が抑制された処理装置を提供できる。

【図面の簡単な説明】

【0045】

【図1】実施の形態に係る半導体装置の構成を説明するブロック図。

【図2】実施の形態に係る半導体装置の構成を説明するブロック図。

10

【図3】実施の形態に係る半導体装置の構成を説明するブロック図。

【図4】実施の形態に係る半導体装置に適用可能な不揮発性のフリップ・フロップの構成を説明するブロック図。

【図5】実施の形態に係る半導体装置に適用可能な不揮発性のフリップ・フロップの構成を説明する回路図。

【図6】実施の形態に係る半導体装置の構成を説明するブロック図。

【図7】実施の形態に係る半導体装置に適用可能な不揮発性のフリップ・フロップの動作を説明するタイミングチャート。

【図8】実施の形態に係る半導体装置の構成を説明する図。

【図9】実施の形態に係る不揮発性FIFO回路の構成を説明する図。

20

【発明を実施するための形態】

【0046】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0047】

(実施の形態1)

30

本実施の形態では、本発明の一態様の半導体装置の構成について、図1を参照して説明する。図1(A)は本発明の一態様の半導体装置の構成を説明するブロック図であり、図1(B)は本発明の他の一態様の半導体装置の構成を説明するブロック図であり、図1(C)は本発明のさらに別の一態様の半導体装置の構成を説明するブロック図である。

【0048】

図1(A)に例示して説明する半導体装置は、第1の伝送路150および第2の伝送路160に電気的に接続されたレジスタ210と、第1の伝送路150および第2の伝送路160に電気的に接続された読み出し書き込み回路120と、第2の伝送路160に電気的に接続された不揮発性のFIFO型レジスタ220と、不揮発性のFIFO型レジスタ220を制御する制御回路110と、不揮発性のFIFO型レジスタ220と制御回路110とを電気的に接続する制御信号線111と、を有する。

40

【0049】

レジスタ210は、第1の伝送路150からデータを書き込み可能に設けられている。また、格納しているデータを第1の伝送路150または第2の伝送路160に読み出し可能に設けられている。

【0050】

読み出し書き込み回路120は、第2の伝送路160から読み出したデータを、第1の伝送路150に書き込むように設けられている。

【0051】

不揮発性のFIFO型レジスタ220は、第2の伝送路160からデータを書き込む第1

50

のモードと、格納しているデータを第2の伝送路160に読み出す第2のモードとを備える。

【0052】

制御回路110は、制御信号線111を介してモード制御信号を出力し、不揮発性のF I L O型レジスタ220の第1のモードと第2のモードを切り替える。

【0053】

本実施の形態で例示する半導体装置100は、レジスタ210に書き込まれたデータを不揮発性のF I L O型レジスタ220に退避できる。不揮発性のF I L O型レジスタ220は待機状態において消費電力が少ないため、半導体装置100の消費電力を抑制しながらその記憶容量を大きくできる。また、第1の伝送路150が他のデータに占有されているか否かにかかわらず、第2の伝送路160を介してレジスタ210と不揮発性のF I L O型レジスタ220の間でデータを転送できる。その結果、消費電力が抑制され、高速にデータを退避できるレジスタ210を有する半導体装置100を提供できる。

10

【0054】

以下に、本発明の一態様の半導体装置を構成する個々の要素について説明する。

【0055】

《レジスタ》

レジスタ210は、高速に動作するほど好ましく、例えば、不揮発性のF I L O型レジスタ220以上の速度で動作すると好ましい。レジスタ210が高速に動作するほど、半導体装置の動作速度を向上できる。

20

【0056】

トランジスタを用いてレジスタ210を構成する場合は、チャンネル形成領域にさまざまな半導体を適用できる。例えば、元素周期表における第14族の元素(Si、Ge、SiCなど)を含有する半導体、化合物半導体(GaAs、GaPなど)、バンドギャップがシリコンより広い半導体(酸化物半導体など)などを用いることができる。特に、結晶性を有する半導体は移動度が高く、トランジスタの動作速度を高められるため好ましい。

【0057】

なお、レジスタ210は、データの保持において電力を消費する揮発性の記憶回路であってもよい。

【0058】

また、レジスタ210に格納されたデータを不揮発性のF I L O型レジスタ220に退避できる。レジスタ210に格納されたデータを不揮発性のF I L O型レジスタ220に退避した後は、レジスタ210への電力の供給を停止して、消費電力の低減を図ることができる。そして、レジスタ210への電力の供給を再開した後に、不揮発性のF I L O型レジスタ220に退避したデータを、第2の伝送路160、読み出し書き込み回路120並びに第1の伝送路150を介してレジスタ210に書き戻す。この一連の動作により、レジスタ210の状態を電力の供給を停止する直前の状態に極めて短時間で復帰できる。その結果、動作速度を大幅にさげることなく消費電力を低減できる。

30

【0059】

《読み出し書き込み回路》

読み出し書き込み回路120は、第2の伝送路160から読み出したデータを第1の伝送路150に書き込む。

40

【0060】

《不揮発性のF I L O型レジスタ》

不揮発性のF I L O型レジスタ220は、第2の伝送路160のデータを格納し、格納しているデータを第2の伝送路160に読み出す。

【0061】

不揮発性のF I L O型レジスタ220の構成の一例は、実施の形態2において詳細に説明する。

【0062】

50

《制御回路》

制御回路110は、制御信号線111を介してモード制御信号を不揮発性のF I L O型レジスタ220に出力し、不揮発性のF I L O型レジスタ220の動作を制御する。具体的には、不揮発性のF I L O型レジスタ220からデータを読み出す動作と、不揮発性のF I L O型レジスタ220にデータを書き込む動作を切り替える。

【0063】

<変形例1.>

本実施の形態で例示する本発明の一態様の半導体装置の変形例について、図1(B)を参照して説明する。

【0064】

図1(B)に例示して説明する半導体装置100Bは、不揮発性のF I L O型レジスタ220の書き込み期間中に、ウエイト信号を出力する第1のメモリアクセス判定回路214を備える。

【0065】

半導体装置100Bは、第1のメモリアクセス判定回路214を含んで構成される。これにより、レジスタ210から読み出されたデータを不揮発性のF I L O型レジスタ220に書き込み終わる前に、他のデータをレジスタ210に書き込んでしまう不具合を防止できる。その結果、誤動作を防止し、信頼性が高められ、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

【0066】

以下に、本実施の形態の変形例に用いることができるメモリアクセス判定回路について説明する。

【0067】

《メモリアクセス判定回路》

第1のメモリアクセス判定回路214は、レジスタ210から読み出されたデータを不揮発性のF I L O型レジスタ220に書き込む間に、レジスタ210にアクセス要求が発生されないように、ウエイト信号を端子215に出力する。他の回路は、端子215を監視することにより、レジスタ210への不適切なタイミングでのデータの書き込みを防止できる。

【0068】

<変形例2.>

本実施の形態で例示する本発明の一態様の半導体装置の変形例について、図1(C)を参照して説明する。

【0069】

図1(C)に例示して説明する半導体装置100Dは、不揮発性のF I L O型レジスタ220の書き込み期間中に、ウエイト信号を出力する第2のメモリアクセス判定回路216を備える。

【0070】

半導体装置100Dは、第2のメモリアクセス判定回路216を含んで構成される。これにより、レジスタ210から読み出されたデータを不揮発性のF I L O型レジスタ220に書き込んだデータを監視し、データがあふれることを防止できる。その結果、誤動作を防止し、信頼性が高められ、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

【0071】

以下に、本実施の形態の変形例に用いることができる第2のメモリアクセス判定回路216について説明する。

【0072】

《第2のメモリアクセス判定回路》

第2のメモリアクセス判定回路216はレジスタ210から不揮発性のF I L O型レジスタ220に書き込まれるデータを監視し、新たなデータが不揮発性のF I L O型レジスタ

10

20

30

40

50

220の容量を超えて書き込まれる直前に、ウエイト信号を端子217に出力する。他の回路は端子217に出力されるウエイト信号を監視することにより、不揮発性のF I L O型レジスタ220へのデータの書き込みを避け、他の記憶回路（例えば、スタックレジスタや、外部記憶装置等）に書き込むことができる。その結果、不揮発性のF I L O型レジスタ220の容量を超える書き込みを回避して、不揮発性のF I L O型レジスタ220のデータの消失を防止できる。また、不適切なタイミングでのデータの書き込みを防止できる。

【0073】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

10

【0074】

（実施の形態2）

本実施の形態では、本発明の一態様の半導体装置に適用可能な不揮発性のF I L O型レジスタの構成について、図2および図6を参照して説明する。図2は1ビットのデータを扱う本発明の一態様の半導体装置の構成を説明するブロック図であり、図6はk（kは2以上の自然数）ビットのデータを扱う本発明の一態様の半導体装置に適用可能な不揮発性のF I L O型レジスタ220Eの構成を説明するブロック図である。

【0075】

本実施の形態で例示して説明する不揮発性のF I L O型レジスタ220は、第1の制御信号線111_1を介して入力されるモード制御信号に応じて、シフト方向が反転するシフトレジスタである。そして、不揮発性のF I L O型レジスタ220は、不揮発性のフリップ・フロップ回路で構成され、電力が供給されない状態でデータを保持できる。これにより、消費電力の増加を抑制しながらレジスタの記憶容量を増やすことができる。

20

【0076】

<不揮発性のF I L O型レジスタの構成>

不揮発性のF I L O型レジスタ220は、n（nは2以上の自然数）個の不揮発性のフリップ・フロップ回路を有する。図2には、第1の不揮発性のフリップ・フロップ回路224a、第2の不揮発性のフリップ・フロップ回路224b、第3の不揮発性のフリップ・フロップ回路224c、第nの不揮発性のフリップ・フロップ回路224nを示す。

【0077】

不揮発性のフリップ・フロップ回路は、いずれも第1の端子および第2の端子並びに第1の制御端子および第2の制御端子を備える。

30

【0078】

例えば、第1の不揮発性のフリップ・フロップ回路224aは、第1の端子271aおよび第2の端子272a並びに第1の制御端子261aおよび第2の制御端子262aを備える。また、第2の不揮発性のフリップ・フロップ回路224bは、第1の端子271bおよび第2の端子272bを備える。

【0079】

これらの不揮発性のフリップ・フロップ回路は、電力が供給されない状態であっても格納されているデータを保持するものである。そして、電力が供給された状態においては第1の制御端子に入力されるモード制御信号に応じて、第1の端子または第2の端子の一方が入力端子、他方が出力端子として機能し、加えて第2の制御端子に入力されるクロック信号に応じて、格納していた第1のデータを出力端子に出力し、入力端子から第2のデータを格納するものである。

40

【0080】

例えば、第1のフリップ・フロップ回路は、第1の制御端子261aに入力される第1のモード制御信号に応じて、第1の端子271aが入力端子、第2の端子272aが出力端子として機能する。そして、第2の制御端子262aに入力されるクロック信号に応じて、格納していた第1のデータを第2の端子272aに出力し、第1の端子271aから第2のデータを格納する。また、第1の制御端子261aに入力される第2のモード制御信

50

号に応じて、第2の端子272aが入力端子、第1の端子271aが出力端子として機能する。そして、第2の制御端子262aに入力されるクロック信号に応じて、格納していた第3のデータを第1の端子271aに出力し、第2の端子272aから第4のデータを格納する。

【0081】

また、これらの不揮発性のフリップ・フロップ回路は、いずれも第1の制御端子が、第1の制御信号線111__1と電氣的に接続され、且つ第2の制御端子が第2の制御信号線111__2と電氣的に接続されている。

【0082】

そして、第1の不揮発性のフリップ・フロップ回路224aは、第1の端子271aが第2の伝送路160に電氣的に接続され、第2の端子272aが第2の不揮発性のフリップ・フロップ回路224bの第1の端子271bに電氣的に接続される。また、第2の不揮発性のフリップ・フロップ回路224bは、第2の端子272bが第3の不揮発性のフリップ・フロップ回路224cの第1の端子271cに電氣的に接続される。

【0083】

<不揮発性のFILO型レジスタの動作>

本実施の形態で例示して説明する不揮発性のFILO型レジスタ220の動作について説明する。

【0084】

第1のモード制御信号が、第1の制御信号線111__1を介して不揮発性のFILO型レジスタ220に入力されると、不揮発性のフリップ・フロップ回路の第1の端子は入力端子として機能し、第2の端子は出力端子として機能する。

【0085】

言い換えると、 m (m は1以上($n-1$)以下の自然数)番目の不揮発性のフリップ・フロップ回路の出力端子として機能する第2の端子に、($m+1$)番目の不揮発性のフリップ・フロップ回路の入力端子として機能する第1の端子が接続される構成となる。そして、第2の伝送路160に対して直列に接続された複数の不揮発性のフリップ・フロップ回路は、第2の制御信号線111__2に入力されるクロック信号に応じて m 番目から($m+1$)番目に向けてシフトするシフトレジスタとして機能する。

【0086】

また、第2のモード制御信号が、第1の制御信号線111__2を介して不揮発性のFILO型レジスタ220に入力されると、不揮発性のフリップ・フロップ回路の第1の端子は出力端子として機能し、第2の端子は入力端子として機能する。

【0087】

言い換えると、($m+1$)番目の不揮発性のフリップ・フロップ回路の出力端子として機能する第1の端子に、 m 番目の不揮発性のフリップ・フロップ回路の入力端子として機能する第2の端子が接続される構成となる。そして、第2の伝送路160に対して直列に接続された複数の不揮発性のフリップ・フロップ回路が、第2の制御信号線111__2に入力されるクロック信号に応じて($m+1$)番目から m 番目に向けてシフトするシフトレジスタとして機能する。

【0088】

本実施の形態で例示する半導体装置は、第1の制御端子が第1の制御信号線111__1に並列に、第2の制御端子が第2の制御信号線111__2に並列に接続された複数の不揮発性のフリップ・フロップ回路を備える。これらの不揮発性のフリップ・フロップ回路は、第1の制御信号線111__1を介して制御回路110から入力されるモード制御信号に応じて入力端子と出力端子が反転するように設けられている。そして、複数の不揮発性のフリップ・フロップ回路が、第2の伝送路160に対して直列に接続され、不揮発性のFILO型レジスタを構成している。

【0089】

これにより、制御信号の種類を少なくして、制御回路110の構成を簡略化すること、制

10

20

30

40

50

御信号線 1 1 1 の数の増加を抑制すること、制御回路 1 1 0 または制御信号線 1 1 1 を含む配線が占有する面積の増加を抑制することができる。その結果、作製を容易にすること、不揮発性の F I L O 型レジスタ 2 2 0 の容量を増やすこと、若しくは配線容量の増加にともなう信号の遅延を抑制することができる。

【 0 0 9 0 】

また、上述した不揮発性のフリップ・フロップ回路で構成される不揮発性の F I L O 型レジスタ 2 2 0 とレジスタ 2 1 0 を用いて、消費電力が抑制され、高速にデータを退避できるレジスタ 2 1 0 を有する半導体装置 1 0 0 を提供できる。

【 0 0 9 1 】

以下に、本発明の一態様の半導体装置に適用可能な不揮発性の F I L O 型レジスタを構成する個々の要素について説明する。

10

【 0 0 9 2 】

《不揮発性のフリップ・フロップ回路》

不揮発性のフリップ・フロップ回路は、さまざまな書き換え可能な不揮発性の記憶回路を用いて構成することができる。

【 0 0 9 3 】

書き換え可能な不揮発性の記憶回路は、例えば、磁気抵抗メモリ、強誘電体メモリ、フラッシュメモリ、相変化メモリ、抵抗変化型メモリなどの書き換え可能な不揮発性のメモリ素子を用いて構成することができる他、実施の形態 4 で説明するオフ状態におけるリーク電流が著しく小さいトランジスタを用いて構成することができる。

20

【 0 0 9 4 】

《制御回路》

制御回路 1 1 0 は、モード制御信号を出力し、不揮発性の F I L O 型レジスタの書き込み動作と読み出し動作を切り替える。複数の不揮発性のフリップ・フロップ回路が、制御回路 1 1 0 に対し並列に第 1 の制御信号線 1 1 1 _ 1 と接続されているため、少ない数の制御信号並びに制御信号線で不揮発性の F I L O 型レジスタの動作を制御できる。

【 0 0 9 5 】

これにより、制御回路 1 1 0 の構成を簡略化すること、制御信号線 1 1 1 の数の増加を抑制すること、制御回路 1 1 0 または制御信号線 1 1 1 を含む配線が占有する面積の増加を抑制することができる。その結果、作製を容易にすること、不揮発性の F I L O 型レジスタ 2 2 0 の容量を増やすこと、若しくは配線容量の増加にともなう信号の遅延を抑制することができる。

30

【 0 0 9 6 】

従来から、レジスタに書き込まれたデータをスタックメモリに退避する方法が知られている。しかし、キャッシュメモリなど外部記憶回路の一部のアドレス空間をスタックメモリに利用すると、書き込み回路と読み出し回路に加え、アドレスを指定するデコーダが必要になる。また、読み書きを指示するクロック信号線の他、アドレス線、イネーブル信号線などがさらに必要となる。

【 0 0 9 7 】

なお、例えば 1 M B (2^{23} b i t) のスタックメモリには、アドレス線が 2 3 本も必要とされる。

40

【 0 0 9 8 】

一方、本実施の形態で例示する半導体装置 1 0 0 は、不揮発性の F I L O 型レジスタ 2 2 0 がレジスタ 2 1 0 に併設されているため、モード制御信号のための第 1 の制御信号線 1 1 1 _ 1 と、読み書きを指示するクロック信号のための第 2 の制御信号線 1 1 1 _ 2 があればよい。そして、制御回路 1 1 0 は、読み出し書き込み信号に応じて、モード制御信号とクロック信号を不揮発性の F I L O 型レジスタ 2 2 0 に供給するものであればよいため、従来のスタックメモリを制御する制御回路に比べて簡単な構成とすることができる。

【 0 0 9 9 】

<変形例>

50

本実施の形態で例示する本発明の一態様の半導体装置 100E について、図 6 を参照して説明する。具体的には、図 2 に例示された 1 ビットのデータを扱う半導体装置 100 とは異なり、図 6 (A) に例示する半導体装置 100E は、 k (k は 2 以上の自然数) ビットのデータを扱うことができる。なお、半導体装置 100E は、データその他、データの一部、プログラムなどの大規模な情報並びにプログラムの一部も扱うことができる。

【0100】

図 6 (A) に例示して説明する半導体装置 100E は、図 2 に例示する半導体装置 100 を変形したものであり、多くの構成が共通する。そこで、共通する構成については半導体装置 100 の説明を援用し、以下では両者の構成が異なる部分を中心に説明する。

【0101】

半導体装置 100E が備える伝送路 160E は k 本の伝送線を備え、その幅は k ビットあり、伝送路の幅が 1 ビットの半導体装置 100 とは異なる。また、半導体装置 100E が備える不揮発性の F I L O 型レジスタ 220E は、 k ビットのデータを格納できる。

【0102】

不揮発性の F I L O 型レジスタ 220E の構成の一例を図 6 (B) に示す。

【0103】

《 k ビットのデータを格納できる不揮発性の F I L O 型レジスタの構成》

不揮発性の F I L O 型レジスタ 220E は、 N (N は 2 以上の自然数) 個の不揮発性の記憶回路を有する。図 6 (B) には、第 1 の不揮発性の記憶回路 224A、第 2 の不揮発性の記憶回路 224B、第 N の不揮発性の記憶回路 224N が図示されている。

【0104】

それぞれの不揮発性の記憶回路には、 k 個の不揮発性のフリップ・フロップ回路が設けられている。例えば、 k 個の不揮発性のフリップ・フロップ回路 (224A__1 から 224A__ k まで) が第 1 の不揮発性の記憶回路 224A に、 k 個の不揮発性のフリップ・フロップ回路 (224B__1 から 224B__ k まで) が第 2 の不揮発性の記憶回路 224B に、 k 個の不揮発性のフリップ・フロップ回路 (224N__1 から 224N__ k まで) が第 N の不揮発性の記憶回路 224N に、それぞれ設けられている。

【0105】

第 1 の不揮発性の記憶回路 224A に設けられた第 j (j は 1 以上 k 以下の自然数) の不揮発性のフリップ・フロップ回路は、第 1 の端子が伝送路 160E に含まれる第 j の伝送線 160E__ j と電氣的に接続される。また、第 M (M は 1 以上 ($N - 1$) 以下の自然数) の不揮発性の記憶回路に設けられた第 j の不揮発性のフリップ・フロップ回路は、第 2 の端子が第 ($M + 1$) の不揮発性の記憶回路に設けられた第 j の不揮発性のフリップ・フロップ回路の第 1 の端子と電氣的に接続される。言い換えると、第 j の伝送線 160E__ j に対して直列に接続された N 個の不揮発性のフリップ・フロップ回路が、シフトレジスタを構成する。

【0106】

そして、伝送路 160E の k 本の伝送線のそれぞれにシフトレジスタが構成され、 k 列のシフトレジスタを備える不揮発性の F I L O 型レジスタ 220E が構成される。

【0107】

これにより、半導体装置 100E は、 k ビットのデータを扱うことができる。また、制御信号の種類を少なくして、制御回路 110 の構成を簡略化すること、制御信号線 111 の数の増加を抑制すること、制御回路 110 または制御信号線 111 を含む配線が占有する面積の増加を抑制することができる。その結果、作製を容易にすること、 k ビットの不揮発性の F I L O 型レジスタ 220E の容量を増やすこと、若しくは配線容量の増加にともなう信号の遅延を抑制することができる。

【0108】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0109】

10

20

30

40

50

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置の構成について、図3を参照して説明する。図3(A)は本発明の一態様の半導体装置の構成を説明するブロック図であり、図3(B)はそれに用いることができるFIFO型レジスタの構成を説明するブロック図である。

【0110】

図3(A)に例示して説明する半導体装置100Cは、不揮発性のFIFO型レジスタが、不揮発性の外部記憶装置290並びに第2の伝送路160に電氣的に接続される第1の入出力端子281および外部記憶装置290に接続された第2の入出力端子282を具備する不揮発性のFIFO型レジスタ280と、を含む。

10

【0111】

不揮発性のFIFO型レジスタ280は、第1のモードと第2のモードで動作するように設けられている。

【0112】

不揮発性のFIFO型レジスタ280は、第1のモードにおいて、第1の入出力端子281からデータを書き込み可能であって、且つ最初に第1の入出力端子281から格納されたデータを、第2の入出力端子282から読み出し可能に設けられている。また、外部記憶装置290は、不揮発性のFIFO型レジスタ280の第2の入出力端子282から読み出されるデータを書き込むように設けられている。

20

【0113】

また、不揮発性のFIFO型レジスタ280は、第2のモードにおいて、最後に第1の入出力端子281から格納されたデータを、第1の入出力端子281から読み出し可能であって、且つ第2の入出力端子282からデータを書き込み可能に設けられている。また、外部記憶装置290は、読み出すデータが、不揮発性のFIFO型レジスタ280の第2の入出力端子282に書き込まれるように設けられている。

【0114】

半導体装置100Cは、不揮発性のFIFO型レジスタが、不揮発性の外部記憶装置290と、外部記憶装置290に電氣的に接続された不揮発性のFIFO型レジスタ280と、を含んで構成される。これにより、不揮発性のFIFO型レジスタの容量を飛躍的に大きなものとすることができる。その結果、FIFO型レジスタがオーバーフローするおそれがなくなり、信頼性が高められ、消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

30

【0115】

以下に、本発明の一態様の半導体装置を構成する個々の要素について説明する。

【0116】

《不揮発性のFIFO型レジスタ》

本実施の形態で例示して説明する不揮発性のFIFO型レジスタ280は、第1の制御信号線111_1を介して入力されるモード制御信号に応じて、シフト方向が反転するシフトレジスタである。そして、不揮発性のFIFO型レジスタ280は、不揮発性のフリップ・フロップ回路で構成され、電力が供給されない状態でデータを保持できる。これにより、消費電力の増加を抑制しながらレジスタの記憶容量を増やすことができる。

40

【0117】

なお、不揮発性のFIFO型レジスタ280は、実施の形態2で説明する不揮発性のFIFO型レジスタ220を变形したものであり、多くの構成が共通する。そこで、共通する構成については実施の形態2の説明を援用し、本実施の形態では両者の構成が異なる部分を中心に説明する。

【0118】

具体的には、不揮発性のFIFO型レジスタ280は、実施の形態2で説明する不揮発性のFIFO型レジスタ220と同様に、 n (n は2以上の自然数)個の不揮発性のフリップ・フロップ回路を有する。不揮発性のFIFO型レジスタ280は、 n 番目の不揮発性

50

のフリップ・フロップ回路の第2の端子272nが不揮発性の外部記憶装置290と電氣的に接続されている点を除いて、不揮発性のFIFO型レジスタ220と同じ構成を備える。

【0119】

《不揮発性のFIFO型レジスタの動作》

本実施の形態で例示して説明する不揮発性のFIFO型レジスタ280の動作について、不揮発性のFIFO型レジスタ220の動作と対比して説明する。

【0120】

第1のモード制御信号が、第1の制御信号線111__1を介して不揮発性のFIFO型レジスタ280に入力されると、不揮発性のフリップ・フロップ回路の第1の端子は入力端子として機能し、第2の端子は出力端子として機能する。

10

【0121】

不揮発性のFIFO型レジスタ280は、第1の不揮発性のフリップ・フロップ回路224aがn個のデータを順番に、第2の伝送路160から格納するまで、不揮発性のFIFO型レジスタ220と同じ動作をする。

【0122】

不揮発性のFIFO型レジスタ220は、最大n個のデータを格納できる。そして、第1の不揮発性のフリップ・フロップ回路224aが(n+1)個目のデータ(第(n+1)のデータ)を格納すると、第nのフリップ・フロップ回路224nは、最も古いデータから2番目のデータ(第2のデータ)が書き込まれて、最も古いデータ(第1のデータ)は消失する。

20

【0123】

一方、不揮発性のFIFO型レジスタ280も、最大n個のデータを格納できる。そして、第1の不揮発性のフリップ・フロップ回路224aが(n+1)個目のデータ(第(n+1)のデータ)を格納すると、第nのフリップ・フロップ回路224nは、最も古いデータ(第1のデータ)を第2の端子272nに出力し、第nのフリップ・フロップ回路224nには、最も古いデータから2番目に古いデータ(第2のデータ)が書き込まれる。

【0124】

なお、第2の端子272nに読み出された最も古いデータ(第1のデータ)は、外部記憶装置290に書き込まれる。

30

【0125】

第2のモード制御信号が、第1の制御信号線111__1を介して不揮発性のFIFO型レジスタ220または、不揮発性のFIFO型レジスタ280に入力されると、不揮発性のフリップ・フロップ回路の第1の端子は出力端子として機能し、第2の端子は入力端子として機能する。

【0126】

不揮発性のFIFO型レジスタ220は、第1の不揮発性のフリップ・フロップ回路224aから1つのデータが読み出されると、第nのフリップ・フロップ回路224nにはnullのデータが書き込まれる。

【0127】

一方、不揮発性のFIFO型レジスタ280は、第1の不揮発性のフリップ・フロップ回路224aから1つのデータが読み出されると、第nのフリップ・フロップ回路224nには外部記憶装置290に最後に書き込まれたデータが書き込まれる。

40

【0128】

なお、不揮発性のFIFO型レジスタ280には、例えば、図9(A)に示すようにラッチ回路284を複数個直列に接続した高密度の不揮発性FIFO回路を用いることもできる。

【0129】

図9(A)に示す不揮発性FIFO回路は、入力データが3本である例を示し、d1、d2、d3のそれぞれは、図3における第2の伝送路160に相当する。また、制御回路1

50

10は、複数のモード制御信号を出力することができ、STは、第2のモード制御信号が出力される第1の制御信号線111__1に接続することができる。

【0130】

また、制御回路110に接続される信号線において、第1の制御信号線111__1とは異なる信号線であって、モード制御信号を出力することのできる第3の制御信号線がある場合は、当該第3の制御信号線にSTが接続されていてもよい。そして、1は第2の制御信号線111__2に接続される。

【0131】

なお、制御回路110に接続される信号線において、第2の制御信号線111__2とは異なる信号線であって、クロック信号を出力するための第4の制御信号線がある場合は、図9(B)に示すように1を第2の制御信号線111__2に接続し、2を当該第4の制御信号線に接続してもよい。

10

【0132】

なお、回路283はD-FF回路であり、Dタイプのフリップフロップ回路であれば、どのような回路構成であってもよい。

【0133】

当該不揮発性FIFO回路は、実施の形態4で説明するオフ状態におけるリーク電流が著しく小さいトランジスタを含む。したがって、当該トランジスタを当該不揮発性FIFO回路の構成要素であるシリコン等で形成したトランジスタ(バッファやインバータ285等を構成するトランジスタ)と積層することで、当該不揮発性FIFO回路の占有面積を小さくすることができる。

20

【0134】

また、上記不揮発性FIFO回路を本発明の一態様の半導体装置に付加する構成であってもよい。例えば、不揮発性FIFO回路を不揮発性の記憶装置として用いることで、パワーゲーティング前後の半導体装置の動作条件(ステート)を保存することができる。また、半導体装置の故障原因に必要な半導体装置の動作履歴などを逐次保存することができる。

【0135】

《不揮発性の外部記憶装置》

外部記憶装置290は、書き換え可能であって不揮発性であればよい。書き換え可能な不揮発性の記憶回路は、例えば、磁気抵抗メモリ、強誘電体メモリ、フラッシュメモリ、相変化メモリ、抵抗変化型メモリなどの書き換え可能な不揮発性のメモリ素子を用いて構成することができる他、実施の形態4で説明するオフ状態におけるリーク電流が著しく小さいトランジスタを用いて構成されたDRAMや、NAND型、NOR型の記憶回路を適用することができる。

30

【0136】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0137】

(実施の形態4)

本実施の形態では、本発明の一態様の半導体装置のFIFO型レジスタに適用可能な不揮発性のフリップ・フロップ回路の構成について、図4を参照して説明する。図4(A)は本発明の一態様の半導体装置に適用可能な不揮発性のフリップ・フロップ回路の構成を説明する回路図であり、図4(B)は図4(A)に記されている要素回路の端子の配置を説明する図であり、図4(C)は要素回路の一例を説明する図である。

40

【0138】

本実施の形態で例示して説明する不揮発性のフリップ・フロップ回路は、要素回路を4つ有する(要素回路250a~要素回路250d)(図4(A)参照)。

【0139】

要素回路のそれぞれは、A端子、B端子、C端子、D端子およびE端子を具備し、D端子

50

にロウの電位が、E端子にハイの電位が入力された状態でA端子とB端子がハイインピーダンスの状態に、C端子とD端子にハイの電位が、E端子にロウの電位が入力された状態で、A端子から入力された信号に応じた信号をB端子に出力する(図4(B)参照)。

【0140】

第1の容量素子253aは、一方の端子が、第1の要素回路250aのB端子、第2の要素回路250bのA端子、第3の要素回路250cのB端子並びに第4の要素回路250dのA端子と接続され、他方の端子が接地される。

【0141】

第2の容量素子253bは、一方の端子が、第2の要素回路250bのB端子、第3の要素回路250cのA端子と接続され、他方の端子が接地される。

10

【0142】

第1の制御端子261は、第1の要素回路250aのD端子および第2の要素回路250bのD端子並びに第3の要素回路250cのE端子および第4の要素回路250dのE端子と接続される。

【0143】

第2の制御端子262は、第1の要素回路250aのC端子および第3の要素回路250cのC端子と接続される。

【0144】

第1のインバータ回路255aは、第1の制御端子261に入力端子が接続され、第2のインバータ回路255bは、第2の制御端子262に入力端子が接続される。

20

【0145】

第1の端子271は、第1の要素回路250aのA端子および第4の要素回路250dのB端子と接続され、第2の端子272は、第2の要素回路250bのB端子および第3の要素回路250cのA端子と接続される。

【0146】

第1のインバータ回路255aの出力端子は、第1の要素回路250aのE端子および第2の要素回路250bのE端子並びに第3の要素回路250cのD端子および第4の要素回路250dのD端子と接続される。第2のインバータ回路255bの出力端子は、第2の要素回路250bのC端子および第4の要素回路250dのC端子と接続される。

【0147】

上記本発明の一態様の半導体装置の不揮発性のFILO型レジスタに適用可能な不揮発性のフリップ・フロップ回路224は、第1の容量素子253aが接続された記憶ノードを含み、第2の制御端子262に入力されるクロック信号に応じて、入力端子に入力されるデータを格納して、格納しているデータを出力端子に出力する。そして、第1の制御端子261に入力されるモード制御信号に応じて、入力端子と出力端子が反転する。また、それぞれの制御端子に接続されたインバータ回路が、内部で反転信号を生成する。

30

【0148】

これにより、制御信号線の本数を二本より増やすことなく、当該フリップ・フロップ回路を複数設けて、不揮発性のFILO型レジスタの容量を増やすことができる。その結果、制御回路または配線が占有する面積率の増加を抑制することができ、作製が容易であり、配線容量の増加にともなう信号の遅延を抑制することができ、または消費電力が抑制され、高速にデータを退避できるレジスタを有する半導体装置を提供できる。

40

【0149】

以下に、本発明の一態様の半導体装置を構成する個々の要素について説明する。

【0150】

《要素回路》

要素回路は、ラッチ回路ともいうことができる。要素回路は、D端子にロウの電位が、E端子にハイの電位が入力された状態でA端子とB端子がハイインピーダンスの状態に、C端子とD端子にハイの電位が、E端子にロウの電位が入力された状態で、A端子から入力された信号に応じた信号をB端子に出力する(図4(B)参照)。

50

【0151】

本実施の形態に適用可能な要素回路の構成を、第1の要素回路250aを例に図4(C)を用いて説明する。

【0152】

第1の要素回路250aは、第1のトリステートバッファ252aと、第1のトリステートバッファ252aの出力端子と第1の電極が接続された第1のスイッチングトランジスタ251aを備える。

【0153】

第1の要素回路250aのA端子は、第1のトリステートバッファ252aの入力端子と接続され、B端子は第1のスイッチングトランジスタ251aの第2の電極と接続され、C端子は第1のスイッチングトランジスタ251aのゲート電極と接続されている。また、D端子は第1のトリステートバッファ252aのモード制御信号端子と接続され、E端子は第1のトリステートバッファ252aの反転モード制御信号端子と接続されている。

10

【0154】

《スイッチングトランジスタ》

第1のスイッチングトランジスタ251aは、オフ状態におけるリーク電流が著しく小さいトランジスタである。第1のスイッチングトランジスタ251aに適用可能なトランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体を備えるものをその例に挙げることができる。

20

【0155】

第1のスイッチングトランジスタ251aのチャネルが形成される領域に適用可能な、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体については、実施の形態5において詳細に説明する。

【0156】

《トリステートバッファ》

第1のトリステートバッファ252aは、要素回路のD端子を介してハイの電位が、E端子を介してロウの電位が入力された状態において、A端子を介して入力端子に入力される信号に応じた信号を出力端子に出力する。具体的には、A端子を介して入力端子に入力される論理値を反転した論理値を出力端子に出力する。

30

【0157】

また、第1のトリステートバッファ252aは、第1の要素回路250aのD端子を介してロウの電位が、E端子を介してハイの電位が入力された状態において、入力端子と出力端子がハイインピーダンスになる。

【0158】

また、第1のトリステートバッファ252aは、ハイインピーダンスな入力端子を介して電流がリークしない構成とする。例えば、入力端子にトランジスタのゲート電極を用いる構成とする。

【0159】

第1のスイッチングトランジスタ251aの第2の電極は、第1の要素回路250aのB端子を介して、第1の容量素子253aと電氣的に接続され、記憶ノードを構成している。

40

【0160】

また、当該記憶ノードには、第1の要素回路250aの他、第3の要素回路250cのB端子が接続され、第2の要素回路250bおよび第4の要素回路250dのA端子が接続されている。

【0161】

その結果、当該記憶ノードは、オフ状態におけるリーク電流が著しく小さいスイッチングトランジスタの第2の電極並びにトリステートバッファのハイインピーダンスな入力端子と接続される構成となり、電力の供給を停止しても、データを長期間に渡り保持するこ

50

とができる。

【0162】

なお、オフ状態におけるリーク電流が著しく小さいスイッチングトランジスタを用いると、強誘電体メモリやフラッシュメモリに比べて、書き込み時の電力を低減でき、消費電力の増加を抑制できる。

【0163】

なお、図4(A)に例示する構成に、図4(C)に例示する要素回路を適用した、不揮発性のフリップ・フロップ回路224の回路図を図5に示す。

【0164】

フリップ・フロップ回路224は、第1のトライステートバッファ252a、第1のスイッチングトランジスタ251a、第2のトライステートバッファ252b、第2のスイッチングトランジスタ251b、第3のトライステートバッファ252c、第3のスイッチングトランジスタ251c、第4のトライステートバッファ252d並びに第4のスイッチングトランジスタ251dを備える。

10

【0165】

なお、第1のスイッチングトランジスタ251aの第2の電極と、第1の容量素子253aの一方の端子と、第2のトライステートバッファ252bの入力端子と、第3のスイッチングトランジスタ251cの第2の端子と、第4のトライステートバッファ252dの入力端子が接続されるノードを、ノードAとする。

【0166】

また、第2のスイッチングトランジスタ251bの第2の電極と、第2の容量素子253bの一方の端子と、第3のトライステートバッファ252cの入力端子とが接続されるノードを、ノードBとする。なお、ノードBは、フリップ・フロップ回路224の第2の端子272と接続されている。

20

【0167】

不揮発性のフリップ・フロップ回路224の動作の一例を、図7に示すタイミングチャートを用いて説明する。

【0168】

<不揮発性のフリップ・フロップ回路の動作方法>

第1の動作期間T1において、第1のモード制御信号(ハイの電位)が第1の制御端子261に入力される。第1のトライステートバッファ252aおよび第2のトライステートバッファ252bは導通状態であり、第3のトライステートバッファ252cと第4のトライステートバッファ252dは非導通状態である。その結果、不揮発性のフリップ・フロップ回路224の第1の端子271は入力端子として機能し、第2の端子272は出力端子として機能する。

30

【0169】

第1の動作期間T1に含まれる、期間T1_1において、不揮発性のフリップ・フロップ回路224の第1の端子271にロウの電位が入力される。導通状態の第1のトライステートバッファ252aは、入力端子に入力されるロウの電位を反転し、出力端子に接続される第1のスイッチングトランジスタ251aの第1の端子にハイの電位を出力する。

40

【0170】

また、期間T1_1において、クロック信号のハイの電位が、第2の制御端子262から第1のスイッチングトランジスタ251aのゲート電極に入力される。第1のスイッチングトランジスタ251aは導通状態であり、ノードAの電位は、第1のスイッチングトランジスタ251aの第1の端子に入力される電位、すなわちハイの電位に従う。

【0171】

続いて、第1の動作期間T1に含まれる、期間T1_2において、クロック信号のロウの電位が、第2の制御端子262から第1のスイッチングトランジスタ251aのゲート電極に入力される。第1のスイッチングトランジスタ251aは非導通状態であり、ハイの電位がノードAに格納される。

50

【 0 1 7 2 】

導通状態の第2のトライステートバッファ252bは、入力端子に入力されるノードAの電位（ハイ）を反転し、出力端子に接続される第2のスイッチングトランジスタ251bの第1の端子にロウの電位を出力する。

【 0 1 7 3 】

第2のインバータ回路255bは、第2の制御端子262に入力されるクロック信号を反転する。

【 0 1 7 4 】

期間T1__2において、反転されたロウの電位のクロック信号（すなわちハイの電位）が、第2のスイッチングトランジスタ251bのゲート電極に入力される。第2のスイッチングトランジスタ251bは導通状態であり、ノードBの電位は、第2のスイッチングトランジスタ251bの第1の端子に入力される電位、すなわちロウの電位に従う。

10

【 0 1 7 5 】

その結果、不揮発性のフリップ・フロップ回路224は、ロウの電位をノードBに接続される第2の端子272に出力する。

【 0 1 7 6 】

以上の説明から、不揮発性のフリップ・フロップ回路224の第1の端子271に入力されるロウの電位が、第1の動作期間T1に含まれる期間T1__1から期間T1__2を経て、第2の端子272に格納されることが判る。

【 0 1 7 7 】

続いて、第1の動作期間T1に含まれる、期間T1__3および期間T1__4において、不揮発性のフリップ・フロップ回路224の第1の端子271にハイの電位が入力される。不揮発性のフリップ・フロップ回路224は、図7に示すタイミングチャートに従って動作する。その結果、不揮発性のフリップ・フロップ回路224の第1の端子271に入力されるハイの電位が、第1の動作期間T1に含まれる期間T1__3から期間T1__4を経て、第2の端子272に格納される。

20

【 0 1 7 8 】

第2の動作期間T2において、電力の供給が停止される。言い換えると、不揮発性のフリップ・フロップ回路224が、パワーゲーティングされる。

【 0 1 7 9 】

ノードAおよびノードBは、オフ状態におけるリーク電流が著しく小さいスイッチングトランジスタの第2の電極と、ハイインピーダンスな入力端子と接続される構成となっている。その結果、ノードAおよびノードBに格納される電位は、半導体層にシリコンが適用されるトランジスタをスイッチングトランジスタに用いる構成に比べて長い期間、失われることなく保持される。

30

【 0 1 8 0 】

第3の期間T3において、電力の供給が再開される。また、第2のモード制御信号（ロウの電位）が第1の制御端子261に入力される。第1のトライステートバッファ252aおよび第2のトライステートバッファ252bは非導通状態であり、第3のトライステートバッファ252cと第4のトライステートバッファ252dは導通状態である。その結果、不揮発性のフリップ・フロップ回路224の第1の端子271は出力端子として機能し、第2の端子272は入力端子として機能する。

40

【 0 1 8 1 】

第3の動作期間T3に含まれる、期間T3__1において、不揮発性のフリップ・フロップ回路224の第2の端子272にロウまたはハイの一方の電位が入力される。導通状態の第3のトライステートバッファ252cは、入力端子に入力される電位を反転し、出力端子に接続される第3のスイッチングトランジスタ251cの第1の端子に反転された電位を出力する。

【 0 1 8 2 】

また、期間T3__1において、クロック信号のハイの電位が、第2の制御端子262から

50

第3のスイッチングトランジスタ251cのゲート電極に入力される。第3のスイッチングトランジスタ251cは導通状態であり、ノードAの電位は、第3のスイッチングトランジスタ251cの第1の端子に入力される電位、すなわち反転された電位に従う。

【0183】

続いて、第3の動作期間T3に含まれる、期間T3__2において、クロック信号のロウの電位が、第2の制御端子262から第3のスイッチングトランジスタ251cのゲート電極に入力される。第3のスイッチングトランジスタ251cは非導通状態であり、反転された電位がノードAに格納される。

【0184】

導通状態の第4のトリステートバッファ252bは、入力端子に入力されるノードAの電位（反転された電位）を反転し、出力端子に接続される第4のスイッチングトランジスタ251dの第1の端子に一方の電位を出力する。

【0185】

第2のインバータ回路255bは、第2の制御端子262に入力されるクロック信号を反転する。

【0186】

期間T3__2において、反転されたロウの電位のクロック信号（すなわちハイの電位）が、第4のスイッチングトランジスタ251dのゲート電極に入力される。第4のスイッチングトランジスタ251dは導通状態であり、一方の電位を第1の端子271に出力する。

【0187】

以上の説明から、不揮発性のフリップ・フロップ回路224の第2の端子272に入力される一方の電位が、第3の動作期間T3に含まれる期間T3__1から期間T3__2を経て、第1の端子271に格納されることが判る。

【0188】

続いて、第3の動作期間T3に含まれる、期間T3__3および期間T3__4において、不揮発性のフリップ・フロップ回路224の第2の端子272にロウまたはハイの一方の電位が入力される。不揮発性のフリップ・フロップ回路224は、図7に示すタイミングチャートに従って動作する。その結果、不揮発性のフリップ・フロップ回路224の第2の端子272に入力される一方の電位が、第3の動作期間T3に含まれる期間T3__3から期間T3__4を経て、第1の端子271に格納される。

【0189】

このように、不揮発性のフリップ・フロップ回路224は、第1の端子271または第2の端子272の一方の端子に後から入力される電位が他方の端子に出力される。

【0190】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0191】

（実施の形態5）

本実施の形態では、本発明の一態様の半導体装置に適用可能な、オフ状態におけるリーク電流が著しく小さいトランジスタのチャネル形成領域に用いることができる半導体について説明する。

【0192】

具体的には、本実施の形態で説明する酸化物半導体をチャネル形成領域に備え、オフ状態におけるリーク電流が著しく小さいトランジスタは、実施の形態6で説明するスイッチングトランジスタに適用できる。

【0193】

酸化物半導体は、エネルギーギャップが3.0eV以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体層が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流（オフ電流）を

10

20

30

40

50

、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができる。

【0194】

<酸化物半導体>

また、用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf)、ジルコニウム (Zr)、チタン (Ti)、スカンジウム (Sc)、イットリウム (Y)、ランタノイド (例えば、セリウム (Ce)、ネオジム (Nd)、ガドリニウム (Gd)) から選ばれた一種、または複数種が含まれていることが好ましい。

10

【0195】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物 (IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

【0196】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

30

【0197】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0198】

例えば、 $In:Ga:Zn = 1:1:1$ 、 $In:Ga:Zn = 3:1:2$ 、あるいは $In:Ga:Zn = 2:1:3$ の原子数比の In:Ga:Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

40

【0199】

酸化物半導体膜は単結晶でも、非単結晶でもよい。

【0200】

<CAAC-OS膜>

好ましくは、酸化物半導体膜は、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0201】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0202】

50

以下、CAAC-OSについて説明する。

【0203】

CAAC-OSは、例えば、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像で、結晶部を確認することができる場合がある。CAAC-OSに含まれる結晶部は、例えば、TEMによる観察像で、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、CAAC-OSは、TEMによる観察像で、結晶部と結晶部との境界を明確に確認できない場合がある。また、CAAC-OSは、TEMによる観察像で、粒界(グレインバウンダリーともいう。)を明確に確認できない場合がある。CAAC-OSは、例えば、明確な粒界を有さないため、不純物が偏析することが少ない。また、CAAC-OSは、例えば明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、CAAC-OSは、例えば、明確な粒界を有さないため、電子移動度の低下が少ない。

10

【0204】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

20

【0205】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなる場合がある。

【0206】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

30

【0207】

<CAAC-OS膜を形成する方法>

酸化物半導体膜として、CAAC-OS膜を適用する場合、該CAAC-OS膜を形成する方法としては、三つ挙げられる。

【0208】

一つめは、成膜温度を200以上450以下として酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

40

【0209】

二つめは、酸化物半導体膜を薄い膜厚で成膜した後、200以上700以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0210】

三つめは、一層目の酸化物半導体膜を薄く成膜した後、200以上700以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0211】

50

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【 0 2 1 2 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 2 1 3 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

10

【 0 2 1 4 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 2 1 5 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積 % 以上、好ましくは 1 0 0 体積 % とする。

20

【 0 2 1 6 】

スパッタリング用ターゲットの一例として、I n - G a - Z n - O 化合物ターゲットについて以下に示す。

【 0 2 1 7 】

I n O _x 粉末、G a O _y 粉末および Z n O _z 粉末を所定の m o l 数で混合し、加圧処理後、1 0 0 0 以上 1 5 0 0 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n - O 化合物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O _x 粉末、G a O _y 粉末および Z n O _z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する m o l 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

30

【 0 2 1 8 】

以上が C A A C - O S 膜の説明である。

【 0 2 1 9 】

< 脱水化処理（脱水素化処理）、加酸素化処理（過酸素化処理） >
酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、または水分を除去して不純物が極力含まれないように高純度化し、脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。また、本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

40

【 0 2 2 0 】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i 型（真性）化または i 型に限りなく近い酸化物半導体膜とすることができる。このような酸化物半導体膜中には、ドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア濃度は $1 \times 1 0^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 1 0^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 1 0^1$

50

$1 / \text{cm}^3$ 未満、より好ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。

【0221】

またこのように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、室温(25)でのオフ電流(ここでは、単位チャネル幅(1 μm)あたりの値)は、100zA(1zA(zeptoampere)は 1×10^{-21} A)以下、望ましくは、10zA以下となる。また、85では、100zA(1×10^{-19} A)以下、望ましくは10zA(1×10^{-20} A)以下となる。このように、i型(真性)化または実質的にi型化された酸化物半導体層を用いることで、極めて優れたオフ電流特性のトランジスタを得ることができる。

10

【0222】

(実施の形態6)

本実施の形態では、本発明の一態様の半導体装置に適用可能な構成について、図8を参照して説明する。図8は本発明の一態様の半導体装置の構成を説明する断面図であり、具体的には、オフ状態におけるリーク電流が著しく低いトランジスタと容量素子とを備える単位記憶回路が、CMOSプロセスで形成された他の回路の上層に設けられている。

【0223】

なお、当該オフ状態におけるリーク電流が著しく低いトランジスタは、実施の形態5において説明する半導体を、チャネルが形成される領域に備える。

【0224】

図8に例示して説明する半導体装置は、オフ状態におけるリーク電流が著しく低いトランジスタ303と容量素子302とを備える単位記憶回路が、CMOSプロセスで形成されるトランジスタ301を含むレジスタの上層に設けられている。具体的には、元素周期表における第14族の半導体(シリコンなど)を含有する半導体層を含むトランジスタ301と、チャネルが形成される酸化物半導体層を含むトランジスタ303と、容量素子302を有する。また、半導体層311と、絶縁層314と、導電層315と、絶縁層316と、絶縁層317と、接続層318と、導電層319a、導電層319b、及び導電層319cと、絶縁層320と、接続層321と、半導体層331と、絶縁層333と、導電層334と、導電層336a及び導電層336bと、導電層338と、絶縁層339と、接続層341と、導電層342と、を含む。

20

30

【0225】

なお、当該単位記憶回路の構成は、実施の形態4において説明する不揮発性のフリップ・フロップ回路に適用できる。具体的には、オフ状態におけるリーク電流が著しく低いトランジスタ303を不揮発性のフリップ・フロップ回路に設けられた要素回路が備えるスイッチングトランジスタに適用し、容量素子302を不揮発性のフリップ・フロップ回路が備える要素回路のB端子に接続される容量に適用できる。

【0226】

このような構成とすることにより、フリップ・フロップ回路への電力の供給が中止または中断されても、そこに格納されたデータが失われることがない。言い換えると、当該フリップ・フロップ回路を不揮発性とすることができる。さらに、トランジスタ303及び容量素子302を、他の回路(例えば、レジスタ、第1の伝送路、第2伝送路、読み出し書き込み回路、制御回路または制御信号線など)に重ねて形成できるため、単位記憶回路を複数設ける構成としても占有面積の増大を抑制できる。

40

【0227】

また、フローティングゲートを備えるトランジスタを用いて電荷を記憶ノードに保持する構成に比べると、駆動電圧を低減でき、消費電力の増加を抑制できる。

【0228】

以下に、本発明の一態様の半導体装置を構成する個々の要素について説明する。

【0229】

《CMOSプロセスで形成されるトランジスタを含む層》

50

半導体層 3 1 1 は、領域 3 1 3 a 及び領域 3 1 3 b を有する。また、半導体層 3 1 1 の一部の領域に設けられた絶縁層 3 1 2 により、隣接するトランジスタが電氣的に分離されている。

【 0 2 3 0 】

半導体層 3 1 1 としては、例えば半導体基板を用いることができる。また、別の基板の上に設けられた半導体層を半導体層 3 1 1 として用いることもできる。

【 0 2 3 1 】

領域 3 1 3 a 及び領域 3 1 3 b は、互いに離間して設けられ、n 型または p 型の導電性を付与するドーパントが添加された領域である。領域 3 1 3 a 及び領域 3 1 3 b は、n チャネル型又は p チャネル型トランジスタのソース領域又はドレイン領域としての機能を有する。また、領域 3 1 3 a 及び領域 3 1 3 b は、それぞれ接続層 3 1 8 を介して導電層 3 1 9 a または導電層 3 1 9 b に電氣的に接続されている。

10

【 0 2 3 2 】

トランジスタ 3 0 1 が n チャネル型のトランジスタの場合は、上記ドーパントとして、n 型の導電性を付与する元素を用いる。一方、p チャネル型のトランジスタの場合には、p 型の導電性を付与する元素を用いる。

【 0 2 3 3 】

なお、領域 3 1 3 a 及び 3 1 3 b の一部に低濃度領域を設けてもよい。このとき低濃度領域の深さは、それ以外の領域の深さより小さくてもよいが、これに限定されない。

【 0 2 3 4 】

絶縁層 3 1 4 は、絶縁層 3 1 2 に挟まれた半導体層 3 1 1 の領域の上に設けられる。絶縁層 3 1 4 は、トランジスタ 3 0 1 のゲート絶縁層としての機能を有する。

20

【 0 2 3 5 】

絶縁層 3 1 4 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、有機絶縁材料（例えばポリイミド又はアクリルなど）などの材料の層を用いることができる。また、絶縁層 3 1 4 に適用可能な材料を積層して絶縁層 3 1 4 を構成してもよい。

【 0 2 3 6 】

導電層 3 1 5 は、絶縁層 3 1 4 を介して半導体層 3 1 1 に重畳する。導電層 3 1 5 に重畳する半導体層 3 1 1 の領域がトランジスタ 3 0 1 のチャネル形成領域になる。導電層 3 1 5 は、トランジスタ 3 0 1 のゲートとしての機能を有する。

30

【 0 2 3 7 】

導電層 3 1 5 としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 3 1 5 に適用可能な材料を積層して導電層 3 1 5 を構成することもできる。

【 0 2 3 8 】

絶縁層 3 1 6 は、絶縁層 3 1 4 の上に設けられ、導電層 3 1 5 における、互いに対向する一対の側面に接して設けられる。

40

【 0 2 3 9 】

絶縁層 3 1 7 は、導電層 3 1 5、絶縁層 3 1 6 の上に設けられる。

【 0 2 4 0 】

絶縁層 3 1 6、絶縁層 3 1 7 としては、上述した絶縁層 3 1 4 に適用可能な材料のうち、絶縁層 3 1 4 に適用した材料と同じ材料の層又は異なる材料の層を用いることができる。また、絶縁層 3 1 6 及び絶縁層 3 1 7 に適用可能な材料を積層して、絶縁層 3 1 6 又は絶縁層 3 1 7 を構成することもできる。

【 0 2 4 1 】

接続層 3 1 8 は、絶縁層 3 1 7 に設けられた開口部を埋めるようにして設けられ、領域 3 1 3 a 又は領域 3 1 3 b と電氣的に接続される。

50

【0242】

導電層319a、導電層319b、及び導電層319cは、絶縁層317上に設けられる。導電層319aは接続層318を介して領域313aと電氣的に接続する。導電層319bは接続層318を介して領域313bと電氣的に接続する。また導電層319cは図示しない接続層318を介して導電層315と電氣的に接続する。

【0243】

接続層318、並びに導電層319a、導電層319b、及び導電層319cとしては、上述した導電層315に適用可能な材料のうち、導電層315に適用した材料と同じ材料の層又は異なる材料の層を用いることができる。また、接続層318、並びに導電層319a、導電層319b、及び導電層319cに適用可能な材料を積層して、接続層318、並びに導電層319a、導電層319b、及び導電層319cを構成することもできる。

10

【0244】

絶縁層320は、絶縁層317、並びに導電層319a、導電層319b、及び導電層319c上に設けられる。絶縁層320の構成としては、絶縁層317と同様の構成を用いることができる。

【0245】

接続層321は、絶縁層320に設けられた開口部を埋めるようにして設けられ、導電層319cと電氣的に接続される。接続層321の構成としては、接続層318と同様の構成を用いることができる。

20

【0246】

《オフ状態におけるリーク電流が著しく低いトランジスタと容量素子を含む層》

半導体層331は、絶縁層320の上に設けられる。半導体層331としては、実施の形態5において説明する半導体を用いることができる。

【0247】

なお、半導体層331の導電層336a及び導電層336bと重なる領域にドーパントが添加された領域を設けてもよい。ドーパントとしては、15族元素(代表的には窒素(N)、リン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。なお、当該領域は必ずしも設けなくともよい。

30

【0248】

導電層336a及び導電層336bはそれぞれ互いに離間して設けられ、半導体層331に接して電氣的に接続される。導電層336aおよび導電層336bは、トランジスタのソース電極またはドレイン電極として機能する。また、導電層336bは接続層321と電氣的に接続される。また、導電層336aは、容量素子302の一方の電極としても機能する。

【0249】

導電層336a及び導電層336bとしては、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、スカンジウム(Sc)などの金属、または、上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金、上述した金属元素の窒化物などを用いて形成することができる。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)などの金属元素を用いてもよい。

40

【0250】

絶縁層333は、半導体層331、導電層336a、導電層336bの上に設けられる。また絶縁層333は、トランジスタのゲート絶縁層としての機能を有する。また、絶縁層333は、容量素子302の誘電層としての機能を有する。

【0251】

絶縁層333としては、例えば窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニ

50

ウム、酸化窒化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化タンタル、または酸化ランタンから選ばれた材料を、単層でまたは積層して形成することができる。

【0252】

また、絶縁層333として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることで、実質的な(例えば、酸化シリコン換算の)ゲート絶縁膜の厚さを変えないまま、物理的なゲート絶縁膜を厚くすることにより、ゲートリークを低減できる。さらには、high-k材料と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、及び酸化ガリウムのいずれか一以上との積層構造とすることができる。

10

【0253】

導電層334は、絶縁層333を介して半導体層331に重畳する。導電層334は、トランジスタのゲートとしての機能を有する。また導電層334の一部が導電層336a及び336bと重畳して設けられることが好ましい。

【0254】

導電層334としては、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、スカンジウム(Sc)から選ばれた金属、または上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金、上述した金属元素の窒化物などを用いて形成することができる。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)などの金属元素を用いてもよい。

20

【0255】

また、導電層334は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタル上にタングステンを積層する二層構造、Cu-Mg-Al合金上にCuを積層する二層構造、チタンと、そのチタン上にアルミニウムを積層し、さらにその上にチタンを形成する三層構造などがある。

30

【0256】

また、導電層334は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0257】

また、導電層334と半導体層331に重畳し、かつ、導電層334と絶縁層333に接して、酸化ガリウムや、窒素を含むインジウムガリウム亜鉛酸化物や、窒素を含むインジウム錫酸化物や、窒素を含むインジウムガリウム酸化物や、窒素を含むインジウム亜鉛酸化物や、窒素を含む酸化錫や、窒素を含むインジウム酸化物や、金属窒化物(InN 、 ZnN など)を形成してもよい。

40

【0258】

これらの材料は5eV以上、好ましくは5.5eV以上の仕事関数を有し、絶縁層333を介して半導体層331と重畳させることで、トランジスタのしきい値電圧をプラスにすることができる。所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含む In-Ga-Zn-O を用いる場合、少なくとも半導体層331より高い窒素濃度、具体的には窒素濃度が7原子%以上の In-Ga-Zn-O を用いる。

【0259】

導電層338は、絶縁層333を介して導電層336a上に設けられる。

50

【 0 2 6 0 】

ここで、導電層 3 3 6 a、絶縁層 3 3 3、及び導電層 3 3 8 により容量素子 3 0 2 が形成される。

【 0 2 6 1 】

絶縁層 3 3 9 は、絶縁層 3 3 3、導電層 3 3 4 及び導電層 3 3 8 の上に設けられる。

【 0 2 6 2 】

絶縁層 3 3 9 には、絶縁層 3 1 7 と同様の材料を用いることができる。

【 0 2 6 3 】

接続層 3 4 1 は、絶縁層 3 3 9 に設けられた開口部を埋めるように設けられ、導電層 3 3 8 と電氣的に接続する。

10

【 0 2 6 4 】

接続層 3 4 1 は、接続層 3 1 8 と同様の構成とすることができる。

【 0 2 6 5 】

導電層 3 4 2 は、絶縁層 3 3 9 上に設けられる。導電層 3 4 2 は接続層 3 4 1 を介して導電層 3 3 8 と電氣的に接続する。

【 0 2 6 6 】

導電層 3 4 2 は、導電層 3 1 9 a、導電層 3 1 9 b、及び導電層 3 1 9 c と同様の構成とすることができる。

【 0 2 6 7 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

20

【 符号の説明 】

【 0 2 6 8 】

1 0 0 半導体装置

1 0 0 B 半導体装置

1 0 0 C 半導体装置

1 0 0 D 半導体装置

1 0 0 E 半導体装置

1 1 0 制御回路

1 1 1 制御信号線

30

1 1 1 _ 1 制御信号線

1 1 1 _ 2 制御信号線

1 2 0 回路

1 5 0 伝送路

1 6 0 伝送路

1 6 0 E 伝送路

2 1 0 レジスタ

2 1 4 メモリアクセス判定回路

2 1 5 端子

2 1 6 第 2 のメモリアクセス判定回路

40

2 1 7 端子

2 2 0 不揮発性の F I L O 型レジスタ

2 2 0 E 不揮発性の F I L O 型レジスタ

2 2 4 フリップ・フロップ回路

2 2 4 a 第 1 の不揮発性のフリップ・フロップ回路

2 2 4 b 第 2 の不揮発性のフリップ・フロップ回路

2 2 4 c 第 3 の不揮発性のフリップ・フロップ回路

2 2 4 n 第 n の不揮発性のフリップ・フロップ回路

2 2 4 A 第 1 の不揮発性の記憶回路

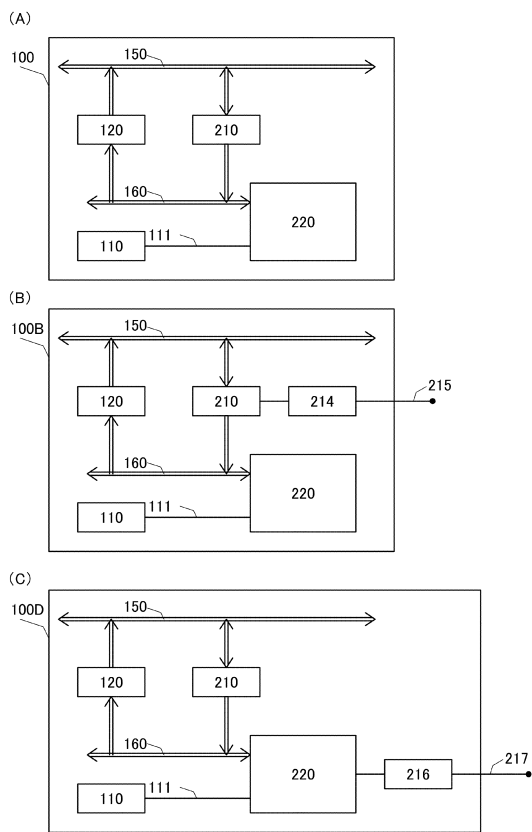
2 2 4 B 第 2 の不揮発性の記憶回路

50

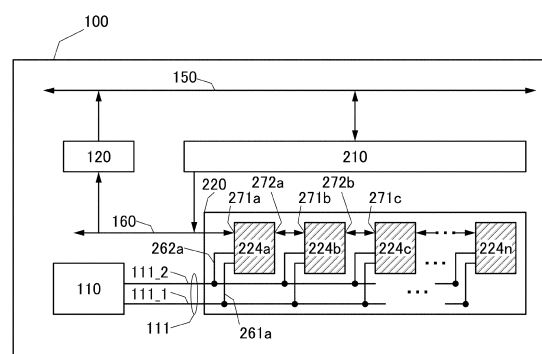
2 2 4 N	第 N の不揮発性の記憶回路	
2 5 0 a	要素回路	
2 5 0 b	要素回路	
2 5 0 c	要素回路	
2 5 0 d	要素回路	
2 5 1 a ~ 2 5 1 d	スイッチングトランジスタ	
2 5 2 a ~ 2 5 2 d	トライステートバッファ	
2 5 3 a	容量素子	
2 5 3 b	容量素子	
2 5 5 a	インバータ回路	10
2 5 5 b	インバータ回路	
2 6 1	制御端子	
2 6 1 a	制御端子	
2 6 2	制御端子	
2 6 2 a	制御端子	
2 7 1	端子	
2 7 1 a	端子	
2 7 1 b	端子	
2 7 1 c	端子	
2 7 2	端子	20
2 7 2 a	端子	
2 7 2 b	端子	
2 7 2 n	端子	
2 8 0	不揮発性の F I F O 型レジスタ	
2 8 1	入出力端子	
2 8 2	入出力端子	
2 9 0	外部記憶装置	
3 0 1	トランジスタ	
3 0 2	容量素子	
3 0 3	トランジスタ	30
3 1 1	半導体層	
3 1 2	絶縁層	
3 1 3 a	領域	
3 1 3 b	領域	
3 1 4	絶縁層	
3 1 5	導電層	
3 1 6	絶縁層	
3 1 7	絶縁層	
3 1 8	接続層	
3 1 9 a	導電層	40
3 1 9 b	導電層	
3 1 9 c	導電層	
3 2 0	絶縁層	
3 2 1	接続層	
3 3 1	半導体層	
3 3 3	絶縁層	
3 3 4	導電層	
3 3 6 a	導電層	
3 3 6 b	導電層	
3 3 8	導電層	50

- 3 3 9 絶縁層
- 3 4 1 接続層
- 3 4 2 導電層

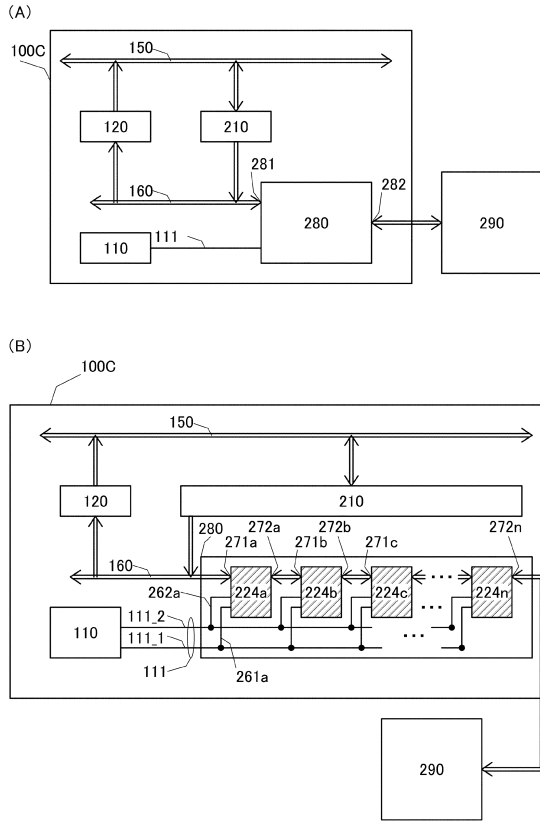
【図1】



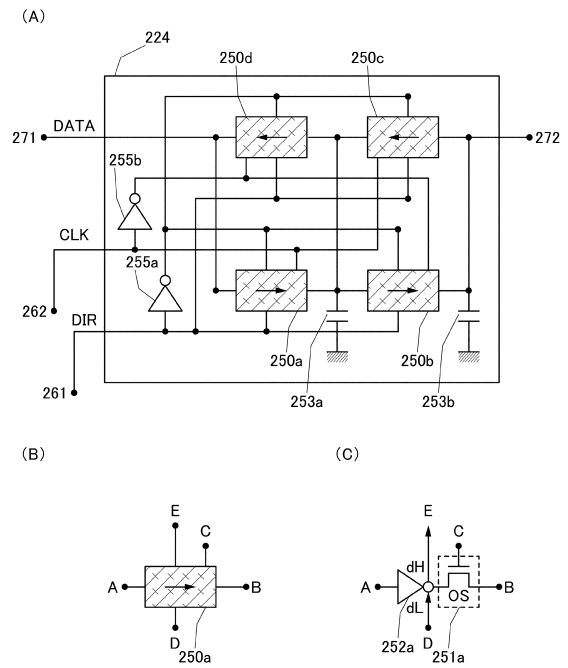
【図2】



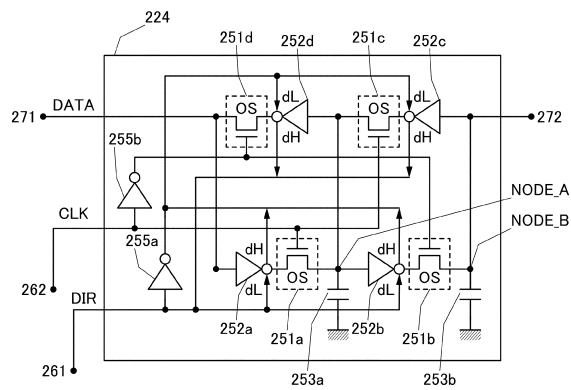
【図3】



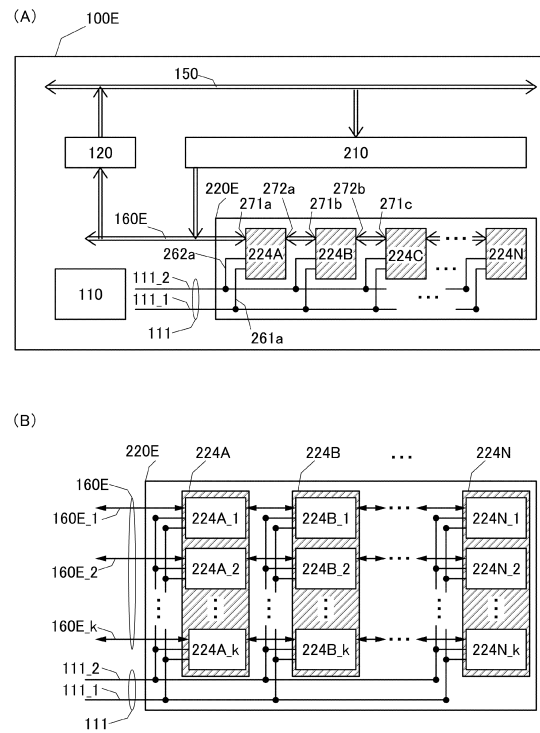
【図4】



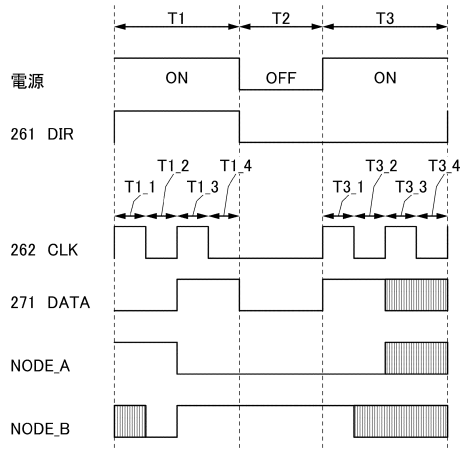
【図5】



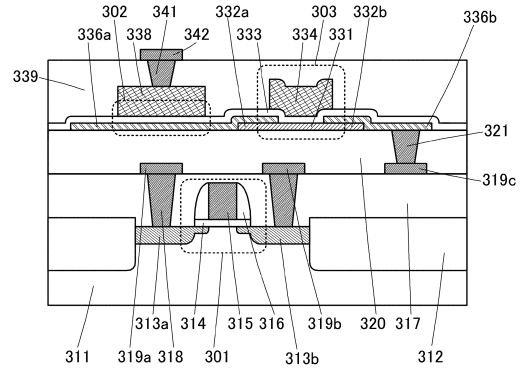
【図6】



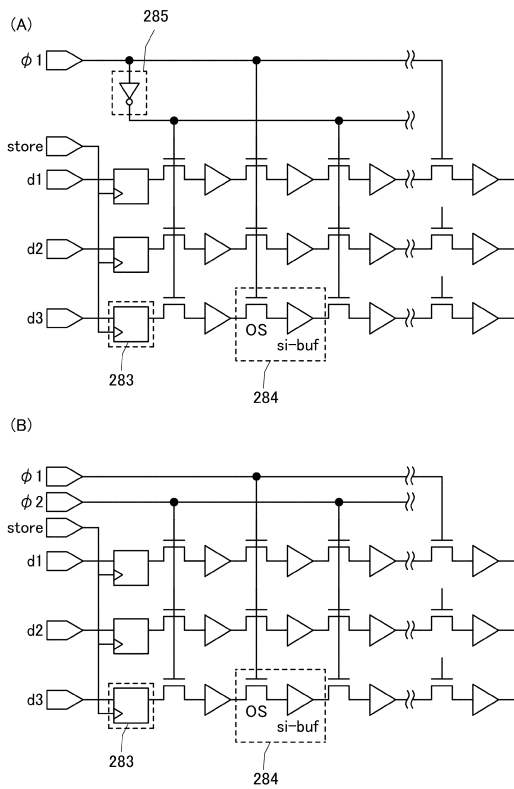
【図7】



【図8】



【図9】



フロントページの続き

- (56)参考文献 特開平06-309180(JP,A)
特開2000-224230(JP,A)
特開平10-013626(JP,A)
特開昭61-221948(JP,A)
特開2012-134961(JP,A)
米国特許出願公開第2011/0148497(US,A1)
特開2005-250907(JP,A)
特開2001-84173(JP,A)
特開2002-312232(JP,A)
特開平8-305564(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/02
H03K 3/356