



(12)发明专利

(10)授权公告号 CN 104464605 B

(45)授权公告日 2017.12.08

(21)申请号 201410857310.5

(22)申请日 2014.12.30

(65)同一申请的已公布的文献号

申请公布号 CN 104464605 A

(43)申请公布日 2015.03.25

(73)专利权人 上海中航光电子有限公司

地址 201108 上海市闵行区华宁路3388号

专利权人 天马微电子股份有限公司

(72)发明人 陈晨

(74)专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 王宝筠

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

(56)对比文件

CN 103366822 A,2013.10.23,全文.

TW I450256 B,2014.08.21,全文.

CN 101178871 A,2008.05.14,全文.

CN 1648972 A,2005.08.03,全文.

US 2009040168 A1,2009.02.12,全文.

CN 101882470 A,2010.11.10,全文.

审查员 刘燕

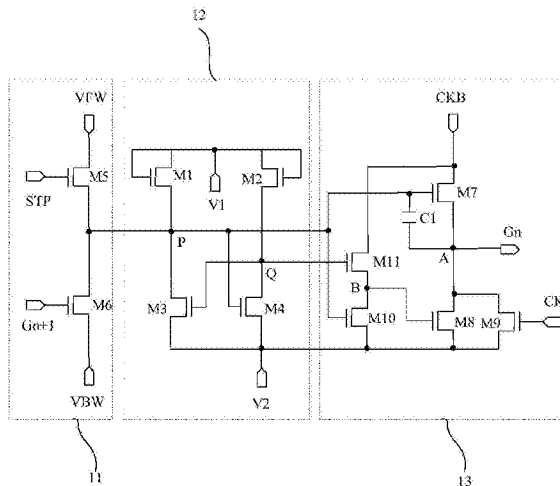
权利要求书3页 说明书7页 附图7页

(54)发明名称

一种移位寄存器及其驱动方法、栅极驱动电路及显示屏

(57)摘要

本发明公开了一种移位寄存器及其驱动方法、栅极驱动电路及显示屏,该移位寄存器包括:输入电路,用于响应输入信号,根据所述输入信号输出第一电压信号;触发电路,用于在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;输出电路,所述输出电路根据所述第二电压信号以及所述第三电压信号输出扫描信号。所述第二电压信号与所述第三电压信号的大小取决所述触发电路根据所述第一参考电压以及所述第二参考电压的分压,故各级移位寄存器的输出电路根据所述第二电压信号以及所述第三电压信号输出的输出信号电压是一致的,不会发生衰减,保证了栅极扫描的响应速度,进而保证了图像显示效果。



1. 一种移位寄存器,其特征在于,包括:

输入电路,用于响应输入信号,根据所述输入信号输出第一电压信号;

触发电路,用于在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;

输出电路,所述输出电路根据所述第二电压信号以及所述第三电压信号输出扫描信号;

其中,第一节点输入第一电压信号并输出第三电压信号;第二节点用于输出第二电压信号;第一节点输入的第一电压信号仅用于触发第一节点以及第二节点的电平翻转,第一节点的输出电压以及第二节点的输出电压仍取决于所述触发电路的构成的自稳电路的电压分配。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述触发电路包括:第一开关管、第二开关管、第三开关管以及第四开关管;

所述第一开关管的栅极与第一电极均输入所述第一参考电压,其第二电极电连接第一节点;

所述第二开关管的栅极与第一电极均输入所述第一参考电压,其第二电极电连接第二节点;

所述第三开关管的栅极电连接所述第二节点,其第一电极电连接所述第一节点,其第二电极输入所述第二参考电压;

所述第四开关管的栅极电连接所述第一节点,其第一电极电连接所述第二节点,其第二电极输入所述第二参考电压;

其中,所述第一节点输入所述第一电压信号并输出所述第三电压信号,所述第一电压信号用于控制所述第一节点电平跳变;所述第二节点用于输出所述第二电压信号;所述第一开关管的沟道宽度大于所述第二开关管的沟道宽度。

3. 根据权利要求2所述的移位寄存器,其特征在于,所述第一开关管、第二开关管、第三开关管以及第四开关管均为NMOS;所述第一参考电压大于所述第二参考电压。

4. 根据权利要求2所述的移位寄存器,其特征在于,所述第一开关管、第二开关管、第三开关管以及第四开关管均为PMOS;所述第一参考电压小于所述第二参考电压。

5. 根据权利要求1所述的移位寄存器,其特征在于,所述触发电路包括:第一开关管、第二开关管、第三开关管以及第四开关管;

所述第一开关管的栅极输入第五参考电压,其第一电极输入所述第一参考电压,其第二电极电连接第一节点;

所述第二开关管的栅极输入所述第五参考电压,其第一电极输入所述第一参考电压,其第二电极电连接第二节点;

所述第三开关管的栅极电连接所述第二节点,其第一电极电连接所述第一节点,其第二电极输入所述第二参考电压;

所述第四开关管的栅极电连接所述第一节点,其第一电极电连接所述第二节点,其第二电极输入所述第二参考电压;

其中,所述第一节点输入所述第一电压信号并输出所述第三电压信号,所述第一电压信号用于控制所述第一节点电平跳变;所述第二节点用于输出所述第二电压信号;所述第

一开关管的沟道宽度大于所述第二开关管的沟道宽度。

6. 根据权利要求5所述的移位寄存器,其特征在于,所述第一开关管和所述第二开关管均为PMOS;所述第三开关管与所述第四开关管均为NMOS;所述第一参考电压大于所述第二参考电压。

7. 根据权利要求2-6任一项所述的移位寄存器,其特征在于,所述输入电路包括:第五开关管以及第六开关管;

所述第五开关管的栅极输入第一输入信号,其第一电极输入第三参考电压,其第二电极电连接所述第一节点;

所述第六开关管的栅极输入第二输入信号,其第一电极电连接所述第一节点,其第二电极输入第四参考电压;

其中,所述第五开关管的第二电极与所述第六开关管的第一电极用于输出所述第一电压信号。

8. 根据权利要求7所述的移位寄存器,其特征在于,所述输出电路包括:上拉电路以及下拉电路;

所述上拉电路用于控制所述扫描信号位于第一电平,所述下拉电路用于控制所述扫描信号位于第二电平;

其中,所述第一电平高于所述第二电平。

9. 根据权利要求8所述的移位寄存器,其特征在于,所述上拉电路包括:第七开关管以及电容,所述下拉电路包括:第八开关管、第九开关管、第十开关管以及第十一开关管;

所述第七开关管的栅极电连接所述第一节点,其第一电极输入第一时钟信号,其第二电极电连接第三节点;

所述第八开关管的栅极电连接第四节点,其第一电极电连接所述第三节点,其第二电极输入所述第二参考电压;

所述第九开关管的栅极输入第二时钟信号,其第一电极电连接所述第三节点,其第二电极输入所述第二参考电压;

所述第十开关管的栅极电连接所述第一节点,其第一电极电连接所述第四节点,其第二电极输入所述第二参考电压;

所述第十一开关管的栅极电连接所述第二节点,其第一电极输入所述第一时钟信号,其第二电极电连接所述第四节点;

所述电容的第一极板电连接所述第七开关管的栅极,其第二极板电连接所述第七开关管的第二电极;

其中,所述第三节点用于输出所述扫描信号。

10. 根据权利要求9所述的移位寄存器,其特征在于,所述第五开关管、第六开关管、第七开关管、第八开关管、第九开关管、第十开关管以及第十一开关管均为NMOS。

11. 一种驱动方法,用于如权利要求1-10任一项所述的移位寄存器,其特征在于,包括:接收输入信号;

响应所述输入信号,并根据所述输入信号输出第一电压信号;

在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;

根据所述第二电压信号以及所述第三电压信号输出扫描信号；

其中，第一节点输入第一电压信号并输出第三电压信号；第二节点用于输出第二电压信号；第一节点输入的第一电压信号仅用于触发第一节点以及第二节点的电平翻转，第一节点的输出电压以及第二节点的输出电压仍取决于所述触发电路的构成的自稳电路的电压分配。

12. 根据权利要求11所述的驱动方法，其特征在于，其中所述移位寄存器包括用于输出所述第一电压信号的第一节点以及用于输出所述第二电压信号的第二节点；

在接收所述输入信号前，所述驱动方法还包括：对所述第一节点以及所述第二节点的电荷进行清除。

13. 一种栅极驱动电路，其特征在于，包括： N 个级联的移位寄存器； N 为大于2的正整数；

其中，所述 N 个级联的移位寄存器包括：第1级移位寄存器-第 N 级移位寄存器；所述移位寄存器为权利要求1-10任一项所述的移位寄存器。

14. 根据权利要求13所述的栅极驱动电路，其特征在于，所述移位寄存器为如权利要求7-10任一项所述移位寄存器，所述栅极驱动电路用于正向扫描；

所述第三参考电压大于所述第四参考电压；

对于第 n 级移位寄存器，所述第一输入信号为第 $n-1$ 级移位寄存器的扫描信号，所述第二输入信号为第 $n+1$ 级移位寄存器的扫描信号； n 为大于1，且小于 N 的正整数。

15. 根据权利要求13所述的栅极驱动电路，其特征在于，所述移位寄存器为如权利要求7-10任一项所述移位寄存器，所述栅极驱动电路用于反向扫描；

所述第三参考电压小于所述第四参考电压；

对于第 n 级移位寄存器，所述第一输入信号为第 $n+1$ 级移位寄存器的扫描信号，所述第二输入信号为第 $n-1$ 级移位寄存器的扫描信号； n 为大于1，且小于 N 的正整数。

16. 一种显示屏，其特征在于，包括：

基板，所述基板包括显示区以及包围所述显示区的边框区；

设置在所述显示区的多个阵列分布的像素单元；

多条栅极线，所述栅极线平行于像素行；

多条数据线，所述数据线平行于像素列；

数据电路，所述数据电路与所述数据线路电连接，用于通过所述数据线为所述像素列的像素单元提供数据信号；

栅极驱动电路，所述栅极驱动电路与所述栅极线电连接，用于通过所述栅极线为所述像素行的像素单元提供扫描信号；

其中，所述栅极驱动电路为权利要求13-15任一项所述的栅极驱动电路。

一种移位寄存器及其驱动方法、栅极驱动电路及显示屏

技术领域

[0001] 本发明涉及显示装置技术领域,更具体的说,涉及一种移位寄存器及其驱动方法、栅极驱动电路及显示屏。

背景技术

[0002] 薄膜开关管(thin film transistor,TFT)显示器的驱动器件主要包括:栅极驱动电路和数据驱动电路,其中,栅极驱动电路将输入的各种控制信号通过移位寄存器后输出到显示面板的栅极线上。通常,栅极驱动电路可以形成在TFT面板上。栅极驱动电路可以包括多个级联的移位寄存器,每级移位寄存器均连接到一根相应的栅极线以输出栅极驱动信号。

[0003] 在栅极驱动电路中进行栅极扫描时,各级移位寄存器的输出信号会随着级数的增加而逐级衰减,从而影响栅极驱动电路的响应速度,进而影响图像显示效果。

发明内容

[0004] 为解决上述问题,本发明提供了一种移位寄存器及其驱动方法、栅极驱动电路及显示屏,避免了扫描时移位寄存器的输出信号衰减问题,保证了响应速度以及图像显示效果。

[0005] 为实现上述目的,本发明提供了一种移位寄存器,该移位寄存器包括:

[0006] 输入电路,用于响应输入信号,根据所述输入信号输出第一电压信号;

[0007] 触发电路,用于在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;

[0008] 输出电路,所述输出电路根据所述第二电压信号以及所述第三电压信号输出扫描信号。

[0009] 本发明还提供了一种驱动方法,用于上述任一项所述的移位寄存器,该驱动方法包括:

[0010] 提供输入信号;

[0011] 响应输入信号,根据所述输入信号输出第一电压信号;

[0012] 在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;

[0013] 根据所述第二电压信号以及所述第三电压信号输出扫描信号。

[0014] 本发明还提供了一种栅极驱动电路,该栅极驱动电路包括:N个级联的移位寄存器;N为大于2的正整数;

[0015] 其中,所述N个级联的移位寄存器包括:第1级移位寄存器-第N级移位寄存器;所述移位寄存器为上述任一项所述的移位寄存器。

[0016] 本发明还提供了一种显示屏,该显示屏包括:

[0017] 基板,所述基板包括显示区以及包围所述显示区的边框区;

- [0018] 设置在所述显示区的多个阵列分布的像素单元；
- [0019] 多条栅极线,所述栅极线平行于像素行；
- [0020] 多条数据线,所述数据线平行于像素列；
- [0021] 数据电路,所述数据电路与所述数据线电连接,用于通过所述数据线为所述像素列的像素单元提供数据信号；
- [0022] 栅极驱动电路,所述栅极驱动电路与所述栅极线电连接,用于通过所述栅极线为所述像素行的像素单元提供扫描信号；
- [0023] 其中,所述栅极驱动电路为权利要求13-15任一项所述的栅极驱动电路。
- [0024] 通过上述描述可知,本发明所述移位寄存器包括:输入电路,用于响应输入信号,根据所述输入信号输出第一电压信号;触发电路,用于在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;输出电路,所述输出电路根据所述第二电压信号以及所述第三电压信号输出扫描信号。在所述移位寄存器中,所述第二电压信号与所述第三电压信号的大小取决于所述触发电路根据所述第一参考电压以及所述第二参考电压的分压,输入电路输出的第一电压信号仅用于触发所述触发电路,故各级移位寄存器的输出电路根据所述第二电压信号以及所述第三电压信号输出的输出信号电压是一致的,不会发生衰减,保证了栅极扫描的响应速度,进而保证了图像显示效果。

附图说明

[0025] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

- [0026] 图1为本发明实施例提供的一种移位寄存器的结构示意图；
- [0027] 图2为本发明实施例提供的另一种移位寄存器的结构示意图；
- [0028] 图3为本发明实施例提供的一种驱动方法的流程示意图；
- [0029] 图4为本发明实施例提供的一种栅极驱动电路的结构示意图；
- [0030] 图5a为本发明实施例提供的一种时序图；
- [0031] 图5b为本发明实施例提供另一种时序图；
- [0032] 图6为本发明实施例提供的一种显示屏的结构示意图。

具体实施方式

[0033] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0034] 本发明实施例提供了一种移位寄存器,该移位寄存器包括:输入电路,用于响应输入信号,根据所述输入信号输出第一电压信号;触发电路,用于在所述第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;输出电路,所

述输出电路根据所述第二电压信号以及所述第三电压信号输出扫描信号。

[0035] 为了使本发明实施例提供的技术方案更加清楚,下面结合附图对上述方案进行详细描述。

[0036] 参考图1,图1为本发明实施例提供的一种移位寄存器的结构示意图,该移位寄存器包括:输入电路11、触发电路12以及输出电路13。输入电路11用于响应输入信号,根据输入信号输出第一电压信号;触发电路12用于在第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号;输出电路13根据第二电压信号以及第三电压信号输出扫描信号。

[0037] 触发电路12包括:第一开关管M1、第二开关管M2、第三开关管M3以及第四开关管M4。第一开关管M1的栅极与第一电极均输入第一参考电压V1,其第二电极电连接第一节点P;所述第二开关管M2的栅极与第一电极均输入第一参考电压V1,其第二电极电连接第二节点Q;第三开关管M3的栅极电连接第二节点Q,其第一电极电连接第一节点P,其第二电极输入第二参考电压V2;第四开关管M4的栅极电连接第一节点P,其第一电极电连接第二节点Q,其第二电极输入第二参考电压V2。

[0038] 其中,第一节点P输入第一电压信号并输出第三电压信号,第一电压信号用于控制第一节点P电平跳变;第二节点Q用于输出第二电压信号;第一开关管M1的沟道宽度大于第二开关管M2的沟道宽度。

[0039] 第一参考电压V1与第二参考电压V2其中一个为高电平,另一个为低电平。本发明实施例中,高电平为大于NMOS导通阈值的电压,可以控制NMOS导通;低电平为小于PMOS导通阈值的电压,可以控制PMOS导通。显然高电平的电压大于低电平的电压。

[0040] 在图1所示移位寄存器的触发电路12中,第一开关管M1、第二开关管M2、第三开关管M3以及第四开关管M4均为NMOS,第一参考电压V1大于第二参考电压V2,即第一参考电压V1为高电平,第二参考电压V2为低电平;或,第一开关管M1、第二开关管M2、第三开关管M3以及第四开关管M4均为PMOS,第一参考电压V1小于第二参考电压V2,即第一参考电压V1为低电平,第二参考电压V2为高电平。

[0041] 此时,触发电路12构成一个自稳电路,在第一节点P无信号输入(第一电压信号为低电平)时,第一节点P的输出电压以及第二节点Q的输出电压取决于第一开关管M1与第二开关管M2的分压,由于第一开关管M1的沟道宽度大于第二开关管M2的沟道宽度,使得第一开关管M1的电阻小于所述第二开关管M2的电阻,因此,第一节点P的分压小于第二节点Q的分压,使得第一节点P的电压稳定在低电平,使得第二节点Q的电压稳定在低电平。即在第一节点P无信号输入时,第一节点P输出的第三电压信号为高电平,第二节点Q输出的第二电压信号为低电平,第三电压信号与第二电压信号的大小仅取决于触发电路12所构成的自稳电路的电压分配,不会在信号传输过程中出现衰减。

[0042] 在第一节点P输入一个高电平信号(第一电压信号为高电平)时,第一节点P将会成为高电平,如果第一开关管M1、第二开关管M2、第三开关管M3以及第四开关管M4均为NMOS,第一参考电压V1大于第二参考电压V2。初始(第一节点P无信号输入)时,第四开关管M4关闭,第三开关管M3导通。高电平的第一电压信号输入后,使得第四开关管M4导通,第三开关管M3关闭,使得第二节点Q的电压被所述第二参考电压V2拉到低电平,从而使得第一节点P与第二节点Q发生电平翻转,第一节点P为高电平,第二节点Q为低电平,即第一节点P输

出的第三电压信号为高电平,第二节点Q输出的第二电压信号为低电平。第一节点P输入的第一电压信号仅用于触发第一节点P以及第二节点Q的电平翻转,第一节点P的输出电压以及第二节点Q的输出电压仍然取决于所述触发电路12的构成的自稳电路的电压分配,不会在信号传输过程中出现衰减。

[0043] 在第一节点P输入一个高电平信号时,第一节点P将会成为高电平,如果第一开关管M1、第二开关管M2、第三开关管M3以及第四开关管M4均为PMOS,第一参考电压V1小于所述第二参考电压V2,初始,第三开关管M3关闭,第四开关管M4导通。高电平的第一电压信号输入后,使得第四开关管M4关闭,第三开关管M3导通,第二节点Q的电压被第一参考电压V1拉到低电平,从而使得第一节点P与第二节点Q发生电平翻转,第一节点P为高电平,第二节点Q为低电平,即第一节点P输出的第三电压信号为高电平,第二节点Q输出的第二电压信号为低电平。第一节点P输入的第一电压信号仅用于触发所述第一节点P以及第二节点Q的电平翻转,第一节点P的输出电压以及第二节点Q的输出电压仍然取决于所述触发电路12的构成的自稳电路的电压分配,不会在信号传输过程中出现衰减。

[0044] 输入电路11包括:第五开关管M5以及第六开关管M6。第五开关管M5的栅极输入第一输入信号STP,其第一电极输入第三参考电压VFW,其第二电极电连接第一节点P;第六开关管M6的栅极输入第二输入信号Gn+1,其第一电极电连接第一节点P,其第二电极输入第四参考电压VBW。其中,第五开关管M5的第二电极与第六开关管M6的第一电极用于输出第一电压信号。

[0045] 所述输出电路包括:上拉电路以及下拉电路;上拉电路用于控制扫描信号位于第一电平,下拉电路用于控制扫描信号位于第二电平;其中,第一电平高于第二电平,即第一电平为高电平,第二电平为低电平。

[0046] 具体的,上拉电路包括:第七开关管M7以及电容C1,下拉电路包括:第八开关管M8、第九开关管M9、第十开关管M10以及第十一开关管M11。

[0047] 第七开关管M7的栅极电连接第一节点P,其第一电极输入第一时钟信号CKB,其第二电极电连接第三节点A。第八开关管M8的栅极电连接第四节点B,其第一电极电连接所述第三节点A,其第二电极输入第二参考电压V2。第九开关管M9的栅极输入第二时钟信号CK,其第一电极电连接所述第三节点A,其第二电极输入第二参考电压V2。所述第十开关管M10的栅极电连接第一节点P,其第一电极电连接第四节点B,其第二电极输入所述第二参考电压V2。第十一开关管的栅极电连接第二节点Q,其第一电极输入所述第一时钟信号CKB,其第二电极电连接第四节点B。电容C1的第一极板电连接第七开关管M7的栅极,其第二极板电连接所述第七开关管M7的第二电极。其中,第三节点A用于输出扫描信号Gn。

[0048] 在本实施例中,第五开关管M5、第六开关管M6、第七开关管M7、第八开关管M8、第九开关管M9、第十开关管M10以及第十一开关管M11均为NMOS,在栅极输入低电平时导通。

[0049] 图1所示实施方式中,优选的设置第一开关管M1-第十一开关管M11均为NMOS,此时,当图1所示移位寄存器级联为栅极驱动电路后用于正向扫描时,第一参考电压V1为高电平,第二参考电压V2为低电平,第三参考电压VFW为高电平,第四参考电压VBW为低电平。

[0050] 参考图2,图2为本发明实施例提供的另一种移位寄存器的结构示意图,图2所示触发电路12同样包括:第一开关管M1、第二开关管M2、第三开关管M3以及第四开关管M4,第一开关管M1的沟道宽度大于第二开关管M2的沟道宽度。图2所示实施方式与图1所示实施方式

电路连接不同在于,图2中第一开关管M1以及第二开关管M2的栅极均连接第五参考电压VGL,第五参考电压VGL为低电平。输入电路11以及输出电路13与图1所示实施方式相同,且输入电路11、触发电路相互以及输出电路13相互之间的连接关系相同,在此不再赘述。

[0051] 图2所示实施方式中,设置第一开关管M1和第二开关管M2均为PMOS;第三开关管M3与第四开关管M4均为NMOS;第一参考电压大于第二参考电压。同样,可以使得图2所示触发电路12构成自稳电路,在第一节点P无信号输入时,第一节点P输出低电平,第二节点Q输出高电平。在第一节点P输入高电平信号时,第一节点P与第二节点Q的电平发生反转。第一节点P输入的第一电压信号仅为触发第一节点P与第二节点Q电平翻转的触发信号,第一节点P与第二节点Q的输出电压取决于自稳电路的电压分配。

[0052] 本发明实施例还提供了一种移位寄存器的驱动方法,参考图3,图3为本发明实施例提供的一种驱动方法的流程示意图,该驱动方法包括:

[0053] 步骤S11:提供输入信号。

[0054] 步骤S12:响应输入信号,根据输入信号输出第一电压信号。

[0055] 步骤S13:在第一电压信号触发下,根据第一参考电压以及第二参考电压生成第二电压信号与第三电压信号。

[0056] 步骤S14:根据第二电压信号以及第三电压信号输出扫描信号。

[0057] 参考上述移位寄存器实施例,移位寄存器包括用于输出第一电压信号的第一节点以及用于输出第二电压信号的第二节点;在提供输入信号前,驱动方法还包括:对所述第一节点以及所述第二节点的电荷进行清除。在驱动所述移位寄存器前,可以通过设定的归零电路对第一节点以及第二节点进行电压归零,以对第一节点以及第二节点的电荷进行清除,以提高输入电路以及触发电路的响应速度。

[0058] 驱动方法用于驱动上述实施例移位寄存器,第一电压信号仅用于触发生成第二电压信号与第三电压信号,第二电压信号与第三电压信号取决于对于第一参考电压以及第二参考电压生成第二电压信号与第三电压信号的分压,故输出的扫描信号电压稳定,不会发生逐级衰减的问题。

[0059] 本发明实施例还提供了一种栅极驱动电路,该栅极驱动电路包括:N个级联的移位寄存器;N为大于2的正整数;其中,N个级联的移位寄存器包括:第1级移位寄存器-第N级移位寄存器;移位寄存器为上述实施例任一种实施方式所述的移位寄存器。

[0060] 栅极驱动电路用于正向扫描,第三参考电压大于第四参考电压;对于第n级移位寄存器,第一输入信号为第n-1级移位寄存器的扫描信号,第二输入信号为第n+1级移位寄存器的扫描信号;n为大于1,且不大于N的正整数。

[0061] 栅极驱动电路用于反向扫描,第三参考电压小于第四参考电压;对于第n级移位寄存器,第一输入信号为第n+1级移位寄存器的扫描信号,第二输入信号为第n-1级移位寄存器的扫描信号;n为大于1,且小于N的正整数。

[0062] 为了使本发明实施例提供的栅极驱动电路更加清楚,下面结合附图对上述方案进行详细描述。

[0063] 参考图4,图4为本发明实施例提供的一种栅极驱动电路的结构示意图,该栅极驱动电路示出了前4级移位寄存器。用于正向扫描时,第1级移位寄存器的第一输入端输入扫描起始信号STP0,对于第n级移位寄存器,第一输入信号为第n-1级移位寄存器的扫描信号,

第二输入信号为第 $n+1$ 级移位寄存器的扫描信号; n 为大于1,且不大于 N 的正整数。如 $n=3$ 时,第3级移位寄存器的第一输入端电连接第2级移位寄存器的输出端,接收第2级移位寄存器输出的扫描信号 G_2 ,第3级移位寄存器的第二输入端电连接第4级移位寄存器的输出端,接收第4级移位寄存器输出的扫描信号 G_4 。

[0064] 本发明实施例所述栅极驱动电路具有上述移位寄存器,每一级的输出信号输出一致,避免了多级级联时输出信号衰减的问题。且可以实现正向扫描或是反向扫描。

[0065] 参考图5a,图5a为本发明实施例提供的一种时序图。下面结合所述时序图说明本发明实施例所述移位寄存器进行栅极扫描时的电压移位原理。

[0066] 以图1所示移位寄存器方式为例,设定该移位寄存器对应的栅极驱动电路用于正向扫描,所有开关管均为NMOS,对应的所述第一参考电压 V_1 以及所述第三参考电压 V_{FW} 均为高电平,所述第二参考电压 V_2 以及第四参考电压 V_{BW} 均为低电平。

[0067] 在 T_1 时刻前,在不考虑前一帧扫描残留电荷干扰下,第一节点 P 与第二节点 Q 均为低电平。

[0068] 在 T_1 时刻,第一输入信号 STP 以及第二输入信号 G_{n+1} 均为低电平,使得第五开关管 M_5 与第六开关管 M_6 均关闭,进而使得输入电路11对第一节点 P 无输入信号,第一节点 P 与第二节点 Q 由于自稳电路分压,第一节点 P 为低电平,第二节点 Q 为高电平。

[0069] 第一节点 P 为低电平,使得第七开关管 M_7 与第十开关管 M_{10} 关闭。

[0070] 第二节点 Q 为高电平,使得第十一开关管 M_{11} 导通,第四节点 B 为高电平的第一时钟信号 CK_B ,第八开关管 M_8 导通,扫描信号 G_n 为低电平的第二参考电压 V_2 。

[0071] 在 T_2 时刻,第一输入信号 STP 输入高电平,第二输入信号 G_{n+1} 输入低电平,第五开关管 M_5 导通,第六开关管 M_6 关闭,输入电路11对第一节点 P 输出高电平的第三参考电压 V_{FW} ,即第一电压信号为高电平。此时,所述第一电压信号触发触发电路12第一节点 P 与第二节点 Q 电平翻转,第一节点 P 为高电平,第二节点 Q 为低电平。

[0072] 第一节点 P 为高电平,使得第七开关管 M_7 与第十开关管 M_{10} 导通,同时为电容 C_1 充高电平。第十开关管 M_{10} 导通使得第四节点 B 为低电平的第二参考电压 V_2 。

[0073] 第二节点 Q 为低电平,使得第十一开关管 M_{11} 关闭,由于第十开关管 M_{10} 导通,第四节点 B 为低电平的第二参考电压 V_2 ,第八开关管 M_8 关闭。此时第二时钟信号 CK 为高电平,控制第九开关管 M_9 导通,使得扫描输出信号 G_n 为低电平的第二参考电压信号 V_2 。输出低电平的扫描输出信号时,第八开关管 M_8 与第九开关管 M_9 交替进行导通,延长第八开关管 M_8 与第九开关管 M_9 的使用寿命。

[0074] 在 T_3 时刻,第一输入信号 STP 以及第二输入信号 G_{n+1} 均为低电平,输入电路11对第一节点 P 无输入信号。但是,由于电容 C_1 在 T_2 时刻保持高电平,此时电容 C_1 高电平放电,相当于第一节点 P 输出高电平信号,保持第一节点 P 为高电平,第二节点 Q 为低电平。第七开关管 M_7 与第十开关管 M_{10} 导通,第十一开关管 M_{11} 关闭。

[0075] 第七开关管 M_7 导通,使得扫描信号 G_n 为高电平的第一时钟信号 CK_B 。第十开关管 M_{10} 导通,使得第四节点 B 为低电平的第二参考电压 V_2 ,第八开关管关闭,以阻断低电平的第二参考电压 V_2 与输出端电连接,保证输出端输出高电平的扫描信号 G_n 。第二时钟信号 CK 为低电平,第九开关管 M_9 关闭,同样是为了阻断低电平的第二参考电压 V_2 与输出端电连接,保证输出端输出高电平的扫描信号 G_n 。

[0076] 在T4时刻,电容C1高电平放电完毕,第一输入信号STP为低电平,第五晶体管M5关闭。第二输入信号G_{n+1}为高电平,第六开关管M6导通,低电平的第四参考电压VBW通过第六开关管M6输出,使得输入电路11对第一节点P输出低电平,此时,第一节点P与第二节点Q分压取决于触发电路12在第一节点P无输入时的分压,第一节点P为低电平,第二节点Q为高电平。

[0077] 第一节点P为低电平,使得第七开关管M7与第十开关管M10关闭。

[0078] 第二节点Q为高电平,使得第十一开关管M11导通,第四节点B为高电平的第一时钟信号CKB,第八开关管M8导通,第二时钟信号CK为低电平,第九开关管M9关闭,扫描信号G_n为低电平的第二参考电压V2,此时第二参考电压V2通过第八开关管M8导传输到输出端。

[0079] 图5a所示时序图为图1移位寄存器对应栅极驱动电路进行正向扫描时的波形图,此时第一输入信号STP为第n-1级移位寄存器的扫描信号G_{n-1}。可见,扫描信号G_n相对于上一级扫描信号G_{n-1}发生了一个脉冲宽度的移位,在进行扫描时,扫描信号G_{n-1}扫描第n-1级栅极线后,生成扫描信号G_n扫描第n栅极线。

[0080] 参考图5b,图5b为本发明实施例提供另一种时序图。为了避免上一帧扫描过程中,第一节点P与第二节点Q存在电荷残留,对下一次扫描产生干扰,在T1时刻前,通过归零电路提供重置信号Reset,对第一节点P以及第二节点Q进行电荷清零,使得第一节点P与第二节点Q均为低电平。图6与图5不同在于添加了重置信号Reset,T1-T4的工作过程与图5相同,在此不再赘述。

[0081] 对于任意的第n级移位寄存器,在一帧扫描过程中,只输出一个高电平,因此当T4时刻过后,在该帧扫描完成之前,第一节点P的电压保持低电平,第二节点Q的电压保持高电平。

[0082] 通过上述描述可知,触发电路12第一节点P与第二节点Q的电压取决与自身分压,第一节点P的输入仅用于触发第一节点P与第二节点Q电平翻转,进而不会导致第一节点P与第二节点Q输出电平的衰减,从而使得输出电路的扫描信号较快的进行高低电平转换,避免了扫描信号的逐级衰减问题,栅极驱动电路的响应速度快,保证了图像显示效果。

[0083] 本发明实施例还提供了一种显示屏,参考图6,图6为本发明实施例提供的一种显示屏60的结构示意图,该显示屏60包括:基板61,基板61包括显示区611以及包围显示区的边框区612;设置在显示区611的多个阵列分布的像素单元P;多条栅极线62,栅极线62平行于像素行;多条数据线63,数据线63平行于像素列;数据电路64,数据电路64与数据线63电连接,用于通过数据线63为像素列的像素单元P提供数据信号;栅极驱动电路65,栅极驱动电路65与栅极线62电连接,用于通过栅极线62为像素行的像素单元P提供扫描信号。其中,栅极驱动电路65为上述实施例所述的栅极驱动电路。

[0084] 本发明实施例所述显示屏具有上述栅极驱动电路,在进行栅极扫描时,各级移位寄存器的输出一致,避免了各级输出信号的衰减,保证了栅极扫描的响应速度,具有较好的图像显示效果。对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和和特点相一致的最宽的范围。

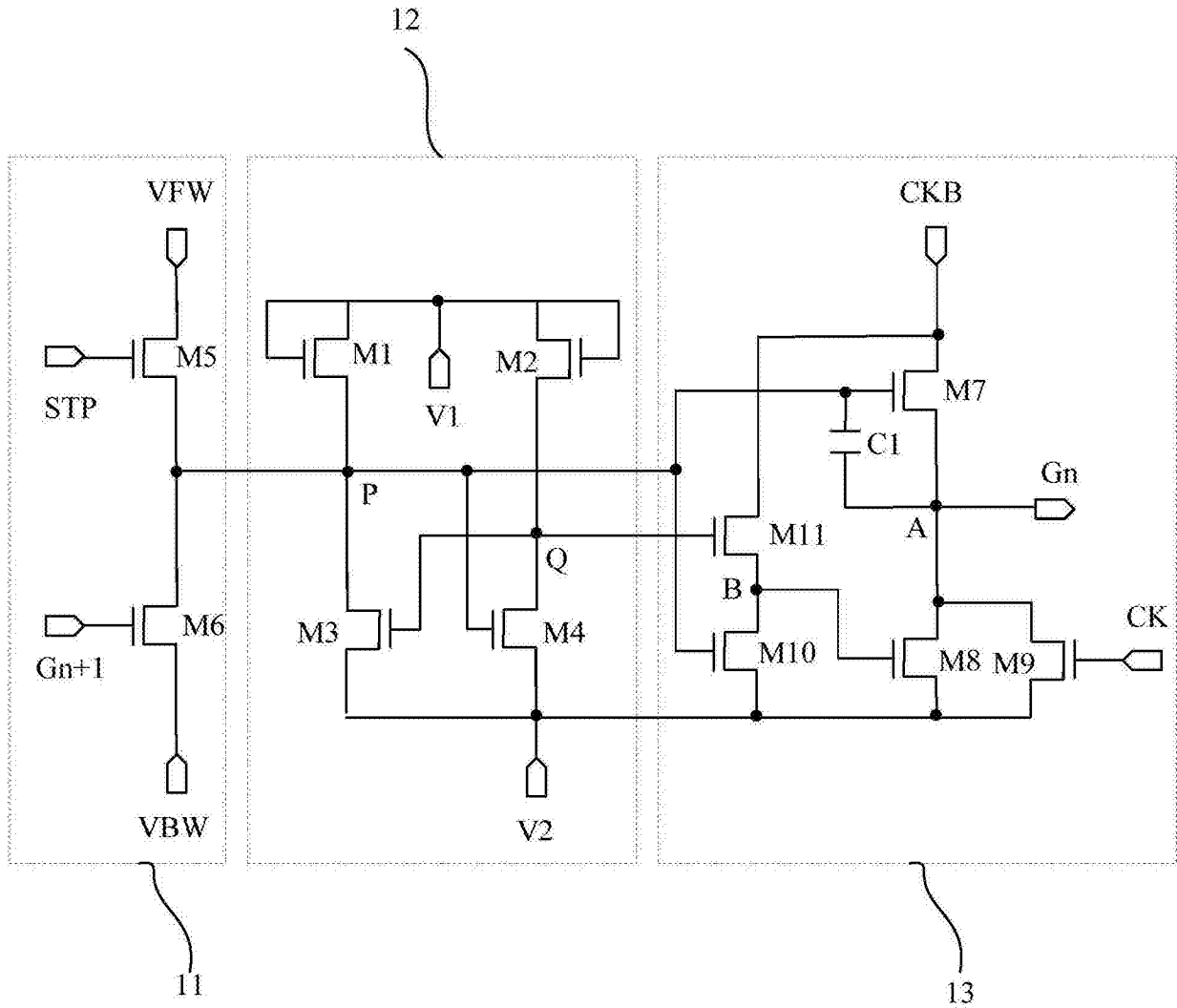


图1

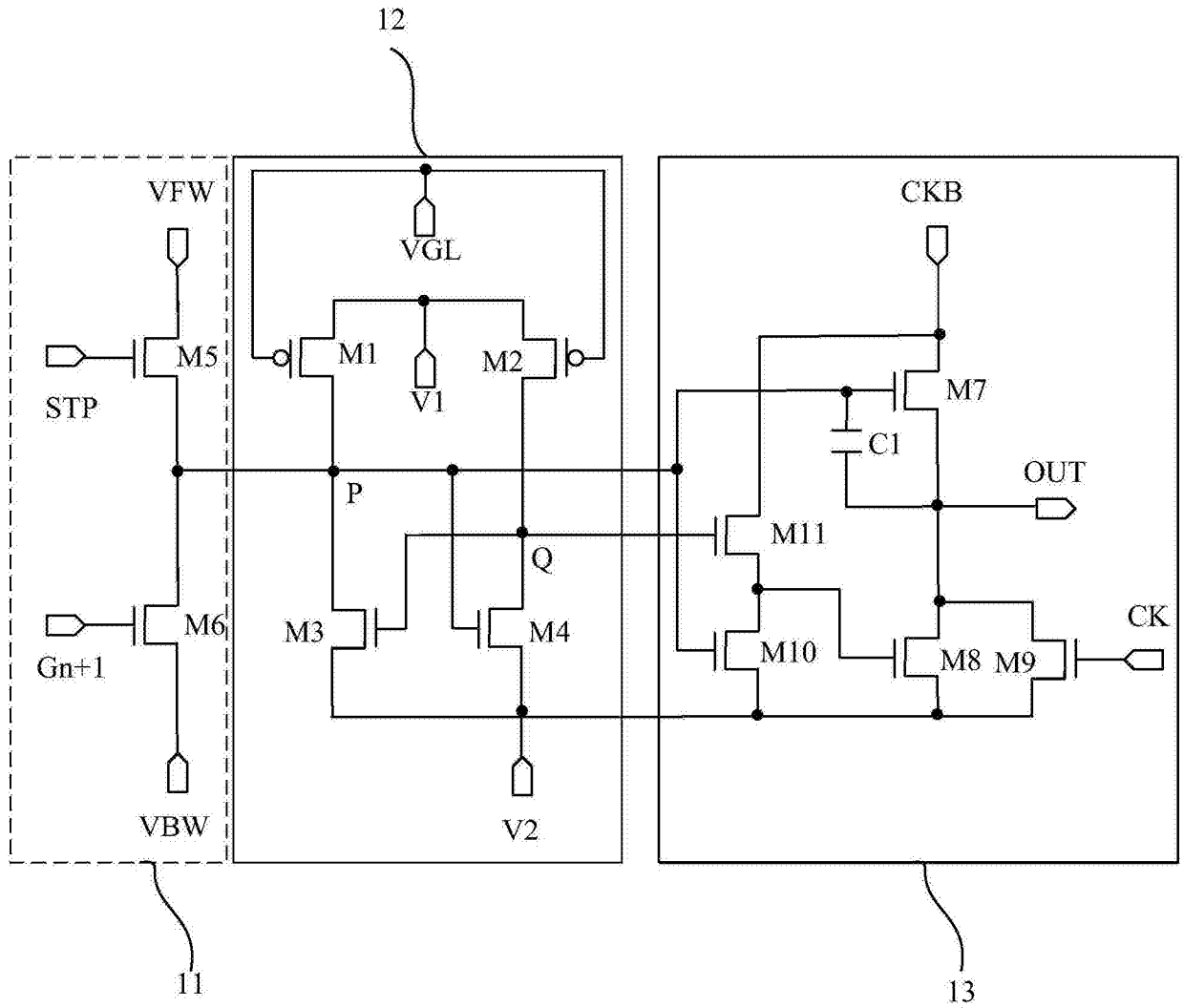


图2

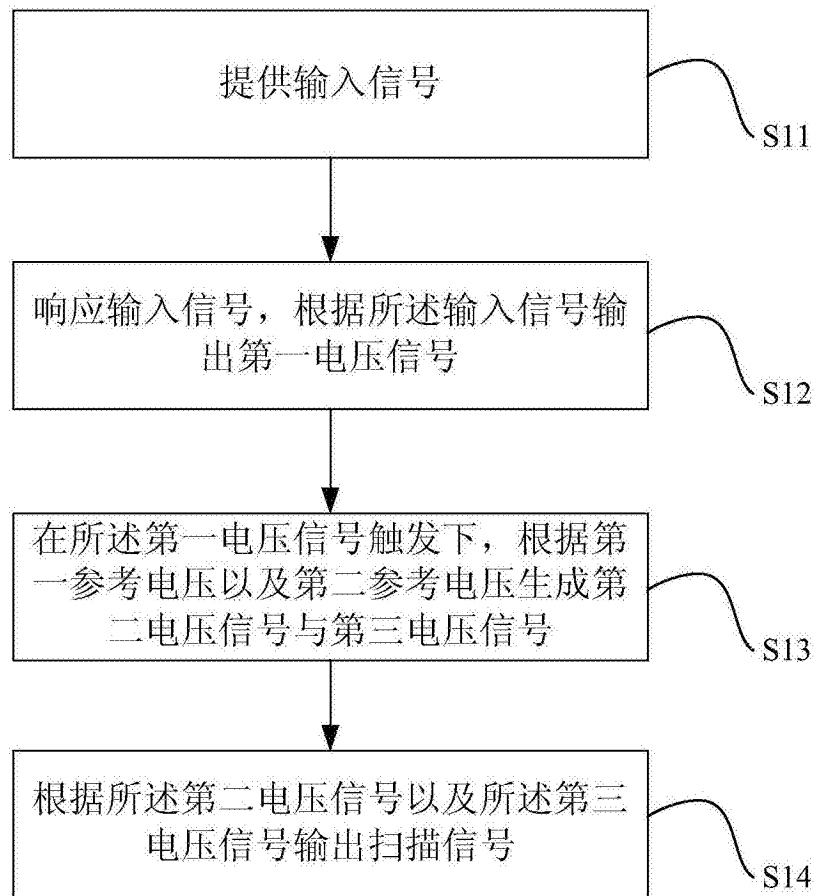


图3

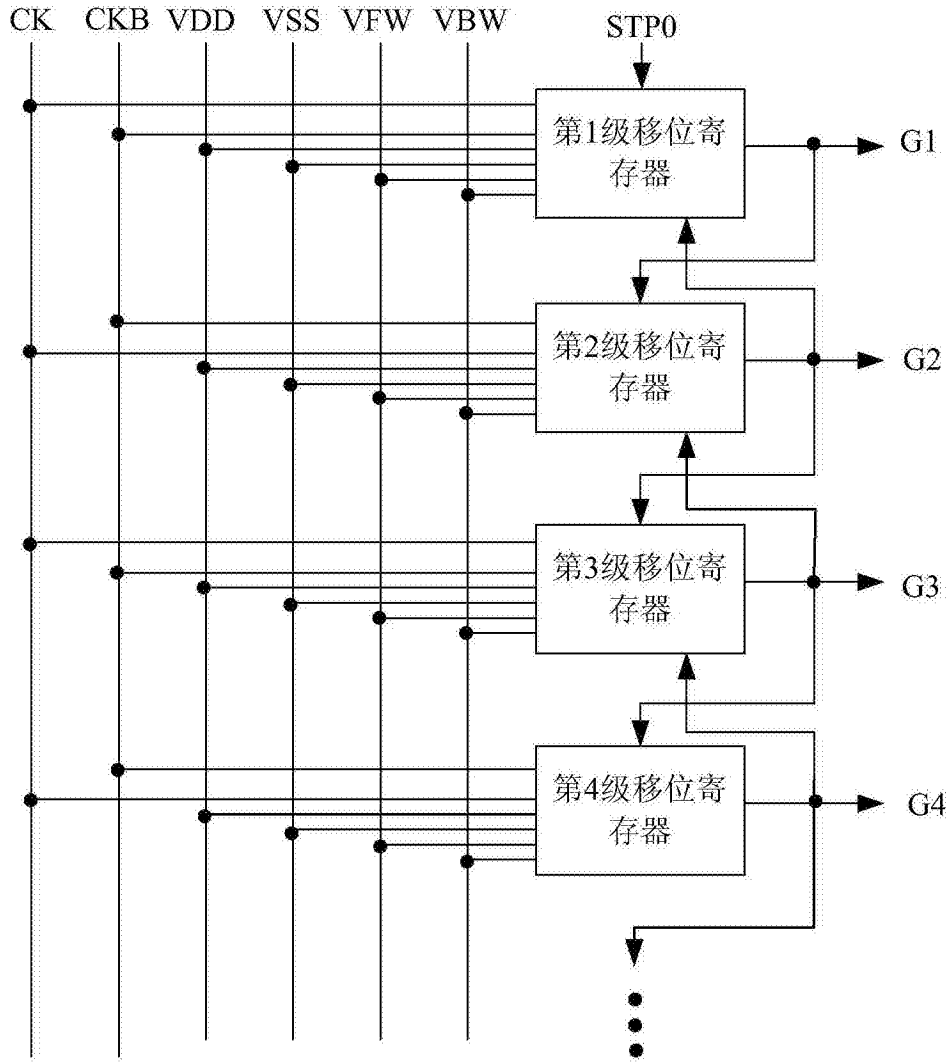


图4

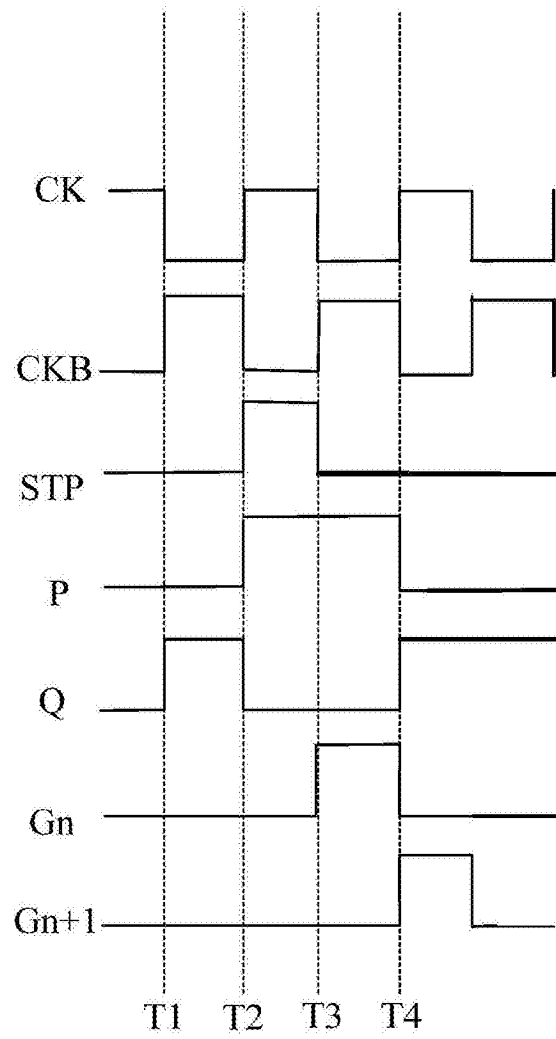


图5a

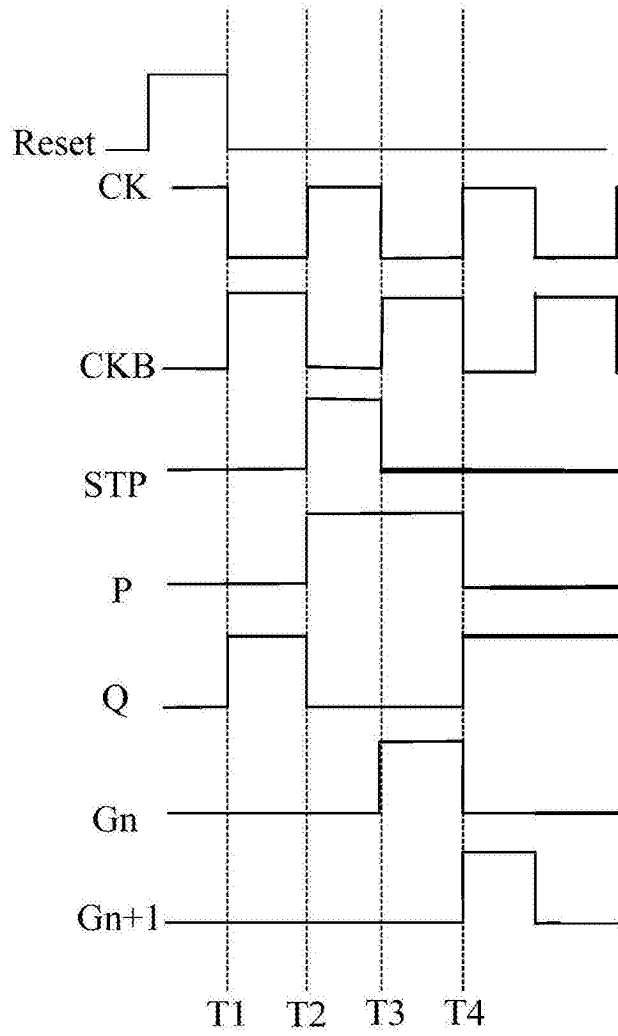


图5b

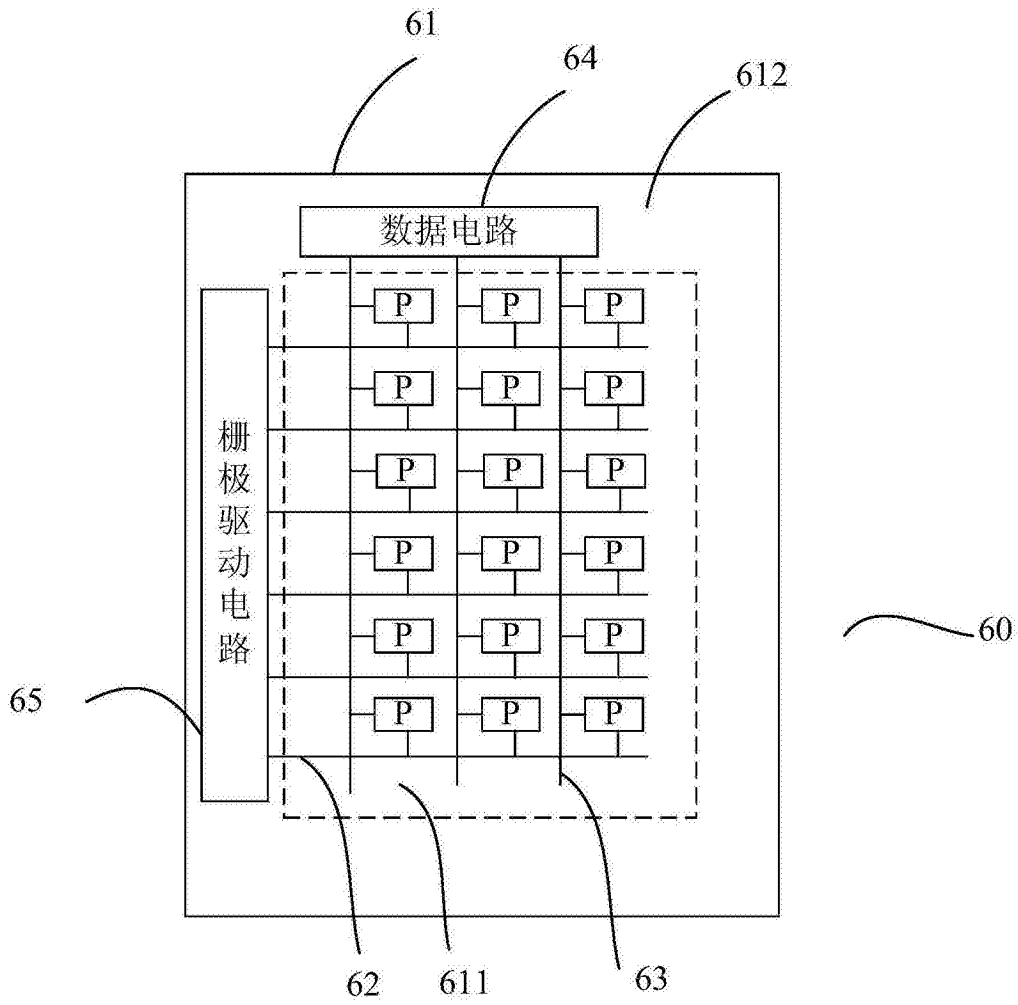


图6