



(12) 发明专利申请

(10) 申请公布号 CN 101903984 A

(43) 申请公布日 2010. 12. 01

(21) 申请号 200880121936. 2

代理人 徐金国 钟强

(22) 申请日 2008. 12. 18

(51) Int. Cl.

(30) 优先权数据

H01L 21/302(2006. 01)

11/962, 791 2007. 12. 21 US

H01L 21/3065(2006. 01)

(85) PCT申请进入国家阶段日

2010. 06. 21

(86) PCT申请的申请数据

PCT/US2008/087436 2008. 12. 18

(87) PCT申请的公布数据

W02009/085958 EN 2009. 07. 09

(71) 申请人 应用材料股份有限公司

地址 美国加利福尼亚州

(72) 发明人 杨海春 吕新亮 高建德 张梅

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

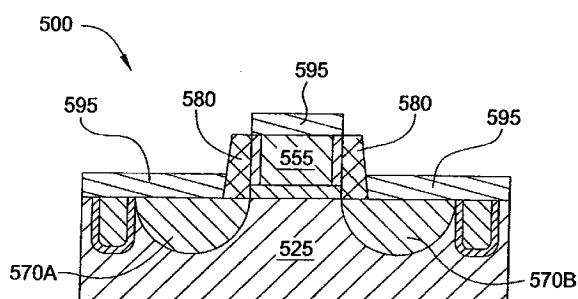
权利要求书 2 页 说明书 12 页 附图 10 页

(54) 发明名称

利用等离子体清洁处理形成钝化层以降低自然氧化物生长的方法

(57) 摘要

本发明描述的实施例提供用于去除基板上的自然氧化物，同时将下方的基板表面予以钝化的方法。在一实施例中，提供一种方法，其包括：将包含氧化物层的基板放置于工艺腔室内；调整该基板的第一温度到约 80°C 或更小；在该工艺腔室内由气体混合物产生清洁等离子体，其中该气体混合物包含氨和三氟化氮且 NH₃/NF₃摩尔比例为约 10 或更高；及使该清洁等离子体凝结到该基板上。在等离子体清洁工艺期间，部分地由自然氧化物形成含有六氟硅酸铵的薄膜。该方法还包括在该工艺腔室内加热该基板到约 100°C 或更高的第二温度，同时从该基板去除该薄膜且在该基板上形成钝化表面。



1. 一种用于从基板表面去除自然氧化物的方法,包含以下步骤:

将包含氧化物层的基板放置于工艺腔室内;

调整该基板的第一温度到约 80°C 或更小;

在该工艺腔室内由气体混合物产生清洁等离子体,其中该气体混合物包含氨和三氟化氮且 NH₃/NF₃ 摩尔比例为约 10 或更高;

在等离子体清洁工艺期间,使该清洁等离子体凝结到该基板上且形成薄膜,其中该薄膜包含部分由该氧化物层形成的六氟硅酸铵;及

在该工艺腔室内加热该基板到约 100°C 或更高的第二温度,同时从该基板去除该薄膜且在该基板上形成钝化表面。

2. 如权利要求 1 所述的方法,其中该 NH₃/NF₃ 摩尔比例为约 20 或更高。

3. 如权利要求 2 所述的方法,其中该清洁等离子体以约 5 瓦至约 50 瓦之间的 RF 功率来产生。

4. 如权利要求 3 所述的方法,其中该 RF 功率介于约 15 瓦至约 30 瓦之间。

5. 如权利要求 1 所述的方法,其中该气体混合物是通过结合流速为约 40sccm 至约 200sccm 的氨与流速为约 2sccm 至约 50sccm 的三氟化氮来形成的。

6. 如权利要求 5 所述的方法,其中氨的流速介于约 75sccm 至约 100sccm 之间,三氟化氮的流速介于约 5sccm 至约 15sccm 之间。

7. 如权利要求 1 所述的方法,其中该第一温度介于约 20°C 至约 80°C 之间,该第二温度介于约 100°C 至约 200°C 之间。

8. 如权利要求 7 所述的方法,其中该第一温度介于约 22°C 至约 40°C 之间,该第二温度介于约 110°C 至约 150°C 之间。

9. 如权利要求 1 所述的方法,还包含在该基板的钝化表面上生长外延层的步骤。

10. 一种用于从基板表面去除自然氧化物的方法,包含以下步骤:

将包含氧化物层的基板放置于工艺腔室内;

调整该基板的第一温度到小于约 100°C;

在该工艺腔室内由气体混合物产生清洁等离子体,其中该气体混合物包含氨和三氟化氮且 NH₃/NF₃ 摩尔比例为约 20 或更高,并且该清洁等离子体以约 5 瓦至约 50 瓦之间的 RF 功率来产生;

在等离子体清洁工艺期间,将该基板暴露于该清洁等离子体以形成薄膜,其中该薄膜包含部分由该氧化物层形成的六氟硅酸铵;及

在该工艺腔室内加热该基板到约 100°C 或更高的第二温度,同时从该基板去除该薄膜且在该基板上形成钝化表面。

11. 如权利要求 10 所述的方法,其中该 RF 功率介于约 15 瓦至约 30 瓦之间。

12. 如权利要求 10 所述的方法,其中该气体混合物是通过结合流速为约 1sccm 至约 10sccm 的氨与流速为约 50sccm 至约 200sccm 的三氟化氮来形成的。

13. 如权利要求 10 所述的方法,其中该第一温度介于约 20°C 至约 80°C 之间,该第二温度介于约 100°C 至约 200°C 之间。

14. 如权利要求 10 所述的方法,其中于该基板暴露于该工艺腔室外面的外界条件时,该钝化表现在约 5 小时至约 25 小时之间的时间内将在该基板上进一步形成的另一自然氧

化物层的厚度限制到约 6Å 或更小。

15. 一种用于从基板表面去除自然氧化物的方法,包含以下步骤:

将包含氧化物层的基板放置于工艺腔室内;

调整该基板的第一温度到小于约 100°C;

在该工艺腔室内由气体混合物产生清洁等离子体,其中该气体混合物包含氨和三氟化氮且 NH₃/NF₃摩尔比例为约 10 或更高,并且该清洁等离子体以约 5 瓦至约 50 瓦之间的 RF 功率来产生;

在等离子体清洁工艺期间,将该基板暴露于该清洁等离子体以形成薄膜,其中该薄膜包含部分由该氧化物层形成的六氟硅酸铵;

在该工艺腔室内加热该基板到约 100°C 或更高的第二温度,同时从该基板去除该薄膜且在该基板上形成钝化表面;及

在该基板的钝化表面上生长外延层。

利用等离子体清洁处理形成钝化层以降低自然氧化物生长的方法

技术领域

[0001] 本发明的实施例大致上关于用以处理基板的方法，并且特别是关于等离子体清洁工艺期间的氧化物蚀刻的方法。

背景技术

[0002] 在半导体、显示器、太阳能电池与其他电子装置制造中，当基板表面暴露于空气中的氧和水，典型地会形成自然氧化物。在大气或外界 (ambient) 条件下或在少量氧留置在工艺腔室中时移动基板于多个工艺腔室之间时发生氧的暴露。自然氧化物也可以由蚀刻工艺期间的污染造成。自然氧化物膜通常非常薄，例如介于5-20Å之间，但厚到足以造成后续制造过程中的困难。所以，通常不乐见自然氧化物层，且需要在后续的制造过程之前将其去除。

[0003] 这样的困难通常会影响形成在基板上的电子器件的电学性质。例如，特定问题出现在自然氧化硅膜形成于暴露的含硅层上时，尤其是在处理金属氧化物硅场效应晶体管 (“MOSFET”) 结构期间。氧化硅膜是电绝缘的，并且不乐见在与接触电极或互连电路路径之间的界面，这是因为氧化硅膜会造成高的电接触电阻。在 MOSFET 结构中，电极与互连路径包括硅化物层，其中该些硅化物层是通过沉积耐熔金属于裸硅上及将该层退火以产生金属硅化物层来形成。位在基板与金属之间界面的自然氧化硅膜通过阻碍用以形成金属硅化物的扩散化学反应而降低金属硅化物层的组成均匀性。由于电接触处的过热，这会导致低的基板良率以及高的失效率。自然氧化硅膜也会阻碍其他 CVD 或溅射层的附着，其中该些 CVD 或溅射层后续地被沉积在基板上。

[0004] 溅射蚀刻工艺已经用来减少深宽比小于约 4 : 1 的大特征结构中或小特征结构中的污染物。然而，溅射蚀刻工艺会通过物理轰击损坏精致的硅层。对此，使用氢氟酸的湿法蚀刻工艺也已经用来去除自然氧化物。然而，湿法清洁蚀刻工艺对于深宽比超过 4 : 1 且特别是深宽比超过 10 : 1 的更小的器件是不利的。尤其，液体溶液具有穿透到通孔、接触、或其他形成在基板表面内的小特征结构的困难度。故，自然氧化物膜的去除并不完全。同样地，若蚀刻溶液成功地穿透小特征结构，一旦蚀刻完成后，湿法蚀刻溶液更加难以从特征结构去除。此外，湿法蚀刻工艺通常具有严格的时序控制、会在基板上产生不期望的水痕、并且因大量的有毒废水而具有环境考量。

[0005] 另一种去除自然氧化物膜的方式是干法蚀刻工艺，例如使用氟 (F_2) 气体的干法蚀刻工艺。但是，使用含氟气体的缺失即是氟典型地会残留在基板表面上。残留在基板表面上的氟原子或氟基团是有害的。例如，残留的氟原子会持续蚀刻基板，在基板内形成孔隙。

[0006] 更近来的一种去除自然氧化物的方式是在基板表面形成含氟 / 硅盐，该盐随后由热退火工艺来去除。在此方式中，通过使含氟气体与氧化硅表面反应来形成薄的盐层。然后，盐层被加热到足以将盐层分解成挥发性副产物的高温，其中该副产物随后从工艺腔室来去除。反应性含氟气体的形成通常是由热力加成或由等离子体能量来辅助。通常在基板

表面的冷却所需要的低温形成盐层。此种冷却而接着加热的顺序是通过将基板从冷却腔室（在此处基板被冷却）传送到独立的退火腔室或炉（在此处基板被加热）来达成。

[0007] 基于各种理由，此反应性氟工艺顺序是不乐见的。也就是，由于其涉及基板传送的时间，产能会大幅地降低。此外，在多个腔室之间传送基板的期间，基板极容易遭受进一步的氧化或其他的污染。再者，因需要两个独立的腔室来完成氧化物去除工艺，这会使成本加倍。

[0008] 因此，需要一种方法来去除或蚀刻自然氧化物，同时可钝化下方的基板表面，较佳是在单个工艺腔室内进行。

发明内容

[0009] 本文描述的实施例提供用于去除基板上的自然氧化物，同时将下方的基板表面钝化的方法。在一实施例中，本发明提供一种用于从基板表面去除自然氧化物的方法，其包括：将表面上含有氧化物层的基板放置于工艺腔室内；调整该基板的第一温度到约80°C或更小；在该工艺腔室内由气体混合物产生清洁等离子体，其中该气体混合物包含氨和三氟化氮且NH₃/NF₃摩尔比例为约10或更高；及在等离子体清洁工艺期间，使该清洁等离子体凝结到该基板上且形成薄膜。该薄膜包含部分由自然氧化硅层的硅形成的六氟硅酸铵。该方法还包括在该工艺腔室内加热该基板到约100°C或更高的第二温度，同时从该基板去除该薄膜且在该基板上形成钝化表面。在一实例中，该基板的第一温度介于约20°C至约80°C之间，该基板的第二温度介于约100°C至约200°C之间。在另一实例中，该基板的第一温度介于约22°C至约40°C之间，该基板的第二温度介于约110°C至约150°C之间。

[0010] 在另一实施例中，本文提供一种用于从基板表面去除自然氧化物的方法，其包括：将表面上含有氧化物层的基板放置于工艺腔室内；调整该基板的第一温度到小于约100°C；在该工艺腔室内由气体混合物产生清洁等离子体。该气体混合物包含氨和三氟化氮且NH₃/NF₃摩尔比例为约20或更高，并且该清洁等离子体以约5瓦至约50瓦之间的RF功率来产生。该方法还包括在等离子体清洁工艺期间，将该基板暴露于该清洁等离子体以形成含六氟硅酸铵的薄膜。该方法还包括在该工艺腔室内加热该基板到约100°C或更高的第二温度，同时从该基板去除该薄膜且在该基板上形成钝化表面。

[0011] 在另一实施例中，本文提供一种用于从基板表面去除自然氧化物的方法，其包括：将表面上含有氧化物层的基板放置于工艺腔室内；调整该基板的第一温度到小于约100°C；在该工艺腔室内由气体混合物产生清洁等离子体。该气体混合物包含氨和三氟化氮且NH₃/NF₃摩尔比例为约10或更高，并且该清洁等离子体以约5瓦至约50瓦之间的RF功率来产生。该方法还包括：在等离子体清洁工艺期间，将该基板暴露于该清洁等离子体以形成薄膜，其中该薄膜包含部分由氧化硅层形成的六氟硅酸铵；在该工艺腔室内加热该基板到约100°C或更高的第二温度，同时从该基板去除该薄膜且在该基板上形成钝化表面；及在该基板的钝化表面上生长外延层。

[0012] 本发明的实施例提供使NH₃/NF₃摩尔比例可以为约10、约15、约20或更高，同时该清洁等离子体以约5瓦至约50瓦之间（较佳为约15瓦至约30瓦）的RF功率来产生。该气体混合物是通过将氨和三氟化氮流到且结合到该工艺腔室内来形成的。氨的流速可以介于约20sccm至约300sccm之间，较佳为介于约40sccm至约200sccm之间，更佳为介于约

60sccm 至约 150sccm 之间,且更佳为介于约 75sccm 至约 100sccm 之间。三氟化氮的流速可以介于约 1sccm 至约 60sccm 之间,较佳为介于约 2sccm 至约 50sccm 之间,更佳为介于约 3sccm 至约 25sccm 之间,且更佳为介于约 5sccm 至约 15sccm 之间。

[0013] 在随后暴露于该工艺腔室外面的外界条件时,该钝化表面限制了在该基板上额外的自然氧化物生长的进一步形成。例如,在外界环境中,后形成的自然氧化物层可以在约 5 小时至约 25 小时之间的时间内形成为具有约 6Å 或更小的厚度。在另一实施例中,在外界环境中,后形成的自然氧化物层可以在约 15 小时至约 30 小时之间的时间内形成为具有约 8Å 或更小的厚度。在另一实施例中,在去除自然氧化物层之后,可以在该基板的钝化表面上生长外延层。

附图说明

[0014] 本发明的前述特征、详细说明可以通过参照实施例来详细地了解,其中一些实施例绘示在附图中。然而,值得注意的是附图仅示出本发明的典型实施例,并且因此不会限制本发明范围,本发明允许其他等效的实施例。

[0015] 图 1 示出基板的部分透视图,其中该基板具有形成在其中的浅沟槽隔离区,如本文的实施例所述。

[0016] 图 2 示出浅沟槽隔离区的部分截面图,如本文的实施例所述。

[0017] 图 3 示出根据本发明实施例的工艺腔室的截面图。

[0018] 图 4A-4I 示出根据本发明另一实施例的用于形成浅沟槽隔离区的工艺顺序的截面示意图。

[0019] 图 5A-5H 示出用于形成以 STI 隔离的电子器件的工艺顺序的截面示意图,如本文的实施例所述。

[0020] 图 6 显示在各种钝化基板表面上氧化物生长速率的图表,如本文的一些实施例所述。

具体实施方式

[0021] 图 1 示出基板 10 的部分透视图,其中该基板 10 具有形成在其中的浅沟槽隔离区。图中显示的基板 10 仅部分地制造,并且具有形成在硅层 1 中的浅沟槽 2。硅层 1 可以是含硅的底层或可以是实际的下层基板。浅沟槽 2 被填以氧化物,并用来隔离内建的电子器件(在此例中为晶体管)。源极 3 和漏极 4 可以通过注入离子到浅沟槽 2 内来形成在浅沟槽 2 中。多晶硅 5 设置在源极 3 与漏极 4 之间,而栅极氧化物层 6 设置在硅层 1 与多晶硅 5 之间。

[0022] 图 2 示出沿着切线 2-2 的基板 10 的部分截面图。图 2 显示多晶硅 5 接触浅沟槽 2 之处。浅沟槽 2 是由热氧化物层 7 与沉积的氧化物层 8 来形成。预 - 多晶蚀刻 / 清洁步骤是通过使用 HF 的湿法蚀刻工艺来执行。因 HF 蚀刻热氧化物层 7 的速度比蚀刻沉积的氧化物层 8 更快,间隙 9 形成在浅沟槽 2 中。随后的多晶硅沉积使得多晶硅 5 填入间隙 9 且包覆源极 3 或漏极 4,造成了寄生结 (parasitic junctions) 或漏电流。

[0023] 图 3 示出根据本发明实施例的工艺腔室 100 的截面图。在此实施例中,工艺腔室 100 包括设置在腔室主体 112 的上端的盖组件 200、以及至少部分设置在腔室主体 112 内的

支撑组件 300。工艺腔室也包括远程等离子体产生器 140，远程等离子体产生器 140 具有 U 型截面的远程电极。较佳地，工艺腔室 100 与相关的部件是由一或多种与工艺相容的材料来形成，例如铝、阳极化铝、镀镍的铝、镀镍的铝 6061-T6、不锈钢、以及前述组合和其合金。

[0024] 支撑组件 300 部分地设置在腔室主体 112 中。支撑组件 300 由轴 314 来上升和下降，其中该轴 314 被折箱 (below) 333 围绕。腔室主体 112 包括形成于其侧壁中的狭缝阀开口 160，以提供进入工艺腔室 100 的内部的入口。选择性开启和关闭狭缝阀开口 160，以便允许基板处理机器手臂（未示出）进出腔室主体 112 内部。在一实施例中，可透过狭缝阀开口 160 将基板传送进出工艺腔室 100 到邻近的传送腔室和 / 或负载锁定腔室（未示出），或群集工具内的其他腔室。示范的群集工具包括但不限于可从加州的圣克拉拉市的应用材料公司购得的 PRODUCER®、CENTURA®、ENDURA® 和 ENDURA® SL 平台。

[0025] 腔室主体 112 还包括形成于其中的通道 113，用于在其中流通传热流体。传热流体可以是加热流体或冷却剂，用于在工艺和基板传送期间控制腔室主体 112 的温度。腔室主体 112 的温度是重要的，以防止气体或副产物在腔室壁上的不期望凝结。示范性传热流体包括水、乙二醇或其混合物。示范性传热流体还可包括氮气。

[0026] 腔室主体 112 进一步包括内衬 133，内衬 133 围绕支撑组件 300 并且为了维护和清洗是可移除的。内衬 133 较佳由例如铝的金属或陶瓷材料所制成。然而，在工艺期间可以使用相容的其它材料。为了增加沉积于内衬 133 上的任何材料的附着，可喷砂处理内衬 133，从而避免导致工艺腔室 100 的污染的材料剥落。内衬 133 通常包括一或多个孔洞 135 和形成于其中的泵送通道 129（其流体连通于真空系统）。孔洞 135 提供气体进入泵送通道 129 的流动路径，而泵送通道提供通过内衬 133 的流动路径，以便气体可以离开工艺腔室 100。

[0027] 真空系统可以包括真空泵 125 和节流阀 127，以用于调节工艺腔室 100 内的气体流动。真空泵 125 连接到设置在腔室主体 112 上的真空口 131，并且流体连通于形成在内衬 133 中的泵送通道 129。为了调节工艺腔室 100 内的气体流动，可通过节流阀 127 选择性隔离真空泵 125 和腔室主体 112。除非另外指出，可交替地使用术语“气体”和“多种气体”，且其指一或多种前驱物、反应物、催化剂、载体、净化剂 (purge)、清洁剂、其组合、以及任何导入腔室主体 112 内的其他流体。

[0028] 盖组件 200 包括堆叠在一起的多个部件。例如，盖组件 200 包括盖缘 210、气体输送组件 220 和顶板 250。盖缘 210 设计成支撑构成盖组件 200 的多个部件的重量，并耦接到腔室主体 112 的上表面，以提供对内部腔室部件的存取。气体输送组件 220 耦接到盖缘 210 的上表面，并布置成使其与盖缘的热接触达到最小。盖组件 200 的部件较佳由具有高热导率和低热阻的材料所制成，诸如具有高光滑度表面的铝合金。部件的热阻较佳小于约 $5 \times 10^{-4} \text{ m}^2 \text{ K/W}$ 。

[0029] 气体输送组件 220 可包括气体分布板 225 或喷头。通常用气体供应面板（未示出）向工艺腔室 100 提供一或多种气体。取决于将要在工艺腔室 100 内执行的工艺而使用特定的气体或数种气体。例如，典型的气体包括一或多种前驱物、还原剂、催化剂、载体、净化剂、清洁剂、或其混合物或组合。通常，使导入工艺腔室 100 的一或多种气体进入盖组件 200 并随后经由气体输送组件 220 进入腔室主体 112。电子操作阀和 / 或流动控制机构（未示出）可用来控制从气体供应器到工艺腔室 100 内的气体流动。

[0030] 一方面中，将气体从气体供应面板输送到工艺腔室 100，其中气体路线分成两个独

立的气体路线,该些独立的气体路线如上述般提供气体给腔室主体 112。取决于工艺,可以用该方式来输送任何数目的气体,并可在工艺腔室 100 中或在将其传送到工艺腔室 100 之前将其混合。

[0031] 仍然参照图 3,盖组件 200 可以进一步包括电极 240,用以在盖组件 200 内产生反应物种的等离子体。在此实施例中,电极 240 被支撑在顶板 250 上,并且与其电性隔离。隔离体填充环(未示出)设置在电极 240 的底部周围,使电极 240 与顶板 250 分离。环形隔离体(未示出)设置在隔离体填充环的上部周围并设置在顶板 250 的上表面上,如图 3 所示。接着将环形隔离体(未示出)设置在电极 240 的上部附近,以便让电极 240 与盖组件 200 的其他部件电性隔离。这些环、隔离体填充环和环形隔离体的每个可以由氧化铝或任何其他与工艺相容的电绝缘材料制成。

[0032] 电极 240 耦接到功率源 340,同时气体输送组件 220 接地。因此,一或多种工艺气体的等离子体可在电极 240 和气体输送组件 220 之间形成的空间内引燃。等离子体也可容纳于区隔板形成的空间中。在缺少区隔板组件的情况下,等离子体被引燃并被容纳于电极 240 和气体输送组件 220 之间。在一实施例中,等离子体可良好地被限制或被容纳于盖组件 200 内。

[0033] 可使用能够将气体活化成反应物种并保持反应物种的等离子体的任何功率源。例如,可使用射频(RF)、直流电流(DC)、交流电流(AC)或微波(MW)基功率放电技术。还可由热基技术、气体击穿技术、高强度光源(例如 UV 能量)、或暴露于 x- 射线源来产生活化。替代地,可使用例如远程等离子体产生器的远程活化源,来产生随后将传送到工艺腔室 100 中的反应物种的等离子体。示范性远程等离子体产生器可由诸如 MKS Instruments, Inc. 和 Advanced Energy Industries, Inc. 的供应商提供。较佳地,RF 功率供应耦接至电极 240。

[0034] 取决于工艺气体和将要在工艺腔室 100 内执行的操作,可加热气体输送组件 220。在一实施例中,例如电阻式加热器的加热构件 270 耦接至气体输送组件 220。在一实施例中,加热构件 270 是管状构件,并且嵌入气体输送组件 220 的上表面。气体输送组件 220 的上表面包括具有略小于加热构件 270 的外径的宽度的沟槽或凹陷通道,以便利用过盈配合(interference fit)将加热构件 270 固持在沟槽中。

[0035] 由于输送组件 220(包括气体输送组件 220 和区隔元件 230)的每个部件是彼此传导耦接的,因此加热构件 270 可调节气体输送组件 220 的温度。可以在 2005 年 2 月 22 日申请的美国专利申请案号 11/063,645 而公开为 US2005-0230350 中获得工艺腔室的额外细节,这里将其作为参考文献。

[0036] 对于执行需要加热和冷却基板表面而不破坏真空的等离子体辅助干法蚀刻工艺而言,工艺腔室 100 是特别有用的。在一实施例中,工艺腔室 100 可用来选择性去除基板上的一或多种氧化物。

[0037] 在一实例中,使用氨(NH_3)和三氟化氮(NF_3)的气体混合物来去除一或多种硅氧化物的干法蚀刻工艺可以执行于工艺腔室 100 内。相信除了均在单一工艺环境内的基板加热和冷却以外,对于可从等离子体工艺受益的任何干法蚀刻工艺(包括退火工艺)而言,工艺腔室 100 是有利的。

[0038] 参照图 3,干法蚀刻工艺开始于将基板 110 放入工艺腔室 100 中。基板通常通过狭缝阀开口 160 被放入腔室主体 112 中,并设置在支撑构件 310 的上表面上。可将基板 110

夹持到支撑构件 310 的上表面。较佳地,可通过抽取真空将基板 110 夹持到支撑构件 310 的上表面。接着,如果支撑构件 310 还没有处于工艺位置,则将支撑构件 310 上升至腔室主体 112 内的工艺位置。较佳地将腔室主体 112 加热至约 50°C 至约 80°C 之间的温度,例如约 65°C。通过使传热介质流过通道 113 而保持腔室主体 112 的温度。

[0039] 通过将传热介质或冷却剂流过形成于支撑组件 300 内的通道,基板 110 被冷却至约 65°C 以下,例如约 15°C 至约 50°C 之间。在一实施例中,将基板保持在室温或室温以下。在另一实施例中,将基板加热到约 22°C 至约 40°C 之间的温度下。通常,为了达到期望的基板温度,将支撑构件 310 保持在约 22°C 以下。为了冷却支撑构件 310,使冷却剂流过形成于支撑组件 300 内的流体通道。为了更好地控制支撑构件 310 的温度,较佳地使用连续流动的冷却剂。在一实例中,冷却剂含有约 50 体积百分比 (vol%) 的乙二醇和 50 体积百分比 (vol%) 的水。只要能将基板保持在期望的温度,可以使用其他比例的水和乙二醇。

[0040] 为了选择性去除基板 110 表面上的各种氧化物,将蚀刻气体混合物导入工艺室 100。在一实施例中,接着将氨和三氟化氮气体导入工艺腔室 100 内以形成蚀刻气体混合物。导入腔室内的各气体的量是可变的并且可进行调整,以便相配于例如将要去除的氧化物层的厚度、被清洗的基板的几何形态、等离子体的体积容量、腔室主体 112 的体积容量、以及耦接至腔室主体 112 的真空系统的能力。

[0041] 可预先决定蚀刻气体混合物的比例,以选择性去除基板表面上的多种氧化物。在一实施例中,可调整蚀刻气体混合物中的多种气体的比例,以去除诸如热氧化物、沉积氧化物、和 / 或自然氧化物的多种氧化物。在一实施例中,可设定蚀刻气体混合物中的氨与三氟化氮的摩尔比例(在本文中称为 NH₃/NF₃ 摩尔比例)以去除自然氧化物。在一实施例中,添加气体以提供氨与三氟化氮的摩尔比例为至少 1 : 1 的气体混合物。在另一实施例中,蚀刻气体混合物的 NH₃/NF₃ 摩尔比例至少为约 10,较佳为约 15 或更大,且更佳为约 20 或更大(例如约 30)。

[0042] NH₃/NF₃ 摩尔比例正比于氨与三氟化氮的气体流速比例。在一实施例中,氨流入工艺腔室内的流速可以介于约 20sccm 至约 300sccm 之间,较佳为介于约 40sccm 至约 200sccm 之间,更佳为介于约 60sccm 至约 150sccm 之间,且更佳为介于约 75sccm 至约 100sccm 之间。三氟化氮流入工艺腔室内的流速可以介于约 1sccm 至约 60sccm 之间,较佳为介于约 2sccm 至约 50sccm 之间,更佳为介于约 3sccm 至约 25sccm 之间,且更佳为介于约 5sccm 至约 15sccm 之间。

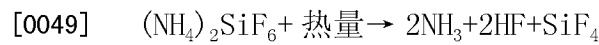
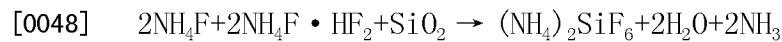
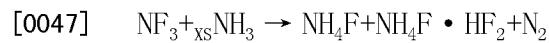
[0043] 也可将净化气体或载气加入蚀刻气体混合物中。可以使用任何合适的净化气体 / 载气,例如氩、氦、氢、氮、或其混合物。通常,整个蚀刻气体混合物的氨和三氟化氮为介于约 0.05% 至约 20% 体积百分比,其余为载气。载气流入工艺腔室内的流速可以介于约 200sccm 至约 5000sccm 之间,较佳为介于约 500sccm 至约 4000sccm 之间,更佳为介于约 1000sccm 至约 3000sccm 之间。在一实施例中,为了稳定腔室主体 112 内的压力,在反应气体前先将净化气体或载气导入腔室主体 112 中。腔室主体 112 内的操作压力是可变的。通常,腔室主体 112 的内部压力可以介于约 500mTorr 至约 30Torr 之间,较佳为约 1Torr 至约 10Torr 之间,且更佳为介于约 3Torr 至约 6Torr 之间。

[0044] 为了在容纳于气体输送组件 220 中的空间 261、262 和 263 内引燃气体混合物的等离子体,可对电极 240 施加 RF 功率。RF 功率可以介于约 5 瓦至约 600 瓦之间,较佳为小于

约 100 瓦（例如约 60 瓦或更小），较佳为约 50 瓦或更小，且更佳为约 40 瓦或更小。在一实施例中，可在工艺期间使用较低的 RF 功率来点燃气体混合物并形成清洁等离子体。RF 功率可以介于约 5 瓦至约 50 瓦之间，较佳为介于约 15 瓦至约 30 瓦之间。在一实例中，用约 30 瓦或更小的 RF 功率来产生等离子体。在另一实例中，用约 15 瓦或更小的 RF 功率来产生等离子体。通常，施加功率的频率是非常低的，例如小于 100kHz。较佳地，频率可以介于约 50kHz 至约 90kHz 之间。

[0045] 等离子体能量将氨和三氟化氮分解为反应物种，该些反应物种会结合而形成诸如氟化铵 (NH_4F) 和 / 或氟化氢铵 ($\text{NH}_4\text{F} \cdot \text{HF}_2$) 的反应气体。此气体混合物经由气体分布板 225 的孔洞 225A 流过气体输送组件 220，以便与含有氧化物层（例如自然氧化硅层）的基板表面反应。在一实施例中，首先将载气导入工艺腔室 100 中，产生载气的等离子体，并且随后将反应气体、氨和三氟化氮加到等离子体中。

[0046] 不希望受理论限制，相信蚀刻气体、氟化铵和 / 或氟化氢铵与氧化硅表面反应，以形成六氟硅酸铵 ($(\text{NH}_4)_2\text{SiF}_6$)、氨和水。可由真空泵 125 将气体的氨和水从工艺腔室 100 中去除。特别地，在气体经由真空口 131 离开工艺腔室 100 进入真空泵 125 之前，挥发性气体流过形成于内衬 133 中的孔洞 135 而进入泵送通道 129。含六氟硅酸铵的薄膜形成在基板表面上。可以如下概述该反应机制：



[0050] 在基板表面上形成薄膜之后，可将支撑构件 310 上升到紧靠加热的气体分布板 225 的退火位置。从气体分布板 225 辐射的热量可将六氟硅酸铵薄膜分解或升华为诸如四氟化硅、氨和氟化氢的挥发性化合物。如上所述，接着可透过真空泵 125 将这些挥发性产物从工艺腔室 100 中去除。通常，在约 75°C 或更大的温度下，较佳为约 100°C 或更大（例如介于约 115°C 至约 200°C 之间），将薄膜从基板分解且去除。

[0051] 将六氟硅酸铵薄膜分解成挥发性成分的热能是由气体分布板 225 来对流或辐射。如上所述，将加热构件 270 直接耦接到分布板 225，并且使加热构件 270 工作，以便将分布板 225 及与其热接触的部件加热至介于约 75°C 至约 300°C 之间的温度，较佳为介于约 100°C 至约 200°C，更佳为介于约 110°C 至约 150°C（例如约 120°C）。

[0052] 可以多种方式实现该上升变化。例如，升降机构 330 可以朝向分布板 225 的下表面上升支撑构件 310。在此上升步骤期间，将基板 110 固定至支撑构件 310，例如由如上所述的真空夹持或静电夹持。替代地，可以由穿过升降环 320 来上升升降梢 325，将基板 110 自支撑构件 310 上升并且置于紧靠加热的分布板 225 之处。

[0053] 其上具有薄膜的基板 110 的上表面与分布板 225 之间的距离不是决定性的，而是例行实验的结果。任何本领域技术人员可以轻易地决定可快速且有效地蒸发薄膜且不损伤下方基板所需的间隔。然而，相信约 0.254mm(10mils) 和 5.08mm(200mils) 之间的间隔是有效的。

[0054] 一旦已经将薄膜从基板上去除，便净化 (purge) 并排空 (evacuate) 工艺腔室 100。随后通过将基板支撑件 300 下降到传送位置、松持基板、以及经由狭缝阀开口 160 传送基板，而将处理的基板移出腔室主体 112。

[0055] 本发明的一实施例可用来在浅沟槽隔离区的制造期间均匀地去除多种氧化物。STI 是用于亚 -0.25 微米工艺的器件隔离技术的主要形式。STI 制造通常包括沟槽掩模和蚀刻、侧壁氧化、沟槽填充和平坦化。图 4A-4I 是根据本发明一实施例的用于形成浅沟槽隔离区的工艺顺序的截面示意图。

[0056] 图 4A 示出形成氧化物势垒层 402 和沉积氮化物层 403 之后的半导体基板 401。基板 401 可以是具有 $\langle 100 \rangle$ 晶相且直径为 150mm(6 英寸)、200mm(8 英寸) 或 300mm(12 英寸) 的硅基板。可在高温氧化炉中在基板 401 上生长氧化物势垒层 402。氧化物势垒层 402 的厚度可以为约 150 Å。在后续的氮化物剥离步骤期间，氧化物势垒层 402 可保护基板 401 免受污染。可在高温低压化学汽相沉积 (LPCVD) 炉中形成氮化物层 403。氮化物层 403 一般是由氨和二氯硅烷气体反应所形成的氮化硅 (例如 Si_3N_4) 的薄膜。氮化物层 403 是耐用的掩模材料，其在氧化物沉积期间保护基板 401 并且在后续化学机械研磨 (CMP) 期间作为研磨终止材料。

[0057] 图 4B 示出在氮化物层 403 上形成、曝光和显影的光刻胶层 404。可在光刻胶层 404 上形成沟槽图案。后续的氮化物蚀刻和氧化物蚀刻步骤可在氮化物层 403 和势垒层 402 中形成沟槽图案 405，其暴露基板 401 中指定为隔离区域的位置。

[0058] 图 4C 示出使用例如干法等离子体蚀刻的蚀刻工艺在基板 401 内形成浅沟槽 406。浅沟槽 406 稍后将以介电质材料来填充且其将作为建构在基板 401 上的电子器件 (例如，基板上金属场效应晶体管 (MOSFET)) 间的隔离材料。

[0059] 图 4D 示出在浅沟槽 406 内部形成的内衬氧化物层 407。通常在高温氧化炉中生长内衬氧化物层 407。内衬氧化物层 407 的目的是为了改善基板 401 与将要填充的沟槽氧化物之间的界面。

[0060] 图 4E 示出在浅沟槽 406 内的内衬氧化物层 407 上形成的氮化物内衬 408。可通过等离子体增强化学汽相沉积 (PECVD) 工艺由载气 (诸如氮或氩) 中的硅烷和氨形成氮化物内衬 408。氮化物内衬 408 的目的是为了在浅沟槽 406 中产生应力并避免由受应力的氧化物引起的机械失效。

[0061] 图 4F 示出填充在浅沟槽 406 和沟槽图案 405 内的沟槽氧化物 409。通常通过 CVD 工艺以相当高的沉积速率来形成沟槽氧化物 409。过度填充 (overfill) 沟槽氧化物 409，以致沟槽氧化物 409 高于基板 401 的顶表面。

[0062] 为了获得如图 4G 所示的平坦表面，可应用 CMP 工艺。CMP 工艺可从沟槽氧化物 409 去除过量的氧化物。

[0063] 为了去除氮化物层 403 及暴露多种氧化物、势垒层 402 的热氧化物、沟槽氧化物 409 的沉积氧化物、内衬氧化物层 407 的热氧化物、和氮化物内衬 408 的氮化氧化物，可执行氮化物剥离步骤，如图 4H 所示。

[0064] 通常，将执行氧化物蚀刻步骤，以便使浅沟槽结构可用于后续工艺步骤，例如各种阱区离子注入。图 4I 示出在干法蚀刻工艺之后的 STI。本发明的干法蚀刻工艺可用于蚀刻图 4H 中暴露的多种氧化物，以便在浅沟槽 409 上获得大致上平坦的顶表面并避免不期望的结或漏电流。在一实施例中，可在与工艺腔室 100 相似的工艺腔室内执行干法蚀刻工艺。可将基板 400 放置在工艺腔室内并将其加热到约 100°C 或更小的温度，较佳为约 80°C 或更小，且更佳为约 60°C 或更小，例如介于约 20°C 至约 60°C 之间，较佳为介于约 25°C 至约 50°C

之间,且更佳为介于约 30°C 至约 40°C 之间(例如约 35°C)。

[0065] 为了去除基板 400 表面上的多种氧化物,将蚀刻气体混合物导入工艺腔室 100。在一实施例中,将包含氨和三氟化氮气体的蚀刻气体混合物导入工艺腔室中。为了相配于例如将要去除的氧化物层的厚度、基板 400 的几何形态、等离子体的体积容量、腔室的体积容量、真空系统的能力、以及基板 400 上不同氧化物的性质,可调整氨和三氟化氮的量和比例。还可将净化气体或载气加到蚀刻气体混合物中。接着引燃蚀刻气体混合物的等离子体。等离子体与氧化物反应而在基板 400 上留下含六氟硅酸铵的薄膜层。

[0066] 然后,为了将薄膜升华,将基板 400 加热到约 100°C 或更大的温度,例如介于约 100°C 至约 200°C 之间,较佳为介于约 100°C 至约 150°C 之间,且更佳为介于约 110°C 至约 125°C 之间。接着可净化和排空工艺腔室,并且基板 100 做好进行后续步骤准备。在一实施例中,基板在蚀刻工艺期间介于约 20°C 至约 80°C 之间的第一温度,并且接着在升华工艺期间基板被加热到介于约 100°C 至约 150°C 之间的第二温度。在另一实例中,基板在蚀刻工艺期间系介于约 22°C 至约 40°C 之间的第一温度,并且接着在升华工艺期间基板被加热到介于约 110°C 至约 125°C 之间的第二温度。

[0067] 此处描述的蚀刻工艺可用于制造期间的各种蚀刻步骤中,特别是用于去除一或多种氧化物的步骤中。例如,可用此处描述的蚀刻工艺进行注入和沉积之前的多种回蚀。在一实施例中,可在用来形成含硅材料的外延生长 / 沉积工艺、多晶硅沉积工艺、或硅化工艺之前使用此处描述的蚀刻工艺。

[0068] 图 5A-5H 示出用于形成例如 MOSFET 结构 500 的电子器件的工艺顺序的截面示意图,包括此处描述的干法蚀刻工艺和工艺腔室 100。可在例如硅或砷化镓基板 525 的半导体材料上形成 MOSFET 结构 500。基板 525 较佳是具有 <100> 晶相且直径为 150mm(6 英寸)、200mm(8 英寸)、或 300mm(12 英寸) 的硅基板。通常,MOSFET 结构 500 包括以下的组合:(i) 介电质层,诸如二氧化硅、有机硅酸盐、碳掺杂的氧化硅、磷硅酸盐玻璃(PSG)、硼磷硅酸盐玻璃(BPSG)、氮化硅、或其组合;(ii) 半导体层,诸如掺杂的多晶硅、n-型或 p-型掺杂的单晶硅;以及(iii) 由金属层或金属硅化物层(诸如钨、硅化钨、钛、硅化钛、硅化钴、硅化镍、或其组合)形成的电接触和互连线。

[0069] 参照图 5A,有源电子器件的制造开始于形成可使有源电子器件与其他器件电性隔离的电隔离区结构。存在几种类型的电隔离区结构,诸如场氧化物势垒、或浅沟槽隔离区。在此情况中,浅沟槽隔离区 545A 和 545B 围绕其中形成并制备器件的电子有源元件的暴露区域。STI 可包括如图 4A-4I 所述的两种或多种氧化物。为了形成厚度约 50 到 300 埃的薄栅极氧化物层 550,而热氧化暴露区域。接着沉积、图案化并蚀刻多晶硅层,以便形成栅极电极 555。为了形成绝缘介电质层 560,可以再氧化多晶硅栅极电极 555 的表面,以提供图 5A 所示结构。

[0070] 图 5B 示出源极 570A 和漏极 570B,其通过以适当的掺杂原子来掺杂合适区域来形成。例如,对于 p-型基板 525,使用包含砷或磷的 n-型掺杂物。通常,掺杂通过离子注入机加以执行,并且可包括例如浓度为约 10^{13} 原子 / cm^2 且能量约 30 到 80keV 的磷、或剂量约 1×10^{15} 到 1×10^{17} 原子 / cm^2 且能量约 10 到 100keV 的砷。在注入工艺之后,通过加热基板(例如在快速热工艺(RTP)设备中)促使掺杂物进入基板 525。此后,通过如上所述的干法蚀刻工艺剥离覆盖源极 570A 和漏极 570B 区域的薄栅极氧化物层 550,以便去除由注入工艺

导致薄栅极氧化物层 550 中捕获的任何杂质。也可蚀刻浅沟槽隔离区 545A 和 545B 中的两种或多种氧化物。为了相配于不同氧化物所需的各种蚀刻速率，可调整蚀刻气体混合物。

[0071] 参照图 5C 和 5D，通过低压化学汽相沉积 (LPCVD) 使用硅烷 (SiH_4)、氯 (Cl_2) 和氨 (NH_3) 的气体混合物在栅极电极 555 上和基板 525 表面上沉积氮化硅层 575。如图 5D 所示，为了在栅极电极 555 的侧壁上形成氮化物间隙壁 580，随后使用反应离子蚀刻 (RIE) 技术来蚀刻氮化硅层 575。间隙壁 580 将栅极电极 555 顶表面上形成的硅化物层与源极 570A 和漏极 570B 上沉积的其他硅化物层电性隔离。应该注意的是，可以由例如氧化硅的其他材料来制造电性隔离侧壁间隙壁 580。通常通过 CVD 或 PECVD 用四乙氧硅烷 (TEOS) 的原料气在约 600°C 到约 1000°C 的温度下沉积用于形成侧壁间隙壁 580 的氧化硅层。虽然图中示出的是在注入和 RTP 活化之后形成间隙壁 580，但是可在源极 / 漏极注入和 RTP 活化之前形成间隙壁 580。

[0072] 参照图 5E，通常通过在工艺之前和之后将硅暴露于大气中，而在暴露的硅表面上形成自然氧化硅层 585。为了改进所形成的金属硅化物的合金化反应和电导率，必须在形成栅极电极 555、源极 570A 和漏极 570B 上的导电金属硅化物接触前去除自然氧化硅层 585。自然氧化硅层 585 可增加半导体材料的电阻，且不良地影响接下来沉积的硅和金属层的硅化反应。因此，必须在形成用于将有源电子器件互连的金属硅化物接触或导体前使用所述的干法蚀刻工艺去除该自然氧化硅层 585。上述的干法蚀刻工艺可用于去除自然氧化硅层 585，以便暴露源极 570A、漏极 570B 和栅极电极 555 的顶表面，如图 5F 所示。浅沟槽隔离区 545A 和 545B 中的氧化物同样暴露于干法蚀刻工艺。为了在不同表面获得均匀的去除速率，可对干法蚀刻工艺进行适当调整，例如反应气体比例。

[0073] 此后，如图 5G 所示，为了沉积金属层 590，使用物理汽相沉积 (PVD) 或溅射工艺。随后，为了在金属层 590 与硅接触的区域中形成金属硅化物，使用传统炉内退火来退火金属和硅层。通常在独立的处理系统中执行退火。因此，可在金属 590 上沉积保护覆盖层（未示出）。覆盖层通常是氮化物材料，且可以包括由氮化钛、氮化钨、氮化钽、氮化铪、氮化硅、其衍生物、其合金、或其组合所构成的群组中选择的一或多种材料。覆盖层可由任何沉积工艺加以沉积，较佳由 PVD 工艺。

[0074] 退火通常包括在氮气环境中将 MOSFET 结构 500 加热至介于 600°C 与 800°C 之间的温度持续约 30 分钟。替代地，可使用将 MOSFET 结构 500 快速加热到约 1000°C 持续约 30 秒的快速热退火工艺来形成金属硅化物 595。合适的导电金属包括钴、钛、镍、钨、铂、和具有低接触电阻且可以在多晶硅和单晶硅上形成可靠金属硅化物接触的任何其他金属。

[0075] 可以通过使用不侵蚀金属硅化物 595、间隙壁 580 或场氧化物 545A 和 545B 而去除金属的王水 (HCl 和 HNO_3) 的湿法蚀刻来去除金属层 590 的未反应部分，由此在栅极电极 555、源极 570A 和漏极 570B 上留下自对准 (self-aligned) 金属硅化物 595，如图 5H 所示。此后，可以在电极结构上沉积包括例如氧化硅、BPSG 或 PSG 的绝缘罩层。可以通过在 CVD 室中的化学汽相沉积来沉积该绝缘罩层，其中来自原料气的材料在低压或常压下凝结，例如如共同受让的美国专利 US 5,500249 所描述的，这里将其作为参考文献。然后，为了形成光滑的平坦表面，在玻璃化转变温度下退火 MOSFET 结构 500。

[0076] 虽然已经描述了有关 MOSFET 器件的形成的上述工艺顺序，此处描述的干法蚀刻工艺也可用于形成需要去除各种氧化物的其他半导体结构和器件。还可以在沉积包括例如

铝、铜、钴、镍、硅、钛、钯、铪、硼、钨、钽、其合金、或其组合的不同金属层的沉积之前使用该干法蚀刻工艺。

[0077] 在一实施例中,如实施例中描述的干法蚀刻工艺可以与液相腐蚀工艺相结合。例如,对于具有至少两种氧化物的氧化物结构,干法蚀刻工艺可以用于选择性去除第一氧化物,其相对于第二氧化物完全地或部分地减少第一氧化物特征。液相 HF 腐蚀工艺可接着用于去除第二氧化物。

[0078] 为了提供前述描述的更好理解,给出下列非限制性实例。虽然此实例可能涉及特定实施例,但不能认为实例在任何特定方面限制了本发明。

[0079] 实例:

[0080] 将基板暴露于各种蚀刻工艺,以去除自然氧化物层且在基板上形成钝化表面。接着将基板在一时序期间暴露于外界条件,并且在钝化表面上形成次自然氧化物层。在将基板暴露于外界条件的同时,依时序来监测次自然氧化物层的厚度,如图 6 所绘示。该各种蚀刻工艺包括实验 A-E,如下表所概述。

[0081] 基板 NH₃ 流速 (sccm) NF₃ 流速 (sccm) NH₃/NF₃ 摩尔比例等离子体功率 (W)

[0082]

基板	NH ₃ 流速 (sccm)	NF ₃ 流速 (sccm)	NH ₃ /NF ₃ 摩尔 比例	等离子体功 率 (W)
A	—	—	—	—
B	70	14	5	30
C	100	50	2	30
D	100	5	20	30
E	100	5	20	15

[0083] 在实验 A 中,基板 A 暴露于 HF 湿法清洁溶液与工艺。在实验 B 与 C 中,基板 B 与 C 分别暴露于 NH₃/NF₃ 摩尔比例为约 5 和约 2 的蚀刻气体混合物,并且皆暴露于以约 30 瓦的 RF 功率来引燃的等离子体。在实验 D 与 E 中,基板 D 与 E 皆暴露于 NH₃/NF₃ 摩尔比例为约 20 的蚀刻气体混合物,但分别暴露于以约 30 瓦和 15 瓦的不同 RF 功率来引燃的等离子体。

[0084] 对于实验 B-E,还将氩以约 3500sccm 流速随着氨和三氟化氮导入工艺腔室。工艺腔室的内部压力为约 3Torr,并且基板温度为约 35°C。为了形成含六氟硅酸铵的膜,将基板蚀刻长达 120 秒。

[0085] 在随后的退火工艺期间,基板表面与喷头间的间隔为约 750mils。在腔室内以约 1500sccm 流速的氩进行载座净化,以约 500sccm 流速的氩进行边缘净化。为了通过升华与 / 或分解将膜去除同时将基板表面予以钝化,将盖加热到约 120°C 的温度且将基板退火长达约 60 秒。约 50Å 的含自然氧化硅的材料从各基板表面去除。

[0086] 一旦实验 A-E 完成了蚀刻工艺,将基板 A-E 退出工艺腔室且将其放置在外界环境

中,从而使基板在室温(约22°C)下暴露于空气中的氧和水。在约5小时的等待时间后,基板A、B和C各包含有大于约5Å的氧化物层,而基板D和E各包含有小于约5Å的氧化物层。在约10小时的等待时间后,基板A、B和C各包含有大于约7Å的氧化物层,而基板D和E各包含有小于约6Å的氧化物层。在约15小时、20小时和25小时的等待时间后,基板A、B和C各包含有大于约8Å的氧化物层,而基板D和E各包含有小于约6Å的氧化物层。此外,在约30小时的等待时间后,基板A、B和C各包含有约9Å或更大的氧化物层,而基板D和E各包含有小于约7Å的氧化物层。

[0087] 在实验D与E期间形成的钝化表面会于基板暴露于工艺腔室外面的外界条件时在约5小时至约25小时之间的时间内将在基板上进一步形成的另一自然氧化物的厚度限制到约6Å或更小。此外,在实验D与E期间形成的钝化表面会于基板暴露于工艺腔室外面的外界条件时在约15小时至约30小时之间的时间内将在基板上进一步形成的另一自然氧化物的厚度限制到约8Å或更小(较佳为约7Å或更小,且更佳为约6Å或更小)。

[0088] 除非另外指出,否则在说明书和权利要求书中用来表示性质的量、反应条件等的所有数字应该理解为近似值。这些近似值是基于本发明欲获得的期望性质和测量误差,并且至少应该考虑记录的有效数位数并应用一般的四舍五入技术来解读。另外,可以进一步最优化本文表示的任何数量,包括温度、压力、间隔、摩尔比例、流速等,以便获得期望的蚀刻选择性和性能。

[0089] 虽然前述说明涉及本发明的实施例,但在不偏离其基本范围条件下可以设计出本发明的其他和额外实施例,因此其范围由权利要求所确定。

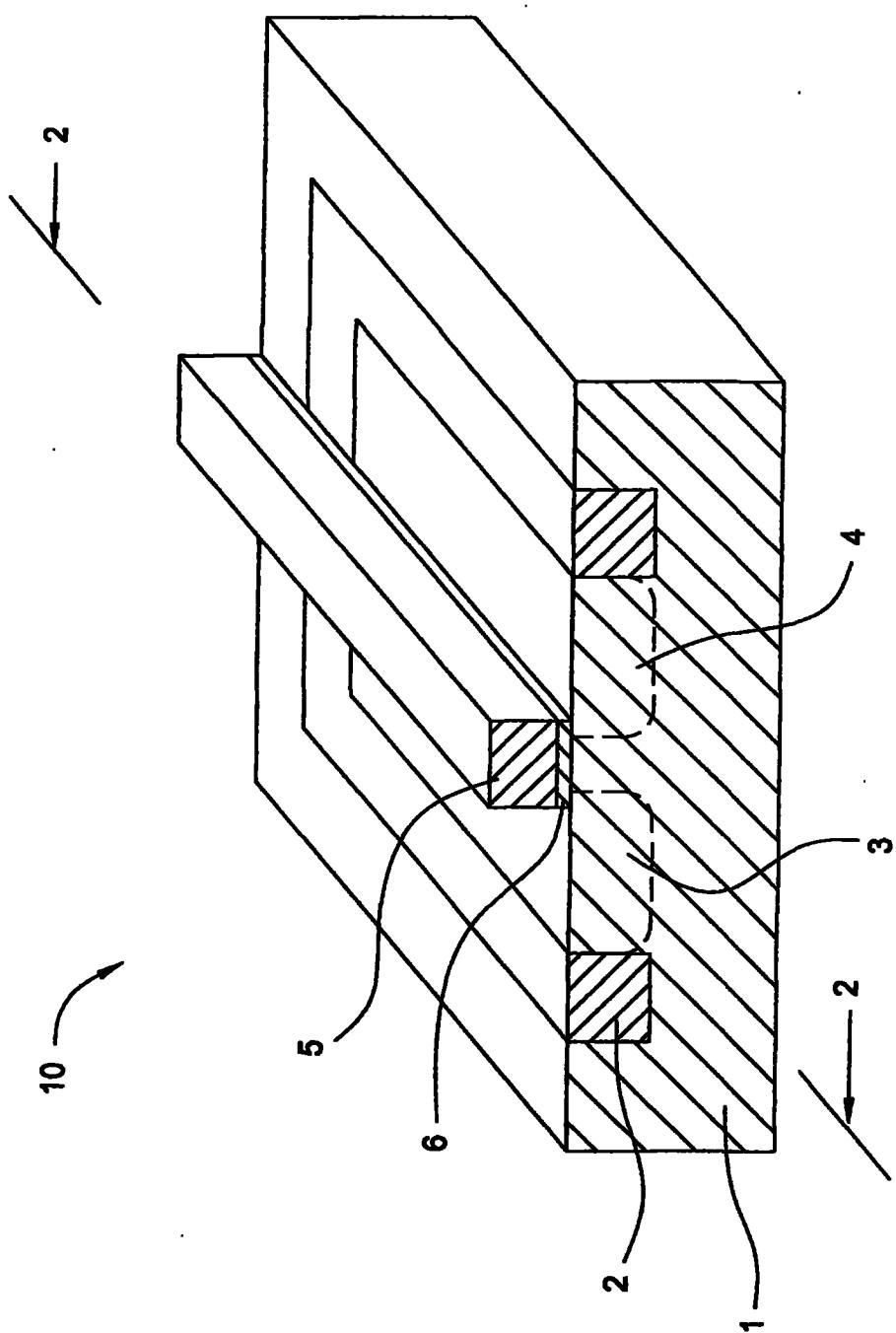


图 1

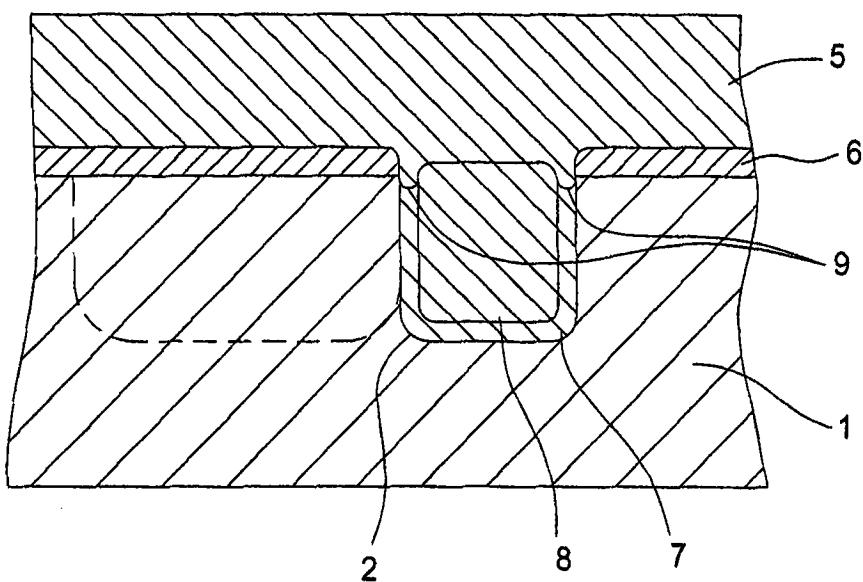


图 2

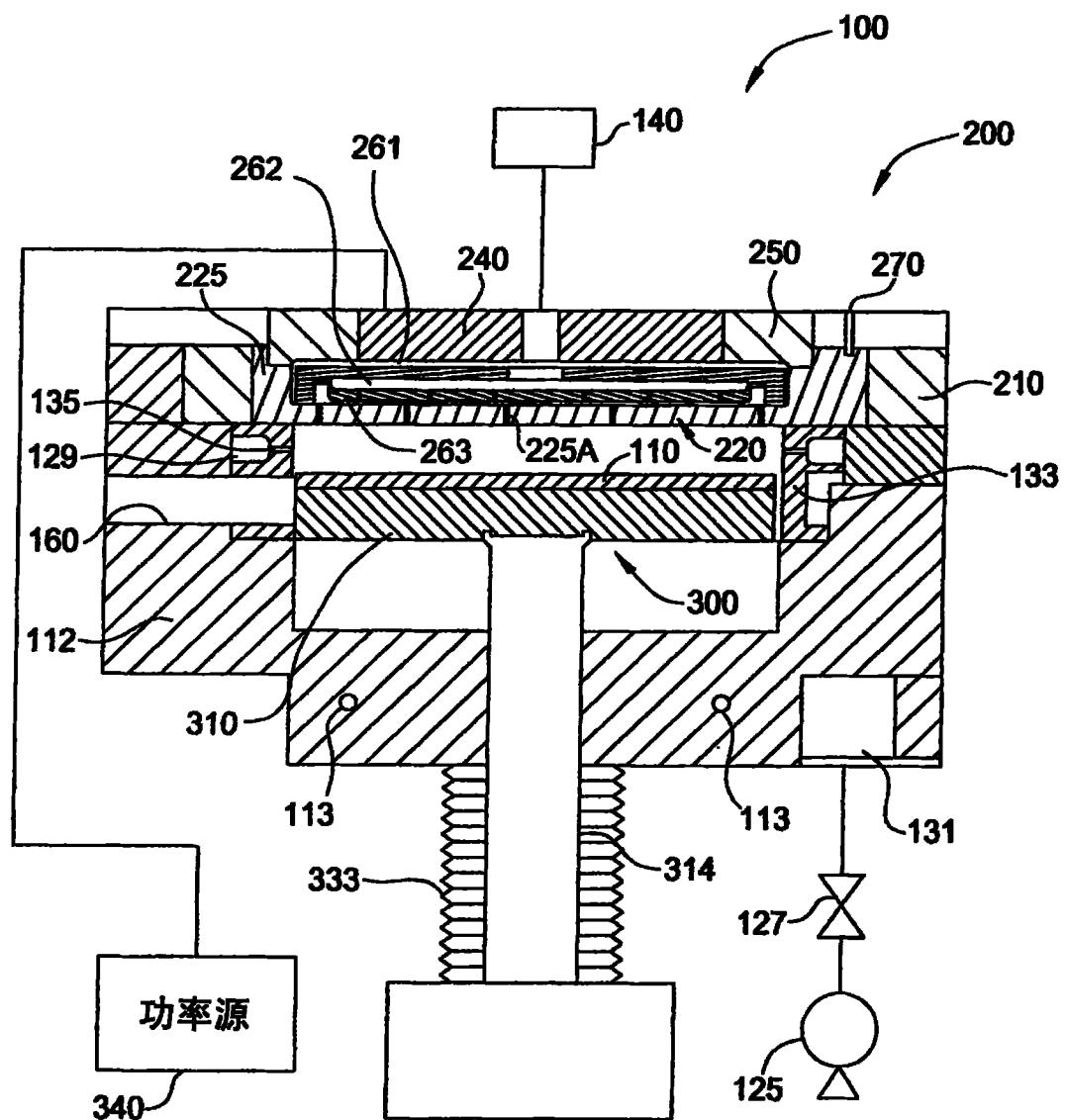


图 3

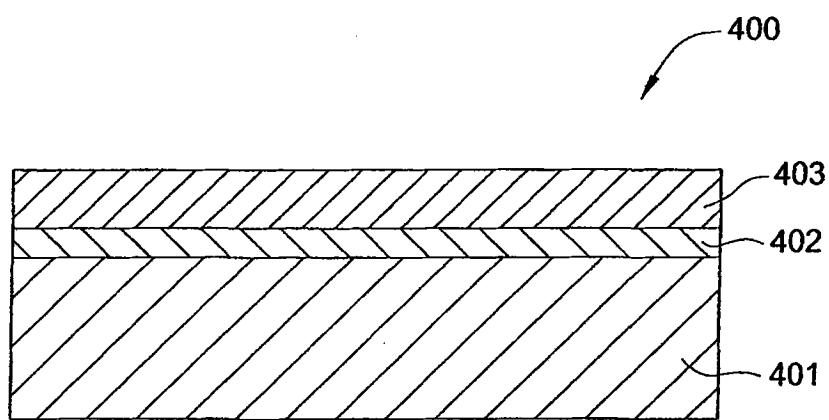


图 4A

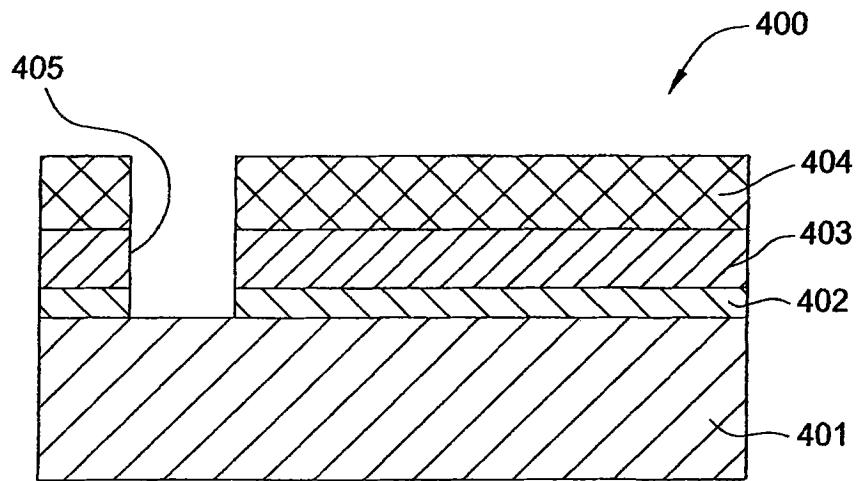


图 4B

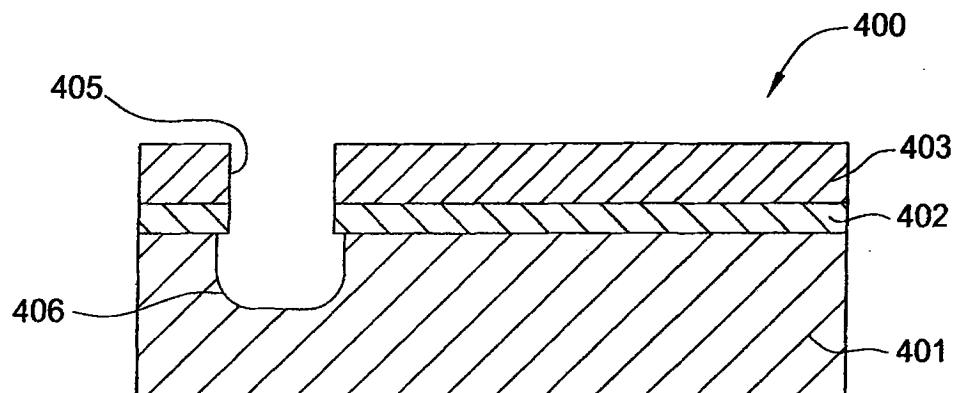


图 4C

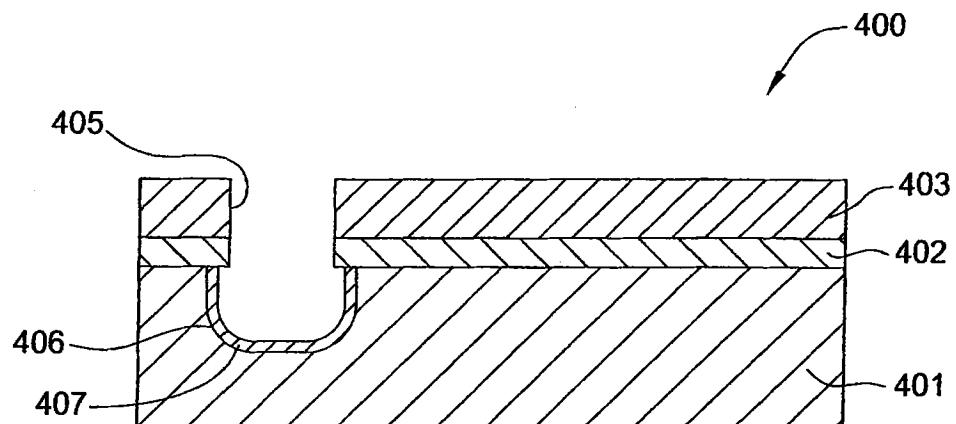


图 4D

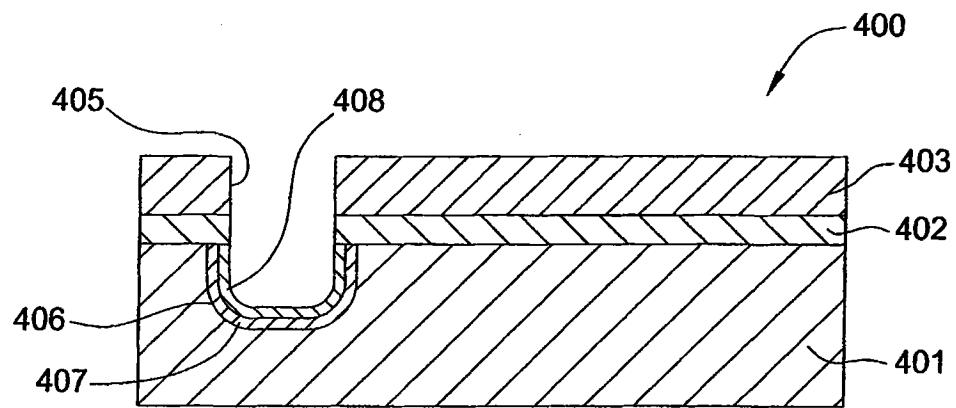


图 4E

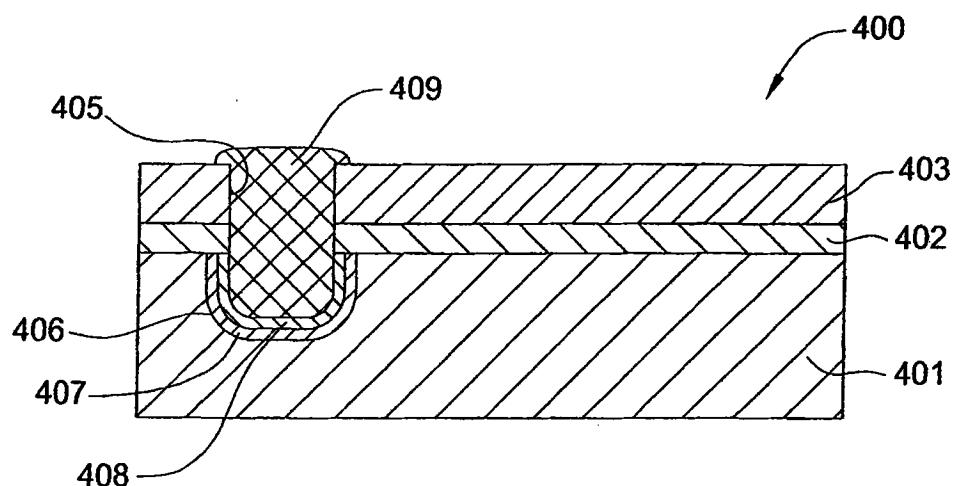


图 4F

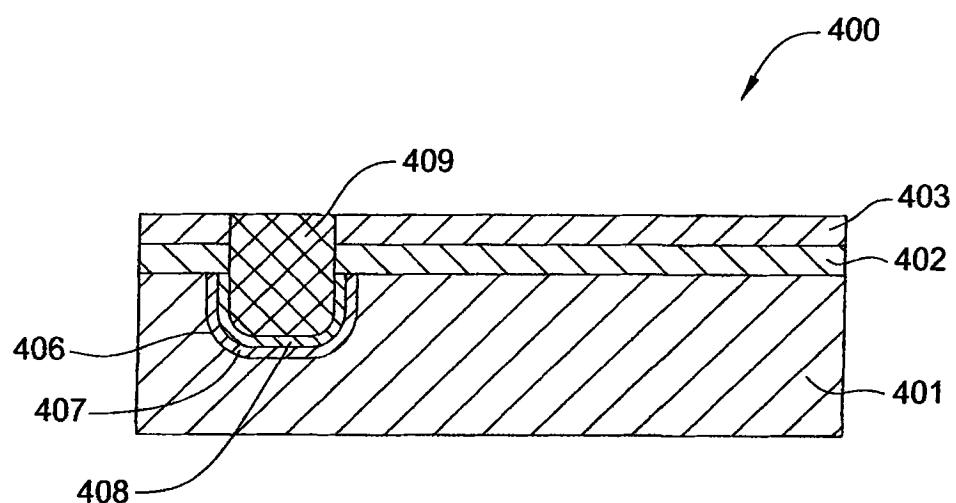


图 4G

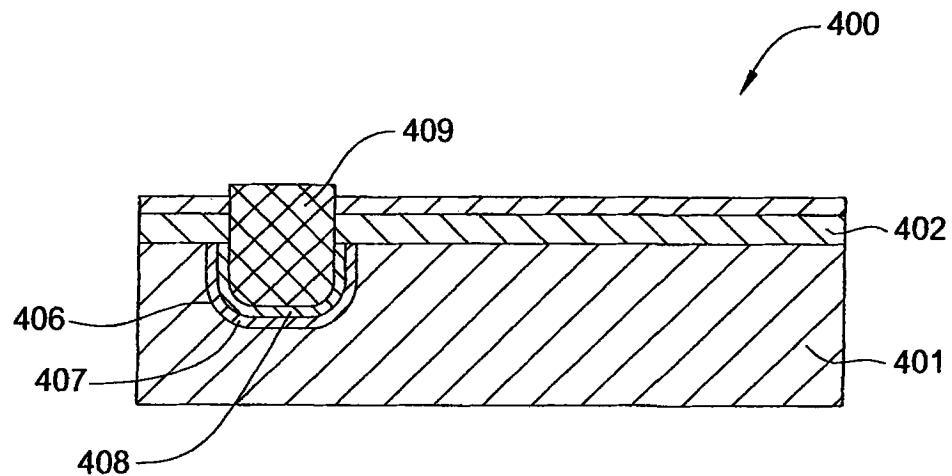


图 4H

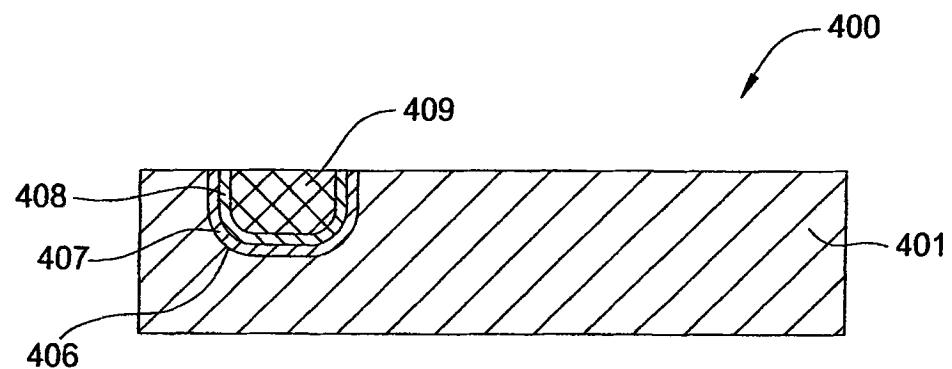


图 4I

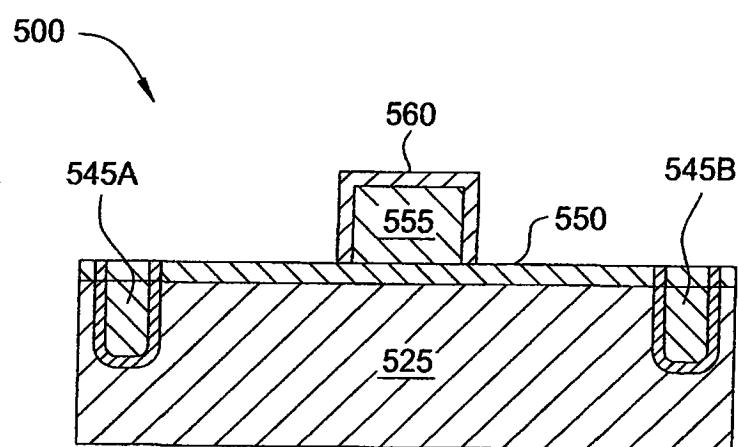


图 5A

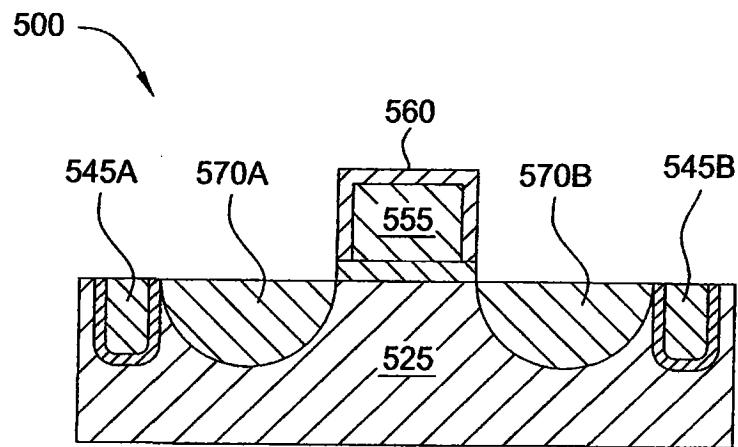


图 5B

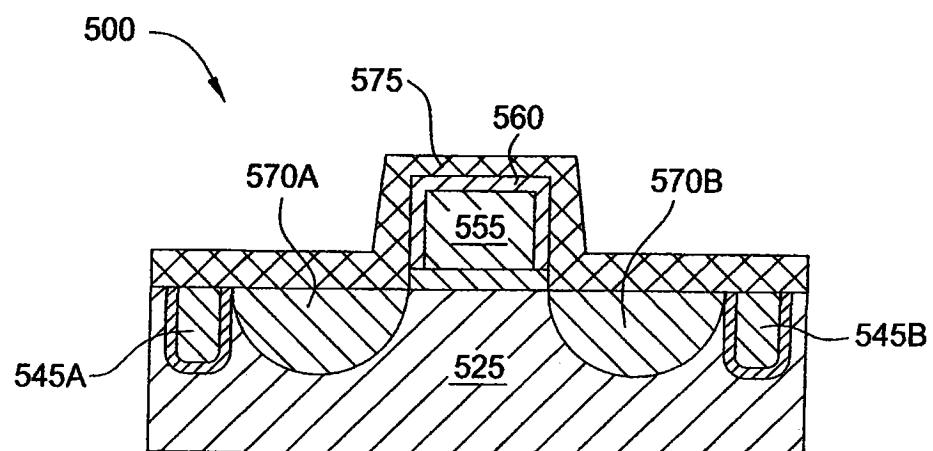


图 5C

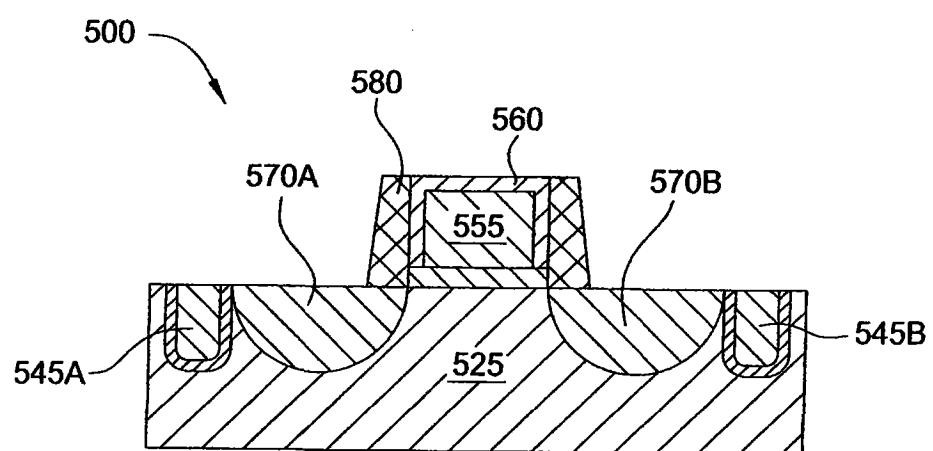


图 5D

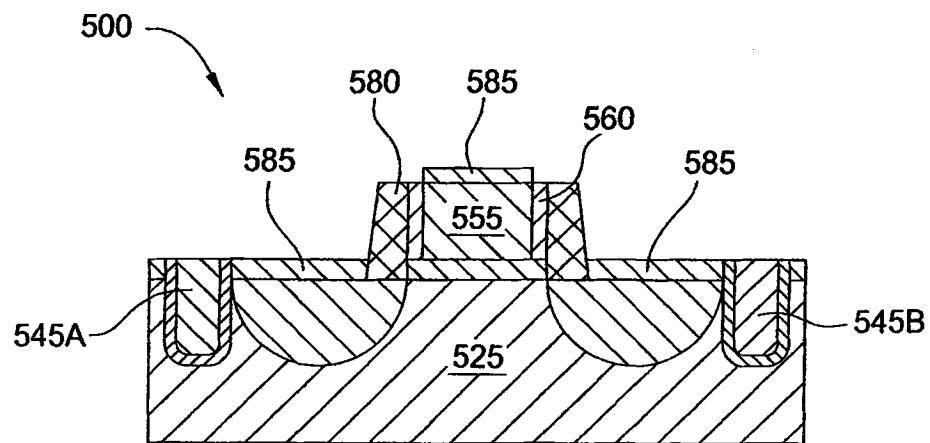


图 5E

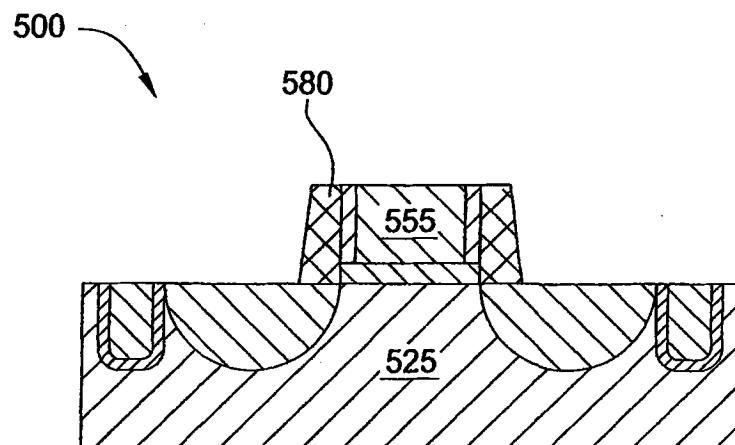


图 5F

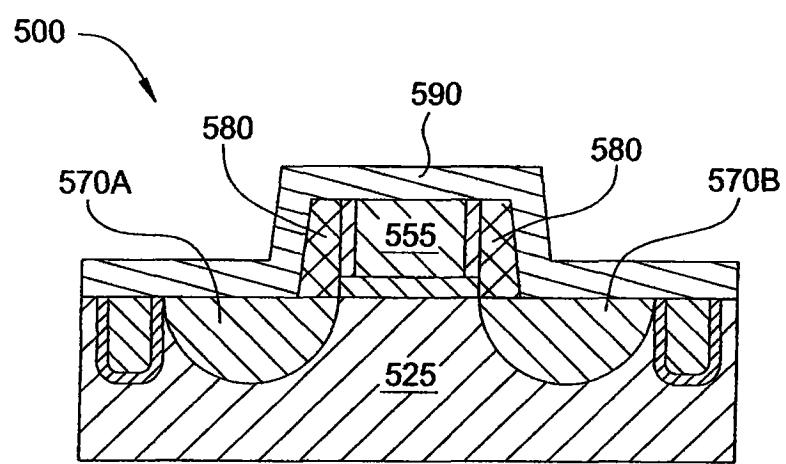


图 5G

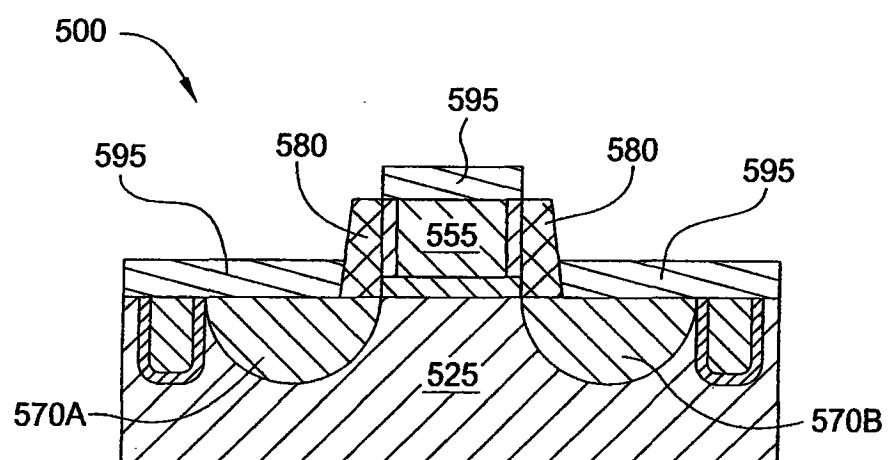


图 5H

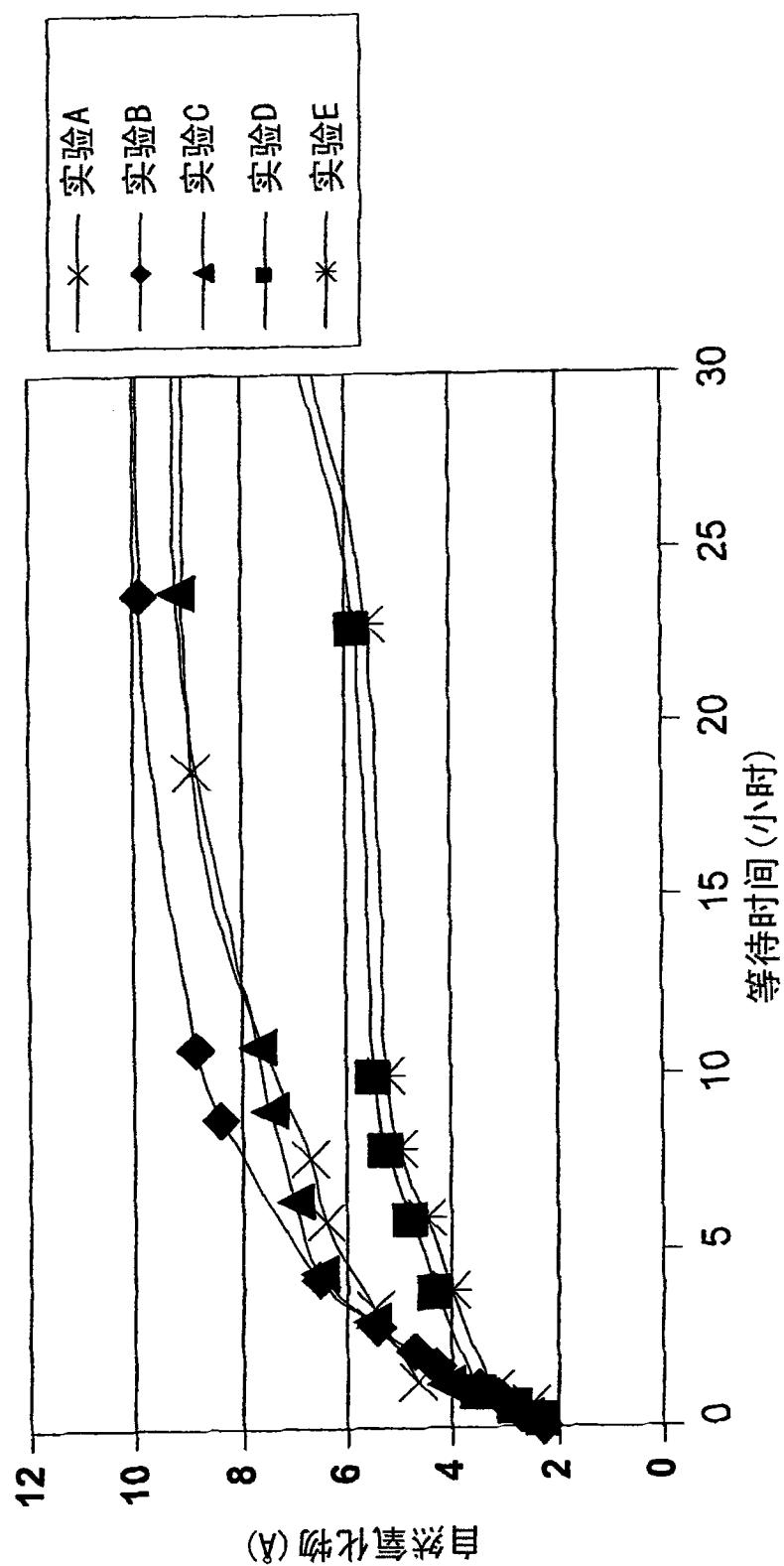


图 6