(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4714930号
(P4714930)
(45)発行日　平成23年7月6日(2011.7.6)　(24)登録日　平成23年4月8日(2011.4.8)

(51)Int.Cl.　　F I
G03F 1/08 (2006.01)　　G03F 1/08 A
G06F 17/50 (2006.01)　　G06F 17/50 658M

請求項の数 11　(全 38 頁)

(21)出願番号　特願2008-530891 (P2008-530891)
(86)(22)出願日　平成19年8月20日 (2007.8.20)
(86)国際出願番号　PCT/JP2007/066108
(87)国際公開番号　WO2008/023660
(87)国際公開日　平成20年2月28日 (2008.2.28)
審査請求日　平成20年12月15日 (2008.12.15)
(31)優先権主張番号　特願2006-229900 (P2006-229900)
(32)優先日　平成18年8月25日 (2006.8.25)
(33)優先権主張国　日本国(JP)

（出願人による申告）平成１６年度独立行政法人新エネルギー・産業技術総合開発機構「次世代半導体材料・プロセス基盤（ＭＩＲＡＩ）プロジェクト」委託研究、産業技術力強化法第１９条の適用を受ける特許出願

(73)特許権者　301021533
独立行政法人産業技術総合研究所
東京都千代田区霞が関１－３－１
(72)発明者　野里　博和
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内
(72)発明者　松縄　哲明
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内
(72)発明者　高橋　栄一
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内
(72)発明者　坂無　英徳
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内
最終頁に続く

(54)【発明の名称】マスクパターン設計方法およびそれを用いた半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
（ａ）マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正を、セルライブラリに含まれる複数のセルごとに施す工程と、
（ｂ）前記近接効果補正が施された前記複数のセルを配置してマスクパターンを設計する工程と、
（ｃ）前記工程（ｂ）の後、前記複数のセルの前記近接効果補正の補正量を調整する工程とを含み、
前記複数のセルの各々は、
前記セルのセル境界から内側に向かう領域であって、そのセルの周辺に配置された他のセルから前記形状変化の影響を受ける可能性のある第１領域の情報と、
前記セルのセル境界から外側に向かう領域であって、そのセルの周辺に配置された他のセルに対して前記形状変化の影響を与える可能性がある第２領域の情報とを有しており、
前記工程（ｃ）においては、前記複数のセルのうち、互いに隣接するセルの前記第１領域と前記第２領域とが重なる領域について前記近接効果補正の補正量を調整することを特徴とするマスクパターン設計方法。
【請求項２】
請求項１記載のマスクパターン設計方法において、前記第２領域の幅は、前記第１領域の幅よりも小さいことを特徴とするマスクパターン設計方法。
【請求項３】

請求項１記載のマスクパターン設計方法において、前記第１領域の幅は、パターン露光に用いる露光光の波長をλ、露光機のレンズの開口数をＮＡとすると、前記互いに隣接するセルのセル境界から内側に１．６２λ／ＮＡであることを特徴とするマスクパターン設計方法。

【請求項４】

請求項１記載のマスクパターン設計方法において、前記第１領域の幅は、パターン露光に用いる露光光の波長をλ、露光機のレンズの開口数をＮＡとすると、前記互いに隣接するセルのセル境界から内側に１．１２λ／ＮＡであることを特徴とするマスクパターン設計方法。

【請求項５】

（ａ）マスクパターンを露光してパターンを転写する際に生じる形状変化を補正する近接効果補正を、セルライブラリに含まれる複数のセルごとに施す工程と、

（ｂ）前記近接効果補正が施された前記複数のセルを配置してマスクパターンを設計する工程と、

（ｃ）前記工程（ｂ）の後、前記複数のセルの前記近接効果補正の補正量を調整する工程と、

（ｄ）前記工程（ｃ）の後、前記マスクパターンを露光して半導体ウエハにパターンを転写する工程とを含み、

前記複数のセルの各々は、

前記セルのセル境界から内側に向かう領域であって、そのセルの周辺に配置された他のセルから前記形状変化の影響を受ける可能性のある第１領域の情報と、

前記セルのセル境界から外側に向かう領域であって、そのセルの周辺に配置された他のセルに対して前記形状変化の影響を与える可能性がある第２領域の情報とを有しており、

前記工程（ｃ）においては、前記複数のセルのうち、互いに隣接するセルの前記第１領域と前記第２領域とが重なる領域について前記近接効果補正の補正量を調整することを特徴とする半導体装置の製造方法。

【請求項６】

請求項５記載の半導体装置の製造方法において、前記第２領域の幅は、前記第１領域の幅よりも小さいことを特徴とする半導体装置の製造方法。

【請求項７】

請求項５記載の半導体装置の製造方法において、前記第１領域の幅は、パターン露光に用いる露光光の波長をλ、露光機のレンズの開口数をＮＡとすると、前記互いに隣接するセルのセル境界から内側に１．６２λ／ＮＡであることを特徴とする半導体装置の製造方法。

【請求項８】

請求項５記載の半導体装置の製造方法において、前記第１領域の幅は、パターン露光に用いる露光光の波長をλ、露光機のレンズの開口数をＮＡとすると、前記互いに隣接するセルのセル境界から内側に１．１２λ／ＮＡであることを特徴とする半導体装置の製造方法。

【請求項９】

請求項５記載の半導体装置の製造方法において、前記パターンは、電界効果トランジスタのゲート電極パターンであることを特徴とする半導体装置の製造方法。

【請求項１０】

請求項５記載の半導体装置の製造方法において、前記パターンは、素子分離パターンであることを特徴とする半導体装置の製造方法。

【請求項１１】

請求項５記載の半導体装置の製造方法において、前記パターンは、導電層間を接続するコンタクトホールパターンであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】
本発明は、光リソグラフィのマスク技術に係わり、特に、光リソグラフィの露光波長より小さいパターンを形成するためのマスクパターン設計技術およびそれを用いた半導体装置の製造技術に関するものである。
【背景技術】
【０００２】
半導体デバイスは、回路パターンが描かれた原版であるマスクに露光光を照射し、縮小光学系を介して前記パターンを半導体基板（以下「ウエハ」と称する）上に転写する光リソグラフィ工程を繰り返し用いることによって、大量生産されている。
【０００３】
近年、半導体デバイスの微細化が進み、光リソグラフィの露光波長よりも小さい寸法を有するパターンの形成が必要となってきた。しかしながら、このような微細領域のパターン転写においては、光の回折の影響が顕著に現れてマスクパターンの輪郭がそのままウエハ上に形成されず、パターンの角部が丸くなったり長さが短くなるなど、形状精度が大幅に劣化する。そこで、このような劣化が小さくなるように、マスクパターン形状を逆補正する処理を施し、マスクパターンを設計する。この処理を光近接効果補正（Optical Proximity Correction；以下「ＯＰＣ」と称する）と呼んでいる。
【０００４】
従来のＯＰＣは、マスクパターンの一図形ごとに、その形状や周囲のパターンの影響を考慮して、ルールベース方式や光シミュレータを用いたモデルベース方式で補正している。例えば、特開２００２－３０３９６４号公報（特許文献１）には、線幅および隣接するスペース幅に応じて図形演算することによって、また、特開２００１－２８１８３６号公報（特許文献２）には、線分ベクトル化処理および線分ソート処理を行って線幅およびスペース幅の算出を行い、ハッシュ関数を用いた補正テーブルを参照してパターン補正を行うルールベースＯＰＣがそれぞれ記載されている。さらに、特開２００４－０６１７２０号公報（特許文献３）には、転写実験によりプロセス効果を取り込んだモデルベースＯＰＣが記載されている。
【０００５】
上記の光シミュレータを用いたモデルベースＯＰＣでは、所望の転写パターンを得るまでマスクパターンを変形させて行くのであるが、その追い込み方によってさまざまな方法が提案されている。例えば、光学像が部分的に膨らんでいたらその分を細らせ、また細っていたらその分を太らせ、その状態で光学像を再計算して次第に追い込んでいく方法、いわゆる逐次改善法などがある。また、遺伝的アルゴリズム(Genetic Algorithm)を用いて追い込んで行く方法も提案されている。遺伝的アルゴリズムを用いた方法では、パターンを複数の線分に分割し、それらの線分の変位を変位コードとして割り当てる。変位コードを染色体とみなして、遺伝の進化を計算し、所望の光学像に追い込む方法である。
【０００６】
上記遺伝的アルゴリズムは、集団遺伝学をモデルとした探索手法であり、対象とする問題に依存せずに高い最適化性能を示せるなどの優れた性能が知られている。遺伝的アルゴリズムの参考文献としては、例えば、出版社アディソン・ウェスレイ・パブリシング・カンパニ（ADDISON-WESLEY PUBLISHING COMPANY, INC.）が１９８９年に出版した、デイビッド・イー・ゴールドバーグ（David E. Goldberg）著のジェネティック・アルゴリズム・イン・サーチ，オプティマイゼイション，アンド・マシーン・ラーニング（Genetic Algorithms in Search, Optimization, and Machine Learning）（非特許文献１）がある。また、遺伝的アルゴリズムを用いたＯＰＣの最適化法については、特許第３５１２９５４号公報（特許文献４）に記載がある。
【０００７】
遺伝的アルゴリズムでは、探索問題の解候補を染色体と呼ばれるビット列で表現し、複数の染色体からなる集団に対して文字列操作を行い、生存競争を行わせる。各染色体は探索問題そのものである目的関数により評価され、その結果はスカラー値である適応度とし

て計算される。高い適応度を持つ染色体には、多くの子孫を残す機会を与える。さらに、集団内での染色体同士で交叉を行い、突然変異を施すことによって、新しい染色体を生成する。このような処理を繰り返すことにより、より高い適応度を持つ染色体が生成され、適応度の最も高い染色体が最終的な解となる。

【０００８】

しかし、上記の遺伝的アルゴリズムを活用した従来のマスクパターン設計では、半導体チップの回路パターンを定義するマスクの全図形に対してＯＰＣを行なっているため、回路パターンの微細化に伴う図形数の増大に起因して、処理時間が膨大になっている。

【０００９】

実際に９０ｎｍノードデバイスで数十時間の時間を要しているケースがある。また、露光にとって極限の解像度でパターンを形成することによる露光コントラストの低下のため、さらなる微細化ではＯＰＣはより複雑かつ図形数の多いものとなり、例えば６５ｎｍノードデバイスでは、マスクパターン発生にかかる時間は数日にも及ぶようになって来た。その一方、半導体装置の製品サイクルは短くなっていることから、マスクパターン設計において、ＯＰＣ処理時間の短縮は、極めて大きな課題となっている。

【００１０】

特開２００２－３２８４５７号公報（特許文献５）には、マスクレイアウト全体ではなく、部分ごとに図形を変更する方式が記載されている。その手順は、まず、設計レイアウトデータ中に含まれる補正対象セルの各々について、その対象セルの周囲に他の図形が存在するか否かに応じて、特定の形式で表現された環境プロファイルを決定する。そして、セル置換テーブルを参照して、決定された環境プロファイルに対応して置き換えられるべき補正パターンの名前である置換セル名を読み出し、補正後、レイアウトデータを生成する。最後に、読み出した置換セル名に対応する補正パターンをセルライブラリから取り出し、補正完了済みのマスクデータを生成する。

【００１１】

また、特開２００６－０５８４１３号公報（特許文献６）や、特開２００５－１５６６０６号公報（特許文献７）には、実際のリソグラフィ工程で短絡不良や開放不良が発生する可能性が高い危険箇所をチップ全体の光学シミュレーションにより求め、危険箇所周辺に測定ポイントを配置したり、危険箇所周辺だけをより詳細にシミュレーションしたりすることによって、ＯＰＣ図形の調整を行う技術が開示されている。

【００１２】

また、例えば米国ＡＰＲＩＯ社製「ＨＡＬＯ－ＯＰＣ」（ソフトウェア製品）のように、レイアウト後のマスク設計データにおいて、ＥＣＯ(engineering change order)などの部分的な変更があった場合は、影響のある部分だけを再度ＯＰＣ処理することにより、マスクレイアウト全体をＯＰＣ処理する場合に比べて処理時間を短縮できるようにしたＥＤＡ(Electronic Design Automation)ツールが市販されている。

【００１３】

また、プニート　グプタ、フクールェン　ヘン、アンド　マーク　ラビン（Puneet Gupta,Fook-Luen Heng and Mark Lavin）、メリット　オブ　セルワイズ　モデルーベースド　ＯＰＣ　デザイン　アンド　プロセス　インテグレイション　フォー　マイクロエレクトロニック　マニュファクチャリング　ＩＩ（Merits of Cellwise Model-Based OPC Design and Process Integration for Microelectronic Manufacturing II）、ラース　ダブル　リーブマン編集（edited by Lars W.Liebmann）、プロシーディングス　オブ　エス・ピー・アイ・イー（Proc.of SPIE） Vol.5379,2004（非特許文献２）には、事前に想定した周囲の状況に応じて、セル内部のＯＰＣ図形を予め決定しておく技術が開示されている。

【００１４】

また、シン　ワン　その他著（Xin Wang, et al.）、エクスプロイティング　ハイアラキカル　ストラクチャ　トゥ　エンハス　セルベース　アールイーティー　ウィズ　ローカライズド　ＯＰＣ　レコンフィギュアレイション　デザイン　アンド　プロセス　イン

テグレイション　フォー　マイクロエレクトロニック　マニュファクチャリング　ＩＩＩ（Exploiting hierarchical structure to enhance cell-based RET with localized OPC reconfiguration , Design and Process Integration for Microelectronic Manufacturing III）、ラース　ダブル　リーブマン編集（edited by Lars W.Liebmann）、プロシーディング　オブ　エス・ピー・アイ・イー（Proceedings of SPIE） Vol.5756,2005(非特許文献３)には、予めセル毎にＯＰＣ処理をしておく、セルワイズＯＰＣ（Ｃｅｌｌ－Ｗｉｓｅ　ＯＰＣ）方式が開示されている。

【００１５】

【特許文献１】特開２００２－３０３９６４号公報

【特許文献２】特開２００１－２８１８３６号公報

【特許文献３】特開２００４－０６１７２０号公報

【特許文献４】特許第３５１２９５４号公報

【特許文献５】特開２００２－３２８４５７号公報

【特許文献６】特開２００６－０５８４１３号公報

【特許文献７】特開２００５－１５６６０６号公報

【非特許文献１】デイビッド・イー・ゴールドバーグ（David E. Goldberg）著、ジェネティック・アルゴリズム・イン・サーチ，オプティマイゼイション，アンド・マシーン・ラーニング（Genetic Algorithms in Search, Optimization, and Machine Learning）、アディソン・ウェスレイ・パブリシング・カンパニ（ADDISON-WESLEY PUBLISHING COMPANY, INC.） 1989

【非特許文献２】グプタ、フクールェン　ヘン、アンド　マーク　ラビン（Puneet Gupta ,Fook-Luen Heng and Mark Lavin）、メリット　オブ　セルワイズ　モデルーベースド　ＯＰＣ　デザイン　アンド　プロセス　インテグレイション　フォー　マイクロエレクトロニック　マニュファクチャリング　ＩＩ（Merits of Cellwise Model-Based OPC Design and Process Integration for Microelectronic Manufacturing II）、ラース　ダブル　リーブマン編集（edited by Lars W.Liebmann）、プロシーディングス　オブ　エス・ピー・アイ・イー（Proc.of SPIE） Vol.5379,2004

【非特許文献３】シン　ワン　その他著（Xin Wang, et al.）、エクスプロイティング　ハイアラキカル　ストラクチャ　トゥ　エンハス　セルベース　アールイーティー　ウィズ　ローカライズド　ＯＰＣ　レコンフィギュアレイション　デザイン　アンド　プロセス　インテグレイション　フォー　マイクロエレクトロニック　マニュファクチャリング　ＩＩＩ（Exploiting hierarchical structure to enhance cell-based RET with localized OPC reconfiguration , Design and Process Integration for Microelectronic Manufacturing III）、ラース　ダブル　リーブマン編集（edited by Lars W.Liebmann）、プロシーディング　オブ　エス・ピー・アイ・イー（Proceedings of SPIE） Vol.5756,2005

【発明の開示】

【発明が解決しようとする課題】

【００１６】

前述した特許文献５に記載された方式は、補正対象セルに関し、想定し得るすべての環境プロファイルについて、置き換えられるべき最適な補正パターンを決定し、各補正パターンに置換セル名を与え、前記環境プロファイルと置換セル名とを関連付けて、あらかじめセル置換テーブルに格納しておかねばならないので、事前準備に要するコストが大きく、多くの記憶領域が必要となるなどの問題がある。

【００１７】

また、前述した特許文献６や特許文献７では、チップ全体の光学シミュレーションによって求めた危険箇所の周辺に測定ポイントを配置したり、危険箇所の周辺だけをより詳細にシミュレーションしたりすることによって、ＯＰＣ処理時間の短縮を図っている。しかし、これらの従来技術は、危険箇所の検出に多大な計算時間を要するため、ＯＰＣ処理時間を有効に短縮することができないという問題がある。

【００１８】
さらに、前述したＨＡＬＯ－ＯＰＣのようなＥＤＡツールは、ＯＰＣ処理済みのマスクレイアウトデータに対して修正が加えられた際、その周囲の領域だけにＯＰＣ処理を施す方式を採用しているが、セル単位で処理しないため、設計との整合性に劣るという問題点がある。しかも、パターン転写時にホットスポットと呼ばれる忠実性の劣化が生じ易いことから、短絡や断線が生じる可能性が高い箇所のＯＰＣ処理が終わった後、検証ツールで精密に求める処理に大きな計算コストを要するという問題がある。
【００１９】
このように、従来のＯＰＣ技術は、回路パターンの微細化に伴う図形数の増加によって処理時間が増大し、半導体デバイスの製造ＴＡＴ(Turn Around Time)が増大し、ひいては製造コストが増大するという問題を解決することが困難である。
【００２０】
本発明の目的は、ＯＰＣ処理時間の短縮を実現するマスクパターン設計方法を提供することにある。
本発明の他の目的は、実用的な時間でマスクパターン発生を可能にし、半導体装置の製作期間を短縮する方法を提供することにある。
本発明のさらに他の目的は、半導体装置の製造コストを削減することのできるマスクパターン設計方法を提供することにある。
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【課題を解決するための手段】
【００２１】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。
【００２２】
本発明のマスクパターン設計方法は、ライブラリに含まれる、ＯＰＣ処理が施された複数のセルを配置してマスクパターンを設計した後、前記複数のセルの前記ＯＰＣの補正量を調整する工程を含み、
前記複数のセルの各々は、
前記セルのセル境界から内側に向かう領域であって、そのセルの周辺に配置された他のセルから形状変化の影響を受ける可能性のある第１領域の情報と、
前記セルのセル境界から外側に向かう領域であって、そのセルの周辺に配置された他のセルに対して形状変化の影響を与える可能性がある第２領域の情報とを有しており、
前記ＯＰＣの補正量を調整する工程においては、前記複数のセルのうち、互いに隣接するセルの前記第１領域と前記第２領域とが重なる領域について前記ＯＰＣの補正量を調整するものである。
【００２３】
本発明の半導体装置の製造方法は、ライブラリに含まれる、ＯＰＣ処理が施された複数のセルを配置してマスクパターンを設計した後、前記複数のセルの前記ＯＰＣの補正量を調整し、さらにその後、前記マスクパターンを露光して半導体ウエハにパターンを転写する工程を含み、
前記複数のセルの各々は、
前記セルのセル境界から内側に向かう領域であって、そのセルの周辺に配置された他のセルから形状変化の影響を受ける可能性のある第１領域の情報と、
前記セルのセル境界から外側に向かう領域であって、そのセルの周辺に配置された他のセルに対して形状変化の影響を与える可能性がある第２領域の情報とを有しており、
前記ＯＰＣの補正量を調整する工程においては、前記複数のセルのうち、互いに隣接するセルの前記第１領域と前記第２領域とが重なる領域について前記ＯＰＣの補正量を調整するものである。
【発明の効果】

【００２４】
本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。
【００２５】
前記複数のセルのうち、互いに隣接するセルの前記第１領域と前記第２領域とが重なる領域について前記ＯＰＣの補正量を調整するだけで良いので、ＯＰＣの処理時間を短縮することができる。また、ＯＰＣの補正量を高精度に調整することができる。
【００２６】
また、セルの配置が完了した後、一部のセルに変更があった場合でも、マスクパターン全面にＯＰＣ処理をやり直す必要がなく、変更があったセルの第１領域と、そのセルに隣接するセルの第２領域とが重なった領域だけを再調整するだけで済むので、再調整に要する計算コストを大幅に削減することができる。
また、マスクパターン設計に際してＯＰＣ処理時間を短縮できるので、半導体装置の製造ＴＡＴを短縮することができる。その結果、半導体装置の製造コストを削減することができる。
【図面の簡単な説明】
【００２７】
【図１】検討例の有効性を検証するため検討例を適用したＳＲＡＭのゲートに使われているマスクパターンを示す平面図である。
【図２】検討例の検証に用いたマスクパターンを示す平面図である。
【図３】検討例の検証に用いたマスクパターンを示す平面図である。
【図４】検討例の検証に用いたマスクパターンを示す平面図である。
【図５】検討例の検証に用いたマスクパターンを示す平面図である。
【図６】本発明の検証に用いたマスクパターンを示す平面図である。
【図７】検討例の検証に用いたマスクパターンを示す平面図である。
【図８】検討例の検証に用いたマスクパターンを示す平面図である。
【図９】検討例の検証に用いたマスクパターンを示す平面図である。
【図１０】検討例の検証に用いたマスクパターンを示す平面図である。
【図１１】検討例の検証に用いたマスクパターンを示す平面図である。
【図１２】図１に示すマスクパターンの部分拡大平面図である。
【図１３】（ａ）は、図２に示すマスクパターンの転写パターンを示す平面図、（ｂ）は、図４に示すマスクパターンの転写パターンを示す平面図である。
【図１４】検討例の検証に用いたマスクパターンを示す平面図である。
【図１５】検討例の検証に用いたマスクパターンを示す平面図である。
【図１６】図１に示すマスクパターンの転写パターンの部分拡大平面図である。
【図１７】遺伝的アルゴリズムの計算手順を説明するフローチャートである。
【図１８】検討例のＯＰＣ処理方法に用いられる染色体の表現の一例を示す図である。
【図１９】（ａ）は、ＮＡＮＤゲートのシンボルを示す図、（ｂ）は、ＮＡＮＤゲートの回路図、（ｃ）は、ＮＡＮＤゲートのパターンレイアウトを示す平面図である。
【図２０】図１９（ｃ）に示すＮＡＮＤゲートのパターンレイアウトにおいて、単位論理セルと断面を定義する破線とを表す平面図である。
【図２１】（ａ）～（ｆ）は、図２０に示す単位論理セル部を形成する際に使用するマスクパターンを示す図である。
【図２２】（ａ）～（ｅ）は、素子分離工程までを工程順に示す断面図である。
【図２３】（ａ）～（ｅ）は、チャネル形成までを工程順に表す断面図である。
【図２４】（ａ）～（ｅ）は、配線の一部の形成までを工程順に示す断面図である。
【図２５】図２１（ｄ）に示すマスクのパターンを示す構成図である。
【図２６】図２５における設計目標からの差分寸法を遺伝子表現した例を示す図である。
【図２７】相対位置に基づいてセルのグループ化を行った例を示す図である。
【図２８】染色体の適応度を得るための寸法の測定箇所を示す図である。

【図２９】設計パターンとレジストパターンの差分画像を示す図である。
【図３０】半導体装置の製造プロセスフローを示す図である。
【図３１】セル単体でのＯＰＣ処理が施されたセルライブラリのセルを示す平面図である。
【図３２】図３１に示すセルの要部拡大図である。
【図３３】ゲート幅の調整変数の実例を示す図である。
【図３４】コンタクト－拡散層間の合わせ余裕の調整変数の実例を示す図である。
【図３５】隣接セル間の解像不良回避の実例を示す図である。
【図３６】拡散層へのゲート配線乗り上げ不良回避の例を示す図である。
【図３７】ゲート長、隣接セル間との解像不良（パターン繋がり不良）回避余裕、拡散層へのゲート配線乗り上げ不良回避余裕、アクティブ領域からの突き出し量の再ＯＰＣ調整部位を示す図である。
【図３８】（ａ）および（ｂ）は、ゲート長の調整変数の例を示す図である。
【図３９】隣接セル間の解像不良回避の実例を示す図である。
【図４０】拡散層へのゲート配線乗り上げ不良回避の例を示す図である。
【図４１】（ａ）～（ｃ）は、アクティブ領域からの突き出し補正の例を示す図である。
【図４２】コンタクト層のレイアウト例を示す図である。
【図４３】コンタクトパターンの調整変数の例を示す図である。
【図４４】回折像の強度と２π×ρ×ＮＡ／λとの関係を示すグラフである。
【図４５】ＯＰＣ図形形状が調整された４種類のセルのアジャスタブル領域を示す図である。
【図４６】図４５に示すセルの評価領域を示す図である。
【図４７】図４６に示す評価領域における線幅変動の最大値と最小値および平均値を比率で示す図である。
【図４８】図４５に示すセルの一部を他のセルと入れ替えた場合におけるアジャスタブル領域を示す図である。
【図４９】図４８に示すセルの評価領域を示す図である。
【図５０】セルを変更したことにより発生した線幅変動の測定結果を評価領域ごとに示す図である。
【図５１】遺伝的アルゴリズムにより調整した後の線幅変動の測定結果を評価領域ごとに示す図である。
【図５２】（ａ）、（ｂ）は、セルのデータ構造を示す模式図である。
【図５３】本発明の一実施の形態である半導体装置の製造工程であるマスクの設計工程におけるＯＰＣ処理済のセルの設計パターンの一例の模式図である。
【図５４】図５３のセルにアジャスタブル領域と、フィクスド領域とを示したレイアウト平面図である。
【図５５】図５３のセルのサラウンディング領域を示した模式図である。
【図５６】図５３のセルのアジャスタブル領域と、サラウンディング領域とを重ねて示した模式図である。
【図５７】実質的なサラウンディング領域の幅が、アジャスタブル領域の幅よりも小さいことを示した模式図である。
【図５８】マスクパターンの設計工程中のマスクパターンのレイアウト平面図である。
【図５９】マスクパターンの微調整時において各セルにアジャスタブル領域およびサラウンディング領域を付加して示したマスクパターンのレイアウト平面図である。
【図６０】図５９の要部拡大レイアウト平面図である。
【符号の説明】
【００２８】
８１～９２　セル
１０１ａ～１０１ｆ　光透過部
１０２ａ～１０２ｆ　遮光部

１１０　単位セル
１１１ｎ　ｎ型半導体領域
１１１ｐ　ｐ型半導体領域
１１２　多結晶シリコン膜
１１２Ａ　ゲート電極
１１５　絶縁膜
１１６　シリコン窒化膜
１１７　レジスト膜
１１７ａ～１１７ｄ　レジストパターン
１１８　溝
１１９　絶縁膜
１２０　ゲート絶縁膜
１２１ａ、１２１ｂ　層間絶縁膜
１００１　セル
１００２　幅
１００３　セル部境界領域
１００４　アクティブ領域（拡散層領域）
１００５　ゲートおよびゲート配線
１００５ａ　ゲート配線パターン
１００６　導通孔
１００６ａ～１００６ｅ　パターン
１００８ａ～１００８ｅ　パターン
１００９ａ～１００９ｅ　相互作用領域
１０２０　中心位置
ｃｅｌｌ　セル
ＬＰ　設計パターン
ＣＬ　セル外周線（セル境界）
ＰＬ　パターン外周線

【発明を実施するための最良の形態】

【００２９】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、以下の実施の形態においては、複数のセクション、検討例または実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、補足説明の関係にあったり、詳細説明の関係にあったりするものである。また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は可能な限り省略する。

【００３０】

（検討例１）

本検討例１の有効性を検証するため、図１に示すＳＲＡＭ（Static RAM）のゲートに使われているマスクパターンの１つをセルとして、これに本検討例１を適用した。

まず、周辺環境によりマスクパターンの転写に影響があるかどうかの検証実験を行った。次に、その中でも影響が最も強いパターンに、本検討例１の手法である遺伝的アルゴリズムを用いたパターン設計手法を適用し、最適化できるかどうかの検証実験を行った。以降で述べる実験では、表１に示すようなリソグラフィ条件の下で検証を行った。

【表１】

設定名称	設定値
λ	１９３ｎｍ
ＮＡ	０．７
σ	０．８５／０．５５（annula）
幅	９０ｎｍ
スライスレベル	０．２９８

【００３１】

（検証実験１）

まず、マスクパターンが周辺環境の違いによって影響されるかどうかの検証実験を行った。この検証実験に用いたマスクパターンＰ１～Ｐ１０をそれぞれ図２～図１１に示す。これら１０個のマスクパターンＰ１～Ｐ１０は、９０ｎｍの幅で設計されているため、理想的な線幅は９０ｎｍとなっている。本実験では、これらの転写パターンを作成し、図１２（図１に示す領域Ｓ１２の拡大図）に示す線幅（Ｓ３１）と間隙（Ｓ３２）の２つの値を評価値として比較することで、周辺環境の影響を検証した。なお、上記転写パターンは、光学シミュレーション・ソフトによって生成したものである。このようなソフトとして、例えばリソテックジャパン社の「ＳＯＬＩＤ－Ｃ」が当業者に周知である（参照ＵＲＬ；<http://www.ltj.co.jp/index.html>）。

表２に上記マスクパターンＰ１～Ｐ１０の転写パターンの２つの評価値を示す。

【表２】

設定名称	Ｓ３１（ｎｍ）	Ｓ３２（ｎｍ）
目標値	９０．００	１４２．０
Ｐ１	８９．９０	１４２．０
Ｐ２	８５．５０	１４６．１
Ｐ３	７３．９０	１６１．１
Ｐ４	７７．５０	１５７．７
Ｐ５	７９．６４	１５６．７
Ｐ６	８２．３０	１４８．５
Ｐ７	８４．１２	１４６．７
Ｐ８	７８．７６	１５８．９
Ｐ９	７５．６１	１５４．５
Ｐ１０	７４．４８	１５８．９

パターンＰ１では、周辺環境の影響がまったくないため、理想的な線幅となっているが、パターンＰ２やＰ３などは周辺からの影響が大きく、Ｐ１と比較すると、線幅（Ｓ３１）も間隙（Ｓ３２）も大きくずれていることが分かる。

【００３２】

図１３（ａ）に理想的なマスクパターンＰ１の転写パターンを示す。また、図１３（ｂ

）に最も影響の大きいマスクパターンＰ３の転写パターンを示す。パターンＰ３は、線幅（Ｓ３１）や間隙（Ｓ３２）ではなく、全体的に大きな影響を受けていることが分かる。また、その他のパターンの評価値を比較すると、周辺環境の違いにより、各パターンの転写パターンへの影響度合いが異なることが分かる。実際のマスクパターンは、さまざまなセルが組み合わされて用いられるため、各セルによる影響も非常に大きく、複雑になってくることが予想できる。従って、同じ設計のマスクパターンにおいても、周辺環境に合わせたＯＰＣ図形の複雑な最適化が必要不可欠である。

【００３３】

（検証実験２）

検証実験１で実証された周辺環境による影響が、本検討例１の手法により解決されるかどうかの検証実験を行った。本検証実験では、最も簡単な例として、検証実験１において最も影響のあったマスクパターンＰ３（図１４）を、最も理想に近いマスクパターンＰ１（図１５）を目標に最適化するシミュレーションを行った。本シミュレーションにおいて、図１６（図１に示す領域Ｓ１２の転写パターンの拡大図）に示したセル内の２箇所（Ｓ７１およびＳ７２）を最適化パラメータとして、本検討例１の手法による最適化を行った。

【００３４】

以下に、遺伝的アルゴリズムの適用方法について述べる。まず、遺伝的アルゴリズムの計算手順について説明する。図１７は、遺伝的アルゴリズムの最も基本的な計算手順を示すフローチャートである。各処理の目的や概要は、以下のとおりである。

初期化：解候補としての染色体をランダムに複数生成し、集団を形成する。解くべき最適化問題は、スカラー値を返す評価関数として表現される。

染色体の評価：評価関数を用いて染色体を評価し、各染色体の適応度を計算する。

次世代集団の生成：遺伝的操作（選択、交叉、突然変異）を用いて、高い適応度を持つ染色体ほど多くの子孫を残せる機会を与える。

探索終了基準判定：あらかじめ与えられた条件が満たされるまで、染色体の評価と次世代集団の生成を繰り返す。

【００３５】

以下、図１７に基づいて遺伝的アルゴリズムの概略を示す。まず、「初期化」では、「染色体表現の定義」と「評価関数の決定」と「初期染色体集団の発生」とを行う。

【００３６】

「染色体表現の定義」では、世代交代の際に親の染色体から子孫の染色体に、どのような内容のデータをどのような形式で伝えるかを定義する。図１８に染色体を例示する。ここでは、対象とする最適化問題の解空間の点を表現するＤ次元の変数ベクトルＸ＝（ｘ１，ｘ２，．．．，ｘＤ）の各要素ｘｉ（ｉ＝１，２，．．．，Ｄ）を、Ｍ個の記号Ａｉ（ｉ＝１，２，．．．，Ｍ）の列で表わすことにし、これをＤ×Ｍ個の遺伝子からなる染色体とみなす。遺伝子の値Ａｉとしては、ある整数の組、ある範囲の実数値、記号列などを解くべき問題の性質に応じて用いる。図１８は、５次元、すなわち５変数（すなわちＤ＝５）の最適化問題の解候補の一つについて、各変数を２種類の記号｛０，１｝を４個（すなわちＭ＝４）使用して表現したときの例である。このようにして記号化された遺伝子列が染色体である。

【００３７】

「評価関数の決定」では次に、各染色体が環境にどの程度適応しているかを表わす適応度の計算方法を定義する。その際、解くべき最適化問題の解として優れている変数ベクトルに対応する染色体の適応度が高くなるように設計する。

「初期染色体集団の発生」では通常、「染色体表現の定義」で決められた規則に則って、Ｎ個の染色体がランダムに発生される。これは、解くべき最適化問題の特性は不明で、どのような染色体が優れているのかはまったく不明なためである。しかし、問題に関する何らかの先見的知識がある場合は、解空間において適応度が高いと予測される領域を中心にして染色体集団を発生させることにより、探索速度や精度を向上できる場合もある。

【００３８】
「染色体の評価」では、集団中の各染色体の適応度を、前記「評価関数の決定」で定義した方法に基づいて計算する。
「次世代集団の生成」では、各染色体の適応度をもとに、染色体集団に遺伝的操作を施して、次世代の染色体集団を生成する。遺伝的操作の代表的な手続きとして、選択、交叉、突然変異などがあり、これらを総称して遺伝的操作と呼ぶ。
【００３９】
「選択」では、現世代の染色体集団から適応度の高い染色体を抽出して、次世代集団に残し、逆に、適応度の低い染色体を取り除く処理を行う。
「交叉」では、選択によって抽出された染色体群の中から、所定の確率で染色体対をランダムに選択し、それらの遺伝子の一部を組み変えることで、新しい染色体を作る操作である。
【００４０】
「突然変異」では、選択によって抽出された染色体群の中から、所定の確率で染色体をランダムに選択し、所定の確率で遺伝子を一定の確率で変化させる。ここで、突然変異が発生する確率を突然変異率と呼ぶ。
「探索終了基準判定」では、生成された次世代の染色体集団が、探索を終了するための基準を満たしているか否かを調べる。基準が満たされた場合は、探索を終了し、その時点での染色体集団中で最も適応度の高い染色体を、求める最適化問題の解とする。終了条件が満たされない場合は、「染色体の評価」の処理に戻って探索を続ける。探索処理の終了基準は解くべき最適化問題の性質に依存するが、代表的なものとして次のようなものがある。
（ａ）染色体集団中の最大の適応度が、ある閾値より大きくなった。
（ｂ）染色体集団全体の平均の適応度が、ある閾値より大きくなった。
（ｃ）染色体集団の適応度の増加率が、ある閾値以下の世代が一定の期間以上続いた。
（ｄ）世代交代の回数が、あらかじめ定めた回数に到達した。
【００４１】
次に、上記した遺伝的アルゴリズムの計算手順に基づいた本実施の形態の各ステップを詳細に説明する。
【００４２】
［初期化：染色体表現の定義］
本シミュレーションでは、図１６に示したセル内の２箇所（Ｓ７１およびＳ７２）を最適化パラメータとすることから、変数ベクトルＸをＸ＝（ｘ１，ｘ２）のように２次元ベクトルとみなし、各要素ｘｉ（ｉ＝１，２）を実数で表現する。なお、Ｓ７３は常にＳ７２と等しい値を取るものとした。
【００４３】
［初期化：評価関数の決定］
適応度を陽関数で定義することはできないため、以下のような４ステップからなる適応度計算の手続きを採用する。
ステップ（１）：染色体から一意に定まる変数ベクトルを用いて、図形パターンを再構成する。
ステップ（２）：光学シミュレーションを行い、露光パターンを計算する。
ステップ（３）：計算された露光パターンについて、図１２に示す線幅（Ｓ３１）と間隙（Ｓ３２）とを計測し、設計値との誤差の和を計算する。
ステップ（４）：ここでの目標は、設計値に限りなく近い露光パターンを得ることであるため、誤差が小さいほどよい。そこで、計測された誤差の和の逆数を適応度とする。
【００４４】
［初期化：初期染色体集団の発生］
上記「初期化：染色体表現の定義」において決められたルールに従い、ここでは２つの実数値要素からなるベクトルを染色体とする。染色体数Ｎは１００とし、擬似乱数発生器

を使用して１００個の染色体をランダムに生成する。

【００４５】

［染色体の評価］

上記「初期化：評価関数の決定」において決められた染色体の評価手順に従い、すべての染色体を評価し、適応度を計算する。

【００４６】

［次世代集団の生成：選択］

本実施の形態では、ルーレット選択を使用する。これは、各染色体が次世代に生存できる確率を適応度に比例させる方式である。すなわち、適応度が高ければそれだけルーレット上の配置が多くなり、ルーレットを回した時の当たる確率が大きくなる。具体的には、染色体集団のサイズをＮ、ｉ番目の染色体の適応度をＦｉ、全染色体の適応度の総和をΣとしたとき、各染色体を（Ｆｉ÷Σ）の確率で抽出する手続きをＮ回繰り返すことで実現される。上記の場合、染色体数は１００なので、１００回繰り返すことにより、次世代の染色体１００個が選ばれることになる。

【００４７】

［次世代集団の生成：交叉］

本実施の形態では、一様交叉を使用する。これは、各染色体集団から２つの染色体を選び出し、各遺伝子座において、遺伝子である変数を交換するかどうかをランダムに決定する方法である。具体的には、選び出された２つの染色体を、それぞれ$X^1=(x^1_1, x^1_2)$と$X^2=(x^2_1, x^2_2)$とし、１／２の確率で０または１を出力する乱数発生を２回行う。１度目の乱数は、１番目の遺伝子座に対するもので、１ならばx^1_1とx^2_1を交換し、０ならば交換しない。２番目の遺伝子座に対する処理も同様である。

【００４８】

［次世代集団の生成：突然変異］

本実施の形態では、一様分布に従う突然変異率ＰＭで選び出された遺伝子座に対し、正規分布に従って生成された乱数を足し合わせる処理を採用する。ここで、突然変異率P_M＝１／５０、正規分布の平均ｕ＝０、標準偏差σ＝５×１０＾９に設定した。

【００４９】

［探索の終了条件］

本実施の形態では、設計値との誤差が０である染色体が発見されたとき、あるいは染色体の評価を５０００回行ったときに探索を終了することにした。

以上のような遺伝的アルゴリズムを用いて検証実験を行った結果、図１６に示したパラメータを最適化することにより、表３のような結果が得られた。

【表３】

		Ｐ１	Ｐ３
調整箇所	Ｓ７１	９０．００ｎｍ	１０５．００ｎｍ
	Ｓ７２	４８．００ｎｍ	５５．００ｎｍ
評価結果	Ｓ３１	８９．９４ｎｍ	８９．７６ｎｍ
	Ｓ３２	１４２．４０ｎｍ	１４２．１０ｎｍ

表３に示すように、転写パターンの線幅（Ｓ３１）が、図１４の周辺環境では、検証実験１の表２のように約１６ｎｍ狭くなっていたものが、本検討例１の手法により、理想的な図１６に近い約９０ｎｍに最適化されたことが分かる。

【００５０】

この実験により、本検討例１の手法がマスクパターン設計における、周辺環境からの影響による転写パターンのずれを最適化できることが確認された。なお、本検討例１では、線幅（Ｓ３１）と間隙（Ｓ３２）の誤差の単純和を用いた場合を説明した。このような単

純和は汎用的であるが、場所の重要度に応じて重みをつけて和をとる方法も有用である。例えばゲートとなる線幅（Ｓ３１）の寸法制御が重要である場合は、間隙（Ｓ３２）の値に対して２あるいは３などの係数を乗ずることにより、必要な部分の精度を相対的に向上できる。

【００５１】

（検討例２）

本願のマスクパターン設計法で設計したマスクを用いて半導体装置の製造を行った検討例２を説明する。

【００５２】

図１９（ａ）～（ｃ）は、２入力のＮＡＮＤゲート回路ＮＤを表わし、同図（ａ）はシンボル図、同図（ｂ）は回路図、同図（ｃ）はパターンレイアウトを示す平面図である。また、図２０は図１９（ｃ）を拡大して示した平面図である。

図１９（ｃ）において、一点鎖線で囲まれた部分は単位セル１１０であり、ｐ型ウエル領域ＰＷの表面のｎ型半導体領域１１１ｎ上に形成された２個のｎＭＯＳ部Ｑｎと、ｎ型ウエル領域ＮＷの表面のｐ型半導体領域１１１ｐ上に形成された２個のｐＭＯＳ部Ｑｐとから構成される。

【００５３】

この構造を製作するために、図２１（ａ）～（ｆ）に示すような６種類のマスクＭ１～Ｍ６を順次用いて、通常の光リソグラフィによるパターン転写を繰り返し用いた。このうち、マスクＭ１～Ｍ３は比較的大きなサイズのパターンを有しているので、パターンのＯＰＣ処理は行なわなかった。図中の符号１０１ａ、１０１ｂ、１０１ｃは光透過部、符号１０２ａ、１０２ｂ、１０２ｃはクロム膜による遮光部である。一方、マスクＭ４～Ｍ６は微細なパターンを有するので、本実施の形態のパターン設計法を用いてパターン図形の輪郭やサイズを適宜変更し、最適化を行なった。図中の符号１０１ｄ、１０１ｅ、１０１ｆは光透過部、符号１０２ｄ、１０２ｅ、１０２ｆは遮光部である。

【００５４】

図１９（ｃ）と同様のレイアウトを表す図２０において、破線に沿った断面を想定し、その断面図を用いてチャネルＱｐ、Ｑｎを形成するまでの工程を図２２（ａ）～（ｅ）および図２３（ａ）～（ｅ）を用いて順次説明する。

【００５５】

Ｐ型のシリコン単結晶からなるウエハＳ（Ｗ）上に、例えばシリコン酸化膜からなる絶縁膜１１５を酸化法によって形成した後、その上に例えばシリコン窒化膜１１６をＣＶＤ(Chemical Vapor Deposition)法によって堆積し、さらにその上にレジスト膜１１７を形成する（図２２（ａ））。次に、マスクＭ１を用いて露光現像処理を行なってレジストパターン１１７ａを形成する（図２２（ｂ））。その後、レジストパターン１１７ａをエッチングマスクとして、そこから露出する絶縁膜１１５、シリコン窒化膜１１６を順に除去し、さらにレジストパターン１１７ａを除去してウエハＳ（Ｗ）表面に溝１１８を形成する（図２２（ｃ））。次いで、例えば酸化シリコンからなる絶縁膜１１９をＣＶＤ法などによって堆積した後（図２２（ｄ））、例えば化学機械研磨法（ＣＭＰ：Chemical Mechanical Polishing)などによって平坦化処理を施すことにより、最終的に素子分離構造ＳＧを形成する（図２２（ｅ））。本検討例２では、素子分離構造ＳＧを溝型分離構造としたが、これに限定されることなく、例えばＬＯＣＯＳ(Local Oxidization of Silicon)法によるフィールド絶縁膜で構成してもよい。

【００５６】

続いて、マスクＭ２を用いて露光現像を行なって、レジストパターン１１７ｂを形成する。ｎ型ウエル領域を形成すべき領域が露出されるので、リンまたはヒ素などをイオン注入してｎ型ウエル領域ＮＷを形成する（図２３（ａ））。同様に、マスクＭ３によりレジストパターン１１７ｃを形成した後、例えばホウ素などをイオン注入してｐ型ウエル領域ＰＷを形成する（図２３（ｂ））。次に、酸化シリコン膜からなるゲート絶縁膜１２０を熱酸化法によって厚さ３ｎｍに形成し、さらにその上に多結晶シリコン膜１１２をＣＶＤ

法などによって堆積する（図２３（ｃ））。

【００５７】

続いてレジスト塗布後、マスクＭ４を用いてレジストパターン１１７ｄを形成し、多結晶シリコン層１１２のエッチングとレジスト除去により、ゲート絶縁膜１２０とゲート電極１１２Ａを形成する（図２３（ｄ））。その後、ソース、ドレイン領域および配線層として機能するｎチャネルＭＯＳ用の高不純物濃度のｎ型半導体領域１１１ｎとｐチャネルＭＯＳ用の高不純物濃度のｐ型半導体領域１１１ｐを、イオン打ち込みや拡散法により、ゲート電極１１２Ａに対して自己整合的に形成し、チャネルＱｐおよびチャネルＱｎを形成する（図２３（ｅ））。

【００５８】

以後の工程で、配線を適宜選択することにより、２入力のＮＡＮＤゲート群を製作する。ここで、配線の形状を変えれば、例えばＮＯＲゲート回路など、他の回路を形成できることは言うまでもない。ここでは、図２１（ｅ）および図２１（ｆ）にそれぞれ示すマスクＭ５およびＭ６を用いて２入力のＮＡＮＤゲートの製造例を引き続き示す。

【００５９】

図２４（ａ）～図２４（ｅ）は、図２０に示す破線に沿った断面図であり、配線形成工程を示している。２個のｎチャネルＭＯＳ部Ｑｎと２個のｐチャネルＭＯＳ部Ｑｐの上に、例えばリンがドープされた酸化シリコン膜からなる層間絶縁膜１２１ａをＣＶＤ法で堆積する（図２４（ａ））。続いてレジストを塗布し、マスクＭ５を用いてレジストパターン１１７ｅを形成した後、エッチング処理によりコンタクトホールＣＮＴを形成する（図２４（ｂ））。レジスト除去後、タングステン、タングステン合金または銅などの金属を埋め込むと同時に、さらにこれらの金属層１１３を形成する（図２４（ｃ））。続いてレジストを塗布し、マスクＭ６を用いてレジストパターン１１７ｆを形成した後、エッチング処理により配線１１３Ａ～１１３Ｃを形成する（図２４（ｄ））。その後、層間絶縁膜１２１ｂを形成し、さらに他のマスク（図示せず）を用いてスルーホールＴＨおよび上層の配線１１４Ａを形成する（第２４図（ｅ））。部品間の結線も同様な工程を必要な分だけ繰り返したパターン形成により行ない、半導体装置を製造する。

【００６０】

以上、本検討例２の方法を適用することにより、パターン精度を保証し、信頼性の高いマスクを用いて半導体装置を製造できるようになる。

【００６１】

セルライブラリを構成する上記マスクのうち、特にマスクＭ４における遮光部１０２ｄは、最も寸法の短いゲートパターンを構成し、転写パターンの寸法の要求精度も最も厳しい。そこで、マスクＭ４（図２１（ｄ））に示すセルライブラリパターンをマスク全面に配置する際に、本検討例２の方法を採用した。

【００６２】

マスクパターンの全体は複数のセルから構成され、それぞれのセルにはＩ型の図形が２つ並んでいる（図２５参照）。同図に示すように、各セルは、p_1からp_{10}までの１０個の調整箇所を有する。よって、セルの数をN_{cell}個とすると、マスクパターン全体で（$N_{cell}\times 10$）個のパラメータを調整する必要がある。

【００６３】

［初期化：染色体表現の定義］

本検討例２において、各変数は図形の寸法を直接的に示す実数として扱う。すなわち、変数ベクトルＸの各要素x_i（ｉ＝１，２，．．．，１０）を実数で表現し、それぞれは、図２５におけるp_i（ｉ＝１，２，．．．，１０）に対応するものとする。

【００６４】

このとき、寸法そのものの値ではなく、設計目標からの差分を遺伝子表現することも可能である。例えば図２６の場合、網掛け図形はＯＰＣが施されたマスクパターンであって、一つの「Ｉ」型図形の上側横棒と下側横棒は、一転鎖線で示す設計目標に対して上下対称、かつ左右対称に付加され、さらに縦棒も左右対称に太さを変更することが可能で、各

寸法q_i（i＝1，2，．．．，10）が指定されることにより、マスクパターンが一意に決定される。すなわち、変数ベクトルX＝（q_1，q_2，．．．，q_{10}）を染色体と見なすことで、遺伝的アルゴリズムにより最適なマスクパターンが求められる。

【００６５】

なお、本検討例２では、同種のセルがN_{cell}個並んだマスクパターンを取り扱うため、染色体の長さもN_{cell}倍となり、X＝（X^1 X^2．．．$X^{N_{cell}}$）＝（x^1_1，．．．，x^1_{10}，．．．，$x^{N_{cell}}_1$，．．．，$x^{N_{cell}}_{10}$）となる。ここで、X^jはj番目のセルに含まれる図形形状を指定するための、１０個の要素からなる変数ベクトルを示し、x^j_iはj番目のセルに対応する変数ベクトルのi番目の要素を示すものとする。

【００６６】

また、上記変数ベクトルXの各要素x_iを実数値表現するのではなく、上限値と下限値、および量子化ステップ数を決めることで、n進数表現してもよい。

【００６７】

メモリなどのように、同じセルが規則的に繰り返し配置して使用される場合、全セルの変数ベクトルのすべてを対象として最適値探索を行うのではなく、グループ化して染色体の長さを縮小し、最適化を容易にすることができる。例えば図２７において、すべてのセルが同種の図形パターンで構成され、その図形が左右対称、上下対称であると仮定した場合、全セルの変数ベクトルをすべて最適化対象とするのではなく、タイプＡからＦまでの４種類に分類し、４個のセルの図形を定義する変数ベクトル（X^1 X^2．．．X^4）だけを最適化し、その結果をタイプ別にすべてのセルへ適用することで、マスク全体を調整したことと同様の効果を得ることができる。

【００６８】

例えば、図２７において、セル８１はその周囲８つのセルの内、上側および左側の５つのセルが存在せず、右側および下側に３つのセル（８２、８３、８４）が存在する。また、セル８１およびその周囲のセル（８２、８３、８４）に対して、セル９０およびその周囲のセル（８９、９２、９１）は左右対称に配置され、セル８７およびその周囲のセル（８８、８５、８６）は上下対称に配置されている。従って、セル８１の最適化の結果をセル９０やセル８７にも用いることができる。このようにして、最適化の調整過程を省略することができる。

【００６９】

［初期化：評価関数の決定］

染色体の適応度を得るための方法として、ここでは前記検討例１と同様の手続きを採用する。ただし、ステップ（３）における寸法の測定は図２８に示す４箇所（a_1～a_4）で行った。通常の半導体チップの製造において、要求される寸法精度に関して、わずかな誤差も許されない部分や、精度が要求されない部分が混在している。そこで、高い精度が要求される部分を選択的に寸法計測して適応度計算を行うことにより、マスク設計者の意図を反映した最適化を容易にすることができる。同様に、マスク設計段階において、光近接効果の出やすい箇所を特定することが可能な場合、適応度を算出するときに、その部分に大きく重み付けを施すことにより、調整の難しい箇所から優先的に最適化を容易にすることができる。

【００７０】

本検討例２では、シミュレーションにより予測されたレジストパターンと設計値とを比較するため、適応度計算のステップ（３）において、数箇所の寸法を計測していたが、図２９に示すように、レジストパターンと設計パターンの差分図形の面積を使用することにより、寸法計測されない箇所での予期しない異常を漏れなく検出することが可能となる。この場合、差分図形の面積の逆数などを評価値として、遺伝的アルゴリズムによるパラメータ最適化が行われる。

【００７１】

また、適応度計算のステップ（４）において、誤差の和の逆数を適応度として採用した

が、あらかじめ決めた定数からの減算値を適応度としてもよい。さらに、適応度計算のステップ（２）において、酸拡散のシミュレーションも併せて行うことにより、レジストパターンをより正確に予測できるようになるため、最適化の精度を向上させることができる。

【００７２】

［初期化：初期染色体集団の発生］

前記検討例１と同様に、ランダムに初期染色体集団を発生させる。探索速度を向上させるために、モデルベースＯＰＣで補正した結果に微小な摂動をかけた初期集団からスタートしてもよい。

【００７３】

［染色体の評価］

前記検討例１と同様に、上記「初期化：評価関数の決定」において決められた染色体の評価手順に従ってすべての染色体を評価し、適応度を計算する。

【００７４】

［次世代集団の生成：選択］

前記検討例１と同様に、ルーレット選択法を使用する。トーナメント選択法やランク選択法などの交叉方式や、ＭＧＧ(Minimal Generation Gap)方式などの世代交代モデルを使用してもよい（参考文献：佐藤ら、「遺伝的アルゴリズムにおける世代交代モデルの提案と評価」、人工知能学会誌、Vol.12, No.5, 1997)。

【００７５】

［次世代集団の生成：交叉］

前記検討例１と同様に、一様交叉を使用する。その他に、ランダムに選択された遺伝子座を交換するのではなく、荷重平均して得られる値を用いてもよい。

探索速度や精度を向上させるため、実数値表現された染色体向けに開発された交叉方式であるＵＮＤＸ(Unimodal Normal Distribution Crossover)や、シンプレクス交叉、ＥＤＸ(Extrapolation-directed Crossover)などを使用してもよい（参考文献：佐久間ら、「実数値ＧＡによる非線形関数の最適化：探索空間の高次元化における問題点とその解決法」、第１５回人工知能学会全国大会、第２回ＡＩ若手の集い、MYCOM2001, 2001)。

染色体を２値ベクトルで表現する場合には、一様交叉以外に、多点交叉を使用することもできる。

【００７６】

［次世代集団の生成：突然変異］

前記検討例１と同様に、正規分布に従って生成される乱数を用いた突然変異を使用する。探索速度や精度を向上させるため、集団全体の適応度の向上速度を監視し、一定期間以上向上しなかった場合に突然変異率を一時的に増大させるAdaptive Mutation法を併用してもよい。

【００７７】

［探索の終了条件］

前記検討例１と同様に、設計値との誤差が０若しくは一定値以下となった場合、あるいは染色体の評価回数が一定値以上になった場合に探索を終了させる。

【００７８】

以上が、本検討例２で用いた遺伝的アルゴリズムの説明であるが、例えば山登り法、シンプレックス法、最急降下法、焼きなまし法、動的計画法など、他の探索手法を併用することにより、探索速度や精度を向上させることができる。また、遺伝的アルゴリズム以外にも、進化戦略(Evolution Strategy；ＥＳ）や、遺伝的プログラミング(Genetic Programming；ＧＰ）など、他の盲目的探索手法あるいは確率的探索手法を使い分けることにより、一層の探索速度向上と精度向上を実現できる。

【００７９】

以上において、あらかじめＯＰＣ処理を行ったセルライブラリを用いて半導体チップを作成し、周囲のセルライブラリの影響を高速処理が可能な遺伝的アルゴリズムを利用して

最適化するので、すべてのパターンに対しＯＰＣ処理を行う従来の方法に比べて、処理時間を１０分の１以下に短縮できる。

【００８０】

（検討例３）

前記検討例１に記載のマスクパターン生成方法を用いてＳＲＡＭ部分と論理回路部分とを持つシステムＬＳＩを製造した。このシステムＬＳＩの最小ゲート幅は４０ｎｍで、最小ピッチは１６０ｎｍである。論理回路部は任意ピッチ配線を許し、セル間では最小間隔以外の配置制限も設けていない。このため、従来からのＩＰが継承でき、プラットフォームとしての展開性が高く、多品種に応用できるレイアウトルールとなっている。

【００８１】

上記した緩いレイアウトルールの下でこの寸法の補正パターンをルールベースＯＰＣで作成すると、アクティブ領域内でのゲートパターン寸法に部分ばらつきが生じる。例えばパッドに近い根元の部分ではくびれや太りが生じ、これが原因でデバイス特性を劣化させていた。また、露光量変動やフォーカス変動に対する露光マージンが少なく、半導体装置としての歩留まりが低いという問題があった。また、市販のモデルベースＯＰＣでマスク作成パターンを生成すると、７日という長い時間がかかっていた。

【００８２】

システムＬＳＩは、特定ユーザ向けのものであり、製品サイクルが短く、短期間に製造する必要がある。その期間が生命線で、デバイスとしての価値ばかりでなく、それを組み込んだ製品の市場性をも左右する。枚葉処理で優先的に処理するとウエハプロセス期間は最短で２週間であり、マスク供給は迅速となる。従来、マスク作成パターンの生成期間を実用的な１日程度にするためには、部分的にルールベースＯＰＣを適用するしかなく、前述のように歩留まりの低下などの問題を引き起こしていた。

【００８３】

前記検討例１に記載のマスクパターン生成方法を適用することにより、マスクパターン作成に要する時間は１日で、しかもモデルベースＯＰＣを全面に適用した場合と同等のデバイス特性および歩留まりを得ることができた。なお、ウエハプロセスに枚葉処理を適用することにより、ウエハプロセス待ち時間を低減でき、マスク供給速度とのバランスが取れてシステムＬＳＩの出荷タイミングが早まるという効果が得られた。

【００８４】

以上について、図３０を引用しながら説明を加える。図３０は、システムＬＳＩのマスクパターンデータ準備、マスク製作、およびウエハプロセス工程をフローチャートの形で示したものである。左側にマスクパターンデータ準備工程を、中央にマスク製作を、そして右側にウエハプロセス工程とタイミングを示している。

【００８５】

論理設計を基にパターンレイアウト設計が終わると、ＬＳＩの製造が始まる。ウエハプロセスフローとしては、素子分離（アクティブ領域間の分離）を作るための成膜、リソグラフィ、エッチング、絶縁膜埋め込み、より平坦化をするためのＣＭＰダミーパターン製作のためのリソグラフィ、エッチング、ＣＭＰと続いて素子分離構造を形成する。その後、イオン注入打ち分け用のリソグラフィ、イオン注入を行ってウエル層を形成し、ゲート用成膜、リソグラフィ、エッチング、イオン注入打ち分け用のリソグラフィ、イオン注入、ＬＤＤ用成膜、ＬＤＤ加工、イオン注入を行ってゲートを形成する。その後、絶縁膜を成膜し、コンタクト孔用リソグラフィ、エッチングを行って導通孔を空け、導電膜を形成後リソグラフィとエッチングを行い、配線層を形成する。その後、図示はしていないが層間絶縁膜の形成と開口の形成、導電膜の被着、ＣＭＰにより層間配線を形成していく。

【００８６】

上記のウエハプロセスフローに対応するようにマスクを準備する必要がある。マスクは大別して寸法精度の必要なクリティカル層用とノンクリティカル層用とがあり、前者はデータ量の膨大なＯＰＣが必要である。後者は簡易化したＯＰＣか単なる図形演算、あるいはデータそのもので十分である。クリティカル層の代表はアイソレーション、ゲート、コ

ンタクト、第１、第２配線である。

【００８７】

マスクパターンＯＰＣデータは、まずクリティカル層か否かを判断した後、製作手順に入る。まず、必要な素子分離用の準備を行う。次いで、すでに作られているＯＰＥ(Optical Proximity Effect)補正用セルライブラリから適合するものを抽出し、それらのパターンを組み合わせて第０次のＯＰＣ済みパターンを組み上げる。そして前記検討例１の遺伝的アルゴリズム手法を基にして、隣接パターンの影響を考慮した補正を行って最終的なＯＰＣパターンを作り、そのデータを基にマスクを製作する。次に、同じ手法でゲート層、コンタクト層、配線層のパターンデータおよびマスクを準備していく。ここでは、各層を直列に準備していく手順を示したが、並行して準備してもよい。ただし、並行する場合はデータ作成のシステムが複数必要となり、大きな設備が必要となる。各層を直列に処理でき、その処理速度がウエハプロセス処理のタイミングと合うものであれば、システムを小型化できるというメリットがある。ノンクリティカル層は前述のように別パスを使ってマスクパターンデータが準備される。

【００８８】

クリティカル層であるアイソレーション層は頭出しの層なので、そのマスク準備が遅れると、ウエハ払い出しも遅れることに直結する。このためアイソレーション層のマスクパターンデータの完成期間はとても重要である。本検討例３ではマスク製作とあわせても１日で準備でき、通常の２日に比べ半減できた。

【００８９】

次のゲート層用リソグラフィまではこの大分類での工程数で９工程、洗浄などの詳細工程まで含めると約５０工程（図示せず）あるが、枚葉処理で処理すれば２日で処理できる。この間にゲート層用マスクを準備しないと待機によるロスが生じる。ゲートは極めて高い寸法精度が要求されるため、従来法によれば、マスク描画、検査のための時間が約１日かかり、マスクパターンデータの準備のために７日かかっていた。このように、従来法の場合、データ作成設備を大型化し、素子分離パターン作成と並行してデータ作成に取り掛かっても、ウエハ処理のスピードに追いつくようにマスクパターンデータの準備をすることが極めて困難であった。これに対し、本検討例３によれば、小型のパターンデータ作成設備であっても１日でマスクパターンデータの準備をすることができた。

【００９０】

ゲートパターンには高い寸法精度が要求されるので、ルールベースＯＰＣではデバイス特性を十分に確保するのが難しく、かといってモデルベースＯＰＣでは複雑な処理になるので、ゲートパターンの作成のために多大の時間がかかるという問題があり、この問題は、他の層における場合より重大である。このため、本実施の形態の製造方法は、特にゲートパターン作成に有効である。

【００９１】

（検討例４）

本願の調整すべき変数の他の検討例を示す。図３１の符号１００１は、対象としたセルライブラリのセルであり、この中に形成されたパターンは、あらかじめセル単体でＯＰＣ処理が施されている。この中で、周囲に配置されたセルの影響によりＯＰＣの修正を受けるパターンの含まれる領域がハッチングで示す周辺(Peripheral)領域（第１領域）であり、その幅１００２は、露光装置の露光波長λ、使用したレンズの開口数ＮＡ、使用したレジストの酸拡散定数、および規格寸法精度などに依存する。

【００９２】

周辺領域は、隣接セルを構成するパターンからの回折光が重なることで起こる干渉の影響を補正するための領域である。そこで、周辺領域の範囲を決めるために、マスクパターン投影する露光光学系の点像強度分布を示す回折像強度について考える。

【００９３】

回折像の強度Ｉは、Ｉ（２π×ρ×ＮＡ／λ）＝（２×$Ｊ_{1}$（２π×ρ×ＮＡ／λ）／（２π×ρ×ＮＡ／λ））^{2}で表される。ここで、$Ｊ_{1}$：１次のＢｅｓｓｅｌ関数、λ：

波長、ρ：像半径である。２π×ρ×ＮＡ／λと強度Ｉとの関係を図４４に示す。これにより、最初にＩ＝０となる半径をρ１とすれば、ρ１＝０．６１λ／ＮＡとなる。また、２番目にＩ＝０となる２次回折像までの半径をρ２、３番目の３次回折像までの半径をρ３とすると、ρ２＝１．１２λ／ＮＡ、ρ３＝１．６２λ／ＮＡとなる。３次回折像の最大強度は、０次回折像の０．２％以下であるため（図４４参照）、３次回折像による干渉の影響は無視できるほど小さいと見なしてよい。すなわち、ＯＰＣパターンの変化が周囲に与える影響の範囲は３次回折像までであり、周辺領域をセルの端から１．６２λ／ＮＡとしても十分な精度が得られることが分かった。

【００９４】

この場合、波長λを１９３ｎｍ、ＮＡを０．７、セルの平均サイズを５×５μｍ^2、チップサイズを８１．９２×８１．９２μｍ^{2}と仮定すると、シミュレーション結果を得るために必要な計算面積の大きさを、チップ全面計算と比較して約１／３に削減できる。リソグラフィシミュレーションでは、ウエハ上の２次元投影像を計算するため、計算量は計算面積の２乗に比例する。そのため、計算面積が約１／３に低減されることにより、計算量は約１／９に削減される。

【００９５】

さらに、セルの配置密度が疎であったり、隣接セルのサイズが小さい場合には、回折光が少なくなり、干渉の影響も小さくなるため、周辺領域の幅を、２次回折像までの半径に相当する１．１２λ／ＮＡにしても、十分な精度での補正が可能である。この場合、セルの平均サイズとチップサイズを上記同様に仮定すると、計算面積はチップ全面計算と比較して約１／４となり、計算量を約１／１６に削減できる。

【００９６】

なお、十分な精度が得られる周辺領域の幅を１．６２λ／ＮＡとしたが、この値がマスク設計のグリッドに乗らない場合は、１．６２λ／ＮＡ近傍のグリッドに乗った値にすればよい。

【００９７】

上記周辺領域にあるパターンレイアウト例を図３２に示す。図中の符号１００３はセル部境界領域、１００４はアクティブ領域（拡散層領域）、１００５はゲートおよびゲート配線、１００６は導通孔（通例コンタクトと称す）を示す。アクティブ領域１００４の外側はフィールドと呼ばれる半導体基板との絶縁領域で、アイソレーション（素子分離）と呼ばれる領域である。セルとセルとの配置の関係で、セル単位でＯＰＣ処理された後に補正処理が必要となる部分をアクティブ層（アイソレーション層）、ゲート層、およびコンタクト層に分けて説明する。

【００９８】

［アイソレーション層］

図３２に示されたゲート幅ｗ１、コンタクト－拡散層間合わせ余裕ｄ１、ｄ２、隣接セル間との解像不良（パターン繋がり不良）回避余裕ｓ１、拡散層へのゲート配線乗り上げ不良回避余裕ｓ２が再ＯＰＣ調整部位である。ゲート幅ｗ１が規格の精度に収まらない場合は、狭チャネル効果によるトランジスタ特性の劣化が起こり、コンタクト－拡散層間合わせ余裕ｄ１、ｄ２が取れなくなると、接触抵抗の増加による導通不良が起こる。

【００９９】

アクティブ領域の調整すべき変数の例を図３３～図３６を用いて説明する。図３３はゲート幅ｗ１の調整変数の例であり、幅ｍｗ１を前述の遺伝的アルゴリズム手法を用いて調整する。図３４はコンタクト－拡散層間合わせ余裕ｄ１、ｄ２の調整変数の例であり、拡散層の端を幅ｈ１、長さｈ２のハンマーヘッド状に変形し、前述の遺伝的アルゴリズム手法を用いて調整する。図３５は隣接セル間との解像不良（パターン繋がり不良）回避の例であり、アクティブ領域１００４の先端の後退量を変数ｉ１とする。図３６は拡散層へのゲート配線乗り上げ不良回避の例であり、ゲート配線１００５に対向する部分の後退領域の長さｉ３と幅ｉ２が変数である。これらの変数を前述の遺伝的アルゴリズム手法を用いて調整する。

【０１００】
［ゲート層］
図３７に示されたゲート長ｌ１、隣接セル間との解像不良（パターン繋がり不良）回避余裕ｓ４、拡散層へのゲート配線乗り上げ不良回避余裕ｓ３、アクティブ領域からの突き出し量ｐ１が再ＯＰＣ調整部位である。ゲート長１１が規格の精度に収まらない場合は、トランジスタの閾値電圧コントロールがままならなくなってトランジスタ特性が大いにばらつくため、回路動作が不安定となる。
【０１０１】
ゲートおよびゲート配線パターンの調整すべき変数の例を図３８～図４１を用いて説明する。図３８（ａ）、（ｂ）は、ゲート長ｌ１１の調整変数の実例である。ゲート長は最も敏感にトランジスタ特性に影響を与える寸法なので、特に高い寸法精度が要求される。通常、ゲート配線の一部に配線層と導通を取るためのパッドが形成されるため、その部分からの回折光の影響を受けて転写パターンが変形する。少なくともアクティブ領域上でその変形を防止するために、図３８（ａ）の１００５ａに示すような複雑なＯＰＣをかけている。ここではまず、セル単独の場合で所望の寸法精度が得られるようにＯＰＣをかけておく。その後、外周に配置された別のセルパターンを参照して、図３８（ｂ）に示すように、そのＯＰＣの外形を維持したまま、線幅ｍｌ１を変数にして前述の遺伝的アルゴリズム手法を用いて調整した。
【０１０２】
図３９は、隣接セル間との解像不良（パターン繋がり不良）回避例である。セル単独の場合のＯＰＣがかかったゲート配線パターン１００５ａの先端後退量ｍｈ１を変数とする。図４０は、拡散層へのゲート配線乗り上げ不良回避の例で、この場合の変数は、拡散層領域（アクティブ領域）１００４に対向するゲート配線の後退部の幅ｉ４と奥行きｉ５が変数である。
【０１０３】
図４１（ａ）～（ｃ）は、アクティブ領域からの突き出し補正の例である。設計レイアウトは図４１（ａ）に示すような矩形なレイアウトであるが、実際にパターン転写を行なうと、露光光の回折およびレジストの酸拡散などの効果によって、パターン端が図４１（ｂ）のように丸まった形状となる。この丸まり部がアクティブ領域にかかるとパンチスルーなどの現象により、トランジスタ特性が劣化する。そこで、一定量以上の突き出しが確保されなければならない。図４１（ｃ）に示すように、この場合の変数はゲート端に幅ｈ３、長さｈ４のハンマーヘッドとした。これらの変数を前述の遺伝的アルゴリズム手法を用いて調整した。
【０１０４】
［コンタクト層］
図４２にコンタクト層のレイアウト例を示す。外部セルの影響を受けてＯＰＣを補正処理するパターンは、外部セルのパターン１００８ａ～１００８ｅからの相互作用領域１００９ａ～１００９ｅにかかるパターンであり、図中の符号１００６ａ～１００６ｅで示される。これらの相互作用領域１００９ａ～１００９ｅの半径は、レジストの酸拡散定数、規格寸法精度などに依存するが、１．６２λ／ＮＡである。図４３に示すように、この再ＯＰＣのかかるパターン１００６ｆの変数は、高さｈ５、幅ｈ６であり、またその中心位置１０２０も変数として位置ずれ補正も行なう。これらの変数を前述の遺伝的アルゴリズム手法を用いて調整した。
【０１０５】
なお、上述した本検討例４の各種変数は、遺伝的アルゴリズム手法以外にも、進化戦略、遺伝的プログラミング、虫型探索、ＥＤＡなどの盲目的探索手法ないし確率的探索手法や、山登り法、反復黄金分割法、パウエル(Powell)法などを含む決定論的探索方式によって調整することもできる。
【０１０６】
（検討例５）

前記検討例４において、セルをＥＤＡツールで扱う場合に最適なデータ構造を示す。図５２は、検討例４に基づいて設計されたセルのデータ構造を示す模式図である。セルのデータ構造は、同図（ａ）に示される設計パターン、同図（ｂ）に示されるＯＰＣ図形パターン、アジャスタブル(Adjustable)領域（第１領域）および評価点の４要素からなる。

設計パターンは、従来のスタンダードセルとまったく同じデータ構造にしてある。そのため、既存のＥＤＡツールとの互換性を容易に保つことができる。ＯＰＣ図形パターンは、前記検討例１に記載の方法を用いて生成される。

【０１０７】

アジャスタブル領域は、検討例４に記載の周辺領域と同義である。以降、セル中のアジャスタブル領域以外の部分をフィクスド(Fixed)領域と呼ぶことにする。アジャスタブル領域は、そこに含まれるＯＰＣ図形が調整対象であることを示すために用いられる。アジャスタブル領域で判定することにより、セルに含まれるすべてのＯＰＣ図形を、個別に調整対象であるか否かと分類しなくても済むため、データ構造がシンプルになり、セルの設計を容易にできる。

【０１０８】

最後の要素である評価点は、光学シミュレーションで得られた露光パターンの寸法と、設計パターンの寸法を比較し、誤差を計算すべき箇所に配置される。評価点で測定された誤差情報は、前記検討例１に記載の評価関数として、遺伝的アルゴリズムにおける染色体の評価で使用される。なお、遺伝的アルゴリズムに限らず、焼きなまし法や虫型探索、ＥＤＡなどを含む確率的探索手法や、山登り法や反復黄金分割法、パウエル(Powell)法などを含む決定論的探索方式でも、同様に使用できることは自明である。

【０１０９】

前述した特開２００６－０５８４１３号公報（特許文献６）や、特開２００５－１５６６０６号公報（特許文献７）に記載の方法は、実際のリソグラフィ工程において、短絡や開放が発生する可能性が高い危険箇所をチップ全体の光学シミュレーションにより求め、危険箇所周辺に測定ポイントを配置したり、危険箇所周辺だけをより詳細にシミュレーションしたりしてＯＰＣ図形の調整を行っているが、危険箇所の検出のために多大な計算時間を要している。これに対し、本実施の形態では、セル単位のシミュレーションで簡単かつ高速に危険箇所を検出し、そこに評価点を配置することができるため、検知精度を低下させることなく、効果的に危険箇所を事前に知ることができる。その結果、チップ全体をシミュレーションして危険箇所を求める処理が一切不要になるため、ＯＰＣ処理時間を大幅に短縮できる。

【０１１０】

（検討例６）

前記検討例５に基づく構造を有するセルを配置し、前記検討例４によるＯＰＣ調整したマスクパターンにおいて、回路の一部を修正しても局所的な計算でＯＰＥの補正が可能であることを示す。

【０１１１】

まず、図４５に示すように、４種類のセル（ｃｅｌｌ１～ｃｅｌｌ４）を配置して修正前パターン（パターンＡ）を作成する。このとき、パターンＡを構成するセル（ｃｅｌｌ１～ｃｅｌｌ４）は、それぞれ幅が１．６２λ／ＮＡのアジャスタブル領域（図４５の網掛け部分）を有し、パターンＡとしてレイアウト後に前述の遺伝的アルゴリズムを用いてアジャスタブル領域内のＯＰＣ図形形状が調整されている。パターンＡには１０７箇所に評価点があり、それぞれの評価点は、露光パターンの線幅あるいは露光パターン先端の寸法を評価する箇所に設定した。

【０１１２】

図４６のＡ１～Ａ８、Ｆ１～Ｆ４のように評価領域を設定し、各評価領域における線幅変動の最大値と最小値および平均値を比率（％）で示すと図４７のようになる。なお、線幅変動は、露光パターンが設計パターン幅に対してどの程度変動したかを誤差で表したものとする。図４７より、全評価点の誤差が３％以内となっていることが分かる。

【０１１３】
次に、パターンＡのｃｅｌｌ４を、図４８のようにｃｅｌｌ５と入れ替え、この入れ替え後のパターンをパターンＢとする。なお、パターンＢの評価点は１０９箇所設定され、図４９に示される評価領域に分布している。図５０に、セルを変更したことにより発生した線幅変動の測定結果を評価領域ごとに示す。これより、回路修正で発生する光近接効果の影響が大きいのは評価領域Ａ５のみであり、その他の領域ではほぼ無視できることが分かる。
【０１１４】
そこで、アジャスタブル領域に含まれるＯＰＣ図形のうち、評価領域Ａ５にも含まれるものだけを、前述の遺伝的アルゴリズムにより調整した。図５１に、調整後のパターンＢにおける線幅変動の測定結果を示す。この結果より、調整前に生じていた最大１２．３３％の線幅変動が３％以内に抑制されていることが分かる。さらに、評価領域Ａ５の調整がその他の領域に影響を与えていないことも確認できる。
このように、本発明の手法を用いることにより、レイアウト後に回路の一部に修正があっても、局所的な補正でＯＰＣが実行できることが分かる。
【０１１５】
（実施の形態）
まず、本実施の形態の半導体装置を構成するセルのデータ構造の一例を説明する。図５３～図５６は、上記ＥＤＡツールで扱うのに最適な本実施の形態の半導体装置のセルのデータ構造の一例の模式図を示している。
【０１１６】
図５３は、ＯＰＣ処理済のセルｃｅｌｌの設計パターンＬＰの一例を示している。セルｃｅｌｌは、例えば平面長方形状に形成されている。このセルｃｅｌｌ内には、集積回路パターンを形成する複数の設計パターンＬＰが配置されている。設計パターンＬＰは、従来のスタンダードセルとまったく同じデータ構造になっている。そのため、既存のＥＤＡツールとの互換性を容易に保つことができる。符号ＣＬは、セルｃｅｌｌの外周を示すセル外周線（セル境界）である。
【０１１７】
図５４は、上記セルｃｅｌｌの上記アジャスタブル(Adjustable)領域（周辺領域、第１領域、右傾斜の斜線のハッチングで示す）と、上記フィクスド（Fixed）領域とを示している。
【０１１８】
アジャスタブル領域は、あるセルｃｅｌｌの周りに、他のセルｃｅｌｌが存在する場合に、あるセルｃｅｌｌにおいて、他のセルｃｅｌｌから光近接効果（形状変化）の影響を受ける可能性のある範囲を示した領域であり、そこに含まれるＯＰＣ図形が調整対象であることを示すために用いられる。このアジャスタブル領域は、セル外周線ＣＬ（の四辺の各々）を基準としてそこからセルｃｅｌｌの内側（中央）に幅Ｗ１だけ向かった領域で示されている。
【０１１９】
フィクスド領域は、セルｃｅｌｌ内において上記アジャスタブル領域で囲まれた領域であり、他のセルｃｅｌｌからの光近接効果（形状変化）によって生じる当該領域内の露光パターンの変化が、セルｃｅｌｌの回路特性に影響を与えないほど小さい領域である。したがって、フィクスド領域に含まれるＯＰＣ図形は調整対象外であることを示している。
【０１２０】
図５５は、上記セルｃｅｌｌの外向き影響範囲（左傾斜の斜線のハッチング（間隔が狭いものと広いものとを含む）で示す）を示している。
【０１２１】
この外向き影響範囲は、セルｃｅｌｌ内の最も外側にある設計パターンＬＰ（パターン外周線ＰＬ）を基準として、そこからセルｃｅｌｌの外側に向かって上記アジャスタブル領域の幅Ｗ１と同じ幅Ｗ２だけ向かった領域で示されている。この外向き影響範囲は、セ

ル外周線ＣＬよりも幅Ｗ３，Ｗ４だけはみ出している。この外向き影響範囲において、セル外周線ＣＬよりも外側にはみ出している領域（アジャスタブル領域に重なっていない領域）をサラウンディング（Surrounding）領域（第２領域、外向き影響範囲のうち、相対的に間隔の狭いハッチングで示した領域）と呼ぶ。

【０１２２】

サラウンディング領域は、あるセルｃｅｌｌの周りに、他のセルｃｅｌｌが存在する場合に、あるセルｃｅｌｌが、その周りの他のセルｃｅｌｌに光近接効果（形状変化）の影響を及ぼす可能性のある範囲を示した領域であり、そこに含まれるＯＰＣ図形が調整対象であることを示すために用いられる。

【０１２３】

図５６は、上記セルｃｅｌｌの上記アジャスタブル領域と、上記外向き影響範囲とを重ねて示している。

上記アジャスタブル領域の幅Ｗ１と、上記外向き影響範囲の幅Ｗ２とは同じであるが、サラウンディング領域（第２領域）の幅Ｗ３，Ｗ４は、アジャスタブル領域の幅Ｗ１よりも小さい。これは、以下のような理由からである。

【０１２４】

図５７は、サラウンディング領域の幅Ｗ３，Ｗ４が、アジャスタブル領域の幅Ｗ１よりも小さいことを示している。図５７の破線は、上記アジャスタブル領域の幅Ｗ１と同じ幅をセル外周線ＣＬからセルｃｅｌｌの外側に確保したときの様子を示している。

セルｃｅｌｌの外部からの影響は、任意のパターンの隣接セルｃｅｌｌに対応可能なようにセル外周線ＣＬを基準とする必要がある。すなわち、アジャスタブル領域は、セル外周線ＣＬを基準としてそこからセルｃｅｌｌの内側に幅Ｗ１だけ確保する必要がある。

【０１２５】

これに対して、自らの外側のセルｃｅｌｌへの影響は、セルｃｅｌｌの内部で最も外側に位置する設計パターンＬＰ（パターン外周線ＰＬ）を基準とする。すなわち、外向き影響範囲は、セル外周線ＣＬよりも内側のパターン外周線ＰＬを基準としてそこから上記アジャスタブル領域の幅Ｗ１と同じ幅だけセルｃｅｌｌの外側に確保すれば良い。

【０１２６】

このため、上記アジャスタブル領域の幅Ｗ１と、上記外向き影響範囲の幅Ｗ２とが同じでも、外向き影響範囲の基準がセル外周線ＣＬよりも内側に移った分だけ、外向き影響範囲の外周が図５７の破線よりも内側に後退する。したがって、サラウンディング領域の幅Ｗ３，Ｗ４は、アジャスタブル領域の幅Ｗ１よりも小さくなる。

なお、本実施の形態においても、ＯＰＣ図形情報および評価点については図５２（ｂ）を用いて説明したのと同じなので省略する。

【０１２７】

次に、本実施の形態の半導体装置の製造に用いるマスクパターンの設計方法を図５８～図６０により説明する。図５８はマスクパターンの設計工程中のマスクパターンのレイアウト平面図、図５９はマスクパターンの微調整時において各セルに上記アジャスタブル領域およびサラウンディング領域を付加して示したマスクパターンのレイアウト平面図、図６０は図５９の要部拡大レイアウト平面図を示している。なお、図５８～図６０においては図面を見易くするため設計パターンＬＰを省略している。また、図６０では図面を見易くするためパターン外周線を省略している。

【０１２８】

まず、上記のように、マスクパターンを露光してパターンを転写する際に生じる形状変化を補正するＯＰＣ処理を、セルライブラリに含まれる複数のセルごとに施す。続いて、図５８に示すように、ＯＰＣ処理済の複数のセルｃｅｌｌをマスクのレイアウト平面に配置する。

【０１２９】

その後、本実施の形態においては、セルｃｅｌｌ間のＯＰＣの補正量を微調整する際に、図５９の領域ＲＡに示すように、各セルｃｅｌｌにおいて、自らのアジャスタブル領域

と、そのセルｃｅｌｌに隣接する他のセルｃｅｌｌのサラウンディング領域とが重なる領域（網かけのハッチングで示す領域）についてだけ微調整する（右上傾斜のハッチングだけの領域や左上傾斜のハッチングだけの領域については調整を行わない）。すなわち、本実施の形態においては、あるセルｃｅｌｌのアジャスタブル領域と、そのあるセルｃｅｌｌに隣接する他のセルｃｅｌｌのサラウンディング領域とが重なる領域についてだけＯＰＣ図形を微調整するための計算を行えば良い。このため、ＯＰＣ図形を微調整するための範囲（すなわち、計算を必要とする領域の面積）を小さくすることができる。特に、本実施の形態においては、上記のようにサラウンディング領域の幅Ｗ３，Ｗ４は、上記アジャスタブル領域の幅Ｗ２よりも小さいので、ＯＰＣ図形の微調整のために計算する領域をより小さくすることができる。したがって、本実施の形態においては、ＯＰＣ処理を効率的に行うことができ、実用的な時間でマスクパターン生成を可能にすることができる。このため、マスク製造のための処理時間および処理コストを大幅に削減できる。

【０１３０】

また、セルｃｅｌｌの配置が完了した後、一部のセルｃｅｌｌに変更があった場合でも、マスクパターン全面にＯＰＣ処理をやり直す必要がなく、変更があったセルｃｅｌｌのアジャスタブル領域とサラウンディング領域とが重なった領域だけを再調整するだけで済むので、再調整に要する計算コストを大幅に削減することができる。

【０１３１】

このように本実施の形態においては、マスクパターン設計に際してＯＰＣ処理時間を短縮できるので、半導体装置の製造ＴＡＴを短縮することができる。その結果、半導体装置の製造コストを削減することができる。

【０１３２】

なお、設計パターンデータ（マスクパターンデータ）の作成方法、ＯＰＣ図形パターンの生成方法、マスクを用いた縮小投影露光方法および半導体装置の製造方法については、前記検討例で説明したのと同じなので説明を省略する。

【０１３３】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

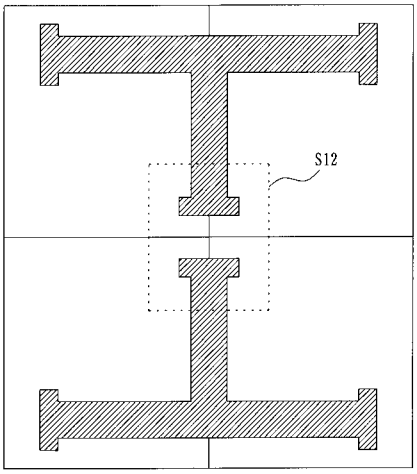
例えば本実施の形態では作成されたマスクを半導体装置の製造工程（縮小投影露光工程）に適用した場合について説明したが、これに限定されるものではなく、例えば液晶装置、マイクロマシンまたは磁気ヘッド等における所望のパターンを縮小投影露光する工程に適用することができる。

【産業上の利用可能性】

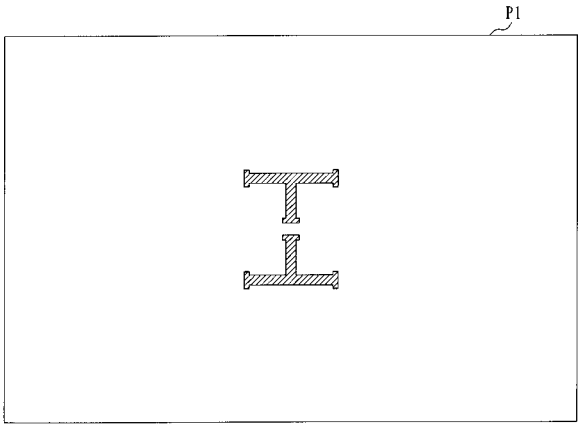
【０１３４】

本願発明は、光近接効果補正（ＯＰＣ）処理されたセルライブラリパターンを用いるマスクパターン設計方法に利用することができる。

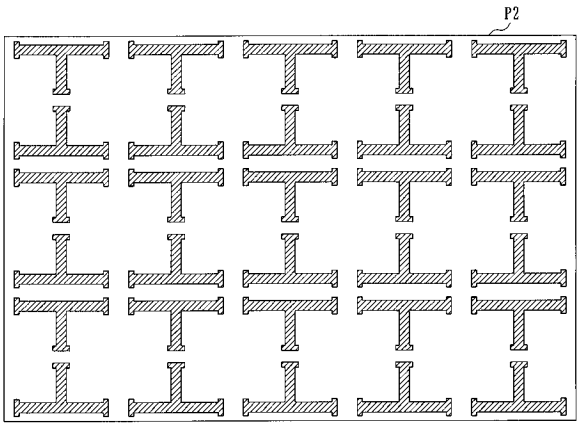
【図１】



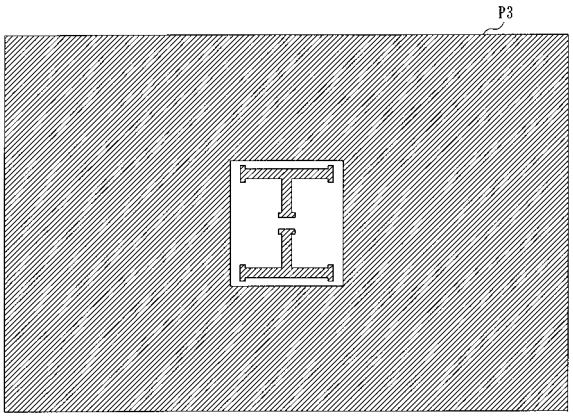
【図２】



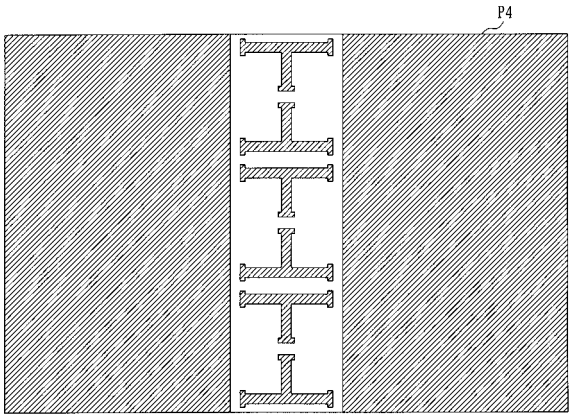
【図３】



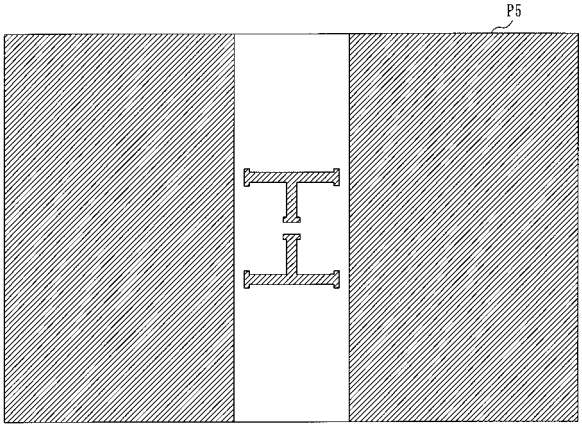
【図４】



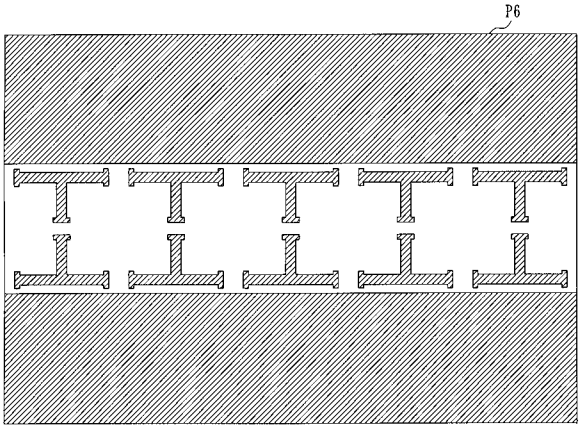
【図５】



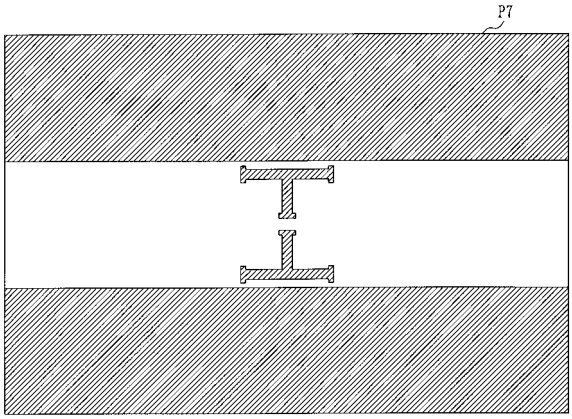
【図６】



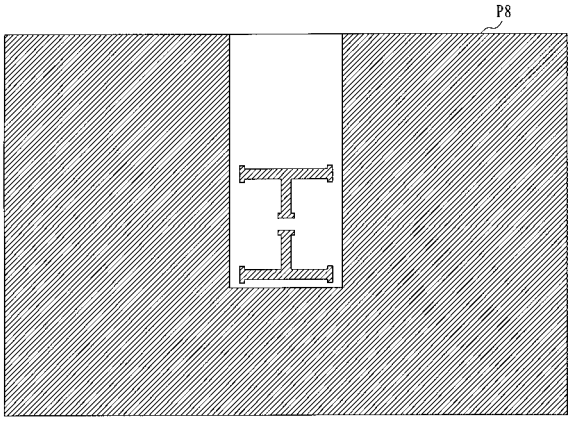
【図７】



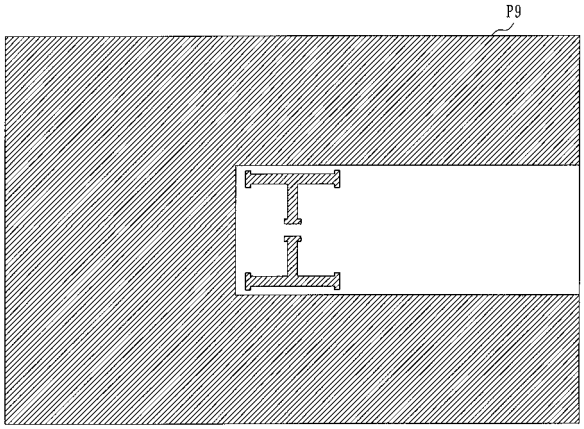
【図８】



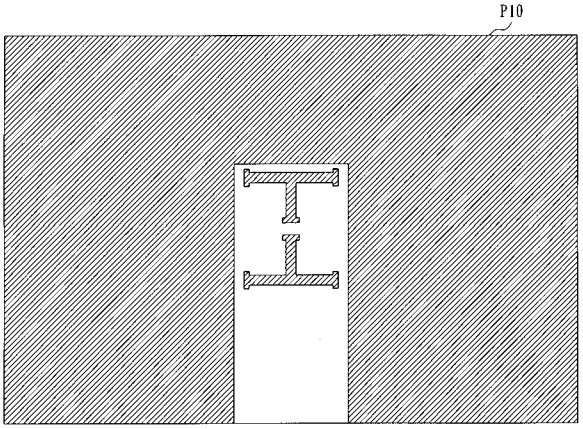
【図９】



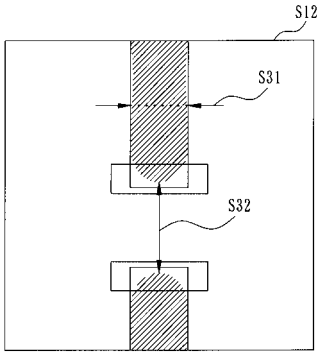
【図１０】



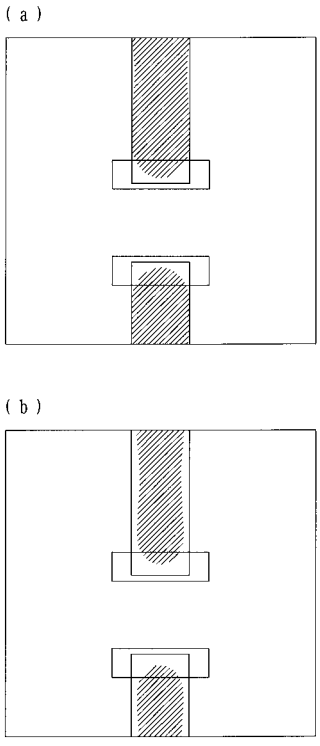
【図１１】



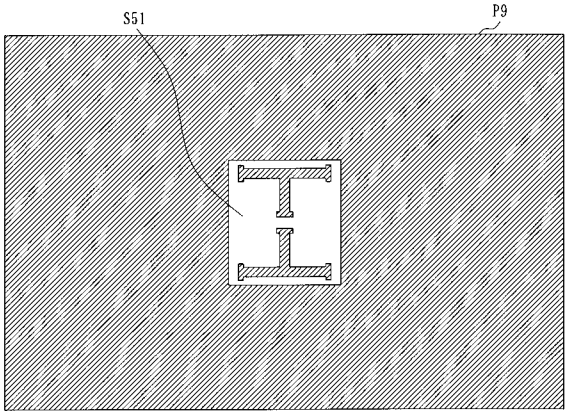
【図１２】



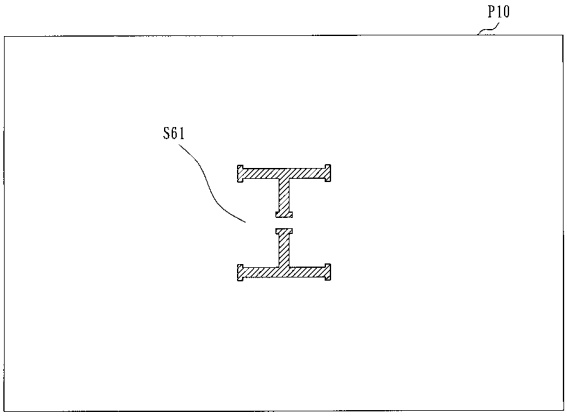
【図１３】



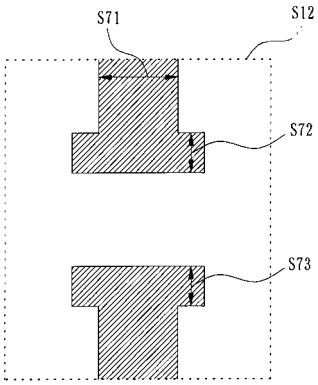
【図１４】



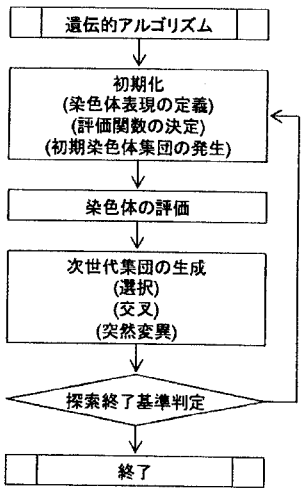
【図１５】



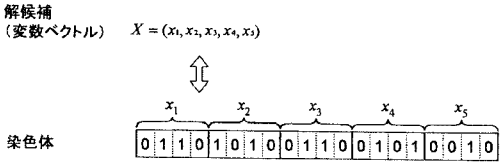
【図１６】



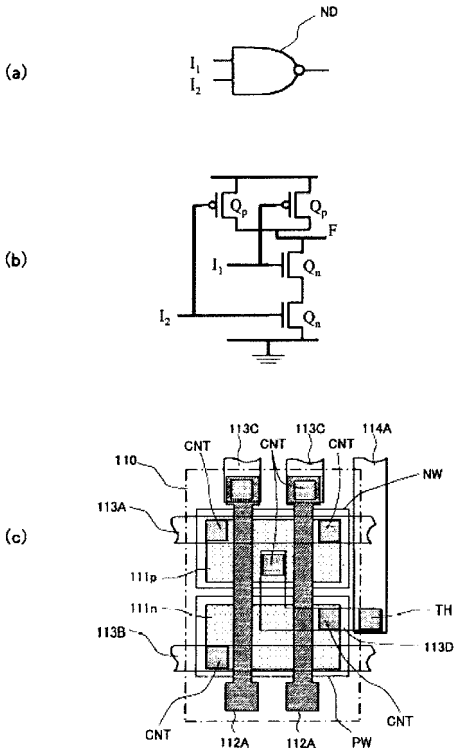
【図１７】



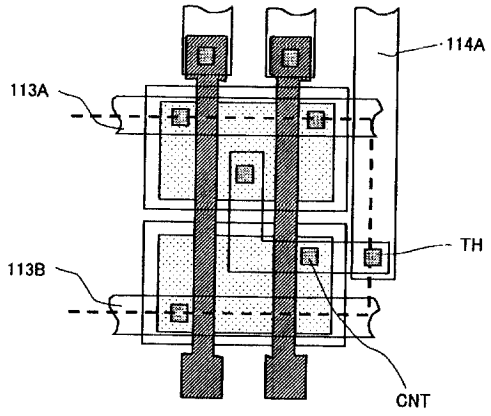
【図１８】



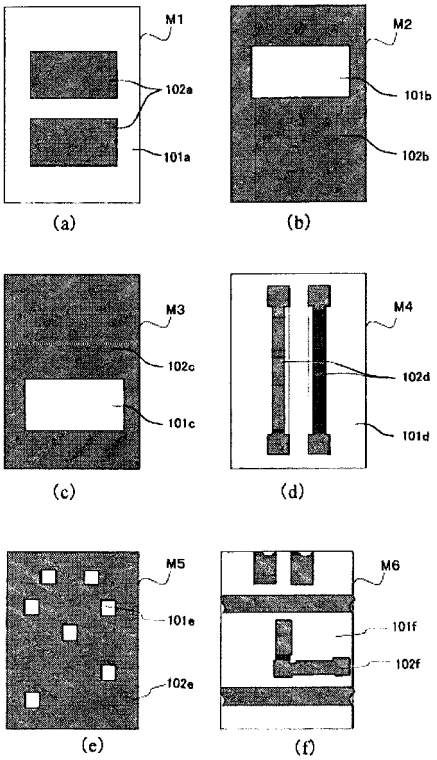
【図１９】



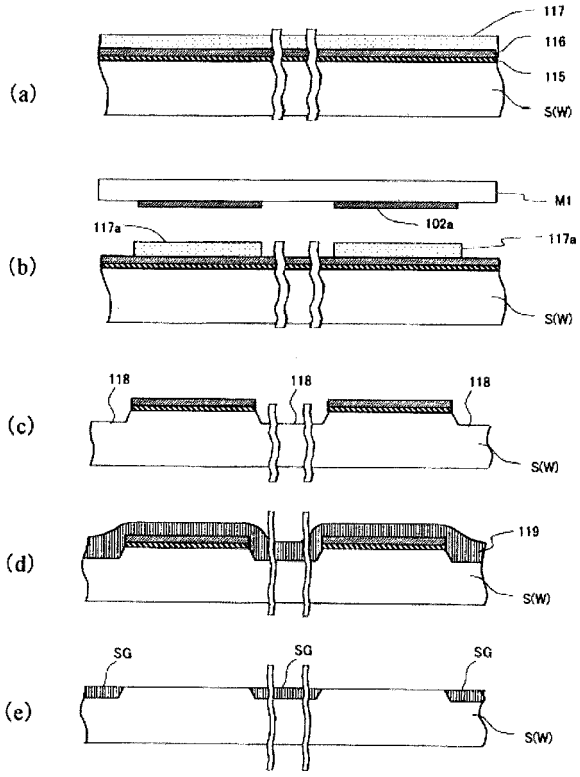
【図２０】



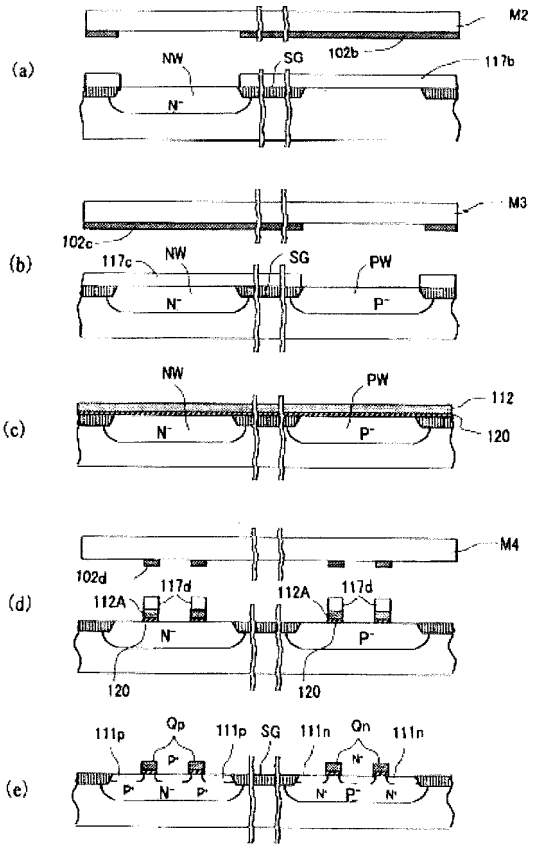
【図２１】



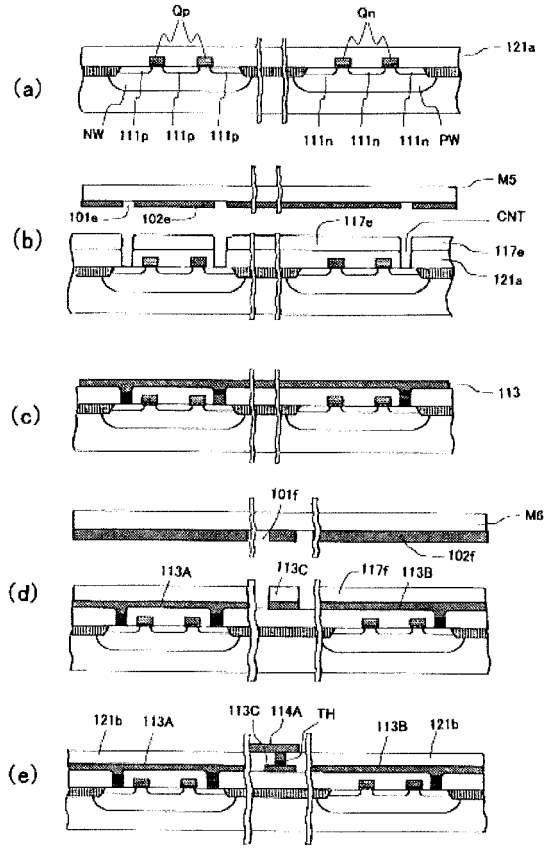
【図２２】



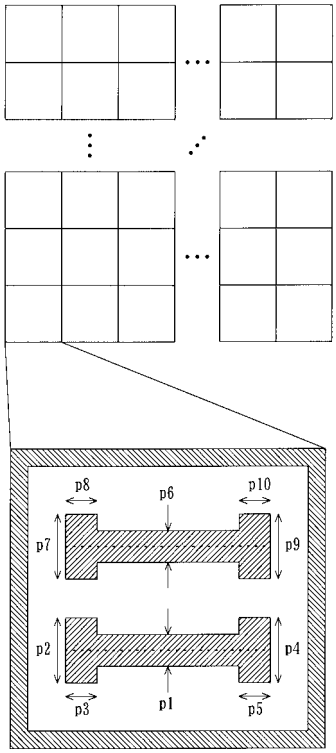
【図２３】



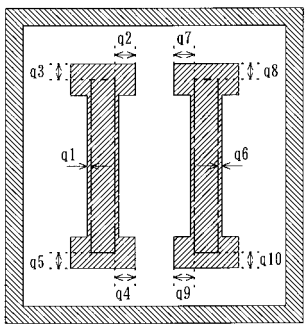
【図２４】



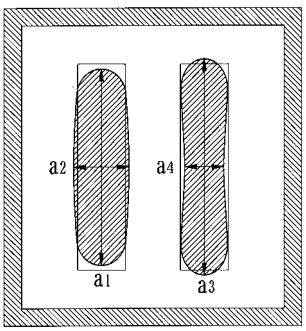
【図２５】



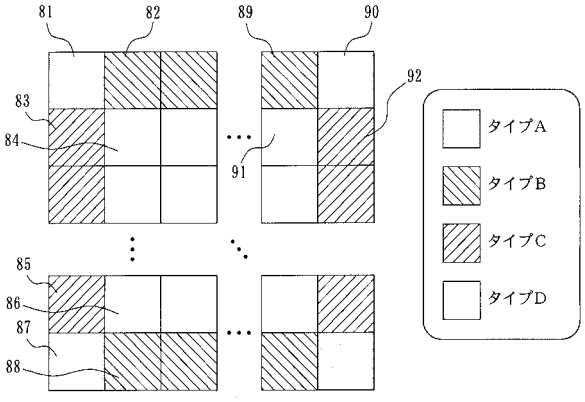
【図２６】



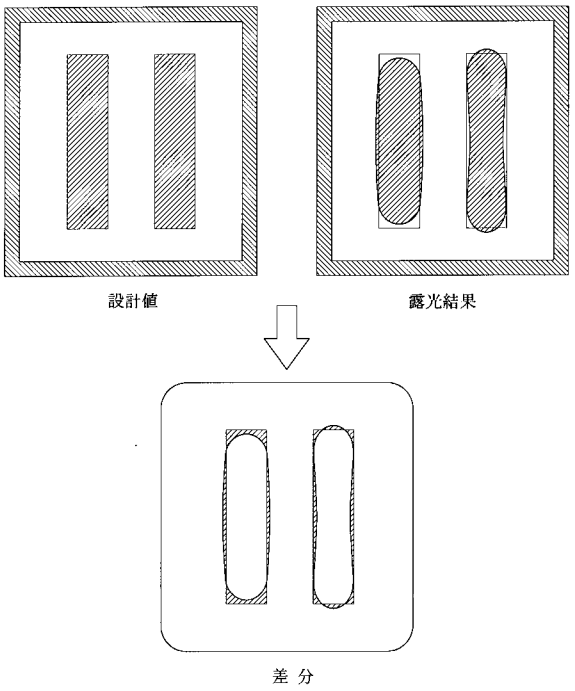
【図２８】



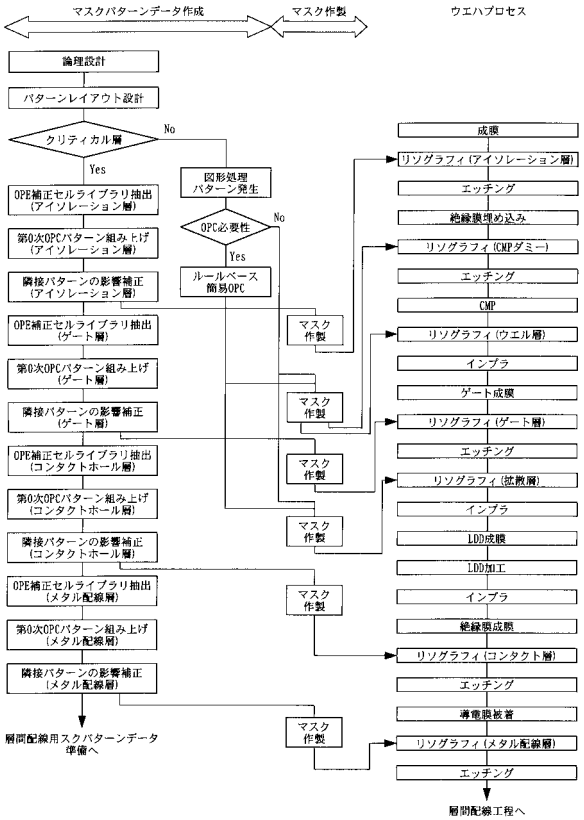
【図２７】



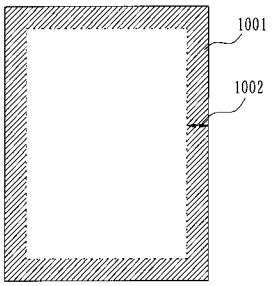
【図２９】



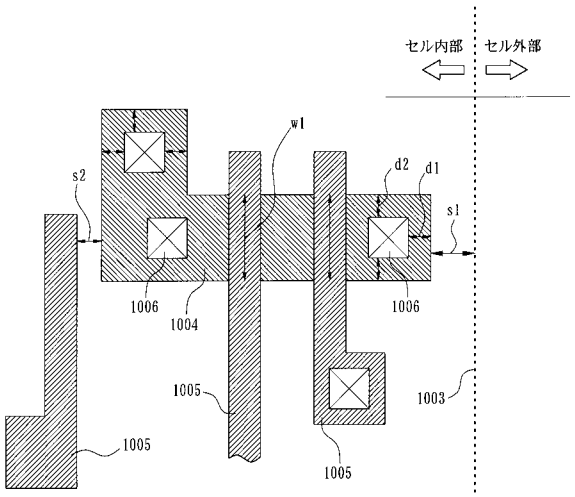
【図３０】



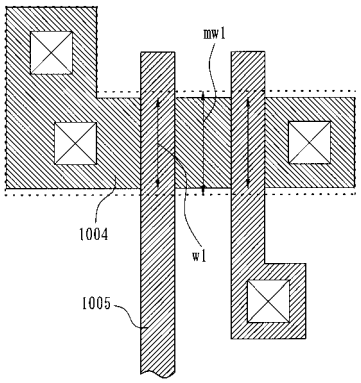
【図３１】



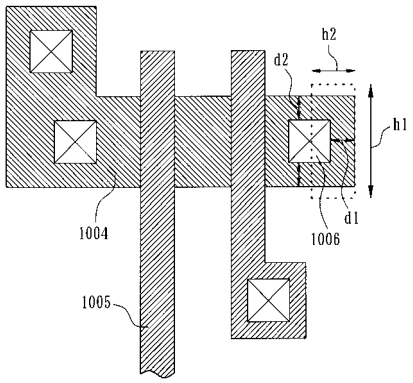
【図３２】



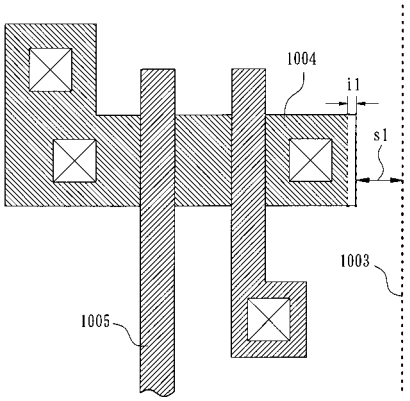
【図３３】



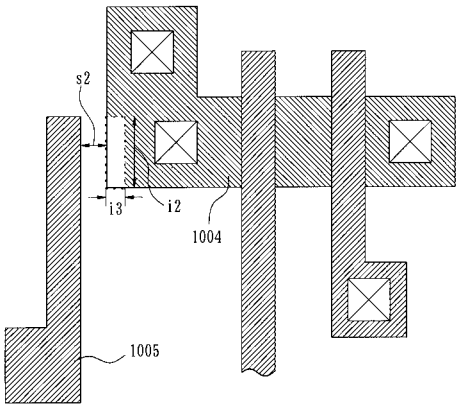
【図３４】



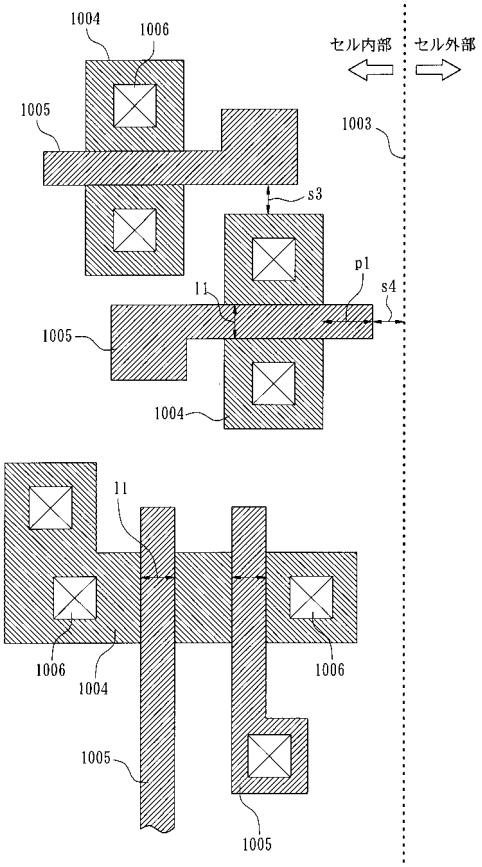
【図３５】



【図３６】

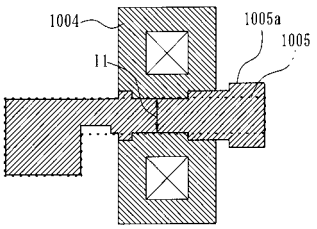


【図３７】

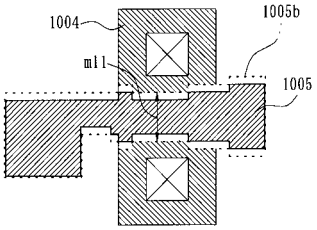


【図３８】

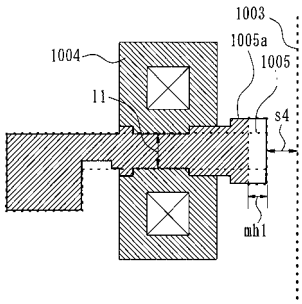
（ａ）



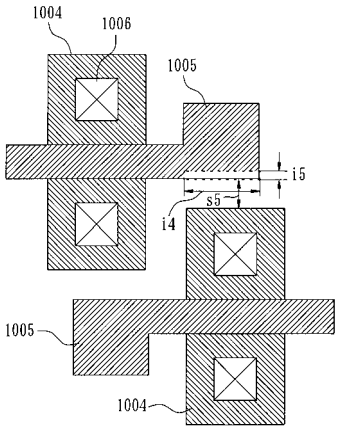
（ｂ）



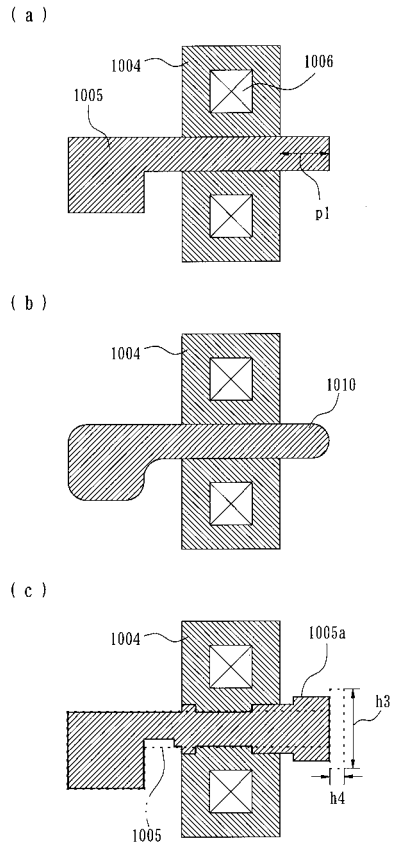
【図３９】



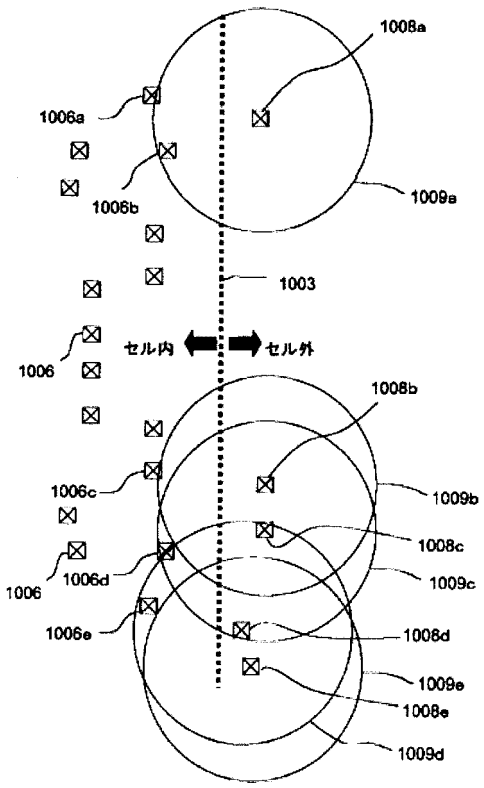
【図４０】



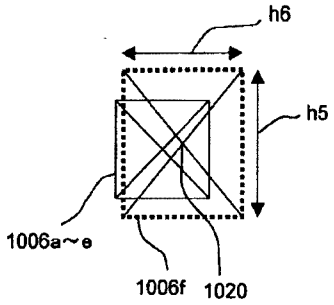
【図４１】



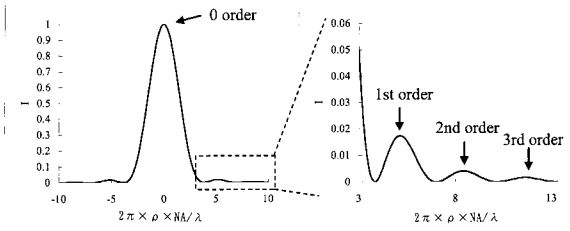
【図４２】



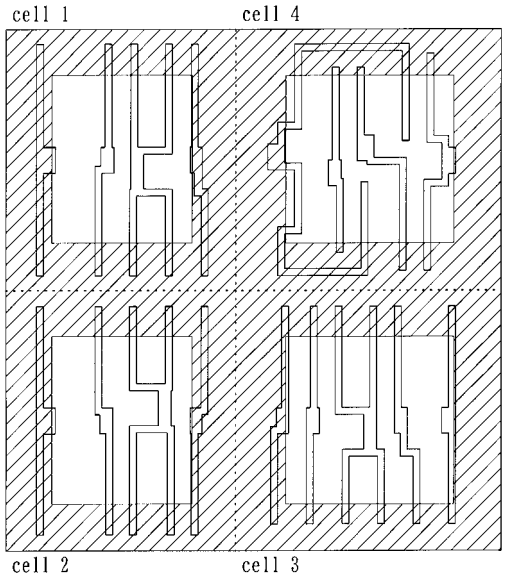
【図４３】



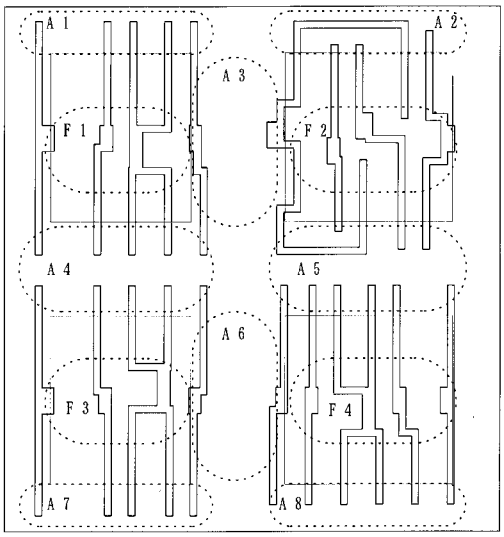
【図４４】



【図４５】



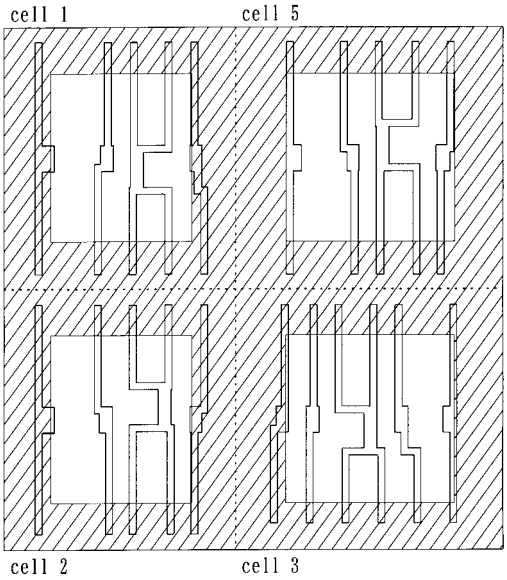
【図４６】



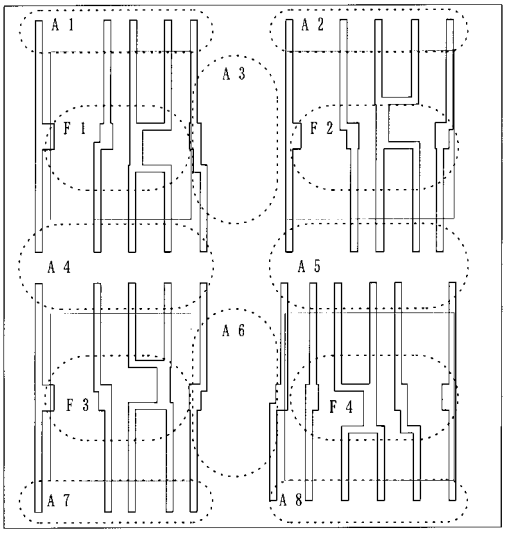
【図４７】

	A1	A2	A3	A4	A5	A6	A7	A8	F1	F2	F3	F4	total
min	0.13	0.05	1.44	0.95	0.02	1.12	0.07	0.06	0.18	1.51	0.71	0.30	0.07
max	2.33	2.91	1.64	8.40	5.38	1.68	2.17	2.16	1.75	2.60	2.75	2.15	8.40
average	0.73	1.53	1.54	3.27	2.50	1.40	0.90	1.16	0.96	2.15	2.02	1.45	1.92

【図４８】



【図４９】



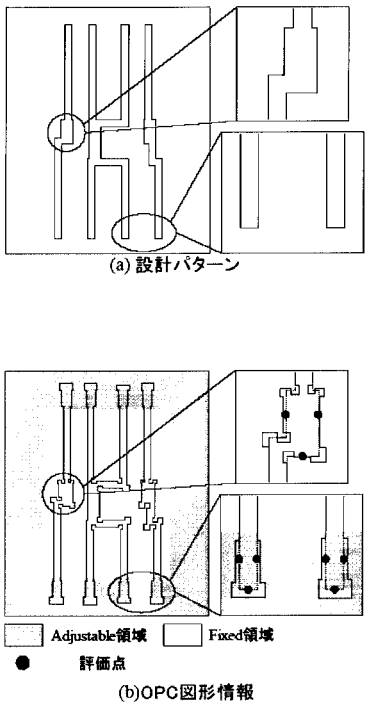
【図５０】

	A1	A2	A3	A4	A5	A6	A7	A8	F1	F2	F3	F4	total
min	0.06	0.28	0.87	0.18	0.30	1.35	0.05	0.15	0.20	0.36	0.71	0.29	0.05
max	2.37	2.56	1.77	2.52	12.33	1.61	1.30	2.18	1.71	2.74	2.67	2.17	12.33
average	0.73	1.26	1.32	1.64	2.13	1.48	0.93	1.16	0.96	1.45	1.99	1.45	1.44

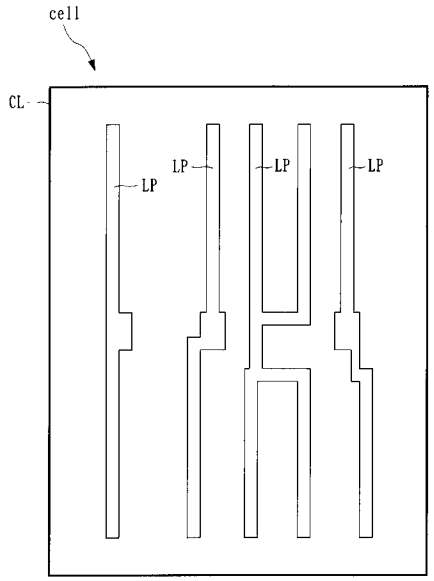
【図５１】

	A1	A2	A3	A4	A5	A6	A7	A8	F1	F2	F3	F4	total
min	0.07	0.28	0.87	0.19	0.27	1.35	0.06	0.15	0.20	0.37	0.71	0.29	0.06
max	2.37	2.56	1.77	2.52	2.61	1.61	1.30	2.18	1.71	2.73	2.67	2.17	2.73
average	0.73	1.26	1.32	1.64	1.21	1.48	0.93	1.16	0.96	1.45	1.99	1.45	1.26

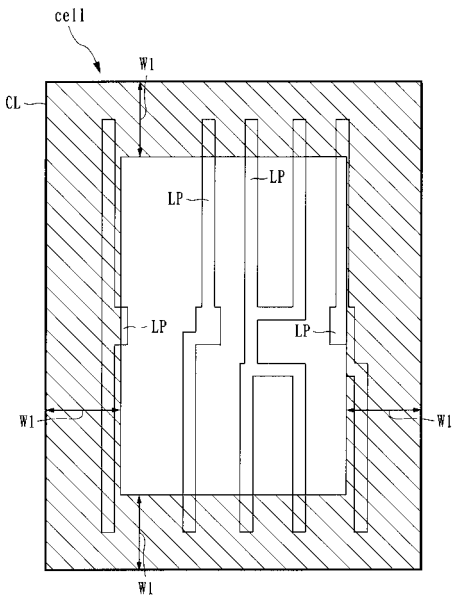
【図５２】



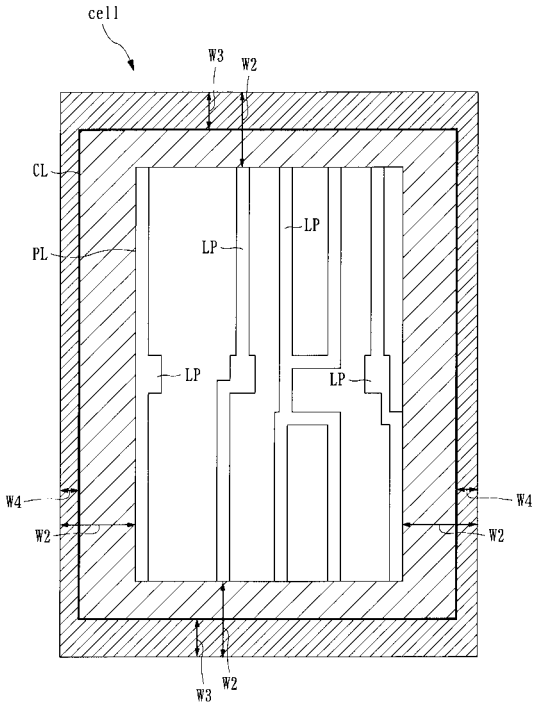
【図５３】



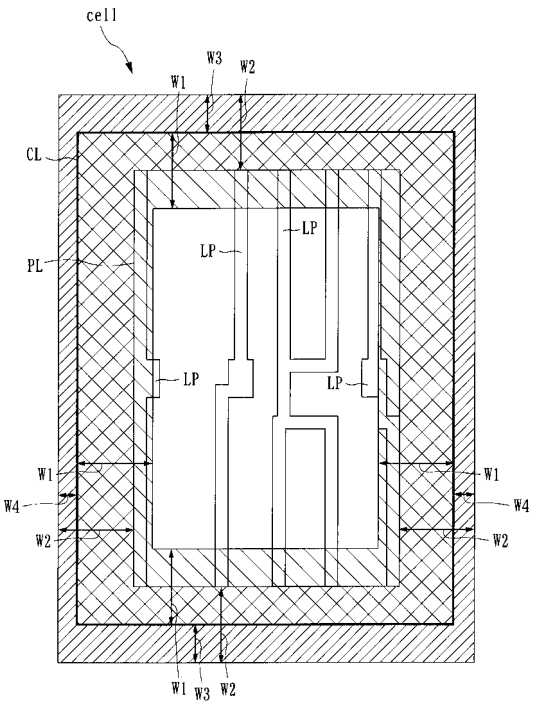
【図５４】



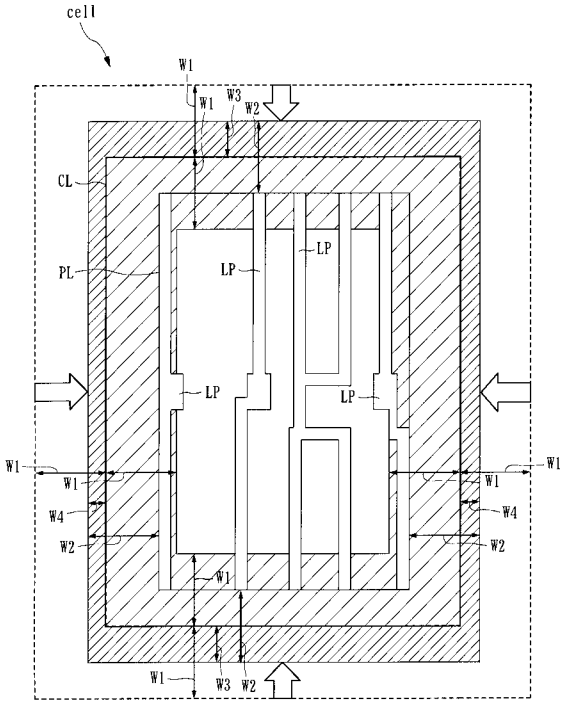
【図５５】



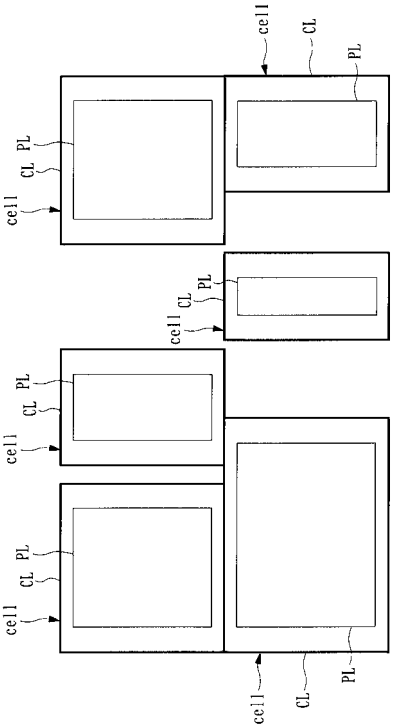
【図５６】



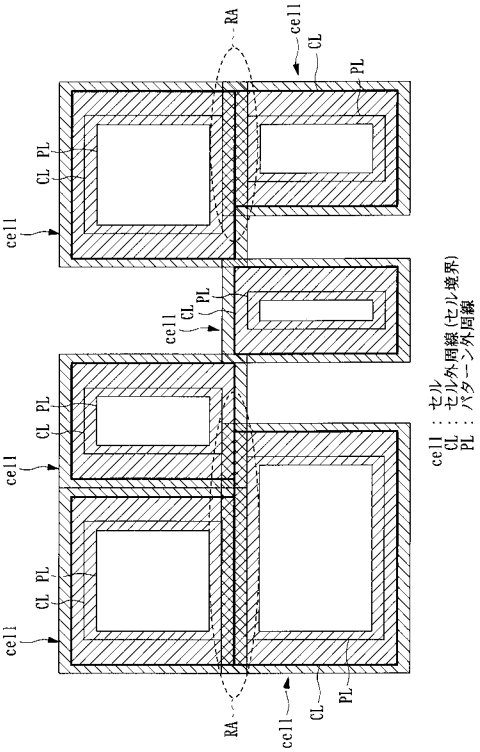
【図５７】



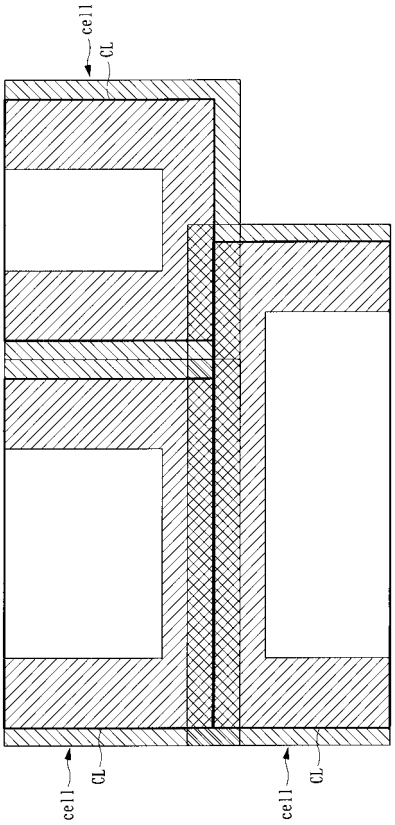
【図５８】



【図５９】



【図６０】



フロントページの続き

(72)発明者　樋口　哲也
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内

審査官　渡戸　正義

(56)参考文献　特開２００５－０８４１０１（ＪＰ，Ａ）
特開２００５－０５５４３１（ＪＰ，Ａ）
特開平１０－０３２２５３（ＪＰ，Ａ）
特開２０００－３１４９５４（ＪＰ，Ａ）
特開平０８－２５４８１２（ＪＰ，Ａ）
特開２００６－２７６０７９（ＪＰ，Ａ）
特開２００６－２７６２７９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G03F　1/08　-　1/16
H01L　21/027