



(12)发明专利申请

(10)申请公布号 CN 108022926 A

(43)申请公布日 2018.05.11

(21)申请号 201610961821.0

(22)申请日 2016.11.04

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 周飞

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 徐文欣 吴敏

(51)Int. Cl.

H01L 27/088(2006.01)

H01L 21/8234(2006.01)

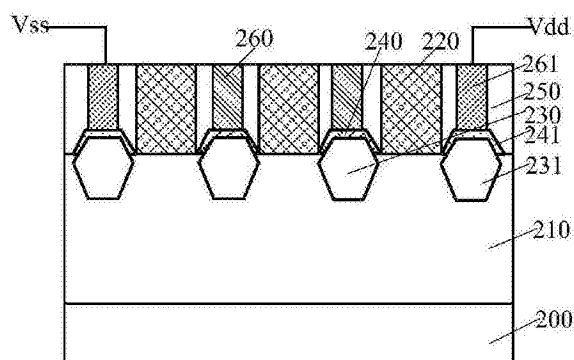
权利要求书2页 说明书9页 附图3页

(54)发明名称

半导体器件及其形成方法

(57)摘要

一种半导体器件及其形成方法,其中半导体器件包括:基底;栅极结构组,位于所述基底上,所述栅极结构组包括多个栅极结构;第一源漏掺杂区,分别位于相邻的栅极结构之间的基底中;第二源漏掺杂区,分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;第一导电层,分别位于第一源漏掺杂区表面。所述半导体器件能够增大对栅极结构数量的工艺设计的空间。



1. 一种半导体器件,其特征在于,包括:  
基底;  
栅极结构组,位于所述基底上,所述栅极结构组包括多个栅极结构;  
第一源漏掺杂区,分别位于相邻的栅极结构之间的基底中;  
第二源漏掺杂区,分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;  
第一导电层,分别位于第一源漏掺杂区表面。
2. 根据权利要求1所述的半导体器件,其特征在于,所述第一导电层的电导率大于所述第一源漏掺杂区的电导率。
3. 根据权利要求2所述的半导体器件,其特征在于,所述第一导电层的材料为金属硅化物。
4. 根据权利要求3所述的半导体器件,其特征在于,所述金属硅化物为TiSi、NiSi、NiPtSi或TiPtSi。
5. 根据权利要求1所述的半导体器件,其特征在于,还包括:层间介质层,所述层间介质层位于基底、第一源漏掺杂区和第二源漏掺杂区上,且覆盖所述栅极结构的侧壁;所述第一导电层位于层间介质层中。
6. 根据权利要求5所述的半导体器件,其特征在于,还包括:第一导电插塞,所述第一导电插塞分别位于第一导电层上,且位于所述层间介质层中;第二导电插塞,分别位于第二源漏掺杂区上,且位于所述层间介质层中。
7. 根据权利要求6所述的半导体器件,其特征在于,所述第一导电插塞和第二导电插塞的材料为钨、铜或铝。
8. 根据权利要求6所述的半导体器件,其特征在于,所述栅极结构组一侧的第二导电插塞用于连接源电压;所述栅极结构组另一侧的第二导电插塞用于连接漏电压。
9. 根据权利要求6所述的半导体器件,其特征在于,还包括:第二导电层,所述第二导电层位于所述第二源漏掺杂区和第二导电插塞之间,且位于层间介质层中,所述第二导电层的电导率介于第二源漏掺杂区的电导率和第二导电插塞的电导率之间。
10. 根据权利要求1所述的半导体器件,其特征在于,所述栅极结构包括:位于基底上的栅介质层和位于栅介质层上的栅电极层。
11. 根据权利要求1所述的半导体器件,其特征在于,所述基底为平面式的半导体衬底。
12. 根据权利要求1所述的半导体器件,其特征在于,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述第一源漏掺杂区分别位于相邻栅极结构之间的鳍部中;所述第二源漏掺杂区分别位于所述栅极结构组两侧的鳍部中。
13. 一种半导体器件的形成方法,其特征在于,包括:  
提供基底;  
形成栅极结构组、第一源漏掺杂区和第二源漏掺杂区,所述栅极结构组位于所述基底上,所述栅极结构组包括多个栅极结构,所述第一源漏掺杂区分别位于相邻的栅极结构之间的基底中,所述第二源漏掺杂区分别位于所述栅极结构组两侧的基底中,所述栅极结构

组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;

在所述第一源漏掺杂区表面分别形成第一导电层。

14. 根据权利要求13所述的半导体器件的形成方法,其特征在于,所述第一导电层的电导率大于所述第一源漏掺杂区的电导率。

15. 根据权利要求14所述的半导体器件的形成方法,其特征在于,所述第一导电层的材料为金属硅化物。

16. 根据权利要求15所述的半导体器件的形成方法,其特征在于,所述金属硅化物为TiSi、NiSi、NiPtSi或TiPtSi。

17. 根据权利要求13所述的半导体器件的形成方法,其特征在于,还包括:形成所述第一源漏掺杂区和第二源漏掺杂区后,且在形成所述第一导电层之前,在所述基底上形成层间介质层;形成所述栅极结构组后,所述层间介质层覆盖所述栅极结构的侧壁;形成所述栅极结构组后,在所述层间介质层中形成第一通孔和第二通孔,所述第一通孔分别暴露出第一源漏掺杂区的表面,所述第二通孔分别暴露出第二源漏掺杂区的表面;

在所述第一通孔暴露出的第一源漏掺杂区表面分别形成第一导电层;

形成第一导电层后,在所述第一通孔中分别形成第一导电插塞,在所述第二通孔中分别形成第二导电插塞。

18. 根据权利要求17所述的半导体器件的形成方法,其特征在于,还包括:在形成第一通孔和第二通孔后,且在形成第一导电插塞和第二导电插塞之前,在所述第二通孔暴露出的第二源漏掺杂区表面分别形成第二导电层,所述第二导电层的电导率介于第二源漏掺杂区的电导率和第二导电插塞的电导率之间;形成第二导电插塞后,所述第二导电层位于第二导电插塞和第二源漏掺杂区之间。

19. 根据权利要求18所述的半导体器件的形成方法,其特征在于,还包括:所述第一导电层和第二导电层的材料为金属硅化物;形成所述第一导电层和第二导电层的方法包括:在所述第一通孔暴露出的第一源漏掺杂区表面、第一通孔侧壁、第二通孔暴露出的第二源漏掺杂区表面、所述第二通孔侧壁、以及层间介质层的顶部表面形成金属层;进行退火处理,使第一源漏掺杂区表面的金属层和第一源漏掺杂区反应而形成第一导电层,使第二源漏掺杂区表面的金属层和第二源漏掺杂区反应而形成第二导电层;进行退火处理后,去除第一通孔侧壁、第二通孔侧壁以及层间介质层顶部表面的金属层。

20. 根据权利要求17所述的半导体器件的形成方法,其特征在于,所述栅极结构组一侧的第二导电插塞用于连接源电压,所述栅极结构组另一侧的第二导电插塞用于连接漏电压。

## 半导体器件及其形成方法

### 技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体器件及其形成方法。

### 背景技术

[0002] MOS晶体管是现代集成电路中最重要的元件之一。MOS晶体管的基本结构包括:半导体衬底;位于半导体衬底表面的栅极结构,位于栅极结构一侧半导体衬底内的源区和位于栅极结构另一侧半导体衬底内的漏区。MOS晶体管的工作原理是:通过在栅极结构施加电压,调节通过栅极结构底部沟道的电流来产生开关信号。

[0003] 随着半导体技术的发展,传统的平面式的MOS晶体管对沟道电流的控制能力变弱,造成严重的漏电流。而鳍式场效应晶体管(Fin FET)是一种新兴的多栅器件,一般包括凸出于半导体衬底表面的鳍部,覆盖部分所述鳍部的顶部表面和侧壁表面的栅极结构,位于栅极结构一侧的鳍部内的源区和位于栅极结构另一侧的鳍部内的漏区。

[0004] 目前,需要形成具有较长沟道的晶体管以满足模拟器件的需要。但是单个鳍式场效应晶体管的沟道长度受到工艺的限制。因此会将多个鳍式场效应晶体管串联起来,并在由多个鳍式场效应晶体管一侧的源区施加源电压,在多个鳍式场效应晶体管另一侧的漏区施加漏电压。多个鳍式场效应晶体管的沟道长度叠加在一起而实现长沟道的鳍式场效应晶体管。

[0005] 然而,鳍式场效应晶体管构成的半导体器件的性能仍有待提高。

### 发明内容

[0006] 本发明解决的问题是提供一种半导体器件及其形成方法,以增大栅极结构数量工艺设计的空间。

[0007] 为解决上述问题,本发明提供一种半导体器件,包括:基底;栅极结构组,位于所述基底上,所述栅极结构组包括多个栅极结构;第一源漏掺杂区,分别位于相邻的栅极结构之间的基底中;第二源漏掺杂区,分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;第一导电层,分别位于第一源漏掺杂区表面。

[0008] 可选的,所述第一导电层的电导率大于所述第一源漏掺杂区的电导率。

[0009] 可选的,所述第一导电层的材料为金属硅化物。

[0010] 可选的,所述金属硅化物为TiSi、NiSi、NiPtSi或TiPtSi。

[0011] 可选的,还包括:层间介质层,所述层间介质层位于基底、第一源漏掺杂区和第二源漏掺杂区上,且覆盖所述栅极结构的侧壁;所述第一导电层位于层间介质层中。

[0012] 可选的,还包括:第一导电插塞,所述第一导电插塞分别位于第一导电层上,且位于所述层间介质层中;第二导电插塞,分别位于第二源漏掺杂区上,且位于所述层间介质层中。

[0013] 可选的,所述第一导电插塞和第二导电插塞的材料为钨、铜或铝。

[0014] 可选的,所述栅极结构组一侧的第二导电插塞用于连接源电压;所述栅极结构组另一侧的第二导电插塞用于连接漏电压。

[0015] 可选的,还包括:第二导电层,所述第二导电层位于所述第二源漏掺杂区和第二导电插塞之间,且位于层间介质层中,所述第二导电层的电导率介于第二源漏掺杂区的电导率和第二导电插塞的电导率之间。

[0016] 可选的,所述栅极结构包括:位于基底上的栅介质层和位于栅介质层上的栅电极层。

[0017] 可选的,所述基底为平面式的半导体衬底。

[0018] 可选的,所述基底包括半导体衬底和位于半导体衬底上的鳍部;所述栅极结构横跨所述鳍部、覆盖鳍部的部分侧壁表面和部分顶部表面;所述第一源漏掺杂区分别位于相邻栅极结构之间的鳍部中;所述第二源漏掺杂区分别位于所述栅极结构组两侧的鳍部中。

[0019] 本发明还提供一种半导体器件的形成方法,包括:提供基底;形成栅极结构组、第一源漏掺杂区和第二源漏掺杂区,所述栅极结构组位于所述基底上,所述栅极结构组包括多个栅极结构,所述第一源漏掺杂区分别位于相邻的栅极结构之间的基底中,所述第二源漏掺杂区分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;在所述第一源漏掺杂区表面分别形成第一导电层。

[0020] 可选的,所述第一导电层的电导率大于所述第一源漏掺杂区的电导率。

[0021] 可选的,所述第一导电层的材料为金属硅化物。

[0022] 可选的,所述金属硅化物为TiSi、NiSi、NiPtSi或TiPtSi。

[0023] 可选的,还包括:形成所述第一源漏掺杂区和第二源漏掺杂区后,且在形成所述第一导电层之前,在所述基底上形成层间介质层;形成所述栅极结构组后,所述层间介质层覆盖所述栅极结构的侧壁;形成所述栅极结构组后,在所述层间介质层中形成第一通孔和第二通孔,所述第一通孔分别暴露出第一源漏掺杂区的表面,所述第二通孔分别暴露出第二源漏掺杂区的表面;在所述第一通孔暴露出的第一源漏掺杂区表面分别形成第一导电层;形成第一导电层后,在所述第一通孔中分别形成第一导电插塞,在所述第二通孔中分别形成第二导电插塞。

[0024] 可选的,还包括:在形成第一通孔和第二通孔后,且在形成第一导电插塞和第二导电插塞之前,在所述第二通孔暴露出的第二源漏掺杂区表面分别形成第二导电层,所述第二导电层的电导率介于第二源漏掺杂区的电导率和第二导电插塞的电导率之间;形成第二导电插塞后,所述第二导电层位于第二导电插塞和第二源漏掺杂区之间。

[0025] 可选的,还包括:所述第一导电层和第二导电层的材料为金属硅化物;形成所述第一导电层和第二导电层的方法包括:在所述第一通孔暴露出的第一源漏掺杂区表面、第一通孔侧壁、第二通孔暴露出的第二源漏掺杂区表面、所述第二通孔侧壁、以及层间介质层的顶部表面形成金属层;进行退火处理,使第一源漏掺杂区表面的金属层和第一源漏掺杂区反应而形成第一导电层,使第二源漏掺杂区表面的金属层和第二源漏掺杂区反应而形成第二导电层;进行退火处理后,去除第一通孔侧壁、第二通孔侧壁以及层间介质层顶部表面的金属层。

[0026] 可选的,所述栅极结构组一侧的第二导电插塞用于连接源电压,所述栅极结构组

另一侧的第二导电插塞用于连接漏电压。

[0027] 与现有技术相比,本发明的技术方案具有以下优点:

[0028] 本发明技术方案提供的半导体器件中,所述第一源漏掺杂区表面分别具有第一导电层,所述第一导电层和第一源漏掺杂区的并联总电阻相对于所述第一源漏掺杂区的电阻较小。因此使得在半导体器件工作时,使得第一源漏掺杂区上的分压降低。使得在源电压和漏电压的电压差值一定的情况下,能够用于驱动栅极结构工作的电压总和增加。因此可提供较多的栅极结构进行工作。使得栅极结构数量工艺设计的空间增大。

[0029] 进一步的,所述第一导电层的电导率大于所述第一源漏掺杂区的电导率。使得第一导电层和第一源漏掺杂区的并联总电阻相对于第一源漏掺杂区的电阻减小的程度增加。使得第一源漏掺杂区上的分压降低的程度较大。因此可提供的栅极结构的数量进一步增加。使得对栅极结构数量的工艺设计的空间进一步增大。

[0030] 本发明技术方案提供的半导体器件的形成方法中,在所述第一源漏掺杂区表面分别形成了第一导电层,所述第一导电层和第一源漏掺杂区的并联总电阻相对于所述第一源漏掺杂区的电阻较小。因此使得在半导体器件工作时,使第一源漏掺杂区上的分压降低。使得在源电压和漏电压的电压差值一定的情况下,能够用于驱动栅极结构工作的电压总和增加。因此可提供较多的栅极结构进行工作。使得对栅极结构数量的工艺设计的空间增大。

## 附图说明

[0031] 图1是一种由多个鳍式场效应晶体管串联形成的半导体器件;

[0032] 图2是本发明一实施例中半导体器件的结构示意图;

[0033] 图3至图7是本发明一实施例中半导体器件形成过程的结构示意图。

## 具体实施方式

[0034] 正如背景技术所述,现有技术中的半导体器件的性能有待提高。

[0035] 图1是一种由多个鳍式场效应晶体管串联形成的半导体器件,半导体器件包括:半导体衬底100;鳍部110,位于所述半导体衬底100上;栅极结构组,所述栅极结构组包括多个栅极结构120,栅极结构120横跨鳍部110、覆盖鳍部110的部分侧壁表面和部分顶部表面;源漏掺杂区130,分别位于所述栅极结构120两侧的鳍部110中;金属硅化物层140,所述金属硅化物层140分别位于栅极结构组两侧的源漏掺杂区130表面;所述栅极结构组一侧的金属硅化物层140用于电学连接源电压 $V_{ss}$ ,所述栅极结构组另一侧的金属硅化物层140用于电学连接漏电压 $V_{dd}$ 。所述串联的多个鳍式场效应晶体管共用源漏掺杂区130。

[0036] 然而,上述半导体器件的电学性能较差,经研究发现,原因在于:

[0037] 随着半导体器件特征尺寸的不断减小,源漏掺杂区130在垂直于鳍部110延伸方向且垂直于半导体衬底100方向上的横截面积不断减小。使得源漏掺杂区130的电阻不能随着半导体器件特征尺寸的减小而有相应程度的减小。即源漏掺杂区130的电阻相对于工艺设计要求的电阻过大。因此导致在半导体器件工作时,在相邻栅极结构120之间的源漏掺杂区130上的分压过大。在源电压 $V_{ss}$ 和漏电压 $V_{dd}$ 的电压差值一定的情况下,能用于驱动栅极结构120工作的电压总和过小,因此可提供较少的栅极结构120进行工作。使得对栅极结构120数量的工艺设计的空间较小。

[0038] 在此基础上,本发明提供一种半导体器件,包括:基底;栅极结构组,位于所述基底上,所述栅极结构组包括多个栅极结构;第一源漏掺杂区,分别位于相邻的栅极结构之间的基底中;第二源漏掺杂区,分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;第一导电层,分别位于第一源漏掺杂区表面。

[0039] 所述半导体器件中,所述第一源漏掺杂区表面分别具有第一导电层,所述第一导电层和第一源漏掺杂区的并联总电阻相对于所述第一源漏掺杂区的电阻较小。因此使得在半导体器件工作时,使得第一源漏掺杂区上的分压降低。使得在源电压和漏电压的电压差值一定的情况下,能够用于驱动栅极结构工作的电压总和增加。因此可提供较多的栅极结构进行工作。使得栅极结构数量工艺设计的空间增大。

[0040] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0041] 图2是本发明一实施例中半导体器件的结构示意图。

[0042] 参考图2,所述半导体器件包括:

[0043] 基底;

[0044] 栅极结构组,位于所述基底上,所述栅极结构组包括多个栅极结构220;

[0045] 第一源漏掺杂区230,分别位于相邻的栅极结构220之间的基底中;

[0046] 第二源漏掺杂区231,分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区231用于电学连接源电压 $V_{SS}$ ,所述栅极结构组另一侧的第二源漏掺杂区231用于电学连接漏电压 $V_{DD}$ ;

[0047] 第一导电层240,分别位于所述第一源漏掺杂区230表面。

[0048] 本实施例中,所述基底包括半导体衬底200和位于半导体衬底200上的鳍部210。在其它实施例中,所述基底为平面式的半导体衬底。

[0049] 所述半导体衬底200为后续形成半导体器件提供工艺平台。

[0050] 本实施例中,所述半导体衬底200的材料为单晶硅。所述半导体衬底还可以是多晶硅或非晶硅。所述半导体衬底的材料还可以为锗、锗化硅、砷化镓等半导体材料。

[0051] 本实施例中,所述鳍部210的数量为一个或多个。当所述鳍部210的数量为多个时,所述鳍部210的排列方向垂直于所述鳍部210的延伸方向。

[0052] 所述鳍部210的材料为单晶锗、单晶硅或单晶锗化硅。

[0053] 所述半导体器件还包括位于半导体衬底200上的隔离结构,所述隔离结构覆盖鳍部210的部分侧壁。所述隔离结构用于电学隔离相邻的鳍部210。

[0054] 所述隔离结构的材料为氧化硅。

[0055] 本实施例中,所述栅极结构组横跨所述鳍部210、覆盖鳍部210的部分侧壁表面和部分顶部表面。具体的,所述栅极结构220横跨所述鳍部210、覆盖鳍部210的部分侧壁表面和部分顶部表面。

[0056] 本实施例中,所述第一源漏掺杂区230分别位于相邻的栅极结构220之间的鳍部210中。所述第二源漏掺杂区231分别位于所述栅极结构组两侧的鳍部210中。

[0057] 所述栅极结构220还位于所述隔离结构上。

[0058] 所述栅极结构220包括位于基底上的栅介质层和位于栅介质层上的栅电极层。

[0059] 本实施例中,所述栅介质层横跨鳍部210,所述栅介质层位于部分隔离结构表面、覆盖鳍部210的部分顶部表面和部分侧壁表面。

[0060] 所述栅极结构220的数量为多个。本实施例中,以所述栅极结构220的数量为三个作为示例。

[0061] 所述栅介质层的材料为氧化硅或者高K(K大于3.9)介质材料,如 $\text{HfO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{HfSiON}$ 、 $\text{HfAlO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{HfSiO}_4$ 。

[0062] 当所述栅介质层的材料为氧化硅时,所述栅电极层的材料为多晶硅;当所述栅介质层的材料为高K介质材料时,所述栅电极层的材料为Al、Cu、Ag、Au、Ni、Ti、W、WN或WSi。

[0063] 当所述半导体器件为N型鳍式场效应晶体管时,所述第一源漏掺杂区230和第二源漏掺杂区231的材料为SiC,所述第一源漏掺杂区230和第二源漏掺杂区231还可以掺杂有N型离子,如As、P(磷)等。当所述半导体器件为P型鳍式场效应晶体管时,所述第一源漏掺杂区230和第二源漏掺杂区231的材料为SiGe,所述第一源漏掺杂区230和第二源漏掺杂区231还可以掺杂有P型离子,如B、In等。

[0064] 所述第一导电层240的作用为:在第一源漏掺杂区230上并联连接第一导电层240,第一导电层240和第一源漏掺杂区230的并联总电阻相对于第一源漏掺杂区230的电阻较小。使得在半导体器件工作时,并联有第一导电层240的第一源漏掺杂区230上的分压降低。

[0065] 由于第一源漏掺杂区230表面具有第一导电层240,因此使得在半导体器件工作时,使第一源漏掺杂区230上的分压降低。使得在源电压 $V_{SS}$ 和漏电压 $V_{DD}$ 的电压差值一定的情况下,能够用于驱动栅极结构220工作的电压总和增加。因此可提供较多的栅极结构220进行工作。使得对栅极结构220数量的工艺设计的空间增大。

[0066] 本实施例中,所述第一导电层240的电导率大于所述第一源漏掺杂区230的电导率。使得第一导电层240和第一源漏掺杂区230的并联总电阻相对于第一源漏掺杂区230的电阻减小的程度增加。使第一源漏掺杂区230上的分压降低的程度较大。因此可提供的栅极结构220的数量进一步增加。使得对栅极结构220数量的工艺设计的空间进一步增大。

[0067] 在其它实施例中,所述第一导电层的电导率小于或等于所述第一源漏掺杂区的电导率。

[0068] 本实施例中,所述第一导电层240的材料为金属硅化物。所述金属硅化物为TiSi、NiSi、NiPtSi或TiPtSi。

[0069] 所述第一导电层240的厚度为20埃~100埃。

[0070] 所述半导体器件还包括:层间介质层250,所述层间介质层250位于基底上,且覆盖所述栅极结构220的侧壁。所述第一导电层240位于层间介质层250中。所述层间介质层250还位于第一源漏掺杂区230和第二源漏掺杂区231上。

[0071] 本实施例中,层间介质层250位于半导体衬底200和鳍部210上,且覆盖所述栅极结构220的侧壁。所述层间介质层250还位于第一源漏掺杂区230和第二源漏掺杂区231上。

[0072] 所述层间介质层250的材料为氧化硅、氮氧化硅或氮碳化硅。

[0073] 所述层间介质层250还位于所述隔离结构上。

[0074] 所述半导体器件还包括:第一导电插塞260,所述第一导电插塞分别位于第一导电层240上,且位于所述层间介质层250中;第二导电插塞261,分别位于第二源漏掺杂区231上,且位于所述层间介质层250中。



[0075] 所述栅极结构组一侧的第二导电插塞261用于连接源电压 $V_{ss}$ ;所述栅极结构组另一侧的第二导电插塞261用于连接漏电压 $V_{dd}$ 。

[0076] 所述第一导电插塞260和第二导电插塞261的材料为金属,如钨、铜或铝。

[0077] 所述半导体器件还包括:第二导电层241,所述第二导电层241位于所述第二源漏掺杂区231和第二导电插塞261之间,且位于层间介质层250中,所述第二导电层241的电导率介于第二源漏掺杂区231的电导率和第二导电插塞261的电导率之间。

[0078] 本实施例中,第二导电层241的材料为金属硅化物。

[0079] 所述第二导电层241的作用为:降低第二源漏掺杂区231和第二导电插塞261之间的接触电阻。

[0080] 所述第二导电层241的厚度为20埃~100埃。

[0081] 需要说明的是,各个栅极结构220对应形成的晶体管串联在一起,第一导电插塞260上不施加电压。

[0082] 相应的,本发明另一实施例还提供一种形成上述半导体器件的方法,包括:提供基底;形成栅极结构组、第一源漏掺杂区和第二源漏掺杂区,所述栅极结构组位于所述基底上,所述栅极结构组包括多个栅极结构,所述第一源漏掺杂区分别位于相邻的栅极结构之间的基底中,所述第二源漏掺杂区分别位于所述栅极结构组两侧的基底中,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;在所述第一源漏掺杂区表面分别形成第一导电层。

[0083] 下面参考图3至图7是具体介绍形成上述半导体器件的过程。

[0084] 本实施例中,以后栅工艺为例进行说明。

[0085] 参考图3,提供基底。

[0086] 本实施例中,所述基底包括半导体衬底300和位于半导体衬底300上的鳍部310。在其它实施例中,所述基底为平面式的半导体衬底。

[0087] 所述半导体衬底300的作用和材料参照前述实施例中半导体衬底200的作用和材料。

[0088] 所述鳍部310的数量、排列方式和材料参照前述实施例中鳍部210的数量、排列方式和材料。

[0089] 本实施例中,所述鳍部310通过图形化所述半导体衬底300而形成。在其它实施例中,可以是:在所述半导体衬底上形成鳍部材料层,然后图形化所述鳍部材料层,从而形成鳍部。

[0090] 所述半导体器件还包括隔离结构,所述隔离结构的作用、位置和材料参照前述实施例。

[0091] 形成所述隔离结构的方法包括:在所述半导体衬底300上形成覆盖鳍部310的隔离结构膜,所述隔离结构膜的整个表面高于鳍部310的顶部表面;去除高于鳍部310顶部表面的隔离结构膜;去除高于鳍部310顶部表面的隔离结构膜后,回刻蚀所述隔离结构膜,形成隔离结构。

[0092] 继续参考图3,在所述基底上形成伪栅极结构组,所述伪栅极结构组包括多个伪栅极结构311。

[0093] 本实施例中,所述伪栅极结构311横跨所述鳍部210、覆盖鳍部210的部分顶部表面

和部分侧壁表面。

[0094] 所述伪栅极结构311包括位于基底上的伪栅介质层和位于伪栅介质层上的伪栅电极层。

[0095] 其中,伪栅介质层横跨鳍部310,伪栅介质层位于部分隔离结构表面、覆盖鳍部310的部分顶部表面和部分侧壁表面。

[0096] 所述伪栅电极层的材料为多晶硅。

[0097] 若后续去除伪栅电极层而形成开口,那么形成开口后,伪栅介质层构成栅介质层。故需要伪栅介质层的材料为高K介质材料(K大于3.9)。

[0098] 若后续去除伪栅极结构311而形成开口,那么在形成开口后,需要在开口中形成栅介质层。那么伪栅介质层的材料为氧化硅。

[0099] 本实施例中,以后续去除伪栅极结构311而形成开口为示例进行说明。

[0100] 参考图4,在相邻伪栅极结构311之间的基底中形成第一源漏掺杂区330;在伪栅极结构组两侧的基底中形成第二源漏掺杂区331;形成第一源漏掺杂区330和第二源漏掺杂区331后,在所述基底上形成覆盖伪栅极结构311侧壁(layer)的层间介质层350。

[0101] 具体的,在伪栅极结构组两侧的鳍部310中形成第二源漏掺杂区331;在相邻伪栅极结构311之间的鳍部310中形成第一源漏掺杂区330;形成第一源漏掺杂区330和第二源漏掺杂区331后,在所述隔离结构和鳍部310上形成覆盖伪栅极结构311侧壁(layer)的层间介质层350。

[0102] 所述层间介质层350还覆盖第一源漏掺杂区330和第二源漏掺杂区331。

[0103] 所述第一源漏掺杂区330和第二源漏掺杂区331的材料参照前述实施例。

[0104] 本实施例中,形成所述第一源漏掺杂区330和第二源漏掺杂区331的步骤包括:在相邻伪栅极结构311之间的鳍部310中形成第一凹槽;在所述伪栅极结构组两侧的鳍部310中形成第二凹槽;在所述第一凹槽中外延生长第一源漏材料层,形成第一源漏掺杂区330;在所述第二凹槽中外延生长第二源漏材料层,形成第二源漏掺杂区331。

[0105] 所述层间介质层350的材料参照前述实施中层间介质层250的材料。

[0106] 本实施例中,形成所述层间介质层350的方法包括:在所述隔离结构和鳍部310上形成覆盖伪栅极结构311的层间介质膜,所述层间介质膜的整个表面高于所述伪栅极结构311的顶部表面;去除高于所述伪栅极结构311顶部表面的层间介质膜,形成层间介质层350。

[0107] 参考图5,去除伪栅极结构311(参考图4),在所述层间介质层350中形成开口313。

[0108] 采用干刻工艺、湿刻工艺或者干刻工艺和湿刻工艺结合的工艺去除伪栅极结构311。

[0109] 参考图6,在开口313(参考图5)中形成栅极结构320。

[0110] 形成栅极结构320的方法包括:在所述开口313的底部和侧壁、以及层间介质层350的顶部表面形成栅介质材料层;在所述栅介质材料层上形成栅电极材料层;平坦化所述栅电极材料层和栅介质材料层直至暴露出层间介质层350的顶部表面,形成多个栅极结构320,多个栅极结构320构成栅极结构组。

[0111] 所述栅极结构320的位置参照前述实施例中栅极结构220的位置。

[0112] 所述栅极结构320包括栅介质层和栅电极层。

[0113] 所述栅介质层对应所述栅介质材料层;所述栅电极层对应所述栅电极材料层。

[0114] 所述栅介质层和栅电极层的位置参照前述实施例。

[0115] 本实施例中,所述栅介质层的材料为高K(K大于3.9)介质材料,如 $\text{HfO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{HfSiON}$ 、 $\text{HfAlO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{HfSiO}_4$ 。所述栅电极层的材料为Al、Cu、Ag、Au、Ni、Ti、W、WN或WSi。

[0116] 接着,参考图7,在所述层间介质层350中形成第一通孔(未图示)和第二通孔(未图示),所述第一通孔分别暴露出第一源漏掺杂区330的表面,所述第二通孔分别暴露出第二源漏掺杂区331的表面;在所述第一通孔暴露出的第一源漏掺杂区330表面分别形成第一导电层340;形成第一导电层340后,在所述第一通孔中分别形成第一导电插塞360,在所述第二通孔中分别形成第二导电插塞361。

[0117] 所述栅极结构组一侧的第二导电插塞361用于电学连接源电压 $V_{ss}$ ,所述栅极结构组另一侧的第二导电插塞361用于电学连接漏电压 $V_{dd}$ 。

[0118] 所述第一导电插塞360和第二导电插塞361的材料参照前述实施例中第一导电插塞260和第二导电插塞261的材料。

[0119] 所述第一导电层340的作用为:在第一源漏掺杂区330上并联连接第一导电层340,第一导电层340和第一源漏掺杂区330的并联总电阻相对于第一源漏掺杂区330的电阻较小。使得在半导体器件工作时,并联有第一导电层340的第一源漏掺杂区330上的分压降低。

[0120] 由于在第一源漏掺杂区330表面形成了第一导电层340,因此使得在半导体器件工作时,使第一源漏掺杂区330上的分压降低。使得在源电压 $V_{ss}$ 和漏电压 $V_{dd}$ 的电压差值一定的情况下,能够用于驱动栅极结构320工作的电压总和增加。因此可提供较多的栅极结构320进行工作。使得对栅极结构320数量的工艺设计的空间增大。

[0121] 本实施例中,所述第一导电层340的电导率大于所述第一源漏掺杂区330的电导率。使得第一导电层340和第一源漏掺杂区330的并联总电阻相对于第一源漏掺杂区330的电阻减小的程度增加。使在半导体器件工作时第一源漏掺杂区330上的分压降低的程度较大。

[0122] 在其它实施例中,所述第一导电层的电导率小于或等于所述第一源漏掺杂区的电导率。

[0123] 所述第一导电层340的厚度为20埃~100埃。

[0124] 本实施例中,所述第一导电层340的材料为金属硅化物。所述金属硅化物为TiSi、NiSi、NiPtSi或TiPtSi。

[0125] 本实施例中,在形成第一通孔和第二通孔后,且在形成第一导电插塞360和第二导电插塞361之前,还在所述第二通孔暴露出的第二源漏掺杂区331表面分别形成第二导电层341,所述第二导电层341的电导率介于第二源漏掺杂区331的电导率和第二导电插塞361的电导率之间;形成第二导电插塞361后,所述第二导电层341位于第二导电插塞361和第二源漏掺杂区331之间。

[0126] 本实施例中,所述第二导电层341的材料为金属硅化物。

[0127] 所述第二导电层341的厚度为20埃~100埃。

[0128] 所述第二导电层341的作用为:降低第二源漏掺杂区331和第二导电插塞361之间的接触电阻。

[0129] 当所述第一导电层340和第二导电层341的材料为金属硅化物层时,形成所述第一导电层340和第二导电层341的方法包括:在所述第一通孔暴露出的第一源漏掺杂区330表面、所述第一通孔侧壁、第二通孔暴露出的第二源漏掺杂区331表面、所述第二通孔侧壁、以及层间介质层350的顶部表面形成金属层(未图示);进行退火处理,使第一源漏掺杂区330表面的金属层和第一源漏掺杂区330反应而形成第一导电层340,使第二源漏掺杂区331表面的金属层和第二源漏掺杂区331反应而形成第二导电层341;进行退火处理后,去除第一通孔侧壁、第二通孔侧壁以及层间介质层350的顶部表面的金属层。

[0130] 形成所述金属层的工艺为沉积工艺,如溅射工艺。

[0131] 去除第一通孔侧壁、第二通孔侧壁以及层间介质层350的顶部表面的金属层的工艺为湿法刻蚀工艺或干法刻蚀工艺。

[0132] 需要说明的是,各个栅极结构320对应形成的晶体管串联在一起,第一导电插塞360上不施加电压。

[0133] 在其它实施例中,还可以是:提供基底;在所述基底上形成栅极结构组,所述栅极结构组包括多个栅极结构;在相邻栅极结构之间的基底中分别第一源漏掺杂区;在所述栅极结构组两侧的基底中分别形成第二源漏掺杂区,所述栅极结构组一侧的第二源漏掺杂区用于电学连接源电压,所述栅极结构组另一侧的第二源漏掺杂区用于电学连接漏电压;形成第一源漏掺杂区和第二源漏掺杂区后,在所述第一源漏掺杂区表面分别形成第一导电层。

[0134] 所述栅极结构包括位于基底上的栅介质层和位于栅介质层上的栅电极层。

[0135] 在此情况下,所述栅介质层的材料为氧化硅或者高K(K大于3.9)介质材料。当所述栅介质层的材料为氧化硅时,所述栅电极层的材料为多晶硅;当所述栅介质层的材料为高K介质材料时,所述栅电极层的材料为Al、Cu、Ag、Au、Ni、Ti、W、WN或WSi。

[0136] 在形成所述第一源漏掺杂区和第二源漏掺杂区后,且在形成所述第一导电层之前,还包括:在所述基底上形成覆盖栅极结构侧壁(layer)的层间介质层;在所述层间介质层中形成第一通孔(未图示)和第二通孔(未图示),所述第一通孔分别暴露出第一源漏掺杂区的表面,所述第二通孔分别暴露出第二源漏掺杂区的表面;在所述第一通孔暴露出的第一源漏掺杂区表面分别形成第一导电层;形成第一导电层后,在所述第一通孔中分别形成第一导电插塞,在所述第二通孔中分别形成第二导电插塞。

[0137] 在形成第一通孔和第二通孔后,且在形成第一导电插塞和第二导电插塞之前,还在所述第二通孔暴露出的第二源漏掺杂区表面分别形成第二导电层,所述第二导电层的电导率介于第二源漏掺杂区的电导率和第二导电插塞的电导率之间;形成第二导电插塞后,所述第二导电层位于第二导电插塞和第二源漏掺杂区之间。

[0138] 所述栅极结构组一侧的第二导电插塞用于电学连接源电压 $V_{SS}$ ,所述栅极结构组另一侧的第二导电插塞用于电学连接漏电压 $V_{DD}$ 。

[0139] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

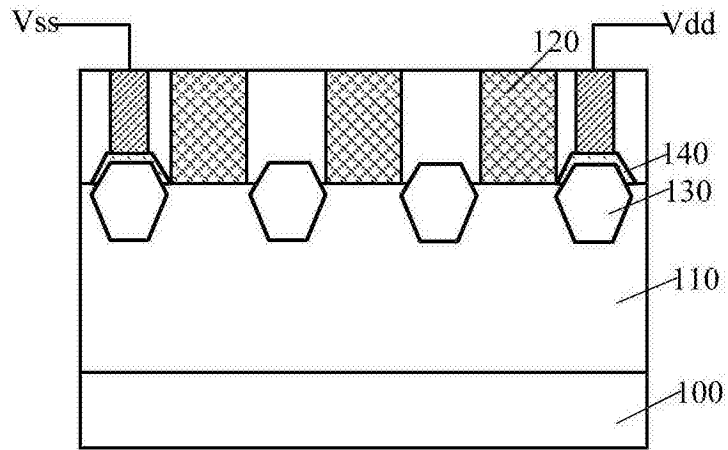


图1

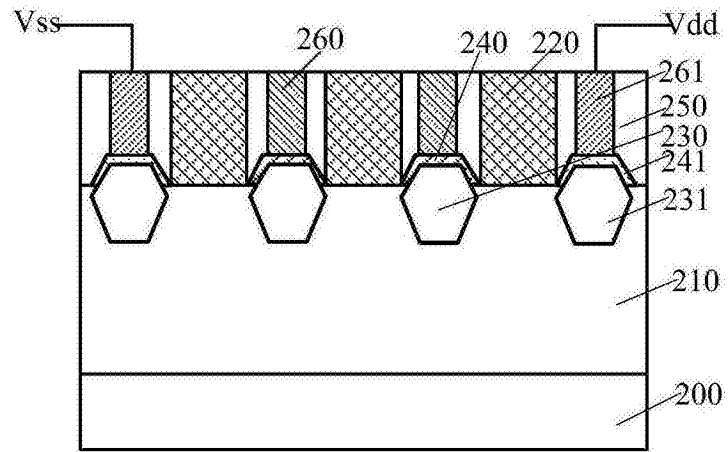


图2

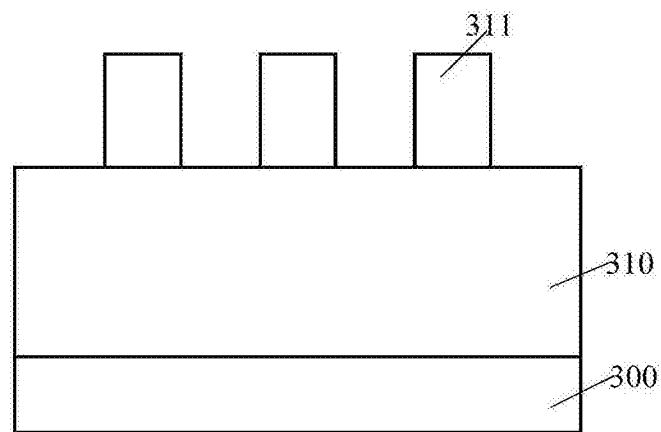


图3

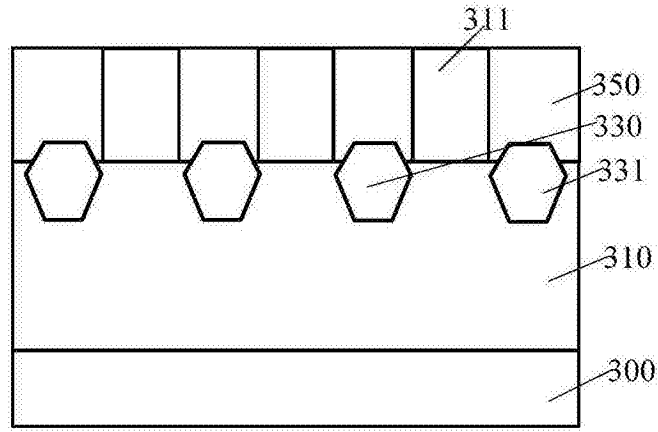


图4

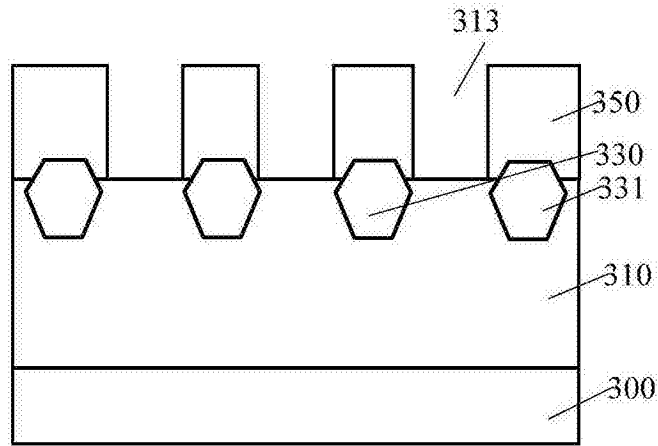


图5

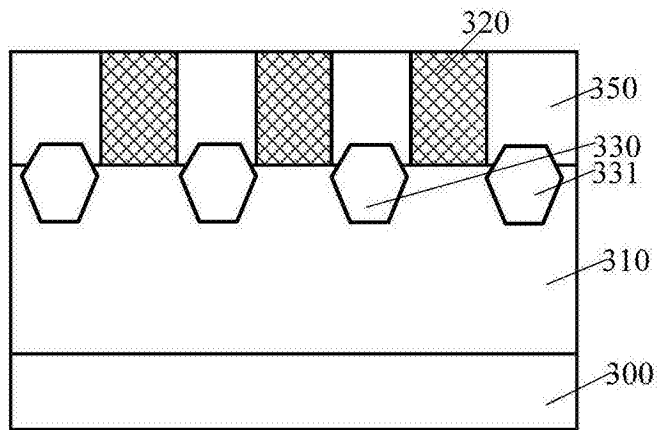


图6

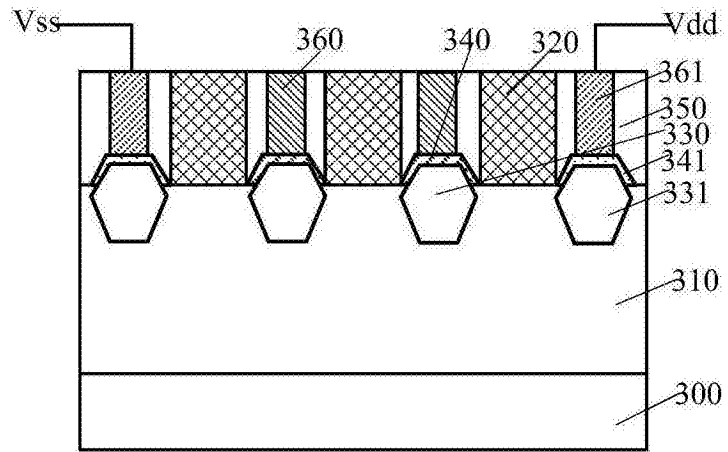


图7