



(12) 发明专利

(10) 授权公告号 CN 101325089 B

(45) 授权公告日 2012. 11. 21

(21) 申请号 200810125981. 7

US 5642312 A, 1997. 06. 24,

(22) 申请日 2008. 06. 16

审查员 罗佳星

(30) 优先权数据

58414/07 2007. 06. 14 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李承宰 蔡东赫 姜东求

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

G11C 16/28(2006. 01)

G11C 16/10(2006. 01)

G11C 16/08(2006. 01)

(56) 对比文件

CN 1813311 A, 2006. 08. 02,

CN 1652254 A, 2005. 08. 10,

CN 1366677 A, 2002. 08. 28,

US 7230852 B2, 2007. 06. 12,

US 6542407 B1, 2003. 04. 01,

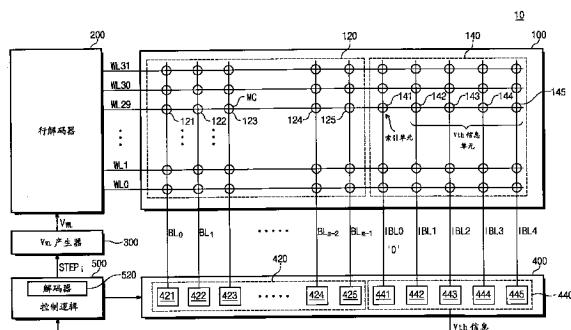
权利要求书 2 页 说明书 10 页 附图 9 页

(54) 发明名称

非易失性存储器件及其编程和读取方法

(57) 摘要

一种非易失性存储器件的读取方法，包括：从存储指示初始阈电压的信息的阈电压信息单元中读取索引单元的初始阈电压值；从所述索引单元确定当前阈电压值；以及将所述初始阈电压值与所述当前阈电压值进行比较以计算所述索引单元的偏移阈电压电平。利用偏移阈电压电平改变读取电压，以使用改变的读取电压读取用户数据。



1. 一种非易失性存储器件的读取方法，包括：

从存储指示初始阈电压的信息的阈电压信息单元中读取索引单元的初始阈电压值；

从所述索引单元确定当前阈电压值；

将所述初始阈电压值与所述当前阈电压值进行比较以计算所述索引单元的偏移阈电压电平；以及

利用偏移阈电压电平改变读取电压，以使用改变的读取电压读取用户数据，

其中所述非易失性存储器件包括索引区域，所述索引区域包括用于监视阈电压变化的索引单元、以及用于存储所述初始阈电压值的阈电压信息单元。

2. 如权利要求 1 所述的读取方法，其中为每个存储块提供所述索引区域。

3. 如权利要求 1 所述的读取方法，其中为每个页面提供所述索引区域。

4. 如权利要求 3 所述的读取方法，进一步包括：

在页面缓冲器中临时地存储要编程到存储单元阵列中、或已从存储单元阵列中读出的数据，所述页面缓冲器包括与所述索引区域对应的独立的索引页面缓冲器。

5. 如权利要求 3 所述的读取方法，其中每个页面的所述索引区域包括两个或更多索引单元。

6. 如权利要求 1 所述的读取方法，其中通过借助向与所述索引单元相连的字线提供逐步增加的读取电压读出所述索引单元的数据来检测所述索引单元的初始阈电压。

7. 一种非易失性存储器件的编程方法，其中所述非易失性存储器件包括主区域和索引区域，所述索引区域包括用于监视阈电压变化的索引单元、以及用于存储初始阈电压的阈电压信息单元，该方法包括：

编程用户数据到所述主区域；

将索引位编程到所述用于监视阈电压变化的索引单元；

读取所述索引单元的初始阈电压；以及

将与初始阈电压对应的数据编程到阈电压信息单元，

其中所述索引单元和所述阈电压信息单元连接到第一字线。

8. 如权利要求 7 所述的编程方法，其中所述非易失性存储器件包括存储用户数据的多个存储单元，所述多个存储单元连接到与所述第一字线不同的第二字线。

9. 如权利要求 7 所述的编程方法，其中所述非易失性存储器件包括存储用户数据的多个存储单元，所述多个存储单元连接到所述第一字线。

10. 如权利要求 9 所述的编程方法，其中编程具有索引位的索引单元包括：

向所述第一字线提供逐步增加的编程电压；以及

当编程电压达到目标电压时完成所述索引单元的编程操作。

11. 如权利要求 10 所述的编程方法，其中读取所述索引单元的初始阈电压包括：

通过借助向所述第一字线提供逐步增加的读取电压读出所述索引单元的数据来检测所述索引单元的初始阈电压。

12. 一种非易失性存储器件，包括：

存储单元阵列，包括主区域和索引区域，所述主区域具有用于存储用户数据位的、在多条字线和多条位线之间排列的主存储单元，而所述索引区域具有在多条字线和多条索引位线之间排列的索引存储单元，所述索引存储单元包括存储指示索引单元的初始阈电压的信

息的阈电压信息单元以及存储索引位和提供阈电压变化的索引单元；

行解码器，用于响应于地址选择所述多条字线其中之一；

字线电压产生器，用于响应于与已增加的编程循环计数值对应的步进码向所选择的字线提供字线电压；

页缓冲器，用于临时地存储要编程到所述主区域中、或已从所述主区域中读出的用户数据位，临时地存储要编程到所述索引区域中的索引位、以及与所述索引单元的初始阈电压对应的数据位，而且临时地存储与经由所述多条索引位线从所述索引区域中读出的初始阈电压对应的索引位和数据位；以及

控制器，用于控制所述字线电压产生器和所述页面缓冲器，并产生应用于所述字线电压产生器的所述步进码。

13. 如权利要求 12 所述的非易失性存储器件，其中所述页面缓冲器包括：

主页面缓冲器，用于临时地存储已从所述主区域中读出、或要编程到所述主区域中的用户数据位；以及

索引页面缓冲器，用于临时地存储已从所述索引区域中读出、或要编程到所述索引区域中的用户数据位。

14. 如权利要求 13 所述的非易失性存储器件，其中在编程操作期间，所述控制器控制所述索引页面缓冲器编程所述索引单元中的索引位，以读取所述索引单元的初始阈电压，并在所述阈电压信息单元中编程与所述初始阈电压对应的数据，

所述索引单元和所述阈电压信息单元连接到与其中要编程用户数据的存储单元相连的字线。

15. 如权利要求 14 所述的非易失性存储器件，其中在读取操作期间，所述控制器控制所述索引页面缓冲器和所述字线电压产生器从所述阈电压信息单元中读取与所述初始阈电压对应的数据，并从所述索引单元中读取当前阈电压，

所述控制器通过将所述初始阈电压与所述当前阈电压进行比较来检测偏移阈电压电平，并利用所述偏移阈电压电平改变读取电压。

16. 如权利要求 12 所述的非易失性存储器件，其中所述非易失性存储器件为 NAND 闪速存储器件。

17. 一种存储系统，包括：

非易失性存储器件；以及

存储器控制器，用于控制所述非易失性存储器件，

其中所述非易失性存储器件是如权利要求 12 所述的非易失性存储器件。

18. 如权利要求 17 所述的存储系统，其中所述存储系统在读取操作期间确定是否执行补偿读取操作，在执行所述补偿读取操作时根据阈电压变化而改变读取电压。

19. 如权利要求 18 所述的存储系统，其中所述存储器控制器包括用于检测用户数据的错误的错误检测器，

其中当所检测到的错误位的数量超过给定数时执行所述补偿读取操作。

非易失性存储器件及其编程和读取方法

技术领域

[0001] 本发明涉及非易失性存储器件，而且更具体地，本发明涉及编程和读取非易失性存储器件。

背景技术

[0002] 在非易失性存储器件中，即使在移除电源时也能保持数据。非易失性存储器件的示例掩模只读存储器 (ROM) (MROM)、电可擦除可编程 ROM (EEPROM) 等等。

[0003] 特别地，闪速存储器件可以具有与传统 EEPROM 不同的结构和操作。闪速存储器件的概念由东芝于 1984 年作为闪速 EEPROM 提出。闪速存储器件可以以块、扇区、或芯片为单位执行电擦除操作。进一步，可以将闪速存储器件配置为以一个位为单位执行编程操作。闪速存储器件可以具有与具有以扇区为单位划分和格式化的存储区域的磁盘型辅助存储设备类似的架构。

[0004] 可以将闪速存储器件分类为 NOR 型闪速存储器件和 NAND 型闪速存储器件。在 NOR 型闪速存储器件中，将存储单元并联在位线与地线之间。在 NAND 型闪速存储器件中，将存储单元串联在位线与地线之间。NOR 型闪速存储器件具有多种优势，包括简单的外围电路和较短的读取访问时间。然而，由于 NOR 型闪速存储器件需要每个单元与位线接触，其典型地需要比 NAND 型闪速存储器件更大的单元面积。相比之下，由于 NAND 型闪速存储器件的存储单元串联连接到位线，NAND 型闪速存储器件的读取速度可能与 NOR 型闪速存储器件相比相对较慢。

[0005] 闪速存储器件中的已编程存储单元的阈电压可以因诸如增量步进脉冲编程 (ISPP) 增量、浮置栅极耦合、电荷丢失等等的多种原因而改变或偏移。这会降低读取操作期间的可靠性。

发明内容

[0006] 本发明的实施例针对非易失性存储器件、包括非易失性存储器件的存储系统、以及其编程和读取方法。从而，可以改善读取操作的可靠性，不管阈电压如何改变。

[0007] 本发明的一个方面提供一种非易失性存储器件的读取方法，包括：从存储指示初始阈电压的信息的阈电压信息单元中读取索引单元的初始阈电压值；从所述索引单元确定当前阈电压值；以及将所述初始阈电压值与所述当前阈电压值进行比较以计算所述索引单元的偏移阈电压电平。利用偏移阈电压电平改变读取电压，以使用改变的读取电压读取用户数据。

[0008] 本发明的另一个方面提供一种非易失性存储器件的编程方法，包括：编程用户数据；编程具有用于监视阈电压变化的索引位的索引单元；读取所述索引单元的初始阈电压；以及编程与阈电压信息单元中的初始阈电压对应的数据。所述索引单元和所述阈电压信息单元连接到第一字线。

[0009] 本发明的另一个方面提供一种非易失性存储器件，包括存储单元阵列、行解码器、

字线电压产生器、页缓冲器、以及控制器。所述存储单元阵列包括主区域和索引区域。所述主区域具有用于存储用户数据位的、在多条字线和多条位线之间排列的主存储单元。所述索引区域具有在多条字线和多条索引位线之间排列的索引存储单元，而且包括阈电压信息单元以及存储索引位和提供阈电压变化的索引单元。所述行解码器响应于地址选择所述字线其中之一。所述字线电压产生器响应于步进码 (step code) 向所选择的字线提供字线电压。所述页面缓冲器临时地存储要编程到所述主区域中、或已从所述主区域中读出的用户数据位，临时地存储要编程到所述索引区域中的索引位、以及与所述索引单元的初始阈电压对应的数据位，而且临时地存储与经由所述多条索引位线从所述索引区域中读出的初始阈电压对应的索引位和数据位。所述控制器控制所述字线电压产生器和所述页面缓冲器，并产生应用于所述字线电压产生器的所述步进码。

附图说明

[0010] 将参照附图描述本发明的非限制且非穷举的实施例，其中全部附图中相同的引用数字指代相同的部分，除非另外指明。附图中：

- [0011] 图 1 是示出根据本发明的示范性实施例的非易失性存储器件的框图；
- [0012] 图 2 是示出根据本发明的示范性实施例的对索引单元中的索引位进行编程的操作的图；
- [0013] 图 3 是示出根据本发明的示范性实施例的读取索引单元的阈电压值的操作的图；
- [0014] 图 4 是示出根据本发明的示范性实施例的存储在阈电压信息单元中的数据值、以及与所述数据值对应的阈电压值；
- [0015] 图 5 是示出根据本发明的示范性实施例的非易失性存储器件的编程方法的流程图；
- [0016] 图 6 是示出根据本发明的示范性实施例的非易失性存储器件的读取方法的流程图；
- [0017] 图 7 是示出根据本发明的另一个示范性实施例的存储单元阵列的图；
- [0018] 图 8 是示出根据本发明的示范性实施例的存储系统的框图；
- [0019] 图 9 是示出根据本发明的示范性实施例的图 8 中所示的存储系统的读取方法的流程图；
- [0020] 图 10 是示出根据本发明的示范性实施例的非易失性存储器件如何减少因阈电压改变造成的错误的图；
- [0021] 图 11 是示出根据本发明的示范性实施例的包括闪速存储器件和存储器控制器的计算系统。

具体实施方式

[0022] 现在将参照其中示出本发明的示范性实施例的附图更全面地描述本发明。然而，本发明可以以多种形式实现，而且不应当被解读为限于例示的实施例。相反，提供这些实施例是作为示例以向本领域技术人员传达本发明的概念。从而，对于本发明的某些实施例未描述已知的过程、元素、和技术。附图和说明书全文中，将使用相同的引用数字指代相同或类似的元素。

[0023] 根据本发明的各种示范性实施例的非易失性存储器件包括配置用于捕获阈电压的偏移或改变的索引区域。索引区域可以包括用于存储索引位的索引单元、以及用于存储索引单元的初始阈电压的阈电压信息单元。在读取操作期间，可以将该非易失性存储器件配置为检测存储在阈电压信息单元中的初始阈电压与索引单元的当前阈电压之间的差，并在读取操作中反映该检测结果。这改善了读取操作的可靠性，即使已编程的存储单元的阈电压被改变。

[0024] 图 1 是示出根据本发明的示范性实施例的非易失性存储器件的框图。图 1 中所示的非易失性存储器件例如可以是闪速存储器件。然而，应当理解，各种实施例可以应用于其它类型的存储器件，诸如掩模 ROM (MROM)、可编程 ROM (PROM)、铁电随机存取存储器 (RAM) (FRAM)、相变 RAM (PRAM) 等等。

[0025] 参照图 1，非易失性存储器件 10 包括存储单元阵列 100、行解码器 200、字线电压产生器 300、页缓冲器 400、以及控制器或控制逻辑 500。非易失性存储器件 10 被配置为利用存储在索引区域 140 中的索引单元的初始阈电压来捕获阈电压的偏移的、或改变的电平，以及在读取操作中反映所捕获的结果。

[0026] 存储单元阵列 100 包括用于存储用户数据的主区域 120 和用于通知阈电压改变的索引区域 140。如图 1 中所示，主区域 120 中的存储单元以及索引区域 140 中的存储单元被共同连接到各条字线。例如，主区域 120 中的存储单元 121 ~ 125 以及索引区域 140 中的存储单元 141 ~ 145 被共同连接到字线 WL29。索引区域 140 中的存储单元可以被划分为用于存储索引位的索引单元 141、以及用于存储与已编程索引单元 141 的初始阈电压值对应的数据的阈电压 (V_{th}) 信息单元 142 ~ 145。

[0027] 主区域 120 包括在字线 WL0 ~ WL31 与位线 BL0 ~ BL_m-1 的交叉处排列的存储单元，诸如存储单元 121 ~ 125。主区域 120 可以包括多个块（图 1 中未示出），每个块具有连接到相应的位线的多个单元串。每个单元串可以由连接到相应的位线的串选择晶体管、连接到公共源极线的地选择晶体管、以及串联连接在所述选择晶体管之间的存储单元（图 1 中未示出）组成。

[0028] 索引区域 140 包括在字线 WL0 ~ WL31 与索引位线 IBL0 ~ IBL4 的交叉处排列的存储单元，诸如存储单元 141 ~ 145。特别地，连接到索引位线 IBL0 的存储单元（例如，存储单元 141）是其中索引位被编程的存储单元。图 1 中，示出一个索引单元连接到一条字线，然而应当理解，本发明不限于所描绘的配置。例如，可以将两个或更多索引单元连接到每条字线以增加索引单元的表示。

[0029] 连接到索引位线 IBL1 ~ IBL4 的存储单元（例如，存储单元 142 ~ 145）分别是其中编程有与索引单元的初始阈电压值对应的数据值的阈电压信息单元。下面将参照图 3 更全面地对其进行描述。

[0030] 行解码器 200 解码来自地址缓冲器（未示出）的行地址，并根据解码的结果选择字线。行解码器 200 可以根据操作模式向所选择的字线提供字线电压 V_{WL}。

[0031] 字线电压产生器 300 响应于来自控制逻辑 500 的步进码 STEP_i 而产生字线电压 V_{WL}。可以根据步进码 STEP_i 确定字线电压 V_{WL} 的电压电平。字线电压 V_{WL} 可以包括编程电压、读取电压、擦除电压等等。特别地，读取电压的电压电平可以根据阈电压的电平的改变而变化。例如，当确定索引单元的阈电压已经偏移降低 0.2V 时，控制逻辑 500 可以控制字

线电压产生器 300 产生比正常读取操作的读取电压低 0.2V 的读取电压。下面将参照图 2 和 3 更全面地对其进行描述。

[0032] 页面缓冲器 400 被配置为从存储单元阵列 100 读出数据和 / 或临时地存储要编程到存储单元阵列 100 中的数据。页面缓冲器 400 因而可以由控制逻辑 500 控制, 以根据操作模式而作为读出放大器或写入驱动器而操作。页面缓冲器 400 包括多个锁存器 421 ~ 425 和 441 ~ 445。通常, 在编程操作期间, 可以基于存储在相应的锁存器中的数据将各个存储单元确定为编程单元或编程禁止单元。例如, 当锁存器中存储数据“0”时, 与该锁存器对应的存储单元可以被编程。当锁存器中存储数据“1”时, 与该锁存器对应的存储单元可以被禁止编程。

[0033] 主页面缓冲器 420 例如包括分别连接到位线 BL0 ~ BL_{m-1} 的锁存器 421 ~ 425。锁存器 421 ~ 425 可以被配置为经由位线 BL0 ~ BL_{m-1} 读出数据位并临时地存储待编程的数据位。可以经由数据输入 / 输出电路 (未示出) 外部输出在读取操作期间读出的数据。可以向通过 / 失败检查电路 (未示出) 输出在检验操作期间读出的数据。

[0034] 索引页面缓冲器 440 例如包括分别连接到位线 IBL0 ~ IBL4 的锁存器 441 ~ 445。在所描绘的实施例中, 锁存器 441 临时地存储索引位数据。例如, 在编程操作期间, 可以在控制逻辑 500 的控制下在锁存器 441 中存储数据“0”以将索引位编程到索引单元 141。在索引位被编程到索引单元 141 中之后, 可以在控制逻辑 500 的控制下在锁存器 441 中存储数据“1”以测量索引单元 141 的初始阈电压值。

[0035] 可以将与索引单元 141 的初始阈电压有关的数据临时地存储在分别连接到阈电压信息单元 142 ~ 145 的锁存器 442 ~ 445 中。例如, 为了分别在阈电压信息单元 142 ~ 145 中编程数据位“0”、“1”、“0”、和“1”, 可以在控制逻辑 500 的控制下将数据位“0”、“1”、“0”、和“1”临时存储在锁存器 442 ~ 445 中。随后, 在读取操作期间, 可以将从阈电压信息单元 142 ~ 145 读取的数据位“0”、“1”、“0”、和“1”存储在锁存器 442 ~ 445 中并传输到控制逻辑 500。

[0036] 控制逻辑 500 控制闪速存储器件 10 的总体操作以进行编程 / 擦除 / 读取操作。控制逻辑 500 可以根据输入的命令和地址控制字线电压产生器 300 和页面缓冲器 400 以执行编程 / 擦除 / 读取操作。

[0037] 在编程操作期间, 控制逻辑 500 可以响应于编程命令而控制字线电压产生器 300 和页面缓冲器 400 以编程主区域 120 中的用户数据、以及索引区域 140 的索引单元 141 中的索引位。将参照图 2 更全面地对其进行描述。

[0038] 在读取操作期间, 控制逻辑 500 可以响应于读取命令而控制字线电压产生器 300 和页面缓冲器 400 以读取来自索引区域 140 的阈电压信息单元 142 ~ 145 的初始阈电压值的数据。其间, 为了捕获索引单元 141 的当前阈电压值, 控制逻辑 500 可以响应于读取命令而控制字线电压产生器 300 和页面缓冲器 400, 以提高了给定电平的字线电压 V_{WL} 执行读取操作。将参照图 3 更全面地对其进行描述。

[0039] 控制逻辑 500 被配置为索引单元 141 的检测初始阈电压值与当前阈电压值之间的阈电压差, 并在读取来自主区域 120 的数据时反映所检测到的阈电压差。即, 在读取操作期间, 可以以偏移阈电压电平改变所选字线的字线电压 V_{WL} 的电平。控制逻辑 500 可以包括在编程 / 擦除 / 读取操作期间产生步进码 STEPi 的解码器 520。解码器 520 可以被配置为当

控制逻辑 500 控制主页面缓冲器 420 时与当控制逻辑 500 控制索引页面缓冲器 440 时不同地操作。

[0040] 当控制逻辑控制主页面缓冲器 420 时,在编程 / 检验操作期间,解码器如下操作。控制逻辑 500 确定经由通过 / 失败检查电路(未示出)从主页面缓冲器 420 发送的数据位是否是通过数据位。如果不是,则控制逻辑 500 增加编程循环计数值。解码器 520 产生与已增加的编程循环计数值对应的步进码 STEP_i,并向字线电压产生器 300 传输该步进码 STEP_i。随着编程循环计数值被增加,步进码 STEP_i 也被逐步增加。这意味着字线电压 V_{WL} 被增加。

[0041] 假定控制逻辑 500 控制索引页面缓冲器 400,则解码器 520 如下操作以读取存储索引位的索引单元 141 的阈电压。控制逻辑 500 确定来自索引页面缓冲器 440 的锁存器 441 的数据是否是“0”。如果不是,则控制逻辑 500 增加步进计数值,而且解码器 520 产生与已增加的步进计数值对应的步进码 STEP_i 并将其发送到字线电压产生器 300。如果是,则解码器 520 将与步进计数值对应的数据存储在索引页面缓冲器 440 的锁存器 442 ~ 445 中。

[0042] 根据本实施例,非易失性存储器件 10 可以确定索引单元 141 的阈电压是否改变,在读取操作期间利用已改变的阈电压调整读取电压,并利用已调整的读取电压执行读取操作。从而,能够减少读取错误,即使存储单元的阈电压已经偏移。阈电压改变可以有多种原因,诸如电荷丢失、耦合效应等等。将参照图 10 更全面地描述如何减少读取错误。

[0043] 图 2 是示出根据本发明的示范性实施例的对索引单元中的索引位进行编程的操作的图。

[0044] 控制逻辑 500 控制字线电压产生器 300 和页面缓冲器 400 以编程索引单元 141 中的索引位。更具体地,参照图 1 和 2,控制逻辑 500 控制字线电压产生器 300 和页面缓冲器 400 以向连接到索引单元 141 的字线提供具有初始电平的字线电压,并在连接到索引位线 IBL0 的锁存器 441 中存储数据“0”。控制逻辑 500 还控制字线电压产生器 300 以将字线电压 V_{WL} 增加给定的电平或增量(例如,0.1V)。在提供编程电压之后,控制逻辑 500 使用目标电压电平(例如,3V)执行检验操作。如果索引单元 141 的阈电压大于目标电压电平,则对于索引单元 141 结束编程操作。当索引单元 141 的编程操作结束时,在控制逻辑 500 的控制下在与索引单元 141 对应的锁存器 441 中存储数据“1”。

[0045] 图 3 是示出根据本发明的示范性实施例的读取索引单元的阈电压值的操作的图。

[0046] 下面将更全面地描述读取初始阈电压 V_{thini} 的操作。为了便于描述,假定,当在索引单元 141 中编程索引位时,索引单元 141 的初始阈电压 V_{thini} 例如为 3.2V。进一步假定,从 2.7V 开始以 0.1V 逐步增加读取电压。参照图 3,可以从 2.7V 开始以 0.1V 逐步增加读取电压来读取索引单元 141 的阈电压。

[0047] 特别地,控制逻辑 500 控制字线电压产生器 300 和页面缓冲器 400 以向连接到索引单元 141 的字线提供具有初始电平(例如,2.7V)的字线电压 V_{WL},并经由索引位线 IBL0 读出存储在索引单元 141 中的数据。在读取操作结束之后,利用具有初始电平的字线电压 V_{WL},控制逻辑 500 通过检验操作确定与索引单元 141 对应的锁存器 441 中的数据是否为“0”。

[0048] 如果确定锁存器 441 中的数据为“0”,则索引单元 141 的初始阈电压为 2.7V。如果确定锁存器 441 中的数据为“1”,则控制逻辑 500 控制字线电压产生器 300 以向连接到索引单元 141 的字线提供已经被增加 0.1V 的、2.8V 的字线电压 V_{WL}。此时,控制逻辑 500 控制

页面缓冲器 400 以经由索引位线 IBL0 读出存储在索引单元 141 中的数据。在使用处于增加的电平的字线电压 V_{WL} 执行读取操作之后, 控制逻辑 500 通过另一个检验操作确定由与索引单元 141 关联的锁存器 441 读出的数据是否为“0”。

[0049] 如果确定锁存器 441 中的数据为“0”, 则索引单元 141 的初始阈电压为 2.8V。如果确定锁存器 441 中的数据为“1”, 则控制逻辑 500 控制字线电压产生器 300 以向连接到索引单元 141 的字线提供已经再次被增加 0.1V 的、2.9V 的字线电压 V_{WL} 。此时, 控制逻辑 500 控制页面缓冲器 400 以经由索引位线 IBL0 读出存储在索引单元 141 中的数据。在使用具有增加的电平的字线电压 V_{WL} 的读取操作结束之后, 控制逻辑 500 通过另一个检验操作确定由锁存器 441 从索引单元 141 读出的数据是否为“0”。

[0050] 重复上述过程直到字线电压 V_{WL} 的电平达到初始阈电压 V_{thini} 。一旦字线的电平达到初始阈电压 V_{thini} , 例如, 3.2V, 就在索引页面缓冲器 440 的锁存器 441 中存储数据“0”。从而, 控制逻辑 500 确认数据“0”被存储在锁存器 441 中, 并结束读取索引单元 141 的阈电压的操作。

[0051] 可以以上述方式执行读取初始阈电压的操作。然而, 可以如下执行读取改变的阈电压的操作。

[0052] 在非易失性存储器件 10 中, 可以根据从控制逻辑 500 传输的步进码 STEP_i 确定字线 V_{WL} 的电压电平。控制逻辑 500 的解码器 520 根据字线电压 V_{WL} 的电压电平产生相应的步进码 STEP_i。为了存储与初始阈电压对应的数据, 在读取操作期间, 解码器 520 解码与索引单元 141 的初始阈电压对应的步进码 STEP_i。控制逻辑 500 向索引页面缓冲器 440 提供与初始阈电压对应的解码的数据位, 其在阈电压信息单元 (例如单元 142 ~ 145) 中编程。

[0053] 图 4 是示出存储在阈电压信息单元中的示范性数据值、以及与所述数据值对应的示范性阈电压值。参照图 4, 例如, 当阈电压信息单元 142 ~ 145 中分别存储数据位“0”、“0”、“0”、和“0”时, 索引单元 141 的初始阈电压 V_{thini} 为 2.7V。同样, 如图 2 中所示, 例如, 当索引单元 141 的初始阈电压 V_{thini} 为 3.2V 时, 数据位“0”、“1”、“0”、和“1”分别被编程在阈电压信息单元 142 ~ 145 中。

[0054] 图 5 是示出根据本发明的示范性实施例的编程非易失性存储器件的方法的流程图。将参照图 1 和 5 更全面地描述该编程方法。

[0055] 在步骤 S110, 例如在主区域 120 中编程用户数据。更具体地, 当非易失性存储器件 10 接收编程命令、地址、和用户数据时, 可以在控制逻辑 500 的控制下经由输入 / 输出缓冲器 (未示出) 向页面缓冲器 400 的主页面缓冲器 420 传输用户数据。此时, 控制逻辑 500 控制字线电压产生器 300 向根据输入的地址选择的字线提供编程电压。

[0056] 在步骤 S120, 在连接到所选字线的索引单元 (例如, 索引单元 141) 中编程索引位。控制逻辑 500 控制字线电压产生器 300 以使得向所选字线提供编程电压。控制逻辑 500 以逐步增加的编程电压执行编程操作, 如上所述。此时, 当基于检验电压读出的数据为“0”时结束编程操作。所述检验电压可以是目标电压。即, 在索引单元 141 的编程操作期间, 如果阈电压超过目标电压, 则编程操作完成。其间, 控制逻辑 500 控制索引页面缓冲器 440 以使得向连接到索引单元 141 的索引位线 IBL0 提供编程电压。该编程操作可以与参照图 2 所描述的基本相同, 因而将不重复其说明。

[0057] 在步骤 S130, 执行读取操作以确定索引单元 141 的初始阈电压 V_{th} 。为了确定初

始阈电压，控制逻辑 500 使用逐步增加的读取电压的电压电平执行读取操作。该读取操作可以与参照图 3 所描述的基本相同，因而将不重复其说明。

[0058] 在步骤 S140，将与索引单元 141 的初始阈电压对应的数据编程到阈电压信息单元 142 ~ 145 中。控制逻辑 500 捕获索引单元 141 的初始阈电压并将该初始阈电压解码为相应数据，其被编程在阈电压信息单元 142 ~ 145 中。该解码操作可以与参照图 4 所描述的基本相同，因而将不重复其说明。

[0059] 根据本实施例，非易失性存储器件 10 可以被配置为在编程操作期间将用户数据同与索引单元 141 的初始阈电压对应的数据一起编程。使用索引单元 141 的初始阈电压作为用于捕获阈电压改变的索引。

[0060] 图 6 是示出根据本发明的示范性实施例的读取非易失性存储器件的方法的流程图。下面将参照图 1 和 6 更全面地描述该读取方法。

[0061] 在图 6 的步骤 S210，当接收到读取命令和地址时，控制逻辑 500 控制字线电压产生器 300 和索引页面缓冲器 440 以从连接到所选字线的阈电压信息单元 142 ~ 145 读取指示索引单元 141 的初始阈电压的数据。特别地，字线电压产生器 300 响应于步进码 STEP_i 而产生要被提供到所选字线的读取电压。如上所述，步进码 STEP_i 可以来自控制逻辑 500 的解码器 520。其间，索引页面缓冲器 440 经由相应的索引位线 IBL1 ~ IBL4 从阈电压信息单元 142 ~ 145 读出数据位，并将所读出的数据位分别存储在锁存器 442 ~ 445 中。控制逻辑 500 从锁存器 442 ~ 445 中提取数据位并检测初始阈电压值。

[0062] 在步骤 S220，执行读取操作以检测索引单元 141 的当前阈电压。例如，控制逻辑 500 控制字线电压产生器 300 和索引页面缓冲器 440 以检测索引单元 141 的阈电压，其中从 2.7V 开始以 0.1V 逐步增加字线电压 V_{WL} 。该读取操作与图 3 中所述的基本相同，因而将不重复其说明。

[0063] 在步骤 S230，控制逻辑 500 将索引单元 141 的当前阈电压与初始阈电压进行比较以计算阈电压的改变的、或偏移的电平，可以将其称为偏移值。

[0064] 在步骤 S240，控制逻辑 500 控制字线电压产生器 300 和页面缓冲器 400 以偏移电平改变读取电压，并使用改变的读取电压读取用户数据。

[0065] 非易失性存储器件 10 可以参照索引单元的阈电压的改变的电平执行读取操作。这使得能够减少在读取操作期间因阈电压的改变造成的错误。

[0066] 如图 1 中所示，按每条字线布置索引区域。即，将索引和阈电压信息单元连接到字线。然而，应当理解，本发明不限于图 1 中所描绘的实施例的索引区域结构。

[0067] 图 7 是示出根据本发明的另一个示范性实施例的存储单元阵列的框图。

[0068] 参照图 7，存储单元阵列 101 可以包括存储块 110 ~ 112，每个存储块包括具有索引区域的索引字线。例如，存储块 110 具有字线 WL1 作为索引字线，存储块 111 具有字线 WL25 作为索引字线，而存储块 112 具有字线 WL0 作为索引字线。控制逻辑 500 可以被配置为存储关于与各个存储块对应的索引字线的信息。在编程或读取操作期间，控制逻辑 500 可以被配置为初始地访问各条索引字线，并存储或读取与初始阈电压有关的数据。

[0069] 每个存储块（例如，110 ~ 112）中的索引字线可以被改变，使得相应的索引单元代表所述存储单元。例如，当相对于存储块执行磨损均衡操作（wearleveling operation）时，可以选择指示存储块的平均磨损的字线作为索引字线。可以在控制逻辑 500 中存储新

选择的索引字线的信息。

[0070] 索引单元是代表性的,因为其具有与由该索引单元代表的、主区域的存储单元相同的编程 / 擦除计数值。通常,以存储块为单位执行擦除操作。可以相对于未被编程的存储块的页面执行擦除操作。该情况下,难以考虑代表存储块的平均编程 / 擦除计数值的索引。从而,为了增加索引单元的表示,根据实施例的非易失性存储器件可以确定要擦除的存储块是否包括未编程的页面。如果是,则编程这些页面,并接着执行擦除操作。结果,该存储块的全部页面将具有相同的编程 / 擦除计数值。即,索引区域中的索引单元以及主区域中的存储单元可以经历同样的耐久。

[0071] 图 1 中所示的非易失性存储器件 10 可以被配置为在编程操作期间编程索引单元的初始阈电压值,利用所编程的初始阈电压值捕获索引单元的阈电压的改变的电平,并在读取操作中反映阈电压的改变的电平。应当理解,读取操作不限于以上描述。

[0072] 图 8 是示出根据本发明的示范性实施例的存储系统的框图。

[0073] 参照图 8,存储系统 1 包括非易失性存储器件 11 和存储器控制器 20。存储器控制器 20 确定是否执行其中反映改变的阈电压电平的补偿读取操作。如果需要补偿读取操作,则存储器控制器 20 可以产生补偿读取命令并将其传输到非易失性存储器件 11。当在正常读取操作期间确定错误位数超过给定数时,存储器控制器 20 可以产生补偿读取命令并将其传输到非易失性存储器件 11。

[0074] 非易失性存储器件 11 可以包括存储单元阵列 100、行解码器 200、字线电压产生器 300、以及页面缓冲器 400,其分别与上面参照图 1 所描述的基本相同。进一步,图 8 中的控制器或控制逻辑 501 在编程操作期间可以与参照图 1 所描述的控制逻辑 500 基本相同地操作。因而,将不重复这些组件的说明。

[0075] 在读取操作期间,控制逻辑 501 可以根据从存储器控制器 20 输入的读取命令而不同地操作。例如,当输入正常读取命令时,控制逻辑 501 可以控制字线电压产生器 300 和页面缓冲器 400 执行读取操作而不改变读取电压。然而,当输入补偿读取命令时,控制逻辑 501 可以控制字线电压产生器 300 和页面缓冲器 400 以检测索引单元的阈电压的改变的、或偏移的电平,根据偏移阈电压电平改变读取电压,并使用改变的读取电压执行读取操作,如上所述。

[0076] 继续参照图 8,存储器控制器 20 可以包括:错误检测器 22(图 8 中以 ECC 表示),用于检测读取操作期间的数据错误;以及读取命令产生器 24。错误检测器 22 可以被配置为检测正常读取操作期间的数据错误。当在正常读取操作期间确定由错误检测器 22 检测到的错误位数超过给定数时,读取命令产生器 24 可以产生补偿读取命令,其被传输到非易失性存储器件。

[0077] 根据所描绘的实施例,存储系统 1 可以被配置为在编程操作期间存储与索引单元的初始阈电压对应的数据,并在读取操作期间通过确定是否执行其中反映改变的阈电压电平的补偿读取操作来执行读取操作。

[0078] 图 9 是示出根据本发明的示范性实施例的读取图 8 中所示的存储系统的方法的流程图。将参照图 8 和 9 更全面地描述存储系统 1 的读取方法。

[0079] 在图 9 的步骤 S310,非易失性存储器件 11 响应于正常读取命令而执行读取操作。如果从外部主机(未示出)向存储器控制器 20 发送读取命令,则存储器控制器 20 中的读

取命令产生器 24 可以产生正常读取命令并将其提供给非易失性存储器件 11。非易失性存储器件 11 的控制逻辑 501 控制字线电压产生器 300 和页面缓冲器 400 以从连接到所选字线的存储单元读出数据。其间,由页面缓冲器 400 的主页面缓冲器 420 读出的数据被输出到存储器控制器 20。存储器控制器 20 的错误检测器 22 可以检测来自非易失性存储器件 11 传输的数据的错误作为读取操作的结果。

[0080] 在步骤 S320,存储器控制器确定由错误检测器 22 检测到的错误位数是否超过给定数。如果错误位数未超过给定数,则可以结束读取操作。另一方面,如果错误位数超过给定数,则过程进入步骤 S330。

[0081] 在步骤 S330,存储器控制器 20 的读取命令产生器 24 产生补偿读取命令并将其发送到非易失性存储器件 11。非易失性存储器件 11 中的控制逻辑 501 从连接到所选字线的阈电压信息单元(例如,142 ~ 145)读取与索引单元(例如,141)的初始阈电压值对应的数据。该读取与初始阈电压值对应的数据的操作与参照图 3 所描述的基本相同,因而将不重复其说明。

[0082] 在步骤 S340,控制逻辑 501 读取索引单元 141 的当前阈电压值。例如,控制逻辑 501 可以控制字线电压产生器 300 和索引页面缓冲器 440 以从 2.7V 开始以 0.1V 逐步增加的字线电压 V_{WL} 检测索引单元 141 的阈电压值。该操作可以与参照图 3 所描述的基本相同地执行,因而将不重复其说明。

[0083] 在步骤 S350 控制逻辑 501 将索引单元 141 的当前阈电压 V_{th} 值与初始阈电压值进行比较并计算改变的、或偏移的阈电压电平。

[0084] 在步骤 S360,控制逻辑 501 以偏移阈电压电平改变读取电压,并可以使用改变的读取电压读取用户数据。随后,可以结束补偿读取操作。

[0085] 根据示范性存储系统的该读取方法,当在读取操作期间错误位数超过给定数时,基于改变的阈电压电平执行补偿读取操作。

[0086] 图 10 是示出根据本发明的示范性实施例的非易失性存储器件如何减少因阈电压改变造成的错误的图。为了便于描述,例如,假定阈电压是由高温胁迫(HTS)引起的电荷丢失而造成。通常,HTS 表示存储单元的阈电压随着时间降低。即,HTS 表示已编程存储单元的浮置栅极中的电荷泄漏到基板中。

[0087] 图 10A 示出 HTS 之前的阈电压分布,而图 10B 示出因 HTS 而偏移的阈电压分布。如图 10B 中所示,存储在已编程存储单元中的电荷能够因 HTS 而被放电,其使阈电压偏移。因而如图 10B 中所示存在错误区域。从图 10C 可以理解,即使阈电压已经因 HTS 而偏移,通过改变读取电压能在读取操作期间减少错误。

[0088] 如上所述,闪速存储器件是即便在断电时也能够保持所存储的数据的非易失性存储器件。闪速存储器件广泛用于数据存储和代码存储,尤其是响应诸如蜂窝电话、个人数字助理(PDA)、数码相机、便携式游戏控制台、MP3 等等的移动设备的使用的增加。进一步,闪速存储器件可以用于诸如高清晰度电视(HDTV)、数字视频光盘或数字多功能光盘(DVD)、路由器、全球定位卫星(GPS)系统等等的各种家庭应用。

[0089] 图 11 是示出根据本发明的示范性实施例的包括闪速存储器件和存储器控制器的计算系统。

[0090] 计算系统 2 包括微处理器 32、用户接口 33、诸如基带芯片组的调制解调器 35、控制

器 36、以及闪速存储器件 37。例如，闪速存储器件 37 可以被配置为与上面参照图 1 所描述的基本相同。可以经由存储器控制器 36 将微处理器 32 已处理 / 待处理的 N 位数据（其中 N = 1 或其它整数）存储在闪速存储器件 37 中。

[0091] 其中计算系统 2 是移动设备，其可以进一步包括提供工作电压的电池 34。虽然附图中未示出，应当理解，根据各种实施例，计算系统 2 可以进一步包括应用芯片组、摄像头图像处理器 (CIS)、移动 DRAM 等等。存储器控制器 36 和闪速存储器件 37 例如可以构成固态驱动器 / 硬盘 (SSD)，其使用非易失性存储器件来存储数据。

[0092] 进一步应当理解，根据本发明的各种实施例，可以封装所述闪速存储器件和 / 或存储器控制器。例如，可以使用以下的各种分装来分装所述闪速存储器件和 / 或存储器控制器，诸如堆叠封装 (PoP)、球栅阵列 (BGA)、芯片级封装 (CSP)、塑料有引线芯片载体 (PLCC)、塑料双列直插式封装 (PDIP)、晶圆中管线封装 (Die in Wafer Pack)、晶圆中管线形成 (Die in Wafer Form)、板载芯片 (COB)、陶瓷双列直插式封装 (CERDIP)、塑料公制四方扁平封装 (MQFP)、薄型四方扁平封装 (TQFP)、小外形集成电路 (SOIC)、收缩型小外形封装 (SSOP)、薄型小外形封装 (TSOP)、系统封装 (SIP)、多芯片封装 (MCP)、晶圆级制造封装 (WFP)、晶圆级处理堆叠封装 (WSP) 等等。

[0093] 如上所述，根据本发明的各种实施例的非易失性存储器件被配置为在编程操作期间存储索引单元的初始阈电压信息，在读取操作期间使用其阈电压信息捕获所述索引单元的偏移阈电压电平，并基于偏移阈电压电平执行读取操作。从而，根据所述实施例的非易失性存储器件能够减少因阈电压改变造成的读取错误。

[0094] 以上公开的主题应当被认为是说明性的，而不是限制性的。虽然已经参照示范性实施例描述了本发明，本领域技术人员显然可知，可以作出各种变更和修改而不背离本发明的精神和范围。因而，应当理解，上述实施例无意进行限制，而是解释性的。

[0095] 对相关申请的交叉引用

[0096] 本申请要求于 2007 年 6 月 14 日提交的韩国专利申请 No. 10-2007-0058414 的优先权，其主题通过引用而被合并于此。

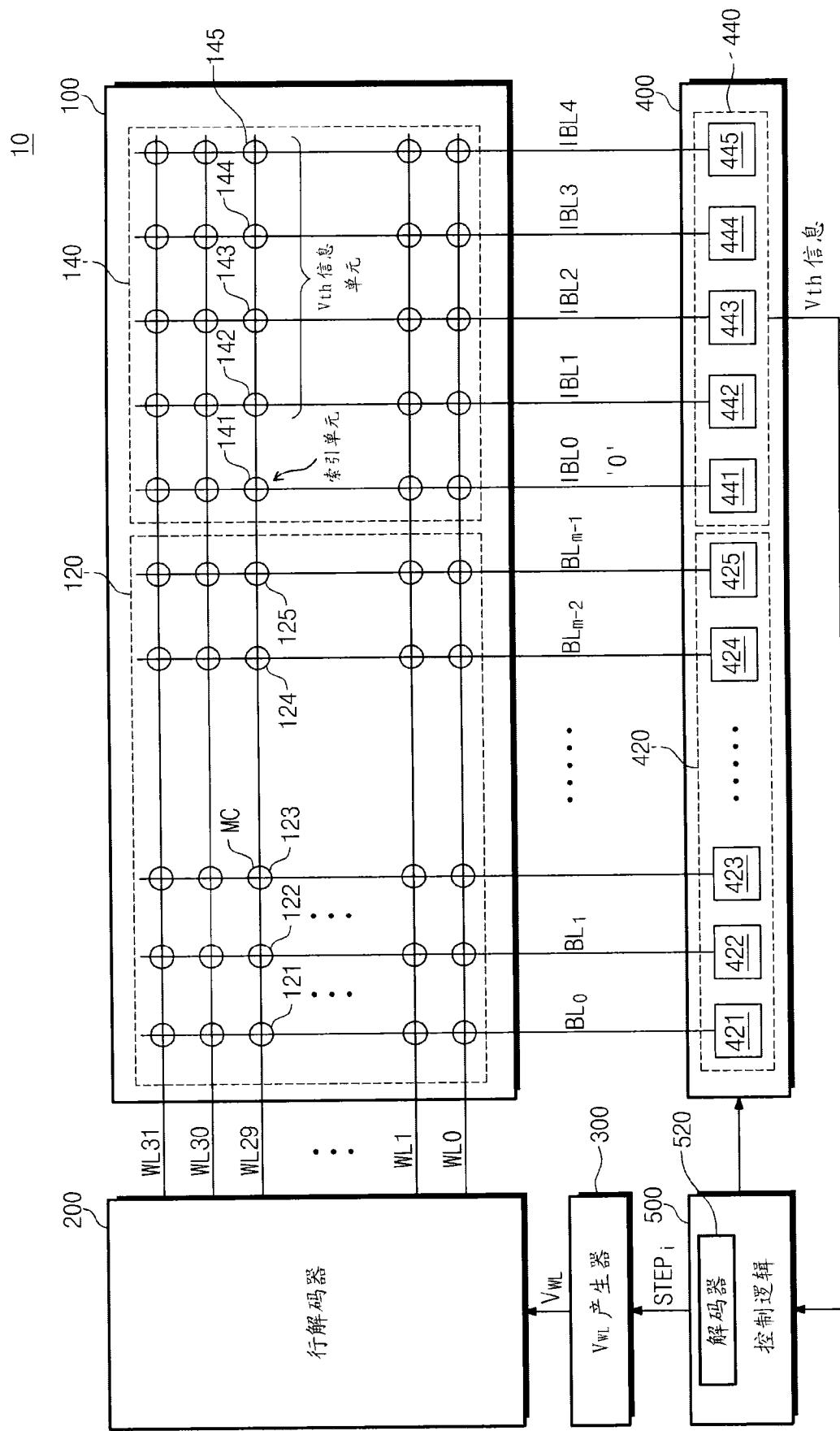


图 1

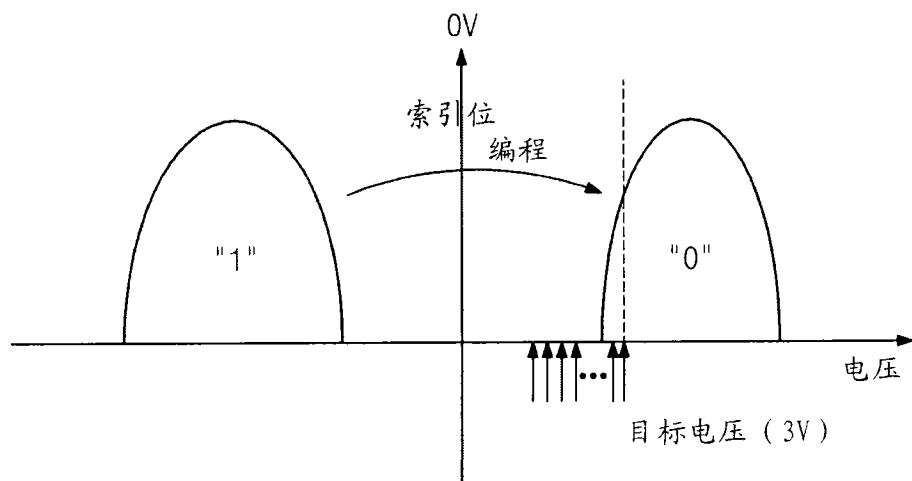


图 2

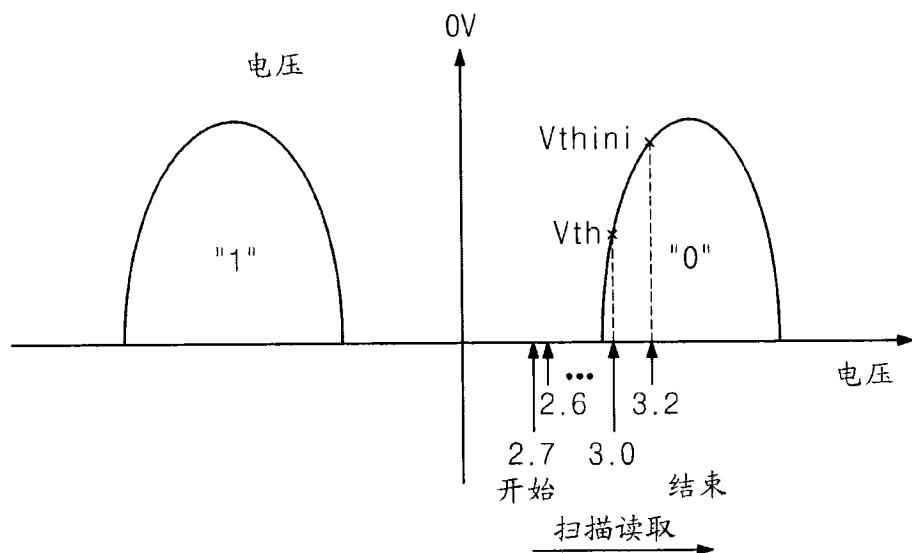


图 3

Vth 信息数据				Vthini
0	0	0	0	→ 2.7V
0	0	0	1	→ 2.8V
0	0	1	0	→ 2.9V
0	0	1	1	→ 3.0V
0	1	0	0	→ 3.1V
0	1	0	1	→ 3.2V
⋮				⋮
1	1	1	1	→ 4.2V

图 4

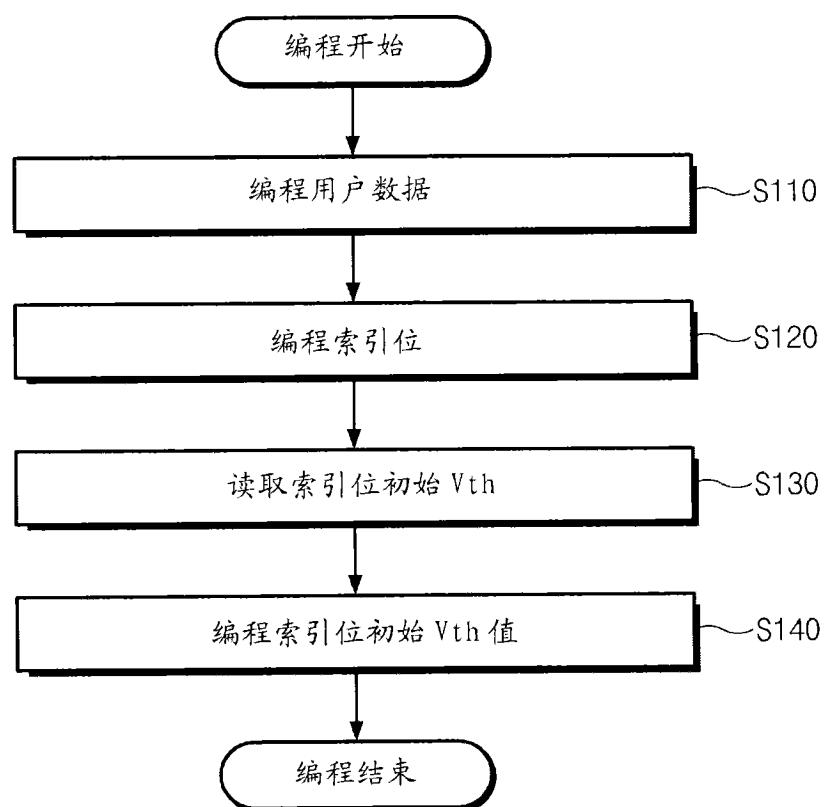


图 5

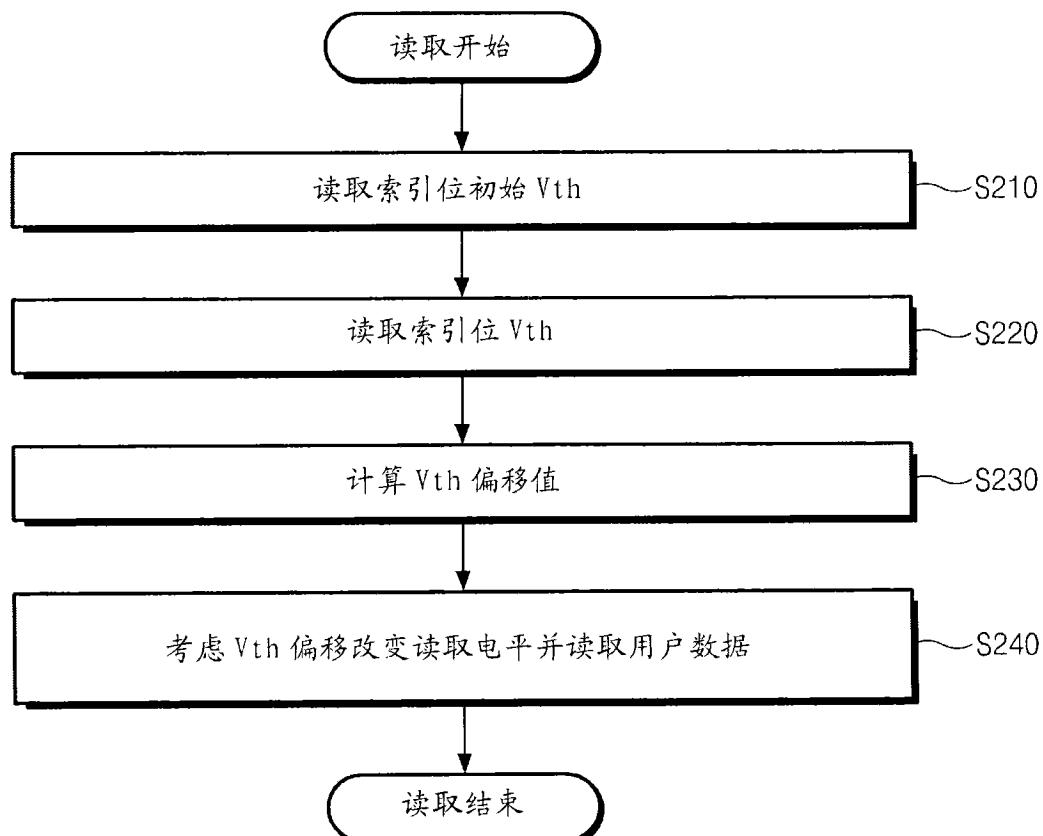


图 6

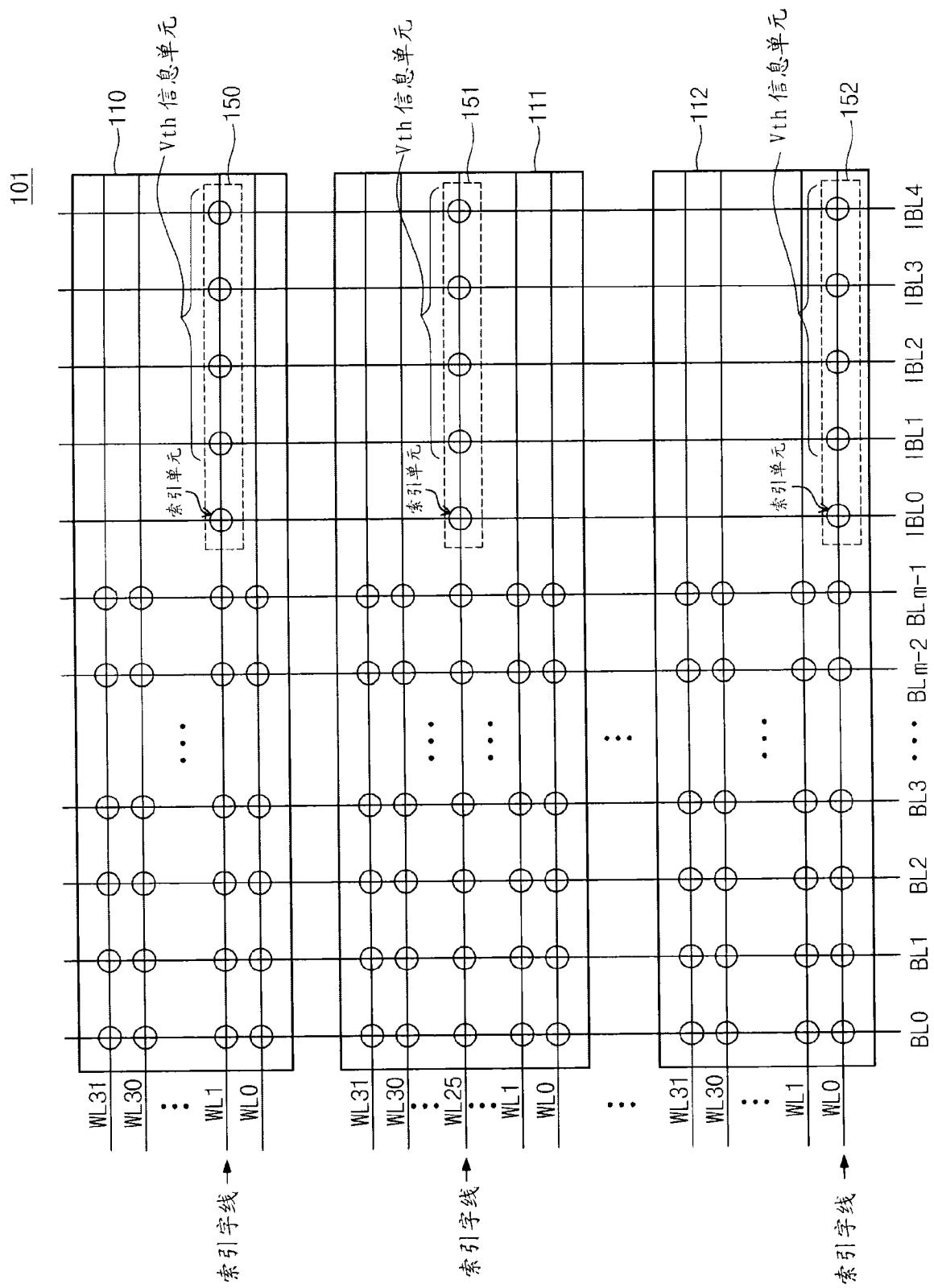


图 7

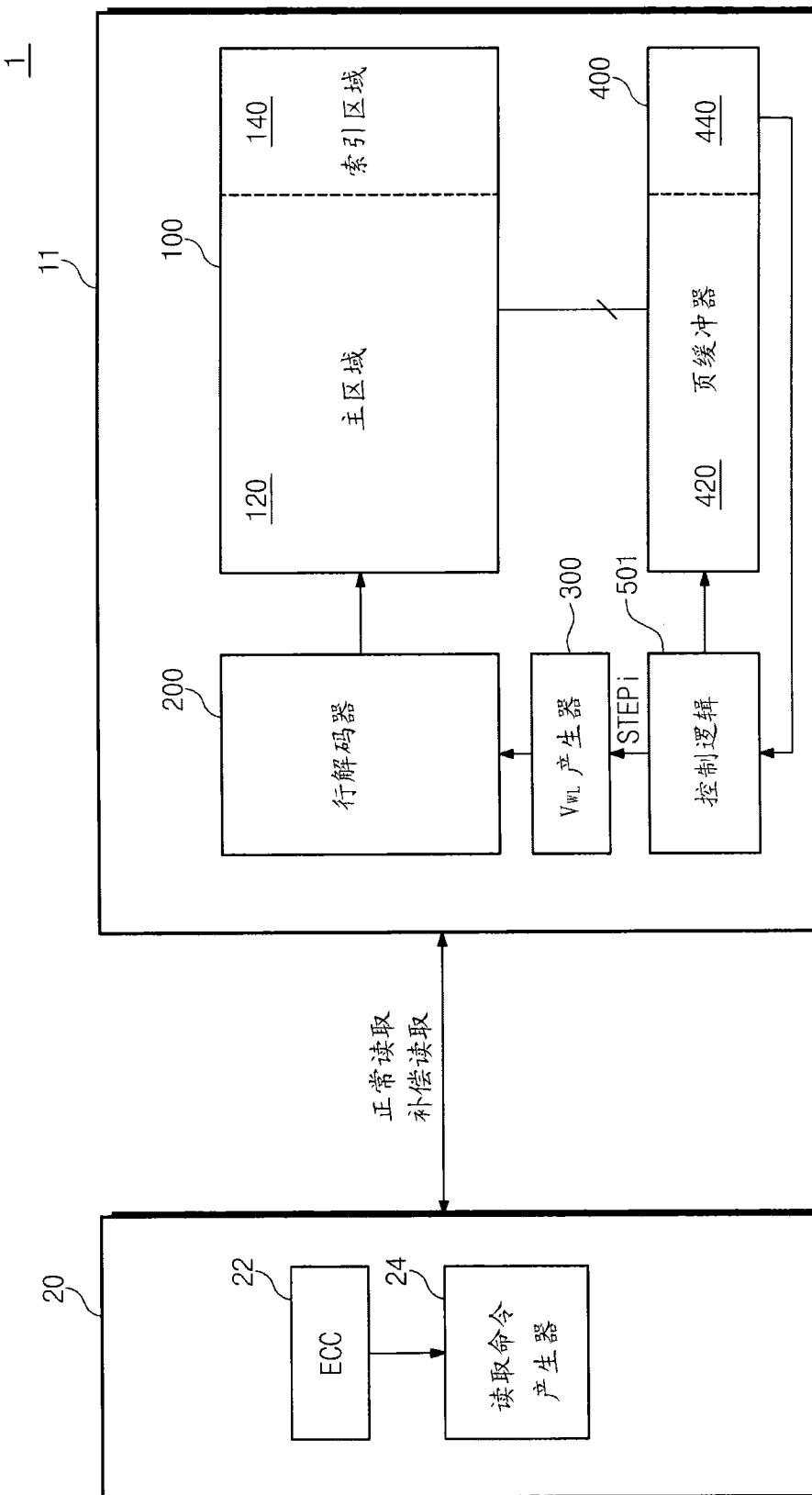


图 8

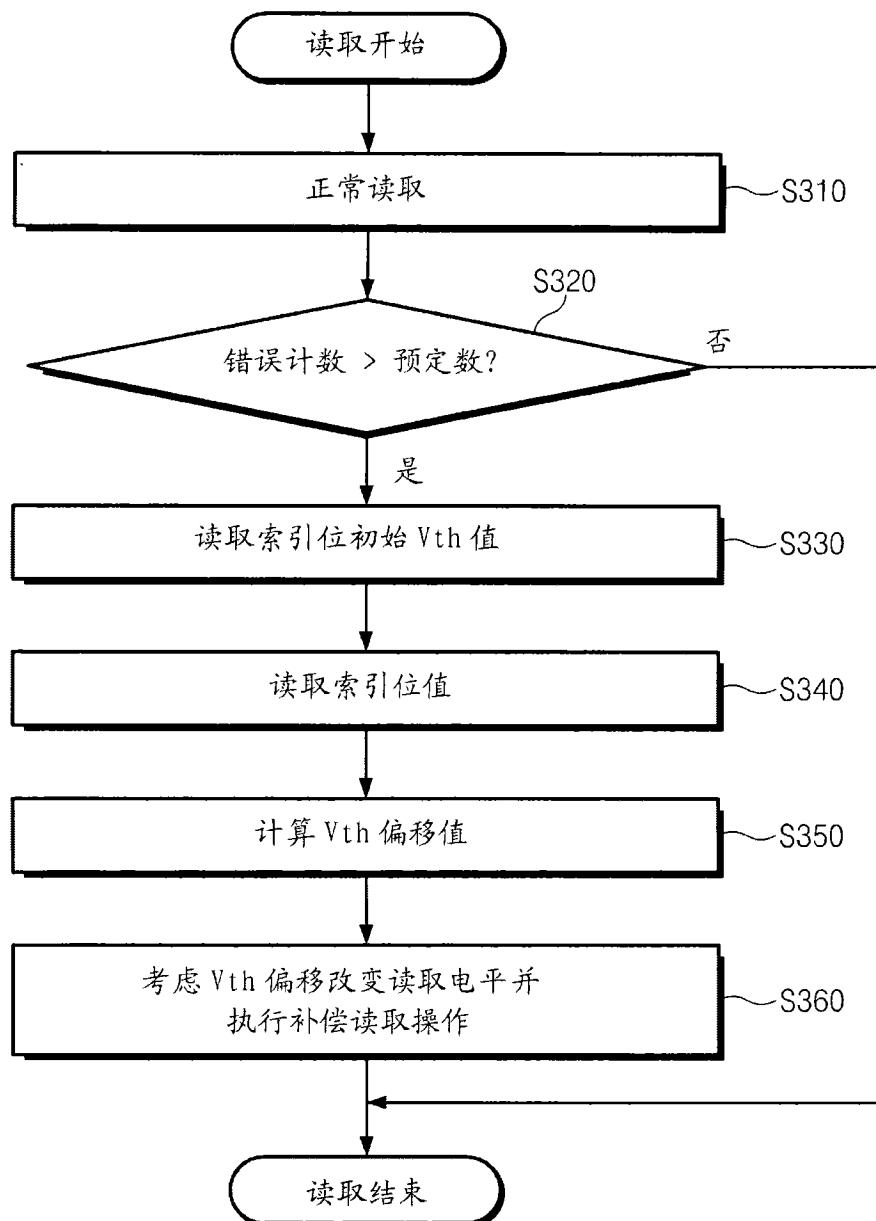


图 9

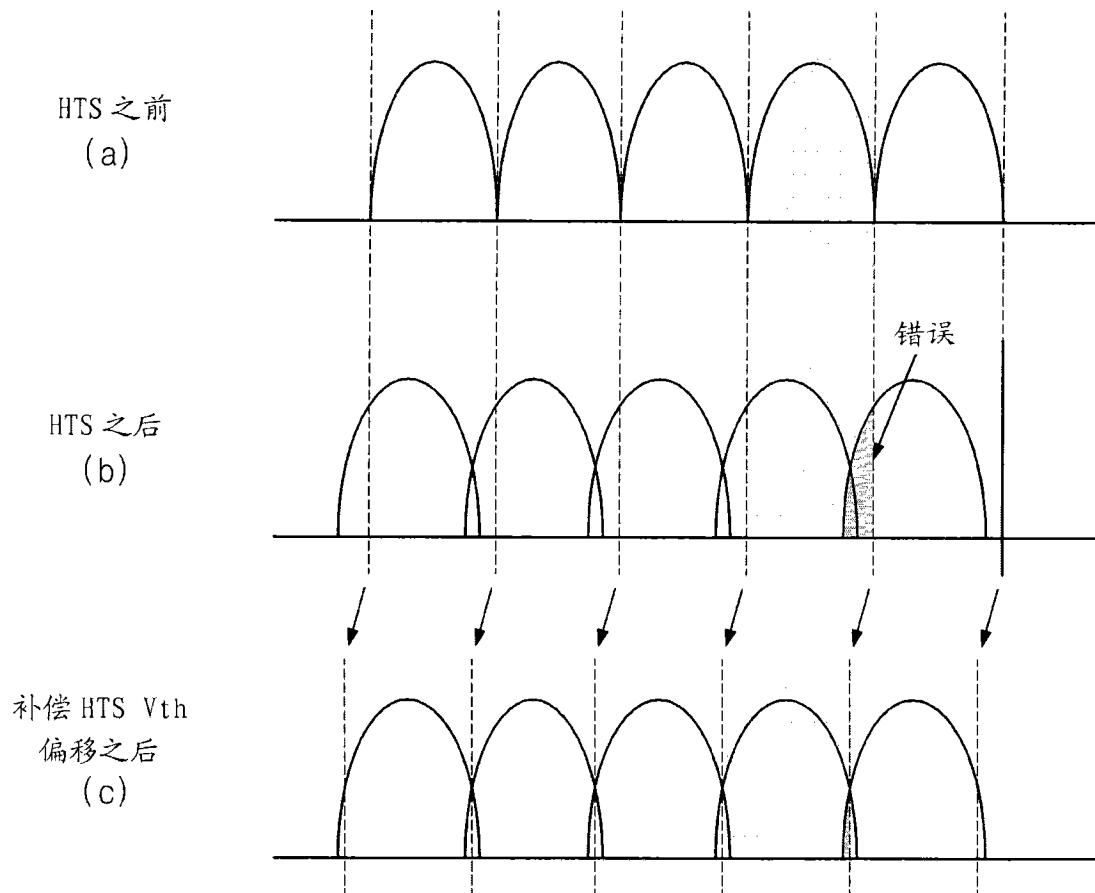


图 10

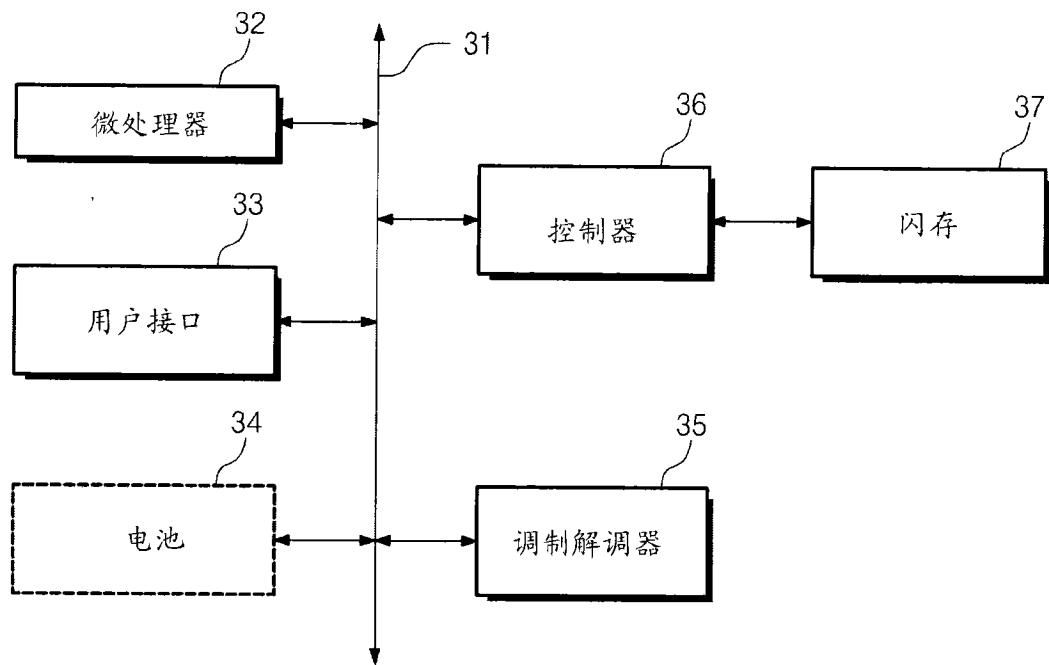
2

图 11