

Foreliggende oppfinnelse angår databehandlingssystem innbefattende en systembuss av den art som angitt i innledningen til krav 1.

5 US-patent nr. 4.030.075 beskriver et databehandlingssystem ved hvilke et antall delsystemer er koplet sammen med en systembuss. Delsystemene kommuniserer med hverandre ved å sende kommandoer ut på systembussen. En kommando kan innbefatte et kanalnummer som identifiserer en mottagerenhet,
10 et kanalnummer som identifiserer et sendedelsystem og en funksjonskode som spesifiserer en operasjon som skal bli utført ved å motta delsystemet. Funksjonskoden kan kreve at det mottagende delsystemet genererer en reaksjonskommando. Denne reaksjonen eller den andre busshalvsykluskommandoen
15 innbefatter kanalnummeridentifiseringen av sendedelsystemet. Sendingen av delsystemet reagerer på dens kanalnummer og kvitterer for mottagelsen av den andre busshalvsykluskommandoen.

20 Et formål med oppfinnelsen er å tilveiebringe et forbedret databehandlingssystem.

Et annet formål med oppfinnelsen er å forbedre et databehandlingssystem hvor alle delsystemene er koplet sammen med en
25 systembuss.

Et ytterligere formål med oppfinnelsen er å tilveiebringe et databehandlingssystem med et mer allsidig kommandosystem for sending av kommandoer over systembussen.

30 Videre er det et formål med foreliggende oppfinnelse å tilveiebringe et databehandlingssystem hvor en master bevirker en slave til å utføre kommandoer på vegne av et andre delsystem til det bussorienterte systemet. Det skal i
35 denne sammenheng bemerkes at ovenfornevnte US-patent viser et bussorientert system med overføring av kommandoer fra et

master-delsystem til et slave-delsystem og utførelse av slike kommandoer av slaven på vegne av masteren.

5 Ovenfornevnte tilveiebringes ved hjelp av det innledningsvis nevnte databehandlingssystemet hvis karakteristiske trekk fremgår av krav 1. Ytterligere trekk ved oppfinnelsen fremgår av de øvrige uselvstendige kravene.

10 Et hovedlager, et sentralsystem (CSS) og en systemlederinnretning (SMF) er alle koplet sammen til en systembuss. SMF'en kan sende en lagerreferanse-lesekommando til hovedlageret og motta innholdene til lagerstedene spesifisert av kommandoen. Kommandoen innbefatter en adresse i hovedlageret og et kanalnummer for SMF. Dette gjør det mulig å innbefatte
15 i hovedlageret SMF-kanalnummer i den andre busshalvsykluskommandoen som sender data til SMF fra hovedlageret.

SMF kan imidlertid sende lagerreferanse-lesekommandoen som innbefatter kanalnummeret til en port i CSS'en som sende-
20 enheten. Hovedlageret vil sende den andre busshalvsykluskommandoen som inneholder adressedataordet til CSS'en. SMF'en innbefatter anordning for tilbakestilling av lesekommandoen når den mottar kvitteringssignalet fra hovedlageret som indikerer at kommandoen ble mottatt. Normal drift er for
25 sendeenheten å holde lesekommandologikken aktiv inntil den andre busshalvsykluskommandoen er mottatt av sendeenheten.

I det påfølgende skal foreliggende oppfinnelse beskrives nærmere med henvisning til tegningene, hvor:

- 30 Fig. 1 viser et blokkdiagram av databehandlings systemet.
- Fig. 2 viser et blokkdiagram av systemlederinnretningen.
- Fig. 3 viser et blokkdiagram av et systembussgrensesnitt.
35
- Fig. 4 viser et blokkdiagram av et sentralsystem.

Fig. 5A

til 5E viser formater for forskjellige kommandoer som er tilført en systembuss.

Fig. 6 viser et flytdiagram av fastvaren som laster styrelageret.

Fig. 7 viser et tidsdiagram av sentraldelsystemsignaler som styrer lastingen og verifiseringen av styrelagerlastingen.

Fig. 1 viser en fast koplet multiprosessordatabehandlingsenhet (DPU) 1 som innbefatter flere sentrale delsystemer (CSS) 3 til 5 koplet med et systembussgrensesnitt 2-10A og 2-10B henholdsvis, og flere hovedlagere 10 til 12, flere ytre styrere 14 til 16 og en systemlederinnretning (SMF) 20, alle koplet sammen med en systembuss 2 via deres respektive systembussgrensesnitt 2-10.

Flere av anordningene 1 18 er koplet med periferstyreren 1 14 og flere anordninger N 17 er koplet med den ytre styreren N 16. De ytre styrerne 14 til 16 kan innbefatte diskstyrere, båndstyrere, kommunikasjonsstyrere og enhetsopptegningsstyrere, som er koplet med deres respektive diskdrev, båndanordninger, kommunikasjonslinjer og enhetsopptegningsanordninger.

Organisasjonen av hver av CSS 3 til CSS 5 er de samme. CSS 3 innbefatter en sentral behandlingseenhet (CPU1A 4 og en CPU1B 6) som begge opererer uavhengig av hverandre med et hurtiglager 1 8 som er koplet til systembussen 2. CSS 5 innbefatter en CPUNA 24 og en CPUNB 26 som begge opererer uavhengig av hverandre med et hurtiglager N 28 som er koplet til systembussen 2. CPUNA 24 og CPUNB 26 får tilgang til hovedlageret 10 til hovedlageret 12 via hurtiglageret N 28. CSS 3 til CSS 5 opereres som fast koplet multiprosessor siden de utfører et felles operasjonssystem og deler et felles hovedlager.

Det skal bemerkes at CPU1A og CPU1B 6 er identifisert heretter som CPU 4 og CPU 6. Likeledes er CPUNA 24 og CPUNB 26 identifisert som CPU 24 og CPU 26. En port 0 og en port 1 kopler henholdsvis CPU 4 og CPU 6 med grensesnittet 2-10A og en port 2 og en port 3 kopler henholdsvis CPU 24 og CPU 26 med grensesnittet 2-10B.

SMF'en 20 sørger for sentralisert styring av DPU 1. Denne sentraliserte styringen innbefatter initialisering av det totale DPU 1-systemet, sentralisert styring av kvalitetslogikktest-QLT)-operasjonen, systemtidsentraliseringen, og tilveiebringelsen av strømforsyningstilførselen og kabinettemperaturalarmer til delsystemene koplet til systembussen 2. Et antall styresignaler er tilveiebragt mellom et strømforsyningssystem 22 og SMF 20 via et strømforsyningsstyregrensesnitt (PCI) 21. Styresignaler fra strømforsyningssystemet 22 indikerer til SMF'en 20 statusen for DPU 1 strømforsyningen. Styresignaler fra SMF 20 til strømforsyningssystemet 22 over PCI 21 spesifiserer foreskrevne spenningsmarginer ved hvilke strømforsyningssystemet 22 skulle opereres for å teste DPU'en 1. SMF'en 20 vil kjøre QLT-operasjonen ved foreskrevne spenningsmarginer for å isolere og identifisere de logiske marginalelementene.

En fremvisningskonsoll 34 tillater en operatør å kommunisere med DPU'en 1 via et fremvisningsterminalgrensesnitt (DTI) 29 til SMF'en 20. SMF'en 20 mottar informasjon fra fremvisningskonsollen 34 og tilfører denne til en systembuss 2 via et konsolladaptergrensesnitt (CAI) 31 og en konsolladapter 30. Informasjon fra DPU 1 mottas av fremvisningskonsollen 34 via systembussen 2, konsolladapteren 30, CAI 31, SMF 20 og DTI 29. Fremvisningskonsollen 34 kan typisk være en Honeywell VIP 7300-terminal med et manuelt tastatur og en katodestrålerør (CRT)-fremvisningsinnretning. CAI 31 og DTI 29 er typiske kommunikasjonsgrensesnitt av typen RS232 eller RS422.

SMF 20 understøtter en fjernvedlikeholdsmulighet. Et fjerntliggende konsoll 42 kan bli operert av en styrt fremvisningsterminal eller en ikke-betjent datamaskin. Fjernkonsollen 42 er forbundet med SMF 20 via et MODEM 38, en kommunikasjonslinje 40, et MODEM 36 og et fjerntliggende vedlikeholdsvalggrensesnitt(RMO) 37. MODEMENE 36 og 38 er typiske RIXON MODEMER, f.eks., et T113C MODEM som opprinnelig krever 300 baud, T103J MODEM som frembringer og svarer anrop ved 300 baud, et T212A MODEM som frembringer og svarer anrop ved 1200 baud.

Den fjerntliggende vedlikeholdsoperasjonen tillater det fjerntliggende stedet å løse software- og operasjonsfeil, og identifisere hardware-feil, og sende informasjon slik som software-lapper (patches) til sentral DPU 1-systemet og for å tilveiebringe reserveassistanse til en på-sete vedlikeholdsoperasjon.

SMF 20 vil gi tilgang til det fjerntliggende tilgangsstedet til DPU 1 gjennom SMF 20 for å tilveiebringe sentralisert styring kun dersom riktig passord er mottatt av SMF 20.

En hjelpegrensesnittanordning (ADI) 33, typisk et RS232C-grensesnitt, forbinder en hjelpeanordning 32 med SMF 20. Hjelpeanordningen 32 er typisk en skriver for logging av statusinformasjon eller for tilveiebringelse av utskrift av informasjonen fremvist på CRT'en til fremvisningskonsollen 34.

SMF 20 i løpet av DPU 1 oppstartingen vil initiere logiske kvalitetstester (QLT'er) for å sikre at alle delsystemene er koplet til systembussen og er utført korrekt. Dersom testene er ikke tilfredsstillende, signaliserer SMF 20 strømfor-syningssystemet via PCI 21 for å indikere tilstanden og også for å fremvise feil på fremvisningskonsollen 34, fjernkonsollen 42 og hjelpeanordningen 32.

Alle delsystemene ber om tilgang til systembussen 2 idet delsystemet med høyest prioritet får tilgang. På grunn av kravet om at SMF 20 skal reagere hurtig på visse samtidssystemtilstander, slik som strømforsyningsfeildetektering, er det nødvendig at SMF 20 gis den høyeste prioriteten med hensyn til tilgang til systembussen 2.

Fig. 2 viser et blokkdiagram over SMF 20 koplet til systembussen 2. Systembussen 2 er vist som systembuss (styre) 2-2, systembussen (data) 2-4 og systembussen (adresse) 2-6. Systembussgrensesnittet 2-10 opererer generelt som beskrevet i US-patent nr. 3 995 258. En mikroprosessor 20-2 styrer SMF 20/systembussen 2-grensesnittet via software-rutiner lagret i en mikroprozessors direktelager (RAM) 20-44. Mikroprosessoren 20-2 er en Zilog Z80 CPU beskrevet i "Zilog Gold Book 1983/1984 Components Data Book", volum 3, 10. utgave. Mikroprosessoren 20-2 er i seg selv styrt av software-varen lagret i en mikroprozessors programmerbare leselager (PROM) 20-38. Både RAM'en 20-44 og PROM'en 20-38 mottar adresse-signalet A0 til A15 fra mikroprosessoren 20-2 over en 16 bits mikroprosessoradressebuss 20-54 via en driver 20-24. Datasignalene D0 til D7 overføres mellom RAM 20-44 og mikroprosessoren 20-2 og fra PROM 20-38 via en 8-bits mikroprosessor databuss 20-56 og en sender/mottaker 20-26.

Når SMF 20 har tilgang til systembussen 2 kan trettito datasignaler BSDT 00-31 bli mottatt av mottakerene 20-68 og lagret i et inngangsdataregister 20-16 fra systemdatabussen 2-4. Under mikroprosessorens 20-2 styring blir data lest fra registeret 20-16 og lagret et sted i RAM 20-44, 8 biter om gangen via en multiplekser (MUX) 20-17, en databuss 20-52, en sender/mottaker 20-22, en sender/mottaker 20-26 og en databuss 20-56. Trettito adressesignaler BSAD A-H, 00-23 blir mottatt fra systemadressebussen 2-6 av mottakerene 20-70 og et inngangsadresseregister 20-36 og lagret et sted i RAM 20-44, 8 biter om gangen under mikroprosessorens 20-2 styring, og trettito styresignaler blir mottatt av systemstyrebussen

2-2 av mottakerene 20-64 og et inngangsstyreregister 20-12 og lagret i lagersteder i RAM 20-44, 8 biter om gangen på en lignende måte som datasignalene. Mikroprosessen 20-2 identifiserer inngangsregistrene 20-36, 20-16 og 20-12 som
5 lagersteder i RAM 20-44 og sender den egnede adressen til RAM 20-44 via driveren 20-24 og adressebussen 20-54.

Mikroprosessen 20-2 initierer lastingen av datasignaler BSDT00-31 inn i et 32 biters utgangsdataregister 20-14 ved
10 adressering korresponderende lagersteder i RAM 20-44 og utlesning av data, 8 biter om gangen. En 32 bits utgangs-adresseteller 20-34 lastes med adressesignaler BSAD00-31 av mikroprosessen 20-2 som adresserer korresponderende lagersteder i RAM 20-44 og leser ut adressesignaler, 8
15 biter om gangen. Et 32 bits utgangsstyreregister 20-10 er lastet med busstyreinformasjon av mikroprosessen 20-2 som adresserer korresponderende lagersteder i RAM 20-44 og leser ut styreinformasjon, 8 biter om gangen.

20 En opptart og QLT ROM 20-39 lagrer testmønstre og software-testrutiner som er skrevet i hovedlageret 10 til 12. CSS 3 til 5 gir tilgang til disse testmønstrene og software-testrutinene for å verifisere at CSS 3 til 5 er operativ. ROM 20-39 blir lastet direkte inn i utgangsdataregisteret 20-14
25 under mikroprosessor 20-2-styring. Når SMF 20 ber om og får tilgang til systembussen 2 blir informasjon lagret i utgangsdataregisteret 20-14, utgangsstyreregisteret 20-10 og utgangsadressetelleren 20-34 overført til systembussen 2 ved hjelp av driverne 20-66, 20-62 og 20-72 som klargjøres ved
30 hjelp av en my datacyklus nå-signal MYDCNN.

Systemtidsmålere 20-32 tilveiebringer sentralisert tids-styring av alle delsystemene og innbefatter en sanntids-klokke, en vakthundklokke og en tidsklokke og en antall tids-
35 avbruddsklokke.

Sanntidsklokken blir lastet av en kommando fra enhver av CPU 4 til CPU 26 til CSS 3 til 5 med en verdi lik forskjellen mellom løpende tid og oppstarttiden for prosessen ved toppen av sanntidskøen. Når løpende tid er lik oppstarttiden blir et
5 sanntidsklokkeavbruddsignal generert. Dette signalet bevirker at SMF 20 genererer en kommando for å avbryte CPU'en som lastet tidsleseklokken for å alarmere operasjonssystemet om start av prosessen ved toppen av køen og for å laste på nytt sanntidsklokken for neste prosess. Den maksimale tiden er
10 tilnærmet 8,4 sekunder.

Vakthundklokken anvendes for å beskytte DPU 1 mot visse software-feilfunksjoner som er manifestert av en prosess som kjører "for lang". En kommando fra enhver CPU 4 til CPU 26
15 laster dekrementerende vakthund-tidsklokke med en forutbestemt tid. Dersom vakthundtidsklokken ikke blir lastet på nytt før den dekrementeres til null, blir et avbruddsignal generert som bevirker at SMF 20 genererer en kommando til CPU 4 til CPU 26 for å alarmere operasjonssystemet at en prosess
20 har blitt hengende i en uendelighetssløyfe. Maksimal tidsvarighet er tilnærmet 8,95 minutter.

Tidsuret lastes fra en batteridrevet reservesanntidskalender og blir inkrementert en gang hvert mikrosekund. Sanntidskalenderen lagrer i 12 binærkodete desimalsiffrer, løpende år,
25 løpende måned, løpende dato, time, minutt og sekund.

SMF 20 kan operere som en master eller en slave på systembuss 2 operasjoner. SMF 20 virker som en master når den initierer
30 og sender kommando til de andre delsystemene koplet til systembussen 2. Som en master initierer SMF generelle kommandoer på systembussen 2 til ethvert delsystem og initierer spesielle kommandoer til CPU 4 til CPU 26.

35 SMF 20 virker som en slave når den mottar en ikke-påkalt kommando fra enhver CPU 4 til CPU 26, og også når den mottar

en uventet reaksjon på noen av de andre delsystemene koplet til systembussen 2.

SMF virker som både en master og en slave i løpet av en systembuss 2 sin rundtom testoperasjon hvor SMF 20 sender data ut på systembussen 2 som en master og mottar samme data fra systembussen 2 som en slave. Med henvisning til fig. 2 blir i løpet av rundtom testoperasjonen 32 biter med data lastet inn i utgangsdataregisteret 20-14 fra RAM 20-44. SMF 20 starter en ikke-lagret anmodning om systembussen 2 til segt selv. SMF 20 vil gjenkjenne denne anmodningen og forbinde systembussen 2 med overføring av innholdene i utgangsdataregisteret 20-14 til inngangsdataregisteret 20-16 via driverne 20-66, systemdatabussen 2-4 og mottagerene 20-68. En komparator 20-20 kontrollerer at innholdene til de to registerene 20-14 og 20-16 er like for riktig drift.

SMF 20 genererer kommandoer til de andre delsystemene koplet med systembussen 2 som standardkommandoer med busstyresignalet BSYELO lavt. SMF 20 genererer spesielle kommandoer til CPU1A 4 til CPUNB 26 med busstyresignalet BSYELO høyt og styresignalet BSMREF lavt, som indikerer at adressesignalene representerer en CPU kanaladresse og en funksjonskode og ikke en lageradresse 10 til 12.

Systembussanmodningen og reaksjonsstyringen 20-18 innbefatter tre tidsavbruddskretser. Dersom SMF 20 som master anmoder om tilgang til bussen 20 og tre mikrosekunder passerer uten reaksjon fra det anmodede delsystemet, slaven, så blir systembusscyklusen avsluttet.

Dersom en av de andre delsystemene, som master, ber om tilgang til systembussen 2 og der er ikke noen reaksjon fra slaven innen 5 mikrosekunder, så blir systembusscyklusen avsluttet.

Dersom en SMF 20 lesecyklus startes og en ventet systembussreaksjonsyklus (andre halvbusscyklus) ikke er mottatt i løpet av et millisekund, så blir systembussoperasjonen avsluttet.

5

Når SMF 20 reagerer på en systembussanmodning som en slave genererer SMF 20 enten bussignaler BSACKR for å kvittere for anmodningen eller BSNACKR for å avvise anmodningen.

10

Fremvisningskonsollen 34 er koplet med en kommunikasjonsstyrer 20-8 via DTI grensesnittet 29. Kommunikasjonsstyreren 20-8 er koplet med systembussen 2 via grensesnittet CAI 31 og styrekonsolladapteren 30. Denne anordningen tillater SMF 20 å styre kommunikasjonen mellom konsollen og DPU 1 systemet.

15

SMF 20 styrer det fjerntliggende vedlikeholdet via grensesnittet RMO 37 koplet med en kommunikasjonsstyrer 20-6. Kommunikasjonsstyreren 20-6 styrer også hjelpeanordningen 32 via ADI 33 grensesnittet. Kommunikasjonsstyrerene 20-6 og 20-8 styres av adressesignaler A14 og A15 fra mikroprosessen 20-2, driveren 20-24 og adressebussen 20-60. Signalet A14 velger kanal A eller kanal B. Signalet A15 virker enten at datainformasjon eller styreinformasjon anbringes på databussens 20-58 linjer. Data eller styreinformasjon blir overført mellom mikroprosessen 20-2 og kommunikasjonsstyreren 20-6 og 20-8 og databussen 20-58.

20

25

En operatør skrivbar E² PROM 20-46 lagrer informasjon som innbefatter passord for å forhindre ikke autorisert tilgang via det fjerntliggende vedlikeholdsgrensesnittet, identifiserer anordningen som lagrer oppstart-softwaren og også hovedlageret 10 til 12, lagersteder i hvilke oppstart-softwaren er skrevet for utførelsen, styrebiter for å indikere forskjellige QLT testfunksjoner som skal bli utført av DPU 1 systemet og identifiserer hvilken periferanordning som lagrer softwaren for å styre CSS 3 til 5 og hovedlageret

30

35

10 til 12 sine lagersteder i hvilke denne softwaren er skrevet.

Et modusregister 20-30 er koplet med databussen 20-52 og utfører følgende funksjoner:

1. definerer SMF 20 diagnosestyringen av systembussens prioritetsbiter,
2. styring av opp/ned-tellingene av utgangsadresse-telleren 20-34,
3. klargjøring av komparatoren 20-20 for å utføre datasystembussens sammenligninger,
4. styreren SMF 20 reagerer på CSS 3 til 5 kommandoer, og
5. styrer spesielt systembussens 2 operasjoner i løpet av QLT og strømforsyningsinitialiseringen.

Modusregisteret 20-30 er skrevet inn og lest av mikro-prosessoren 20-2 via sender/mottaker 20-22 og databussen 20-52.

Modusregisteret 20-30 klargjøres av signalet ENBLIX hvis boolske ligning er:

$$\overline{A8}.\overline{A9}.\overline{A10}.A11.A0.A1.A2.\overline{A3}.\overline{A4}.\overline{M1}.\overline{MREQ}.$$

Modusregisterets 20-30 klokkesignaler CFMDB0-2 genereres av det boolske uttrykket:

$$\overline{ENBLIX} . \overline{A12} . WR . \overline{A13} . (A14.A15).$$

(For CKMDB0, $\overline{A14}.\overline{A15}$, for CKMDB1, $A15.A14$, og for CKMDB2, $A14.\overline{A15}$.)

Strømforsyningssystemets 22 grensesnitt PCI 21 signaler 5 mottas av SMF 20. Disse signalene indikerer et antall tilstander.

Et strømforsynings PÅ/feilsignal SYSPWN indikerer for SMF 20 at vekselstrøminngangsspenningen og de logiske utgangs-

spenningene er innenfor kravene. SMF 20 starter så DPU 1 systeminitialiseringsoperasjonene. Dersom vekselstrømforsyningen fjernes blir strømforsyningen PÅ/feilsignalet SYSPWN lavt. Den logiske utgangsspenningen vil imidlertid
5 forbli innenfor kravene for tre millisekunder, som gir DPU 1 systemet tid til å kjøre ned på ordinær måte for å unngå tap av data.

Et strømforsyningsstatussignal PWRYLO indikerer at all
10 strømforsyning tilsvarer kravene. Strømforsyningsstatussignalet blir lavt, som indikerer en ikke-operativ strømforsyning.

Strømforsyningen 22 kan innbefatte reservebatteristrømforsyning for å holde data i hovedlageret 10 til 12 gyldig
15 hele tiden. Et lagergyldig signal BBUATV, dersom lavt, indikerer at på tross av batterireservestrømforsyning ble lagerspenningen lav, og informasjonen i hovedlageret 10 til 12 kan være ugyldig og lageromlastning blir startet.

20 Et tastlåssignal fra en bryter på strømforsyningssystemets 22 styrepanel starter et panellåst signal for å styre operatørens funksjonsmessige tilgang til DPU 1 systemet.

25 Signalene mottatt av SMF 20 fra PCI 21 sitt grensesnitt tilføres en multiplekser 20-28. Mikroprosessen 20-2 mottar signalene via databussen 20-2 og senderen/mottakeren 20-22 for å foreta egnet tiltak.

30 SMF 20 sender et strømforsyning-PÅ-signal BSPWON ut på systembussen 2 for å indikere for alle delsystemene koplet til systembussen 2 at strømforsyningen er innenfor de gitte krav. Signalene BSPWON som går av gir alle delsystemene tre millisekunder for å rydde opp.

35 Også strømforsyningen på/feilsignal SYSPWN som går høyt i løpet av strømforsyningen-På tvinger et mastersluttsignal

BSMCLR over systembussen 2 via en driver 20-63 til å tilbakestille alle hensiktsmessige logiske funksjoner.

5 SMF 20 sender et antall signaler til strømforsyningssystemet 22 over PCI 21 grensesnittet. Et høyspenningsutgangsmargin-styresignal HIMARG og et utgangsmargin-styresignal av lav spenning LOMARG genereres av mikroprosessen 20-2 i løpet av testoperasjonen for å variere utgangsmarginene på alle strømforsyningsdelsystemene med $\pm 2\%$.

10 Et systembussignal BSQLTI indikerer at alle andre delsystemer koplet til systembussen 2 er tilkoplet riktig, tilkoplet strømforsyningen og har fullført alle testprogrammene QLT'er på en tilfredsstillende måte. QLT-logikken 90 mottar 15 bussignalet BSQLTI og et datasignal for databussen 20-52 som indikerer at SMF 20 utfører sin QLT på riktig måte og genererer signalet BSQLTA som blir sendt til strømforsyningssystemet 22 og grensesnittet 21, og som indikerer at DPU 1 systemet er fullstendig kontrollert. Signalet BSQLTA 20 er sant alltid når enhver enhet kjører sin QLT eller når noen QLT feiler. BSQLTA er feil alltid når QLT-testen er tilfredsstillende.

25 SMF 20 innbefatter en temperaturavfølingsanordning 20-40 for å overvåke DPU 1 systemets kabinetttemperatur og genererer et signal TMPYLO for høy temperatur dersom kabinetttemperaturen er over maksimumstemperaturen på 38°C. Dersom kabinetttemperaturen blir unormalt høy vil en termisk sensor (ikke vist) åpne, og som slår av strømforsyningen. Dette bevirker 30 at strømforsynings-på/feilsignalet SYSPWN genererer systembussignalet BSPWON for å indikere for alle delsystemene på systembussen 2 at det skal gå til deres respektive strømforsyninger nedre sekvens.

35 Signalet TMPYLO for høy temperatur tilføres MUX 20-28 for å gjøre den tilgjengelig for mikroprosessen 20-2.

Signalene fra kommunikasjonsstyrerene 20-6 og 20-8 blir også tilført MUX 20-28 for å tillate mikroprosessen 20-2 å sample linjene for sending av data og også for å detektere når mottakeranordningen er klar for å motta data.

5

MUX 20-28 klargjøres av signalet ENBMUX som genereres av følgende boolske uttrykk:

10

$$\text{ENBMUX} = \overline{A8} \cdot A9 \cdot \overline{A10} \cdot \overline{A11} \cdot \overline{\text{ENMBOR}} \cdot \overline{MI} \cdot \overline{MREQ}$$

hvor

$$\overline{\text{ENMBOR}} = A0 \cdot A1 \cdot A2 \cdot \overline{A3} \cdot \overline{A4}.$$

15

Signalet MREQ genereres av mikroprosessen 20-2 for å indikere adressebussen 20-54 ikke inneholder en RAM 20-44 adresse. Signalet MI genereres av mikroprosessen 20-2 for å indikere at dette ikke er en op kodehenteoperasjon.

20

Adressebussen 20-54 signaliserer A14 og A15 til å velge hver av de fire MUX 20-28 utgangssignalene.

25

SMF 20 sine utgangsregistre, utgangsdataregisteret 20-14, utgangsstyreregisteret 20-10 og utgangsadressetelleren 20-34 er koplet til systembussen 2 (2-4, 2-2, 2-6) via inverterende drivere 20-66, 20-62 og 20-72 henholdsvis.

30

Data blir ført til disse utgangsregistrene med en byte om gangen fra databussen 20-52. Disse utgangsregistrene blir adressert av mikroprosessen 20-2 som RAM 20-44 lagersteder. Utgangsdatagisteret 20-14 kan også bli lastet på breidsiden fra systemtidsklokken 20-32 eller oppstart og QLT ROM 20-39. Et utgangsadresseregister 20-41 lastes også med suksessive adresser av mikroprosessen 20-2 for en blokkoverføring med data til hovedlageret 10 til 12.

35

Signaler for å laste utgangsregistrene genereres ved å dekode egnede adresselinjer og kombinere dem med styresignalet fra

mikroprosessen 20-2. Logikken som viser generering og kontroll av paritet er ikke innbefattet i beskrivelsen siden den ikke angår oppfinnelsen, men det skulle være klart for enhver fagmann på området at pariteten kontrolleres etter
 5 hver byte overføring.

Utgangsdataregisteret 20-14, som ikke innbefatter paritet, er fremstilt av typiske åtte 74LS298 multipleksregistre med "null"-inngangen koplet med databussen 20-52 og "en"-
 10 inngangen koplet med oppstart og QLT ROM 20-39 utgangen. Registeret 20-14 er lastet av logikken i adressedekoderene 20-4 som angitt ved hjelp av følgende boolske uttrykk:

Et klargjøringssignal ENBLOX =

$$15 \quad \overline{MI} \cdot MREQ \cdot A0 \cdot A1 \cdot \overline{A2} \cdot \overline{A3} \cdot \overline{A4} \cdot \overline{A8} \cdot \overline{A9} \cdot \overline{A10} \cdot \overline{A11}$$

Det skal bemerkes at alle de boolske uttrykkene i beskrivelsen representerer de logiske adressedekoderene 20-4. Inngangssignalene til adressekoderene er adressesignaler A0
 20 til A15 og til mikroprosessen 20-2 er signalene MI, MREQ, IORQ, WR og RD. Adressedekoderene 20-4 genererer logiske styresignaler som styrer SMF 20 sine logiske elementer.

Multiplekserregisterene 20-24 lastes to om gangen (en byte om
 25 gangen) siden hvert multiplekserregister lagrer 4 biter med klokkesignalene CKDTB0, CKDTB1, CKDTB2 og CKDTB3.

CKDTB0 = ENBLOX A12 $\overline{A13}$ $\overline{A14}$ $\overline{A15}$

CKDTB1 = ENBLOX A12 $\overline{A13}$ $\overline{A14}$ A15

CKDTB2 = ENBLOX A12 $\overline{A13}$ A14 $\overline{A15}$

CKDTB3 = ENBLOX A12 $\overline{A13}$ A14 A15

Signalet BPTDOT velger utgangen til ROM 20-39 eller utgangen til systemtidsurene 20-32. De boolske uttrykkene for BPTDOT er:

$(A8 \cdot A9 \cdot A10 \cdot A11 \cdot A12 \cdot A13 \cdot \text{IORQ} \cdot \overline{MI} + \text{TODRWST})$

Mikroprosessorens 20-2 signaler indikerer følgende. $\overline{MI}$ sammen med MREQ indikerer at der er ikke en op kodehenteoperasjon. MREQ indikerer at adressebussen ikke holder en gyldig adresse for en lagerlese- eller skriveoperasjon.

$\overline{RD}$ indikerer at mikroprosessen 20-2 ønsker å lese data fra lageret eller en I/O-anordning. $\overline{WR}$ indikerer at mikroprosessorens 20-2 databuss holder gyldig data for lagring ved adresselagerstedene eller I/O-lagerstedene.

$\text{IORQ} \cdot \overline{MI}$ indikerer at der ikke er tilstede en inngangs/-utgangsanordningsadresse eller en op kodehentecyklus for mikroprosessen 20-2. Signalet TODRWT indikerer et systemtidsur 20-32 tid for dagsoverføring av systembussen 2 via utgangsdataregisteret 20-14.

For breddsidet lasting av utgangsdataregisteret 20-14 indikerer et signal MYDTCK fra systemtidsuret 20-32 som indikerer et tidspunkt for overføring eller et mikroprosessor 20-2-generert signal BP2MDT som genererer klokkesignalet CKDTB0 til CKDTB3 parallelt.

Det boolske uttrykket for signalet BP2MDT er:

$(A8 \cdot A9 \cdot A10 \cdot A11 \cdot A12 \cdot A12 \cdot A13 \cdot \overline{MI})$

Utgangsstyreregisteret 20-10 er fremstilt av typiske to 74LS273 registre, et 74LS174 register og et 74LS374 register, alle koplet til 8 bit databussen 20-52. Styresignalene er klokke i registerene ved hjelp av signalene CKCMB0 til CKCMB3 henholdsvis. De boolske uttrykkene er:

$$\text{CKCMB0} = \text{ENBLOX } \overline{A12} \cdot \overline{A13} \cdot \overline{A14} \cdot \overline{A15}$$

$$\text{CKCMB1} = \text{ENBLOX } \overline{A12} \cdot \overline{A13} \cdot \overline{A14} \cdot A15$$

$$\text{CKCMB2} = \text{ENBLOX } \overline{A12} \cdot \overline{A13} \cdot A14 \cdot \overline{A15}$$

$$\text{CKCMB3} = \text{ENBLOX } \overline{A12} \cdot \overline{A13} \cdot A14 \cdot A15$$

Et signal TDSHBD sperrer utgangen til 74LS374 registeret klokke av signalet CKCMB0 i løpet av en tidspunkt-klokkeoverføring. Systemtilbakestillingssignalet CLRFLP tilbakestiller øvrige tre registre.

74LS374 registeret lagrer åtte kommandosignaler vist på fig. 5A-5E. De er signalene BSYELO, BSBYTE, BSDBPL, BSDBWD, BSSHBC, BSLOCK, BSWRIT og BSMREF. I løpet av tiden hvor det ikke er noen tidsmessig overføring blir disse bussignalene tilført direkte til driveren 20-62.

Utgangsadressetelleren 20-34 innbefatter fire 74AS869 tellere beskrevet i "Texas Instruments ALS/AS Logic Circuits Data Book 1983 (Advanced Low-Power Schottky/Advanced Schottley). Tellerene har fire operasjonsmodier: slett, dekrement, last og inkrement. En lastetellers operasjon er startet av signalet MYADUP tilført de fire tellerene over signalene CKADB0 til CKADB3 tilført respektive tellere. De boolske uttrykkene er:

CKADB0 = ENBLOX $\overline{A12}$. A13 . $\overline{A14}$. $\overline{A15}$

CKADB1 = ENBLOX $\overline{A12}$. A13 . $\overline{A14}$. A15

CKADB2 = ENBLOX $\overline{A12}$. A13 . A14 . $\overline{A15}$

CKADB3 = ENBLOX $\overline{A12}$. A13 . A14 . A15

Signalet MYADUP er lagret i modusregisteret 20-30 av mikroprosessen 20-2 for å indikere en laste- eller inkrementoperasjonsmodus. I løpet av en start- og QLT-operasjon vil tellerene bli lastet til å begynne med med en byte om gangen og så inkrementert i sekvens med adresseregisteret 20-41 som leser ut data fra ROM 20-39 for overføring til utgangsdataregisteret 20-14.

Et klokkesignal MYADCK tilføres en klokkeinnangsterminal for hver teller 20-34 for å takte telleren. Signalet MYADCK genereres av et forsinket kvitteringssignal BSACKR.

Inngangsdataregisteret 20-16 er dannet av fire 74S374 registre. Inngangsadresseregisteret 20-36 er dannet av fire 74LS374 registre og inngangsstyreregisteret 20-12 er dannet av to 74LS374 registre, et 74LS374 register og et 74AS823 register. 74AS823 registeret mottar åtte bussignaler BSYELO, BSBYTE, BSDBPL, BSDBWD, BSSHBC, BSLOCK, BSWRIT og BSMREF som styrer en SMF 20 sine kommandoer satt ut på systembussen 2.

Alle ovenfornevnte inngangsregistre 20-16, 20-36 og 20-12 er lastet under styring av et klokkesignal MBIPCK som er generert under tre tilstander:

1. Systembussanmodning og reaksjonsstyring 20-18 virker som en slave og mottar et kvitteringskommandosignal BSACKR eller et andre halvbusscyklus-kommandosignal BSSHBC fra systembussen 2.
2. Reaksjonsstyreren 20-18 detekterer et 3 mikrosekunders tidsavbrudd i løpet av en rundhopp-test.
3. SMF 20 kvitterer seg selv i løpet av en testmodus.

De trettito utgangsdatasignalene fra inngangsdataregisteret 20-16 tilføres komparatoren 20-20 i løpet av rundhopp-testmodusen. Datasignalene blir også tilført en MUX 20-17 for overføring til databussen 20-52 en byte om gangen under mikroprosessorens 20-2 styring. Utgangene til MUX 20-17 klargjøres av signalet ENBL2X, hvis boolske uttrykk er:

$$A_0 \cdot A_1 \cdot \overline{A_2} \cdot \overline{A_3} \cdot \overline{A_4} \cdot \overline{A_8} \cdot \overline{A_9} \cdot A_{10} \cdot \overline{A_{11}} \cdot \overline{M_I} \cdot MREQ$$

MUX 20-17 valget blir gjort av signalene REGSL0, REGSL1 og REGSL2. De boolske uttrykkene er:

$$REGSL0 = (ENBL2X (A_{12} \cdot A_{13} \cdot \overline{A_{14}} \cdot + A_{12} \cdot \overline{A_{13}} \cdot \overline{A_{15}} + A_{12} \cdot A_{14} \cdot \overline{A_{15}}) + \overline{ENBL2X} \cdot A_{15}) RD$$

$$REGSL1 = (ENBL2X (A_{12} \cdot \overline{A_{13}} \cdot A_{14} + A_{12} \cdot A_{13}) + \overline{ENBL2X} \cdot A_{14}) RD$$

$$REGSL2 = (ENBL2X (\overline{A_{12}} + A_{12} \cdot A_{13}) + \overline{ENBL2X} \cdot A_{13}) RD$$

De fire registerene som utgjør inngangsadresseregisteret 20-36 har sine utgangssignaler tilført databussen 20-52 under styring av signalene RDD024, RDD025, RDD026 og RDD027 henholdsvis. De fire registerene utgjør inngangsstyregisteret 20-12 med deres utgangssignaler tilført databussen 20-52 under styring av henholdsvis signalene RDD020, RDD021, RDD022 og RDD023 henholdsvis. Signalet MBIPCK klokkes adressesignalene inn i registeret 20-36.

Det boolske uttrykket for RDD02X hvor X varierer fra 0 til 7 er:

$$ENBL2X \cdot RD \cdot A_{12} \cdot A_{13} \cdot A_{14} \cdot A_{15} \text{ hvor binær } A_{13} \cdot A_{14} \cdot A_{15} = X$$

Mikroprosessoren 20-2 lagrer adressebyter, databyter og kommandobyter mottatt på databussen 20-52 i forutbestemte lagersteder RAM 20-44 for senere bruk under software-styring.

- 5 Følgende styresignaler blir anvendt som en del av kommandoene sendt over og mottatt fra systembussen 2 av SMF 20:

BSYELO (gul)

- 10 Dette signalet, når sant i løpet av en andre halvbusscyklus, indikerer at medfølgende overførte informasjon har blitt korrigert. Det har således forekommet en midlertidig feil og det betyr at muligens skulle vedlikehold foretas før feilen blir permanent. Dette signalet blir anvendt av hovedlageret 10 til 12 ved en lesereaksjon for å indikere en feil som har
15 blitt funnet og korrigert.

- Dette signalet når sant i løpet av lagerleseanmodning kvalifiserer leseanmodningen. Reaksjonen på BSYELO sant i løpet av en leseanmodning avhenger av lageret og adressene
20 som er involvert.

- Når sann i løpet av en SMF 20 kommando til CSS 3 til 5 identifiserer BSYELO SMF 20 kommandoen som frembringer BSMREF feil som indikerer at adresseføringen inneholder en kanal-
25 adresse og en funksjonskode.

BSBYTE (Byte)

- Dette signalet indikerer når sant at løpende overføring er en byteoverføring istedenfor en ordoverføring.

30

BSDBWD (Dobbeltord)

- Dette signalet og SSDBPL anvendes i løpet av leseanmodningen for å indikere hvor mange ord med data, og i hvilken form er ventet fra hovedlageret 10 til 12. I løpet av lesereaksjons-
35 cyklusen (fra lageret til anmoder) indikerer BSDBWD om eller ikke ett eller to ord med data er på systembussen 2.

Ved skriveanmodningen blir signalet anvendt i kombinasjon med BSAD23, BSBYTE, og BSDBPL for å identifisere hvilken kombinasjon med byter ved en 32-bit operand skulle bli skrevet i lageret.

BSDBPL (Dobbelttrekk)

Dette signalet skulle bli anvendt i forbindelse med BSDBWD. I løpet av lesereaksjonscyklusen indikerer BSDBPL om reaksjonen er ikke den siste eller det siste anmodede dataelementet.

BSSHBC (Andre halvbusscyklus)

Dette signalet kan enten tjene til å identifisere den andre busscyklusen som en reaksjon på en leseanmodning eller som informasjon for å innstille eller tilbakestille låsingene i forbindelse med BSLOCK.

BSLOCK (Lås)

Dette signalet når sant indikerer at denne cyklusen er bragt til tilstanden for låse-flip-floppen i slaven, vanligvis hovedlageret 10 til 12, for å indikere at denne cyklusen vil enten teste og innstille eller tilbakestille låse-flip-floppen i forbindelse med BSSHBC for å synkronisere systemprosessene.

BSWRIT (Busskrive)

Dette signalet indikerer når sant at overføringen er fra master til slave. Når dette signalet er feil ledsagende en overføring anmoder masteren om informasjon fra slaven. Informasjonen, når den blir tilgjengelig, vil bli tilført som en separat overføring.

BSMREF (Lagerreferanse)

Dette signalet indikerer når sant at adresseledningen inneholder en lageradresse. Når feil indikerer dette signalet at adresseledningen inneholder et kanalnummer og en funksjonskode.

BSREDL (rødt venstre)

5 Dette signalet, når sant, indikerer at ledsagende overført informasjon er feil. Dette signalet er anvendt av lageret ved lesereaksjonen for å indikere en ikke-korrigerbar feil i det mest til venstre liggende returnerte ordet (dersom to ord er returnert parallelt) eller i et enkelt ord.

BSREDR (rød høyre)

10 Dette signalet, når sant, indikerer at ledsagende overført informasjon er beheftet med feil. Dette signalet blir anvendt av lageret ved lesereaksjonen for å indikere en ikke-korrigerbar feil i det lengst til høyre returnerte ordet (dersom to ord er returnert parallelt).

BSLKNC (Lås; Ingen lagercyklus)

15 Dette signalet har betydning kun i løpet av låste lagerleseanmodninger (BSLOCK sann). Når sann instruerer lageret til å sperre de aktuelle leseoperasjonsanmodningene mens samtidig tillater de andre operasjonene er forbundet med anmodninger om å fortsette. Reaksjonen på anmodningen, BSACKR
20 eller BSNACKR, vil være de samme om BSLKNC er sann eller feil, og innstillingen, slettingen og testingen av lese-flip-floppen i hovedlageret 10 til 12 vil bli utført. Cyklusføringen av lagermodulen vil bli sperret, ingen andre halvbusscykluser
25 vil forekomme, og lageret vil ikke bli opptatt.

BSRINT (Resymeavbrudd)

30 Dette signalet er vanligvis sendt ut av CSS 3 til 5 (det kan i noen tilfeller bli sendt ut av SMF-20) når det er, igjen, i en tilstand for å motta avbrudd. Etter å ha blitt gitt negativt kvitteringstegn på en eller flere tidligere avbruddsanmodninger blir avbruddet (S) "stakkeført" i de perifere styrerene 14 til 16. Ved detekteringen av en sann overgang av BSRINT vil disse styrerene igjen forsøke å sende
35 avbruddet til CSS 3 til 5 (som kan resultere i en annen NACK-reaksjon).

Det skal bemerkes at dette signalet blir behandlet av mottakerstyrerene 14 til 16 som asynkrone, men en sender for BSRINT må bli synkronisert med en systembusscyklus for å forhindre mer enn en driverkilde fra å bli aktivert på systembussen 2 om gangen i et multiprosessorsystem.

BSRINT må være gyldig i minimum 100 nanosekunder og kan ha uregelmessig systemoppførsel fra uskarpe endekantoverganger for BSRINT.

BSPWON (Busstrømforsyning På)

Dette asynkrone signalet er normalt sant når all strømforsyningstilførsel er innenfor reguleringen og den interne kabinettemperaturen er innenfor akseptable operasjonsgrenser. Signalet blir feil når et system (dvs. strømforsyningsstyringsfeil, overbelastning, "Rødt nivå", overtemperatur etc.) feil forekommer.

Signalet BSPWON er normalt generert av SMF 20 via informasjon tilveiebragt av strømforsyningssystemet 22, men kan i noen tilfeller bli drevet av visse kommunikasjonsstyrere 20-6 og 20-8 for å simulere en systemgjenvinning fra en "opp-linjevert". I løpet av en strømforsyning-På-overgang indikerer en positiv gående kant av BSPWON at systemstrømforsyningen har blitt slått på og blir stabil og en systeminitialisering kan finne sted. Påfølgende initialiseringen indikerer en stabil strømforsyning På-tilstand et stabilt sett med systemoperasjonstilstander. Ved avføling av en feil eller strømforsyning AV-tilstand vil BSPWON overga til AV og alle perifere styrere 14 til 16 må øke all trafikk på bussen og utføre en selvinitialisering for å klargjøre CSS 3 til 5 for å lagre systemtilstanden og gjenvinne informasjon i hovedlageret 10 til 12 (lageret må være ikke-flyktig for tilstandene starting på nytt). En feilgående overgang for BSPWON må forutgå det aktuelle tapet i likestrømsreguleringen ved et minimum på 3,0 millisekunder og lagerstyrerene må gå inn i en beskyttet tilstand (ingen busscykluser akseptert)

ved 2,5 til 3,0 millisekunder etter at en feil er avfølt, for å ta vare på systemtilstandsinformasjonen.

BSACKR (ACK)

5 Slaven signaliserer til masteren at den aksepterer denne overføringen ved å gjøre signalet sant.

BSNAKR (NAK)

10 Slaven signaliserer til masteren at den avslår denne overføringen ved å gjøre dette signalet sant.

BSWAIT (WAIT)

15 Slaven signaliserer til masteren at den midlertidig avviser overføringen ved å gjøre signalet sant.

BSDCNN (Datacyklusen nå)

20 Når sant indikerer dette signalet at en bestemt master utfører en systembussoverføring og har anbragt informasjon på systembussen 2 ved en bestemt slave. Når feil, er systembussen i ro eller mellom busscyklusene.

BSMCLR (Bussmastersletting)

25 Dette asynkrone signalet er normalt feil og blir sant når en systemtilstand er detektert som krever systemoperasjonen til å bli fullstendig avbrutt og en "hold"-, "gjenstart"- eller "gjenoppstart"-operasjon skal bli utført av SMF 20. Kilden for masterslettingen er normalt utledet fra strømforsyning-På-sekvensen og styrepanelslettetrykknappen (begge opprinnelig SMF 20), men kan komme fra visse kommunikasjonsstyrere som har muligheten til å utføre en nedlinjelasting fra en tilknyttet vert.

35 Når BSMCLR er sann vil alle enhetene på systembussen 2 initialiseres. Enhetene er dessuten i stand til å gjøre dette mens de kjører deres QLT'er. Tilfredsstillende fullføring av QLT'ene blir indikert når SMF 20 mottar BSQLTA signalet.

BSRESQ (Reaksjonskvalifiserer)

Dette signalet vil bli drevet i forbindelse med BSACKR for å indikere til den anmodende bussmasteren at slaven gjenkjenner anmodningen om funksjonalitet og reagerer tilsvarende. Tre typer anmodninger kan velge denne kvalifiserte reaksjonen:

- leser anmodninger som kan resultere i en to-ords, andre-halvbusscyklus (angitt med BSDBDW--sann),
- skriveanmodning som forsøker å skrive datasignaler BSDT16 til BSDT31 (indikert med BSDBDW--sann), og
- leser anmodninger som forsøker å låse eller låse opp et lager uten å cyklusføre det (indikert med BSLKNC-sann).

Systembussanmodning og reaksjonsstyreløgg 20-18 innbefatter masterstyreløgg for å gi styring av systembussen 2 for SMF 20 og for å sende SMF 20 kommandoen eller reaksjonen til en kommando over systembussen 2 til slaveenheten.

Siden SMF 20 opptar den høyeste prioritetsposisjonen på systembussen 2 vil SMF 20, når den ber om tilgang til systembussen 2, få denne innvilget neste cyklus så snart som foreliggende busscyklus er fullført. Logikken 20-18 vil generere signalet MYDCNN som blir tilført driverene 20-66, 20-62 og 20-72 for å føre data, adresse og styreinformasjon på systembussen 2. Logikken 20-18 sender også busssignalet BSDCNN over systembussen 2 for å indikere til alle delsystemene at systembussen 2 er i bruk.

Logikken 20-18 venter nå på et antall reaksjoner for systembussen 2. De mulige reaksjonene er:

1. Ingen reaksjon er mottatt i 3µs.
2. Ventreaksjon er mottatt (BSWAIT).
3. En ikke-kvitteringsreaksjon er mottatt (BSNAKR).
4. En låse-ingen-cyklus (LKNC) er kvittert for (BSLKNC) (BSACKR).

5. En skriving (et ord skrives eller BSRESQ mottatt) er kvittert for (BSACKR).
6. En skriving (BSRESQ ikke mottatt og dobbeltord) er kvittert for (BSACKR):
- 5 7. En lesecyklus er kvittert for (BSACKR).

Logikken 20-18 vil avslutte denne systembusscyklusen og igjen anmode om tilgang til systembussen 2 dersom en BSWAIT eller BSNACKR reaksjon er mottatt eller dersom en BSACKR reaksjon
10 ble mottatt for å skrive en dobbeltord-anmodning.

Logikken 20-18 innbefatter slavestyrelogikk som er aktivert når en andre halvbusscyklus er ventet som reaksjon på en lesekommando sendt av SMF 20 til hovedlageret 10 til 12, CSS
15 3 til 5, eller periferstyrerene 14 til 16. Slavestyrelogikken er også aktivert når en busscyklus innbefatter SMF 20 kanalnummerheksadesimalen 0F. Den andre halvbusscyklusen er akseptert av SMF 20 dersom ingen feiltilstander er tilstede og en kvitteringsreaksjon BSACKR er sendt ut av systembussen
20 2 ved hjelp av SMF 20 til masteren.

Dersom en andre halvbusscyklus er akseptert så vil signaler fra modusregisterets styre inkrementeringen eller dekrementeringen av utgangsadressetelleren 20-34 avhengig av
25 antall dataord som blir overført som angitt av busstyresignalet BSDBWD.

SMF 20 vil akseptere en ikke-påkalt kommando dersom kanalnummeret er heksadesimalt 0F, der er ingen paritetsfeil, der
30 er ikke en andre halvbusscyklus (BSSHBC-feil, falsk), bussadressesignaler inneholder en funksjonskode og kanalnummer (BSMREF falsk) og funksjonskoden er legal for SMF 20. SMF 20 vil reagere over systembussen 2 med et kvitteringssignal BSACKR, et ikke-kvitteringssignal BSNACKR eller vil
35 ignorere kommandoen dersom dårlig paritet eller det finnes en illegal funksjonskode.

SMF 20 kan sende kommando for å lese et hovedlagers 10 til 12 lagersted og sende innholdene til det lagerstedet til et annet delsystem typisk CSS 3 eller CSS 5. I dette tilfellet vil den andre halvbusscyklusen ikke bli adressert til SMF 20.

5 Hovedlageret 10 til 12 vil sende kvitteringssignalet BSACKR ut på bussystemet 2 og sende den andre halvbusscykluskommandoen ut på systembussen 2 med kanalnummeret til det utpekte delsystemet. Siden SMF 20 ikke vil motta den andre halvbusscyklusen må den avslutte kommandoen.

10 Kvitteringssignalet BSACKR mottas av systembussslutten til cyklusstyreløggikken 20-19. Mikroprosessen 20-2 genererer adressesignaler som er dekodert av adressedekodere 20-4 for å generere signalet CKMD02. Også mikroprosessen 20-2

15 genererer datasignalet D00 over databussen 20-52. Signaler BSACKR, CKMD02, og D00 tilbakestiller SMF 20 cyklusen på signalet SMFCLY som tilfører systemtidsuret 20-32 for å tilbakestille tidsavbruddet for derved å avslutte kommandoen. I løpet av normal drift verifiserer tidsavbruddene at den

20 ventede andre halvbusscykluskommandoen er mottatt av SMF 20 innenfor en forutbestemt tid. Dersom kommandoen ikke er mottatt innenfor den forutbestemte tiden vil et andre tidsavbruddssignal bevirke at SMF 20 gjentar leselagerkommandoen.

25 ADI 33 grensesnittet kopler kommunikasjonsstyreren s 20-6 B-kanal til hjelpeanordningen 32. Dette er et standard EIA RS-232C grensesnitt av typen Z med en datahastighet på opptil 1200 baud. Grensesnittsignalene er et typisk sendedata, mottakerdata, data satt klar og anmodning om å sende.

30

CAI 31 grensesnittet kopler kommunikasjonsstyrerens 20-8 A-kanal til konsolladapteren 30. Dette grensesnittet kan være RS232C asynkrongrensesnittet på RS 422 asynkrongrensesnittet.

35 RS 232C grensesnittsignalene er sendedata, mottakerdata, slette for å sende og data satt klar. RS 422 grensesnittsignalet er sendedata, mottakerdata og datastrømstyring.

RMO 37 grensesnittet kopler kommunikasjonsstyrerens 20-6 A-kanal til fjernkonsollen 42.

5 RMO 37 grensesnittet koples med et typisk modem 36 som beskrevet med henvisning til fig. 1.

DTI 29 grensesnittet kopler kommunikasjonsstyrerens 20-8 B-kanal og tilpasser CAI 31 grensesnittet.

10

Kommunikasjonsstyreren 20-6 og 20-8 er styrere av typen Zilog Z80 SIO/O serie inngangs/utgangsstyrere beskrevet i tidligere nevnte "Zilog Gold Book".

15 Kommunikasjonsstyrerene 20-6 og 20-8 avbryter mikroprosessen 20-2 over en felles avbruddslinje. Mikroprosessen

20-2 reagerer på avbrudd ved å sende ut $\overline{MI}$ og I00RQ signaler såvel som signalene A14 og A15. Avbruddsstyreren 20-6 eller 20-8 reagerer ved å sende status over databussen 20-58. Mikroprosessen 20-2 forgrener så en software-rutine basert på statusen for å behandle aktiviteten. Typiske funksjoner utføres av softwaren ved å reagere på kommunikasjonsstyrerens 20-6 og 20-8 statussignaler er sendebuffer tom, utvide statusendring, motta tegntilgjengelighet og spesielle mottakertilstander.

25

Lastemodus

Fig. 3 viser et blokkdiagram av systembussgrensesnittet 2-10A. Kommandoene fra systembussen 2 blir tilført et først-inn-først-ut (FIFO) register 2-34 til mottakerene 2-30. Formatet på de forskjellige kommandoene er vist på figurene 5A - 5E. Kommandoene innbefatter et kanalnummer som spesifiserer kommandoutpekningsenheten og en funksjonskode som bestemmer operasjonen mottakerenheten vil utføre.

35

En FIFO styrer 2-33 mottar bestemte kommandosignaler fra systembussen 2 via mottakerene 2-30. De bestemte kommando-

signalene klargjør FIFO styreren 2-33 til å ha de bestemte kommandoene lastet inn i FIFO 2-34.

Dersom SMF til hovedlagerkommandoen på fig. 5C har kanalnummeret i heksadesimal 00, så reagerer FIFO styreren 2-33 på datasignalene 0-9 for å generere et signal for å laste kommandoen inn i FIFO. FIFO styreren 2-33 er også betinget til å motta en andre halvbusscyklus.

FIFOstyreren 2-33 reagerer på SHBC til CPU kommandokanalnummer heksadesimal 00 spesifisert av adressesignalene 8-17 for å laste innholdene til hovedlageret inn i FIFO 2-34 for påfølgende lagring i styrelageret 3-2 på fig. 4.

Masterslettesignalet BSMCLR tilføres styrelogikken CNTL 0 2-15 og CNTL 1 2-25 for å generere mastersynkrosignaler henholdsvis POMSYN og P1MSYN for å styre normaloperasjonen av CSS 3. Lastemodusen genereres av SMF 20 som sender en lastekommando som innbefatter en lastekommando som innbefatter et kanalnummer og en funksjonskode. Styrelogikken CNTL 0 2-15 klargjøres av kanalnummer heksadesimal 00. Styrelogikken CNTL 1 2-25 klargjøres av kanalnummerbit heksadesimal 01. Lignende styrelogikk ved systembussgrensesnittet 2-10B reagerer på kanalnummerene heksadesimal 02 og 03 henholdsvis.

CNTL 0 2-15 reagerer på lastekommandofunksjonskode heksadesimalen 0D og genererer signalet POCSLD dersom kanalnummer heksadesimalen 00 spesifiseres. CNTL 1 2-25 reagerer på funksjonskode heksadesimalen 0D for å generere signalet P1CSLD dersom kanalnummer heksadesimalen 01 er spesifisert.

Likeledes reagerer CNTL 0 2-15 og CNTL 1 2-25 på deres respektive kanalnummer og en funksjonskode i heksadesimal 11 som spesifiserer en lastestyrelager-adressetelleroperasjon for å generere signalene POLADD og POLSYN eller P1LADD og P1LSYN.

I løpet av overføringsoperasjonen av laststyrt lagret data blir data fra hovedlageret 10 til 12 lagret i SMF interndata (P0) registeret 2-12 dersom lastekommandoene spesifiserer kanalnummer heksadesimal 00. Lastelagerstyringen av operasjonsdata fra hovedlageret 10-12 lagres i SMF dataavbruddsregisteret 2-22 dersom lastekommandoer spesifiserer kanalnummer heksadesimal 01. Registeret 2-12 og registeret 2-22 er lastet fra systembussen 2 via mottakeren/senderen 2-30 og FIFO 2-34.

Et syndromregister 2-13 lagrer informasjon mottatt fra porten 0, og et syndromregister 2-23 lagrer informasjon mottatt fra porten 1. Signalet POPRES lagret i syndromregisteret 2-13 indikerer at CPU0 4 er tilstede i systemet, signalet POLERR indikerer at der var en styrelagerlastefeil og signalet POCSEBY indikerer at lasteoperasjonen ikke blir fullført. Signalet P1PRES, P1LERR og P1CSBY lagret i syndromregisteret 2-23 indikerer disse tilstandene for CPU1 6.

En lesesyndromregisterkommando med funksjonskoden til heksadesimalen 00 vil resultere i en CNTL 0 2-15 som genererer signalet POSSYE for et kanalnummer med heksadesimal 00 og CNTL 1 2-25 genererende signal P1SSYE for et kanalnummer med heksadesimalen 01. Innholdene til syndromregisteret 2-13 når klargjort av signalet POSSYE vil fremkomme på systembussen 2 via et register 2-14, et data-ut-register 2-11 og drivere 2-32.

Syndromregisteret 2-13 lagrer et hardware-revisjonsnummer som indikerer personligheten CSS 3 vil ha. Den blir lastet fra logikken 2-16. Hardware-revisjonsnummeret blir anvendt i løpet av lasteoperasjonen for å velge fastvaren lastet inn i styrelageret 3-2 på fig. 4. Det skal bemerkes at kun syndromregisteret 2-13 til porten 0 lagrer hardware-revisjonsnummeret. Dersom hardware-revisjonsnummeret ikke blir lest fra porten 0, så blir porten 1 ikke anvendt og fastvarelastingen for CSS 3 blir avbrutt.

SMF dataavbruddsregistrene 2-12 og 2-22 frembringer et utgangssignal når styrelogikken CNTL 0 2-15 mottar en kommando som har kanalnummer med heksadesimal 00 og funksjonskoden med heksadesimal 06 for å generere signalet CN0. CNTL 1 2-25 mottar kanalnummer med heksadesimal 01 og funksjonskoden med heksadesimal 06 for å generere signalet CN1. Signalet CN0 klargjør registeret 2-12 og signalet CN1 klargjør registeret 2-22. I løpet av lastemodusen er ved normalttilfellet signalet CN0 eller CN1 klargjort med mindre SMF 20 sender en funksjonskode med heksadesimal 00. I løpet av styrelagerlastemodusen blir data lastet inn i 32 bit registerene 2-12 eller 2-22 på 4 busscykluser for å overføre 104 databiter til styrelageret 3-2 fig. 4. Hver cyklus genererer et POLSYN eller P1LSYN signal.

SMF 20 sender en lesekommando for å aktivere porten 0 eller porten 1 med en funksjonskode med heksadesimal 00 for å lese innholdene til respektive syndromregistre 2-13 eller 2-23.

Signalene POSSYE eller P1SSYE klargjør utgangen til det valgte syndromregisteret 2-13 eller 2-23 for å anbringe innholdene på systembussen 2 via registeret 2-14 eller 2-24, datautgangsregisteret 2-11 eller 2-21 og driveren 2-32.

Fig. 4 viser et blokkdiagram av CSS 3 som er koplet med systembussgrensesnittet 2-10A ved hjelp av porten 0 og porten 1. Porten 0 opereres med CPU0 4-2 og VMMU0 4-4 til CPU1A 4, jfr. fig. 1. Porten 1 opereres med CPU1 6-2 og VMMU1 6-4 til CPU1B 6. CSS 5 opereres på lignende måte via portene 2 og 3.

Styrelageret 3-2 lagrer fastvaren for å styre operasjonen av CPU0 4-2 og VMMU0 4-4 og deres tilknyttede registre og logikk, og også operasjonen av CPU1 6-2 og VMMU1 6-4 og deres tilknyttede registre og logikk. Styrelageret 3-2 lagrer 16K ord med 104 biter pr. ord.

En adresseteller 3-4 frembringer adressesignaler som velger lagersteder for styrelageret 3-2 i hvilket styrelagerdataen blir skrevet. Et lasteregister 0 4-14 koples til registeret P0 2-14, fig. 3, til porten 0 for å motta en startstyrelager-adresse og styrelagerdataord som er skrevet i styrelageret 3-2 ved lagerstedene spesifisert av telleren 3-4, når lastekommandoen innbefatter kanalnummeret med heksadesimal 00. På lignende måte er et lasteregister 1 6-14 koplet til registeret P1 2-24, fig. 3, til porten 1 for å motta startstyrelageradressen og styrelagerdataordene som er skrevet i styrelagrene 3-2 ved lagerstedene spesifisert av telleren 3-4 av lastekommandoen innbefattende desimalnummer med heksadesimal 01.

En tidsgenerator 3-8 avgir tidssignaler og et styrelagerlastestyring 3-6 frembringer styresignaler som i forbindelse med tidssignalene styrer lasteoperasjonen. Tidsgeneratoren 3-8 reagerer også på signalet P0MSYN og P1MSYN for å generere tidssignaler til styring av normale operasjoner.

Pariteten L 3-18 genererer et lastefeilsignal PXLDER i løpet av lasteoperasjonen dersom styrelagerordene ut fra registeret 0 4-14 eller register 1 6-14 indikerer en paritetsfeil.

Paritetsfeillogikken 3-20 genererer et paritetsfeilsignal PXVFER i løpet av verifisering av styrelagerets lasteoperasjon når signalene mottatt fra en eller flere paritetskontrollkretser 3-12, 3-14, 3-16, CPU 0 4-2, VMMU 0 4-4, CPU 1 6-2 og VMMU 1 6-4 indikerer en paritetsfeil ved å generere signalene G, M, A, C0 V0; eller signalene G, M, A, C1 og V1 henholdsvis i løpet av den verifiserende lasteoperasjonen.

I løpet av normal drift blir styrelageret 3-2 adressert av innholdene til et adresseregister 0 4-6 eller av innholdene til adresseregisteret 1 6-6. Registrene 4-6 og 6-6 lastes fra henholdsvis CPU0 4-2 eller CPU1 6-2. I løpet av laste- og verifiseringsoperasjonen blir styrelageret 3-2 adressert av

innholdene til telleren 3-4. Ved både normal og verifiserende operasjon blir adresselagerstedene til styrelageret 3-2 lastet inn i et register C 3-10 og hvert register P0 4-12 eller register P1 6-12.

5 CPU0 4-2, VMMU0 4-4, CPU 1 6-2 og VMMU 1 6-4 mottar styrelagersignalene fra registeret C 3-10. CPU0 4-2 mottar styrelagersignalene fra registeret 4-12 og CPU 1 6-2 mottar styrelagersignaler fra register 6-12.

10 CPU0 4-2 genererer signalet C0 og VMMU0 4-4 genererer signalet V0. Signalene C0 og V0 tilføres paritetsfeillogikken 3-20. Signalene C0 og V0 er resulterende paritet av styrelagerbitene mottatt av respektive enheter.

15 På lignende måte genererer CPU1 6-2 signalet C1 og VMMU1 6-4 genererer signalet V1. Signalene C1 og V1 tilføres paritetsfeillogikken 3-20, idet signalene C1 og V1 er resultatpariteten til styrelagerbitene mottatt av respektive enheter.

20 Registrene 3-10, 4-12 og 6-12 er lastet ved hjelp av klokkesignalet PXADLA. Utgangene til registrene 4-12 og 6-12 er tilgjengelige ved henholdsvis P0TMC4 tiden og P1TMC4 tiden. Utgangen til registeret 3-10 er tilgjengelig når
25 lastet. Signalet PXADLA er tilgjengelig ved PXTME2 tiden og PXTME4 tiden. Registrene 4-12 og 6-12 blir lastet ved frontflanken til "2-tiden" for CPU1 6-2 og VMMU1 6-4 og lastet ved frontflanken til "4-tiden" for CPU0 4-2 og VMMU0 4-4 og tilgjengelig ved den bakre flanken til "2-tiden" for
30 CPU1 6-2 og VMMU1 6-4, tilgjengelig ved den bakre flanken til "4-tiden" for CPU0 4-2 og VMMU0 4-4.

I løpet av normal drift kopler et datautgangsregister F0 4-8 og et datainnngangsregister T0 4-10 CPU0 4-2 og VMMU0 4-4 til
35 systembussgrensesnittet 2-10A via porten 0. Likeledes kopler et datautgangsregister F1 6-8 og et datainnngangsregister T1

6-10 CPU1 6-2 og VMMU1 6-4 til systembussgrensesnittet 2-10A via porten 1.

5 Dersom lastekommandoen innbefatter kanalnummeret med heksadesimal 00 så blir signalet POLSYN generert av CNTL 0 2-15, jfr. fig. 3, og tilført tidsgeneratoren 3-8 som reagerer på et frittstående klokkesignal CLK og genererer en sekvens med signaler som innbefatter klokkesignalet CST1 via klokkesignalet CST5.

10 Signalene POCSLD eller P1CSLD tilføres logikken 3-6 for å generere signalet PXCSLD. Signalet PXCSLD klargjør både registerene 4-14 og 6-14. Også signalet POCSLD genererer signalet P0T0CS for å klargjøre utgangen til registeret 4-14.
15 Signalet P1CSLD genererer signalet P1T0CS for å klargjøre utgangen til registeret 6-14. Klokkesignalet CST1 klokker startadressen eller lagrer lagerdataordene i registerene 4-14 og 6-14. PXCSLD genererer også klokkesignalet CSACLK ved tidspunktet CST5.

20 Signalene POLADD og P1LADD tilføres lastestyreren 3-6 for å generere lasteadressesignalet PXLADD ved tidspunktet CST1 dersom begge signalene og signalet PXCSLD er satt. Telleren 3-4 lastes av signalet PXLADD og inkrementeres ved hjelp av klokkesignalet CSACLK. Skriveklargjøringssignalene CSW1 til
25 CSW4 genererer sekvensmessig hver CST4 tidspunkt på successive dobbelordoverføringer fra hovedlageret 10 til 12. Signalene blir behandlet av en intern teller som fremføres ved CST5 tidspunktet ved hjelp av klokkesignalet CSACLK.

30 Lasteoperasjonen blir utført på følgende måte. Til å begynne med genererer SMF 20 et systemslettessignal BSMCLR som genererer mastersynkrosignaler POMSYN og P1MSYN i løpet av systemsletteoperasjonen og sperrer disse signalene når
35 systemsletteoperasjonen er fullført. Dette forhindrer CPU0 4-2 og VMMU0 4-4 og CPU1 6-2 og VMMU1 6-4 sin operasjon. Porten 0 antas å være tilgjengelig og SMF 20 genererer en styre-

lagerlastekommando med et kanalnummer med heksadesimal 00 og en funksjonskode med heksadesimal 0D. Systembussgrensesnittet 2-10A reagerer på det heksadesimale kanalnummeret og funksjonskodesignalene for å generere lastestyre-lagersignalet 5 POCSLD som betinger portens 0 logikk. Lastesignalet PXCSLD og laste- og verifiseringssignalet PXCSLV blir så generert av lastestyreren 3-6.

SMF 20 sender så en kommando som har et kanalnummer med 10 heksadesimal 00, en funksjonskode med heksadesimal 11 og en startstyre-lageradresse med typisk heksadesimal 0000. Funksjonskodesignalene tilføres CNTL 0 2-15 for å generere signalene POLADD og POLSYN. Adressen lagres i telleren 3-4 via registeret 4-14, registeret 2-14, registeret 2-12, FIFO 15 2-34, mottakerene 2-30 og systembussen 2.

SMF 20 sender så en rekke med lesekommandoer for å opp-
rettholde lageret 10 til 12 med portkanalnummer med hek-
sadesimal 00 som initiering av delsystemet. Lesekommandoen 20 innbefatter hovedlagerets 10 til 12 adresselagersteder ved hvilke er lagret et dobbeltord for styrelagerets 3-2 data.

Hovedlageret 10 til 12 sender en halvbusscykluskommando som har et kanalnummer med heksadesimal 00 i adressefeltet og 32 25 biter i datafeltet. Dataen mottas av registeret 4-14 via registeret 2-14, registeret 2-12, FIFO 2-34, mottakeren 2-30 og systembussen 2. Telleren 3-4 tilfører adressen til lagerstedet i styrelageret 3-2 som vil lagre dobbelordet. Telleren 3-4 inkrementerer en gang for hvert dobbeltord 30 mottatt av registeret 4-14. Telleren 3-4 genererer skriveklargjøringssignalet CSWE1 for det første dobbeltordet, skriveklargjøringssignalet CSWE2 for det andre dobbeltordet, skriveklargjøringssignalet CSWE3 for det tredje dobbeltordet og skriveklargjøringssignalet CSWE4 for for det fjerde 35 dobbeltordet.

Det første dobbeltordet lagres i bitdelene 00-31 til styrelageret 3-2, det andre dobbeltordet lagres i bitposisjonen 32-63, det tredje dobbeltordet lagres i bitposisjonen 64 til 95 og delene til det fjerde dobbeltordet lagres i bitposisjonene 96 til 103. Hvert 104 bitord innbefatter en paritetsbit som lagres i styrelageret 3-2. SMF 20 sender et tilstrekkelig antall hovedlagere 10 til 12 lesekommandoe3r for å laste styrelagrene 3-2 med nødvendige styrelagerord.

10 Verifiseringsmodus

Masterslettesignalet BSMCLR har tidligere forhindret signalet POMSYN og P1MSYN fra cyklusføring for derved å sperre operasjonen til CPU0 4-2, VMMU0 4-4 og CPU1 6-2, VMMU1 6-4. Signalene POLSYN og P1LSYN tilført styrelogikken 3-6 15 aktiverer imidlertid lastemodustidssignalene CST1 og CST4 og CST5.

Etter at det nødvendige antall dobbeltord er sendt fra hovedlageret 10 til 12 under styring av SMF 20 sin leselagerkommando genererer SMF 20 tilbakestillingslastekommandoen som 20 spesifiserer funksjonskoden med heksadesimal 0F. Dette tilbakestillter signalet PXCSLD siden signalet POCSLD tilbakestillt ved styreren 0 2-15. Laste- og verifiserings-signalet PXCSLV forblir imidlertid innstilt. Signalet PXCSLV 25 ble sendt ved starten av lasteoperasjonen ved lastestyreren 3-6 når enten signalene POCSLD eller P1CSLD fra styreren 0 2-15 eller styreren 1 2-25 ble satt.

Når lastesignalet PXCSLD er tilbakestillt og verifiserings-signalet PXCSLV forblir satt, generes SMF 20 porten på 30 direkteoblings-kommandofunksjonskoden med heksadesimal 0B til å generere signalet POMSYC eller P1MSYN i hhv. CNTL 0 2-15 eller CNTL 1 2-25. Disse signalene tilført til tidsgeneratoren 3-8 starter CPU-tidskjeden som innbefatter tids-signalene POTM4 og P1TM4 da adressetelleren 3-14 er tilbake- 35 stillt til heksadesimal 0000 av tellerslettesignalet PXACLR fra lastestyreren 3-6 på første forekomst av signalene POMSYN

eller P1MSYN. Dette genererer signalet P0CSVF eller signalet P1CSVF for å avslutte adressetellerens 3-4 tilbakestillingsoperasjon, når signalet PXACLR er tilbakestilt og klokkesignalet CSACLK begynner syklusføringen. I løpet av verifiseringsoperasjonen blir klokkesignalet CSACLK aktivert ved hvert klokkesignal for å inkrementere telleren 3-4 ved P0TM4 tidspunktet ved å verifisere signalet PXCSLV etter at lastesignalet PXCSLD er tilbakestilt.

Verifiseringsmodusen fortsetter inntil adressetelleren 3-4 genererer et CSDONE-signal som indikerer at adressetelleren 3-4 har lest innholdene til hvert lagersted til styrelageret 3-2 og har verifisert pariteten til hvert ord. Feilsignalet PXVFER genereres dersom en paritetsfeil avføles. Dette bevirker at opptattsignalene P0CSBY og P1CSBY fortsetter å indikere at porten er opptatt og forblir lagret i respektive syndromregister 2-13 eller 2-23.

SMF venter 10 millisekunder på at verifiseringen av operasjonen skal bli fullført og sender så kommandoen for å lese syndromregisteret 2-13 og 2-23. Kommandoen innbefatter funksjonskodens heksadesimal 00. Dersom det ikke har vært noen paritetsfeil, ville opptattbiten i adressesyndromregisteret blitt tilbakestilt og normaloperasjonen ville fortsette.

Verifiseringsoperasjonen blir fullført når CSDONE-signalet genererer styrelagertilbakestillingssignalet P0CSRT eller P1CSRT ved klokkesignaltiden P0TM4 avhengig av om porten 0 eller porten 1 var valgt. Tilbakestillingssignalet P0CSRT eller P1CSRT tilbakestiller verifiseringssignalet PXCSLV og signalene P0CSVF eller P1CSVF og P0CSBY og P1CSBY.

Dersom SMF 20 finner at opptattbiten fremdeles er satt når syndromregisteret er lest, blir den egnede fastvaresekvensen på fig. 6 fulgt, dvs der kan være et nytt forsøk ved porten eller den andre porten til CSS kan bli forsøkt.

Kommandoformater

Fig. 5A til 5E viser formater av forskjellige kommandoer anvendt ved den foretrukne utførelsesformen.

5

Fig. 5A viser en leseportkommando. De mottagende CPU-kanalnummerne er spesifisert i adressebussens 2-6 bitposisjoner 8-17. Funksjonskodene er spesifisert i adressebussens 2-6 bitposisjoner 18-23. Kanalnummeret til SMF 20, det anmodende delsystemet, er spesifisert av databussens 2-4 bitposisjoner 0-9. Styrebussen 2-2 signaliserer BSYELO og BSMREF ved "1" og "0" indikerer hhv. at dette er en SMF 20 generert kommando. Signalet BSDBWD indikerer at 32 biter med data, et dobbeltord, fremkommer på databussen 2-4. Signalet BSDBPL indikerer at dobbeltordet er det siste dataordet til denne kommandoen. Bruken av denne kommandoen som en lese-syndromregisterkommando er vist på fig. 7. CPU-kanalnummeret er heksadesimal 00, som adresserer porten 0. Funksjonskoden er heksadesimalen 00 som initierer en lesesyndromregisteroperasjon. SMF-kanalnummeret med heksadesimalen 0F (posisjonert som heksadesimal 03C0) er mottagerstedet for innholdene til syndromregisteret som er sendt som en halvbusssyklus (SHBC) kommando til SMF 20. SMF-kanalnummeret med heksadesimal 0F er innbefattet i adressebussens 2-6 bitposisjoner 8-17 og innholdene til syndromregisteret til porten 0 fremkommer ved databussens 2-4 bitposisjoner 0-31. Kommandobussens 2-2 signaler BSWRIT spesifiserer en busskri-veoperasjon og BSSHBC spesifiserer at det er en reaksjon på en anmodning (en andre halvbusssyklus).

30

Fig. 5B viser en skriveportkommando. Et antall kommandoer vist i tidsdiagrammet på fig. 7 er ved formatet på fig. 5B. Lastemoduskommandoen, funksjonskoden med heksadesimal 0D, innbefatter et datafelt med heksadesimal 0000 0000. Lasteadressetellerens kommandofunksjonskode med heksadesimal 11 innbefatter et datafelt som lagrer adressen til startlagerstedet for styrelageret 3-2 i hvilke det første 104 bitstyre-

35

lagerordet er skrevet. Adressetelleren 3-4 er vanligvis lastet med heksadesimal 0000. Dersom hovedlageret 10 til 12 imidlertid har batterireserve, kan startadressen variere. Denne klargjør systemet for å lagre på nytt i styrelageret 3-2 akkurat en side av hovedlageret 10-12. Tilbakestillingslastemoduskommandofunksjonskoden med heksadesimal 0F innbefatter et datafelt på heksadesimal 0000 0000. Porten på linjekommandoen, funksjonskoden 0B innbefatter et datafelt med heksadesimal 0000 0000.

Signalene BSMREF og BSYELO ved "0" og "1" indikerer respektive ved SMF 20 genererte kommandoer. Signalet BSSWRIT ved "1" indikerer en busskrivekommando.

Fig. 5C viser formatet til et SMF til hovedlagerkommandoen og den andre halvbussyklusreaksjonen på denne kommandoen. 32 bitadressebuss 2-6 feltet 0-23, A-H lagrer hovedlageret 10-12 sine adressesteder. Databussbitene 0 til 9 lagrer kanalnummeret til det mottagende delsystem ved den foretrukne utførelsesformen som et CPU-kanalnummer. Kommandobussen 2-2 sitt signal BSMREF indikerer en lagerreferansekommando. Den andre halvbussykluskommandoen blir initialisert i hovedlageret 10 til 12. Databussen 2-4 sine biter 0-31 inneholder innholdet til adresselagerstedene. Adressebussen 2-6 sine biter 8-17 inneholder kanalnummeret til mottagerstedet CPU. Kommandobussen 2-2 sine signaler BSMREF og MSSHBC ved logiske "0" og "1" indikerer respektivt at kommandoene generert av hovedlageret 10 til 14 er som reaksjon på lageranmodningskommandoen.

Fig. 5D viser formatet til en I/O-utgangskommando som innbefatter kanalnummeret til I/O-anordningen, i dette tilfellet et diskdrev eller en floppydisk og en funksjonskode. Databussen 2-4 sine biter innbefatter lagerstedet for dataen på disken. Kommandoen har to formater, et konfigurasjons A-format med en funksjonskode med heksadesimal 11 og en

konfigurasjon B-format med en funksjonskode med heksadesimal 13.

5 Databussen 2-4 sine biter til konfigurasjonen A innbefatter et sylindrisk nummer dersom anordningen er harddisk eller et sylindernummeret og et spornummer dersom anordningen er en diskett.

10 Databussen 2-4 sine biter til konfigurasjonen B innbefatter sektor- og spornummer for harddisk eller sektornummer og bytetetthet for diskett.

15 I/O-utgangskommandoen med en funksjonskode i heksadesimal 07 indikerer ved databussens 2-4 biter om dette er en søkeoperasjon eller en automatisk søkeoperasjon. Autosøk anmoder om en søkning og så lesing.

Kommandobussen 2-2 sitt signal BSWRIT indikerer en busskriveoperasjon.

20 Fig. 5E viser en tosyklus inngangs/utgangslast (IOLD) utgangskommando. For den første syklusadressebussen 2-6 sine biter A-H, 0-7 lagrer 16 høyordensadressebiter og databussens 2-4 biter 0-15 lagerer 16 lavordensadressebiter. Høyordens- og lavordensadressebiter indikerer startadressen i hovedlageret 10 til 12 som vil lagre overførte første databytene fra disken til hovedlageret.

30 For den andre syklusen lagerer databussens 2-4 biter området som er det totale antall biter som hovedlageret 10 til 14 vil motta fra disken.

35 En funksjonskode med heksadesimal 09 spesifiserer den første syklusen til IOLD utgangskommandoen og en funksjonskode med heksadesimal 0D spesifiserer den andre syklusen til IOLD utgangskommandoen. Også kanalnummeret til I/O anordningen

blir spesifisert. Kommandobussens 2-2 signal BSWRIT spesifiserer en busskriveoperasjon.

Fig. 6 viser blokkdiagrammet til fastvaren som laster styrelageret 3-2 for CSS'ene 3 til 5. Styrelagerfastvaren lagres på enten en fast disk, en fjernbar disk, eller en diskett og blir overført under SMF 20 styring til hovedlageret 10 til 12. Dersom ingen feil ble funnet etter overføringen til hovedlageret, så blir styrelagerfastvaren overført til styrelageret 3-2 under SMF 20 styring. Dersom både CSS 3 og CSS 5 krever samme fastvarelasten, så blir begge først lastet og så utføres en gyldighetskontroll etter mottagelse av de respektive porter på direktekoblingskommandoene. Dersom begge CSS'ene 3 og 5 ikke har samme fastvarelast, så blir styrelageret til CSS 3 lastet og verifisert og styrelageret til CSS 5 blir lastet og verifisert.

SMF 20 har en revisjonspost for styrelagerfastvare som hver CSS krever og verifiserer at egnet revisjon av styrelagerfastvaren er lastet inn i sin CSS. Man ser derfor at forskjellige CSS'er kan ha forskjellige funksjonsmessige avhengigheter ved spesielle revisjoner av styrelagerfastvaren som den mottar. SMF 20 lagrer hardwarerevisjonsnummeret til hver CSS. Hardwarerevisjonen bestemmer fastvarerevisjonen som skal bli anvendt for å laste styrelageret til CSS.

Med henvisning til fig. 6 starter blokken 100 fastvarerutinen som er lagret i ROM'en til SMF 20.

Blokken 101 kontrollerer om hovedlageret 10 til 12 har reservebatteri og lagrer informasjonen i lagerstedet til SMF RAM 20-44.

Blokken 102 lagrer en peker i et register i SMF mikroprosessor 20-2. Pekeren er lagerstedet i SMF RAM 20-44 som lagrer styreinformasjonen for påfølgende bruk. SMF 20 fremviser så

ordene RAMVARE STARTET på SMF fremvisningskonsollet 34, hjelpeskriveren 32 og/eller fjernkonsollen 42.

5 Blokken 106 kontrollerer at portene er tilgjengelige. Systembussgrensesnittet til hver CSS har to porter. De to CSS'ene 3 og 5 vist på fig. 1 vil ha fire porter. Blokken 106 sender en lesekommando til hver port for å sende innholdene til syndromregisteret til SMF 20. Foreliggende bit satt i syndromregisteret indikerer at CPU er tilgjengelig. Porten 0
10 blir identifisert av et kanalnummer med heksadesimal 00, porten 1 av et kanalnummer med heksadesimal 01, porten 2 av et kanalnummer med heksadesimal 02 og porten 3 av et kanalnummer med heksadesimal 03.

15 Blokken 106 leser også hardwarerevisjonsbitene til syndromregisteret. Disse bitene indikerer revisjonen mot hvilken CSS er oppbygd. Bitene lagres i SMF RAM 20-44 for senere bruk.

20 Avgjørelsesblokken 108 bestemmer om noen av portene er tilgjengelig og om ikke, avbryter operasjonen via blokken 110. En melding vil bli fremvist som indikerer at der er problem som krever en operatør.

25 Blokken 112 velger kanalnummeret til disken som lagrer styrelagerfastvaren. SMF 20 lagerer det kanalnummeret i lagerstedet til SMF RAM 20-44. Der er et valg for bruk av en av de to kanalene til CSS for å motta fastvarelast fra hovedlageret 10 til 12. Dersom den første kanalen (porten) ikke er tilgjengelig, så blir det gjort forsøk på å laste
30 fastvaren gjennom den andre kanalen (porten).

35 Blokken 114 lagrer hovedlagerstartadressen i SMF RAM 20-44. Dette er hovedlagerets lagersted i hvilket det først mottatte styrelagerfastvareord lagres. Typisk vil adressen være heksadesimal 1000. Enhver adresse kan imidlertid bli lagret og spesielt dersom hovedlageret 10 til 12 har reservebatteri.

Blokken 116 sender et antall kommandoer fra SMF til disken eller diskettstyreren som styrer disklagringen av styrelagerfastvaren. Disse kommandoene innbefatter informasjon som indikerer sylindernummeret, spornummeret, sektornummeret, og
5 dersom informasjonen er lagret på en diskett også bytetettheten. Fastvarerevisjonsnummeret blir funnet ved å anvende CSS hardwarerevisjonsnummeret fra en oppslagstabell lest fra diskanordningen eller disketten. Denne ble anvendt for å generere veinavnet til fastvarelasten lagret på
10 anordningen. Dette veinavnet ble anvendt av diskstyreren for å lokalisere fastvarelasteinformasjonen lagret på overflaten til anordningen.

Dersom der er et hovedlagerbatteribakcup (reservebatteri),
15 vil kommandoene anmode om overføring av sider, typisk 2048 byter pr. side. Dersom det ikke er noe lagerbatteribakcup vil kommandoene anmode om overføring for alle styrelagerfastvareordene.

20 Dersom fastvarerevisjonsnummeret er funnet, så vil styrelagerfastvareordene bli lagret i hovedlageret 10 til 12 som starter ved en typisk adresse heksadesimal 1000.

Dersom batteribakcup forefinnes, så vil enhver feil bevirke at den angjeldende siden blir overført fra disken. Dersom det
25 ikke er noen batteribakcup, er hele overføringen mistenkelig dersom noen feil forefinnes. Fremvisningskonsollen 34 vil indikere i blokken 120 at styrelagerfastvaren er fullstendig lastet inn i hovedlageret 10 til 14.

30 Avgjørelsesblokken 118 resulterer i et avbrudd via utløpet 110 dersom det i blokken 116 ikke ble funnet fastvare med riktig revisjonsnummer på disken.

Blokken 122 setter forsøk på ny biten i et register i SMF
35 mikroprosessen 20-2 for å indikere at dette er det første forsøket ved lasting av styrelageret 3-2. Blokken 122

fremviser så på fremvisningskonsollen 34 kanalnummeret til alle CSS portene som er tilgjengelige.

5 Avgjørelsesblokken 124 avbrytes til utløpet 110 dersom ingen port er tilgjengelig.

Blokken 126 vil velge å fremvise kanalnummeret til porten for CSS gjennom hvilken styrelagerfastvarebytene er overført fra hovedlageret 10 til 12. Rekkefølgen på prioriteten er 10 kanalnumrene med heksadesimal 00, 02, 01, 03. Dette gir to veier for lasting av hvert styrelager.

I blokken 128 sender SMF 20 en kommando til hovedlageret 10 til 12 for å lese og sletten dens status og ID-registrene. 15 Hovedlagerstatusregisteret er således slettet for lagring av resultater til ytterligere diagnoser.

Avgjørelsesblokken 130 indikerer et avbrudd til utløpet 110 dersom hovedlagerstatusen og ID-registrene ikke kan bli 20 slettet. Dette viser en hovedlagerfeil som krever operatør-inngrep.

Blokken 132 setter opp lagerstatusstyreordet som er lagret i SMF RAM 20-44. Bitene indikerer om en ny type lager er 25 installert, om lager er innfelt, om der var en ikke-korrigerbar feil i hovedlageret 10 til 12, om det er første passering gjennom fastvaren, om gjenforsøkfeil, om der er et hovedlagergjenlasting, gjenforsøk.

30 Blokken 134 starter overføring av styrelagerfastvarebyter fra hovedlageret 10 til 12 til styrelageret 3-2 via den valgte porten. SMF 20 genererer først en kommando for å starte lastemodussekvensen. SMF genererer så en kommando som frembringer startstyrelageradressen, typisk heksadesimal 35 0000. Startadressen kan være enhver verdi i tilfelle nettopp en del av styrelageret er lastet.

Avgjørelsesblokken 136 forgrenses til gjenforsøksblokken 177 dersom der ikke er noen reaksjon fra den adresserte CPU'en. Dersom det etter et gjenforsøk fremdeles ikke er noen CPU reaksjon, så vil fastvaren foregrene seg til neste tilgjengelige port, dvs. port 0 til port 1 eller port 2 til port 3.

Dersom CPU operasjonen gjennom porten 0 ikke reagerer etter gjenforsøket, så blir et masterslettesignal sendt som kopler ned den CPU klokken og et gjenforsøk blir gjort via porten 1.

Blokken 138 overfører styrelagerbyter fra hovedlageret 10 til 12 til styrelageret. SMF 20 sender en lesehovedlagerkommando til hovedlageret 10 til 12 som innbefatter CPU kanalnummeret. I løpet av den andre halvbussyklusen blir derfor kommandoen fra hovedlageret 10 til 12, som innbefatter fire styredatabyter (en dobbeltordoverføring) sendt til og mottatt av den adresserte CPU'en.

SMF 20 venter en forutbestemt tid, typisk syv mikrosekunder, på CPU'en for å motta det doble ordet og for å utføre ethvert gjenforsøk for en bussyklus.

SMF 20 vil motta et kvitteringssignal fra hovedlageret 10 til 12 for å avslutte kommandoen siden SMF 20 ikke vil motta dataord fra lageret.

Normal operasjon er for en enhet å sende ut en lageranmodningskommando med en hovedlageradresse og sitt eget kanalnummer som hovedlagerkvittering. Hovedlageret genererer en andre busshalvssykluskommando med innholdet til det adresserte hovedlagerets lagersted og kanalnummeret til sendeenheten. Mottagerenheten sender et kvitteringssignal som blir mottatt av hovedlageret som indikerer at data blir mottatt.

Blokken 140 leser hovedlagerstatusen og ID-registrene for å kontrollere feil på hovedlageret 10 til 12 til styrelageret

3-2 sin overføring. Dersom hovedlageret ID indikerer et innfelt lager, så blir statusordet til hvert lager undersøkt.

5 Avgjørelsesblokken 142 initierer et gjenforsøk ved å forgrene til blokken 144 dersom ingen feil. Dersom der er en feil, avsluttes avgjørelsesblokken 142 via blokken 110.

Blokken 144 lagrer feil og gjenforsøksbiter fra hovedlageret 10 til 12 i SMF RAM 20-44.

10

Avgjørelsesblokken 148 tester etter et hovedlager ikke-korrigerbar (røde) feil og en blokk 146 fremviser forekomsten av røde feil på fremvisningskonsollen 34.

15 Avgjørelsesblokken 160 tester om hovedlagergjennlastegjenforsøksbiten er sendt og om det forefinnes avbrudd i operasjonen i blokken 168.

20 Blokken 162 setter lagergjennlastegjenforsøksbiten dersom den ikke tidligere var satt.

Blokken 164 gjennlaster hovedlageret 10 til 12 fra disken som ved blokken 116. Som før, dersom der var hovedlagerbatteribakup, er overføringen ved blokk, derfor er start-
25 hovedlageradressen den til tidligere side som var feil. Dersom ingen batteribakup blir hele styrelagerfastvaren sendt fra disk til hovedlager 10 til 12.

30 Avgjørelsesblokken 166 tester igjen om data var funnet på disken. Dersom ingen bevirker blokken 168 et avbrudd i ramvarelastefremvisningen og fastvaren går ut i blokken 259. Det skal bemerkes at enhver blokk 110 avbryter utløp gjennom blokken 168 og 259.

35 Dersom avgjørelsesblokken 166 indikerer at data var funnet på disken og lagret i hovedlageret 10 til 12, så fremviser blokken 170 det faktumet at hovedlageret 10 til 12 er lastet.

Blokken 133 forgrenes så til blokken 134 og operasjonen blir gjentatt.

5 Dersom avgjørelsesblokken 148 indikerer at der ikke var noen rød feil, så tilbakestillers blokken 150 hovedlagergjennesting, gjenforsøksbiten dersom satt.

10 Avgjørelsesblokken 152 indikerer om hovedlageret 10 til 12 er en ny type lager og om avgjørelsesblokken 154 tester gjenforsøksfeilbiten fra hovedlageret 10 til 12 som indikerer om dette er en gjenforsøksfeil om å sende data, så starter blokken 177 et gjenforsøk.

15 Dersom avgjørelsesblokken 152 indikerer lager av gammel type som ikke har en gjensøksbit, så vil ved blokken 156 SMF 20 sende en kommando for å lese syndromregisteret til porten som var brukt for å utføre lastingen.

20 Avgjørelsesblokken 158 tester om innholdene til syndromregisteret ble mottatt av SMF 20. Dersom innholdene ikke ble mottatt, starter så blokken 177 et gjenforsøk. Ellers tester avgjørelsesblokken 172 syndromregisteret lastefeilbiten. Dersom den er satt, så fremviser blokken 176 lastefeilen på fremvisningskonsollen 134.

25 Avgjørelsesblokken 178 starter gjenforsøksoperasjonen ved å teste om gjenforsøksbiten ved SMF RAM 20-44 lagerstedet er satt. Dersom gjenforsøksbiten ikke er satt, så setter blokken 180 gjenforsøksbiten, blokken 182 fremviser "portgjenforsøk" og blokken 133 forgrenes til blokken 134 for å gjenta
30 lastingen av styrelageret 3-2.

Dersom avgjørelsesblokken 178 indikerer at gjenforsøksbiten er satt, så fremviser blokken 184 "portgjenforsøksfeilen og
35 er avbrudt" på fremvisningskonsollen 34.

Blokken 186 tilbakestiller portgjenforsøksbiten og blokken 188 sender et masterslettesignal for å aktivere porten for å slå ned dens CPU.

- 5 Blokken 190 fjerner portkanalnummeret til den feilede porten fra listen over tilgjengelige porter.

Avgjørelsesblokken 192 tester om den andre porten til CSS var valgt. Dersom ikke, velger blokken 194 den andre porten.

10

Avgjørelsesblokken 196 tester om den andre porten er tilgjengelig. Dersom ikke, tester avgjørelsesblokken 198 om den andre CSS har en port tilgjengelig. Dersom en port til den andre CSS ikke er tilgjengelig, så tester avgjørelses-

15 blokken 208 om noen port er tilgjengelig. Dersom ingen porter er tilgjengelig, så bevirker blokken 121 en forgrening til blokken 122 som fremviser at ingen porter er tilgjengelig.

20

Avgjørelsesblokken 123 tester at ingen porter er tilgjengelig og blokken 110 bevirker et avbrudd i lastingen.

25

Dersom avgjørelsesblokken 198 indikerer at den andre CSS hadde en port tilgjengelig, så tester avgjørelsesblokken 200 om porten var valgt. Dersom porten har blitt tidligere valgt, så velger blokken 207 den nest laveste kanalnummerporten.

30

Dersom avgjørelsesblokken 200 indikerer at porten fra den andre CSS ikke var tidligere valgt, så velger 202 porten til den andre CSS med det lavere kanalnummeret.

Avgjørelsesblokken 204 tester om den porten er tilgjengelig. Dersom ikke, velger blokken 206 den andre porten til den andre CSS.

35

Dersom avgjørelsesblokken 196 eller 204 indikerer at en port er tilgjengelig eller om blokken 206 valgte en port, så lagrer blokken 216 det portkanalnummeret i SMF RAM 20-44.

Dersom avgjørelsesblokken 210 finner at styrelageret 3-2 ikke er fullstendig lastet, vil blokken 212 bevirke at neste side med data blir lest fra hovedlageret 10 til 12 og lagret i styrelageret 3-2 dersom hovedlageret 10 til 12 har batteribakcup. Dersom ikke, blir den fullstendige styrelagerfastvarelasten lest fra disken og lagret i hovedlageret.

Blokken 214 tilveiebringer kanalnummeret til den aktive porten og blokken 216 lagrer kanalnummeret i SMF RAM 20-44.

Blokken 218 skriver kanalnummeret til den valgte porten og blokken 133 forgrener blokken 134 for å innstille CSS i lastemodus og lagre styrelagerstartadressen i telleren 3-4.

Dersom avgjørelsesblokken 210 tester at styrelagrene er lastet, så setter blokken 220 opp en arbeidskanal i SMF RAM 20-44 for å preparere styrelagerverifiseringsoperasjonen.

Blokken 222 starter verifiseringsoperasjonen ved å sende to kommandoer, en tilbakestillingslastemoduskommando med en funksjonskode med heksadesimal 0F, og en port-direktekoplingskommando med en funksjonskode med heksadesimal 0B. CPU leser ut styrelagerdata, kontrollerer paritet og foretar en kontrollsum.

Avgjørelsesblokken 224 kontrollerer at systembussgrensesnittet kvitterer for kommandoene. Dersom en feilreaksjon blir mottatt, forgrener blokken 177 til blokken 178 for gjenforsøksoperasjonen. Dersom ingen feil resulterer ved avgjørelsesblokken 224, så utsetter blokken 226 ytterligere operasjoner av SMF 20 i 10 millisekunder for å sikre at verifiseringsoperasjonen blir fullført av CPU'en.

Blokken 228 sender en kommando til den aktive porten for å sende innholdene til syndromregisteret til SMF 20.

Avgjørelsesblokken 230 tester at innholdene til syndromregisteret ble mottatt av SMF 20. Dersom innholdene ble mottatt, så tester avgjørelsesblokken 232 om opptattbiten er satt. Dersom innholdene til syndromregisteret ikke ble mottatt eller opptattbiten ble satt, så fremviser blokken 244 "feil ved verifisering" på fremvisningskonsollet 34 og blokken 246 sender et masterslettesignal til den aktive porten. Den opptatte biten forblir satt dersom verifikasjonsoperasjonen ikke ble tilfredsstillende fullført.

Avgjørelsesblokken 248 tester om feilgjenforsøksbiten i SMF RAM 20-44 er satt. Dersom feilgjenforsøksbiten er satt under indikasjon på at dette er den andre verifiseringsfeilen, så tilbakestiller blokken 252 den porttilgjengelige biten i SMF RAM 20-44 og SMF 20 ser etter en annen port. Dersom avgjørelsesblokken 248 indikerer at verifiseringsfeilgjenforsøksbiten ikke er satt, så blir den satt av blokken 250.

Dersom avgjørelsesblokken 232 indikerer at opptattbiten ikke er satt, så fremvises blokken 234 "port lastet" på fremvisningskonsollen 34. Blokken 236 setter portbrukt bit i SMF RAM 20-44 for senere bruk.

Blokken 238 tilbakestiller kanalnummeret til porten gjennom hvilken styrelageret blir tilfredsstillende lastet.

Blokken 240 tilbakestiller det første portflagget lagret i SMF RAM 20-44. Avgjørelsesblokken 242 kontrollerer om alle portkanalnumrene ble anvendt. Blokken 227 forgrener seg til blokken 228 dersom ikke tilfelle for å kontrollere syndromregistrene til de andre portene.

Dersom avgjørelsesblokken 242 indikerer at portflaggene lagret i SMF RAM 20-44 ikke alle er slettet, så forgrenes blokken 227 til blokken 228 for å lese syndromregisteret.

Dersom portflaggene alle er slettet, tester avgjørelsesblokken 254 SMF RAM for å bestemme om noen av portene er tilgjengelige for gjenforsøk. Dersom en er tilgjengelig for gjenforsøk, så forgrener blokken 121 til 122 for å starte et gjenforsøk av porten som krever et gjenforsøk som har det laveste kanalnummeret.

Dersom ingen port krever gjenforsøk ved avgjørelsesblokken 254, dvs. alle styrelagrene er lastet, så lagrer blokken 256 informasjonen at portkanalnummeret var lastet.

Avgjørelsesblokken 258 tester ordene i SMF RAM 20-44 som lagrer revisjonsnummeret til systembussgrensesnittene for to CSS'er. Dersom to revisjonsnummer er like, så oppdaterer blokken 264 konsollfremvisningen 34 med den informasjonen som indikerer at alle styrelagrene er lastet.

Blokken 266 starter kvalitetslogikktesten til CPU'en, blokken 268 konkluderer lastfastvarerutinen ved frakobling og blokken 270 spesifiserer slutten av lasterutinen og SMF er tilgjengelig for neste operasjon.

Dersom avgjørelsesblokken 258 indikerer at to revisjonsnummer ikke er like, så leser blokken 260 det nye hardware-revisjonsnummeret for den andre CSS. Blokken 262 erstatter det første CSS revisjonsnummeret med det andre CSS revisjonsnummeret i SMF RAM 20-44 lagerstedet. Blokken 111 forgrenses så til blokken 112 for å laste styrelageret til den andre CSS med fastvare til det nye revisjonsnummeret. CSS 3 ville ha dens styrelagerfastvare til en revisjon og CSS 5 ville ha dens styrelagerfastvare til en andre revisjon, som gir CSS 3 og CSS 5 forskjellige personaliteter.

Tidsdiagram

Fig. 7 viser et tidsdiagram på styrelagerets 3-2 last og verifiseringsoperasjonen som anvender porten 0, kanalnummeret med heksadesimal 00 til systembussgrensesnittet

2-10A. Tidsdiagrammet til laste- og verifiseringsoperasjonen ved bruk av porten 1 er lignende. Den eneste forskjellen er at signalene P1XXXX erstatter signalene P0XXXX i tidsdiagrammet på fig. 7.

5

SMF 20 generer et busslettesignal BSMCLR over systembussen 2 som starter alle delsystemene. Nærmere bestemt sperrer bakflanken til signalet BSMCLR POMSYN signalet som igjen stopper CPU0 4-2 og CPU1 6-2 ved å holde klokkingertelleren (ikke vist) i tidsgeneratoren 3-8. CPU0 4-2 blir sperret for lasteoperasjonen, men aktivert for verifiseringsoperasjonen siden CPU0 4-2 vil verifisere pariteten til styrelager-signalene den mottar.

10

15 SMF 20 sender skriveportkommandoen på fig. 5B ut på systembussen 2 med et kanalnummer med heksadesimal 00 og funksjonskode med heksadesimal 0D. Kanalnummeret, heksadesimal 00, aktiverer CNTL 0 logikk 2-15, jfr. fig. 3. Funksjonskodeheksadesimal 0D genererer styrelagerlastesignalet P0CSLD. 20 Signalet P0CSLD tilfører styrelagerlastestyreren 3-6 som genererer signalene PXCSLD som styrer styrelagerlasteoperasjonen og signalet PXCSLV som styrer laste- og verifiseringsoperasjonen. Det skal bemerkes at signalene PCCSLD og PXCSLV genereres dersom kanalnummeradressen er enten port 0 eller 25 port 1.

25

SMF 20 sender så en lasteadressetellerkommando i form av den på fig. 5B innbefattende kanalnummer med heksadesimal 00 og funksjonskoden med heksadesimal 11. CNTL 0 2-15 reagerer på funksjonskodesignalene for å generere lasteadressesignalet 30 POLADD og lastesykronsignalet POLSYN.

30

Lastesykronsignalet POLSYN tilføres tidsgeneratoren 3-8 for å starte styrelagertidsringen for å generere tellesignalene 35 CST1 til CST5. Signalene PXCSLD og CST5 generere klokkesignalet CSACLK som tilfører telleren 3-4. Signalet PXLADD genereres av signalet POLADD som blir tilført lastestyreren

35

3-6. Signalet PXLADD tilføres telleren 3-4 for å sette telleren til verdien for datafeltet til lasteadressekommandoen, i dette eksempelet heksadesimal 0000. SMF 20 sender så en rekke med kommandoer i form som vist på fig. 5C
5 til hovedlageret 10-12. Adressefeltet inneholder lagerstedet i hovedlageret 10-12 for hvert dobbeltord (32 biter) til styrelageret 3-2. Datafeltet inneholder kanalnummeret til mottagende CPU-port, ved dette eksempelet heksadesimal 00. Det vil si SMF 20 genererer en leselagerkommando og lest data
10 fra hovedlageret sendes til CPU0 4-2.

Den andre halvbussykluskommandoen CPU0 4-2 kanalnummeret med heksadesimal 00 i adressefeltet og inneholdet til det adresserte hovedlagerets lagersted i datafeltet.

15 Signalet POLSYN starter tidsringen for hver andre halvbussyklus. Det dobbelte ordet mottatt av hovedlageret 10 til 12 via mottageren 2-30, FIFO 2-34, registeret 2-12, registeret 2-14 lagres i lasteregisteret 0 4-14 ved tidspunktet
20 CST1. Skriveklargjøringssignalene CSWE1 til CSWE4 genereres ved tidspunktet CSWE4 for skriving av inneholdet til registeret 4-14 inn i styrelageret 3-2 ved adressen spesifisert av telleren 3-4. Signalet CSACLK genereres ved CST5
25 tidspunktet for å inkrementere telleren 3-4. Styrelageret 3-2 er klargjort av signalet CSWE1 for å skrive det første dobbeltordet, CSWE2 for det andre dobbeltordet, CSWE3 for det tredje dobbeltordet og CSWE4 for det fjerde dobbeltordet. Telleren 3-4 inkrementeres for hver andre halvbussykluskommando for å skrive de neste fire dobbeltordene i det
30 spesifiserte styrelagerets 3-2 lagersted.

SMF 20 sender en tilbakestillingslastemoduskommando, fig. 5B med funksjonskode med heksadesimal 0F, og kanalnummer med heksadesimal 00 etter at styrelageret 3-2 er fullstendig
35 lastet. Dette resulterer i CNTL 0 2-15 tilbakestillings-signalet POCSLD. Dette tilbakestiller signalet PXCSLD og

genererer telleren 3-4 sitt slettesignal PXACLR i lastestyreren 3-6.

5 SMF 20 sender en port-direktekoblingskommando i form som vist på fig. 5B, som innbefatter det heksadesimale 00 kanalnummeret og funksjonskoden med heksadesimalen 0B. Denne kommandoen omstarter mastersynkronstyreren POMSYN og genererer også klokkesignalet CSACLK som i forbindelse med signalet PXACLR tilbakestiller adressetelleren 3-4 til
10 heksadesimalen 0000.

Signalet POMSYN starter ringtelleren for å generere det sykliske signalet POTME4 som igjen genererer signalet CSACLK for å inkrementere telleren 3-4. Innholdet til hver av
15 adressestedene for styrelageret 3-2 er lastet inn i registerene 4-12 og 3-10 inntil signalet CSDONE er generert som indikerer at hele styrelageret 3-2 er blitt verifisert.

SMF 20 venter i 10 millisekunder etter sendingen av port-direktekoblingskommandoen for å sende syndromregisterkommandoen. Dette skulle være nok tid for en tilfredsstillende fullføring av verifiseringsoperasjonen. Lesesyndromregisterkommandoen innbefatter kanalnummeret med heksadesimal 00 og funksjonskoden med heksadesimal 00. Innholdene til
20 syndromregisteret 2-13 sendes ut på systembussen 2 via registrene 2-14, 2-11 og driverne 2-32. SMF 20 undersøker opptattbiten som blir satt av signalet POCSEY. Dersom opptattbiten er satt, så var styrelagerlasten ikke tilfredsstillende fullført. I det tilfelle kan SMF 20 gjenta laste- og
25 verifiseringsoperasjonen gjennom samme porten 0 eller forsøke å laste gjennom porten 1 ved å sende lastekommandoen med et kanalnummer med heksadesimal 01.

I det påfølgende er vist de Bolske ligningene for signalene
35 til den foretrukne utførelsesformen. Som på fig. 7 er kun porten 0 signalene vist som lik P0XXXX. Lignende ligning i form av signalet P1XXXX som tilført porten 1 er ikke vist

siden signalene til porten 0 er beslektet med signalene til porten 1 sin logikk.

5 Sperresignalet POINHS sperrer mastersynkronsignalet POMSYN fra syklusføring etter at frontflanken til signalet BSMCLR som derved sperrer CPU 0 4-2.

$$\text{POINHS} = \text{BSMCLR}$$

10 Signalet POINHS tilbakestilles av port-direktekoblingskommandoen som har en funksjonskode med heksadesimal 0B for å tilbakestille signalet POMSYN.

$$\text{POINHS} = \text{FOCMEN} \cdot \overline{19} \cdot \overline{20} \cdot \overline{21} \cdot \overline{22} \cdot \overline{\text{BSMCLR}}$$

15 Signalet POCSLD blir satt av lastemoduskommandoen som har funksjonskoden med heksadesimal 0D.

20 $\text{POCSLD} = \text{POINHS} \cdot \text{FOCMEN} \cdot \overline{19} \cdot \overline{20} \cdot \overline{21} \cdot \overline{22}$
hvor signalet FOCMEN indikerer en kvittert SMF syklus til kanalnummeret med heksadesimal 00 med adressesignalet

$$\overline{18} \text{ og signalet } \overline{\text{BSRINT}}.$$

25 Signalet POCSLD blir tilbakestilt av tilbakestillingslastemoduskommandoen med en funksjonskode med heksadesimal 0F.

$$\text{POCSLD} = \text{FOCMEN} (\overline{19} + \overline{20} + \overline{21} + \overline{22})$$

30 $\text{PXCSLD} = \text{POCSLD} + \text{P1CSLD}$

Signalet POLADD blir satt av lasteadressekommandoen med funksjonskoden med heksadesimal 11.

35 $\text{POLADD} = \text{FOCMEN} \cdot \overline{19} \cdot \overline{20} \cdot \overline{21} \cdot \overline{22}$

Signalet POLADD blir tilbakestilt ved slutten av systembussen 2 sin syklus.

5 Signalet POLSYN ble også satt av funksjonskoden med heksadesimal 11 og går syklusmessig gjennom hver systembuss 2 sin lese SHBC kommando for hvilke lastemodussignalet POCSLD blir satt.

$$\text{POLSYN} = \text{POCSLD} \cdot \text{POINHS} \cdot \text{FOCMEN} \cdot 19 \cdot \overline{20} \cdot 21 \cdot \overline{22}$$

10
$$+ \text{POCSLD} \cdot \text{POINHS} \cdot \overline{\text{FOCMEN}} \cdot \text{DOSHBA}$$

Når signalet DOSHBA blir satt for hver FIFO 2-34 syklus som mottar kanalnummeret med heksadesimal 00 for en SHBC kommando.

15 Signalet PXCSLV blir satt for både laste- og verifiseringsoperasjonene og tilbakestilt av tilbakestillingssignalet POCSRT.

20
$$\text{PXCSLV} = \text{POCSLD} + \text{PXCSLV} \cdot \overline{\text{POCSRT}} \cdot \text{PXMCLR}$$

Signalet CSACKL blir syklusmessig ført gjennom i løpet av lastemodusen som følgende.

25
$$\text{CSACKL} = \text{PXCSLD} \cdot \text{CST5}$$

I løpet av verifiseringsmodusen

$$\text{CSACKL} = \overline{\text{PXCSLD}} \cdot \text{POTME4} \cdot \text{PTOSEL}.$$

30 Signalet PTOSEL er CPU0 4-2 valgsignalet.

Signalet CSACKL er sperret på slutten av verifiseringssignalet av signalet CSDONE.

35 Signalet PXACLR klargjør tilbakestillingen av adressetelleren 3-4 ved starten av verifiseringsmodusen.

$$PXACLR = \overline{POCSVF} \cdot \overline{POCSRT} \cdot \overline{PXCSLD} \cdot PXCSLV \cdot \overline{PXMCLR}$$

5 Signalet PXACLR tilbakestilles av signalet POCNVF som settes
som følgende. Signalet PXMCLR utfører masterslettefunksjonen.

$$POCSVF = CSACLK \cdot PTOSEL \cdot PXACLR \cdot \overline{POCSRT} \cdot \overline{PXMCLR}$$

$$PTOSEL = PXMCLR + POCSLD \cdot \overline{PXCSLV} + PTOSEL \cdot PXCSLV$$

10 Signal POCNVF tilbakestiller signalet POCNVF.

Tilbakestillt signal POCNVF = POTME4 · PTOSEL · POCNVF ·

$$\overline{PXLDSR} \cdot \overline{PXVFER} \cdot CSDONE.$$

15 Signalet PSLDER indikerer en lastefeil og signalet PXVFER
indikerer en verifiseringsfeil.

20 Opptattsignalet POCNVF indikerer at porten 0 utfører en
funksjon og er ikke tilgjengelig for systembussens 2
kommandoer.

$$POCVF = PXCSLV + POINHS$$

25 Dersom tilbakestillingssignalet POCNVF ikke settes, indikeres
en laste- eller verifiseringsfeil, og signalet PXCSLV forblir
satt. Opptattsignalet POCNVF blir derfor ikke tilbakestilt og
forblir i syndromregisteret 2-13.

30 SMF 20 sender en lesesyndromregisterkommando, funksjonskode
med heksadesimal 00 for å generere signalet POSSYE.

$$POSSYE = FOSHEN \cdot \overline{20} \cdot \overline{21} \cdot \overline{22}$$

35 Signalet POSSYE klargjør utgangen til syndromregisteret 2-13.

Styrelagerskriveklargjøringssignalene 3-4 genereres i telleren 3-4.

En intern teller i telleren 3-4 genererer signaler CSADG0 og CSADG1 (ikke vist) som har fire tilstander og er inkrementert ved hver SHBC kommando. Signalet

$\overline{\text{PXLDER}}$

indikerer at ingen lastefeil blir detektert.

10

$\text{CSWE1} = \text{PXCSLD} \cdot \overline{\text{PXLADD}} \cdot \overline{\text{CSA0G0}} \cdot \overline{\text{CSADG1}} \cdot \text{CST4} \cdot \overline{\text{PXLDER}}$

$\text{CSWE2} = \text{PXCSLD} \cdot \overline{\text{PXCADD}} \cdot \overline{\text{CSADG0}} \cdot \text{CSADG1} \cdot \text{CST4} \cdot \overline{\text{PXLDER}}$

15

$\text{CSWE3} = \text{PXCSLD} \cdot \overline{\text{PXLADD}} \cdot \text{CSADG0} \cdot \overline{\text{CSADG1}} \cdot \text{CST4} \cdot \overline{\text{PXLDER}}$

20

$\text{CSWE4} = \text{PXCSLD} \cdot \overline{\text{PXCADD}} \cdot \text{CSADG0} \cdot \text{CSADG1} \cdot \text{CST4} \cdot \overline{\text{PXLDER}}$

25

Oppfinnelsen har blitt beskrevet og vist med henvisning til henvisning til en foretrukket utførelsesform, men det er klart at modifikasjon og endringer vil være mulig innenfor oppfinnelsens ramme.

30

35

P a t e n t k r a v

1.

Databehandlingssystem, innbefattende

- 5 en systembuss,
 et første delsystem koblet med systembussen for å
generere og sende over bussen en kommando som krever en
reaksjonskommando,
 et andre delsystem koblet med systembussen for å
10 motta kommandoen og generere og sende over bussen reaksjonskommandoen, k a r a k t e r i s e r t v e d
 at kommandoen innbefatter et første felt som
identifiserer et visst tredje delsystem av flere tredje
delsystemer, et andre felt som identifiserer det andre
15 delsystemet og et tredje felt som spesifiserer oppgaven som
det andre delsystemet skal utføre på vegne av det tredje
delsystemet,
 at reaksjonskommandoen innbefatter et første felt
som spesifiserer det tredje delsystemet identifisert av det
20 første feltet i kommandoen,
 at de tredje delsystemene er koblet til system-
bussen, idet hvert av de tredje delsystemene overvåker
kommunikasjonsoverføringen på bussen og reagerer på et
kommandofelt som identifiserer nevnte ene av de tredje
25 delsystemene for akseptering av kommunikasjonsoverføringen på
bussen, idet det ene av de nevnte tredje delsystemer
identifisert av feltet i reaksjonskommandoen mottar reaksjonskommandoen.

30 2.

System ifølge krav 1, k a r a k t e r i s e r t v e d at
det første delsystemet mottar et kvitteringssignal fra det
andre delsystemet når det andre delsystemet mottar nevnte
kommando.

35

3.

System ifølge krav 1-2, k a r a k t e r i s e r t v e d
at det første delsystemet innbefatter tidsinnretning for å
verifisere at reaksjonskommandoen er mottatt av det første
5 delsystemet innenfor en forutbestemt tid dersom det første
feltet identifiserer det første delsystemet, idet tidsinn-
retningen reagerer på kvitteringssignalet for sperring av
tidsinnretningen når det første feltet identifiserer det
tredje delsystemet.

10

15

20

25

30

35

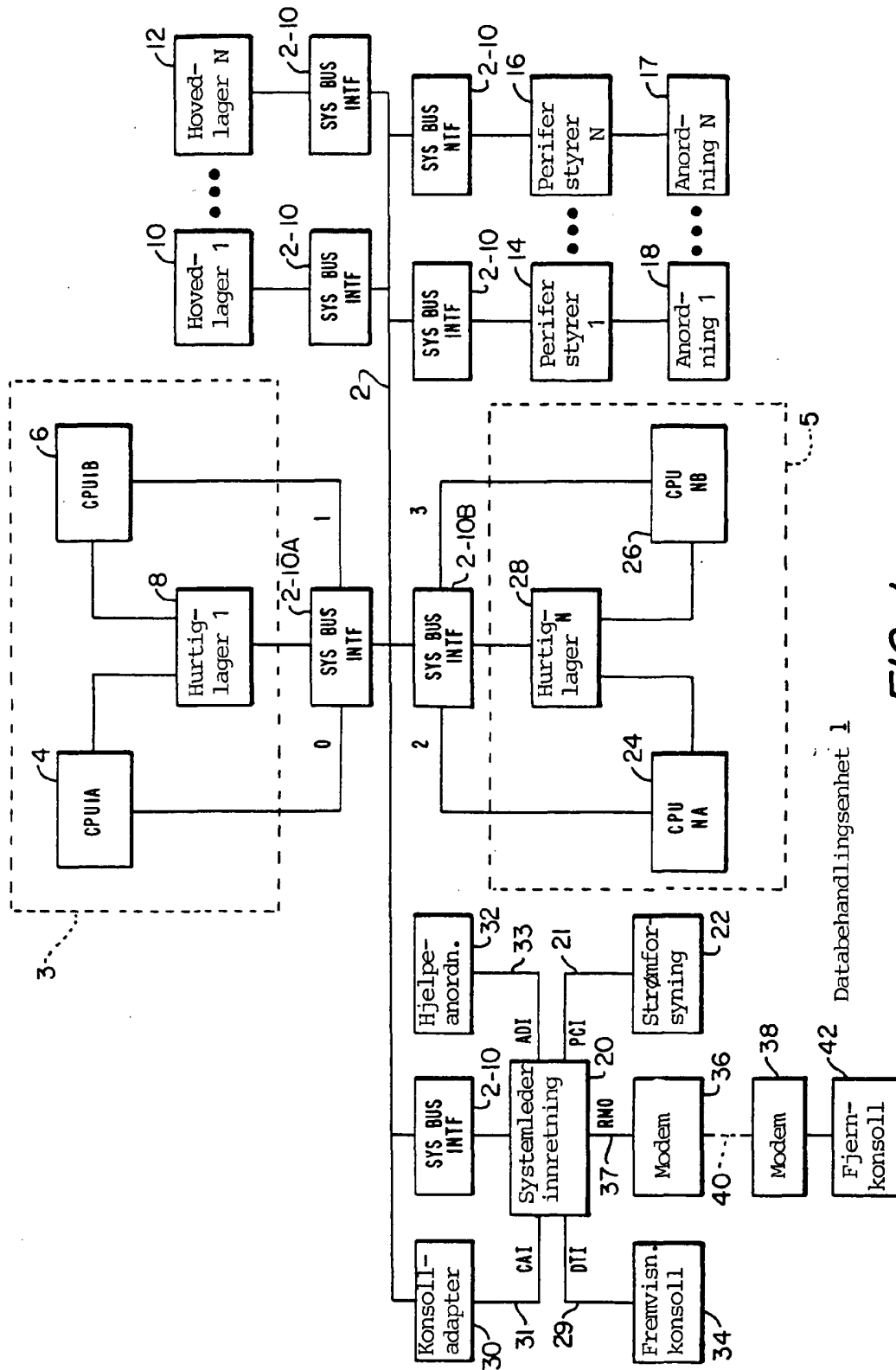


FIG. 1

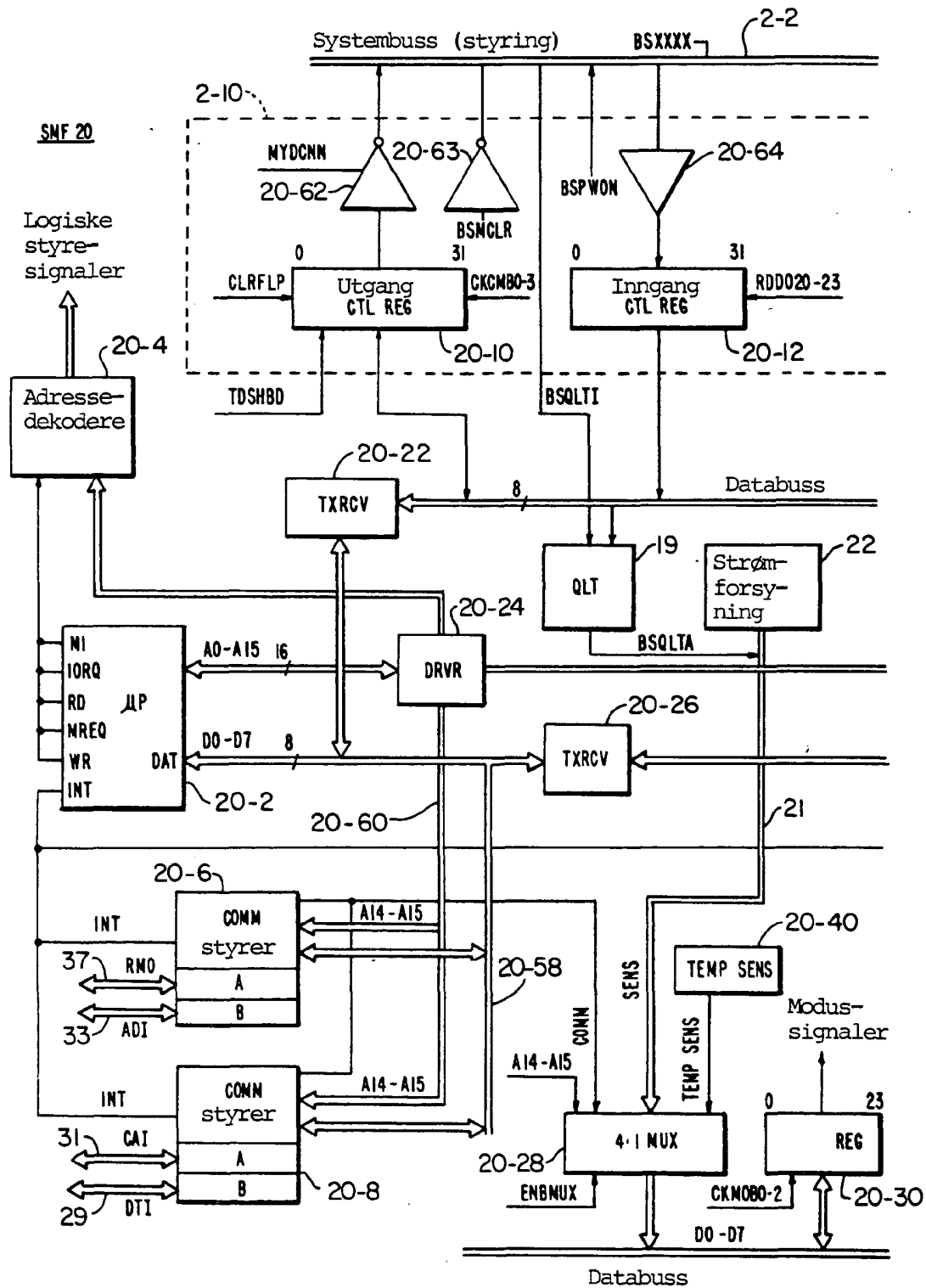


FIG. 2-1

175122

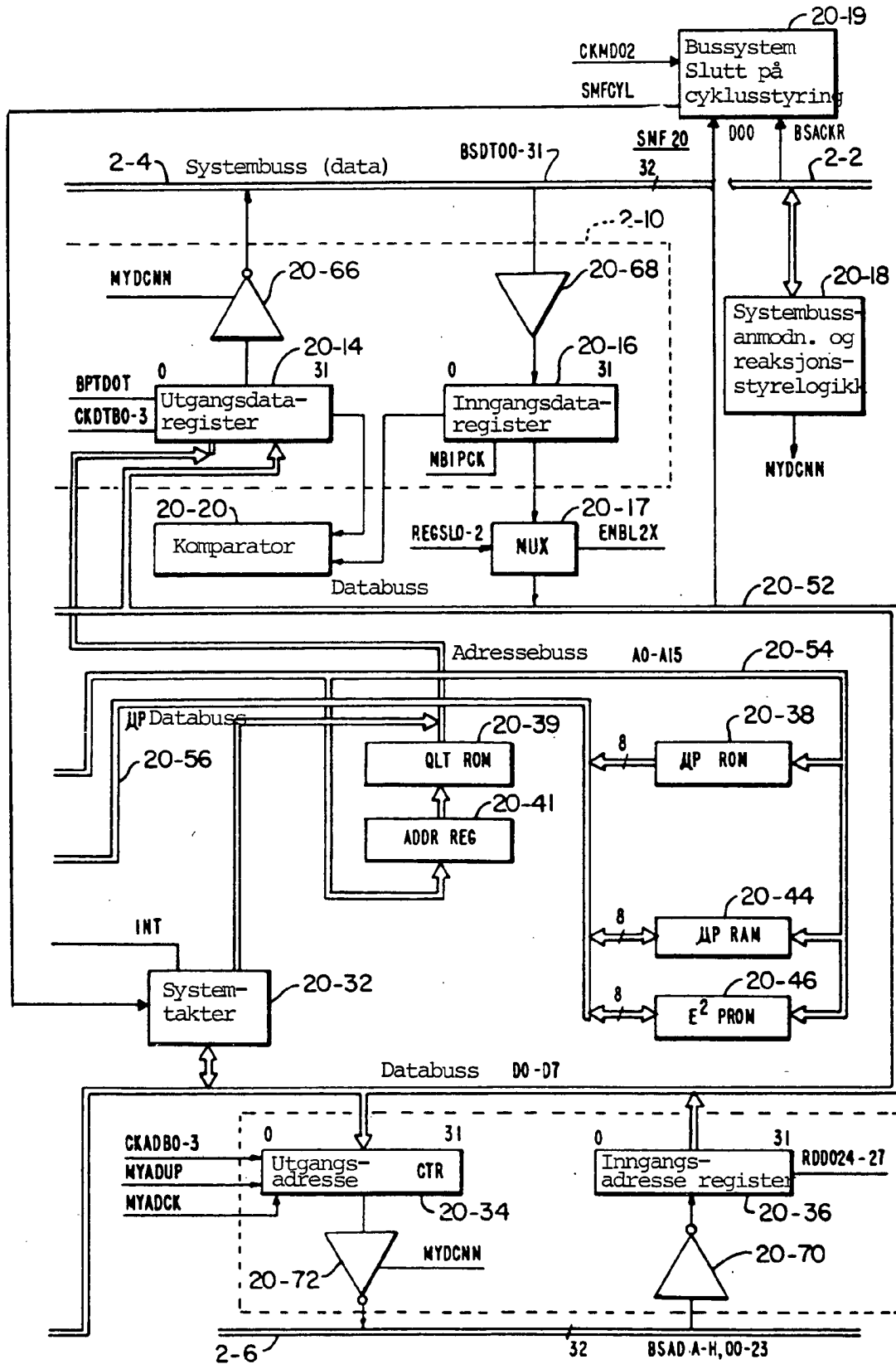


FIG. 2-2

FIG. 3

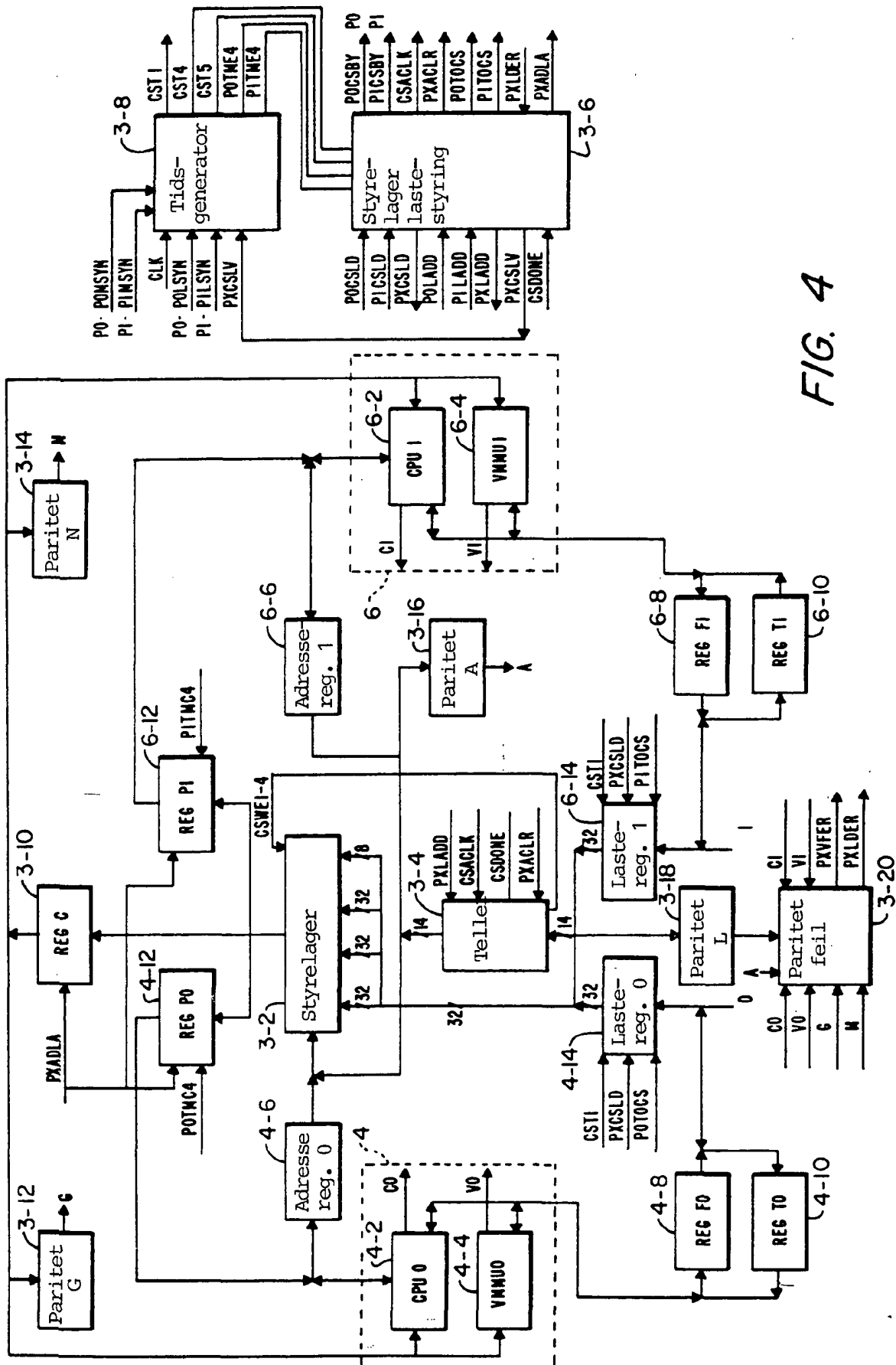
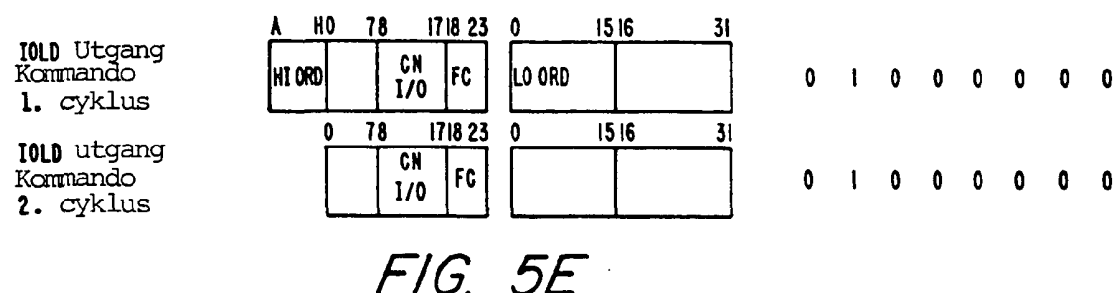
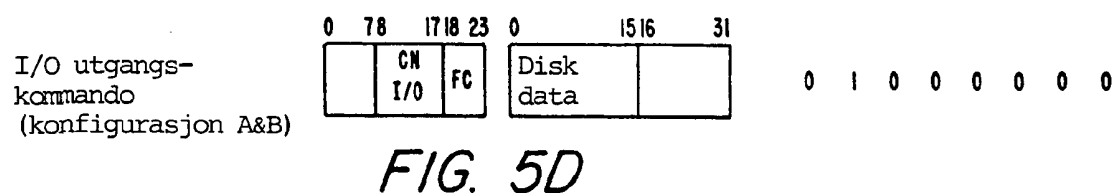
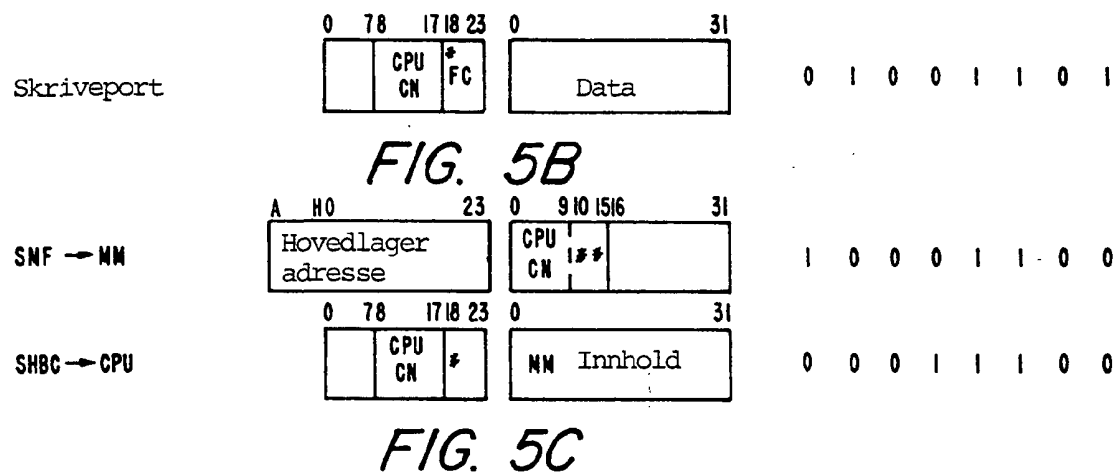
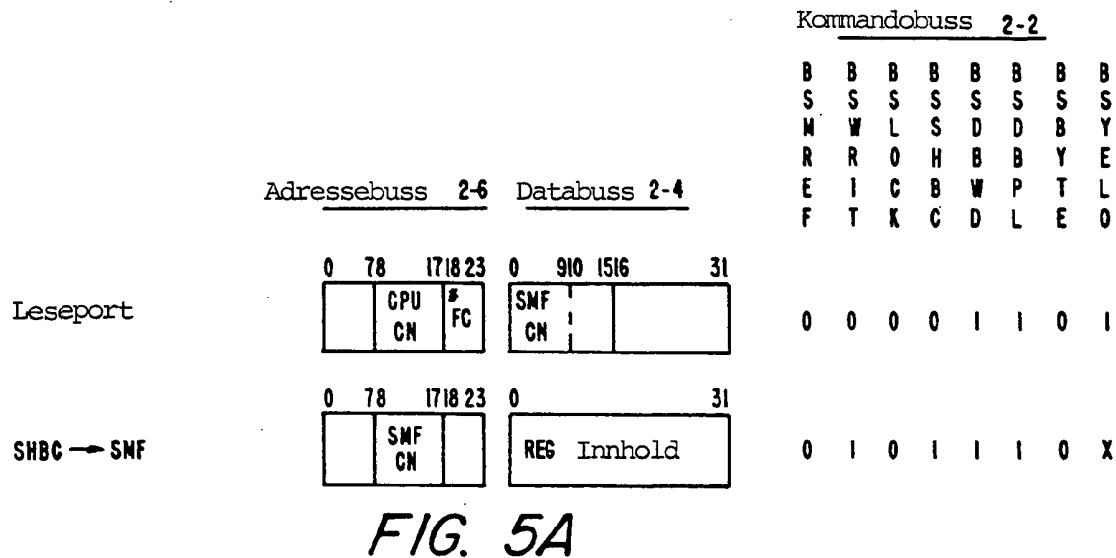


FIG. 4



* BIT 18 = 0 Aksess-systembussgrensesnitt

* | Aksess CPU

** Databit 10 er returnert ved SHBC

som adressebit 18 (databit 10 = 0)

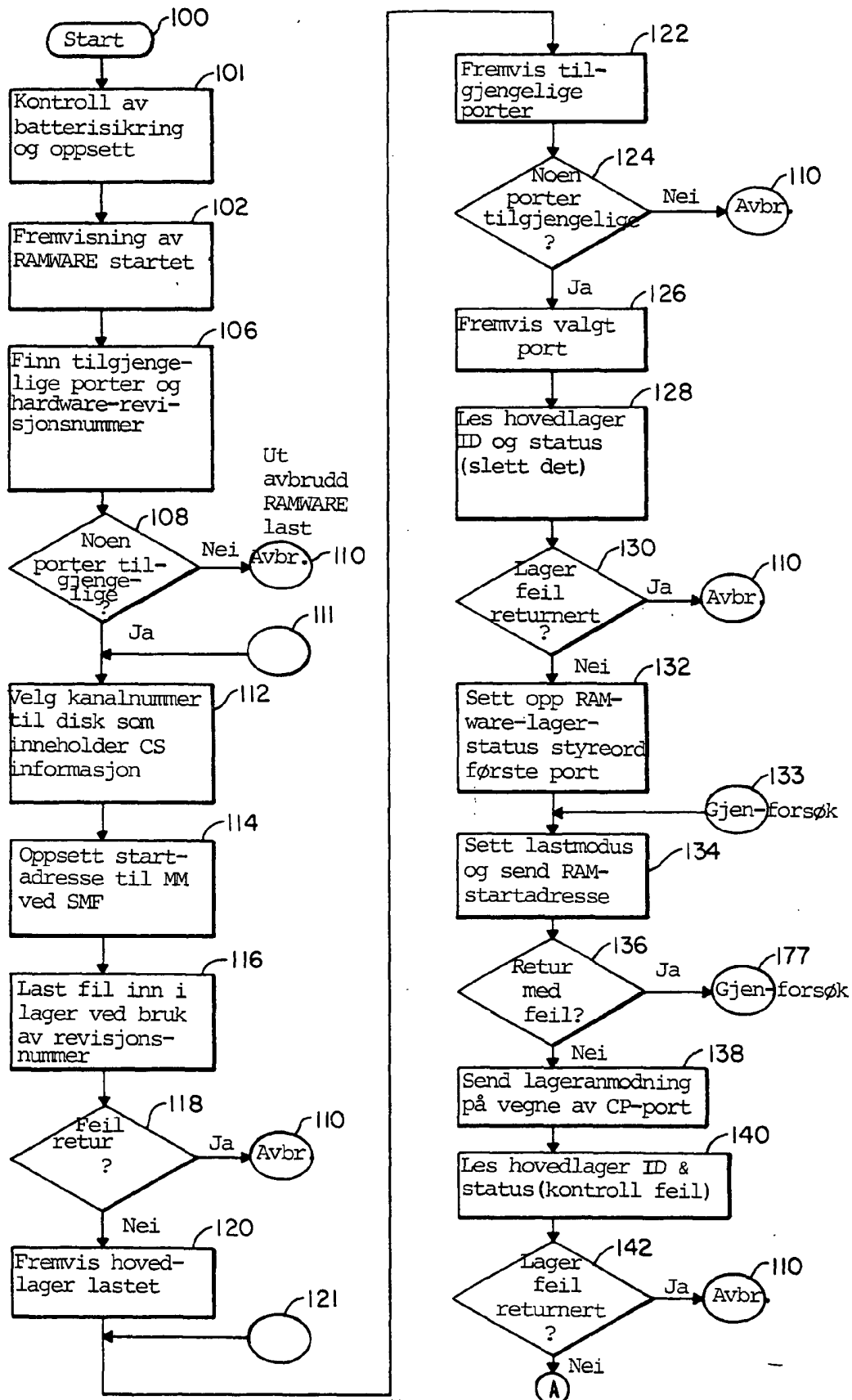


FIG. 6-1

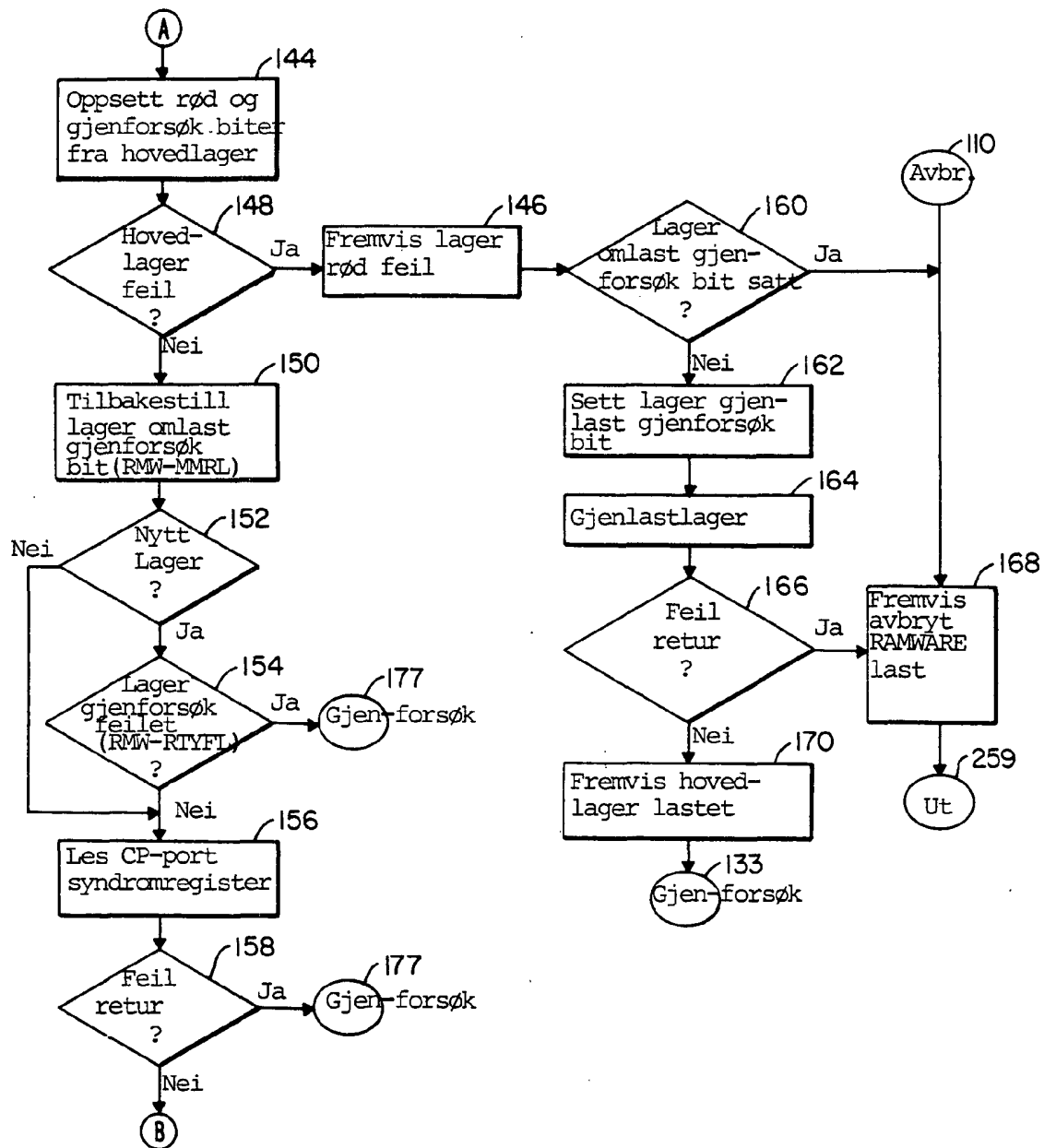


FIG. 6-2

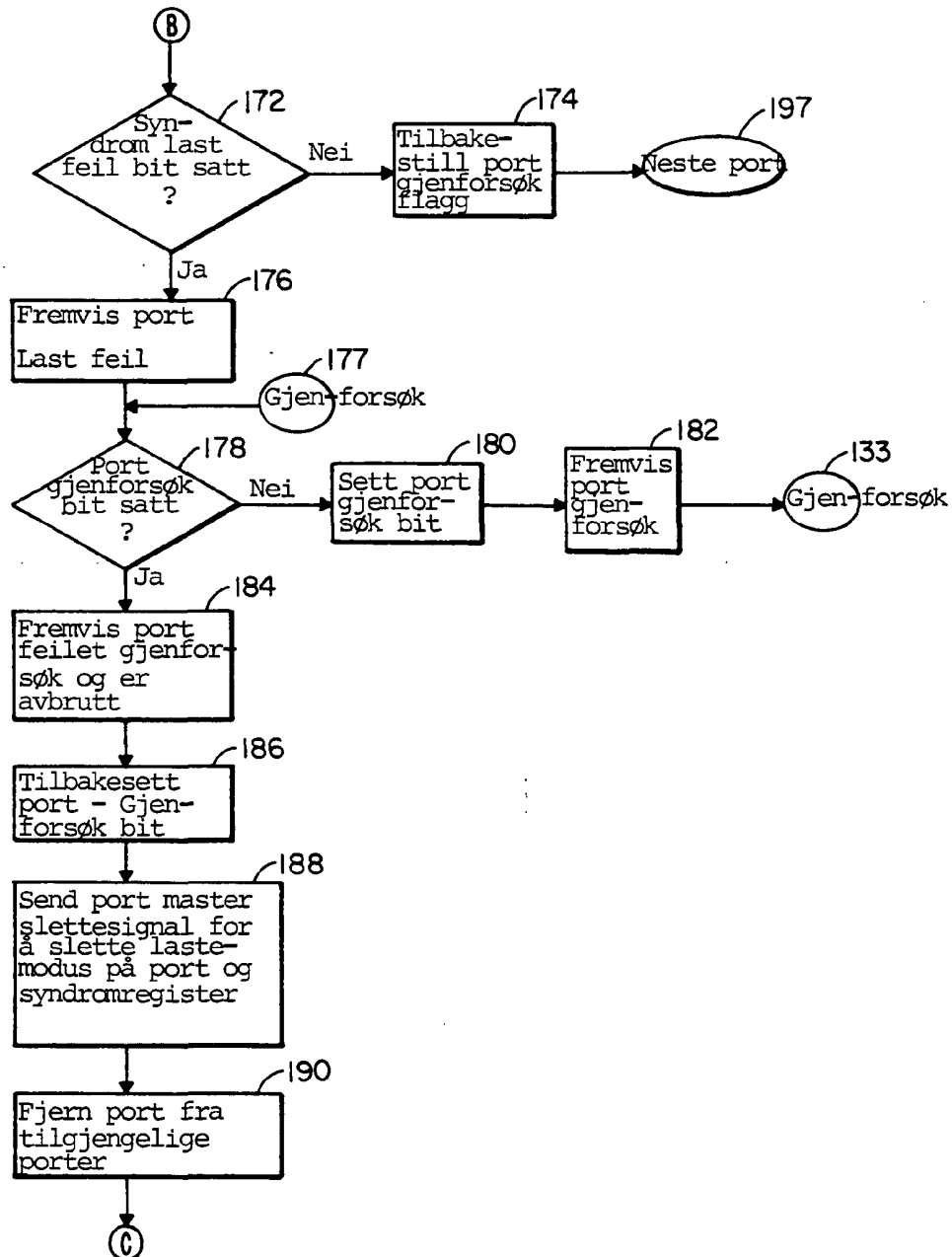


FIG. 6-3

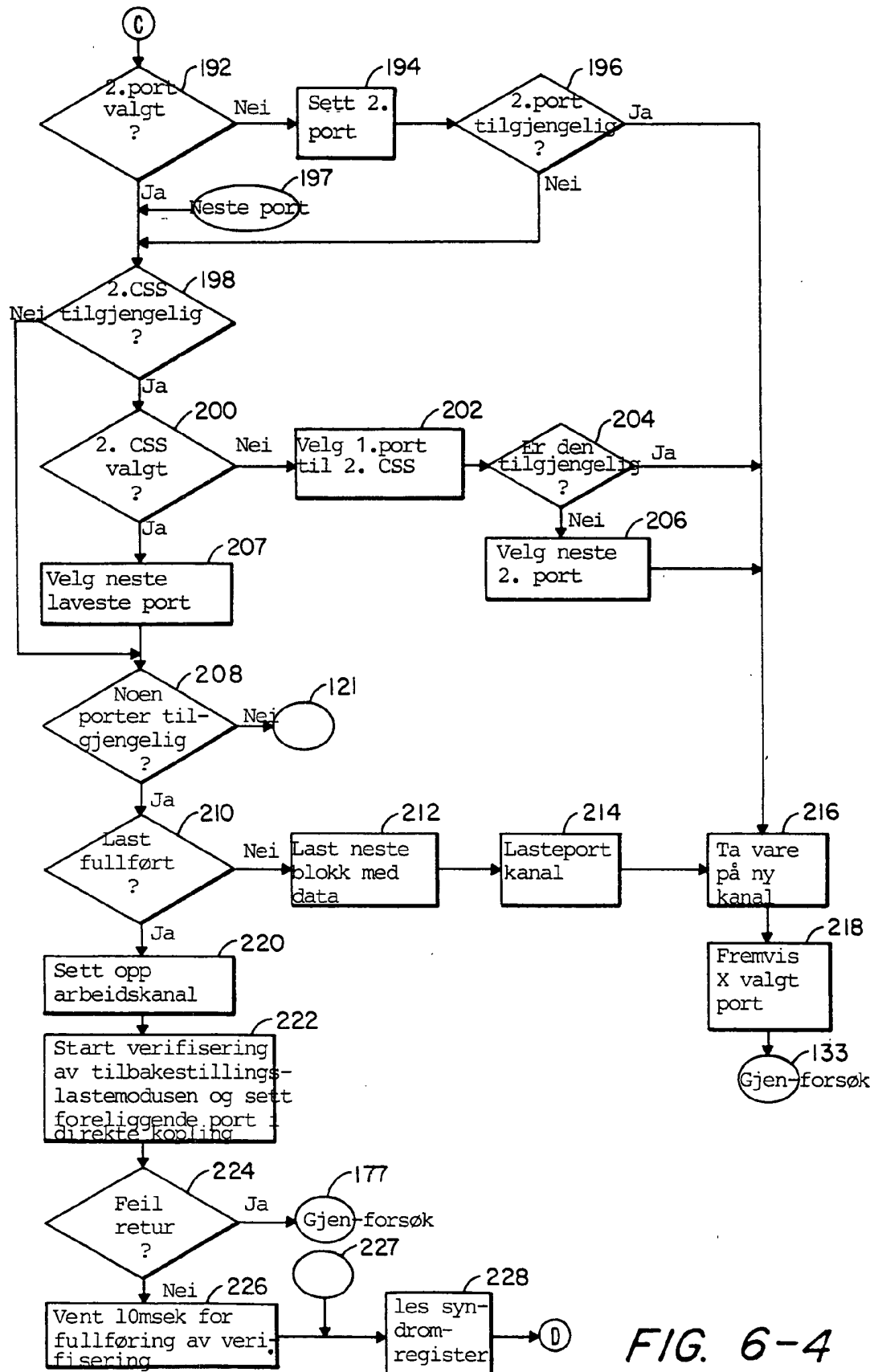


FIG. 6-4

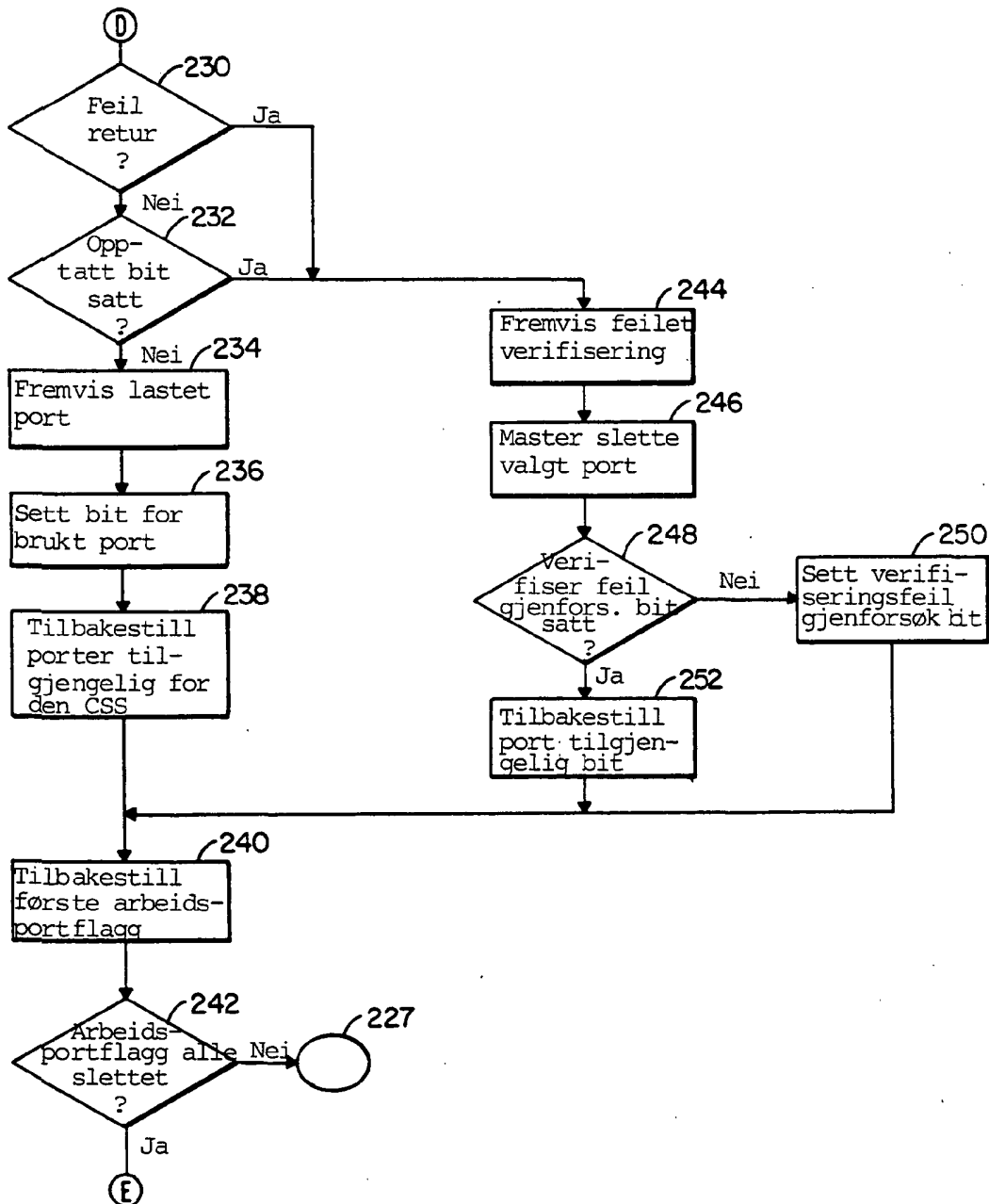


FIG. 6-5

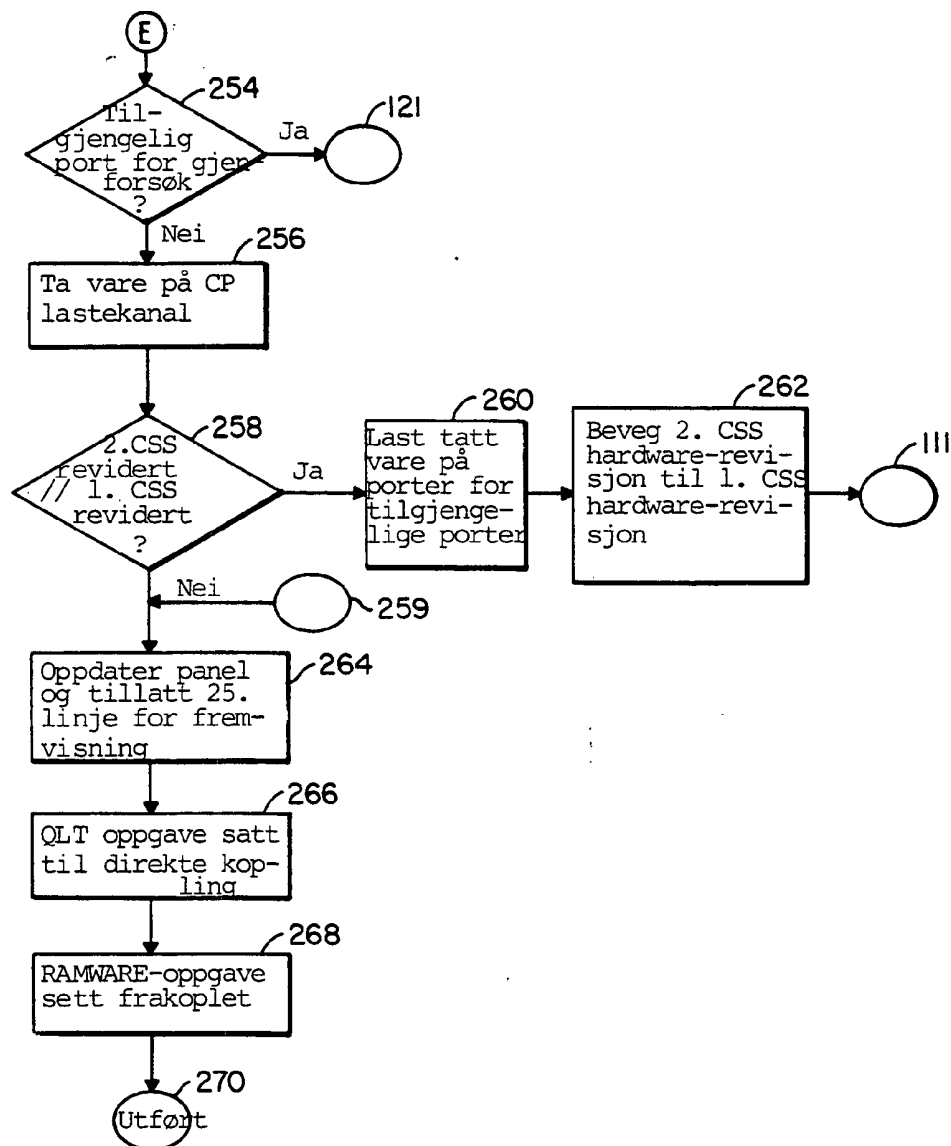


FIG. 6-6

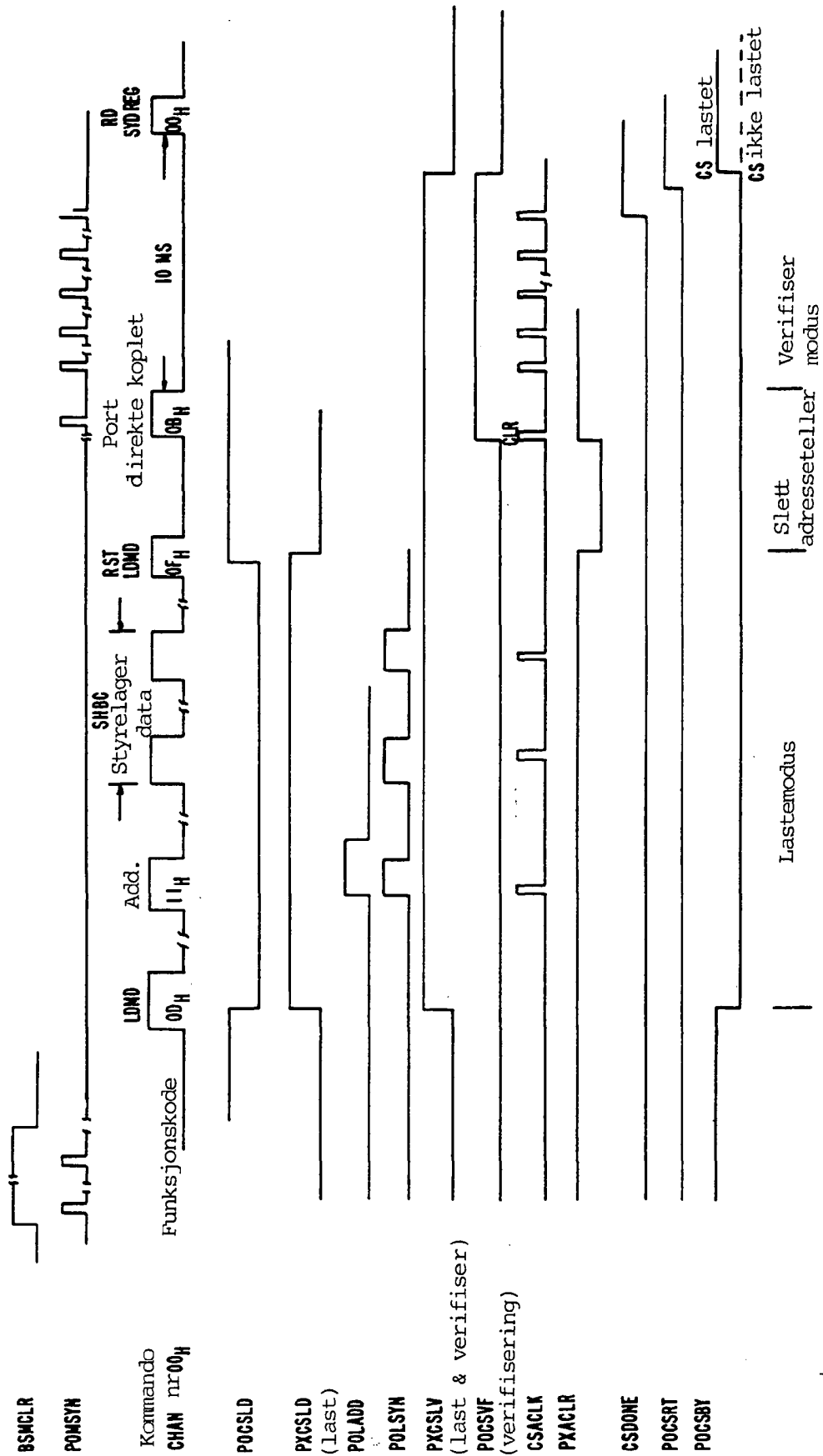


FIG. 7