

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年4月9日(09.04.2015)



(10) 国際公開番号
WO 2015/049716 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/076642
- (22) 国際出願日: 2013年10月1日(01.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 勝又 洋樹(KATSUMATA Hiroki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 森田 雄一(MORITA YUICHI); 〒1010051 東京都千代田区神田神保町3-19-7 ダイナミック・アート九段下ビル6階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,

FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

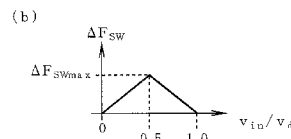
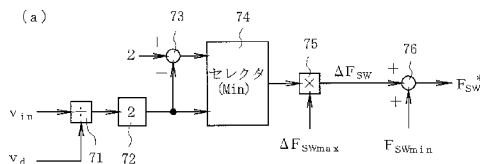
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲及び説明書 (条約第19条(1))

(54) Title: POWER FACTOR IMPROVEMENT CIRCUIT

(54) 発明の名称: 力率改善回路



AA ΔF_{SW}: スイッチング周波数変化分
 BB ΔF_{SWmax}: スイッチング周波数変化分最大値
 CC F_{SWmin}: 最小スイッチング周波数

74 Selector (Min)
 AA Switching frequency change amount
 BB Switching frequency change amount maximum value
 CC Minimum switching frequency

(57) Abstract: Provided is a power factor improvement circuit which is a circuit in which a load (40) is connected to both ends of a smoothing capacitor (35) and which comprises a rectifying circuit (20) for rectifying the voltage of an AC power source (10), a series circuit of an inductor (31) and a semiconductor switch (33) which are connected between the output terminals of the rectifying circuit (20), and a series circuit of a diode (34) and the smoothing capacitor (35) which are connected to the ends of the semiconductor switch (33), and the power factor improvement circuit improves the input-side power factor of the rectifying circuit (20) by utilizing the switching operation of the semiconductor switch (33), wherein provided is a control circuit (70) which varies the switching frequency of the semiconductor switch (33), and when the ripple of current flowing in the inductor (31) is maximized, the control circuit (70) controls the switching frequency so that the switching frequency of the semiconductor switch (33) is maximized. Due to this configuration, a filter circuit (15) can be downsized by reducing normal mode noise.

(57) 要約:

[続葉有]



WO 2015/049716 A1

交流電源 10 の電圧を整流する整流回路 20 と、整流回路 20 の出力端子間に接続されるインダクタ 31 と半導体スイッチ 33 との直列回路と、半導体スイッチ 33 の両端に接続されるダイオード 34 と平滑コンデンサ 35 との直列回路と、を備え、平滑コンデンサ 35 の両端に負荷 40 が接続される回路であって、半導体スイッチ 33 のスイッチング動作により整流回路 20 の入力側の力率を改善する力率改善回路において、半導体スイッチ 33 のスイッチング周波数を可変とする制御回路 70 を備え、この制御回路 70 は、インダクタ 31 を流れる電流のリプルが最大となる時に半導体スイッチ 33 のスイッチング周波数が最大になるようにスイッチング周波数を制御する。これにより、ノーマルモードノイズを低減してフィルタ回路 15 の小型化を可能にする。

明 細 書

発明の名称： 力率改善回路

技術分野

[0001] 本発明は、交流電源電圧の整流電圧を負荷に供給する電力変換器において、入力力率を改善するための力率改善回路に関するものである。

背景技術

[0002] 交流電源電圧を全波整流回路により整流すると、入力電流が歪み、力率が低下する。このため、インダクタ（昇圧リアクトル）、半導体スイッチ、整流用ダイオード、平滑コンデンサからなる昇圧チョッパを全波整流回路の出力側に接続し、昇圧チョッパのスイッチング動作によって入力電流の歪みを抑制するようにした力率改善回路が、従来から知られている。

[0003] 図8は、この種の力率改善回路を示しており、特許文献1に記載されているものである。

図8において、10は交流電源、20はダイオードブリッジからなる全波整流回路、31はインダクタ、32は電流検出抵抗、33は半導体スイッチ、34は整流用ダイオード、35は平滑コンデンサ、40は負荷である。ここで、インダクタ31、半導体スイッチ33、整流用ダイオード34及び平滑コンデンサ35は昇圧チョッパを構成しており、半導体スイッチ33のオン、オフによりインダクタ31へのエネルギーの蓄積、放出を繰り返し、平滑コンデンサ35の電圧を全波整流回路20の出力電圧よりも高い直流電圧に昇圧して負荷40に供給する。

[0004] また、50は半導体スイッチ33を制御する制御回路であり、51は基準電圧52と主回路の出力電圧との誤差を増幅する誤差増幅器、53は誤差増幅器52の出力と全波整流回路20の正側端子電圧とを乗算する乗算器、54は乗算器53の出力と全波整流回路20の負側端子電圧（電流検出抵抗32の一端の電圧）との誤差を増幅する誤差増幅器、55は全波整流回路20の正側端子電圧の大きさに応じた三角波信号を出力する電圧制御発振器（V

CO)、56は誤差増幅器54から出力されるフィードバック信号FBとVCO55から出力される三角波信号とを比較するPWMコンパレータであり、このコンパレータ56から出力されるPWMパルスによって半導体スイッチ33が駆動されるようになっている。

[0005] この従来技術では、PWMコンパレータ56が、交流電源電圧及び直流出力電圧の変動を連続的に補償するPWMパルスを発生し、交流電流波形を交流電圧波形に一致させて入力力率を改善している。

同時に、VCO55の作用により、図9に示すごとく、交流電源電圧 v_{in} の大きさに比例させて半導体スイッチ33のスイッチング周波数 f を変化させることにより、スイッチングに伴って発生するノーマルモードノイズを周波数に対して分散させ、ノイズやスイッチング損失を低減させている。

[0006] 図8に示した回路の動作としては、誤差増幅器51が、基準電圧52と主回路の直流出力電圧との誤差を増幅し、この誤差電圧と全波整流回路20の正側端子電圧との乗算結果が誤差増幅器54の非反転入力端子に入力される。誤差増幅器54では、上記乗算結果と電流検出抵抗32の一端の電圧とから誤差電圧を演算し、この誤差電圧がフィードバック信号FBとしてPWMコンパレータ56の非反転入力端子に入力される。

[0007] 一方、VCO55は、図10に示すように、入力電圧Eの下限值 E_1 から上限値 E_2 に至る範囲で周波数 f を f_1 から f_2 まで変化させる電圧周波数変換特性を有しており、入力電圧Eの大きさに応じて、例えば図11(a)の上段に示す上限周波数 f_2 の三角波信号、または、図11(b)の上段に示す下限周波数 f_1 の三角波信号を出力する。

コンパレータ56は、上記の三角波信号と、誤差増幅器54から出力されるフィードバック信号FBとを比較して図11(a)、(b)の下段に示すPWMパルスを生成し、このPWMパルスによって半導体スイッチ33をスイッチングしている。

先行技術文献

特許文献

[0008] 特許文献1：特許第4363067号公報（段落 [0026] ～ [0052]、図1～図8等）

発明の概要

発明が解決しようとする課題

[0009] 特許文献1に記載された従来技術によれば、特に交流電源電圧 v_{in} が低い範囲ではスイッチング周波数 f を低下させてスイッチング損失を低減させると共に、前述したごとく、スイッチングに伴うノイズを周波数に対して分散させることでノイズを抑制している。

しかしながら、この従来技術は、単純に交流電源電圧 v_{in} の大きさに比例させてスイッチング周波数 f を変化させるという着想に基づいている。従って、交流電源電圧 v_{in} の大きさによってはノイズ低減効果が十分に得られない恐れがあり、所定の伝導ノイズ規制をクリアするためにノーマルモードコイル等を備えた大型のフィルタ回路を併用せざるを得ないという問題があった。

[0010] そこで、本発明の解決課題は、力率改善用の半導体スイッチのスイッチング周波数を特許文献1とは異なる方法で変化させることにより、ノーマルモードノイズを大幅に低減し、フィルタ回路の小型化を可能にした力率改善回路を提供することにある。

課題を解決するための手段

[0011] 上記課題を解決するため、請求項1に係る発明は、交流電源の出力端子間に、インダクタと半導体スイッチとを含む直列回路が接続され、前記半導体スイッチの両端に、ダイオードと平滑コンデンサとの直列回路が接続され、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、

前記制御回路は、前記インダクタを流れる電流のリプルが最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御

するものである。

[0012] 請求項 2 に係る発明は、交流電源電圧を整流する整流回路と、前記整流回路の出力端子間に接続されるインダクタと半導体スイッチとの直列回路と、前記半導体スイッチの両端に接続されるダイオードと平滑コンデンサとの直列回路と、を備え、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記整流回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、

前記制御回路は、前記インダクタを流れる電流のリプルが最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御するものである。

[0013] 請求項 3 に係る発明は、請求項 1 または 2 に記載した力率改善回路において、交流電源電圧を入力電圧として検出する電圧検出回路と、平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、制御回路は、出力電圧に対する入力電圧の比に基づきリプルが最大となる時を検出してスイッチング周波数を最大値に制御するものである。

[0014] 請求項 4 に係る発明は、請求項 3 に記載した力率改善回路において、制御回路は、出力電圧に対する入力電圧の比が 0.5 である時にリプルが最大であることを検出するものである。

[0015] 請求項 5 に係る発明は、交流電源の出力端子間に、インダクタと半導体スイッチとを含む直列回路が接続され、前記半導体スイッチの両端に、ダイオードと平滑コンデンサとの直列回路が接続され、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、

前記制御回路は、前記インダクタを流れる電流のリプルの 3 次高調波成分

が最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御するものである。

[0016] 請求項 6 に係る発明は、交流電源電圧を整流する整流回路と、前記整流回路の出力端子間に接続されるインダクタと半導体スイッチとの直列回路と、前記半導体スイッチの両端に接続されるダイオードと平滑コンデンサとの直列回路と、を備え、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記整流回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、前記制御回路は、前記インダクタを流れる電流のリプルの 3 次高調波成分が最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御するものである。

[0017] 請求項 7 に係る発明は、請求項 6 に記載した力率改善回路において、交流電源電圧を入力電圧として検出する電圧検出回路と、平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、制御回路は、出力電圧に対する入力電圧の比に基づきリプルの 3 次高調波成分が最大となる時を検出してスイッチング周波数を最大値に制御するものである。

[0018] なお、請求項 8, 9 に記載するように、請求項 7 に係る力率改善回路において、制御回路は、出力電圧に対する入力電圧の比が $5/6$ または $3/6$ または $1/6$ である時、あるいは、半導体スイッチをスイッチングするパルスのデューティ比が $1/6$ または $3/6$ または $5/6$ である時に、リプルの 3 次高調波成分が最大であることを検出すれば良い。

発明の効果

[0019] 本発明によれば、力率改善回路の入出力電圧に基づいて半導体スイッチのスイッチング周波数を制御することにより、ノーマルモードノイズを効果的に低減することができ、これによってフィルタ回路ひいては装置全体を小型化することができる。

図面の簡単な説明

- [0020] [図1]本発明の実施形態に係る力率改善回路の構成図である。
- [図2]図1における入出力電圧比とインダクタ電流リップとの関係を示すグラフである。
- [図3]図1における制御回路の第1実施例を示す構成図である。
- [図4]デューティ比とリップの3次高調波成分との関係を示す図である。
- [図5]図1における制御回路の第2実施例を示す構成図である。
- [図6]デューティ比とリップの3次高調波成分及びスイッチング周波数との関係を示す図である。
- [図7]本発明の他の実施形態の主要部を示す回路図である。
- [図8]特許文献1に記載された力率改善回路の構成図である。
- [図9]図8における交流電源電圧とスイッチング周波数との関係を示すタイミングチャートである。
- [図10]図8におけるVCOの電圧周波数変換特性の説明図である。
- [図11]図8におけるVCO及びPWMコンパレータの動作を示すタイミングチャートである。

発明を実施するための形態

- [0021] 以下、図に沿って本発明の実施形態を説明する。図1は、この実施形態に係る力率改善回路の構成図であり、図8と同一部分については同一の参照符号を付してある。

図1において、10は交流電源、15はリアクトルやコンデンサ等からなるフィルタ回路、20はダイオードブリッジからなる全波整流回路、31はインダクタ（昇圧リアクトル）、32は電流検出抵抗、33はMOSFET等の半導体スイッチ、34は整流用ダイオード、35は平滑コンデンサ、40は負荷である。前記同様に、インダクタ31、半導体スイッチ33、整流用ダイオード34及び平滑コンデンサ35は昇圧チョッパを構成しており、半導体スイッチ33のオン、オフによりインダクタ31へのエネルギーの蓄積、放出を繰り返し、平滑コンデンサ35の電圧を全波整流回路20の出力

電圧よりも高い直流電圧に昇圧して負荷40に供給する。

[0022] 全波整流回路20の入力端子間には入力電圧（交流電源電圧）検出回路61が接続され、電流検出抵抗32の両端には電流検出回路62が接続されていると共に、ダイオード34と平滑コンデンサ35との接続点には出力電圧検出回路63が接続されている。

これらの検出回路61、62、63の出力は、電圧制御、電流制御及びPWM制御を実行するマイコン等の制御回路70に入力されている。また、制御回路70からは駆動回路にPWMパルスが入力されており、駆動回路80はこのPWMパルスに基づいて半導体スイッチ33をオン、オフするように構成されている。

[0023] さて、図1に示した力率改善回路において、ノーマルモードノイズはインダクタ31の電流 I_L に含まれるリップルの大きさと相関があり、電流 I_L のリップルが大きいほどノーマルモードノイズも大きくなる。ここで、電流 I_L のリップル（の大きさ） ΔI_L は下記の数式1によって表すことができ、 ΔI_L は、図2に示すように、図1の入出力電圧比（交流電源電圧 v_{in} /直流出力電圧 v_d ）に対して、 $v_{in}/v_d=0.5$ の時に最大となり、 v_{in}/v_d が0.5から遠ざかるほど小さくなる。

[0024] [数1]

$$\Delta I_L = \frac{v_{in}}{L} \cdot T_{ON} = \frac{v_{in}}{L} \cdot \frac{v_d - v_{in}}{v_d} \cdot T_{SW}$$

v_{in} : 入力電圧瞬時値 L : インダクタ31のインダクタンス

v_d : 出力電圧瞬時値 T_{SW} : スイッチング周期

T_{ON} : オン期間

[0025] 従って、リップルの大きさ ΔI_L が最大となる $v_{in}/v_d=0.5$ の時にスイッチング周波数 F_{SW} を最大化するように制御すれば、単位時間当たりのリップル ΔI_L の変化量も少なくなり、ノーマルモードノイズを効果的に低減することができる。

そこで、本発明の第1実施例では、図1の制御回路70において、図3に

示すブロック図によりスイッチング周波数指令値 F_{sw}^* を演算することとした。

[0026] すなわち、図3 (a) のブロック図に示すように、図1の各検出回路61, 63により得た v_{in} , v_d を除算手段71に入力して除算し、その結果 (v_{in}/v_d) を定数乗算手段72に入力して定数「2」を乗算する。こうして演算した「 $2 \times (v_{in}/v_d)$ 」と、減算手段73により定数「2」から定数乗算手段72の出力を減算して得た「 $2 - 2 \times (v_{in}/v_d)$ 」とを、セレクタ74に入力する。

[0027] セレクタ74では、二つの入力値のうち小さい方を選択して出力し、その出力値とスイッチング周波数変化分最大値「 ΔF_{swmax} 」とを乗算手段75により乗算してスイッチング周波数変化分「 ΔF_{sw} 」を算出する。そして、加算手段76により、スイッチング周波数変化分「 ΔF_{sw} 」と最小スイッチング周波数「 F_{swmin} 」とを加算し、スイッチング周波数指令値「 F_{sw}^* 」を求める。

このスイッチング周波数指令値「 F_{sw}^* 」に基づいてPWM制御に用いるキャリア波の周波数を変化させることにより、図1における半導体スイッチ33のスイッチング周波数 F_{sw} を変化させる。

[0028] ここで、上記のスイッチング周波数変化分「 ΔF_{sw} 」は、図3 (b) に示すように、 $v_{in}/v_d = 0.5$ の時に最大値「 ΔF_{swmax} 」となり、 $0 \leq v_{in}/v_d < 0.5$ の範囲では0~最大値の間で直線状に増加し、 $0.5 < v_{in}/v_d \leq 1.0$ の範囲では最大値~0の間で直線状に減少するような値となる。

図3 (a) の構成によってスイッチング周波数 F_{sw} を制御することにより、 $v_{in}/v_d = 0.5$ の時にセレクタ74の出力は常に「1」となり、 $\Delta F_{sw} = \Delta F_{swmax}$ となる。この ΔF_{sw} を最小スイッチング周波数「 F_{swmin} 」に加算することにより、半導体スイッチ33のスイッチング周波数 F_{sw} を最大化することができる。

[0029] $v_{in}/v_d \neq 0.5$ の場合には、セレクタ74の出力は常に「1」未満となるので、スイッチング周波数指令値「 F_{sw}^* 」は $v_{in}/v_d = 0.5$ の時より

も常に小さくなる。

なお、スイッチング周波数指令値 F_{sw}^* を決定するに当たっては、半導体スイッチ 33 の定格やスイッチング損失等を勘案する必要があるのは言うまでもない。

[0030] このため、第 1 実施例によれば、電流 I_L のリプル ΔI_L 、言い換えればノーマルモードノイズが最大である時のスイッチング周波数 F_{sw} が最大になるように制御することができ、単位時間当たりのリプル ΔI_L の変化量を少なくしてノーマルモードノイズを効果的に低減することができる。

よって、図 1 に示したようにフィルタ回路 15 を設ける場合でも、リアクトルやコンデンサ等に小型かつ小容量の物を用いることができ、装置全体が大型化するおそれがない。

[0031] 次に、制御回路 70 の第 2 実施例について説明する。

伝導ノイズの規制対象となる周波数は 150 [kHz] 以上であり、スイッチング周波数を 50 [kHz] ~ 70 [kHz] 程度にする場合、規制対象となる周波数はスイッチング周波数の 3 倍以上となる。このため、スイッチング周波数に対する 3 次高調波成分を抑制すれば、大きなノイズ低減効果が得られることがある。

[0032] インダクタ 31 を流れる電流 I_L のリプルの n 次高調波成分の大きさは数式 2 により表される。この数式 2 によれば、リプル ΔI_L の 3 次高調波成分は、PWM パルスのデューティ比 $D (= T_{ON} / T_{SW})$ が $1/6$, $3/6$, $5/6$ の時に最大となる。なお、図 4 はデューティ比 D とリプル ΔI_L の 3 次高調波成分との関係を示したものである。

[数 2]

$$\Delta I_{Ln} = \frac{v_d \cdot T_{sw}}{2L} \cdot \frac{1}{(n\pi)^2} \cdot |\sin(n\pi D)|$$

ΔI_{Ln} : リプル ΔI_L の n 次高調波成分

D : デューティ比

[0033] 従って、デューティ比 $D = 1/6$, $3/6$, $5/6$ の時にスイッチング周

波数 F_{sw} が最大となるように変化させることで、リップル ΔI_L の 3 次高調波成分に起因するノイズを効果的に低減することができる。

ここで、前述した数式 1 により、 $T_{ON}/T_{SW} = (v_d - v_{in}) / v_d =$ デューティ比 D であるから、「デューティ比 $D = 1/6, 3/6, 5/6$ の時」とは、「 $(v_d - v_{in}) / v_d = 1/6, 3/6, 5/6$ の時、言い換えれば、 $v_{in}/v_d = 5/6, 3/6, 1/6$ の時」に等しい。

[0034] 上記の点に基づき、本発明の第 2 実施例では、図 1 の制御回路 70 において図 5 に示すブロック図によりスイッチング周波数指令値 F_{sw}^* を演算する。なお、図 5 が図 3 と異なるのは、除算手段 71 の出力側から定数乗算手段 77g に至る部分であり、その他の構成は図 3 と同様である。

[0035] すなわち、図 5 において、除算手段 71 による除算結果 (v_{in}/v_d) を第 1、第 2 の比較手段 77a, 77d の非反転入力端子に入力する。第 1 の比較手段 77a は、 v_{in}/v_d が「 $1/3$ 」より大きい場合に「High」レベルの信号を出力し、第 2 の比較手段 77d は、 v_{in}/v_d が「 $2/3$ 」より大きい場合に「High」レベルの信号を出力する。

第 1 の比較手段 77a の出力信号は第 1 の切替手段 77b に入力されており、第 1 の比較手段 77a の出力信号が「High」レベルの場合には「 $1/3$ 」側に、「Low」レベルの場合には「0」側に切り替わる。また、第 2 の比較手段 77d の出力信号は第 2 の切替手段 77e に入力されており、第 2 の比較手段 77d の出力信号が「High」レベルの場合には「 $1/3$ 」側に、「Low」レベルの場合には「0」側に切り替わる。

[0036] また、二つの減算手段 77c, 77f が直列に接続されており、前記除算結果 (v_{in}/v_d) から第 1 の切替手段 77b の出力を減算し、その減算結果から第 2 の切替手段 77e の出力を減算するように構成されている。そして、減算手段 77f の出力に対し定数乗算手段 77g が「6」を乗算し、その乗算結果がセレクタ 74 に入力されると共に、減算手段 73 により「2」から定数乗算手段 77g の出力を減算した値がセレクタ 74 に入力されるように構成されている。セレクタ 74 以降の構成は、図 3 と同様である。

[0037] 上記構成により、減算手段77fの出力は、 $v_{in}/v_d < 1/3$ である場合には v_{in}/v_d となり、 $1/3 < v_{in}/v_d < 2/3$ である場合には $v_{in}/v_d - 1/3$ となり、 $v_{in}/v_d > 2/3$ である場合には $v_{in}/v_d - 2/3$ となる。

このため、定数乗算手段77gの出力は、それぞれ「 $6 \times (v_{in}/v_d)$ 」、「 $6 \times (v_{in}/v_d - 1/3)$ 」、「 $6 \times (v_{in}/v_d - 2/3)$ 」となる。また、これらの定数乗算手段77gの出力に応じた減算手段73の出力は、それぞれ、「 $2 - 6 \times (v_{in}/v_d)$ 」、「 $2 - 6 \times (v_{in}/v_d - 1/3)$ 」、「 $2 - 6 \times (v_{in}/v_d - 2/3)$ 」となる。

セレクタ74は、「 $6 \times (v_{in}/v_d)$ 」と「 $2 - 6 \times (v_{in}/v_d)$ 」とを比較して小さい方を選択し、または、「 $6 \times (v_{in}/v_d - 1/3)$ 」と「 $2 - 6 \times (v_{in}/v_d - 1/3)$ 」とを比較して小さい方を選択し、または、「 $6 \times (v_{in}/v_d - 2/3)$ 」と「 $2 - 6 \times (v_{in}/v_d - 2/3)$ 」とを比較して小さい方を選択して乗算手段75に出力する。

[0038] このため、 $v_{in}/v_d = 1/6$ である場合、 $v_{in}/v_d = 3/6$ である場合、 $v_{in}/v_d = 5/6$ である場合には、何れもセレクタ74の出力は「1」となり、第1実施例と同様に、 $\Delta F_{sw} = \Delta F_{swmax}$ となる。よって、この ΔF_{sw} を最小スイッチング周波数「 F_{swmin} 」に加算することにより、半導体スイッチ33のスイッチング周波数 F_{sw} を最大化することができる。

つまり、電流 I_L のリプル ΔI_L の3次高調波成分が最大の時にスイッチング周波数 F_{sw} を最大化することができるので、単位時間当たりのリプル ΔI_L の変化量を少なくしてノーマルモードノイズを効果的に低減することができる。

[0039] なお、図6は、第2実施例におけるデューティ比 D と ΔI_L の3次高調波成分及びスイッチング周波数 F_{sw} の関係を示したものであり、図示するように、スイッチング周波数 F_{sw} をデューティ比 D に応じて三角波状に変化させれば、所望のノイズ低減効果を得ることができる。

[0040] 図7(a)、(b)は、本発明の他の実施形態の主要部を示す回路図であ

り、これらの図において、31 a, 31 bはインダクタ、33 a, 33 bは制御回路により交互にオンオフされる半導体スイッチ、34 a, 34 b, 34 c, 34 dはダイオードである。

本発明の特徴は、半導体スイッチに直列に接続されたインダクタを流れる電流のリプルが最大となる時に、または、上記インダクタを流れる電流のリプルの3次高調波成分が最大となる時に、半導体スイッチのスイッチング周波数が最大になるようにスイッチング周波数を制御することにある。このため、制御回路の第1実施例(図3)や第2実施例(図5)は、図1の回路に限らず、例えば図7(a), (b)に示す構成の力率改善回路にも適用することができる。

産業上の利用可能性

[0041] 本発明は、例えば、交流電源を整流して昇圧する昇圧型交流-直流変換器、特に、商用電源を用いて電気自動車等のバッテリーを充電する車載用充電器に利用することができる。

符号の説明

[0042] 10 : 交流電源
15 : フィルタ回路
20 : 全波整流回路
31 : インダクタ (昇圧リアクトル)
31 a, 31 b : インダクタ
32 : 電流検出抵抗
33 : 半導体スイッチ
33 a, 33 b : 半導体スイッチ
34 : ダイオード
34 a, 34 b, 34 c, 34 d : ダイオード
35 : 平滑コンデンサ
40 : 負荷
61 : 入力電圧検出回路

- 6 2 : 電流検出回路
- 6 3 : 出力電圧検出回路
- 7 0 : 制御回路
- 7 1 : 除算手段
- 7 2 : 定数乗算手段
- 7 3 : 減算手段
- 7 4 : セレクタ
- 7 5 : 乗算手段
- 7 6 : 加算手段
- 7 7 a, 7 7 d : 比較手段
- 7 7 b, 7 7 e : 切替手段
- 7 7 c, 7 7 f : 減算手段
- 7 7 g : 定数乗算手段
- 8 0 : 駆動回路

請求の範囲

- [請求項1] 交流電源の出力端子間に、インダクタと半導体スイッチとを含む直列回路が接続され、前記半導体スイッチの両端に、ダイオードと平滑コンデンサとの直列回路が接続され、前記平滑コンデンサの両端に負荷が接続される回路であって、
- 前記半導体スイッチのスイッチング動作により前記回路の入力側の力率を改善する力率改善回路において、
- 前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、
- 前記制御回路は、前記インダクタを流れる電流のリプルが最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御することを特徴とする力率改善回路。
- [請求項2] 交流電源電圧を整流する整流回路と、前記整流回路の出力端子間に接続されるインダクタと半導体スイッチとの直列回路と、前記半導体スイッチの両端に接続されるダイオードと平滑コンデンサとの直列回路と、を備え、前記平滑コンデンサの両端に負荷が接続される回路であって、
- 前記半導体スイッチのスイッチング動作により前記整流回路の入力側の力率を改善する力率改善回路において、
- 前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、
- 前記制御回路は、前記インダクタを流れる電流のリプルが最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御することを特徴とする力率改善回路。
- [請求項3] 請求項1または2に記載した力率改善回路において、
- 交流電源電圧を入力電圧として検出する電圧検出回路と、前記平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、

前記制御回路は、前記出力電圧に対する前記入力電圧の比に基づき前記リップルが最大となる時を検出して前記スイッチング周波数を最大値に制御することを特徴とする力率改善回路。

[請求項4] 請求項3に記載した力率改善回路において、

前記制御回路は、前記出力電圧に対する前記入力電圧の比が0.5である時に前記リップルが最大であることを検出することを特徴とする力率改善回路。

[請求項5] 交流電源の出力端子間に、インダクタと半導体スイッチとを含む直列回路が接続され、前記半導体スイッチの両端に、ダイオードと平滑コンデンサとの直列回路が接続され、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、

前記制御回路は、前記インダクタを流れる電流のリップルの3次高調波成分が最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御することを特徴とする力率改善回路。

[請求項6] 交流電源電圧を整流する整流回路と、前記整流回路の出力端子間に接続されるインダクタと半導体スイッチとの直列回路と、前記半導体スイッチの両端に接続されるダイオードと平滑コンデンサとの直列回路と、を備え、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記整流回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、

前記制御回路は、前記インダクタを流れる電流のリップルの3次高調

波成分が最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御することを特徴とする力率改善回路。

[請求項7]

請求項5または6に記載した力率改善回路において、

交流電源電圧を入力電圧として検出する電圧検出回路と、前記平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、

前記制御回路は、前記出力電圧に対する前記入力電圧の比に基づき前記リップルの3次高調波成分が最大となる時を検出して前記スイッチング周波数を最大値に制御することを特徴とする力率改善回路。

[請求項8]

請求項7に記載した力率改善回路において、

前記制御回路は、前記出力電圧に対する前記入力電圧の比が $5/6$ または $3/6$ または $1/6$ である時に前記リップルの3次高調波成分が最大であることを検出することを特徴とする力率改善回路。

[請求項9]

請求項7に記載した力率改善回路において、

前記制御回路は、前記半導体スイッチをスイッチングするパルスのデューティ比が $1/6$ または $3/6$ または $5/6$ である時に前記リップルの3次高調波成分が最大であることを検出することを特徴とする力率改善回路。

補正された請求の範囲
[2014年12月19日 (19.12.2014) 国際事務局受理]

[請求項 1] (補正後) 交流電源の出力端子間に、インダクタと半導体スイッチとを含む直列回路が接続され、前記半導体スイッチの両端に、ダイオードと平滑コンデンサとの直列回路が接続され、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路と、

交流電源電圧を入力電圧として検出する電圧検出回路と、

前記平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、

前記制御回路は、前記出力電圧に対する前記入力電圧の比に基づき前記インダクタを流れる電流のリプルが最大となる時を検出して前記スイッチング周波数を最大値に制御することを特徴とする力率改善回路。

[請求項 2] (補正後) 交流電源電圧を整流する整流回路と、前記整流回路の出力端子に接続されるインダクタと半導体スイッチとの直列回路と、前記半導体スイッチの両端に接続されるダイオードと平滑コンデンサとの直列回路と、を備え、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記整流回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路と、

交流電源電圧を入力電圧として検出する電圧検出回路と、

前記平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、

前記制御回路は、前記出力電圧に対する前記入力電圧の比に基づき前記インダクタを流れる電流のリプルが最大となる時を検出して前記スイッチング周波数を最大値に制御することを特徴とする力率改善回路。

[請求項 3] (補正後) 請求項 1 または 2 に記載した力率改善回路において、

前記制御回路は、前記出力電圧に対する前記入力電圧の比が0.5である時に前記リップルが最大であることを検出することを特徴とする力率改善回路。

[請求項4] (補正後) 交流電源の出力端子間に、インダクタと半導体スイッチとを含む直列回路が接続され、前記半導体スイッチの両端に、ダイオードと平滑コンデンサとの直列回路が接続され、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、前記制御回路は、前記インダクタを流れる電流のリップルの3次高調波成分が最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御することを特徴とする力率改善回路。

[請求項5] (補正後) 交流電源電圧を整流する整流回路と、前記整流回路の出力端子間に接続されるインダクタと半導体スイッチとの直列回路と、前記半導体スイッチの両端に接続されるダイオードと平滑コンデンサとの直列回路と、を備え、前記平滑コンデンサの両端に負荷が接続される回路であって、

前記半導体スイッチのスイッチング動作により前記整流回路の入力側の力率を改善する力率改善回路において、

前記半導体スイッチのスイッチング周波数を可変とする制御回路を備え、前記制御回路は、前記インダクタを流れる電流のリップルの3次高調波成分が最大となる時に前記スイッチング周波数が最大になるように前記スイッチング周波数を制御することを特徴とする力率改善回路。

[請求項6] (補正後) 請求項4または5に記載した力率改善回路において、

交流電源電圧を入力電圧として検出する電圧検出回路と、前記平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路と、を備え、

前記制御回路は、前記出力電圧に対する前記入力電圧の比に基づき前記リップルの3次高調波成分が最大となる時を検出して前記スイッチング周波

数を最大値に制御することを特徴とする力率改善回路。

[請求項 7] (補正後) 請求項 6 に記載した力率改善回路において、

前記制御回路は、前記出力電圧に対する前記入力電圧の比が $5/6$ または $3/6$ または $1/6$ である時に前記リップルの 3 次高調波成分が最大であることを検出することを特徴とする力率改善回路。

[請求項 8] (補正後) 請求項 6 に記載した力率改善回路において、

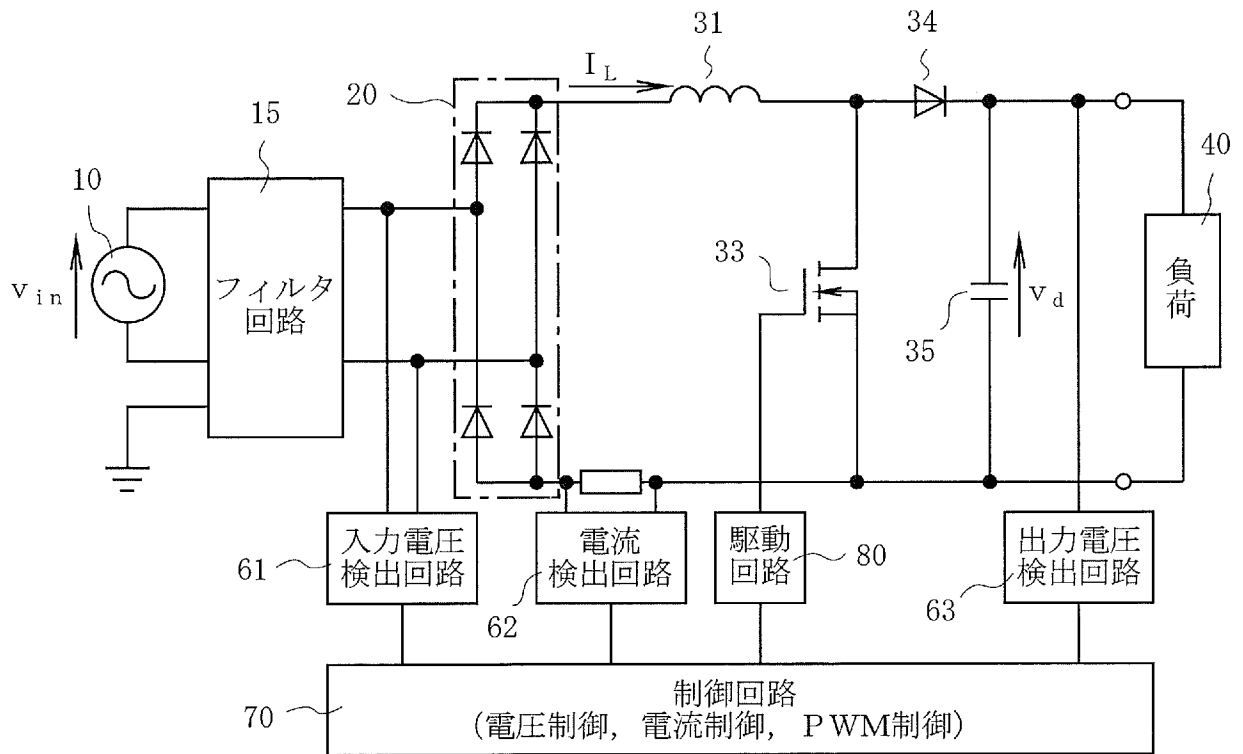
前記制御回路は、前記半導体スイッチをスイッチングするパルスのデューティ比が $1/6$ または $3/6$ または $5/6$ である時に前記リップルの 3 次高調波成分が最大であることを検出することを特徴とする力率改善回路。

[請求項 9] (削除)

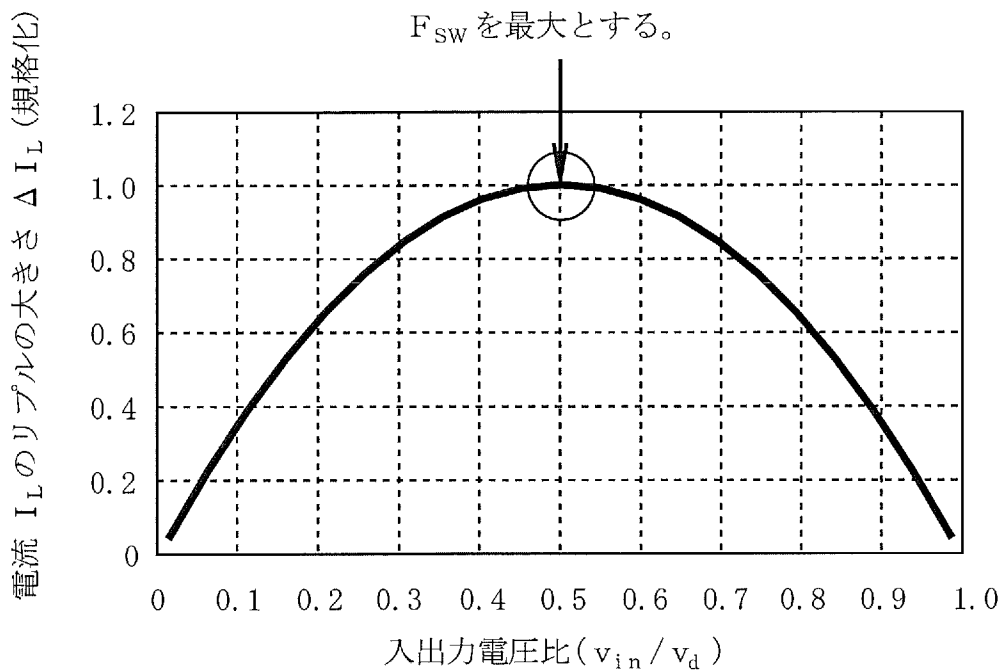
条約第19条(1)に基づく説明書

請求の範囲の請求項1, 2では、出願当初の請求項3を根拠として、交流電源電圧を入力電圧として検出する電圧検出回路と、平滑コンデンサの両端電圧を出力電圧として検出する電圧検出回路とを備え、制御回路が、前記出力電圧に対する前記入力電圧の比に基づいてインダクタを流れる電流のリプルが最大になる時を検出し、スイッチング周波数を最大値に制御することを明確にした。これらの事項は、引用文献1（特開2013-27270号公報）、引用文献2（特開2009-38957号公報）、及び引用文献3（国際公開2009/008197）に何ら記載されていない。

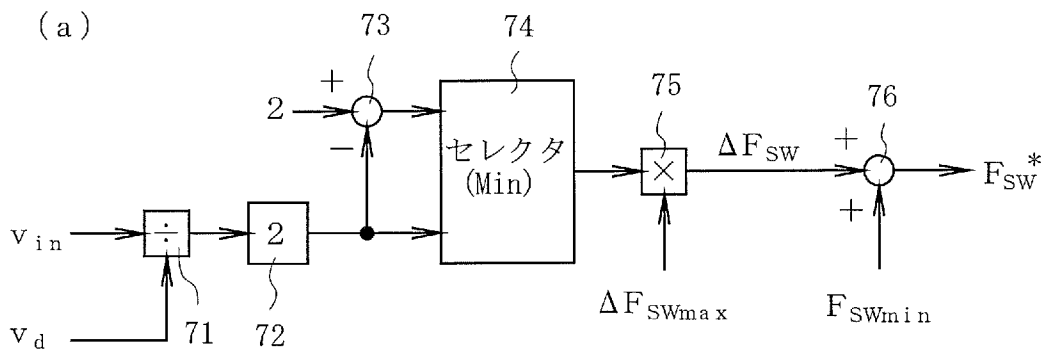
[図1]



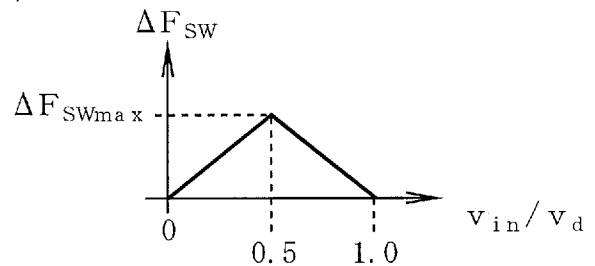
[図2]



[図3]

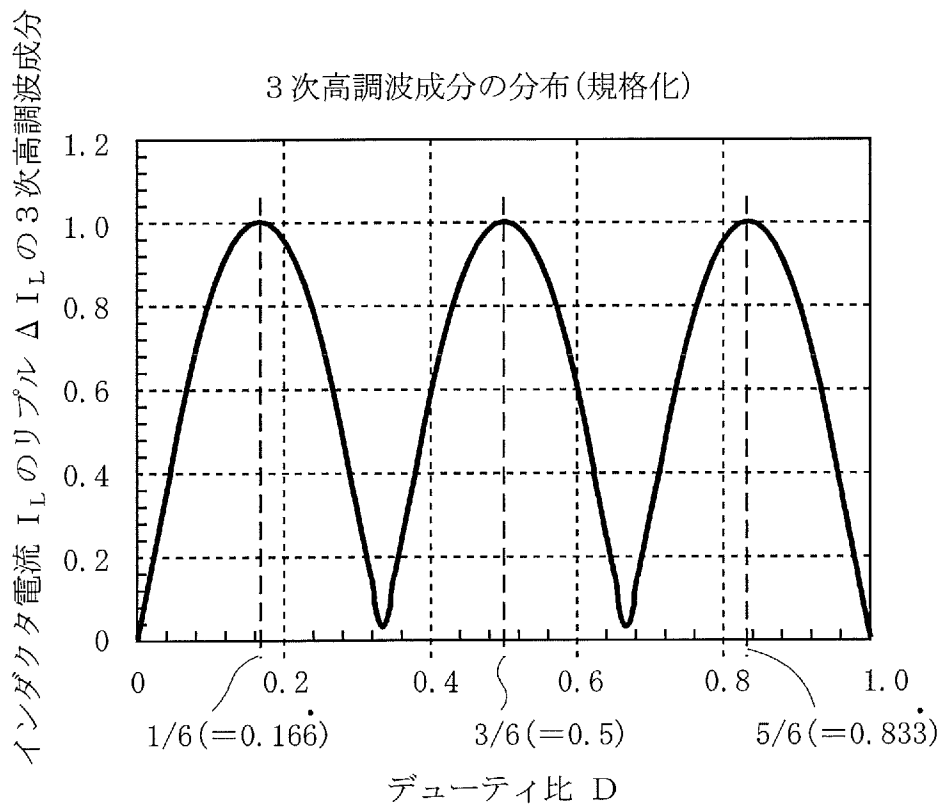


(b)

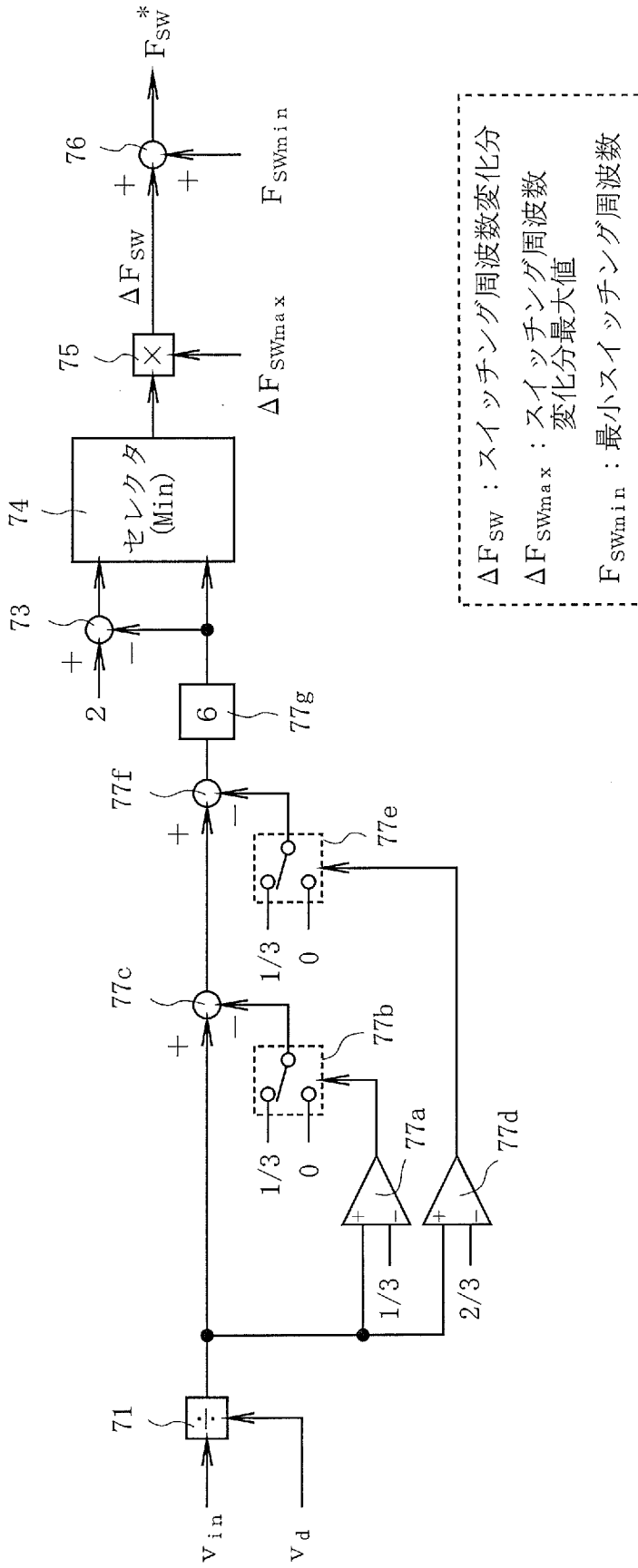


ΔF_{SW} : スイッチング周波数変化分
 ΔF_{SWmax} : スイッチング周波数変化分最大値
 F_{SWmin} : 最小スイッチング周波数

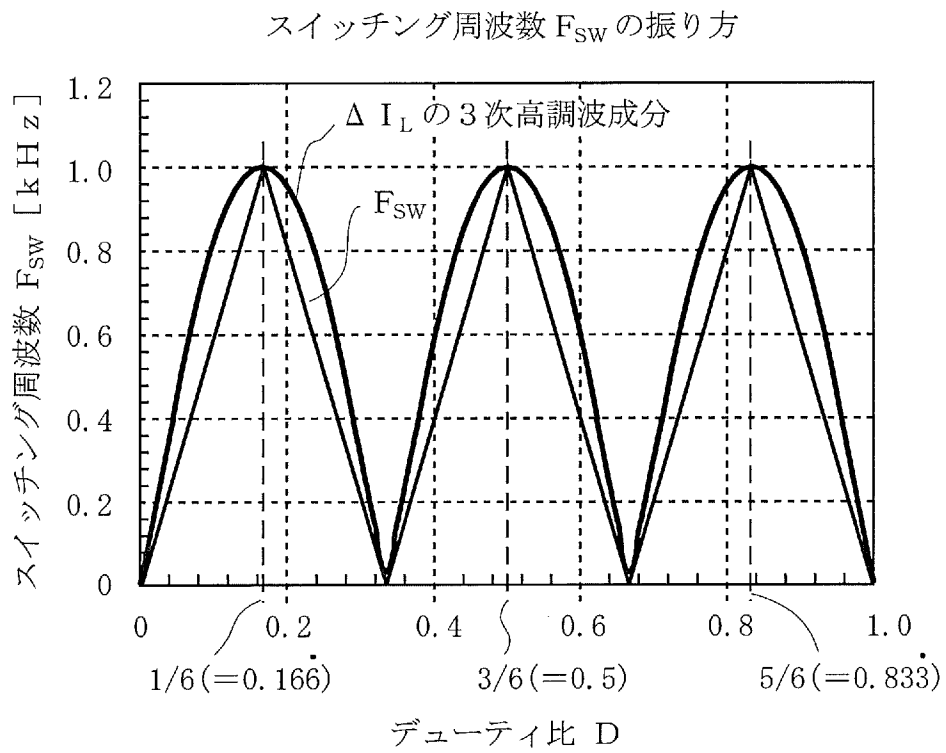
[図4]



[図5]

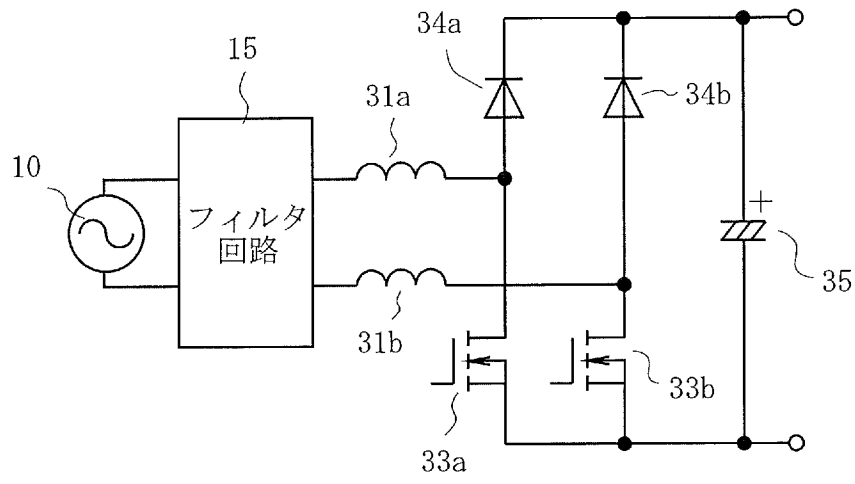


[図6]

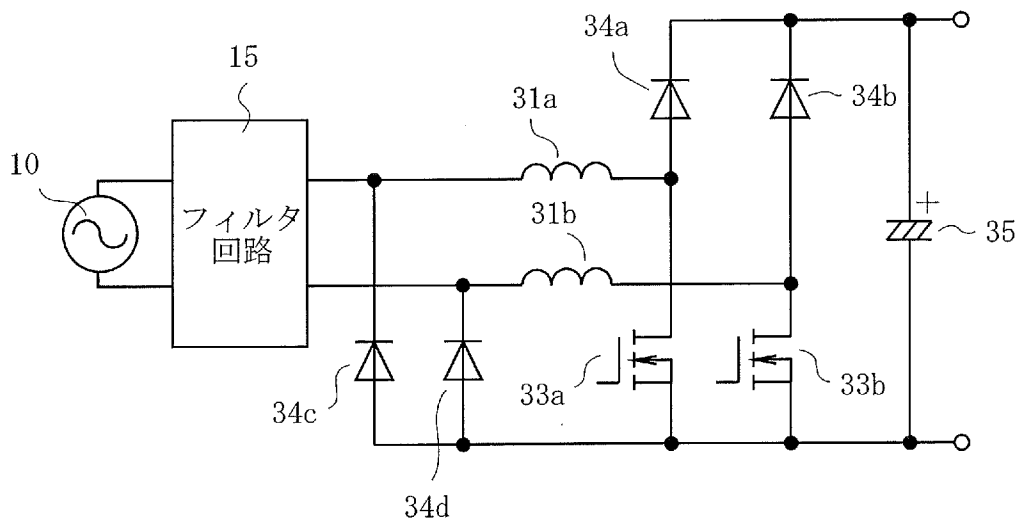


[図7]

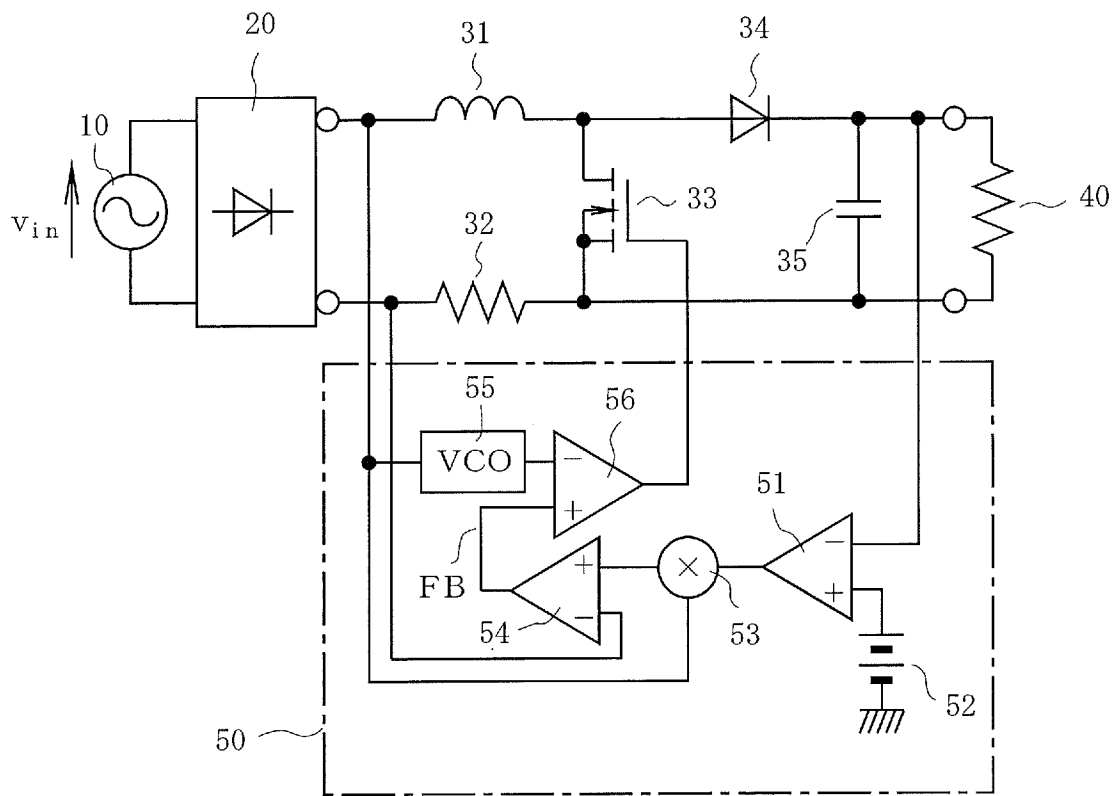
(a)



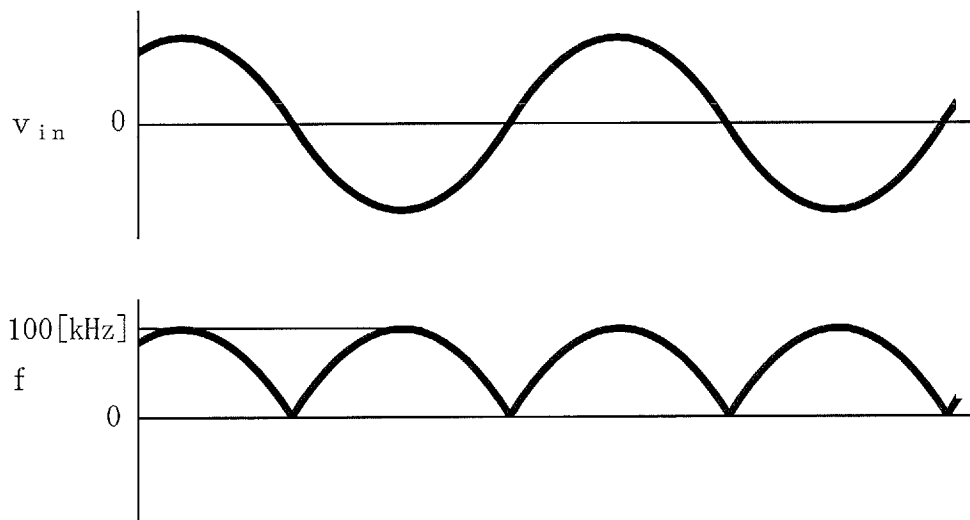
(b)



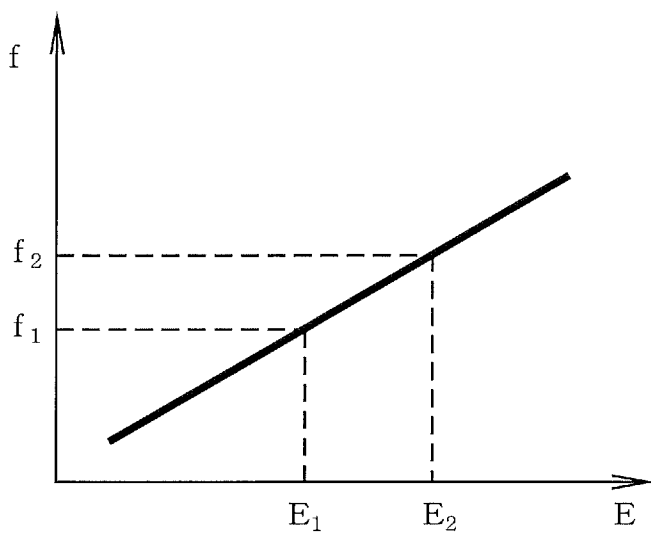
[図8]



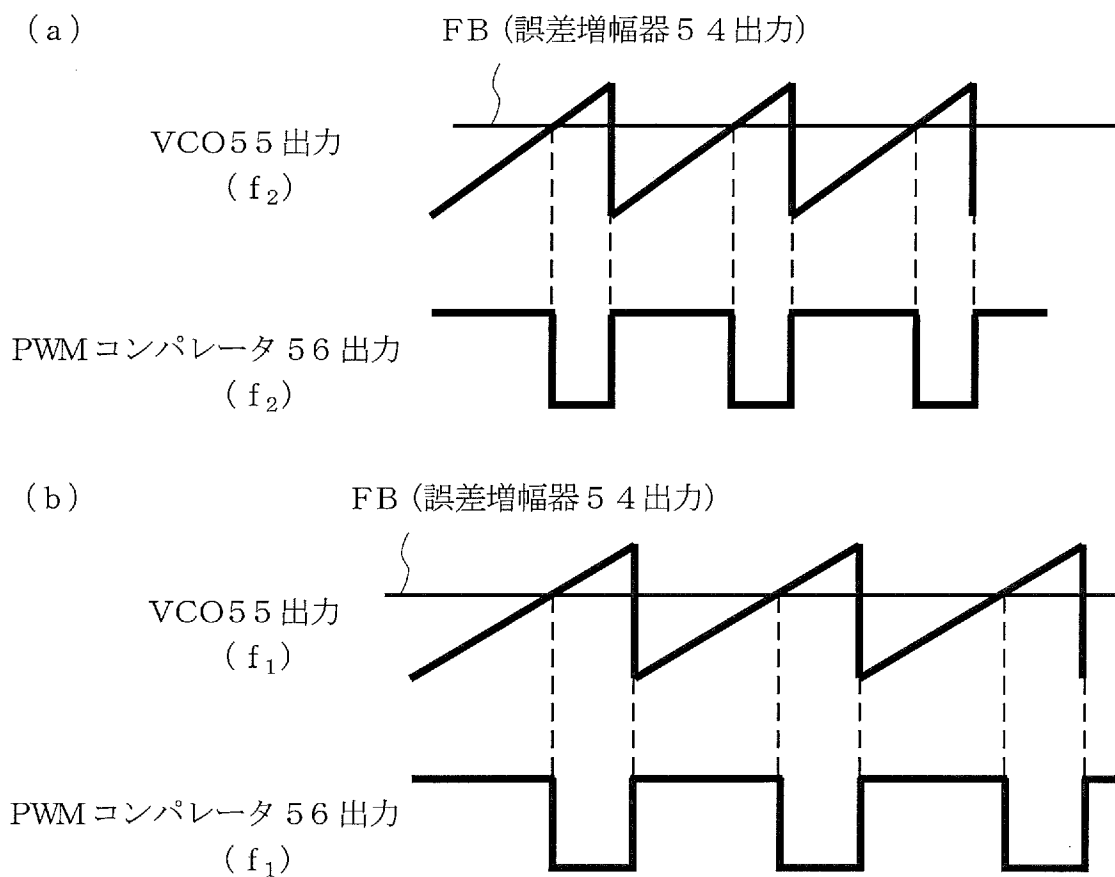
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/076642

A. CLASSIFICATION OF SUBJECT MATTER
H02M7/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-155813 A (Fujitsu General Ltd.), 11 August 2011 (11.08.2011), paragraphs [0020] to [0022]; fig. 4 (Family: none)	1-2 3-9
A	JP 2009-38957 A (Fuji Electric Device Technology Co., Ltd.), 19 February 2009 (19.02.2009), paragraph [0024]; fig. 2 & US 2009/0016087 A1	1-9
A	WO 2009/008197 A1 (Murata Mfg. Co., Ltd.), 15 January 2009 (15.01.2009), paragraphs [0031] to [0048] & US 2010/0097829 A1 & EP 2166657 A1	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 December, 2013 (10.12.13)	Date of mailing of the international search report 17 December, 2013 (17.12.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M7/12(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M7/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2011-155813 A（株式会社富士通ゼネラル）2011.08.11, 段落[0020]-[0022], 図4等（ファミリーなし）	1-2 3-9
A	JP 2009-38957 A（富士電機デバイステクノロジー株式会社） 2009.02.19, 段落[0024], 図2等 & US 2009/0016087 A1	1-9
A	WO 2009/008197 A1（株式会社村田製作所）2009.01.15, 段落 [0031]-[0048]等 & US 2010/0097829 A1 & EP 2166657 A1	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 10.12.2013	国際調査報告の発送日 17.12.2013	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 今井 貞雄 電話番号 03-3581-1101 内線 3358	3V 4129