(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 104115128 B
(45)授权公告日 2017.07.14

(21)申请号 201280059802.9

(22)申请日 2012.10.25

(65)同一申请的已公布的文献号
申请公布号 CN 104115128 A

(43)申请公布日 2014.10.22

(30)优先权数据
61/551,922 2011.10.26 US
13/659,850 2012.10.24 US

(85)PCT国际申请进入国家阶段日
2014.06.05

(86)PCT国际申请的申请数据
PCT/US2012/061981 2012.10.25

(87)PCT国际申请的公布数据
WO2013/063311 EN 2013.05.02

(73)专利权人 高通科技公司
地址 美国加利福尼亚州

(72)发明人 劳伦特·勒内·默尔
让-雅克·勒克莱

(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 孙宝成

(51)Int.Cl.
G06F 12/0815(2016.01)

审查员 赵畅

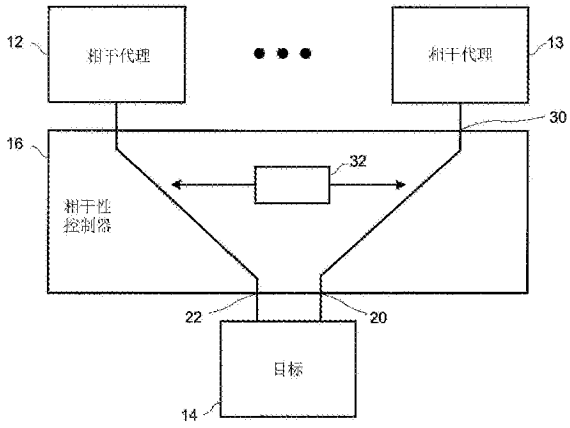
权利要求书2页 说明书7页 附图4页

(54)发明名称

具有高速缓存相干性的集成电路

(57)摘要

本发明提供一种经改善的高速缓存相干性控制器、操作方法和此操作系统。从相干代理到共享目标的业务可在不同信道上流动通过所述相干性控制器。这种情况改善了性能敏感型代理的服务质量。此外，在来自相干性控制的单独网络上执行数据传送。这种情况最小化了数据移动的距离，从而减少了芯片上导线物理布线的拥塞，并减少了数据传送的功率消耗。



CN 104115128 B

1.一种相干性控制器，其包括：

第一相干代理接口和第二相干代理接口，其中所述第一相干代理接口能够连接到第一相干代理，且所述第二相干代理接口能够连接到第二相干代理；和

第一目标信道和第二目标信道，其中所述第一目标信道能够连接到目标存储器，其中所述第二目标信道能够连接到所述目标存储器，且其中所述第一目标信道是独立的，

其中所述相干性控制器经配置以当接收到起始代理发起的请求时在所述第一目标信道和所述第二目标信道之间选择作为在其上向所述目标存储器发送所述请求的信道，其中所述起始代理是所述第一相干代理和所述第二相干代理中的任意一者。

2.根据权利要求1所述的相干性控制器，其中所述第一目标信道和所述第二目标信道为虚拟信道。

3.根据权利要求1所述的相干性控制器，其中所述第一目标信道和所述第二目标信道在物理上分开。

4.根据权利要求1所述的相干性控制器，其中所述相干性控制器经配置以基于所述第一相干代理接口和所述第二相干代理接口中哪一个接口接收到所述请求而在所述第一目标信道和所述第二目标信道中选择一者作为在其上向所述目标存储器发送所述请求的所述信道。

5.根据权利要求1所述的相干性控制器，其中所述请求具有类型，其中所述类型是多个不同类型中的一者，且其中所述相干性控制器经配置以基于所述类型而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送所述请求的所述信道。

6.根据权利要求1所述的相干性控制器，其中所述请求具有优先级，其中所述优先级是多个不同优先级中的一者，且所述相干性控制器经配置以基于所述优先级而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送所述请求的所述信道。

7.根据权利要求1所述的相干性控制器，其中所述相干性控制器进一步经配置以接收信号，且进一步经配置以基于所述信号而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送请求的所述信道。

8.根据权利要求1所述的相干性控制器，其中所述请求具有地址，且其中所述相干性控制器经配置以基于所述地址而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送所述请求的所述信道。

9.根据权利要求1所述的相干性控制器，其中所述相干性控制器进一步经配置以基于所述第一相干代理和所述第二相干代理中的哪一个是所述起始代理而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送所述请求的所述信道。

10.根据权利要求1所述的相干性控制器，其中所述相干性控制器进一步经配置以从所述起始代理接收边带信息，且其中所述相干控制器进一步经配置以基于所述边带信息而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送所述请求的所述信道。

11.根据权利要求1所述的相干性控制器，

其中所述相干性控制器进一步经配置以接收信号，且进一步经配置以从所述起始代理接收边带信息，

其中所述请求具有类型、优先级和地址，其中所述类型是多个不同类型中的一者，且其

中所述优先级是多个不同优先级中的一者，

其中所述相干控制器进一步经配置以基于准则的组合而在所述第一目标信道和所述第二目标信道中选择在其上向所述目标存储器发送请求的所述信道，

其中所述准则选自包含如下各者的集合：所述第一相干代理接口和所述第二相干代理接口中的哪一个接口接收到所述请求、所述请求的所述地址、所述第一相干代理和所述第二相干代理中的哪一个代理是所述起始代理、所述请求的所述类型、所述请求的所述优先级、所述边带信息和到所述相干性控制器的所述信号。

12.根据权利要求1所述的相干性控制器，其中所述第一相干代理接口还能够连接到I/O相干代理，或者所述第二相干代理接口还能连接到I/O相干代理，或上述两者。

13.根据权利要求1所述的相干性控制器，其中所述第一相干代理接口还能够连接到完全相干代理，或者所述第二相干代理接口还能够连接到完全相干代理，或上述两者。

14.根据权利要求13所述的相干性控制器，其中所述完全相干代理为微处理器。

15.根据权利要求1所述的相干性控制器进一步经配置以向所述第一目标信道发送代表至少一个代理所请求的读取，并向所述第二目标信道发送代表至少一个其它代理所请求的读取。

16.根据权利要求12所述的相干性控制器进一步经配置以提供路径，其中读取到所述第一目标信道的路径和读取到所述第二目标信道的路径是分开的。

17.一种相干性系统，其包括：

多个相干代理；

相干性网络，所述相干代理经由所述相干性网络交换消息以维持相干性；和

至少一个目标，其存储数据，

其中相干代理可操作地直接连接到所述目标以传送数据，借此避免经由所述相干性网络发送数据。

18.根据权利要求17所述的系统，其进一步包括数据路径网络，所述相干代理经由所述数据路径网络连接到所述目标以传送数据。

19.根据权利要求17所述的系统，其中数据直接在所述多个相干代理与所述目标之间交换。

20.根据权利要求17所述的系统，其中所述多个相干代理中的至少一者为相干性控制器，且其以操作方式连接到另一相干代理以维持所述多个相干代理与所述另一相干代理之间的相干性。

21.根据权利要求17所述的系统，其中所述多个相干代理中的至少一者为相干性控制器，其以操作方式连接到至少一个I/O相干代理以维持所述多个相干代理与所述至少一个I/O相干代理之间的I/O相干性。

22.根据权利要求17所述的系统，其中所述多个相干代理直接彼此连接。

23.根据权利要求17所述的系统，其中所述多个相干代理使用互连结构而彼此连接。

24.根据权利要求17所述的系统，其中所述多个相干代理经由至少一个相干性控制器而连接。

具有高速缓存相干性的集成电路

[0001] 对相关申请案的交叉参考

[0002] 本申请案主张由发明人劳伦特摩尔(Laurent Moll)和吉恩·雅克勒克莱(Jean-Jacques Lecler)在2011年10月26日申请的,标题为“具有高速缓存相干性的集成电路(INTEGRATED CIRCUITS WITH CACHE-COHERENCY)”的第61/551,922号美国临时申请案,以及由发明人劳伦特摩尔(Laurent Moll)和吉恩·雅克勒克莱(Jean-Jacques Lecler)在2012年10月24日申请的,标题为“具有高速缓存相干性的集成电路(INTEGRATED CIRCUITS WITH CACHE-COHERENCY)”的第13/659,850号美国非临时申请案的优先权和权利,所述申请案中的每一者的全部内容以引用的方式并入本文中。

技术领域

[0003] 本发明大体上涉及半导体芯片领域,且更具体来说涉及具有高速缓存相干代理的芯片上系统。

背景技术

[0004] 高速缓存相干性用于维持分配式共享存储器系统中的数据的一致性。经由中心高速缓存相干性控制器将若干代理(各自通常包括一或多个高速缓冲存储器)连接在一起。这情况允许代理利用高速缓冲存储器的性能益处,同时仍能横跨代理提供数据的一致视图。

[0005] 存在若干高速缓存相干性协议,例如,因特尔(Intel)奔腾(Pentium)前端总线协议(FSB)、因特尔快速路径互连(QPI)、ARM AXI相干性扩展(ACE)或开放核心协议(OCP)版本3。高速缓存相干性协议通常基于对数据集(通常称为含有固定数据量(例如,32字节或64字节)的高速缓存线)的获取权限和放弃权限。典型权限为:

[0006] • 无:高速缓存线并不在代理中,且代理并不具有读取或写入数据的权限。

[0007] • 可读:高速缓存线在代理中,且代理具有读取本地所存储的高速缓存线内容的权限。多个代理可同时在高速缓存线上具有读取权限(即,多个读取器)。

[0008] • 可读和可写:高速缓存线在代理中,且代理具有写入(且通常读取)高速缓存线内容的权限。仅一个代理可具有在高速缓存线上的写入权限,且并无代理可同时具有读取权限。

[0009] 通常存在用于所有高速缓存线的后备存储器(例如,DRAM)。后备存储器为当数据并不在高速缓冲存储器中的任一者中时,存储所述数据的位置。在任何时刻处,后备存储器中的数据可并非相对于可在代理中的高速缓存线的最新拷贝为最新的。因为如此,代理内部的高速缓存线常常包含高速缓存线是干净(即,其具有与后备存储器中相同的值)还是脏(即,需要在某一时刻将其写回到后备存储器,这是因为其为最新版本)的指示。互连上的目标充当用于地址映射群组的后备存储器。在相干请求之后,当确定必须询问或更新后备存储器时,基于地址而将读取或写入发送到适当目标。

[0010] 代理中的高速缓存线的权限和“肮脏度”被称作高速缓存线的“状态”。相干性状态的最常见集合被称为MESI(修改排除共享无效),其中共享对应于读取权限(且高速缓存线

是干净的)，且修改和排除两者给予读取/写入权限，但在排除状态中，线是干净的，而在修改状态中，线是脏的且必须最终将其写回。在所述状态集合中，共享高速缓存线始终是干净的。

[0011] 存在较复杂版本，如MOESI(修改拥有排除共享无效)，其中允许具有读取权限的高速缓存线是脏的。

[0012] 其它协议可具有单独的读取和写入权限。存在许多高速缓存相干性状态集合和协议。

[0013] 在一股情况下，当代理需要其并不具有的关于高速缓存线的权限时，其必须直接或经由高速缓存相干性控制器而与其它代理交互，以获取权限。在最简单的“基于窥探”协议中，必须“窥探”其它代理以确保所述代理所请求的权限与其它代理已拥有的权限一致。举例来说，如果代理请求读取权限且其它代理并不具有写入权限，那么可授予读取权限。然而，如果代理已具有写入权限，那么在颁予其为起始代理之前，必须首先从所述代理移除所述权限。

[0014] 在一些系统中，代理直接在总线上放置窥探请求，且所有代理(或至少所有其它代理)对窥探请求作出响应。在其它系统中，代理向相干性控制器放置权限请求，所述控制器又将窥探其它代理(且可能为代理自身)。

[0015] 在基于目录的协议中，维持由代理获取的权限目录，且仅当需要在代理中改变权限时发送窥探。

[0016] 也可使用窥探过滤器以减少发送到代理的窥探数目。窥探过滤器保持代理内容的粗糙视图，且如果其知道代理并不需要改变其权限，那么其并不将窥探发送到所述代理。

[0017] 数据和权限在高速缓存相干性协议中交互，但其交互的方式发生变化。代理通常同时放置对权限和数据两者的请求，但并非总是如此。举例来说，出于读取目的想要将数据放置于其高速缓冲存储器中且既不具有所述数据也不具有权限的代理可放置包含权限请求和数据自身请求两者的读取请求。然而，已具有所述数据和读取权限但需要写入权限的代理可放置对写入权限的“升级”请求，但并不需要数据。

[0018] 同样地，对窥探请求的响应可包含权限已发生改变的确认，但也可任选为含有数据。出于礼貌，所窥探代理可正发送数据。或者，所窥探代理可正发送必须保持为最终写回到后备存储器的脏数据。

[0019] 代理可在并不具有数据的情况下保持权限。举例来说，想要写入全部高速缓存线的代理可不请求具有写入权限的数据，这是由于其知道其将并不使用所述数据(其将完全重写所述高速缓存线)。在一些系统中，准许保持部分数据(在区段中、每字节.....)。这对于限制数据传送是有用的，但使得高速缓存相干性协议较复杂。

[0020] 许多高速缓存相干性协议为数据离开代理提供两种相关方式。一种为经由窥探响应路径，从而将数据提供为对窥探的响应。另一种为自发写入路径(常常称为写回或收回路径)，其中当代理不再想要保持数据时，代理可将所述数据发送出。在一些协议中，共享窥探响应和写回路径。

[0021] 完全相干的代理能够拥有对高速缓存线的权限，且在由来自另一代理的请求触发的情况下能够接收窥探请求以检查且可能改变其权限。最常见类型的完全相干代理为具有相干高速缓冲存储器的微处理器。由于微处理器需要进行读取和写入，因此其获取适当权

限和潜在数据，并将所述两者安置于其高速缓冲存储器中。许多现代微处理器内部具有多个层级的高速缓冲存储器。许多现代微处理器含有多个微处理器核心，其各自具有其自身的高速缓冲存储器，且常常具有共享的第二层级高速缓冲存储器。许多其它类型的代理可是完全相干的，例如，DSP、GPU和包括高速缓冲存储器的各种类型的多媒体代理。

[0022] 相比之下，I/O相干(也称为单向相干)代理并不使用相干高速缓冲存储器，但其需要对关于完全相干代理的数据的一致拷贝进行操作。因此，其读取和写入请求可触发对完全相干代理的相干性动作(窥探)。在大多数情况下，必要时，通过使得特殊网桥或中心相干性控制器中的任一者发布实际读取或写入到后备存储器的适当相干性动作和序列而进行此操作。在小网桥的情况下，所述网桥可充当在少量时间内保持权限的完全相干代理。在中心相干性控制器的情况下，其跟踪读取和写入，并代表I/O相干代理防止其它代理存取正被处理的高速缓存线。

[0023] 现有技术水平

[0024] 高速缓存相干性控制器将来自多个相干代理的请求业务合并到去往特定后备存储器的一个信道上，使得给定类型的所有请求和地址始终穿过同一信道而到达后备存储器。这种情况具有两个负面后果。

[0025] 第一，可能不易于在经合并业务上保留对请求的服务质量。举例来说，如果一个代理要求最低延时，且另一代理可使用所有带宽，那么一旦合并所述两个代理的请求业务，将最低延时提供到第一代理将是困难的。举例来说，当面对来自如视频和图形控制器等代理的高带宽业务时，这对于微处理器的读取请求而言是个问题。

[0026] 第二，相干性控制器大体上并不直接位于高带宽相干代理与其目标之间。因此，迫使相干代理与目标之间的数据传送穿过相干性控制器可实质上延长芯片上连接。此添加了延迟和功率消耗，且可产生不合需要的导线拥塞。尽管相干性控制通信必须发生于相干性控制器与远端相干代理之间，但并不需要迫使数据穿过相干性控制器。

[0027] 因此，需要一种高速缓缓存相干性控制器，其提供从相干代理到目标的灵活路径，从而允许业务选择到给定目标的大量信道中的一者。另外，相干性控制器可允许相干代理具有到目标的直接数据路径，从而完全绕过相干性控制器。

发明内容

[0028] 相干性控制器和目标为经由使用协议通信的接口连接的系统组件。一些常用业界标准接口和协议为：高级微控制器总线架构(AMBA)高级可扩展接口(AXI)、开放核心协议(OCP)和外围组件接口(PCI)。所述组件的接口可直接彼此连接，或经由链路或互连而连接。信道为通过独特的流量控制手段加以区分的接口的子集。不同的接口协议包括不同数目和类型的信道。举例来说，对于读取和写入，一些协议(如AXI)使用不同的物理信道，而对于读取和写入，其它协议(如OCP)使用相同的信道。信道可使用单独的物理连接或可共享多路复用独特通信流的物理连接。信道可传达地址信息、写入数据信息、读取数据信息、写入响应信息、窥探请求信息、窥探响应信息、其它通信信息或信息类型的组合。

[0029] 如常规集成电路中所实施，高速缓存相干性要求处理器、其主要存储器与其它代理之间存在紧密耦合。所述相干性控制器为经由其将所有相干代理对给定目标的请求合并成单个数据存取流的漏斗。为提供对要求存取其它处理器的高速缓冲存储器的处理器的请

求的快速响应，使得所述相干性控制器和所有处理器物理地彼此接近是重要的。对于用以提供此较高性能的相干性系统而言，必须在半导体芯片的二维表面上将高速缓存相干处理器的直线区域放置为彼此接近。使得四个以上矩形相接于一点是困难的，且对应地，缩放常规高速缓存相干系统超出四个处理器许多的也是困难的。

[0030] 本文中所揭示的本发明认识到相干性控制器无需为漏斗。其可为能够将相同类型的事务发送到给定目标的具有多个信道(虚拟或物理)的路由器。本发明还认识到，虽然必须由相干性控制器控制相干代理与目标之间的数据通信，但此数据无需穿过所述相干性控制器。用于相干性控制和数据传送的单独芯片上网络是有益的。

[0031] 本文中所揭示的本发明涉及一种提供数据相干性的装置。相干性控制器提供能够将请求发送到目标的多个信道。这种情况为具有不同延时和吞吐量要求的相干代理提供经改善的服务质量。

[0032] 此外，本文中所揭示的本发明提供部分独立于数据路径网络的用于传达相干性控制信息(窥探)的网络。一些信道仅携带窥探，一些信道仅携带数据，而一些信道携带窥探和数据两者。这种解开式数据和控制通信提供经改善的芯片物理设计。所述情况又要求较少的逻辑延迟和数据传送的较低功率。

附图说明

[0033] 图1展示根据现有技术的相干代理、目标和相干性控制器的系统。

[0034] 图2展示根据本发明的一方面的相干性控制器内能够将请求发送到目标的多个信道的系统。

[0035] 图3展示根据本发明的一方面的具有专用端到端请求路径的系统。

[0036] 图4展示根据本发明的一方面的具有单独相干性互连的系统。

[0037] 图5展示根据现有技术的微处理器核心和I/O代理以及目标的相干系统。

[0038] 图6展示根据本发明的一方面的具有单独的数据和相干性控制信道的系统。

具体实施方式

[0039] 现参看图1，在高速缓存相干系统10中，至少两个相干代理12和13通过交换消息而维持可用于系统10中的数据的相干视图。这些消息(例如)确保当正写入数据片时，并无代理正试图使用所述数据片的值。当允许代理在内部存储器中高速缓存数据时尤其需要这种功能。

[0040] 正保持为相干的数据通常存储于至少一个目标14中。相干请求的目标通常为DRAM或SRAM，其充当后备存储器。相干性协议保持跟踪任何数据的当前值，所述数据可位于相干代理、后备存储器或所述两者中。当数据片在后备存储器中并非最新时，相干性协议确保在某一时刻将当前值写回到后备存储器(除非特定要求并不如此操作)。

[0041] 相干代理12与13之间的互连可呈许多形式。在多数情况下，代理12和13连接到相干性控制器16(例如，ARM的高速缓存相干互连)，所述相干性控制器16连接到如图1中所示的目标。在一些其它情况下，代理12和13都经由总线连接，且目标也具有到所述总线(例如，因特尔的前端总线)的连接。

[0042] 因为延时对于微处理器核心最重要，所以大幅度优化大部分高速缓存相干性机制

以将对微处理器的延时保持为较低，且通常将所述机制定位为物理上接近微处理器核心。可将需要全部或I/O相干性但可支援较高延时的其它代理定位地较远。

[0043] 因为现存的高速缓存相干性协议处置状态和数据两者，所以这些较远代理必须使得所有数据穿过定位为物理靠近微处理器核心的这相干性控制器16。此意味着代理12和13与目标14之间的所有数据交换穿过相干性控制器，从而常常在靠近微处理器核心处通常产生导线拥塞和潜在地性能瓶颈，此情况花费最多且难以解决。尤其在相干代理12和13中的一些接近目标14的情况下，这种情况还在集成电路中产生不必要的行进。这额外行进还可增加集成电路的功率。另外，相干性控制器16可并不具有内部带宽，以服务全部量的所请求数据，从而产生性能瓶颈。最后，在一些情况下，可需要关闭相干代理12和13中的一些，但可并不关闭相干性控制器16，这是由于其充当到目标14的独特存取点。

[0044] 图2展示根据本发明的一个方面的经改善的系统。相干代理12和13经由相干性控制器16连接到至少一个目标14。相干性控制器具有能够将请求发送到同一目标或目标集合的至少两个信道20和22。在一些实施例中，两个信道20和22为两个单独物理信道。在其它实施例中，其为在单个物理连接的顶部上分层的虚拟信道。可在信道20或22上发送至少一些请求，且相干性控制器14可基于若干参数而选择在其上发送请求的信道。根据本发明的一些方面，仅仅基于起始请求来自哪一接口而做出选择。根据本发明的一些方面，所述选择是基于起始代理的识别符。根据本发明的其它方面，所述选择是基于请求的地址。根据本发明的其它方面，所述选择是基于请求的类型(例如，读取/写入)。根据本发明的其它方面，所述选择是基于请求的优先级。根据本发明的一些方面，所述选择是基于由起始代理所传递的边带信息。根据本发明的一些方面，所述选择是基于配置信号或寄存器。根据本发明的一些方面，所述选择是基于起始请求来自的接口、起始代理、请求类型、请求的优先级、边带信息和配置信号或寄存器的组合。根据本发明的其它方面，所述选择是基于请求地址和以下各者中的至少一者的组合：起始请求来自的接口、起始代理、请求类型、请求的优先级、边带信息和配置信号或寄存器。根据本发明的一些方面，将代表一或多个代理的读取发送到一个信道，且在另一信道上进行所有其它业务。

[0045] 根据本发明的一些方面，所有相干代理12和13完全相干。根据本发明的其它方面，相干代理12和13中的一些为I/O相干，且其它为完全相干。

[0046] 根据本发明的一些方面，当所述选择是基于静态参数(例如，起始请求的接口，或读取对写入(在读取和写入是在相干代理接口上的单独信道上的情况下))时，在相干性控制器16内部提供代理接口与目标信道之间的单独路径。虽然必须在行进于从代理接口到目标信道的不同路径上的请求之间保持相干性，但此并不要求将请求合并成单个队列。此布置允许在相干代理接口与目标信道之间的路径上进行独立QoS和带宽管理，且在相干代理与目标之间进行扩展。

[0047] 根据本发明的一些方面，信道20和22仅携带读取而分开携带写入。根据本发明的其它方面，信道20和22携带读取，且信道20也携带既定去往目标的一些或所有写入。根据本发明的其它方面，信道20和22携带读取和写入，且用于读取和写入的选择准则可不同。

[0048] 图3展示此类布置。相干代理12和13连接到相干性控制器16。连接到相干代理13的接口30具有用于读取的到信道20的直接路径，而来自相干代理12的读取业务具有到信道22的直接路径。逻辑32用于交叉检验既定到不同目标信道的业务，以保证不违反相干性要求。

在一股情况下，所述逻辑将使从代理接口30到目标信道20的路径上的业务独立于剩余业务而进行。

[0049] 根据本发明的一些方面，相干代理13为微处理器，且其读取路径上需要最低延时。根据本发明的一些方面，相干代理12为I/O相干代理，和若干相干代理的总业务。

[0050] 根据本发明的一些方面，合并来自相干代理12和13的写入业务，并分别从信道20和22将其发送到目标。

[0051] 根据本发明的其它方面，合并来自相干代理12和13的写入业务，并在信道22上将其发送到目标。

[0052] 根据本发明的其它方面，将来自相干代理12和13的写入业务保持为分开，并分别从信道20和22进行发送。

[0053] 根据本发明的其它方面，在信道22上发送来自相干代理12的写入业务，并在信道20上发送来自相干代理13的写入业务。

[0054] 现参看图4，展示根据本发明的一方面的系统。至少两个相干代理12和13经由相干性互连40而彼此连接。相干代理12和13中的每一者还互连到至少一个目标14。在一些实施例中，相干性互连40仅为互连结构。在其它实施例中，相干性互连40含有一或多个相干性控制器。在一些实施例中，代理中的一些自身可为连接其它代理的相干性控制器。因为相干代理12和13具有到目标14的直接连接，所以数据并不需要不必要地行进。因此，减少导线拥塞，减少功率并移除性能瓶颈。

[0055] 图5展示根据现有技术的系统50的特定实施例。两个微处理器52a和52b连接到相干性控制器54。微处理器52a和52b与相干性控制器54之间的连接用于解决数据状态相干性，并携带相关数据业务。当必须从目标58读取数据或将数据写入目标58时，相干性控制器54代表微处理器52a或52b进行此操作。出于解决数据状态相干性并携带相关数据业务的目的，两个I/O代理56a和56b也直接连接到相干性控制器54。虽然所述代理定位为靠近目标58，但必须经由相干性控制器54进行从目标的任何读取或到目标的任何写入。

[0056] 现参看图6，根据本发明的教示，通过在I/O代理56a与目标58之间添加数据连接60a并通过在I/O代理56b与目标58之间添加数据连接60b而修改图5的系统。在I/O代理与目标之间传送的数据所行进的距离比图5中的距离小得多。相干性控制器54及其到代理的连接有效地构成相干性网络。I/O代理56a和56b仍使用相干性网络以解决数据状态相干性，但直接与目标58进行数据传送部分。在一些实施例中，在特定情况下，高速缓存相干性协议仍可携带数据。举例来说，根据图6的实施例，当可从微处理器52a直接获得数据时，高速缓存相干性网络携带数据。在一些其它实施例中，相干性网络上并不携带数据，且直接与目标58进行所有数据传送。

[0057] 如果I/O代理56a和56b在图5中所描述的系统中非相干(其中并不存在“排除控制链路”)，那么可在并不改变用于将其连接到目标的路径的情况下将所述代理变为相干。而是，唯一必须添加的是相干性网络(“控制”链路)，其数目通常实质上较小于导线的数目。

[0058] 根据本发明的各种方面，所描述组件中的至少一者(例如，起始者或目标)为制品。制品的实例包含：服务器、大型计算机、移动电话、个人数字助理、个人计算机、膝上型计算机、机顶盒、MP3播放器、支持电子邮件的装置、平板计算机、具有一或多个处理器的支持网络的装置，或经配置以执行算法(例如，计算机可读程序或软件)来接收数据、发射数据、存

储数据或执行方法的其它专用计算机(例如,中央处理单元、图形处理单元或微处理器)。举例来说,起始者和/或目标各自为包含处理器的计算装置的部分,所述处理器执行编码于非暂时性计算机可读媒体上的计算机可读程序代码,以执行一或多个步骤。

[0059] 应理解,本发明并不限于所描述的特定实施例或方面,因而其可发生变化。还应了解,本文中所使用的术语仅是出于描述特定实施例的目的,而并不希望为限制性的,这是由于本发明的范围将仅受到所附权利要求书的限制。

[0060] 在提供值范围的情况下(例如,信道数目或芯片数目或模块数目),应理解,所述范围的上限与下限之间的每一中间值,和所述陈述范围中的任何其它所陈述值或中间值都涵盖于本发明内。这些较小范围的上限和下限可独立地包含于较小范围中,且也涵盖于本发明内,在所陈述范围内受到任何特定排他性限制。在所陈述范围包含界限值中的一者或两者的情况下,排除所包含的那些界限值中的任一者或两者的范围也包含于本发明中。

[0061] 除非另外定义,否则本文中所使用的所有技术和科学术语具有与本发明所属领域的一股技术人员通常所理解相同的含义。类似于或等效于本文中所描述的那些方法和材料的任何方法和材料也可用于实践或测试本发明。

[0062] 本说明书中所引用的所有公开案和专利都以引用的方式并入本文中,如同特定地且个别地指示每一个别公开案或专利以引用的方式并入一股,并以引用的方式并入本文中以结合所引用的公开案来揭示和描述方法和/或材料。对任何公开案的引用是关于其在申请日期之前的揭示内容,且不应理解为承认本发明未被授权凭借现有发明而将所述公开案的日期提前。另外,所提供的公开案的日期可不同于可需要独立确认的实际公开案日期。

[0063] 应注意,除非上下文另外清楚地指示,否则如本文中所使用和在所附权利要求书中,单数形式“一”和“所述”包含复数对象。应进一步注意,权利要求书可经起草而排除任何可选元件。因而,此陈述希望结合对所主张元件的引述而充当使用如“仅”和类似术语的此类排他性术语或使用“负面”限制的前提基础。

[0064] 如所属领域的技术人员在阅读本发明之后将显而易见,本文中所描述和说明的个别实施例中的每一者具有离散组件和特征,在并不脱离本发明的范围或精神的情况下,所述离散组件和特征可容易地与其它若干实施例中的任一者的特征分离或与其组合。任何所引述方法都可以所引述事件的顺序或以逻辑上可能的任何其它顺序来进行。

[0065] 尽管已出于理解清晰性的目的通过说明和实例相当详细地描述前述发明,但根据本发明的教示,所属领域的一股技术人员能容易地显而易见,可在不脱离所附权利要求书的精神或范围的情况下对其作出某些改变和修改。

[0066] 因此,先前内容仅仅说明本发明的原理。将了解,所属领域的技术人员将能够设计各种布置,尽管本文中未明确地描述或展示所述布置,但其体现本发明的原理且包含于其精神和范围内。此外,本文中所引述的所有实例和条件性语言主要希望辅助读者理解本发明的原理和发明人所提供的概念以促进所属领域,且应将其理解为并不限制此类特定所引述实例和条件。此外,引述本发明的原理、方面和实施例以及其特定实例的所有本文中陈述都希望涵盖其结构上和功能上两者的等效物。另外,希望此类等效物包含当前已知等效物和未来开发的等效物(即,不管结构如何,执行相同功能的任何所开发元件)两者。因此,本发明的范围并不希望限于本文中所展示和描述的示范性实施例。而是,由所附权利要求书体现本发明的范围和精神。

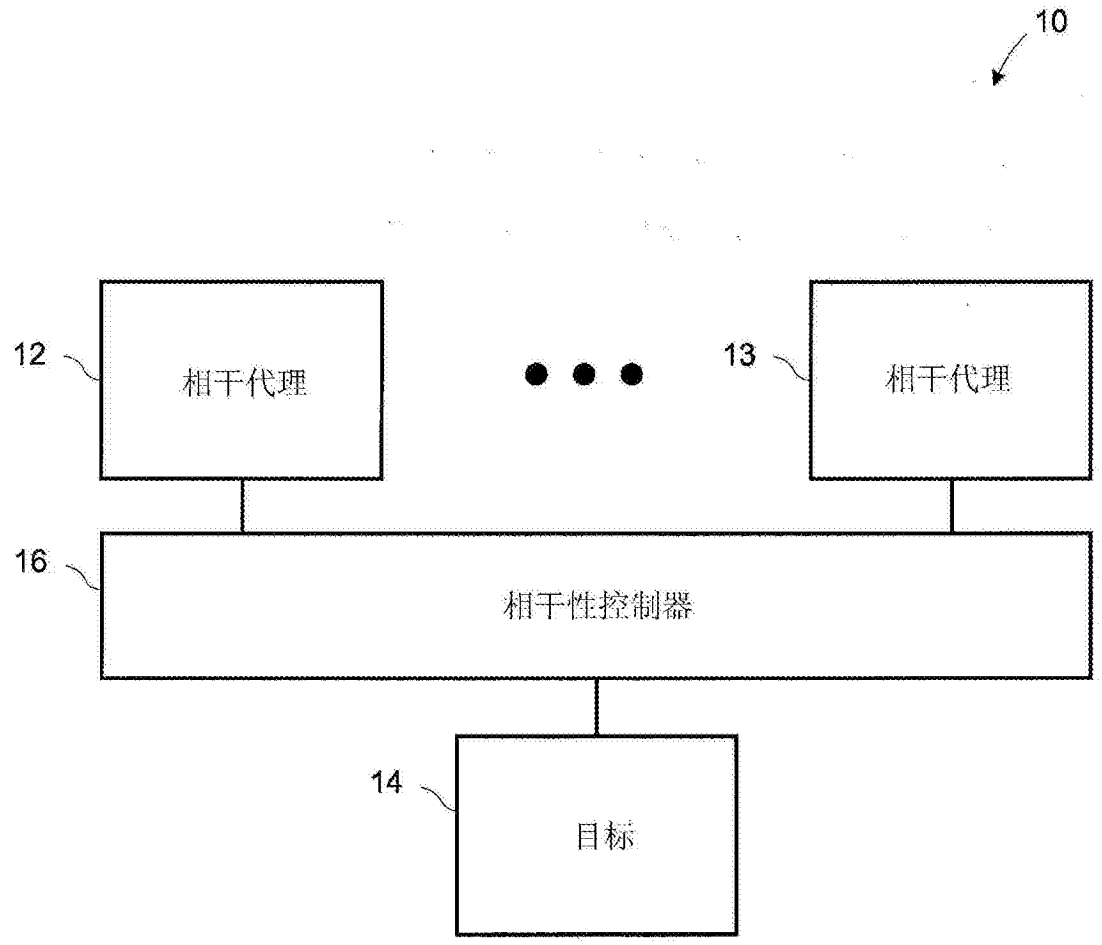

10
12
相干代理
13
相干代理
16
相干性控制器
14
目标

图1

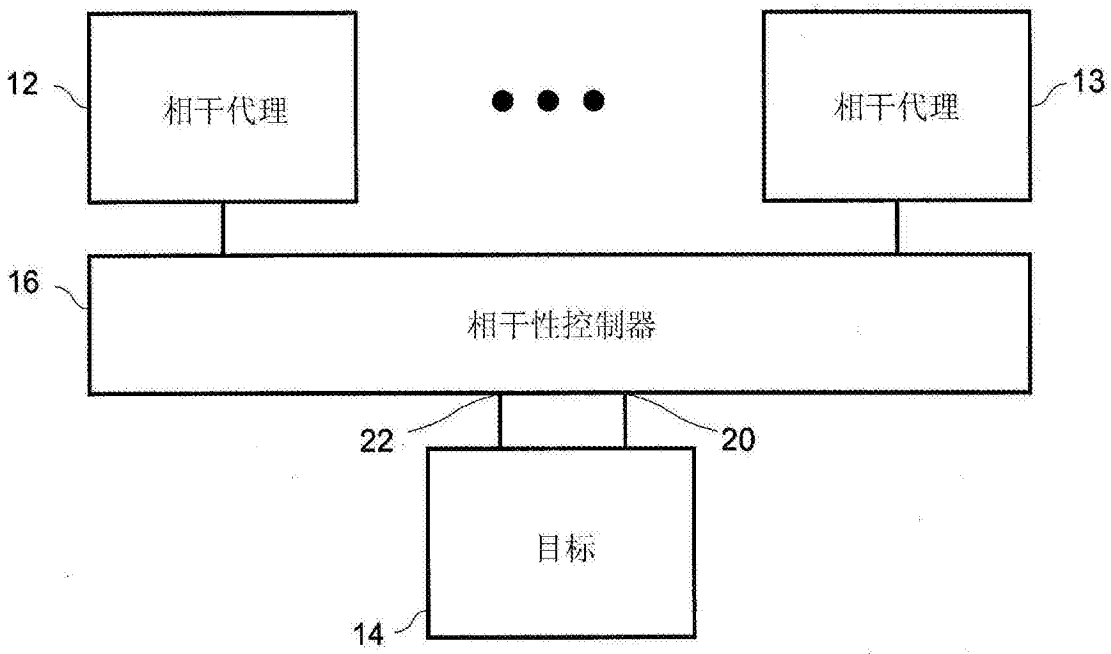

12
相干代理
13
相干代理
16
相干性控制器
22
20
目标
14

图2

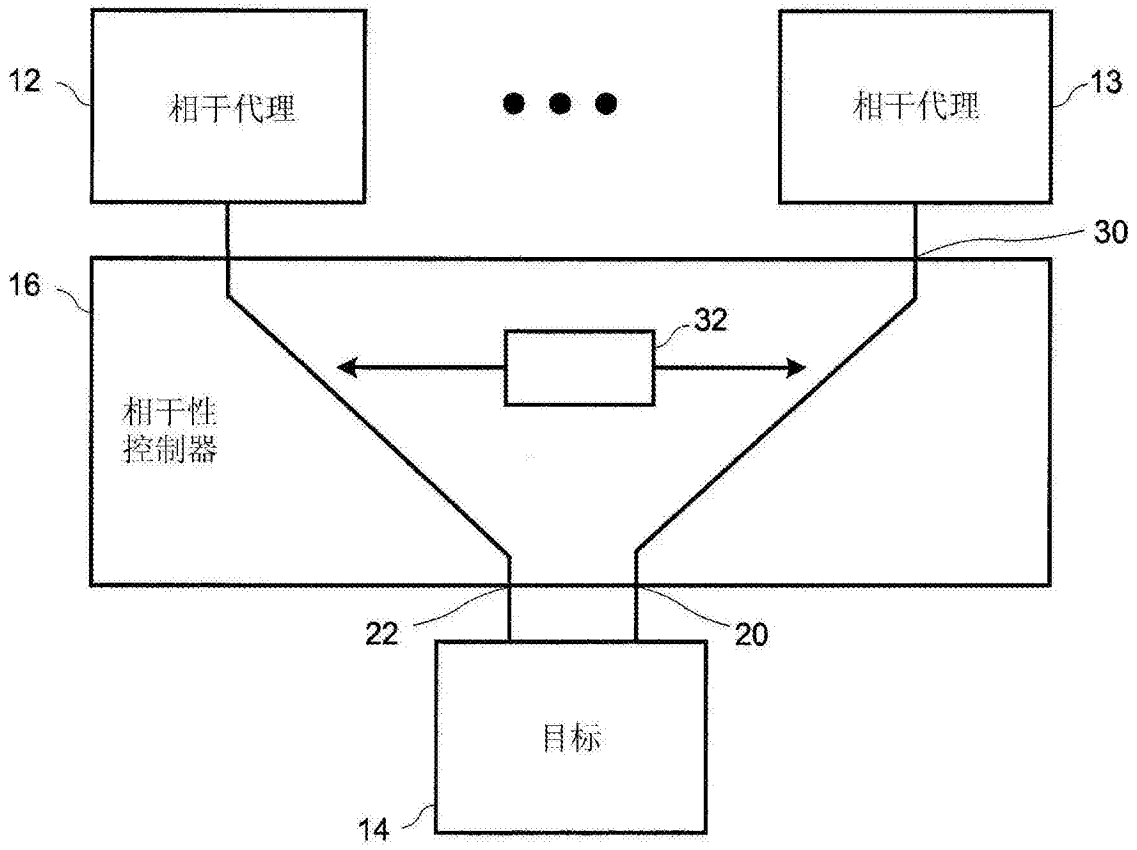

12
相干代理
13
相干代理
30
16
32
相干性
控制器
22
20
目标
14

图3

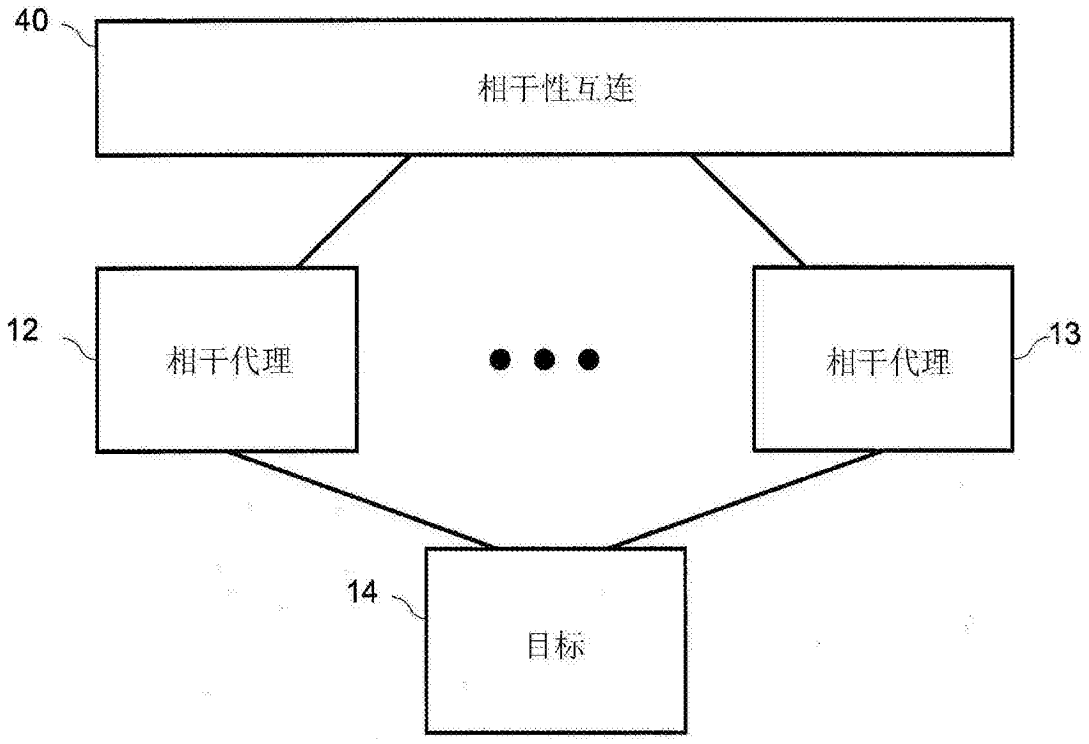

40
相干性互连
12
相干代理
13
相干代理
14
目标

图4

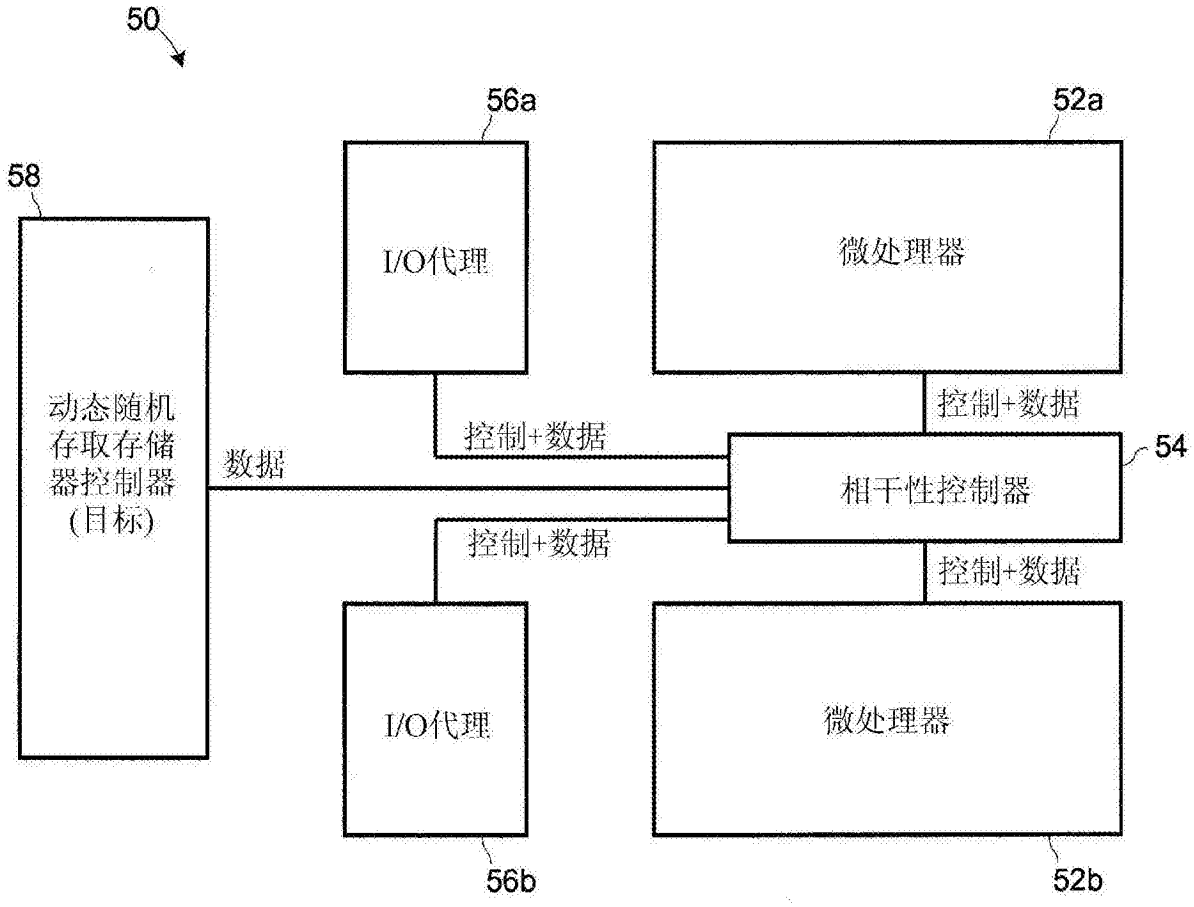

50
56a
52a
58
I/O代理
微处理器
动态随机存取存储器控制器(目标)
控制+数据
控制+数据
54
数据
相干性控制器
控制+数据
控制+数据
I/O代理
微处理器
56b
52b

图5

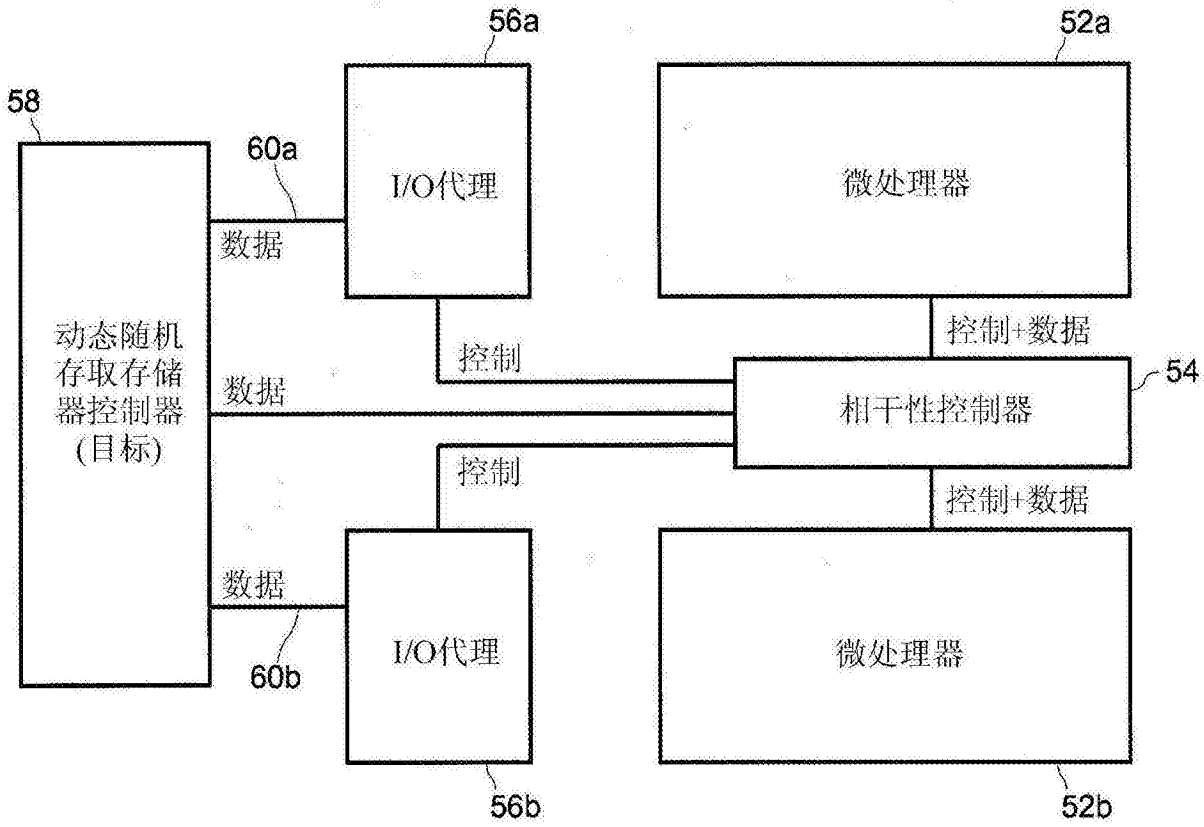

56a
52a
58
60a
I/O代理
微处理器
数据
动态随机
存取存储
器控制器
(目标)
控制
控制+数据
54
数据
相干性控制器
控制
控制+数据
数据
I/O代理
微处理器
60b
56b
52b

图6