

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5153089号
(P5153089)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L 27/04		A
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		T
HO 1 L 21/82	(2006.01)	HO 1 L 21/82		T
		HO 1 L 21/82		B

請求項の数 6 (全 20 頁)

(21) 出願番号 特願2006-151862 (P2006-151862)
(22) 出願日 平成18年5月31日(2006.5.31)
(65) 公開番号 特開2007-324319 (P2007-324319A)
(43) 公開日 平成19年12月13日(2007.12.13)
審査請求日 平成21年4月8日(2009.4.8)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 伊藤 雅典
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 瀧内 健夫

(56) 参考文献 特開昭62-224045 (JP, A)
特開平10-284554 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体集積回路の検査方法

(57) 【特許請求の範囲】

【請求項1】

第1及び第2の回路と、
第1及び第2のテストパッドと、
前記第1の回路と前記第1のテストパッドとを電氣的に接続する第1の配線と、
前記第2の回路と前記第2のテストパッドとを電氣的に接続する第2の配線と、を有し

、
前記第1のテストパッドと前記第2のテストパッドとが、幅の細い部分と太い部分とを有する第3の配線を介して電氣的に接続され、

前記第1の配線からの電流は、前記第1のテストパッド、前記第3の配線、前記第2のテストパッド、前記第2の配線を順に流れて、前記第2の回路に供給される半導体集積回路を形成した後、

前記半導体集積回路を動作させ、前記第1の配線から前記第1のテストパッドを介して前記第3の配線に過電流が流れた場合は、前記過電流により前記第3の配線を電氣的に切断することを特徴とする半導体集積回路の検査方法。

【請求項2】

第1及び第2の回路と、
第1及び第2のテストパッドと、
前記第1の回路と前記第1のテストパッドとを電氣的に接続する第1の配線と、
前記第2の回路と前記第2のテストパッドとを電氣的に接続する第2の配線と、を有し

10

20

、
前記第 1 のテストパッドと前記第 2 のテストパッドとが相変化メモリを介して電氣的に接続され、

前記第 1 の配線からの電流は、前記第 1 のテストパッド、前記相変化メモリ、前記第 2 のテストパッド、前記第 2 の配線を順に流れて、前記第 2 の回路に供給される半導体集積回路を形成した後、

前記半導体集積回路を動作させ、前記第 1 の配線から前記第 1 のテストパッドを介して前記相変化メモリに一定以上の電流が流れた場合、前記一定以上の電流により前記相変化メモリを絶縁化し、

前記第 1 のテストパッドに電流測定器の第 1 の針を接触させるとともに、前記第 2 のテストパッドに前記電流測定器の第 2 の針を接触させ、前記第 1 の回路と前記第 2 の回路との間に流れる電流を前記電流測定器により測定することを特徴とする半導体集積回路の検査方法。

【請求項 3】

請求項 1 または請求項 2 において、

第 1 の電源配線と第 2 の電源配線とを有し、

前記第 1 の電源配線及び前記第 2 の電源配線は第 1 の方向に延びており、

前記第 1 の配線、前記第 1 のテストパッド、前記第 2 のテストパッド及び前記第 2 の配線を結ぶ直線は、前記第 1 の方向と交わる第 2 の方向に延びることを特徴とする半導体集積回路の検査方法。

【請求項 4】

請求項 1 または請求項 2 において、

第 1 の電源配線と第 2 の電源配線とを有し、

前記第 1 の電源配線及び前記第 2 の電源配線は第 1 の方向に延びており、

前記第 1 の配線及び前記第 2 の配線は前記第 1 の方向に延びており、

前記第 1 のテストパッド及び前記第 2 のテストパッドを結ぶ直線は、前記第 1 の方向と交わる第 2 の方向に延びることを特徴とする半導体集積回路の検査方法。

【請求項 5】

請求項 1 または請求項 2 において、

第 1 の電源配線と第 2 の電源配線とを有し、

前記第 1 の電源配線及び前記第 2 の電源配線は第 1 の方向に延びており、

前記第 1 の配線及び前記第 2 の配線は、前記第 1 の方向と交わる第 2 の方向に延びており、

前記第 1 のテストパッド及び前記第 2 のテストパッドを結ぶ直線は、前記第 1 の方向に延びることを特徴とする半導体集積回路の検査方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記半導体集積回路の設計を、複数のスタンダードセルを自動レイアウト方式で配置することにより行ったことを特徴とする半導体集積回路の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の回路試験を行うスタンダードセルの構成に関する。

【背景技術】

【0002】

近年、様々な電子機器において多機能化が求められている。それに伴い、電子機器を動作させる回路にはより多くの機能が求められ、回路の規模が大きくなっている。従来、大規模な回路を容易に作製するために、機能別にセル（スタンダードセル）を作り分け、個々のセルを自動レイアウトによって配置し、セル間を配線で接続する方法が用いられている。例えば、NAND 回路、フリップフロップ回路、パーファーマ回路等をそれぞれスタン

10

20

30

40

50

ダードセルとし、自動配置配線ツールを用いてそれぞれのスタンダードセルを適当な位置に配置し、それぞれを配線で接続することにより大規模な回路を作製する。

【 0 0 0 3 】

回路の規模が大きくなるにつれて、回路内で不良箇所の発生する割合も高くなるため、精度良く容易に不良箇所を検出する方法が求められている。そこで、回路の不良検査方法として、例えば、電圧検出用のパッドを含むスタンダードセルを自動配置することにより、回路上の任意のノード電位の検出をより容易に行う方法が提案されている（特許文献 1）。

【 0 0 0 4 】

しかしながら、回路の不良検査を行うにあたり、電圧だけでなく電流を測定する必要がある。回路内に電流のリーク箇所がある場合、回路の信頼性に影響を与える可能性がある。また、リークなどの原因で回路に必要以上に大きな電流が流れる場合には、回路の発熱や損傷、消費電力の増加等が生じる可能性がある。よって、回路内の消費電流の多い領域あるいは配線を特定し、回路の修正を行う必要がある。特に、RFIDチップ開発においては、消費電力が通信距離に関係するため、電流の流れを細かく検出して、消費電流の多い箇所（不良箇所）を発見して消費電力を抑える必要がある。

【 0 0 0 5 】

そこで、半導体装置の回路上の特定のノードの電流を測定する方法として、レイアウトの配線領域のうち配線等がない空き領域に 2 つ以上のテストパッドをパッド間が接触しないように手動で設ける方法が提案されている。当該 2 つのテストパッドにそれぞれ電流測定器の針を当て、2 つのテストパッド間に電流のパスを作ることによって、半導体装置の回路上に流れる電流を測定することができる。

【特許文献 1】特開平 2 - 1 9 1 3 5 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、2 つ以上のテストパッドをパッド間が接触しないように手動で設ける方法の場合、回路内に数多くある信号線のなかから過電流の生じる信号線をあらかじめ予想して設計する必要がある。レイアウト作成時や回路動作前に、数ある配線の中から該信号線を選択する（あるいは不良箇所を特定する）のはきわめて難しく、配線を選択を間違えると、測定する必要のない信号線の測定を行うという無駄が生じる。それにより、製品開発の遅れや製品単価の上昇へとつながってしまう。

【 0 0 0 7 】

また、信号を測定するテストパッドはレイアウトパターン作成後に、配線領域の空き領域に手動で設ける必要があるため、レイアウト時間を増加させるだけでなく、作業による論理誤りやレイアウトの誤りを招く可能性があった。

【 0 0 0 8 】

また、配線密度が小さく、テストパッドを設けることができる空き領域は回路内に点在するため、テストパッドは回路のさまざまな場所に散らばる。このため、測定をする際に、測定を行いたいパッドを探す作業や信号線をたどる作業が必要となり、測定作業がより複雑なものになってしまう。また、テストパッドを設けるスペースがレイアウト上に設けられない場合には、配線を大きく引き回し、調べたい回路部分から遠く離れた場所にテストパッドを設けなくてはならない。これにより、配線負荷の増大や寄生容量の増加が生じ、回路内の信号の減衰や消費電力の増大につながる。さらに、配線を長く引き回すことによって、ノイズを拾いやすくなる可能性がある。

【 0 0 0 9 】

上記の実情を鑑み、設計する回路の中で電流の多く流れる信号線を容易に見つけ出すことができ、容易にその部分の電流を測定できるスタンダードセルを提供することを課題とする。さらに、テストパッドの追加や削除を容易に行うことができるレイアウト法および測定法を提供することを課題とする。また、テストパッドを追加することによって必要以

10

20

30

40

50

上に配線を長く引き回すことなく、回路が安定動作するようなレイアウト法を提供することを課題とする。

【課題を解決するための手段】

【0010】

本発明は、電流検出用テストパッドを少なくとも2つ有するスタンダードセルを自動レイアウト方式で配置することを特徴とする。そして、2つのテストパッド間は配線により接続され、該配線を切断することにより該2つのテストパッドを電流測定用テストパッドとして利用する。なお、本発明において、スタンダードセル内の2つのテストパッドは、過電流が流れることにより電流の流れる経路が遮断される配線によって電氣的に接続される構成としてもよい。また、本発明において、2つのテストパッド間はメモリ又はアナログスイッチを介して接続される構成としてもよい。

10

【0011】

本発明の半導体集積回路は、複数のスタンダードセルが自動レイアウト方式で配置された半導体集積回路において、第1の前記スタンダードセルは、少なくとも2つのテストパッドと、第1の前記テストパッドと電氣的に接続する第1の配線と、第2の前記テストパッドと電氣的に接続する第2の配線と、を有し、前記第1のテストパッド及び前記第2のテストパッドは、第3の配線を介して電氣的に接続され、前記第1のテストパッドと第2の前記スタンダードセルは、前記第1の配線を介して電氣的に接続され、前記第2のテストパッドと第3の前記スタンダードセルは、前記第2の配線を介して電氣的に接続されていることを特徴とする。

20

【0012】

本発明の半導体集積回路は、複数のスタンダードセルが自動レイアウト方式で配置された半導体集積回路において、第1の前記スタンダードセルは、少なくとも2つのテストパッドと、第1の前記テストパッドと電氣的に接続する第1の配線と、第2の前記テストパッドと電氣的に接続する第2の配線と、を有し、前記第1のテストパッド及び前記第2のテストパッドは、メモリ又はアナログスイッチを介して電氣的に接続され、前記第1のテストパッドと第2の前記スタンダードセルは、前記第1の配線を介して電氣的に接続され、前記第2のテストパッドと第3の前記スタンダードセルは、前記第2の配線を介して電氣的に接続されていることを特徴とする。

【0013】

本発明の半導体集積回路において、複数のスタンダードセルが自動レイアウト方式で配置された半導体集積回路において、第1の前記スタンダードセルは、少なくとも2つのテストパッドと、第1の前記テストパッドと電氣的に接続する第1の配線と、第2の前記テストパッドと電氣的に接続する第2の配線と、を有し、前記第1のテストパッド及び前記第2のテストパッドは、過電流が流れることにより電流の流れる経路が遮断される第3の配線を介して電氣的に接続され、前記第1のテストパッドと第2の前記スタンダードセルは、前記第1の配線を介して電氣的に接続され、前記第2のテストパッドと第3の前記スタンダードセルは、前記第2の配線を介して電氣的に接続されていることを特徴とする。

30

【0014】

本発明の半導体集積回路は、複数のスタンダードセルが自動レイアウト方式で配置された半導体集積回路において、第1の前記スタンダードセルは、少なくとも2つのテストパッドと、第1の前記テストパッドと電氣的に接続する第1の配線と、第2の前記テストパッドと電氣的に接続する第2の配線と、を有し、前記第1のテストパッド及び前記第2のテストパッドは、幅が均一ではない第3の配線を介して電氣的に接続され、前記第1のテストパッドと第2の前記スタンダードセルは、前記第1の配線を介して電氣的に接続され、前記第2のテストパッドと第3の前記スタンダードセルは、前記第2の配線を介して電氣的に接続されていることを特徴とする。

40

【0015】

本発明の半導体集積回路において、前記第3の配線は部分的に抵抗が異なることを特徴とする。

50

【 0 0 1 6 】

本発明の半導体集積回路の検査方法は、複数のスタンダードセルを自動レイアウト方式で配置する半導体集積回路の検査方法において、第 1 の前記スタンダードセルは、少なくとも 2 つのテストパッドと、第 1 の前記テストパッドと電氣的に接続する第 1 の配線と、第 2 の前記テストパッドと電氣的に接続する第 2 の配線と、前記第 1 のテストパッド及び前記第 2 のテストパッドを電氣的に接続する第 3 の配線と、を有し、前記第 1 のテストパッドと第 2 の前記スタンダードセルとは前記第 1 の配線を介して電氣的に接続し、前記第 2 のテストパッドと第 3 の前記スタンダードセルとは前記第 2 の配線を介して電氣的に接続するように、自動レイアウト方式により前記複数のスタンダードセルを配置し、前記第 3 の配線を切断し、前記第 1 のテストパッド及び前記第 2 のテストパッドに電流測定用端子を接触させることにより、前記第 1 のテストパッド及び前記第 2 のテストパッド間に流れる電流を測定することを特徴とする。

10

【 0 0 1 7 】

本発明の半導体集積回路の検査方法において、前記第 3 の配線は、レーザによって切断されることを特徴とする。

【 0 0 1 8 】

本発明の半導体集積回路の検査方法において、前記第 3 の配線は、過電流が流れることにより切断されることを特徴とする。

【発明の効果】

【 0 0 1 9 】

本発明により、設計する回路の中で電流の多く流れる信号線を容易に見つけ出すことができ、容易にその部分の電流を測定することが可能となる。さらに、テストパッドの追加や削除を容易に行うことが可能となる。また、テストパッドを追加することによって必要以上に配線を長く引き回すことがなく、回路を安定に動作させることが可能である。

20

【発明を実施するための最良の形態】

【 0 0 2 0 】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。また、本発明において、接続されているとは電氣的に接続されていることと同義である。したがって、間に別の素子などが配置されていてもよい。また、実施の形態 1 ～ 7 は自由に組み合わせる用いることができる。

30

【 0 0 2 1 】

(実施の形態 1)

本実施の形態では、本発明の半導体装置のレイアウト設計手法について図を用いて説明する。本実施の形態で示すスタンダードセルの 1 つは、少なくとも 2 つのテストパッドを有する。なお、スタンダードセルとは、回路の最小の構成単位である。

【 0 0 2 2 】

図 1 に、本実施の形態のスタンダードセルの模式図を示す。図 1 のスタンダードセル 108 は、VDD 用電源ライン 101、GND 用電源ライン 102、テストパッド 103 ～ 104、及び配線 105 ～ 107 を有している。なお、VDD 用電源ライン 101、GND 用電源ライン 102、テストパッド 103 ～ 104、及び配線 105 ～ 107 は導電性の材料で形成されている。また、テストパッド 103 とテストパッド 104 とは配線 105 によって電氣的に接続されている。また、配線 106 はテストパッド 103 と接続し、配線 107 はテストパッド 104 と接続する。ここで、配線 106 は入力用ポートとして機能し、配線 107 は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。本実施の形態では、配線 105 ～ 107、テストパッド 103、104 を同一直線上に設け

40

50

ているため、テストパッド用のスタンダードセルの幅を小さくすることができる。スタンダードセルの幅を小さくすることで、回路面積の縮小ができ、消費電力の削減を行うことができる。

【0023】

そして、スタンダードセル108を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、NAND回路、NOR回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。つまり、図1の配線106、107は他のスタンダードセルとそれぞれ接続されており、テストパッド103、104それぞれは配線106、107を介して他のスタンダードセルと電氣的に接続されている。

10

【0024】

次に、自動レイアウトで所望の回路を構成した後、テストパッド103、104を用いて特定の端子の電流を測定する方法について説明する。なお、スタンダードセルは、テストパッド103、104が配線105で接続されている状態では、入力用ポート106から流れこんだ電流は、テストパッド103、配線105、テストパッド104を通して出力用ポート107に流れる。ここで、テストパッド103又はテストパッド104を電圧測定用のテストパッドとして用いて任意の端子の電圧を測定して、電流を測定したい端子の特定を行ってもよい。

【0025】

そして、電流を測定したい端子に対応するテストパッド（ここでは、テストパッド103、104とする（図1））を選択し、2つのテストパッドを接続する配線（ここでは、配線105に相当する（図1））を、レーザー等を用いて切断する。これにより、2つのテストパッド103、104の間は絶縁化される。そして、絶縁された2つのテストパッド103、104それぞれに電流測定器の針を当てて電流を測定して不良箇所を特定する。

20

【0026】

また、本実施の形態において、スタンダードセルの配置領域外である配線領域などの狭く、配線の密に並んだ領域にテストパッドを設ける必要がないため、テストパッドを設けるためのレイアウト修正を大規模に行う必要がなく、レイアウト修正時のレイアウトミスを防ぐことができる。さらに、レイアウト修正のために費やす時間も少なくできる。さらに、テストパッドを含むスタンダードセルを他のスタンダードセルと同じ領域内に配置することができるため、テストパッドの配置面積を大きくとることが可能となる。よって電流測定器の針を当てる作業がより簡単なものになる。また測定する信号線以外の配線がテストパッドよりも遠い場所にあるため、電流測定器の針をあてる作業が失敗したときなどに、他の配線にダメージを与える可能性を低くすることができる。

30

【0027】

また、本実施の形態において、2つのテストパッドを有するスタンダードセルを自動レイアウトで配置した後、2つのテストパッド間を接続する配線を切断することでテストパッド間を絶縁状態としている。従って、チップ毎にそれぞれ電流測定端子を容易に変えることができる。本実施の形態のスタンダードセルを用いることで、チップ毎に電流測定を行う端子が変化した場合でもマスク変更を行う必要がないため、低コストな半導体装置を作製することが可能である。また、2つのテストパッド間の配線を切断する前の状態では、電圧測定を行うことが可能であり、テストパッドを2つ有することで一方のテストパッドが測定不能になった場合には他方のテストパッドで測定可能であり、繰り返し試験への耐性を向上させることが可能である。

40

【0028】

また、本実施の形態において、他の回路ブロックや、スタンダードセルの近くに電流測定用のテストパッドを設けることができるため、信号が生成された直後の場所で電流測定を行うことができる。また、引き回し配線が短くなるため、長い引き回しが原因の信号の

50

減衰などの影響を少なくできる。さらに、ノイズが乗る可能性を低く抑えることができるため、回路の動作をより安定したものにできる。長い引き回し配線が原因として起きる寄生容量の増加や、消費電流の増加を抑えることができる。

【 0 0 2 9 】

また、電流測定が必要なくなり、テストパッドを削除する際の作業も容易である。具体的には、スタンダードセル内にある２つのテストパッドを削除することで、本発明のスタンダードセルは信号を伝送する機能を有するフィードセルになる。テストパッドの削除は、マスク１枚の変更のみで対応できるため、削除する際のコストを低減することができる。

【 0 0 3 0 】

10

(実施の形態２)

本実施の形態では、実施の形態１とは異なる構成のスタンダードセルについて説明する。本実施の形態で示すスタンダードセルは、過電流が流れた際に、２つのテストパッド間が絶縁化される構成を有する。

【 0 0 3 1 】

図２に、本実施の形態のスタンダードセルの模式図を示す。図２のスタンダードセル２０８は、ＶＤＤ用電源ライン２０１、ＧＮＤ用電源ライン２０２、テストパッド２０３～２０４、及び配線２０５～２０７を有している。なお、ＶＤＤ用電源ライン２０１、ＧＮＤ用電源ライン２０２、テストパッド２０３～２０４、及び配線２０５～２０７は導電性の材料で形成されている。また、テストパッド２０３とテストパッド２０４とは配線２０５によって電氣的に接続されている。また、配線２０６はテストパッド２０３と接続し、配線２０７はテストパッド２０４と接続する。ここで、配線２０６は入力用ポートとして機能し、配線２０７は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。本実施の形態では、配線２０５～２０７、テストパッド２０３、２０４を同一直線上に設けているため、テストパッド用のスタンダードセルの幅を小さくすることができる。スタンダードセルの幅を小さくすることで、回路面積の縮小ができ、消費電力の削減を行うことができる。

20

【 0 0 3 2 】

本実施の形態では、配線２０５に基準よりも大きい電流（過電流）が流れた際に、テストパッド２０３とテストパッド２０４とが絶縁化される構成とする。そこで、本実施の形態のテストパッドは、２つのテストパッド間を結ぶ配線２０５の幅が均一ではなく、部分的に抵抗が異なる構成とする。

30

【 0 0 3 3 】

そして、スタンダードセル２０８を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、ＮＡＮＤ回路、ＮＯＲ回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

【 0 0 3 4 】

次に、自動レイアウトで所望の回路を構成した後、テストパッド２０３、２０４を用いて特定の端子の電流を測定する方法について説明する。なお、スタンダードセルは、テストパッド２０３、２０４が配線２０５で接続されている状態では、入力用ポート２０６から流れこんだ電流は、テストパッド２０３、配線２０５、テストパッド２０４を通して出力用ポート２０７に流れ、出力ポートから他のスタンダードセルに供給される。ここで、テストパッド２０３又はテストパッド２０４を電圧測定用のテストパッドとして用いて任意の端子の電圧を測定して、電流を測定したい端子の特定を行ってもよい。

40

【 0 0 3 5 】

ここで説明を簡単にするために、配線２０５を配線領域２０９、２１０、２１１とに分けて説明する。ここで、配線領域２１１は、横幅と長さを配線領域２０９、２１０に比べて幅と長さを小さく形成する。つまり、配線領域２０９、２１０は、２１１に比べて幅を

50

広く形成しておく。これにより、配線領域 209、210 の部分の配線抵抗を配線領域 211 の配線抵抗に比べて小さくすることができる。配線領域 211 部分が他の領域に比べて抵抗が高くなるため、そして、この配線部 211 に大きな電流が流れると、211 が絶縁化される。

【0036】

なお、本実施の形態において配線 211 の材料及び大きさによって、配線 211 を切断するために必要な電流値は変化する。配線を溶かすために必要な熱量は、配線の質量に比例するため、配線部 211 の領域の質量が大きければ、配線 211 を溶かすために必要な熱量も増えるためである。つまり、配線 211 の質量が増加するほどより大きな電流を流さないと配線 211 は溶けず、2つのテストパッド 203、204 間は絶縁化されない。本実施の形態では、この性質を利用することにより、配線 211 の大きさ、配線 211 に流れる電流の最大値、該電流が流れる時間等を任意に設定することができる。

10

【0037】

ここで、図 2 (B) を用いて、図 2 (A) で示したスタンダードセルのテストパッド 203 とテストパッド 204 間の絶縁化の方法について具体的な例を挙げて説明する。図 2 (B) は、図 2 (A) の配線 205 部分の傾斜図である。ここで、配線 205 としてアルミニウムを用いた場合について説明する。アルミニウムは、融点約 600、密度 2.9 g/cm^3 、比熱 $0.88 \text{ J/g} \cdot \text{K}$ である。本実施例では、配線領域 211 において、厚さ d が 700 nm 、長さ l が $2 \text{ }\mu\text{m}$ 、幅 v が $2 \text{ }\mu\text{m}$ のアルミニウムを用いた場合に、配線 211 が断線されるまでの工程を説明する。ここで、配線 211 に電流 $100 \text{ }\mu\text{A}$ 、電圧 5 V が供給される場合を考える。なお、この値は、シミュレーション等を用いて、回路に必要な電流値から適宜選択されるものである。

20

【0038】

配線部 211 に流れる電流で発生するジュール熱は、 $500 \times 10^{-6} \times t \text{ (J)}$ と表される。ここで、 t は電流を流す時間 (単位は秒) である。一方、図 2 の領域のアルミニウムを溶かすためには、アルミニウムの温度をアルミニウムの融点である 600 度付近まで上げるためのジュール熱が必要となるが、そのジュール熱は $4.287 \times 10^{-9} \text{ (J)}$ である。以上のことから、 $100 \text{ }\mu\text{A}$ の電流を $10 \text{ }\mu\text{s}$ 流すことで配線 211 の温度は 600 度以上になる。従って、 $100 \text{ }\mu\text{A}$ の電流を $10 \text{ }\mu\text{s}$ 以上流すことで配線領域 211 のアルミニウムが溶け出し、配線領域 211 の配線が切れ、配線領域 209 と配線領域 210 の間は絶縁状態になる。

30

【0039】

なお、ここでは、あらかじめ配線 211 の大きさ及び配線 211 に供給される電流、電圧の最大値を設定し、配線 211 が切断されるまでに必要な時間を求めたが、この方法に限定されるものではない。例えば、配線 211 に供給される電流、電圧の最大値及び切断されるまでに必要な時間を設定し、それに基づいて配線 211 の大きさ (質量、厚さ、幅、長さ等) を設定する方法としてもよい。

【0040】

本実施の形態において、回路を動作させただけで過電流の流れる配線を切断できるため、回路内の不良箇所を容易に検出することが可能である。測定時に、テストパッド毎に測定して不良箇所を特定する作業が必要ないため、回路を検査に必要な時間が大幅に短縮できる。また、マスク変更や特別な手段を用いて 2つのテストパッド間を接続する配線を切断する作業が必要ないため、回路内の不良箇所の検出を容易に行うことができる。

40

【0041】

また、本実施の形態において、スタンダードセルの配置領域外である配線領域などの狭く、配線の密に並んだ領域にテストパッドを設ける必要がないため、テストパッドを設けるためのレイアウト修正を大規模に行う必要がなく、レイアウト修正時のレイアウトミスを防ぐことができる。さらに、レイアウト修正のために費やす時間も少なくできる。さらに、テストパッドを含むスタンダードセルを他のスタンダードセルと同じ領域内に配置することができるため、テストパッドの配置面積を大きくとることが可能となる。よって電

50

流測定器の針を当てる作業がより簡単なものになる。また測定する信号線以外の配線がテストパッドよりも遠い場所にあるため、電流測定器の針をあてる作業が失敗したときなどに、他の配線にダメージを与える可能性を低くすることができる。

【 0 0 4 2 】

また、本実施の形態において、2つのテストパッドを有するスタンダードセルを自動レイアウトで配置した後、2つのテストパッド間を接続する配線を切断することでテストパッド間を絶縁状態としている。従って、チップ毎にそれぞれ電流測定端子を容易に変えることができる。本実施の形態のスタンダードセルを用いることで、チップ毎に電流測定を行う端子が変化した場合でもマスク変更を行う必要がないため、低コストな半導体装置を作製することが可能である。また、2つのテストパッド間の配線を切断する前の状態では、電圧測定を行うことが可能であり、テストパッドを2つ有することで一方のテストパッドが測定不能になった場合には他方のテストパッドで測定可能であり、繰り返し試験への耐性を向上させることが可能である。

10

【 0 0 4 3 】

また、本実施の形態において、他の回路ブロックや、スタンダードセルの近くに電流測定用のテストパッドを設けることができるため、信号が生成された直後の場所で電流測定を行うことができる。また、引き回し配線が短くなるため、長い引き回しが原因の信号の減衰などの影響を少なくできる。さらに、ノイズが乗る可能性を低く抑えることができるため、回路の動作をより安定したものにできる。長い引き回し配線が原因として起きる寄生容量の増加や、消費電流の増加を抑えることができる。

20

【 0 0 4 4 】

また、電流測定の必要がなくなり、テストパッドを削除する際の作業も容易である。具体的には、スタンダードセル内にある2つのテストパッドを削除することで、本発明のスタンダードセルは信号を伝送する機能を有するフィードセルになる。テストパッドの削除は、マスク1枚の変更のみで対応できるため、削除する際のコストを低減することができる。

【 0 0 4 5 】

(実施の形態 3)

本実施の形態において、2つのテストパッドを接続する配線としてメモリ素子を用いる場合について説明する。

30

【 0 0 4 6 】

図3にメモリ素子を含むスタンダードセルの回路図を示す。図3に示すスタンダードセル308は、VDD用電源ライン301、GND用電源ライン302、テストパッド303、304、メモリ素子305、電流入力用ポート306および電流出力用ポート307を有する。

【 0 0 4 7 】

そして、スタンダードセル308を回路の構成単位として、他のスタンダードセル(例えば、インバータ回路、NAND回路、NOR回路、フリップフロップ回路等)とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

40

【 0 0 4 8 】

本実施の形態において、メモリ素子305として、電流による発熱で状態が変化し、抵抗が変化するメモリを用いる。そのようなメモリとして、例えば相変化メモリが挙げられる。相変化メモリは、回路に電流が多く流れた場合、メモリ素子にふくまれるヒーターが熱を発生し、電流量が多い場合には発熱量が多くなり、相変化をする物質($\text{Ge}_2\text{Sb}_2\text{Te}_5$ など)がアモルファス状態になり、電気抵抗が高くなり絶縁化される。本実施の形態において、この変化を利用することで、2つのテストパッド303、304間を絶縁化して電流測定を行うことができる。なお、もちろんメモリ305は相変化メモリに限られるものではない。電流が多く流れたところの素子のみ絶縁化を行い、2つのテストパッド303、304の間を絶縁状態にすることができればどのようなものでもよい。例えば、

50

メモリとして、流れる電流量により抵抗が変化する R R A M を用いることもできる。

【 0 0 4 9 】

図 3 の回路動作について説明を行う。メモリ素子 3 0 5 は初期状態では導通している。そのため、通常の回路として使用できる。この回路に大きな電流が流れた場合、メモリ素子 3 0 5 が非導通になる。その際にスタンダードセル内に含まれる 2 つのテストパッド 3 0 3、3 0 4 に電流測定器の針を当て、電流測定を行うことができる。

【 0 0 5 0 】

本実施の形態において、回路を動作させただけで過電流の流れる配線を切断できるため、回路内の不良箇所を容易に検出することが可能である。測定時に、テストパッド毎に測定して不良箇所を特定する作業が必要ないため、回路を検査に必要な時間が大幅に短縮できる。さらに、マスク変更や特別な手段を用いて 2 つのテストパッド間を接続する配線を切断する作業が必要ないため、回路内の不良箇所の検出を容易に行うことができる。また、可逆反応を用いたメモリを利用するため、一度絶縁状態になった配線を元の状態に戻すことも可能である。

10

【 0 0 5 1 】

また、本実施の形態において、スタンダードセルの配置領域外である配線領域などの狭く、配線の密に並んだ領域にテストパッドを設ける必要がないため、テストパッドを設けるためのレイアウト修正を大規模に行う必要がなく、レイアウト修正時のレイアウトミスを防ぐことができる。さらに、レイアウト修正のために費やす時間も少なくできる。さらに、テストパッドを含むスタンダードセルを他のスタンダードセルと同じ領域内に配置することができるため、テストパッドの配置面積を大きくとることが可能となる。よって電流測定器の針を当てる作業がより簡単なものになる。また測定する信号線以外の配線がテストパッドよりも遠い場所にあるため、電流測定器の針をあてる作業が失敗したときなどに、他の配線にダメージを与える可能性を低くすることができる。

20

【 0 0 5 2 】

また、本実施の形態において、2 つのテストパッドを有するスタンダードセルを自動レイアウトで配置した後、2 つのテストパッド間を接続する配線を切断することでテストパッド間を絶縁状態としている。従って、チップ毎にそれぞれ電流測定端子を容易に変えることができる。本実施の形態のスタンダードセルを用いることで、チップ毎に電流測定を行う端子が変化した場合でもマスク変更を行う必要がないため、低コストな半導体装置を作製することが可能である。また、2 つのテストパッド間の配線を切断する前の状態では、電圧測定を行うことが可能であり、テストパッドを 2 つ有することで一方のテストパッドが測定不能になった場合には他方のテストパッドで測定可能であり、繰り返し試験への耐性を向上させることが可能である。

30

【 0 0 5 3 】

また、本実施の形態において、他の回路ブロックや、スタンダードセルの近くに電流測定用のテストパッドを設けることができるため、信号が生成された直後の場所で電流測定を行うことができる。また、引き回し配線が短くなるため、長い引き回しが原因の信号の減衰などの影響を少なくできる。さらに、ノイズが乗る可能性を低く抑えることができるため、回路の動作をより安定したものにできる。長い引き回し配線が原因として起きる寄生容量の増加や、消費電流の増加を抑えることができる。

40

【 0 0 5 4 】

また、電流測定の必要がなくなり、テストパッドを削除する際の作業も容易である。具体的には、スタンダードセル内にある 2 つのテストパッドを削除することで、本発明のスタンダードセルは信号を伝送する機能を有するフィードセルになる。テストパッドの削除は、マスク 1 枚の変更のみで対応できるため、削除する際のコストを低減することができる。

【 0 0 5 5 】

(実施の形態 4)

本実施の形態において、2 つのテストパッド間がアナログスイッチを介して接続されて

50

いる構成について説明する。

【 0 0 5 6 】

図 4 にアナログスイッチを含むスタンダードセルの回路図を示す。スタンダードセル 4 0 8 は、V D D 用電源ライン 4 0 1、G N D 用電源ライン 4 0 2、テストパッド 4 0 3、テストパッド 4 0 4、アナログスイッチ 4 0 9、インバータ 4 1 0、電流制御信号入力ポート 4 0 5、電流入力用ポート 4 0 6 および電流出力用ポート 4 0 7 を有する。

【 0 0 5 7 】

そして、スタンダードセル 4 0 8 を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、N A N D 回路、N O R 回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

10

【 0 0 5 8 】

図 4 に示す回路はアナログスイッチ 4 0 9 によつてのテストパッド 4 0 3 およびテストパッド 4 0 4 間の接続状態、つまり導通状態と非導通状態を変化させることができる。例えば、電流制御信号入力ポート 4 0 5 に L o w の信号が入力された場合、アナログスイッチ 4 0 9 は導通状態となり、通常の回路として用いることができる。ここで、電流制御信号入力ポート 4 0 5 に H i の信号を入力した場合、アナログスイッチ 4 0 9 は非導通状態となり電流を測定することが可能となる。

【 0 0 5 9 】

そして、スタンダードセル 4 0 8 を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、N A N D 回路、N O R 回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する回路を得ることができる。

20

【 0 0 6 0 】

本実施の形態において、2つのテストパッド間の導通又は非導通を電圧信号の変化という簡単な方法で切り替えることができる。本実施の形態では、スイッチを用いてテストパッド間の導通又は非導通を切り換えているため、導通又は非導通を繰り返すことが可能である。テスト用のサンプルが少ない場合などに、サンプルを繰り返し利用できる。

【 0 0 6 1 】

また、本実施の形態において、スタンダードセルの配置領域外である配線領域などの狭く、配線の密に並んだ領域にテストパッドを設ける必要がないため、テストパッドを設けるためのレイアウト修正を大規模に行う必要がなく、レイアウト修正時のレイアウトミスを防ぐことができる。さらに、レイアウト修正のために費やす時間も少なくできる。さらに、テストパッドを含むスタンダードセルを他のスタンダードセルと同じ領域内に配置することができるため、テストパッドの配置面積を大きくとることが可能となる。よって電流測定器の針を当てる作業がより簡単なものになる。また測定する信号線以外の配線がテストパッドよりも遠い場所にあるため、電流測定器の針をあてる作業が失敗したときなどに、他の配線にダメージを与える可能性を低くすることができる。

30

【 0 0 6 2 】

また、本実施の形態において、2つのテストパッドを有するスタンダードセルを自動レイアウトで配置した後、2つのテストパッド間を接続する配線を切断することでテストパッド間を絶縁状態としている。従って、チップ毎にそれぞれ電流測定端子を容易に変えることができる。本実施の形態のスタンダードセルを用いることで、チップ毎に電流測定を行う端子が変化した場合でもマスク変更を行う必要がないため、低コストな半導体装置を作製することが可能である。また、2つのテストパッド間の配線を切断する前の状態では、電圧測定を行うことが可能であり、テストパッドを2つ有することで一方のテストパッドが測定不能になった場合には他方のテストパッドで測定可能であり、繰り返し試験への耐性を向上させることが可能である。

40

【 0 0 6 3 】

また、本実施の形態において、他の回路ブロックや、スタンダードセルの近くに電流測定用のテストパッドを設けることができるため、信号が生成された直後の場所で電流測定

50

が行うことができる。また、引き回し配線が短くなるため、長い引き回しが原因の信号の減衰などの影響を少なくできる。さらに、ノイズが乗る可能性を低く抑えることができるため、回路の動作をより安定したものにできる。長い引き回し配線が原因として起きる寄生容量の増加や、消費電流の増加を抑えることができる。

【0064】

また、電流測定が必要がなくなり、テストパッドを削除する際の作業も容易である。具体的には、スタンダードセル内にある2つのテストパッドを削除することで、本発明のスタンダードセルは信号を伝送する機能を有するフィードセルになる。テストパッドの削除は、マスク1枚の変更のみで対応できるため、削除する際のコストを低減することができる。

10

【0065】

(実施の形態5)

本実施の形態において、上記実施の形態とは異なるテストパッド及び配線の配置方法について説明する。図5に本実施の形態のスタンダードセルの構成を示す。

【0066】

図5のスタンダードセル508は、VDD用電源ライン501、GND用電源ライン502、テストパッド503、テストパッド504、及び配線505～507を有している。本実施の形態では、配線506、507とVDD用電源ライン501、GND用電源ライン502とは平行に配置され、配線505とVDD用電源ライン501、GND用電源ライン502とは垂直に配置される。なお、VDD用電源ライン501、GND用電源ライン502、テストパッド503～504、及び配線505～507は導電性の材料で形成されている。また、テストパッド503とテストパッド504とは配線505によって電氣的に接続されている。また、配線506はテストパッド503と接続し、配線507はテストパッド504と接続する。ここで、配線506は入力用ポートとして機能し、配線507は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。

20

【0067】

そして、スタンダードセル508を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、NAND回路、NOR回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

30

【0068】

本実施の形態では、配線506、507とVDD用電源ライン501、GND用電源ライン502とは平行に配置しているため、入力用の信号と出力用の信号が同じ方向から出入りする場合に引き回しに必要な配線をより短くすることができる。例えば、回路の外周領域にテストパッドを有するスタンダードセルを配置する場合、引き回し配線をより短くすることが可能である。

【0069】

また、必ずしも配線506、507とVDD用電源ライン501、GND用電源ライン502とが平行に配置されていなくてもよく、配線が密になっている箇所にテストパッドを有するスタンダードセルを配置する場合は、配線が密である領域を避けてそれぞれの信号線が接続されるような配置にすればよい。例えば、図6に示す配置をとることができる。

40

【0070】

図6に示すスタンダードセル608は、VDD用電源ライン601と、GND用電源ライン602、テストパッド603、テストパッド604、及び配線605～607を有している。本実施の形態では、配線606、607とVDD用電源ライン601、GND用電源ライン602とは垂直に配置され、配線605とVDD用電源ライン601、GND用電源ライン602とは平行に配置される。また、配線606とVDD電源ライン601とが交叉し、配線607とGND電源ライン602とが交叉している。なお、VDD用電

50

源ライン 601、GND 用電源ライン 602、テストパッド 603～604、及び配線 605～607 は導電性の材料で形成されている。また、テストパッド 603 とテストパッド 604 とは配線 605 によって電氣的に接続されている。また、配線 606 はテストパッド 603 と接続し、配線 607 はテストパッド 604 と接続する。ここで、配線 606 は入力用ポートとして機能し、配線 607 は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。

【0071】

そして、スタンダードセル 608 を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、NAND 回路、NOR 回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

10

【0072】

図 6 に示すスタンダードセルにおいて、配線 606 と VDD 電源ライン 601 とが交叉し、配線 607 と GND 電源ライン 602 とが交叉するように配置されているため、テストパッド 603 を GND 電源ライン 602 方向に大きくでき、テストパッド 604 を VDD 電源ライン 603 方向に大きくできる。これにより、測定時のパッド探しの作業および針あての作業をより容易に行うことができる。さらに、図 6 に示すスタンダードセルでは、テストパッド 603、604 は、VDD 電源ライン 601 及び GND 電源ライン 602 と平行に配置されているため、VDD 電源ライン 601 および GND 電源ライン 602 から離れた位置にテストパッド 603、604 を配置することができる。そのため、電流を測定する際に、スタンダードセル 608 に含まれる VDD 電源ライン 601 又は GND 電源ライン 602 に供給される電圧、電流による影響を受けにくく、より正確に電流値を測定できる。

20

【0073】

なお、入力用ポート 606 と出力用ポート 607 の位置は図 6 に示したものに限られず、テストパッドを含むスタンダードセルの配置によって、それぞれの配線が最も適切に行われるように配置されていればよい。

【0074】

（実施の形態 6）

30

本実施の形態において、上記実施の形態とは異なるテストパッド及び配線の配置方法について説明する。図 7 に本実施の形態のスタンダードセルの構成を示す。

【0075】

図 7 に示すスタンダードセル 708 は、VDD 用電源ライン 701 と、GND 用電源ライン 702、複数のテストパッド 703、704、複数の配線 705～707 を有している。図 7 において、1 つのテストパッド 703 と 1 つのテストパッド 704 とは 1 本の配線 705 によって電氣的に接続されている。また、1 本の配線 706 は 1 つのテストパッド 703 と接続し、1 本の配線 707 は 1 つのテストパッド 704 と接続している。該配線 705 で接続された該テストパッド 703、704 とで一組の電流測定 TEG 709 が構成されている。ここで、配線 706 は入力用ポートとして機能し、配線 707 は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。なお、本実施の形態において、配線 705～707 は同一直線上に配置されているがこの構成に限定されない。また、VDD 用電源ライン 701、GND 用電源ライン 702、テストパッド 703～704、及び配線 705～707 は導電性の材料で形成されている。

40

【0076】

そして、スタンダードセル 708 を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、NAND 回路、NOR 回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

50

【 0 0 7 7 】

図 7 に示すスタンダードセルでは、種々の信号線をひとつのスタンダードセルにまとめることができるため、レイアウト時の信号線の管理が容易になる。また、電流測定時にパッドを探す手間が省ける。さらに、異なる信号間のテストパッドの距離が大きく離れていないため、電流測定器の針の移動も容易となる。また、テストパッド間の大きさを調整することで、複数の電流を一括して測定することもでき、回路検証をより効率的に進めることが可能となる。

【 0 0 7 8 】

他の構成として図 8 に示す構成としてもよい。図 8 のスタンダードセル 8 0 8 は、V D D 用電源ライン 8 0 1 と、G N D 用電源ライン 8 0 2、複数のテストパッド 8 0 3、8 0 4、複数の配線 8 0 5 ~ 8 0 7 を有している。図 8 において、1 つのテストパッド 8 0 3 と 1 つのテストパッド 8 0 4 とは 1 本の配線 8 0 5 によって電氣的に接続されている。また、1 本の配線 8 0 6 は 1 つのテストパッド 8 0 3 と接続し、1 本の配線 8 0 7 は 1 つのテストパッド 8 0 4 と接続している。該配線 8 0 5 で接続された該テストパッド 8 0 3、8 0 4 とで一組の電流測定 T E G 8 0 9 が構成されている。ここで、配線 8 0 6 は入力用ポートとして機能し、配線 8 0 7 は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。なお、本実施の形態において、配線 8 0 5 ~ 8 0 7 は同一直線上に配置されているがこの構成に限定されない。また、V D D 用電源ライン 8 0 1、G N D 用電源ライン 8 0 2、テストパッド 8 0 3 ~ 8 0 4、及び配線 8 0 5 ~ 8 0 7 は導電性の材料で形成されている。図 8 では、スタンダードセル 8 0 8 内において配線やテストパッド配置されない空き領域を小さくすることができる。

【 0 0 7 9 】

そして、スタンダードセル 8 0 8 を回路の構成単位として、他のスタンダードセル（例えば、インバータ回路、N A N D 回路、N O R 回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

【 0 0 8 0 】

図 8 に示すスタンダードセルを用いることにより、テストパッドを含むスタンダードセルセルの面積（およびスタンダードセルの横幅）を小さくすることができる。配線の密な領域にテストパッドを多数配置する必要がある場合には、図 8 に示すスタンダードセルを用いることで、回路面積を縮小することが可能となる。これにより、テストパッドによる寄生容量の増加を抑えることができる。さらに、配線負荷も小さくできる。

【 0 0 8 1 】

また、他の形態として図 9 に示す構成としてもよい。図 9 に示すスタンダードセル 9 0 8 は、V D D 用電源ライン 9 0 1 と、G N D 用電源ライン 9 0 2、複数のテストパッド 9 0 3、9 0 4、複数の配線 9 0 5 ~ 9 0 7 を有している。図 9 において、1 つのテストパッド 9 0 3 と 1 つのテストパッド 9 0 4 とは 1 本の配線 9 0 5 によって電氣的に接続されている。また、1 本の配線 9 0 6 は 1 つのテストパッド 9 0 3 と接続し、1 本の配線 9 0 7 は 1 つのテストパッド 9 0 4 と接続している。該配線 9 0 5 で接続された該テストパッド 9 0 3、9 0 4 とで一組の電流測定 T E G 9 0 9 が構成されている。ここで、配線 9 0 6 は入力用ポートとして機能し、配線 9 0 7 は出力用ポートとして機能する。入力用ポートおよび出力用ポートを介して他のスタンダードセルや回路ブロックとの信号のやり取りを行うことができる。また、V D D 用電源ライン 9 0 1、G N D 用電源ライン 9 0 2、テストパッド 9 0 3 ~ 9 0 4、及び配線 9 0 5 ~ 9 0 7 は導電性の材料で形成されている。なお、本実施の形態において、配線 9 0 5 ~ 8 0 7 は同一直線上に配置され、V D D 電源ライン 9 0 1、G N D 電源ライン 9 0 2 と平行に配置されているがこの構成に限定されない。

【 0 0 8 2 】

そして、スタンダードセル 9 0 8 を回路の構成単位として、他のスタンダードセル（例

えば、インバータ回路、NAND回路、NOR回路、フリップフロップ回路等）とともに自動レイアウトにて配置することで所望の機能を有する半導体集積回路を得ることができる。

【0083】

図9に示すスタンダードセル908において、配線905～907とVDD電源ライン901とGND電源ライン902は平行に配置されている。これにより、配線905によって接続された二つのテストパッド903、904間の距離やスタンダードセル内の配線の引き回しの長さを小さくできる。また、入力用ポート又は出力用ポートとして機能する配線906、907とVDD電源ライン901又はGND電源ライン902とスタンダードセル908内で交叉することがない。これにより、電流測定の際に電源ノイズの影響を小さくすることが可能である。さらに、スタンダードセル列間の配線が密な領域においてもテストパッドを配置することが可能である。

10

【0084】

（実施の形態7）

実施の形態1～6に示したテストパッドを用いて作製した半導体回路は、例えば、非接触でデータの入出力が可能である半導体装置であるRFIDチップ（RFIDタグ、ICタグ、ICチップ、RF（Radio Frequency）タグ、無線タグ、電子タグとも呼ばれる）等に用いることができる。RFIDチップ内のアナログ回路部、デジタル回路部等の設計の際に、本発明のテストパッドを含むスタンダードセルを用いることにより、電流の測定を詳細に行い、不要な電力をカットし、消費電力を低減することが可能となる。RFIDチップを構成する回路部として、集積回路部（高周波回路、電源回路、リセット回路、クロック発生回路、データ復調回路、データ変調回路、制御回路及びメモリ回路等を有する）、電源回路部（整流回路、保持容量、定電圧回路等を有する）、アナログ回路部（アンテナ、高周波回路、電源回路、リセット回路、クロック発生回路、レベルシフト回路、チャージポンプ回路、データ復調回路、データ変調回路等を有する）、及びデジタル回路部（制御回路及びメモリ制御回路等を有する）が挙げられる。

20

【0085】

図10に示す半導体装置800は、非接触でデータを交信する機能を有し、高周波回路810、電源回路820、リセット回路830、クロック発生回路840、データ復調回路850、データ変調回路860、他の回路の制御を行う制御回路870、記憶回路880およびアンテナ890を有している（図10（A））。高周波回路810はアンテナ890より信号を受信して、データ変調回路860より受信した信号をアンテナ890から出力する回路であり、電源回路820は受信信号から電源電位を生成する回路であり、リセット回路830はリセット信号を生成する回路であり、クロック発生回路840はアンテナ890から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路850は受信信号を復調して制御回路870に出力する回路であり、データ変調回路860は制御回路870から受信した信号を変調する回路である。また、制御回路870としては、例えばコード抽出回路910、コード判定回路920、CRC判定回路930および出力ユニット回路940が設けられている。なお、コード抽出回路910は制御回路870に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路920は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC判定回路930は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

30

40

【0086】

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ890により無線信号が受信される。無線信号は高周波回路810を介して電源回路820に送られ、高電源電位（以下、VDDと記す）が生成される。VDDは半導体装置800が有する各回路に供給される。また、高周波回路810を介してデータ復調回路850に送られた信号は復調される（以下、復調信号）。さらに、高周波回路810を介してリセット回路830およびクロック発生回路840を通った信号及び復調信号は制御回路870に送ら

50

れる。制御回路 870 に送られた信号は、コード抽出回路 910、コード判定回路 920 および CRC 判定回路 930 等によって解析される。そして、解析された信号にしたがって、記憶回路 880 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 940 を通って符号化される。さらに、符号化された半導体装置 800 の情報はデータ変調回路 860 を通って、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位（以下、VSS）は共通であり、VSS は GND とすることができる。また、本発明の不揮発性半導体記憶装置を記憶回路 880 に適用することができる。本発明の不揮発性半導体記憶装置は、駆動電圧を低くすることができるため、非接触でデータを交信できる距離をのばすことが可能となる。

10

【0087】

このように、リーダ/ライタから半導体装置 800 に信号を送り、当該半導体装置 800 から送られてきた信号をリーダ/ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0088】

また、半導体装置 800 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0089】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3210 を含む携帯端末の側面には、リーダ/ライタ 3200 が設けられ、品物 3220 の側面には半導体装置 3230 が設けられる（図 10（B））。品物 3220 が含む半導体装置 3230 にリーダ/ライタ 3200 をかざすと、表示部 3210 に品物の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3260 をベルトコンベアにより搬送する際に、リーダ/ライタ 3240 と、商品 3260 に設けられた半導体装置 3250 を用いて、該商品 3260 の検品を行うことができる（図 10（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

20

【図面の簡単な説明】

30

【0090】

【図 1】本発明のスタンダードセルの構成を示す図。

【図 2】本発明のスタンダードセルの構成を示す図。

【図 3】本発明のスタンダードセルの構成を示す図。

【図 4】本発明のスタンダードセルの構成を示す図。

【図 5】本発明のスタンダードセルの構成を示す図。

【図 6】本発明のスタンダードセルの構成を示す図。

【図 7】本発明のスタンダードセルの構成を示す図。

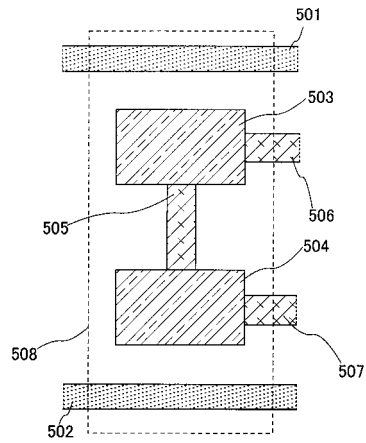
【図 8】本発明のスタンダードセルの構成を示す図。

【図 9】本発明のスタンダードセルの構成を示す図。

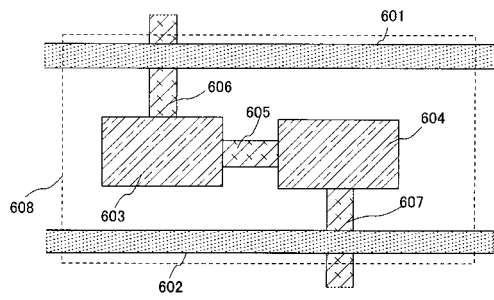
40

【図 10】半導体装置の使用形態の一例を示す図。

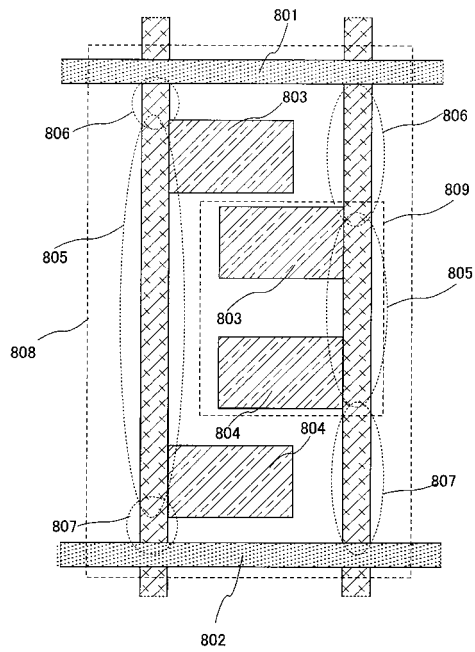
【図 5】



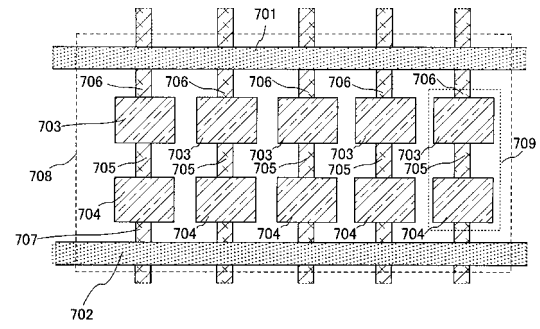
【図 6】



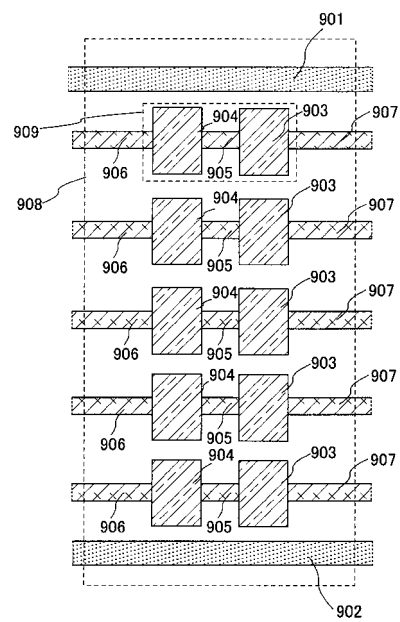
【図 8】



【図 7】

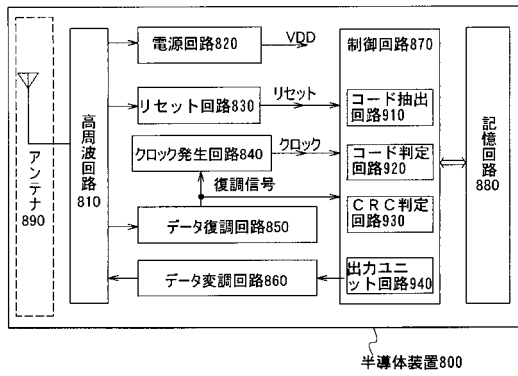


【図 9】

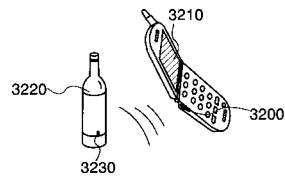


【図 10】

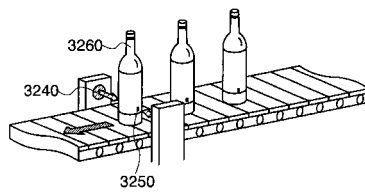
(A)



(B)



(C)



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 1 / 8 2

H 0 1 L 2 7 / 0 4

H 0 1 L 2 1 / 6 6

G 0 1 R 3 1 / 2 8