

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610148403.6

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

[45] 授权公告日 2009 年 5 月 13 日

[11] 授权公告号 CN 100487917C

[22] 申请日 2006.11.14

[21] 申请号 200610148403.6

[30] 优先权

[32] 2005.11.15 [33] US [31] 11/164,216

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 安德斯·布赖恩特

布伦特·A·安德森

艾德华·J·诺瓦克

杰弗里·B·约翰逊

[56] 参考文献

US6855583B1 2005.2.15

US 6858478B2 2005.2.22

US6844238B2 2005.1.18

审查员 吴晓达

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

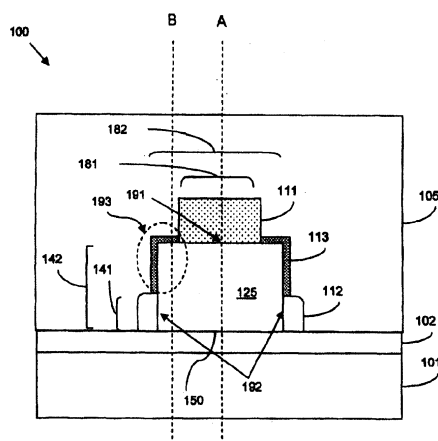
权利要求书 4 页 说明书 13 页 附图 14 页

[54] 发明名称

场效应晶体管及其形成方法

[57] 摘要

公开了三栅场效应晶体管的实施方式，该三栅 FET 包括鳍形半导体本体，沟道区和源/漏区在沟道区的任一侧上。厚栅极介质层将沟道区的顶表面和相对侧壁与栅极导体分开，从而抑制沟道面中的导电性。薄栅极介质层将沟道区的上边角与栅极导体分开，从而优化沟道边角的导电性。为了进一步加强沟道边角中的电流流动，可以仅在半导体本体的上边角中形成源/漏区。替代地，可以仅在半导体本体的上边角中邻近栅极导体形成源/漏扩展区，并且可以在半导体本体的端部中形成深源/漏扩散区。



1. 一种场效应晶体管，包括：

衬底上的半导体本体，其中所述半导体本体具有顶表面、相对侧壁和上边角；

在所述顶表面上的第一栅极介质层；

在所述相对侧壁上的第二栅极介质层；以及

在所述上边角上邻接所述第一栅极介质层和所述第二栅极介质层的第三栅极介质层，其中所述第一栅极介质层和所述第二栅极介质层二者都比所述第三栅极介质层更厚。

2. 权利要求 1 的晶体管，其中所述第一栅极介质层和所述第二栅极介质层比所述第三栅极介质层至少更厚三倍。

3. 权利要求 1 的晶体管，其中所述第二栅极介质层的高度为所述相对侧壁高度的至少三分之一。

4. 权利要求 1 的晶体管，其中所述第二栅极介质层的宽度为所述顶表面宽度的至少三分之一。

5. 一种场效应晶体管，包括：

衬底上的半导体本体，

其中所述半导体本体具有顶表面、相对侧壁和上边角，并且

其中所述半导体本体包括沟道区和所述上边角中邻接所述沟道区的源/漏区；

在所述顶表面上的第一栅极介质层；

在所述相对侧壁上的第二栅极介质层；以及

在所述上边角上邻接所述第一栅极介质层和所述第二栅极介质层的第三栅极介质层，其中所述第一栅极介质层和所述第二栅极介质层二者都比所述第三栅极介质层更厚。

6. 权利要求 5 的晶体管，其中所述上边角中的所述源/漏区包括源/漏扩展区，并且其中所述半导体本体还具有相对置的端部并包括所述相对置的端部中的源/漏扩散区。

7. 权利要求 5 的晶体管，其中所述第一栅极介质层和所述第二栅极介质层比所述第三栅极介质层至少更厚三倍。

8. 权利要求 5 的晶体管，其中所述第二栅极介质层的高度为所述相对侧壁高度的至少三分之一。

9. 权利要求 5 的晶体管，其中所述第二栅极介质层的宽度为所述顶表面宽度的至少三分之一。

10. 一种制作场效应晶体管的方法，所述方法包括：

图案化半导体层的顶表面上的第一介质材料，以形成第一栅极介质层；

形成邻接所述第一栅极介质层的隔层；

对所述半导体层执行定向刻蚀，以便在所述第一栅极介质层和所述隔层下方形成半导体本体；

在所述半导体本体的相对侧壁上形成第二栅极介质层；以及

在所述半导体本体的上边角上邻接所述第一栅极介质层和所述第二栅极介质层形成第三栅极介质层，其中所述第一栅极介质层和所述第二栅极介质层二者都比所述第三栅极介质层更厚。

11. 权利要求 10 的方法，其中所述形成所述第二栅极介质层包括：

沉积与所述第一栅极介质材料不同的第二介质材料；以及

执行选择性的定向刻蚀，以便从所述第一栅极介质层和所述隔层上去除所述第二介质材料、去除所述隔层、并在所述上边角处从所述相对侧壁上去除所述第二介质材料，

其中留在所述相对侧壁上的一部分所述第二介质材料形成所述第二栅极介质层。

12. 权利要求 10 的方法，其中所述形成所述第二栅极介质层包括：

去除所述隔层；

沉积与所述第一栅极介质材料不同的第二介质材料；以及

执行选择性的定向刻蚀，以便从所述第一栅极介质层上和在所述

上边角处从所述相对侧壁上去除所述第二介质材料，

其中留在所述相对侧壁上的一部分所述第二介质材料形成所述第二栅极介质层。

13. 权利要求 10 的方法，其中所述形成所述第三栅极介质层包括在所述半导体本体上围绕所述上边角生长氧化物层。

14. 权利要求 13 的方法，其中所述氧化物层的生长受控制，使得所述第三栅极介质层被形成为小于所述第二栅极介质层厚度的 $1/3$ 。

15. 权利要求 10 的方法，其中所述第一栅极介质层被形成为使得所述第一栅极介质层的宽度为所述顶表面宽度的至少三分之一，并且其中所述第二栅极介质层被形成为使得所述第二栅极介质层的高度为所述相对侧壁高度的至少三分之一。

16. 一种制作场效应晶体管的方法，所述方法包括：

图案化半导体层的顶表面上的第一介质材料，以形成第一栅极介质层；

形成邻接所述第一栅极介质层的隔层；

对所述半导体层执行定向刻蚀，以便在所述第一栅极介质层和所述隔层下方形成半导体本体；

在所述半导体本体的相对侧壁上形成第二栅极介质层；

在所述半导体本体的上边角上邻接所述第一栅极介质层和所述第二栅极介质层形成第三栅极介质层，其中所述第一栅极介质层和所述第二栅极介质层二者都比所述第三栅极介质层更厚；

图案化所述半导体本体上的栅极导体；以及

邻接所述栅极导体对所述上边角掺杂，以形成源/漏区。

17. 权利要求 16 的方法，其中所述掺杂包括执行注入工艺、执行向外扩散工艺、以及执行注入工艺和向外扩散工艺的组合中的一种。

18. 权利要求 16 的方法，还包括在所述掺杂之前：在所述半导体本体的相对置的端部处从所述顶表面上去除所述第一介质层和所述第三栅极介质层，以及，邻接所述栅极导体从所述半导体本体的所述上边角上去除所述第三栅极介质层，使得所述掺杂邻接所述栅极导体

向所述上边角导入掺杂剂从而形成源/漏扩展区,以及向所述相对置的端部导入掺杂剂从而形成源/漏扩散区。

19. 权利要求 16 的方法,其中所述形成所述第二栅极介质层包括:

沉积与所述第一介质材料不同的第二介质材料;以及

执行选择性的定向刻蚀,以便从所述第一栅极介质层和所述隔层上去除所述第二介质材料、去除所述隔层、并在所述上边角处从所述相对侧壁上去除所述第二介质材料,

其中留在所述相对侧壁上的一部分所述第二介质材料形成所述第二栅极介质层。

20. 权利要求 16 的方法,其中所述形成所述第二栅极介质层包括:

去除所述隔层;

沉积与所述第一栅极介质材料不同的第二介质材料;以及

执行选择性的定向刻蚀,以便从所述第一栅极介质层上和在所述上边角处从所述相对侧壁上去除所述第二介质材料,

其中留在所述相对侧壁上的一部分所述第二介质材料形成所述第二栅极介质层。

21. 权利要求 16 的方法,其中所述形成所述第三栅极介质层包括在所述半导体本体上在所述上边角上生长氧化物层。

22. 权利要求 21 的方法,其中所述氧化物层的生长受控制,使得所述第三栅极介质层被形成为小于所述第二栅极介质层厚度的 $1/3$ 。

23. 权利要求 16 的方法,其中所述第一栅极介质层被形成为使得所述第一栅极介质层的宽度为所述顶表面宽度的至少三分之一,并且其中所述第二栅极介质层被形成为使得所述第二栅极介质层的高度为所述相对侧壁高度的至少三分之一。

场效应晶体管及其形成方法

技术领域

本发明一般地涉及场效应晶体管，并且更具体地涉及三栅场效应晶体管结构及形成该结构的方法。

背景技术

集成电路设计的决定常常被器件按比例缩放和制造效率推动。例如，开发了多栅非平面场效应晶体管(FETs)，如鳍型FETs(finFETs)或三栅FETs，以提供与平面FETs相比具有更快的驱动电流和减小的短沟道效应的按比例缩放的器件。finFET是非平面晶体管，其中沟道区被形成在薄半导体鳍(semiconductor fin)的中间，在相对的端部有源/漏区。栅被形成在邻近沟道区的半导体鳍的相对侧壁上。三栅FET具有与finFET类似的结构。然而，该半导体鳍的宽度和高度使得栅可以被形成在沟道区的三个侧面上，包括顶表面和相对的侧壁。由于包住其中顶表面和相对侧壁相遇的沟道边角周围的栅极的二维效应，三栅FET与平面FET相比提供了附加的性能杠杆(leverage)，尤其是更好的栅控制。然而，这种性能上的好处分别被沟道区顶表面和相对侧壁处的水平和垂直沟道面减小，这些面表现出高寄生电容。提供在最小化沟道面中表现出的寄生电容的同时加强沟道边角的电流承载能力的三栅FET，将具有相对于现有技术的优点。

发明内容

为了加强三栅FET沟道边角的电流流动并同时抑制水平和垂直沟道面中的电流流动，公开了改善的三栅场效应晶体管(FET)及形成三栅FET的相关方法的实施方式。三栅FET包括鳍形半导体本体，沟道区和源/漏区在沟道区的任一侧上。薄栅极介质层包住沟道区中半

导体本体的上边角的周围，厚栅极介质层位于沟道区中半导体本体的顶表面和相对侧壁上。为了进一步加强沟道边角的电流流动并抑制垂直和水平沟道面中的电流流动，紧邻沟道区的源/漏区仅位于半导体本体的上边角中。

更具体地，三栅 FET 的实施方式包括衬底上的半导体本体。半导体本体可以是鳍形的，并可具有相对侧壁和端部，以及顶表面和顶表面与相对侧壁之间的接合处的上边角。

晶体管还可包括顶表面上的第一栅极介质层、相对侧壁上的第二栅极介质层、和上边角的第三栅极介质层。具体地，晶体管在沟道区中的半导体本体的顶表面上可包括较厚的第一栅极介质层。第一栅极介质层的宽度可以是半导体本体宽度的至少三分之一。类似地，晶体管在沟道区中的半导体本体的相对侧壁上可包括较厚的第二栅极介质层。第二栅极介质层的高度可以是半导体本体高度的至少三分之一。晶体管也可包括包住沟道区中半导体本体上边角周围的较薄的第三栅极介质层，使其分别位于第一栅极介质层和第二栅极介质层之间的顶表面上和相对侧壁上。这些栅极介质层中的每一个可以由不同的介质材料形成并可具有不同的厚度。然而，第一和第二栅极介质层应当分别比第三栅极介质层更厚（例如至少更厚大约 3 倍），从而抑制沟道面中的电流流动并加强沟道边角的电流流动。

晶体管还可包括在三个介质层中的每一个上形成的栅极导体。栅极导体可以在半导体本体的相对端部之间居中或偏离，并在半导体本体内限定晶体管的沟道区。

晶体管也可在半导体本体内包括源/漏区。具体地，晶体管可在半导体本体的上边角中邻近栅极导体包括掺杂的源/漏区。这些源/漏区可包括从栅极导体延伸到半导体本体的相对端部的源/漏扩散区。替代地，在半导体本体的上边角中邻近栅极导体的第一较低浓度的掺杂剂可限定源/漏扩展区，在半导体本体的相对端部中的第二较高浓度的掺杂剂限定源/漏扩散区。

如上所述，形成三栅场效应晶体管的方法实施方式包括在半导体

层上首先沉积较厚的第一介质材料。第一介质材料在半导体层的顶表面上被光刻图案化以形成第一栅极介质层。然后，邻近第一栅极介质层，具体地邻近第一栅极介质层侧壁，形成侧壁隔层。隔层和第一栅极介质材料的宽度应当被控制成使得第一栅极介质层的宽度为随后形成的半导体本体的宽度的至少三分之一。

在形成侧壁隔层之后，为了在第一栅极介质层和侧壁隔层下方形成半导体本体，执行对半导体层有选择性的定向刻蚀工艺。可选地，一旦形成半导体本体，可以选择性地去除侧壁隔层。

然后，在半导体本体的相对侧壁上形成第二栅极介质层。通过沉积与第一介质材料不同材料和/或具有不同厚度的第二介质材料，可以形成第二栅极介质层。如果没有从第一栅极介质层去除侧壁隔层并且该侧壁隔层由与第二介质材料相同的材料形成，可以在半导体本体的相对侧壁上、在侧壁隔层上和在第一栅极介质层上沉积第二介质材料的较厚的覆盖层（blanket layer）。然后，可以执行选择性的定向刻蚀工艺，以便从第一栅极介质层和从侧壁隔层去除第二介质材料，以完全去除侧壁隔层，并在上边角处从半导体本体的相对侧壁去除第二介质材料。定向刻蚀工艺可以被控制成使得相对侧壁上第二介质材料的剩余部分形成第二栅极介质层，并使得第二栅极介质层具有相对侧壁高度至少三分之一的高度。

替代地，如果从第一栅极介质层去除侧壁隔层，可以在半导体本体的相对侧壁以及顶表面的露出部分上、和第一栅极介质层上沉积第二介质材料的覆盖层。然后，可以执行选择性的定向刻蚀工艺，以便从第一栅极介质层和在上边角处从半导体本体的顶表面和相对侧面去除第二介质材料。再次，该定向刻蚀工艺可以被控制成使得相对侧壁上第二介质材料的剩余部分形成第二栅极介质层，并使得第二栅极介质层具有相对侧壁高度至少三分之一的高度。

一旦第一和第二栅极介质层被形成，如上所述，可以在半导体本体的露出的上边角上、邻近顶表面上的第一栅极介质层和相对侧壁上的第二栅极介质层形成第三栅极介质层。具体地，可以通过在半导体

本体上围绕上边角生长氧化物层，形成第三栅极介质层。氧化物层的生长可以被控制成使得第三栅极介质层被形成成为小于第一和/或第二栅极介质层厚度的大约 $1/3$ 。

在各个栅极介质层形成之后，可以在半导体本体上栅极介质层上方沉积栅极导体，并光刻图案化。图案化的栅极导体可以在半导体本体的相对端部之间居中或偏离，从而限定 FET 的沟道区。

一旦形成栅极导体，可以通过注入工艺、向外扩散工艺或注入工艺和向外扩散工艺的组合，在半导体本体中形成源/漏区。

在本发明的一种实施方式中，为了进一步加强所得到的三栅 FET 的沟道边角并抑制沟道面，可以在半导体本体的上边角（独立地）中邻近栅极导体形成源/漏区。例如，从栅极导体向相对端部延伸、并且未被栅极导体或厚栅极介质层（即第一和第二栅极介质层）阻挡的半导体本体的上边角可以被注入掺杂剂，以形成源/漏扩散区。替代地，可以选择性地去除预先生长在半导体本体的上边角上（并且未被栅极导体阻挡）的氧化物层（即第三栅极介质层）。然后，可以沉积高掺杂水平的薄膜，使得掺杂剂可以在从栅极导体至相对端部的上边角处从薄膜向外扩散到露出的半导体本体中。

在本发明的另一种实施方式中，为了进一步加强所得到的三栅 FET 的沟道边角并抑制沟道面，可以在上边角中邻近栅极导体形成源/漏扩展区，并且在半导体本体的整个相对端部形成深源/漏扩散区。例如，可以选择性地去除相对端部处半导体本体的顶表面上的第一栅极介质层和氧化物层（即第三栅极介质层）的一部分。然后，可以执行注入工艺，使得第一较低浓度的掺杂剂被注入到邻近栅极导体的半导体本体的上边角中，以形成源/漏扩展区，并且第二较高浓度的掺杂剂被注入到半导体本体的相对端部中，以形成源/漏扩散区。替代地，除了从相对端部去除氧化物层，也可以从上边角选择性地去除氧化物层。然后，可以沉积高掺杂水平的薄膜，使得掺杂剂可以在上边角和相对端部处向外扩散到露出的半导体中。该向外扩散工艺可以被控制成使得第一较低浓度的掺杂剂向外扩散到邻近栅极导体的半导体本体

的上边角中,以形成源/漏扩展区,并且第二较高浓度的掺杂剂向外扩散到半导体本体的相对端部中,以形成源/漏扩散区。替代地,可以通过上述注入和向外扩散工艺的组合,实现源/漏扩展区和深源/漏扩散区中的不同掺杂水平。

本发明实施方式的这些和其他方面将在结合下文的说明和附图考虑时被更好地评价和理解。然而,应当理解,下文的说明尽管表示本发明的优选实施方式及其大量的细节,但只是以示例说明而非限制的方式给出。可以在本发明实施方式的范围内进行许多改变和变更,而不背离其精神,本发明的实施方式将包括所有的这类变更。

附图说明

参照附图,从下文的详细说明中将更好地理解本发明,其中:

图 1 是说明三栅 FET 中沟道边角传导 (conduction) 的示意图;

图 2 是说明本发明三栅 FET 的实施方式的前截面的示意图;

图 3a 是说明本发明的三栅 FET 另一实施方式的经过中心面 A (参见图 2) 的侧截面的示意图;

图 3b 是说明经过图 3a 中实施方式偏离中心的面 B (参见图 2) 的侧截面的示意图;

图 4a 是说明本发明的三栅 FET 另一实施方式的经过中心面 A (参见图 2) 的侧截面的示意图;

图 4b 是说明经过图 4a 中实施方式偏离中心的面 B (参见图 2) 的侧截面的示意图;

图 5 是说明形成三栅 FET 的方法的实施方式的流程图;

图 6 是说明本发明部分完成的结构的前截面的示意图;

图 7 是说明本发明部分完成的结构的前截面的示意图;

图 8 是说明本发明部分完成的结构的前截面的示意图;

图 9 是说明本发明部分完成的结构的前截面的示意图;

图 10 是说明本发明部分完成的结构的前截面的示意图;

图 11 是说明本发明部分完成的结构的前截面的示意图;

图 12 是说明本发明部分完成的结构的前截面的示意图;
图 13 是说明本发明部分完成的结构的前截面的示意图;
图 14 是说明本发明部分完成的结构的前截面的示意图;
图 15 是说明图 14 的顶视图的示意图;
图 16 是说明本发明部分完成的结构的顶视图的示意图;
图 17 是说明本发明部分完成的结构的顶视图的示意图;
图 18 是说明本发明部分完成的结构的顶视图的示意图;
图 19 是说明本发明部分完成的结构的顶视图的示意图;
图 20 是说明本发明部分完成的结构的顶视图的示意图;
图 21 是说明本发明部分完成的结构的顶视图的示意图; 以及
图 22 是说明本发明部分完成的结构的顶视图的示意图。

具体实施方式

参照非限制性的实施方式更全面地解释本发明的实施方式及其各种特征和有益的细节, 结合附图说明这些非限制性的实施方式, 并在下文的说明中详述。应当注意, 附图中说明的特征没有必要按比例绘制。省略对公知的部件和处理技术的描述, 以免不必要地混淆本发明的实施方式。希望本文使用的实例只是便于理解本发明实施方式可以实现的方式, 并且进而使得本领域的技术人员能够实施本发明。因此, 这些实例不应被理解成限制本发明实施方式的范围。

如上所述, 三栅场效应晶体管 (三栅 FET) 具有与鳍型场效应晶体管 (finFET) 相似的结构。然而, 在三栅 FET 中, 半导体鳍宽度和高度使得栅极 (即栅极介质 - 栅极导体叠层) 可以被形成在沟道区的三个侧面上, 包括顶表面和相对侧壁。由于包住沟道边角 (即, 其中顶表面和相对侧壁相遇的沟道区上边角) 周围的栅极的二维效应, 三栅 FET 与平面 FET 相比提供了附加的性能杠杆 (leverage), 尤其是更好的栅控制。然而, 该性能优点被水平沟道面和平行的垂直沟道面 (即分别在半导体鳍沟道区的顶表面和相对侧壁处形成的垂直和水平面) 减小。具体地, 这些沟道面表现出高寄生电容, 并因而限制了沟

道边角的性能优点。例如，图 1 说明与沟道区的总宽度（即半导体鳍的两倍高度加宽度）相比的三栅 FETs 的漏电流(I_{d-sat})的模拟结果。对零的 x 截距是大约 -30 nm。 x 截距的负值表示三栅 FET 的沟道区中的上边角输送与 30nm 宽的平面器件同样多的电流。然而，为了获得这些沟道边角中表现的传导的完全优点，三栅 FET 的平面部分的尺寸将必须比 $1/3 \times 30\text{nm}$ （即 10nm）小许多。不幸地，这样的尺度对于制造而言是有挑战性的，并且可能导致迁移率劣化。

因此，所公开的是抑制垂直和水平沟道平面以最小化寄生电容、优化沟道边角的电流承载能力、以及具有可以使用目前现有技术制造的尺度的三栅 FET 结构的实施方式。图 2 是说明本发明三栅 FET 的实施方式经过沟道区的前视图截面的图。图 3 是说明图 2 的三栅 FET 经过源/漏区的侧视图截面的图。图 4 是说明图 2 的经过不同配置的源/漏区的侧视图截面的图。结合参照图 2-4，本发明的三栅 FET100 的实施方式可包括鳍形半导体本体 150，该半导体本体包括沟道区 125 和沟道区 125 两侧上的源/漏区（参见图 3 的 120 和图 4 的 120a-b）。薄栅介质层 113 包住沟道区 125 中半导体本体 150 的上边角 193 的周围，以加强沟道边角的电流承载能力。附加地，厚栅极介质层 111,112 位于沟道区 125 中半导体本体 150 的顶表面 191 和相对侧壁 192 上，以抑制沟道面中的电流流动。为了进一步加强沟道边角的电流流动并抑制沟道面中的电流流动，源/漏区（例如如图 3 中的源/漏扩散区 120 和图 4 的源/漏扩展区 120a）紧邻沟道区 125，但仅在半导体本体 150 的上边角 193 中，在此处顶表面 191 和相对侧壁 192 相遇。

具体地，三栅晶体管 100 的实施方式包括衬底 110（例如，埋着氧化物 102-硅 101 堆叠的绝缘体上硅（SOI）晶片）上的半导体（例如硅或硅锗）本体 150。半导体本体 150 可以为鳍型，高度 142 约为 10-100nm，宽度 182 在高度 142 的 $1/2$ 至 2 倍之间。半导体本体 150 具有相对侧壁 192 和端部 194，顶表面 191 和顶表面 191 与相对侧壁 192 之间的上边角 193。晶体管 100 还可包括顶表面 191 上的第一栅极介质层 111、相对侧壁 192 上的第二栅极介质层 112、和上边角 193

的第三栅极介质层 113。具体地，晶体管 100 可在半导体本体 150 的沟道区 125 顶表面 191 上包括较厚的第一栅极介质层 111（例如，大约 3-30nm 厚的氧化物层）。第一栅极介质层 111 的宽度 181 可以是半导体本体 150 宽度 182 的至少三分之一。类似地，晶体管 100 可在半导体本体 150 的沟道区 125 相对侧壁 192 上包括较厚的第二栅极介质层 112（例如，大约 3-30nm 厚的氮化物层）。第二栅极介质层 112 的高度 141 可以是半导体本体 150 高度 142 的至少三分之一。晶体管 100 也可包括包住半导体本体 150 的沟道区 125 上边角 193 周围的较薄的第三栅极介质层 113（例如，大约 1-10nm 的氧化物层），使其分别位于第一栅极介质层 111 和第二栅极介质层 112 之间的顶表面 191 和相对侧壁 192 上。栅极介质层 111,112,113 中的每一个可由不同的介质材料（例如氮化物、氧化物、或其它合适的介质材料）形成，并可具有不同的厚度。然而，第一栅极介质层 111 和第二栅极介质层 112 应当分别比第三栅极介质层 113 更厚（例如至少更厚大约 3 倍），从而抑制沟道面中的电流流动并加强沟道边角的电流流动。

晶体管 100 还可包括在三个介质层 111, 112, 113 中的每一个上形成的栅极导体 105。栅极导体 105 可在半导体本体 150 的相对端部 194 之间居中或偏离，从而限定晶体管 100 的沟道区 125。

晶体管 100 也可在栅极导体 105 的两侧上在半导体本体内包括源/漏区。具体地，晶体管 100 可在半导体本体的上边角 193 中包括掺杂的源/漏区。参照图 3a-3b，在本发明的一个实施方式中，这些源/漏区可包括从栅极导体 105 延伸到半导体本体的相对端部 194 的源/漏扩散区 120。因而，具体地参照图 3a，经过中心面 A（参见图 2）的侧视图截面说明该实施方式的掺杂源/漏区 120 未位于沿半导体本体 120 中心的位置上。此外，具体地参照图 3B，经过偏离中心的面 B（参见图 2）的侧视图截面说明该实施方式的掺杂源/漏区 120 位于上边角 193 中，并从相对端部 194 延伸到栅极导体 105。

替代地，参照图 4a-4b，在本发明的另一实施方式中，邻近栅极导体 105 的上边角 193 可包含第一较低浓度的掺杂剂以限定源/漏扩展

区 120a, 并且半导体本体 150 的相对端部 194 (不限于边角自身) 可包含第二较高浓度的掺杂剂以限定深源/漏扩散区 120b。因而, 具体地参照图 4a, 经过中心面 A (参见图 2) 的侧视图截面说明该实施方式的掺杂源/漏扩展区 120a 未位于沿半导体本体 120 中心的位置上。此外, 具体地参照图 4B, 经过偏离中心的面 B (参见图 2) 的侧视图截面说明该实施方式的掺杂源/漏扩散区 120b 位于相对端部 194 处整个半导体本体中。

参照图 5, 形成三栅场效应晶体管 100 的方法的实施方式, 如上所述, 包括在半导体层 103 (例如, 绝缘体上硅 (SOI) 晶片上大约 10-100nm 的半导体层 103) 上首先沉积较厚的第一介质材料 104 (例如, 大约 3-30nm 厚的氧化物层) (502, 参见图 6)。然后, 第一介质材料 104 在半导体层 103 的顶表面 191 上被光刻图案化以形成第一栅极介质层 111 (504, 参见图 7)。第一栅极介质层 111 可以形成预定的宽度 181, 该宽度与目前现有技术的最小光刻尺度相等。

然后, 邻近第一栅极介质层 111, 并且更具体地邻近第一栅极介质层侧壁, 形成侧壁隔层 160 (例如大约 3-30nm 宽的氮化物隔层) (506, 参见图 7)。可以使用用于侧壁隔层形成的传统方法形成侧壁隔层 160。然而, 侧壁隔层 160 和第一栅极介质层 111 的宽度 161 和 181 分别应当受控制, 以便控制第一栅极介质层 111 与随后形成的半导体本体相比的相对宽度。具体地, 半导体本体 150 的宽度 (图 2 中的项目 182) 将与隔层 160 和第一栅极介质层 111 的组合宽度相等。为了保证充分抑制水平沟道面中的电流流动, 隔层 160 和第一栅极介质材料 141 的宽度 161 和 181 分别应当受控制, 使得第一栅极介质层 111 的宽度 181 为半导体本体 150 的宽度 182 的至少三分之一。

在形成侧壁隔层 (步骤 506) 之后, 为了在第一栅极介质层 111 和侧壁隔层 160 下方形成鳍形半导体本体 150, 执行对半导体层 103 有选择性的定向刻蚀工艺 (508, 参见图 8)。可选地, 一旦形成半导体本体, 可以选择性地去除侧壁隔层 (509, 参见图 9)。

然后, 在半导体本体 150 的相对侧壁 192 上形成第二栅极介质层

(510)。通过沉积与第一介质材料不同材料和/或具有不同厚度的第二介质材料,可以形成第二栅极介质材料(512)。参照图 10,如果未从第一栅极介质层 111 去除侧壁隔层 160,并且侧壁隔层 160 由与第二介质材料 170 (例如,氮化物)相同的材料形成,可以在半导体本体 150 的相对侧壁 192 上、在侧壁隔层 160 上和在第一栅极介质层 111 上沉积较厚的第二介质材料覆盖层 170 (例如,大约 3-30nm 厚的覆盖氮化物层) (512) 然后,可以执行选择性的定向刻蚀工艺,以便从第一栅极介质层 111 和从侧壁隔层 160 去除第二介质材料 170,以完全去除侧壁隔层 160,并在顶边角 193 处从半导体本体 150 的相对侧壁 192 去除第二介质材料 170 的一部分(514,参见图 12)。此外,该定向刻蚀步骤(514)可以受控制,使得第二介质材料的一部分留在相对侧壁 192 上,以形成第二栅极介质层 112,并使得第二栅极介质层 112 具有相对侧壁 192 高度 142 至少三分之一的高度 141。注意,如果使用该技术,则定向刻蚀步骤(514)必须受特殊的控制,使得侧壁隔层 160 被完全去除,并且露出顶边角 193 处的半导体层顶表面。因而,从相对侧壁 192 去除的第二介质材料 170 的深度 143 必须与侧壁隔层 160 高度至少相等(即第一栅极介质层的厚度 144)。

替代地,参考图 11,如果从第一栅极介质层去除侧壁隔层(在步骤 509),可以在相对侧壁 192 以及半导体本体 150 的顶表面 191 的露出部分上、和第一栅极介质层 111 上沉积第二介质材料 170 的覆盖层(510)。然后,可以执行选择性的定向刻蚀步骤,以便从第一栅极介质层和在上边角处从半导体本体的顶表面和相对侧壁去除第二介质材料(514)。再次,定向刻蚀工艺可以受控制,使得相对侧壁 192 上剩余的部分第二介质材料形成第二栅极介质层 112,并使得第二栅极介质层 112 具有相对侧壁 192 高度 142 至少三分之一的高度 141。注意,如果使用该技术,则从相对侧壁 192 去除的第二介质材料 170 的深度 143 可以小于第一栅极介质材料的厚度 144。此外,侧壁隔层材料可以与第二介质材料不同。

一旦第一和第二栅极介质层被形成(在步骤 502-514),如上所

述,可以在半导体本体 150 的露出的上边角 193 上、邻近顶表面 191 上的第一栅极介质层 111 和相对侧壁 192 上的第二栅极介质层 112 形成较薄的第三栅极介质层 113 (516, 参见图 13)。具体地,例如通过在半导体本体 150 上围绕上边角 193 生长大约 1-10nm 的氧化物层,可以形成第三栅极介质层 113 (518)。氧化物层的生长可以受控制,使得第三栅极介质层 113 被形成为小于第一栅极介质层 111 和/或第二栅极介质层 112 厚度的大约 1/3。

在各个栅极介质层形成 (步骤 502-518) 之后,可以在半导体本体 150 上栅极介质层 111, 112, 113 上方沉积栅极导体 105, 并光刻图案化 (520)。图 14 和 15 说明在步骤 520 之后部分完成的本发明的三栅 FET100 的前截面和顶视图。图案化的栅极导体 105 可以在半导体本体 150 的相对端部 194 之间居中或偏离,从而限定 FET 的沟道区 125。

一旦形成栅极导体 105 (在步骤 520), 可以通过向半导体本体中邻近沟道区 125 导入合适的掺杂剂, 形成源/漏区 120。这可通过使用公知的处理技术来实现, 例如通过注入工艺或向外扩散工艺实现 (524)。具体地, 可以导入 p 型掺杂剂 (例如硼) 以形成 p-FET 的源/漏区, 或者可以导入 n 型掺杂剂 (例如磷、砷或锑) 以形成 n-FET 的源/漏区。

在本发明的一种实施方式中, 为了进一步加强所得到的三栅 FET 的沟道边角并抑制沟道面, 可以仅在半导体本体 120 的上边角 193 中邻近栅极导体 105 形成源/漏区 120。例如, 从栅极导体 105 向相对端部 194 延伸、并且未被栅极导体或厚栅极介质层 (即第一栅极介质层 111 和第二栅极介质层 112) 阻挡的半导体本体 150 的上边角 193 可以被注入选定的掺杂剂, 以形成源/漏扩散区 120 (526, 参见图 16)。替代地, 可以从半导体本体的上边角 193 选择性地去除预先生长在半导体本体 120 的上边角 (在步骤 516) 上、并且在形成栅极导体 105 (在步骤 520) 期间未被阻挡的氧化物层 113 (即第三栅极介质层 113, 参见图 15) (参见图 17)。然后, 可以沉积具有高水平的选定掺杂剂的薄

膜,使得掺杂剂可以在栅极导体 105 和相对端部 194 之间从薄膜向外扩散到半导体本体 120 的上边角 193 中(参见图 18)。

在本发明的另一种实施方式中,为了进一步加强所得到的三栅 FET 的沟道边角并抑制沟道面,可以在半导体本体 120 的上边角 193 中邻近栅极导体 105 形成源/漏扩展区 120a,并且在半导体本体 120 的整个相对端部 194 形成深源/漏扩散区 120b。例如,可以去除半导体本体 150 的顶表面 191 上相对端部 194 处第一栅极介质层 111 和氧化物层 113(即第三栅极介质层 113)的一部分,并且可选地,也可以去除上边角 193 中邻近栅极导体 105 的剩余的露出氧化物层 113(528,参见上文的详细讨论和图 19)。可以通过图案化结构上方的掩模使得半导体本体的相对端部露出,实现步骤 528。然后,可以执行合适的刻蚀步骤以便从相对端部去除介质层。可以去除掩模,并且可选地,可以执行受控制的定向刻蚀步骤以去除露出的氧化物层 113 的剩余部分,而不必完全去除第一介质层 111。在步骤 528 之后,可以执行注入步骤,使得第一较低浓度的掺杂剂被注入到邻近栅极导体 105 的半导体本体 150 的上边角 193 中,以形成深源/漏扩展区 120a,并且第二较高浓度的掺杂剂被注入到半导体本体 150 的相对端部 194 中,以形成深源/漏扩散区 120b(530,参见图 20)。通过进行两步注入工艺实现不同的浓度,其中在两步之一的期间遮挡源/漏扩展区。替代地,如果完全去除氧化物层 113(即从半导体本体 120 的相对端部 194 和上边角 193 去除)(在步骤 528,参见图 21),之后,可以使用向外扩散步骤以便分别向半导体本体 120 的上边角和相对端部导入掺杂剂,以形成源/漏扩展区 120a 和源/漏扩散区 120b。例如,在步骤 528 去除选定的介质层之后,可以沉积具有高水平的掺杂剂的薄膜,使得掺杂剂可以向外扩散到上边角和相对端部中(参见图 22)。该向外扩散工艺可以使用已知技术受控制,使得第一较低浓度的掺杂剂向外扩散到邻近栅极导体的半导体本体的上边角中,以形成源/漏扩展区,并且第二较高浓度的掺杂剂向外扩散到半导体本体的相对端部中,以形成源/漏扩散区。替代地,可以通过上述注入和向外扩散工艺的组合,实现

源/漏扩展区 120a 和深源/漏扩散区 120b 之间的不同掺杂水平。

为了完成三栅 FET 结构 100, 可以执行附加的公知处理步骤 (例如, 形成晕圈、形成隔层、沉积和平面化绝缘体、形成栅极接触、形成源/漏接触等) (532)。

因此, 上文公开的是抑制沟道区中垂直和水平沟道平面以最小化寄生电容、优化沟道边角的电流承载能力、以及具有可以使用目前现有技术制造的尺度的三栅 FET 结构的实施方式。三栅 FET 包括鳍形半导体本体, 沟道区和源/漏区在沟道区的任一侧上。厚栅极介质层将沟道区的顶表面和相对侧壁与栅极导体分开, 从而抑制垂直和水平沟道面中的导电性。薄栅极介质层将沟道区的上边角与栅极导体分开, 从而优化沟道边角的导电性。为了进一步加强沟道边角中的电流承载能力, 可以形成源/漏区, 使得它们只存在于半导体本体的上边角处。替代地, 可以形成源/漏区, 使得源/漏扩展区只存在于半导体本体的上边角中邻近栅极导体处, 并且深源/漏扩散区存在于整个半导体本体中, 距栅极导体一定距离。因而, 可以实现同时表现出很低的寄生电容和电阻的三栅 FET 结构。

前面对特定实施方式的描述将完全地揭示本发明的一般特性, 其他人可以通过应用目前的知识, 容易地更改这些特定的实施方式和/或将其改用于不同的应用, 而不背离一般概念, 因此, 这样的改用和更改应当并且希望被理解成包含在所公开的实施方式的等价含义和范围内。应当理解, 本文采用的措辞或术语是为了描述而非限制的目的。因此, 尽管已经按照实施方式描述了本发明, 但本领域的技术人员将认识到, 在所附权利要求书的精神和范围内, 本发明可以按更改方式实施。

图1

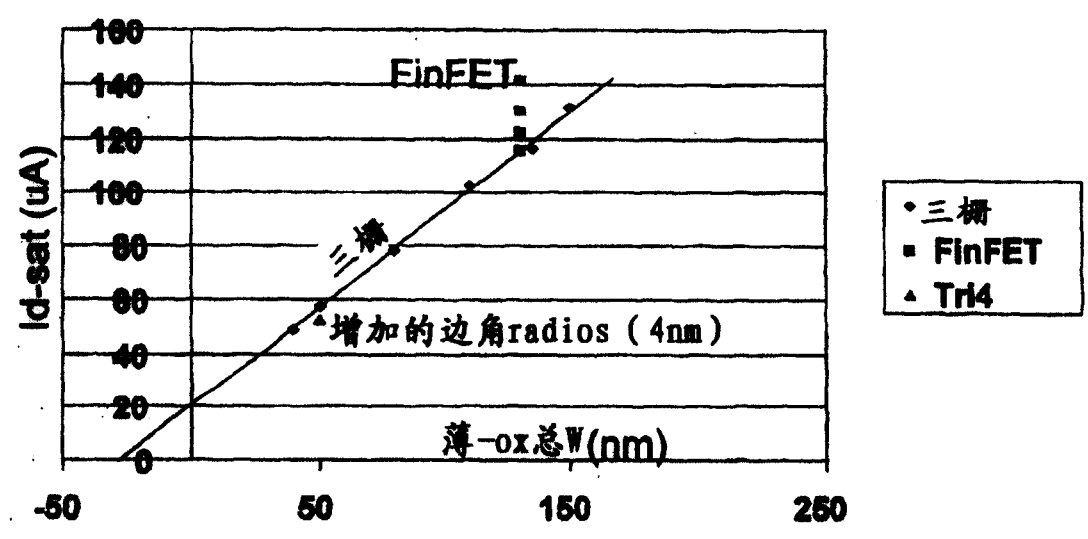


图2

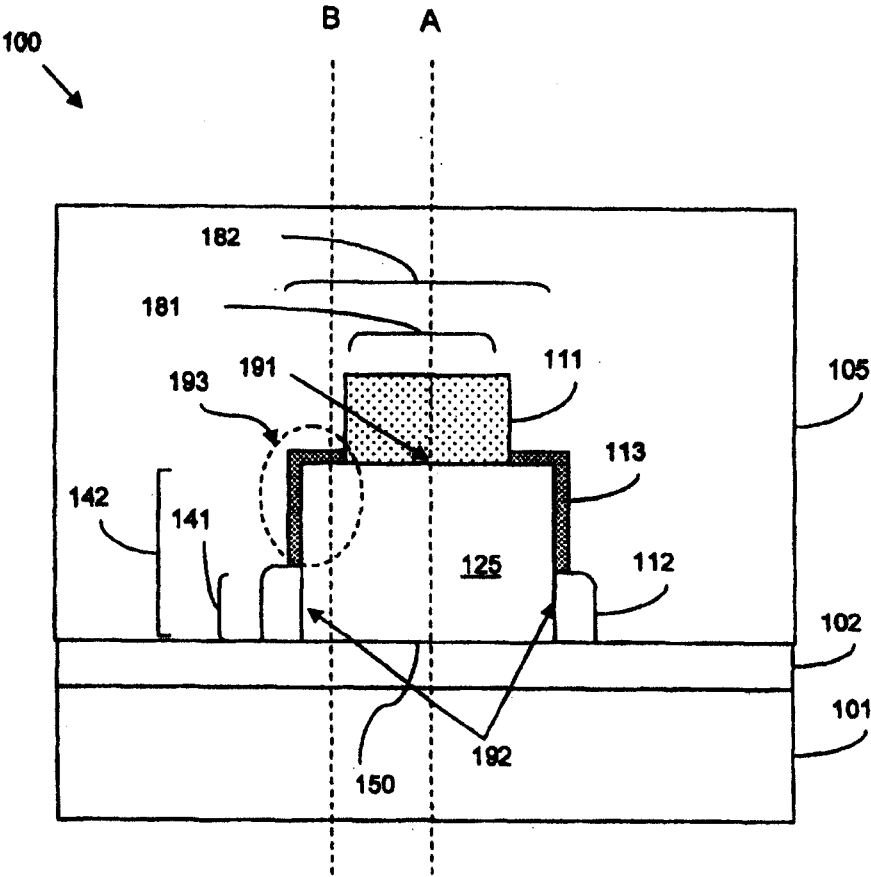


图 3a

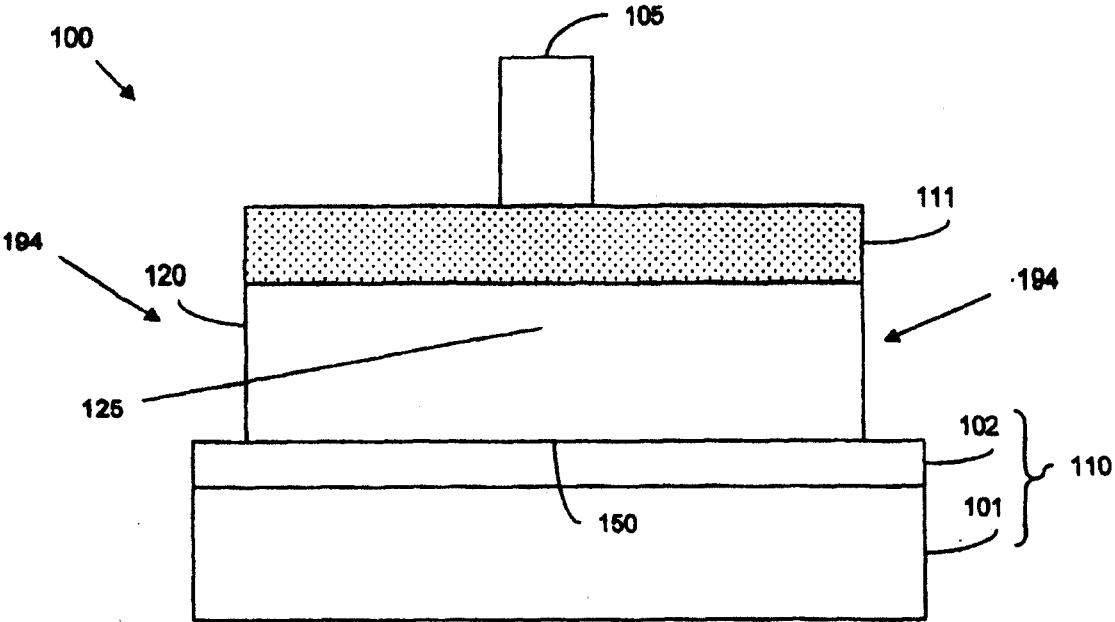


图 3b

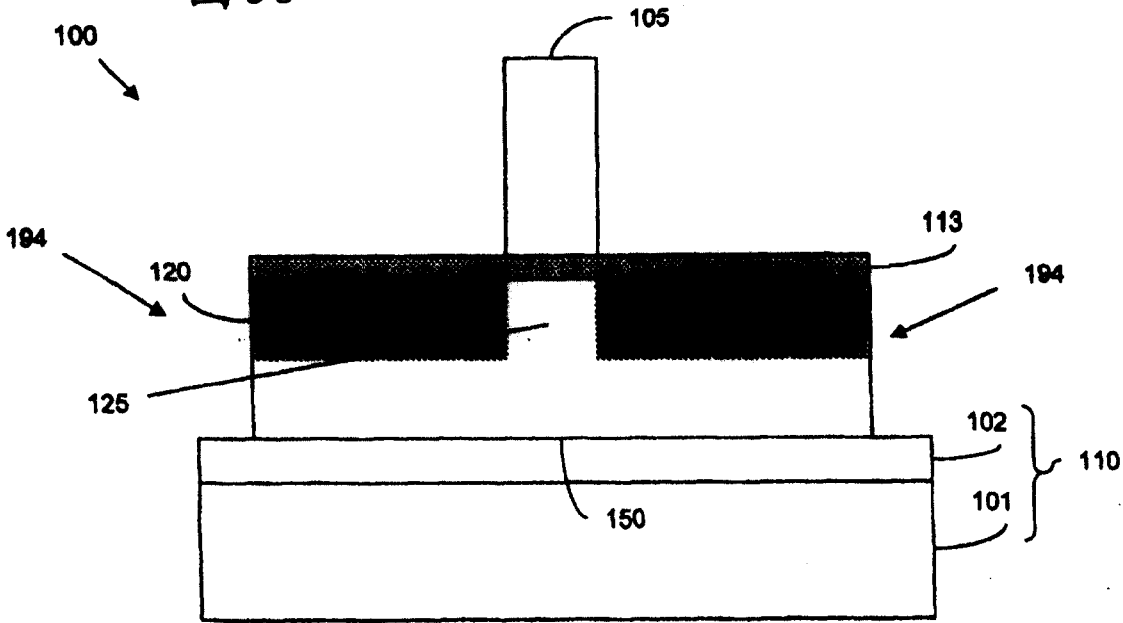


图 4a

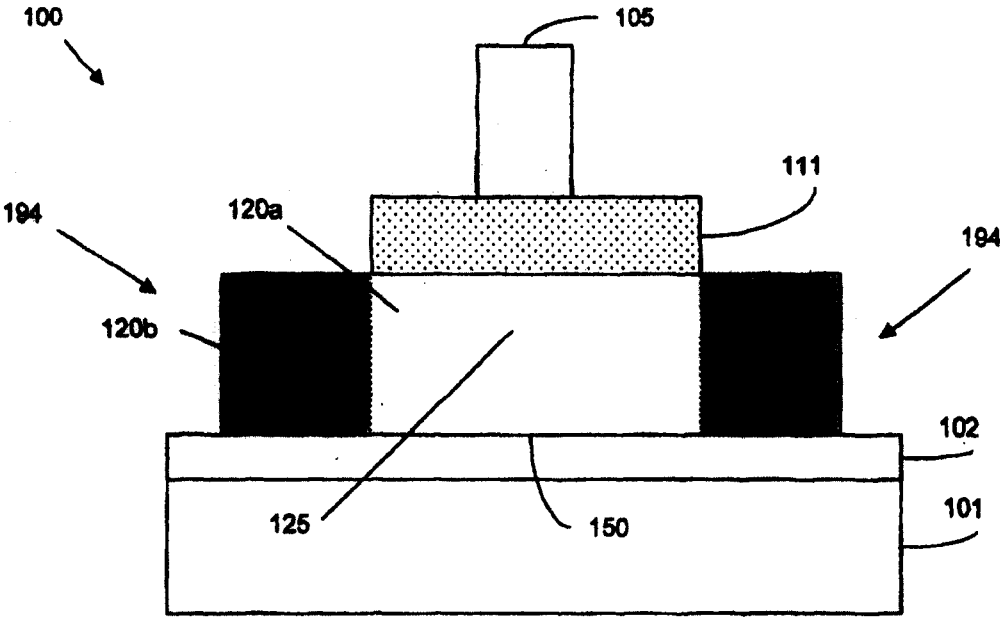


图 4b

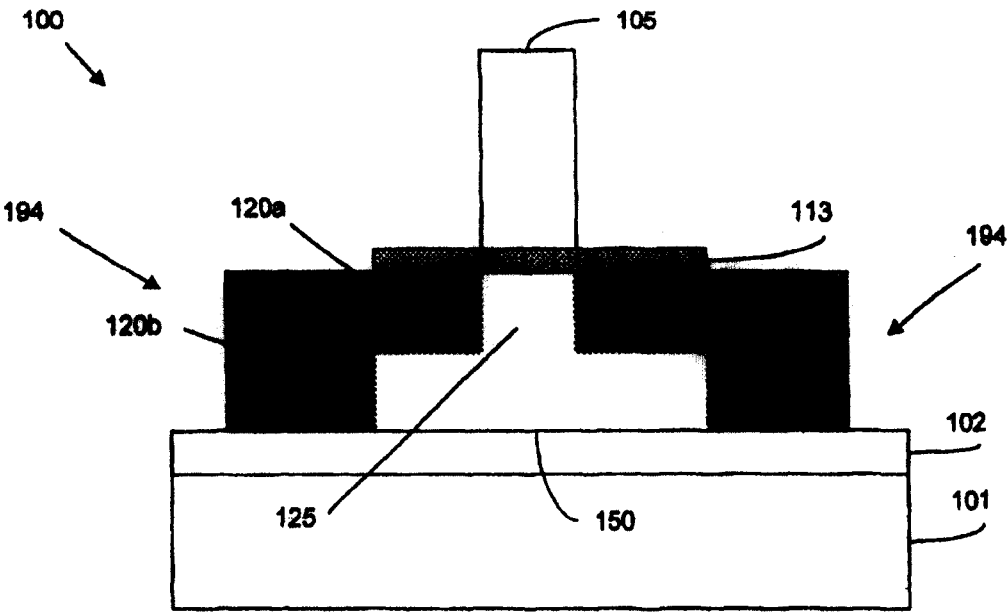


图5

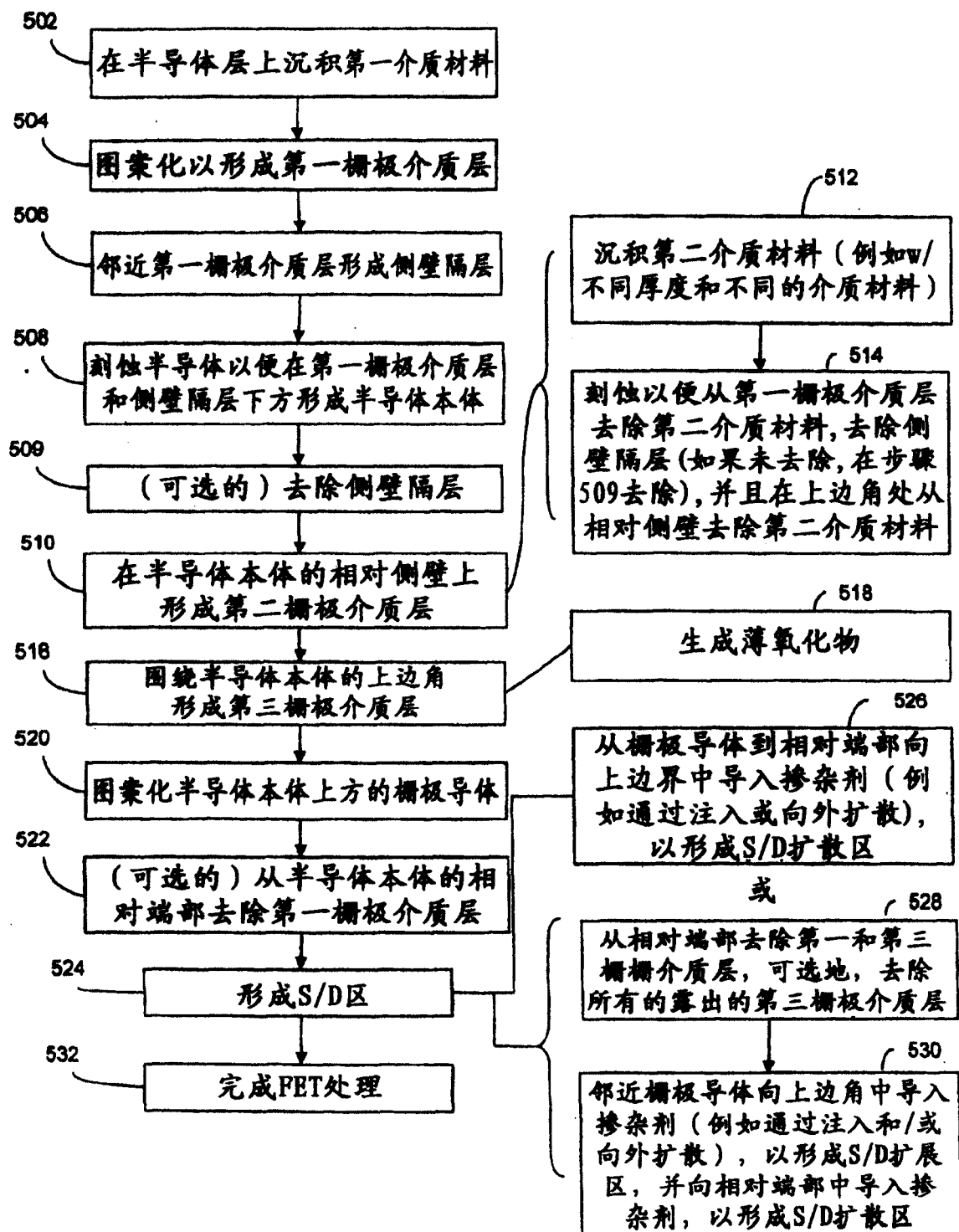


图6

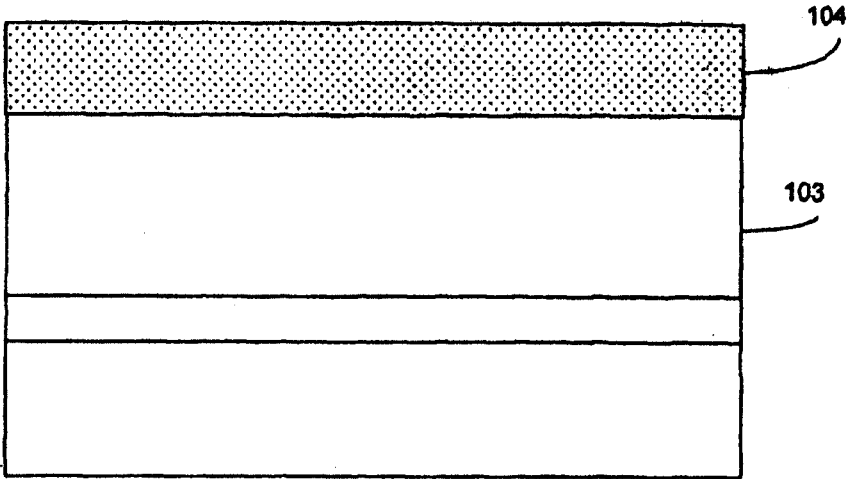


图7

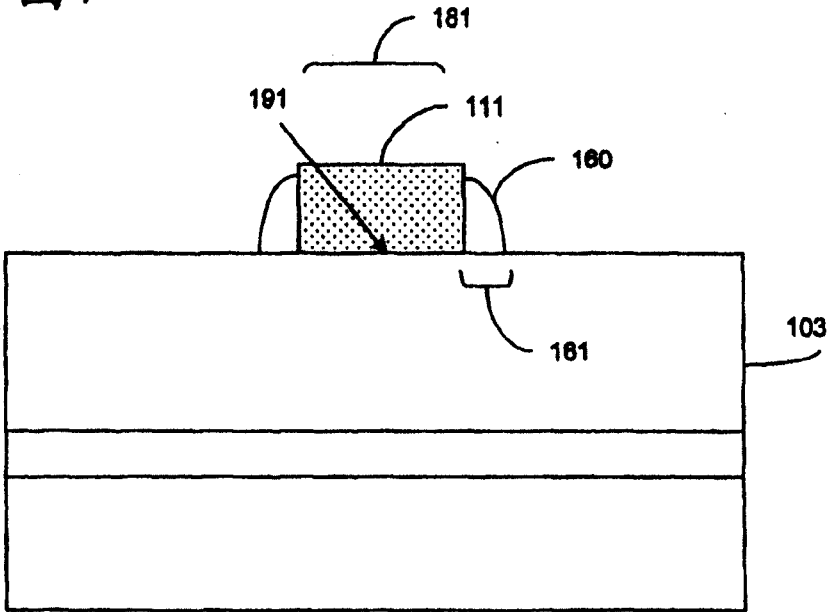


图 8

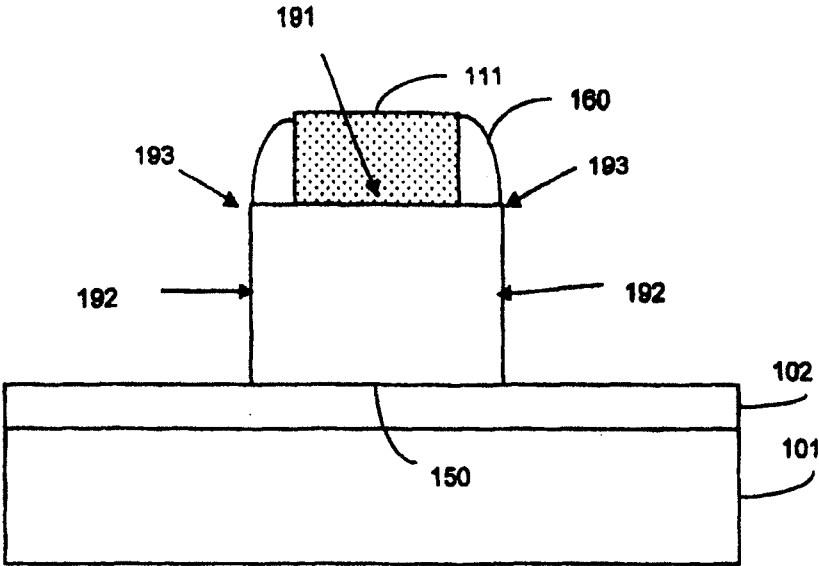


图 9

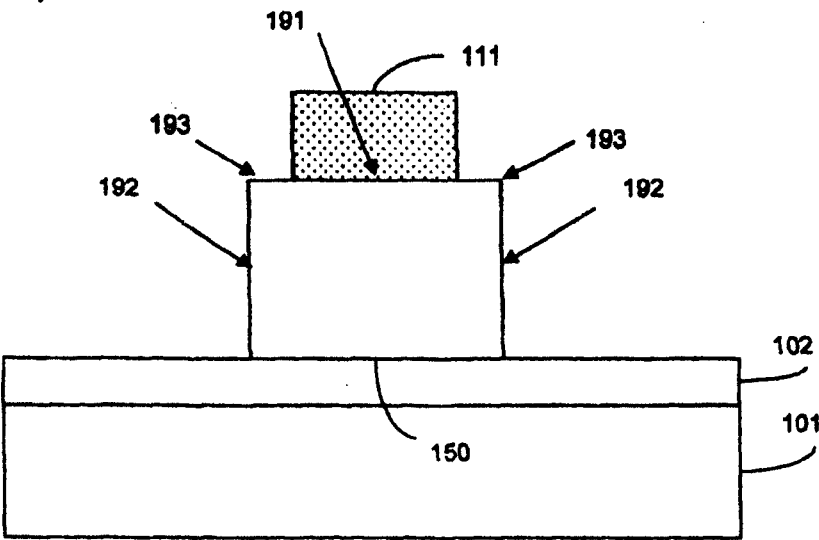


图10

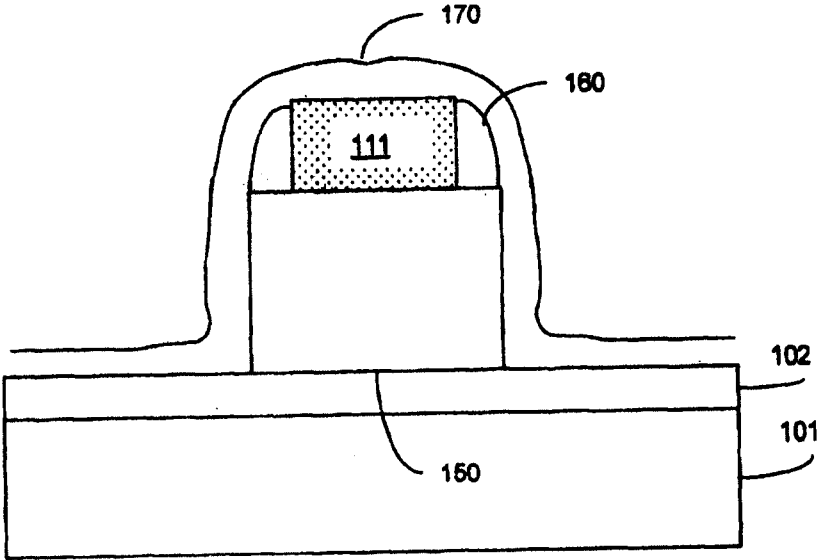


图11

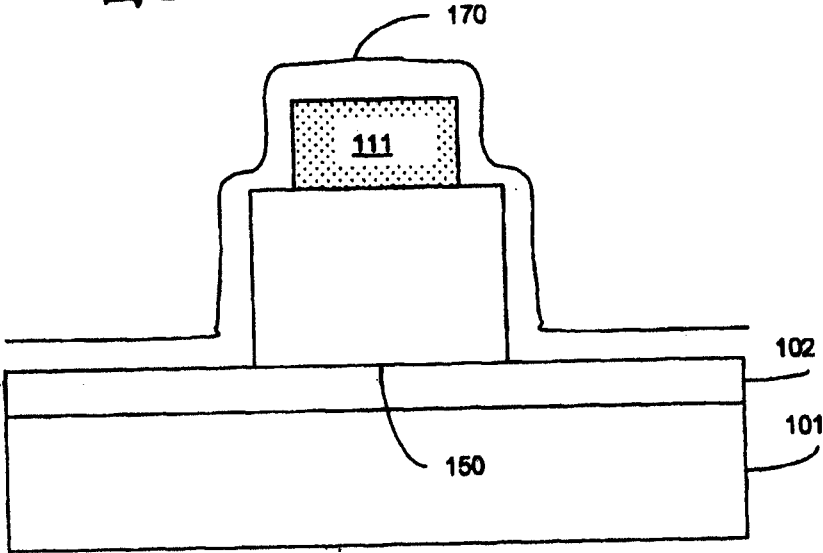


图12

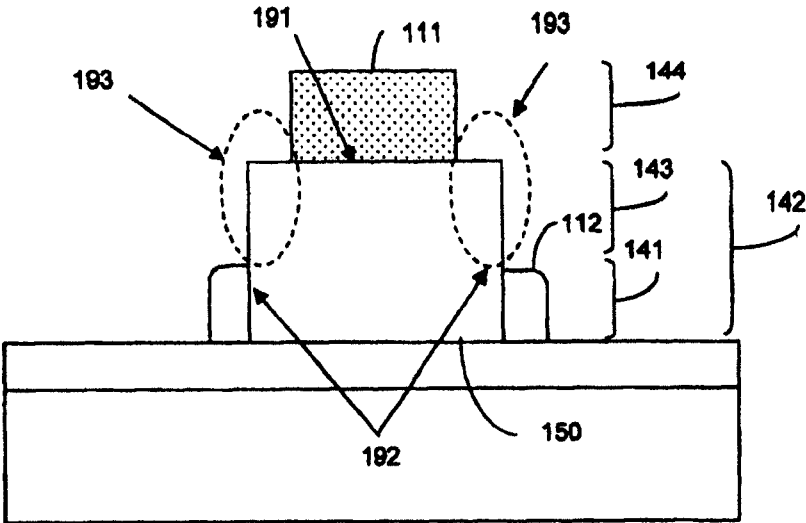


图13

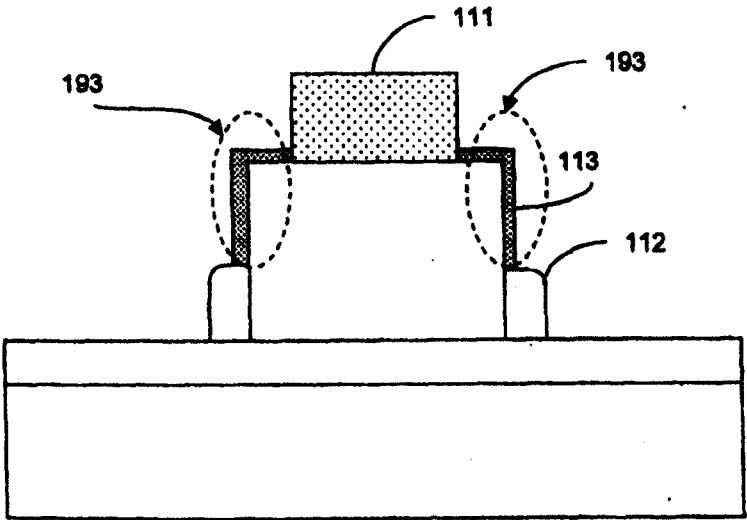


图 14

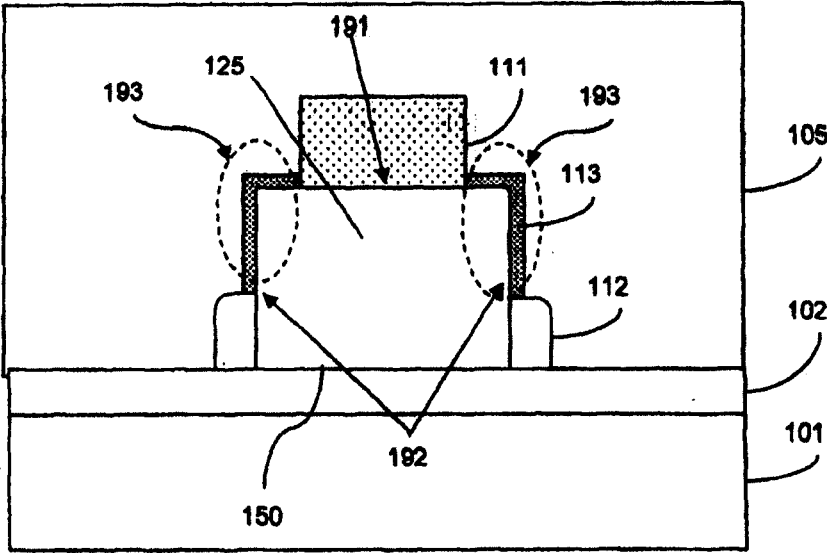


图 15

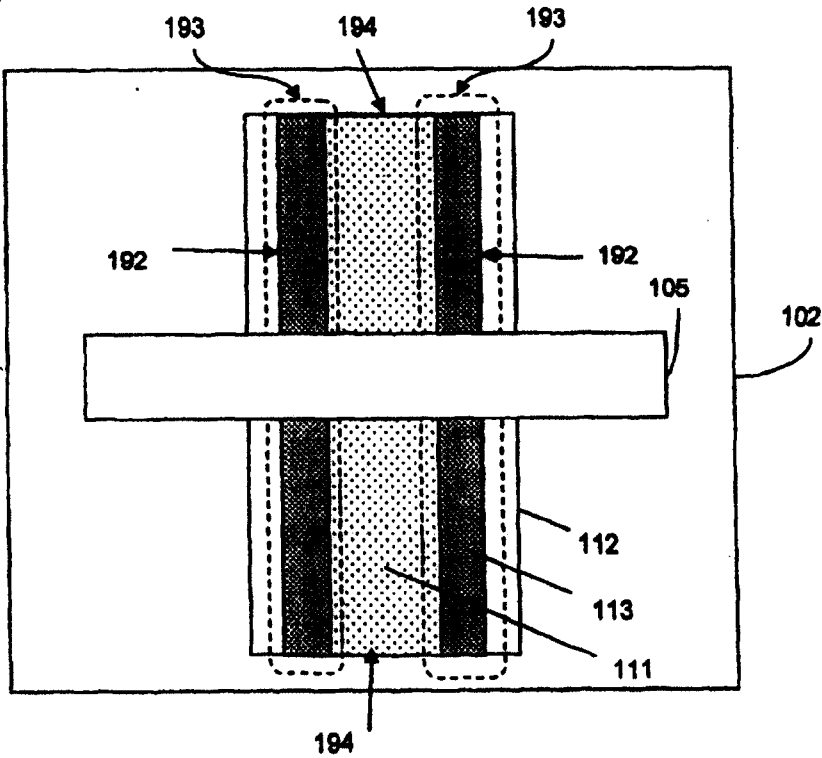


图16

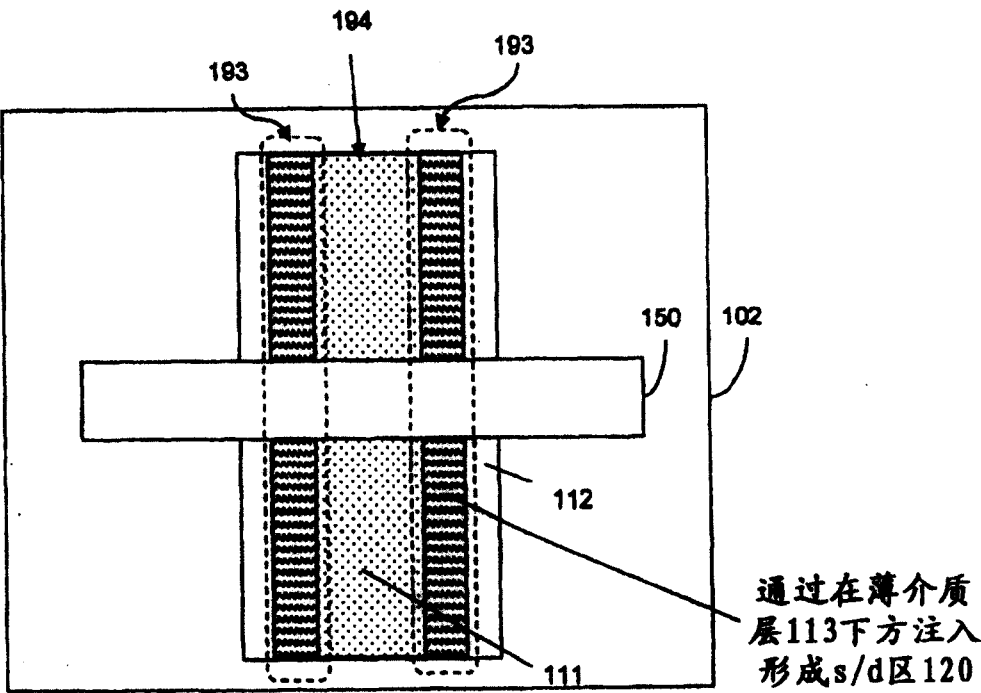


图 17

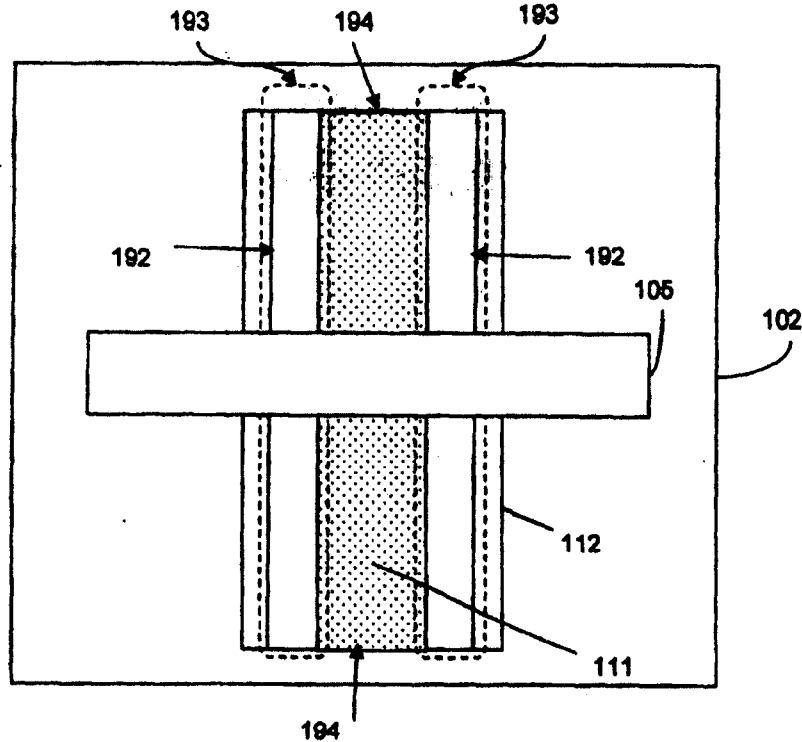


图 18

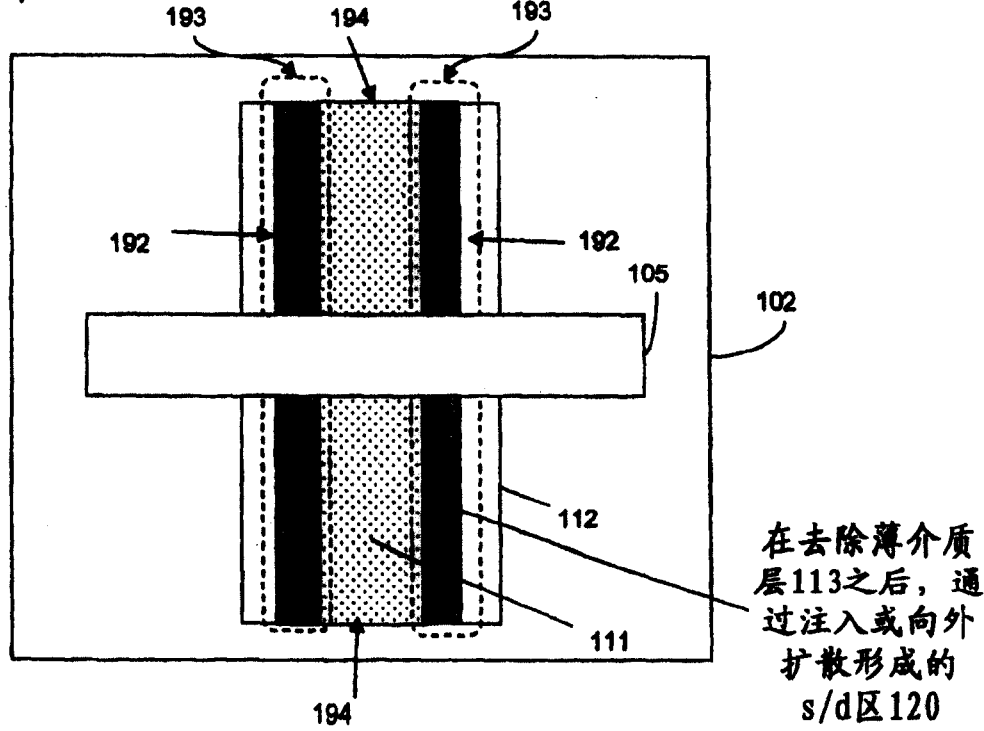


图 19

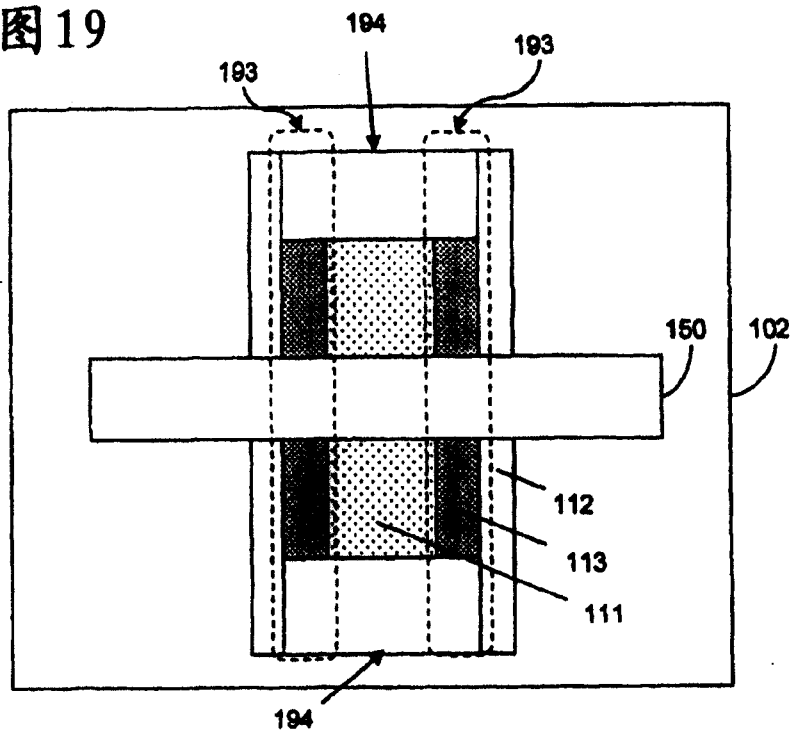


图 20

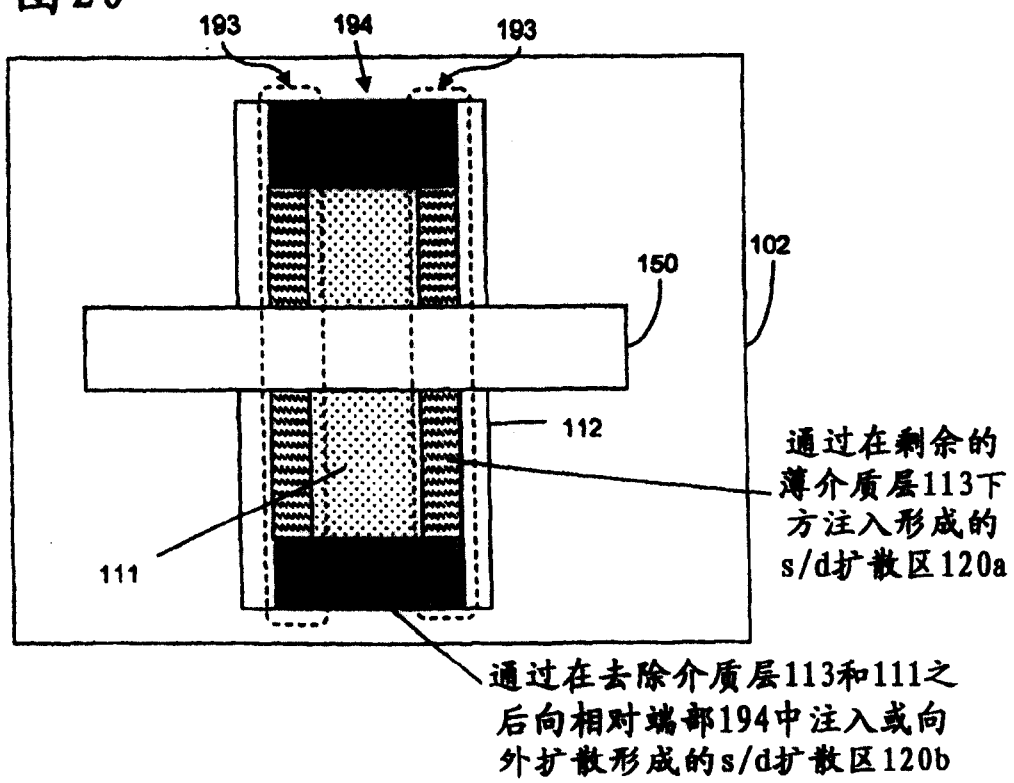


图 21

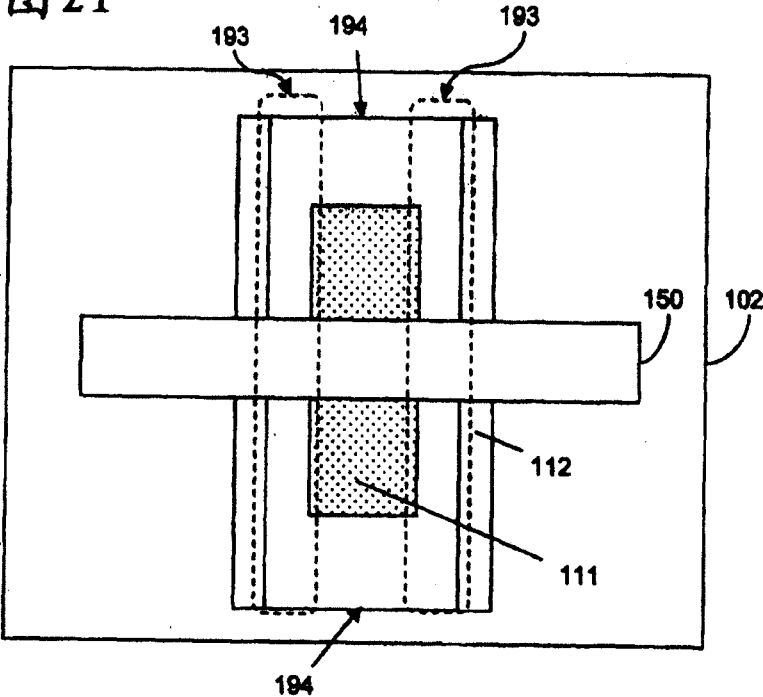


图 22

