

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年9月27日 (27.09.2007)

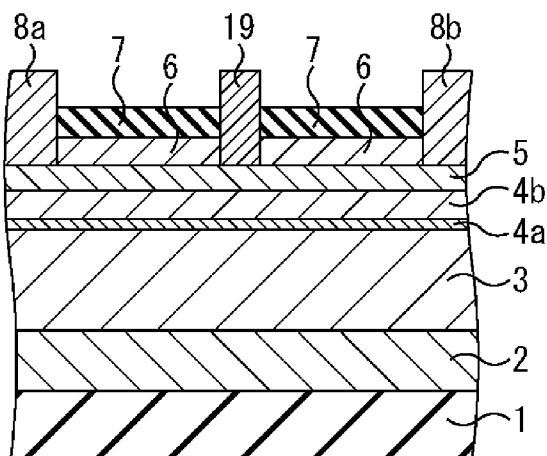
PCT

(10) 国際公開番号  
WO 2007/108055 A1

- (51) 国際特許分類:  
H01L 29/80 (2006.01)
  - (21) 国際出願番号: PCT/JP2006/305265
  - (22) 国際出願日: 2006年3月16日 (16.03.2006)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人 (米国についてのみ): 吉川 俊英 (KIKKAWA, Toshihide) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
  - (74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 池袋TGホームストビル5階 Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: COMPOUND SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 化合物半導体装置及びその製造方法



(57) Abstract: On SiC substrate (1), there are sequentially superimposed AlN layer (2), GaN buffer layer (3), non-doped AlGaIn layer (4a), n-type AlGaIn layer (4b), n-type GaN layer (5), non-doped AlN layer (6) and SiN layer (7). The non-doped AlN layer (6) and SiN layer (7) are provided with at least three apertures, and source electrode (8a), drain electrode (8b) and gate electrode (19) are implanted in these apertures.

(57) 要約:

SiC 基板(1)上に、AlN 層(2)、GaN バッファ層(3)、ノンドーブ AlGaIn 層(4a)、n 型 AlGaIn 層(4b)、n 型 GaN 層(5)、ノンドーブ AlN 層(6)及び SiN 層(7)が順次形成されている。ノンドーブ AlN 層(6)及び SiN 層(7)には、少なくとも3個の開口部が形成されており、これらの開口部内に、ソース電極(8a)、ドレイン電極(8b)及びゲート電極(19)が埋め込まれている。

WO 2007/108055 A1

## 明 細 書

## 化合物半導体装置及びその製造方法

## 技術分野

[0001] 本発明は、高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) 等に好適な化合物半導体装置及びその製造方法に関する。

## 背景技術

[0002] 近年、サファイア、SiC、GaN又はSi等からなる基板上にGaN層及びAlGaIn層を順次形成し、GaN層を電子走行層として用いる電子デバイス(化合物半導体装置)の開発が活発である。GaNのバンドギャップは3.4eVであり、GaAsの1.4eVに比べて大きい。このため、この化合物半導体装置には、高耐圧での動作が期待されている。

[0003] 携帯電話の基地局用アンプには高電圧動作が求められており、高耐圧が必須となっている。現在、電流オフ時の耐圧として300Vを超える値が報告されている。上述のような化合物半導体装置には、電流コラプスとよばれる動作中のオン抵抗の変化が生じることがある。但し、この現象は、GaN保護層をAlGaIn電子供給層の上に配置し、更にSiN保護膜を形成することにより、回避することができる。このような構造は、例えば特許文献1に記載されている。

[0004] 図16は、従来の化合物半導体装置の構造を示す断面図である。SiC基板101上にAlN層102、GaN層103、n型AlGaIn104a、n型AlGaIn104b及びn型GaN層105が順次形成されている。AlN層102の厚さは150 $\mu$ mである。n型AlGaIn層104b及びn型GaN層105の総厚は30nm程度である。更に、n型GaN層105上にSiN層107が形成されている。SiN層107に複数の開口部が形成されており、これらの開口部内にソース電極108a、ドレイン電極108b及びゲート電極109が埋め込まれている。

[0005] 但し、この化合物半導体装置はノーマリオンタイプである。化合物半導体装置は自動車部品に用いられることがある。しかし、ノーマリオンタイプでは、交通事故等により故障が生じた際に、自動車部品に電流が流れ続けてしまう。そこで、近時、ノーマリオ

フタイプの化合物半導体装置の要請が高まっている。

[0006] ノーマリオフタイプの化合物半導体装置を実現するためには、閾値電圧を正にすればよい。そこで、リセスゲート構造が提案されている。しかしながら、リセスゲート構造の化合物半導体装置を精度よく製造することは困難である。これは、化合物半導体装置を構成する各半導体層の加工に好適な選択エッチングが見出されておらず、時間制御のドライエッチングを行っているからである。

[0007] また、図16に示す従来の化合物半導体装置では、入力電力を大きくしていくと、飽和領域において正のゲートリーク電流が流れる。これは、ゲート電極109とn型GaN層105とが直接接触しているためである。このようなゲートリーク電流が流れると、飽和出力状態で使用し続けることが困難であり、携帯電話の基地局用アンプに好適であるとはいえない。

[0008] そこで、n型GaN層105とゲート電極109との間に絶縁体層が挟みこまれた構造が提案されている。しかしながら、絶縁体層が存在する場合、ゲートリーク電流が低減するものの、閾値電圧が深くなってしまう。このため、この構造では、閾値電圧を正にすることも不可能であると考えられている。更に、ゲートリーク電流が低減しても、耐圧が低下してしまう。これは、絶縁体層とn型GaN層105との間のトラップの影響のためである。

[0009] 特許文献1:特開2002-359256号公報

特許文献2:特開2004-342907号公報

#### 発明の開示

[0010] 本発明は、ゲート電圧を0としたときに流れる電流を抑制することができ、かつ、高い再現性で製造することができる化合物半導体装置及びその製造方法を提供することを目的とする。

[0011] 本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

[0012] 本発明に係る化合物半導体装置では、半導体基板上にGaN系のキャリア走行層が形成され、前記キャリア走行層上にGaN系のキャリア供給層が形成され、前記キャリア供給層上にGaN系の保護層が形成され、前記保護層上にソース電極、ドレイン

電極及びゲート電極が形成されている。また、前記保護層上には、前記ゲート電極と前記ソース電極との間及び前記ゲート電極と前記ドレイン電極との間に位置し、Nを含む化合物半導体層が形成され、前記化合物半導体層上に絶縁体層が形成されている。

[0013] 本発明に係る化合物半導体装置の製造方法では、半導体基板上にGaN系のキャリア走行層を形成した後、前記キャリア走行層上にGaN系のキャリア供給層を形成する。次に、前記キャリア供給層上にGaN系の保護層を形成する。次いで、前記保護層上にNを含む化合物半導体層を形成する。その後、前記化合物半導体層上に絶縁体層を形成する。続いて、前記絶縁体層及び前記化合物半導体層に、ソース電極用の開口部、ドレイン電極用の開口部及びゲート電極用の開口部を形成する。そして、前記3個の開口部内に電極を形成する。但し、前記ゲート電極用の開口部を形成する工程では、前記化合物半導体層を前記保護層が露出するまでウェットエッチングする。

#### 図面の簡単な説明

[0014] [図1]図1は、本発明の第1の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図2A]図2Aは、本発明の第1の実施形態に係る化合物半導体装置の製造方法を示す断面図である。

[図2B]図2Bは、図2Aに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図2C]図2Cは、図2Bに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図2D]図2Dは、図2Cに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図2E]図2Eは、図2Dに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図2F]図2Fは、図2Eに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図2G]図2Gは、図2Fに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図3]図3は、本発明の第1の実施形態に係る化合物半導体装置のデバイス特性を示すグラフである。

[図4]図4は、本発明の第2の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図5A]図5Aは、本発明の第2の実施形態に係る化合物半導体装置の製造方法を示す断面図である。

[図5B]図5Bは、図5Aに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図5C]図5Cは、図5Bに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図6]図6は、本発明の第2の実施形態に係る化合物半導体装置のデバイス特性を示すグラフである。

[図7]図7は、本発明の第3の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図8A]図8Aは、本発明の第3の実施形態に係る化合物半導体装置の製造方法を示す断面図である。

[図8B]図8Bは、図8Aに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図8C]図8Cは、図8Bに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図8D]図8Dは、図8Cに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図8E]図8Eは、図8Dに引き続き、化合物半導体装置の製造方法を示す断面図である。

[図9]図9は、本発明の第3の実施形態に係る化合物半導体装置のデバイス特性を示すグラフである。

[図10]図10は、本発明の第4の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図11]図11は、本発明の第4の実施形態に係る化合物半導体装置の信頼度の試験データを示すグラフである。

[図12]図12は、本発明の第5の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図13]図13は、本発明の第6の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図14]図14は、本発明の第7の実施形態に係る化合物半導体装置の構造を示す断面図である。

[図15]図15は、本発明の第1の実施形態の変形例を示す断面図である。

[図16]図16は、従来の化合物半導体装置の構造を示す断面図である。

#### 発明を実施するための最良の形態

[0015] 以下、本発明の実施形態について添付の図面を参照して具体的に説明する。

[0016] (第1の実施形態)

先ず、本発明の第1の実施形態について説明する。図1は、本発明の第1の実施形態に係る化合物半導体装置の構造を示す断面図である。

[0017] 第1の実施形態では、SiC基板1上に、厚さが150nm乃至300nm程度のAlN層2が形成されている。AlN層2上に、厚さが3 $\mu$ m程度のGaNバッファ層3(キャリア走行層)が形成されている。GaNバッファ層3上に、厚さが5nm程度のノドープAlGaN層4aが形成されている。ノドープAlGaN層4a上に、厚さが15nm乃至20nm程度のn型AlGaN層4b(キャリア供給層)が形成されている。n型AlGaN層4bには、Siが $4 \times 10^{18} \text{cm}^{-3}$ 程度ドーピングされている。更に、n型AlGaN層4b上に、厚さが7nm程度のn型GaN層5(保護層)が形成されている。n型GaN層5には、Siが $5 \times 10^{18} \text{cm}^{-3}$ 程度ドーピングされている。n型GaN層5上に、厚さが3nm程度のノドープAlN層6及び厚さが20nm程度のSiN層7が順次形成されている。ノドープAlN層6とSiN層7との間には、半導体-絶縁体接合がある。ノドープAlN層6及びSiN層7には、少なくとも3個の開口部(ソース電極用、ドレイン電極用及びゲート電極用)が

形成されており、これらの開口部内に、ソース電極8a、ドレイン電極8b及びゲート電極19が埋め込まれている。ノドープAlN層6とゲート電極19との間には、半導体－金属接合がある。また、ゲート電極19とn型GaN層5との間には、金属－半導体接合がある。ソース電極8a及びドレイン電極8bは、例えば、厚さが10nm程度のTa膜とその上に形成された厚さが300nm程度のAl膜とから構成されている。また、ゲート電極19は、例えばNi膜とその上に形成されたAu膜とから構成されている。

- [0018] このような第1の実施形態では、ノドープAlGaIn層4aのGaInバッファ層3との界面近傍に、格子不整合に起因するピエゾ効果が生じる。このため、正の分極電荷が現れ、GaInバッファ層3のノドープAlGaIn層4aとの界面近傍に電子が誘起される。この結果、2次元電子ガス層(2DEG)が現れる。
- [0019] また、ゲート電極19の周囲に絶縁体層としてSiN層7が存在するため、側面からのゲートリーク電流を防止することができる。従って、高耐圧化が可能となる。
- [0020] 更に、SiN層7とn型GaIn層5との間にノドープAlN層6が存在するため、ノドープAlN層6とn型GaIn層5との界面に電子が存在する。従って、ゲート電極19とソース電極8a及びドレイン電極8bとの間の電子走行領域に2次元電子ガスが多く存在する。従って、相互コンダクタンス( $G_m$ )が向上し、オン抵抗が低く抑えられる。また、ゲートリセス構造の採用により、閾値電圧がより0Vに近くなる。つまり、これらの相互作用により、閾値電圧を0Vに近づけながら十分な電流を確保することが可能となる。
- [0021] 次に、第1の実施形態に係る化合物半導体装置を製造する方法について説明する。図2A乃至図2Gは、本発明の第1の実施形態に係る化合物半導体装置の製造方法を工程順に示す断面図である。
- [0022] 先ず、図2Aに示すように、SiC基板1上にAlN層2を形成する。次に、AlN層2上にGaInバッファ層3を形成する。次いで、GaInバッファ層3上にノドープAlGaIn層4aを形成する。その後、ノドープAlGaIn層4a上にn型AlGaIn層4bを形成する。続いて、n型AlGaIn層4b上にn型GaIn層5を形成する。次に、n型GaIn層5上にノドープAlN層6を形成する。次いで、ノドープAlN層6上にSiN層7を形成する。AlN層2、GaInバッファ層3、ノドープAlGaIn層4a、n型AlGaIn層4b、n型GaIn層5及びノドープAlN層6の形成は、例えばMOCVD法等の結晶成長法により行う。また

、SiN層7の形成は、例えばプラズマCVD法により行う。

- [0023] 次に、図2Bに示すように、SiN層7上に、ソース電極8a及びドレイン電極8bを形成する予定の領域に開口部が存在するレジストパターン21を形成する。
- [0024] 次いで、図2Cに示すように、レジストパターン21をマスクとして用いて、SiN層7及びノンドープAlN層6のウェットエッチングを行うことにより、SiN層7及びノンドープAlN層6に、ソース電極用の開口部及びドレイン電極用の開口部を形成する。このとき、ノンドープAlN層6の下に位置するn型GaN層5はウェットエッチングでは除去されないため、n型GaN層5の表面においてエッチングが停止する。開口部の形成後に、レジストパターン21を除去する。
- [0025] その後、図2Dに示すように、SiN層7及びノンドープAlN層6の開口部内にソース電極8a及びドレイン電極8bを形成する。
- [0026] 続いて、図2Eに示すように、SiN層7、ソース電極8a及びドレイン電極8b上に、ゲート電極19を形成する予定の領域に開口部が存在するレジストパターン22を形成する。
- [0027] 次に、図2Fに示すように、レジストパターン22をマスクとして用いて、SiN層7及びノンドープAlN層6のウェットエッチング(酸を用いたエッチング)を行うことにより、SiN層7及びノンドープAlN層6に、ゲート電極用の開口部を形成する。このときも、ノンドープAlN層6の下に位置するn型GaN層5はウェットエッチングでは除去されないため、n型GaN層5の表面においてエッチングが停止する。開口部の形成後に、レジストパターン22を除去する。
- [0028] 次いで、図2Gに示すように、SiN層7及びノンドープAlN層6の開口部内にゲート電極19(埋め込み型ゲート電極)を形成する。なお、図示していないが、素子分離は、例えばイオン注入により行うことができる。
- [0029] このような製造方法によれば、ノンドープAlN層6とn型GaN層5とのウェットエッチング時の選択比が高いため、ノンドープAlN層6を高い精度で加工することができる。従って、再現性のよいゲート電極19を高い精度で形成することができる。
- [0030] ここで、本願発明者が上述の方法に従って製造した化合物半導体装置のデバイス特性について説明する。図3は、本願発明者が測定した第1の実施形態に係る化合

物半導体装置のデバイス特性を示すグラフである。図3には、参考のために、図16に示す従来の化合物半導体装置のデバイス特性も示す。横軸はゲートーソース間電圧 ( $V_{gs}$ ) であり、縦軸は相互コンダクタンス ( $G_m$ ) である。図3に示すように、従来の化合物半導体装置と比較すると、第1の実施形態では閾値電圧がより0Vに近づいた。

[0031] なお、第1の実施形態では、ソース電極8a及びドレイン電極8bの底面がn型GaN層5の表面と接しているが、図15に示すように、n型AlGaIn層4bの表面に接するようにしてもよい。この場合には、例えば、図2Bに示すレジストパターン21をマスクとして用いてSiN層7及びノドープAlN層6に、ソース電極用の開口部及びドレイン電極用の開口部を形成した後、レジストパターン21を残したまま、n型GaIn層5のドライエッチングを行う。このドライエッチングでは、例えば、圧力を2Paとし、 $Cl_2$  流量を10sccmとし、エッチング速度を10nm/分として、反応性イオンエッチング (RIE) を行う。ドライエッチングの終点は、例えば時間制御により決定する。なお、エッチング量の誤差は±3nm以内とすることが好ましい。この場合にも、ソース電極8a及び8bは、例えば、厚さが10nm程度のTa膜とその上に形成された厚さが300nm程度のAl膜とから構成される。このような電極及びその周辺の構造は、以下の実施形態にも適用することができる。

[0032] (第2の実施形態)

次に、本発明の第2の実施形態について説明する。図4は、本発明の第2の実施形態に係る化合物半導体装置の構造を示す断面図である。

[0033] 第2の実施形態では、ノドープAlN層6のゲート電極用の開口部の大きさは第1の実施形態のそれと同程度であるのに対し、SiN層7のゲート電極用の開口部が第1の実施形態のそれよりも広い。そして、この開口部に、オーバーハング部を備えたゲート電極29が埋め込まれている。他の構成は、第1の実施形態と同様である。

[0034] このような第2の実施形態によれば、ゲート電極29とノドープAlN層6との界面近傍における電界集中が、第1の実施形態におけるゲート電極19とノドープAlN層6との界面近傍における電界集中よりも緩和される。化合物半導体装置のゲートとドレインとの間には50V乃至500Vの電圧が印加されることがあるが、第2の実施形態によれば、このような場合でも、劣化がより一層生じにくくなる。

- [0035] 次に、第2の実施形態に係る化合物半導体装置を製造する方法について説明する。図5A乃至図5Cは、本発明の第2の実施形態に係る化合物半導体装置の製造方法を工程順に示す断面図である。
- [0036] 先ず、第1の実施形態の場合と同様にして、レジストパターン22の除去(図2F参照)までの処理を行う。次に、図5Aに示すように、SiN層7、ソース電極8a及びドレイン電極8b上に、ゲート電極29のオーバーハング部を形成する予定の領域に開口部が存在するレジストパターン23を形成する。
- [0037] 次に、図5Bに示すように、レジストパターン23をマスクとして用いて、SiN層7のウェットエッチングを行うことにより、SiN層7に、オーバーハング部用の開口部を形成する。開口部の形成後に、レジストパターン23を除去する。
- [0038] 次に、図5Cに示すように、SiN層7及びノドープAlN層6の開口部内にゲート電極29(埋め込み型ゲート電極)を形成する。なお、図示していないが、素子分離は、例えばイオン注入により行うことができる。
- [0039] ここで、本願発明者が上述の方法に従って製造した化合物半導体装置のデバイス特性について説明する。図6は、本願発明者が測定した第2の実施形態に係る化合物半導体装置のデバイス特性を示すグラフである。図6には、参考のために、図16に示す従来の化合物半導体装置のデバイス特性も示す。横軸はゲートドレイン間電圧( $V_{gd}$ )であり、縦軸はゲートドレイン間電流( $I_{gd}$ )である。図6に示すように、従来の化合物半導体装置と比較すると、第2の実施形態では、逆方向ゲートリーク電流が低減した。更に、飽和電流が減少することなく、閾値電圧が0Vに近づいた。
- [0040] (第3の実施形態)
- 次に、本発明の第3の実施形態について説明する。第3の実施形態では、MIS(Metal-Insulator-Semiconductor)構造が採用されている。図7は、本発明の第3の実施形態に係る化合物半導体装置の構造を示す断面図である。
- [0041] 第3の実施形態では、ノドープAlN層6の上に、厚さが10nm程度のSiN層7aが形成されている。ノドープAlN層6及びSiN層7aには、少なくとも3個の開口部(ソース電極用、ドレイン電極用及びゲート電極用)が形成されている。本実施形態では、3個の開口部のうちのゲート電極用の開口部内及びSiN層7a上に、厚さが10nm

程度のSiN層7bが形成されている。そして、ゲート電極用の開口部内に、オーバーハング部を備えたゲート電極39が埋め込まれている。他の構成は、第1の実施形態と同様である。

- [0042] このような第3の実施形態によれば、順方向ゲートリーク電流を大幅に低減することができる。また、完全なノーマリオフ動作を行うことができる。また、ノーマリオフ動作の実現により、高い電流を得ることも可能となる。
- [0043] 次に、第3の実施形態に係る化合物半導体装置を製造する方法について説明する。図8A乃至図8Eは、本発明の第3の実施形態に係る化合物半導体装置の製造方法を工程順に示す断面図である。
- [0044] 先ず、第1の実施形態と同様にして、ノンドープSiN層6の形成(図2A参照)までの処理を行う。次に、図8Aに示すように、ノンドープSiN層6上にSiN層7aを形成する。SiN層7aの形成は、例えばプラズマCVD法により行う。
- [0045] 次いで、第1の実施形態と同様にして、ソース電極8a及びドレイン電極8bの形成(図2D参照)までの処理を行う。その後、図8Bに示すように、SiN層7a、ソース電極8a及びドレイン電極8b上に、ゲート電極39の下部を形成する予定の領域に開口部が存在するレジストパターン24を形成する。
- [0046] 続いて、図8Cに示すように、レジストパターン24をマスクとして用いて、SiN層7a及びノンドープAlN層6のウェットエッチングを行うことにより、SiN層7a及びノンドープAlN層6に、ゲート電極用の開口部を形成する。このとき、ノンドープAlN層6の下に位置するn型GaN層5はウェットエッチングでは除去されないため、n型GaN層5の表面においてエッチングが停止する。開口部の形成後に、レジストパターン24を除去する。
- [0047] 次に、図8Dに示すように、ゲート電極用の開口部内及びSiN層7a上にSiN層7bを形成する。SiN層7bの形成は、例えばプラズマCVD法により行う。
- [0048] 次いで、図8Eに示すように、SiN層7a及びノンドープAlN層6の開口部内にゲート電極39(埋め込み型ゲート電極)を形成する。なお、図示していないが、素子分離は、例えばイオン注入により行うことができる。
- [0049] ここで、本願発明者が上述の方法に従って製造した化合物半導体装置のデバイス

特性について説明する。図9は、本願発明者が測定した第3の実施形態に係る化合物半導体装置のデバイス特性を示すグラフである。図9には、参考のために、図16に示す従来の化合物半導体装置のデバイス特性も示す。横軸はゲート電圧であり、縦軸は順方向ゲートリーク電流である。図9に示すように、従来の化合物半導体装置と比較すると、第3の実施形態では、順方向ゲートリーク電流が低減した。即ち、第3の実施形態では、ゲート電圧を4V程度まで高くしても、ゲートリーク電流はほとんど流れなかった。

[0050] また、表1に、本願発明者が上述の方法に従って製造した化合物半導体装置のデバイス特性(閾値電圧 $V_{th}$ 、そのばらつき $\sigma_{V_{th}}$ 及び最大電流 $I_{max}$ )を示す。表1には、参考のために、図16に示す従来の化合物半導体装置のデバイス特性も示す。従来の化合物半導体装置では、閾値電圧 $V_{th}$ が負であるのに対し、第3の実施形態では、閾値電圧 $V_{th}$ が正となった。また、閾値電圧のばらつき $\sigma_{V_{th}}$ が、第3の実施形態では、従来の化合物半導体装置の1/10程度となった。これは、第3の実施形態では、ゲート電極39近傍の構造を高い再現性で形成することができるのに対し、従来の化合物半導体装置では再現性が低いためである。更に、第3の実施形態では、ゲートリーク電流の低減に伴って最大電流 $I_{max}$ が従来の化合物半導体装置と比較して著しく高くなった。

[0051] [表1]

表1

	第3の実施形態	従来技術
$V_{th}$	+0.1V	-0.2V
$\sigma_{V_{th}}$	30mV	300mV
$I_{max}$	650mA/mm	100mA/mm

[0052] (第4の実施形態)

次に、本発明の第4の実施形態について説明する。図10は、本発明の第4の実施形態に係る化合物半導体装置の構造を示す断面図である。

[0053] 第4の実施形態では、ノドープAlN層6とSiN層7aとの間に、厚さが7nm程度のn

型GaN層11が形成されている。n型GaN層11には、Siが $5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングされている。n型GaN層11には、ノドープAlN層6及びSiN層7aと同様の開口部が形成されている。他の構成は第3の実施形態と同様である。なお、n型GaN層11のSiのドーピング量がn型GaN層5のそれよりも高くてもよい。

[0054] このような第4の実施形態によれば、ノドープAlN層6上にn型GaN層11が形成されているため、ノドープAlN層6の化学的な変化がより生じにくい。このため、装置全体の劣化が生じにくく、高い信頼性が得られる。

[0055] なお、第4の実施形態に係る化合物半導体装置を製造するに当たっては、例えば、ノドープAlN層6の形成とSiN層7aの形成との間に、n型GaN層11をノドープAlN層6上に形成する。そして、SiN層7aに開口部を形成した後に、n型GaN層11のドライエッチングを行う。このドライエッチングは、時間制御により行う。次いで、第1乃至第3の実施形態と同様にして、ノドープAlN層6のウェットエッチングを行う。このとき、ノドープAlN層6の下に位置するn型GaN層5はウェットエッチングでは除去されないため、n型GaN層5の表面においてエッチングが停止する。

[0056] ここで、本願発明者が上述の方法に従って製造した化合物半導体装置の信頼度について説明する。図11は、本願発明者が測定した第4の実施形態に係る化合物半導体装置の信頼度の試験データを示すグラフである。図11には、参考のために、図16に示す従来の化合物半導体装置の試験データ(3種類)も示す。横軸はゲートリーク電流 $I_g$ であり、縦軸は試験時間である。図11に示すように、従来の化合物半導体装置では、試験開始時においてもゲートリーク電流が高く、また、試料によっては時間の経過につれてゲートリーク電流が増加した。これは、劣化が進行していることを示している。これに対し、第4の実施形態では、試験開始時におけるゲートリーク電流が低く、更に、時間の経過に伴う増加は全く観察されなかった。

[0057] (第5の実施形態)

次に、本発明の第5の実施形態について説明する。図12は、本発明の第5の実施形態に係る化合物半導体装置の構造を示す断面図である。

[0058] 第5の実施形態では、第4の実施形態におけるn型GaN層5の代わりにノドープGaN層12が形成されている。

- [0059] このような第5の実施形態によれば、n型Ga<sub>0.9</sub>N層5の代わりにノンドープGa<sub>0.9</sub>N層12が用いられているため、ゲートリーク電流をより一層低減することができる。また、第3の実施形態と同様にMIS構造を採用しているため、ノンドープGa<sub>0.9</sub>N層12を用いても特性が低下することはない。
- [0060] (第6の実施形態)
- 次に、本発明の第6の実施形態について説明する。図13は、本発明の第6の実施形態に係る化合物半導体装置の構造を示す断面図である。
- [0061] 第6の実施形態では、第5の実施形態におけるn型Ga<sub>0.9</sub>N層11の代わりにn型InGa<sub>0.9</sub>N層13が形成されている。
- [0062] このような第6の実施形態によれば、n型Ga<sub>0.9</sub>N層11の代わりにn型InGa<sub>0.9</sub>N層13が用いられているため、この層でのバンドが下がり、2次元電子ガスが増加する。この結果、最大電流が増加する。
- [0063] (第7の実施形態)
- 次に、本発明の第7の実施形態について説明する。図14は、本発明の第7の実施形態に係る化合物半導体装置の構造を示す断面図である。
- [0064] 第7の実施形態では、第4の実施形態におけるノンドープAlN層6とn型Ga<sub>0.9</sub>N層11との間に、1原子層分のSi層14が形成されている。Si層14は、例えばプレーナドーピング法(原子層ドーピング法)により形成される。
- [0065] このような第7の実施形態によれば、電極間の抵抗が低下し、最大電流が増加する。なお、Si層14がn型Ga<sub>0.9</sub>N層5とノンドープAlN層6との間に形成されていてもよい。
- [0066] なお、AlN層の形成をALD(Atomic Layer Deposition)法又はスパッタリング法等により行ってもよい。この場合、AlN層の結晶方位は、その下のGa<sub>0.9</sub>N層の影響を受けにくくなる。また、これらの実施形態では、ゲート電極とソース電極及びドレイン電極との間に、Nを含む化合物半導体層としてAlN層が形成されているが、他の化合物半導体層、例えばInAlN等のInを含む層が形成されていてもよい。更に、これらの実施形態では、単体のHEMTについて説明しているが、複数のHEMTを集積してもよい。この場合には、例えばイオン注入又はメサエッチング等によって素子分離を行えばよい。

### 産業上の利用可能性

[0067] 本発明によれば、保護層上にNを含む化合物半導体層が形成されており、この化合物半導体層の加工を、保護層への影響がない条件下で行うことができる。このため、高い再現性でゲートリセス構造を構築することができる。このため、ゲート電圧を0としたときに流れる電流を抑制することができる。また、絶縁体層がゲート電極の側面に接している場合には、ゲートリーク電流を抑制することができ、高耐圧化することができる。

## 請求の範囲

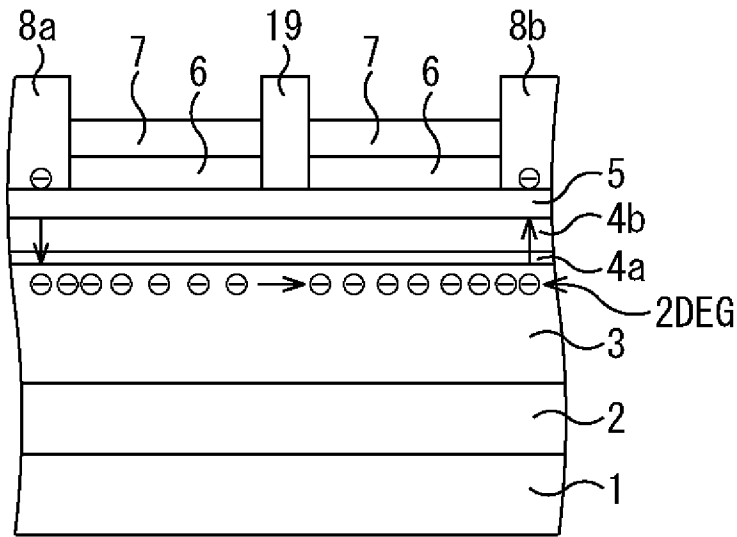
- [1] 半導体基板上に形成されたGaN系のキャリア走行層と、  
前記キャリア走行層上に形成されたGaN系のキャリア供給層と、  
前記キャリア供給層上に形成されたGaN系の保護層と、  
前記保護層上に形成されたソース電極、ドレイン電極及びゲート電極と、  
前記保護層上に形成され、前記ゲート電極と前記ソース電極との間及び前記ゲート電極と前記ドレイン電極との間に位置し、Nを含む化合物半導体層と、  
前記化合物半導体層上に形成された絶縁体層と、  
を有することを特徴とする化合物半導体装置。
- [2] 前記ゲート電極と前記保護層とが接触していることを特徴とする請求項1に記載の化合物半導体装置。
- [3] 前記ゲート電極と前記化合物半導体層とが接触していることを特徴とする請求項1に記載の化合物半導体装置。
- [4] 前記化合物半導体層と前記絶縁体層とが接触していることを特徴とする請求項1に記載の化合物半導体装置。
- [5] 前記絶縁体層は、SiN層であることを特徴とする請求項1に記載の化合物半導体装置。
- [6] 前記化合物半導体層は、AlN層であることを特徴とする請求項1に記載の化合物半導体装置。
- [7] 前記絶縁体層は、前記ゲート電極と前記化合物半導体層との間及び前記ゲート電極と前記保護層との間にも形成されていることを特徴とする請求項1に記載の化合物半導体装置。
- [8] 前記ゲート電極は、オーバーハング部を有することを特徴とする請求項1に記載の化合物半導体装置。
- [9] 前記保護層にSiがドーピングされていることを特徴とする請求項1に記載の化合物半導体装置。
- [10] 前記化合物半導体層と前記絶縁体層との間に形成されたGaN系の第2の化合物半導体層を有することを特徴とする請求項1に記載の化合物半導体装置。

- [11] 前記第2の化合物半導体層は、Inを含むことを特徴とする請求項10に記載の化合物半導体装置。
- [12] 前記化合物半導体層と前記第2の化合物半導体層との間に形成されたSi層を有することを特徴とする請求項10に記載の化合物半導体装置。
- [13] 前記第2の化合物半導体層にSiがドーピングされていることを特徴とする請求項10に記載の化合物半導体装置。
- [14] 半導体基板上にGaN系のキャリア走行層を形成する工程と、  
前記キャリア走行層上にGaN系のキャリア供給層を形成する工程と、  
前記キャリア供給層上にGaN系の保護層を形成する工程と、  
前記保護層上にNを含む化合物半導体層を形成する工程と、  
前記化合物半導体層上に絶縁体層を形成する工程と、  
前記絶縁体層及び前記化合物半導体層に、ソース電極用の開口部、ドレイン電極用の開口部及びゲート電極用の開口部を形成する工程と、  
前記3個の開口部内に電極を形成する工程と、  
を有し、  
前記ゲート電極用の開口部を形成する工程は、前記化合物半導体層を前記保護層が露出するまでウェットエッチングする工程を有することを特徴とする化合物半導体装置の製造方法。
- [15] 前記絶縁体層として、SiN層を形成することを特徴とする請求項14に記載の化合物半導体装置の製造方法。
- [16] 前記化合物半導体層として、AlN層を形成することを特徴とする請求項14に記載の化合物半導体装置の製造方法。
- [17] 前記ゲート電極用の開口部を形成する工程の後に、前記ゲート電極用の開口部の底部及び側部に第2の絶縁体層を形成する工程を有することを特徴とする請求項14に記載の化合物半導体装置の製造方法。
- [18] 前記化合物半導体層を形成する工程と前記絶縁体層を形成する工程との間に、前記化合物半導体層上にGaN系の第2の化合物半導体層を形成する工程を有することを特徴とする請求項14に記載の化合物半導体装置の製造方法。

- [19] 前記第2の化合物半導体層として、Inを含むものを形成することを特徴とする請求項18に記載の化合物半導体装置の製造方法。
- [20] 前記化合物半導体層を形成する工程と前記第2の化合物半導体層を形成する工程との間に、前記化合物半導体層上に原子層ドーピングによりSi層を形成する工程を有することを特徴とする請求項18に記載の化合物半導体装置の製造方法。

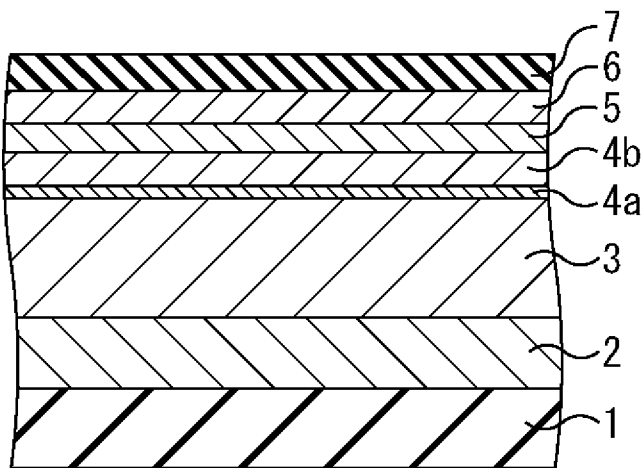
[図1]

図1



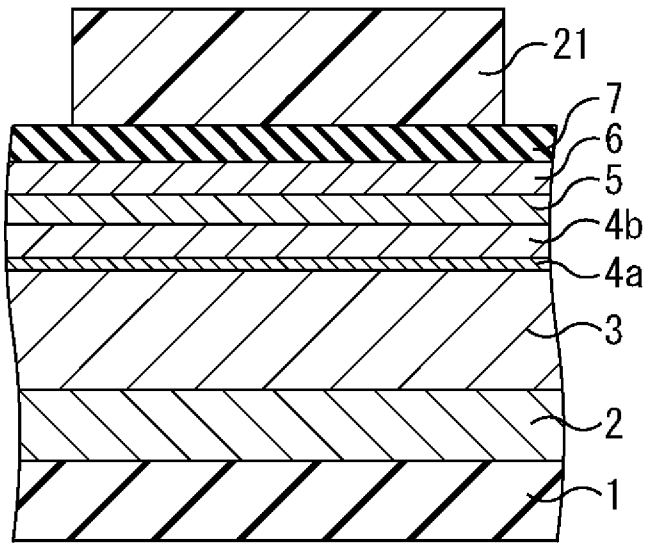
[図2A]

図2A



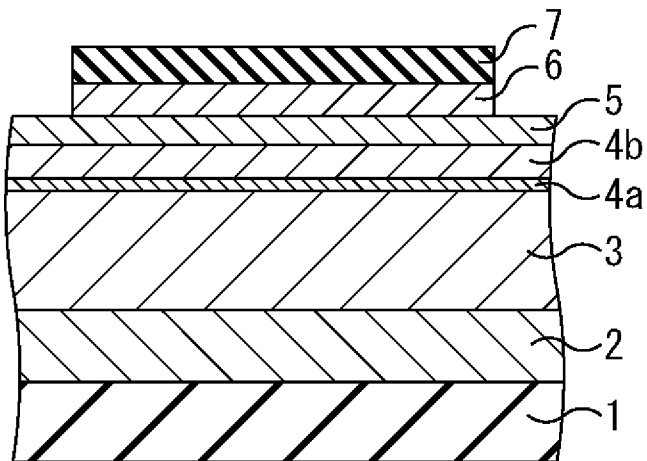
[図2B]

図2B



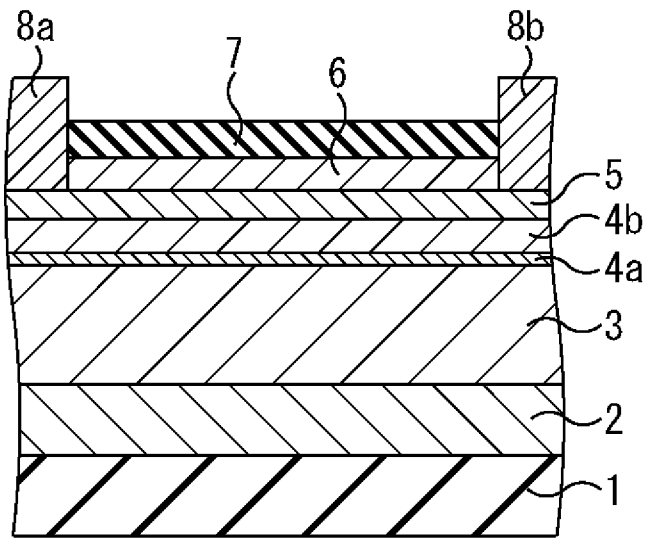
[図2C]

図2C



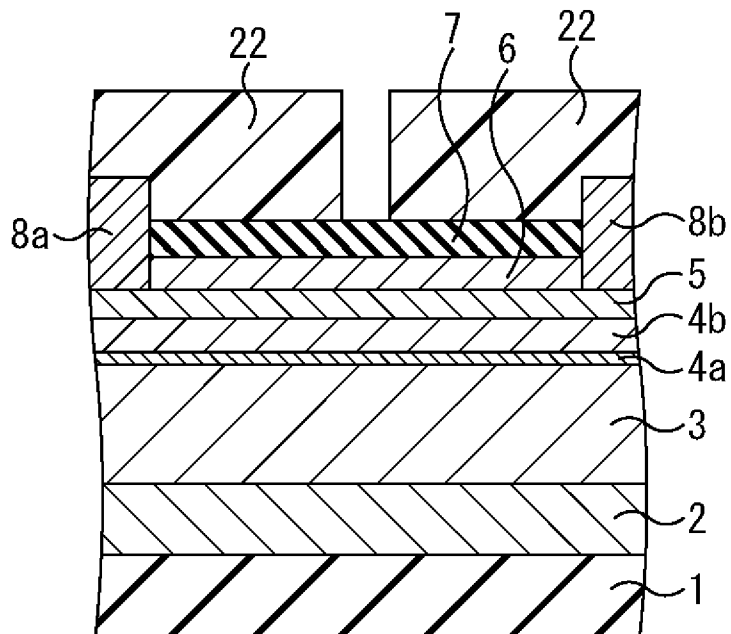
[図2D]

図2D



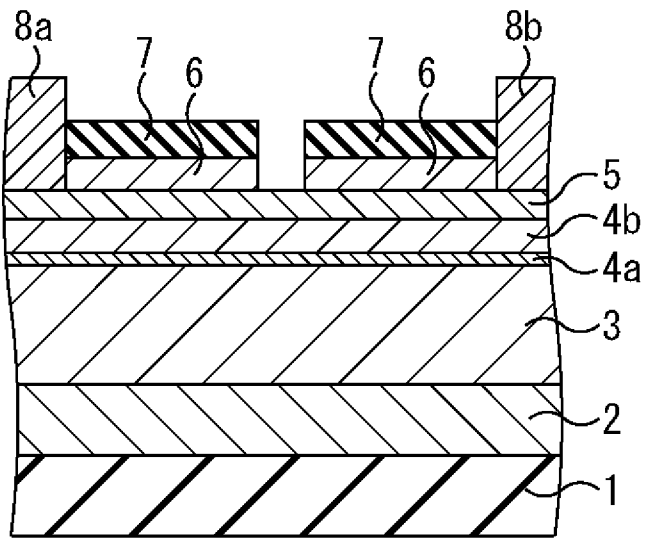
[図2E]

図2E



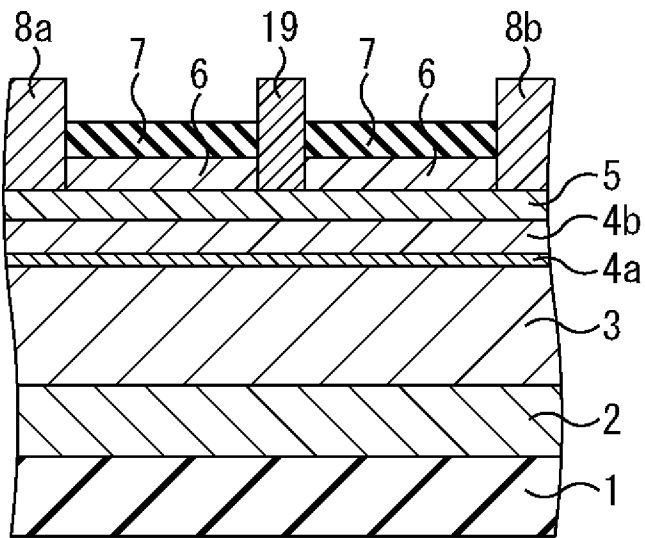
[図2F]

図2F



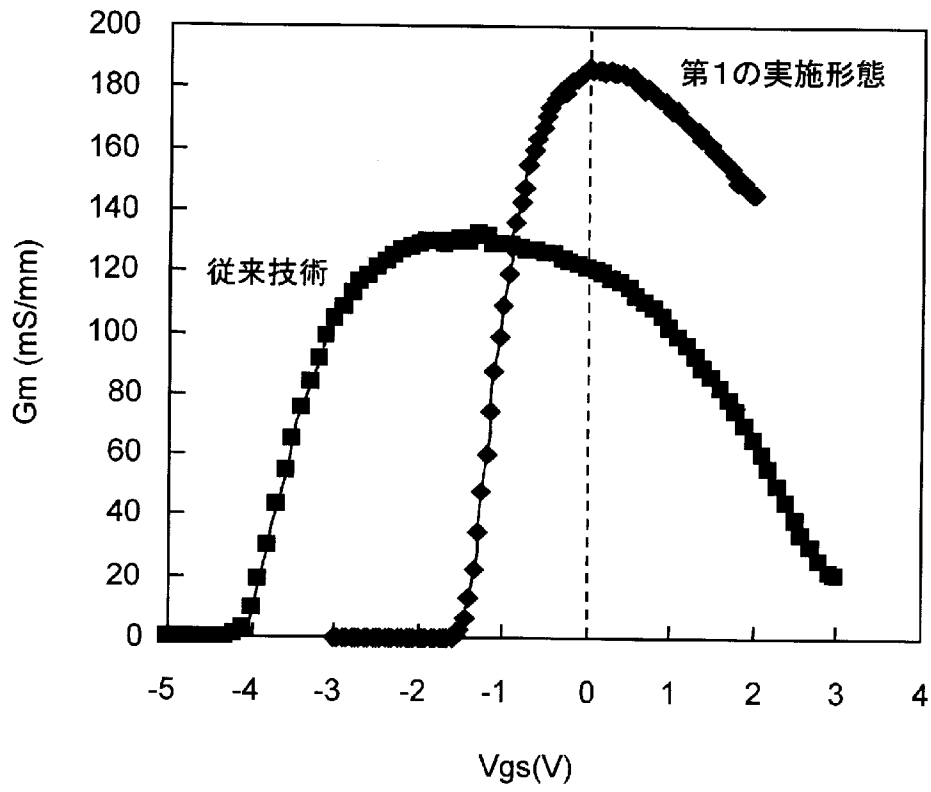
[図2G]

図2G



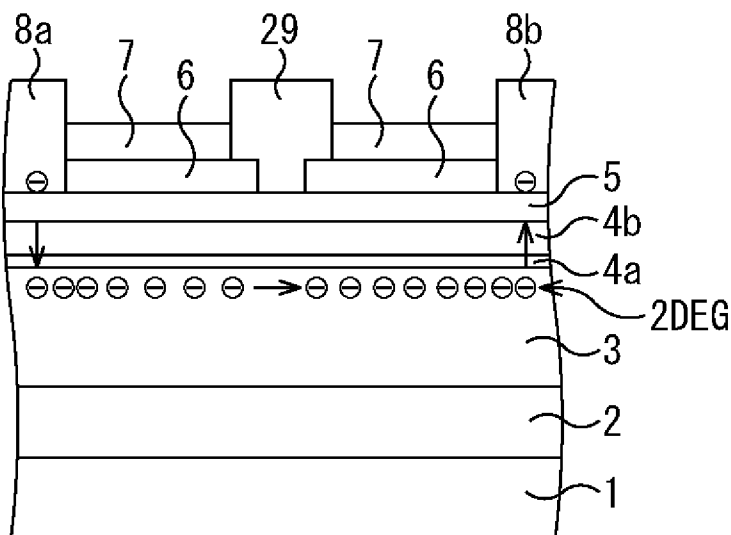
[図3]

図3



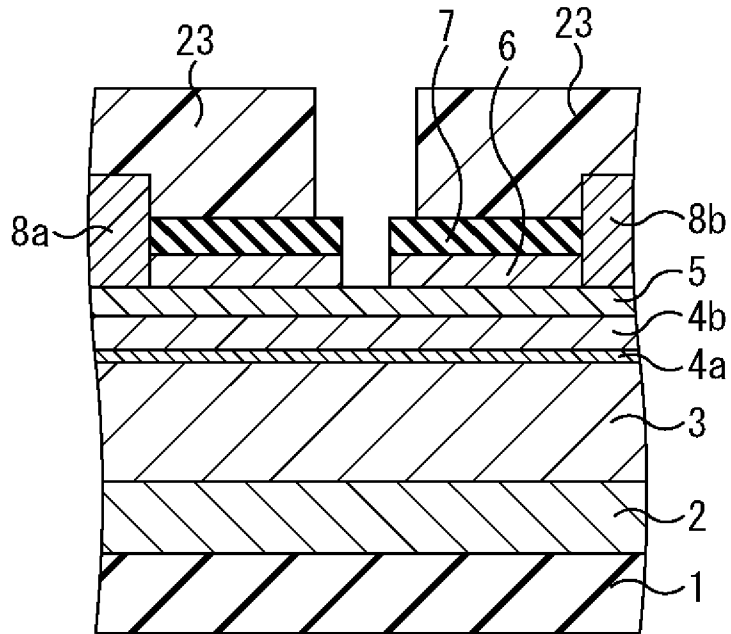
[図4]

図4



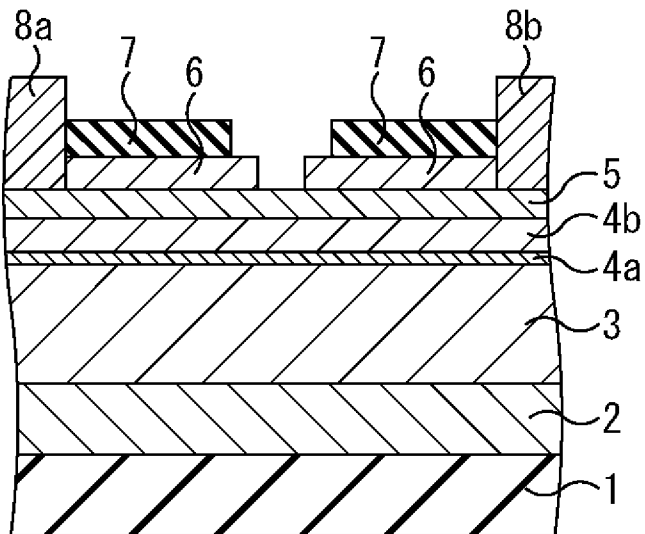
[図5A]

図5A



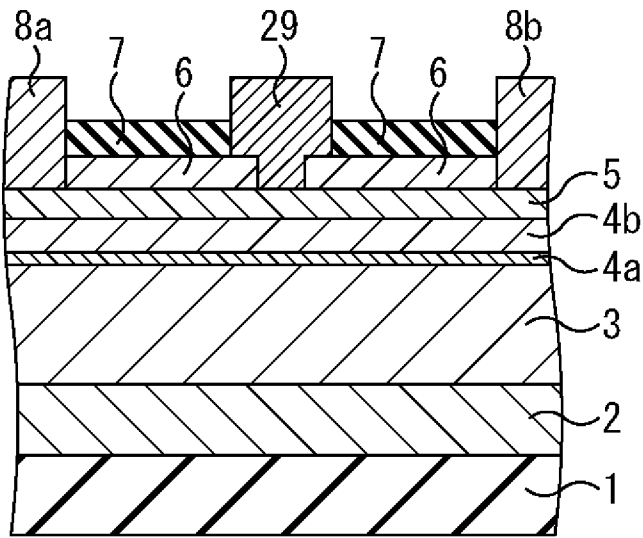
[図5B]

図5B



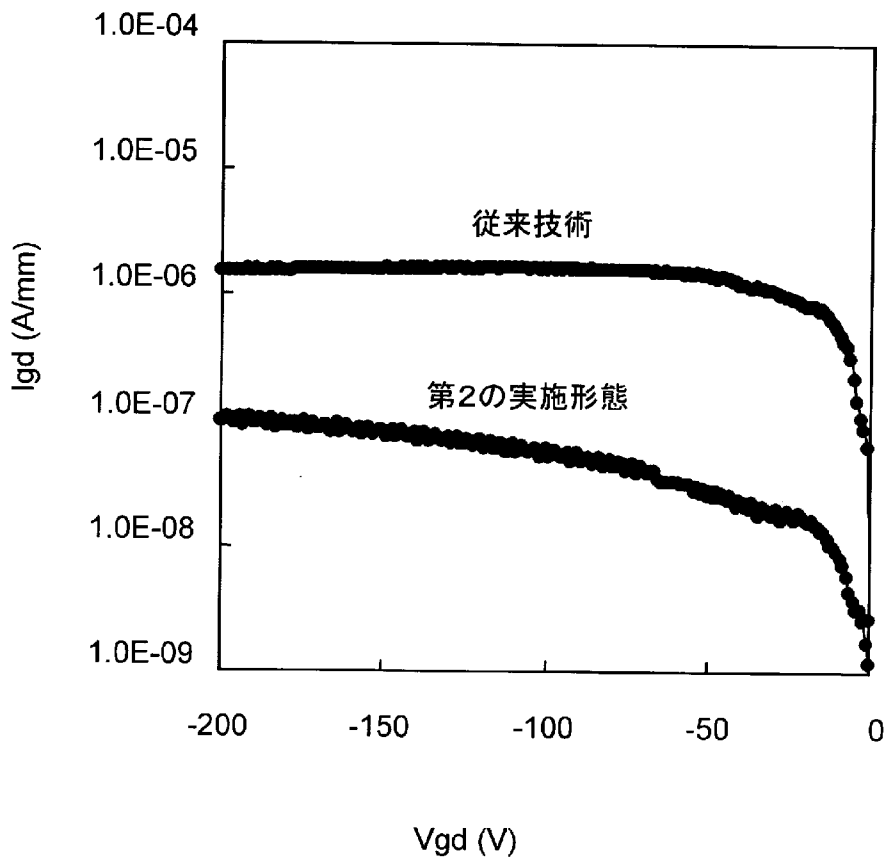
[図5C]

図5C



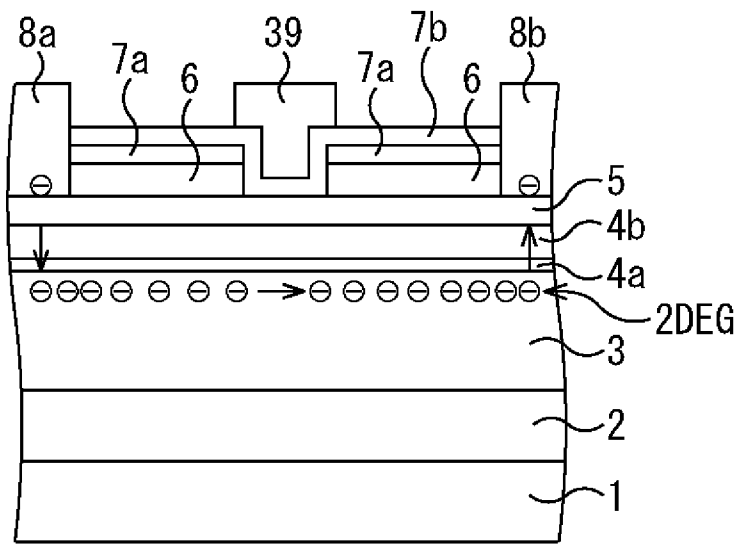
[図6]

図6



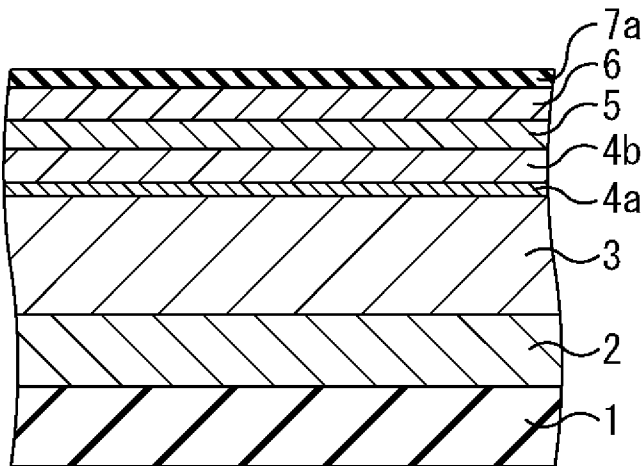
[図7]

図7



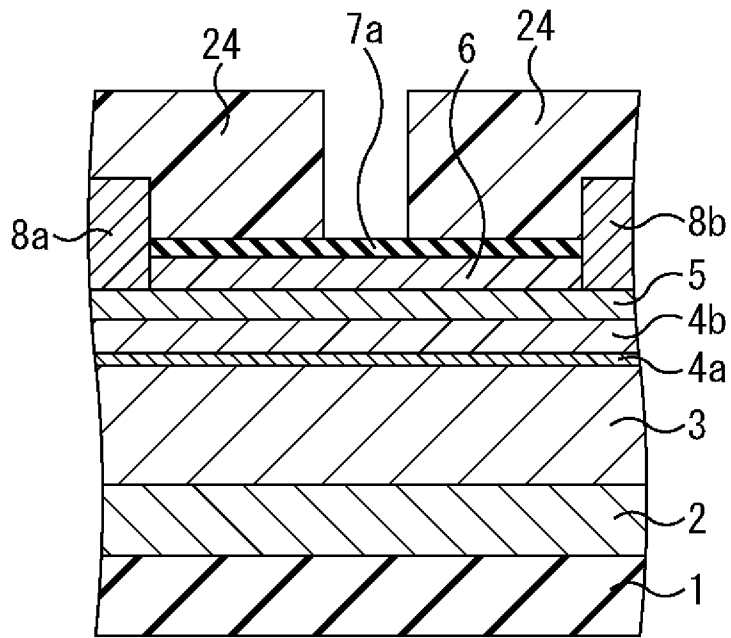
[図8A]

図8A



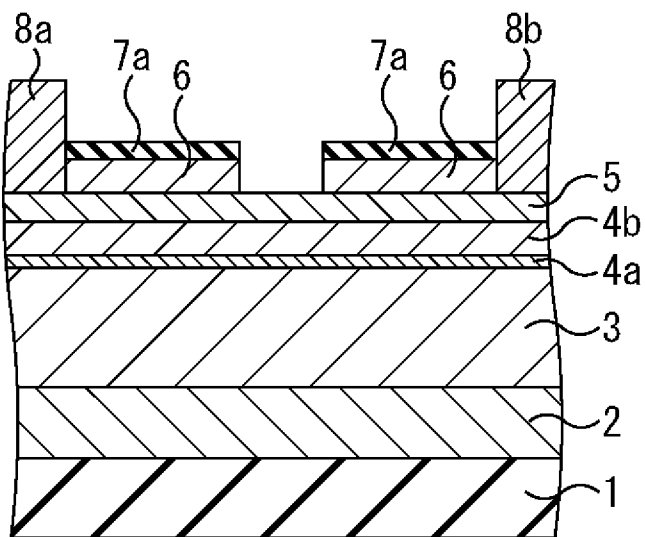
[図8B]

図8B



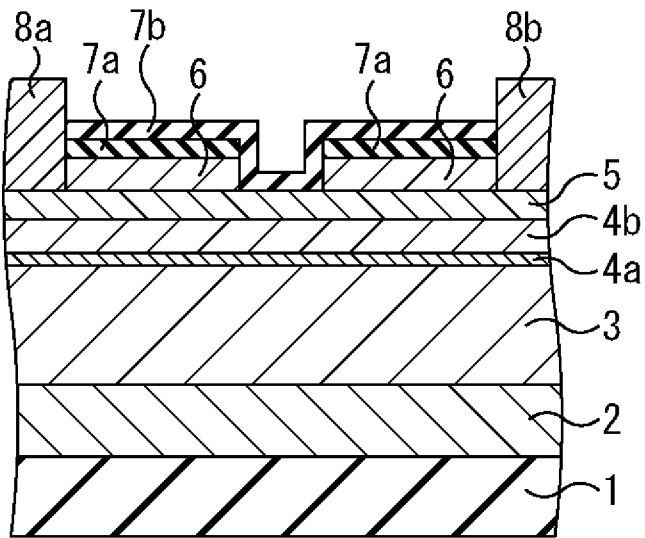
[図8C]

図8C



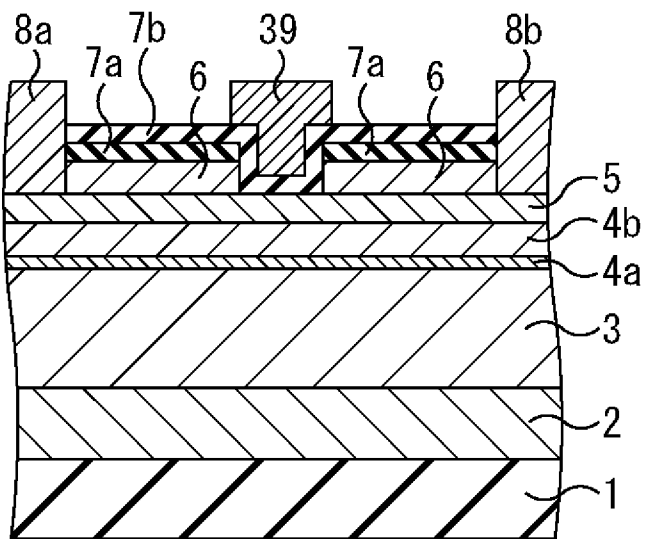
[図8D]

図8D



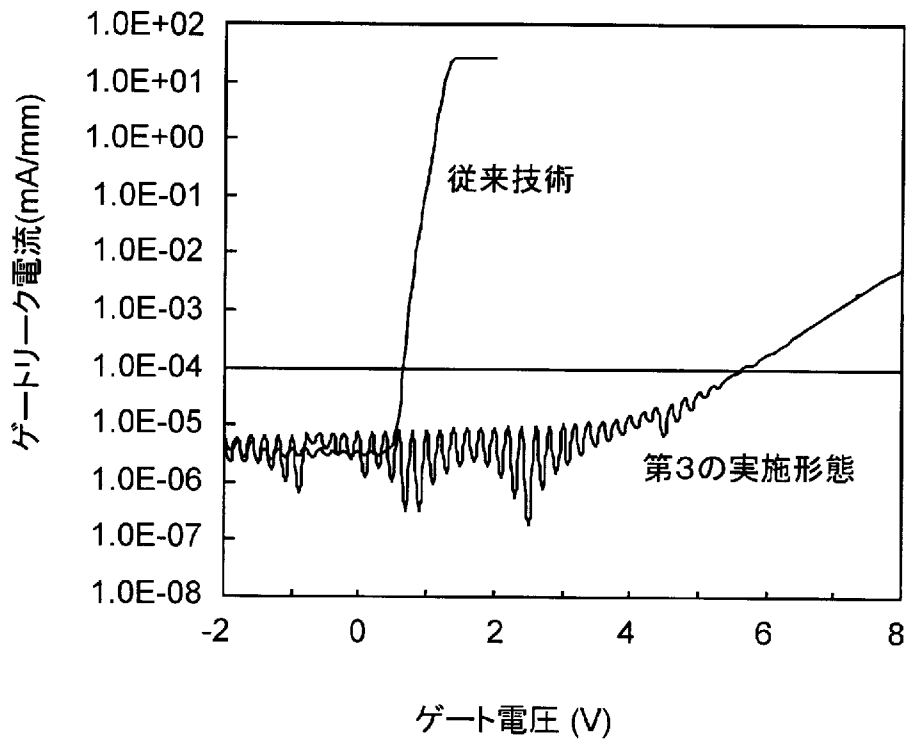
[図8E]

図8E



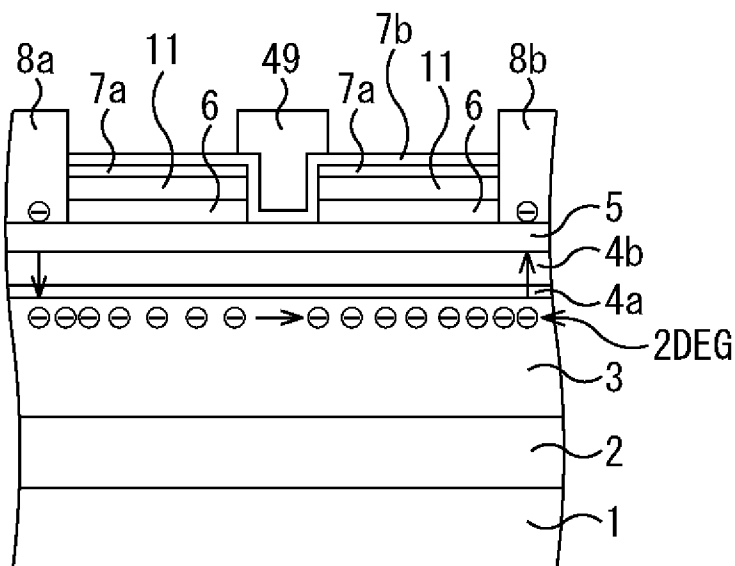
[図9]

図9



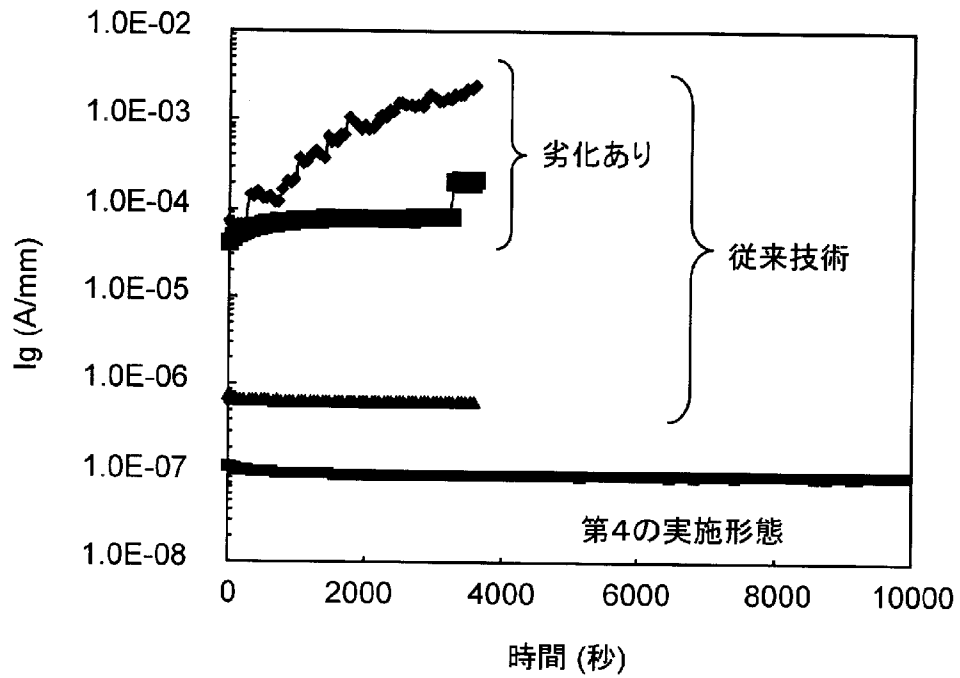
[図10]

図10



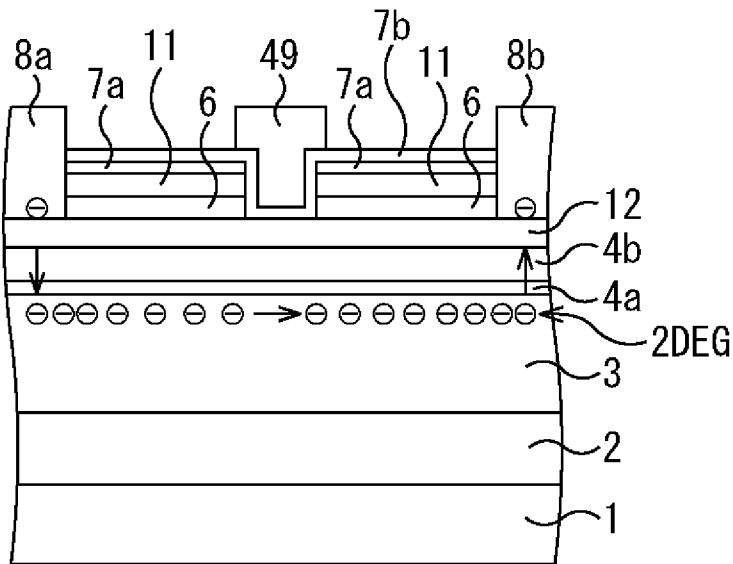
[図11]

図11



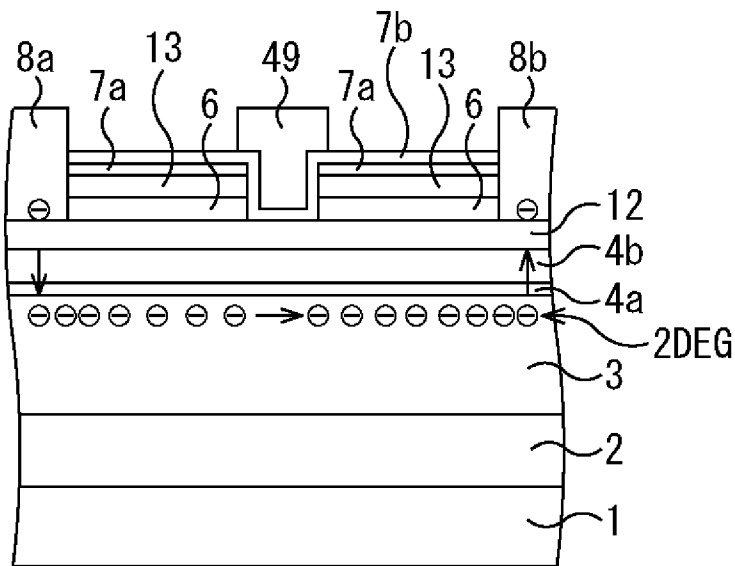
[図12]

図12



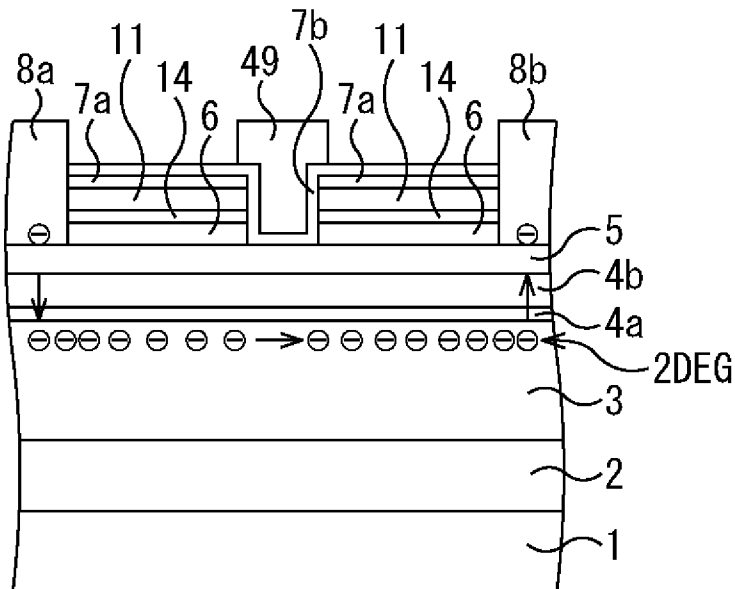
[図13]

図13



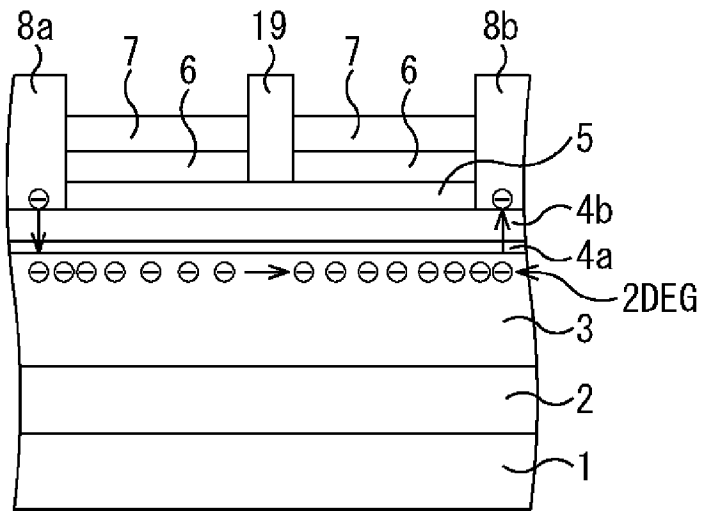
[図14]

図14



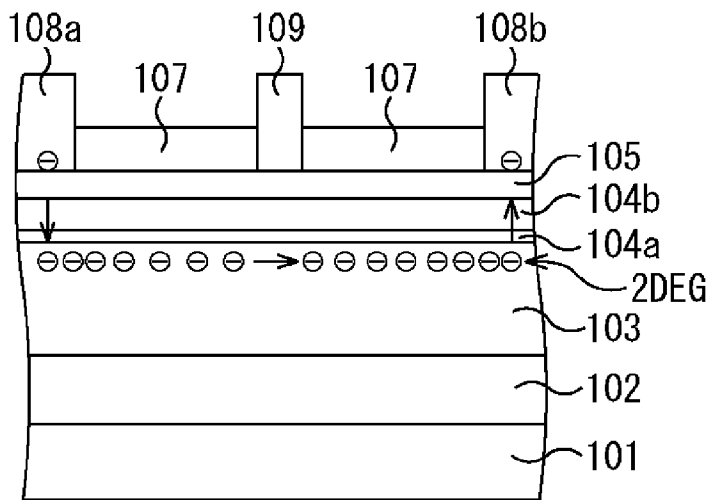
[図15]

図15



[図16]

図16



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/305265

<p><b>A. CLASSIFICATION OF SUBJECT MATTER</b>  <b>H01L29/80 (2006.01)</b></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>										
<p><b>B. FIELDS SEARCHED</b></p> <p>Minimum documentation searched (classification system followed by classification symbols)  H01L29/80</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table style="width:100%; border:none;"> <tr> <td style="width:33%;">Jitsuyo Shinan Koho</td> <td style="width:16%;">1922-1996</td> <td style="width:33%;">Jitsuyo Shinan Toroku Koho</td> <td style="width:18%;">1996-2006</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2006</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2006</td> </tr> </table> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006	Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006							
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006							
<p><b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b></p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td align="center">X</td> <td>JP 2002-141499 A (Toshiba Corp.), 17 May, 2002 (17.05.02), Par. Nos. [0018] to [0020]; Fig. 1 (Family: none)</td> <td align="center">1-2</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	JP 2002-141499 A (Toshiba Corp.), 17 May, 2002 (17.05.02), Par. Nos. [0018] to [0020]; Fig. 1 (Family: none)	1-2		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.								
X	JP 2002-141499 A (Toshiba Corp.), 17 May, 2002 (17.05.02), Par. Nos. [0018] to [0020]; Fig. 1 (Family: none)	1-2								
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C.      <input type="checkbox"/> See patent family annex.</p>										
<p>* Special categories of cited documents:</p> <table style="width:100%; border:none;"> <tr> <td style="width:50%;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>						
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>									
<p>Date of the actual completion of the international search  05 June, 2006 (05.06.06)</p>		<p>Date of mailing of the international search report  13 June, 2006 (13.06.06)</p>								
<p>Name and mailing address of the ISA/  Japanese Patent Office</p>		<p>Authorized officer</p>								
<p>Facsimile No.</p>		<p>Telephone No.</p>								

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/305265

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
- 2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
- 3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

- 1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
- 3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
- 4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 2

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee..
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/305265

Continuation of Box No.III of continuation of first sheet (2)

It appears that the matter common to independent claims 1 and 14 is the matter (a) of a compound semiconductor device characterized by having a GaN carrier transit layer superimposed on a semiconductor substrate; a GaN carrier supply layer superimposed on the carrier transit layer; a GaN protective layer superimposed on the carrier supply layer; superimposed on the protective layer, a source electrode, drain electrode and gate electrode; an N-containing compound semiconductor layer superimposed on the protective layer and positioned between the gate electrode and the source electrode and between the gate electrode and the drain electrode; and an insulator layer superimposed on the compound semiconductor layer. However, as the above matter (a) is disclosed in the reference JP 2002-141499 A (Toshiba Corp.) 17 May, 2002 (17.05.02), paragraphs [0018]-[0020], Fig. 1, it cannot be recognized as being a "special technical feature" within the meaning of PCT Rule 13.2, second sentence. Therefore, it cannot be contended that between the invention of claims 1 to 13 and the invention of claims 14 to 20, there exist identical or corresponding special technical features.

Furthermore, as the matter common to claims 1-2, claim 3, claim 4, claim 5, claim 6, claim 7, claim 8, claim 9 and claims 10-13 is also the above matter (a), it cannot be contended that among these inventions, there exist identical or corresponding special technical features.

Therefore, this international application involves the following ten inventions that do not satisfy the requirement of unity of invention: claims 1-2, 3, 4, 5, 6, 7, 8, 9, 10-13 and 14-20.

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
  
2.  請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
  
3.  請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

(特別ページ参照。)

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1 - 2

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付を伴う異議申立てがなかった。

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/80 (2006.01)											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L 29/80											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X	J P 2 0 0 2 - 1 4 1 4 9 9 A (株式会社東芝) 2 0 0 2 . 0 5 . 1 7 , 段落【0018】 - 【0020】, 図1, (ファミリーなし)	1 - 2									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 05.06.2006		国際調査報告の発送日 13.06.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 小川 将之 電話番号 03-3581-1101 内線 3462	4M 9634								

独立請求の範囲1及び14に共通する事項は、下記(a)の事項であると認める。

(a) 半導体基板上に形成されたGaN系のキャリア走行層と、前記キャリア走行層上に形成されたGaN系のキャリア供給層と、前記キャリア供給層上に形成されたGaN系の保護層と、前記保護層上に形成されたソース電極、ドレイン電極及びゲート電極と、前記保護層上に形成され、前記ゲート電極と前記ソース電極との間及び前記ゲート電極と前記ドレイン電極との間に位置し、Nを含む化合物半導体層と、前記化合物半導体層上に形成された絶縁体層と、を有することを特徴とする化合物半導体装置

しかしながら、上記事項(a)は文献JP 2002-141499 A(株式会社東芝) 2002.05.17, 段落【0018】-【0020】, 図1に開示されているから、PCT規則13.2の第2文の意味において「特別な技術的特徴」とは認められない。よって、請求の範囲1~13に係る発明と請求の範囲14~20に係る発明との間に、同一又は対応する特別な技術的特徴が存在するということとはできない。

さらに、請求の範囲1~2、請求の範囲3、請求の範囲4、請求の範囲5、請求の範囲6、請求の範囲7、請求の範囲8、請求の範囲9及び請求の範囲10~13の間に共通する事項も上記事項(a)であるから、これらの発明の間に同一又は対応する特別な技術的特徴が存在するということとはできない。

以上の理由により、この国際出願は単一性を満たさない以下の10の発明を含む。  
請求の範囲1~2、3、4、5、6、7、8、9、10~13及び14~20