

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月3日(03.03.2022)



(10) 国際公開番号

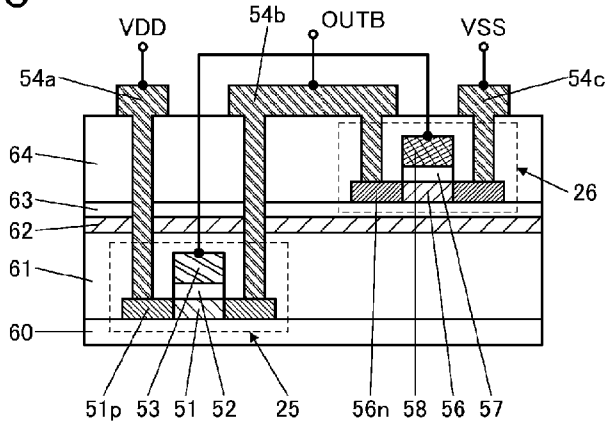
WO 2022/043826 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
G09F 9/30 (2006.01) *H01L 27/32* (2006.01)
G09F 9/33 (2006.01) *H01L 51/50* (2006.01)
G09F 9/35 (2006.01)
- (21) 国際出願番号: PCT/IB2021/057541
- (22) 国際出願日: 2021年8月17日(17.08.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-143219 2020年8月27日(27.08.2020) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).
- (72) 発明者: 吉本智史 (YOSHIMOTO, Satoshi);
〒2430036 神奈川県厚木市長谷398株式会
社半導体エネルギー研究所内 Kanagawa
(JP). 楠紘慈(KUSUNOKI, Koji); 〒2430036 神
奈川県厚木市長谷398株式会社半導体
エネルギー研究所内 Kanagawa (JP). 渡邊
一徳(WATANABE, Kazunori); 〒2430036 神奈
川県厚木市長谷398株式会社半導体エ
ネルギー研究所内 Kanagawa (JP). 川島進
(KAWASHIMA, Susumu); 〒2430036 神奈川県
厚木市長谷398株式会社半導体エネルギー
研究所内 Kanagawa (JP). 檜山真里奈(HIYAMA,
Marina); 〒2430036 神奈川県厚木市長谷398株
式会社半導体エネルギー研究所内 Kanagawa
(JP). 齋藤元晴(SAITO, Motoharu); 〒2430036
神奈川県厚木市長谷398株式会社半導体工
ネルギー研究所内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置、表示装置、及び電子機器

図1C



(57) Abstract: The present invention provides a highly functional semiconductor device. This semiconductor device comprises a first transistor and a second transistor. The first transistor comprises a first semiconductor layer, a first gate electrode, a first electrode and a second electrode. The second transistor comprises a second semiconductor layer, a second gate electrode, a third electrode and a fourth electrode. The first gate electrode and the second gate electrode are connected to each other, while the second electrode and the third electrode are connected to each other. A first insulating layer, a second insulating layer and the second semiconductor layer are superposed on the first semiconductor layer. Hydrogen is less likely to diffuse into the first insulating layer than the second insulating layer. The second insulating layer contains an oxide; the first semiconductor layer contains polycrystalline silicon; and the second semiconductor layer contains a metal oxide. The first transistor is a p-type transistor, while the second transistor is an n-type transistor.



WO 2022/043826 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 機能性の高い半導体装置を提供する。半導体装置は、第1のトランジスタ、第2のトランジスタを有する。第1のトランジスタは、第1の半導体層、第1のゲート電極、第1の電極、及び第2の電極を有する。第2のトランジスタは、第2の半導体層、第2のゲート電極、第3の電極、及び第4の電極を有する。第1のゲート電極と第2のゲート電極は接続され、第2の電極と第3の電極は接続される。第1の半導体層上に第1の絶縁層、第2の絶縁層、第2の半導体層が積層される。第1の絶縁層は第2の絶縁層よりも水素が拡散しにくい。第2の絶縁層は酸化物を含み、第1の半導体層は多結晶シリコンを含み、第2の半導体層は金属酸化物を含む。第1のトランジスタはp型トランジスタであり、第2のトランジスタはn型トランジスタである。

発明の名称

半導体装置、表示装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、表示装置の駆動回路に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げる事ができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

[0003]

表示装置はスマートフォンなどの携帯情報端末、テレビジョン装置などをはじめ、様々な機器に適用されている。近年では、表示装置が適用された機器の画面占有率の向上が求められており、そのために表示装置は、表示部以外の領域を狭くする（狭額縁化する）ことが求められている。また、駆動回路の一部または全てを画素部と同じ基板上に作製するシステムオンパネルは、上記要求を満たすために有効である。特許文献1及び特許文献2では、表示装置の駆動回路に用いられる、インバータ回路、またはシフトレジスタ回路などを、単極性のトランジスタで構成する技術について開示されている。

[先行技術文献]

[特許文献]

[0004]

[特許文献1] 特開2001-325798号公報

[特許文献2] 特開2010-277652号公報

発明の概要

発明が解決しようとする課題

[0005]

本発明の一態様は、機能性の高い半導体装置を提供することを課題の一とする。本発明の一態様は、信頼性の高い半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、消費電力が低減された半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、表示装置の狭額縁化を実現できる半導体装置を提供することを課題の一とする。本発明の一態様は、新規な構成を有する半導体装置、表示装置、または電子機器を提供することを課題の一とする。本発明の一態様は、先行技術の問題点の少なくとも一を少なくとも軽減することを課題の一とする。

[0006]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

課題を解決するための手段

[0007]

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、を有する半導体装置である。第1のトランジスタは、第1の半導体層、第1のゲート電極、第1の電極、及び第2の電極を有する。第2のトランジスタは、第2の半導体層、第2のゲート電極、第3の電極、及び第4の電極を有する。第1のゲート電極と第2のゲート電極とは、互いに電氣的に接続される。第2の電極と第3の電極とは、互いに電氣的に接続される。さらに半導体装置は、第1の半導体層上の第1の絶縁層と、当該第1の絶縁層上の第2の絶縁層と、を有する。第2の半導体層は、第2の絶縁層上に接して設けられる。第1の絶縁層は、第2の絶縁層よりも、水素が拡散しにくい。第2の絶縁層は、酸化物を含み、第1の半導体層は、多結晶シリコンを含み、第2の半導体層は、金属酸化物を含む。第1のトランジスタは、p型トランジスタであり、第2のトランジスタは、n型トランジスタである。

[0008]

また、上記において、第1の電極には、第1の電位が与えられ、第4の電極には、第1の電位よりも低い第2の電位が与えられることが好ましい。

[0009]

また、本発明の他の一態様は、制御回路と、第1のトランジスタと、第2のトランジスタと、を有する半導体装置である。制御回路は、第1の配線と、第2の配線と、を有する。また制御回路は、複数の信号が与えられ、当該複数の信号に基づいて、第1の配線と第2の配線に、互いに反転した電位が与えられるよう制御する機能を有する。第1のトランジスタは、第1の半導体層、第1のゲート電極、第1の電極、及び第2の電極を有する。第2のトランジスタは、第2の半導体層、第2のゲート電極、第3の電極、及び第4の電極を有する。第2の電極と第3の電極とは、互いに電氣的に接続される。第1のゲート電極と第2のゲート電極は、第1の配線と電氣的に接続される。さらに半導体装置は、第1の半導体層上の第1の絶縁層と、当該第1の絶縁層上の第2の絶縁層と、を有する。第2の半導体層は、第2の絶縁層上に接して設けられる。第1の絶縁層は、第2の絶縁層よりも、水素が拡散しにくい。第2の絶縁層は、酸化物を含み、第1の半導体層は、多結晶シリコンを含み、第2の半導体層は、金属酸化物を含む。第1のトランジスタは、p型トランジスタであり、第2のトランジスタは、n型トランジスタである。

[0010]

また、上記において、第1の電極には、第1の電位が与えられ、第4の電極には、第1の電位よりも低い第2の電位が与えられることが好ましい。さらに、第2の電極には、第1の配線の電位に応じて、第1の電位及び第2の電位のいずれか一方が与えられることが好ましい。

[0011]

また、上記いずれかにおいて、さらに増幅回路を有することが好ましい。このとき、増幅回路は、第1の配線及び第2の配線と電氣的に接続され、第1の出力端子を有することが好ましい。また増幅回路は、第1の配線の電位に同期した電位を、第1の出力端子に出力する機能を有することが好ましい。このとき、第1の出力端子の電位と第2の電極の電位とは、互いに反転した電位であることが好ましい。

[0012]

また、上記において、増幅回路は、第3のトランジスタ、第4のトランジスタ、及び第5のトラ

ンジスタを有することが好ましい。第3のトランジスタは、p型トランジスタであり、第4のトランジスタ及び第5のトランジスタは、n型トランジスタであることが好ましい。また、第3のトランジスタ及び第5のトランジスタは、それぞれゲートが第2の配線と電氣的に接続され、第4のトランジスタは、ゲートが第1の配線と電氣的に接続され、第3のトランジスタのソース及びドレインの一方、第4のトランジスタのソース及びドレインの一方、及び第5のトランジスタのソース及びドレインの一方は、第1の出力端子と電氣的に接続され、第3のトランジスタのソース及びドレインの他方と、第4のトランジスタのソース及びドレインの他方とは、互いに電氣的に接続されることが好ましい。

[0013]

また、本発明の他の一態様は、上記いずれかの半導体装置と、画素と、を有する表示装置である。このとき、画素は、表示素子、及び第6のトランジスタを有することが好ましい。さらに第6のトランジスタは、第1のトランジスタまたは第2のトランジスタと、同一面上に設けられることが好ましい。さらに、表示素子は、液晶素子、有機EL素子、または発光ダイオードであることが好ましい。

[0014]

また、本発明の他の一態様は、上記いずれかの表示装置と、アンテナ、バッテリー、筐体、カメラ、スピーカ、マイク、及び操作ボタンのうち、少なくとも一と、を有する、電子機器である。

発明の効果

[0015]

本発明の一態様によれば、機能性の高い半導体装置を提供できる。本発明の一態様によれば、信頼性の高い半導体装置、表示装置、または電子機器を提供できる。本発明の一態様によれば、消費電力が低減された半導体装置、表示装置、または電子機器を提供できる。本発明の一態様によれば、表示装置の狭額縁化を実現できる半導体装置を提供できる。本発明の一態様によれば、新規な構成を有する半導体装置、表示装置、または電子機器を提供できる。本発明の一態様によれば、先行技術の問題点の少なくとも一を少なくとも軽減することができる。

[0016]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

図面の簡単な説明

[0017]

図1Aは、順序回路の構成例を示す図である。図1Bは、順序回路のタイミングチャートである。図1Cは、順序回路の断面概略図である。
図2A及び図2Bは、順序回路の構成例を示す図である。
図3A及び図3Bは、順序回路の構成例を示す図である。
図4は、順序回路の構成例を示す図である。
図5A及び図5Bは、順序回路の構成例を示す図である。
図6A及び図6Bは、順序回路の構成例を示す図である。
図7Aは、順序回路の構成例を示す図である。図7Bは、シフトレジスタの回路図である。図7Cは、タイミングチャートである。

図 8 A は、シフトレジスタの回路図である。図 8 B は、インバータ回路の回路図である。

図 9 A は、表示装置のブロック図である。図 9 B は、画素の回路図である。

図 10 A は、インバータ回路の上面概略図である。図 10 B は、インバータ回路の断面概略図である。

図 11 A 乃至図 11 C は、インバータ回路の断面概略図である。

図 12 A は、表示装置のブロック図である。図 12 B 及び図 12 C は、画素回路の回路図である。

図 13 A 及び図 13 B は、表示モジュールの構成例を示す図である。

図 14 A 及び図 14 B は、電子機器の構成例を示す図である。

図 15 A 乃至図 15 E は、電子機器の構成例を示す図である。

図 16 A 乃至図 16 G は、電子機器の構成例を示す図である。

図 17 A 乃至図 17 D は、電子機器の構成例を示す図である。

発明を実施するための形態

[0018]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0019]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0020]

なお、本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0021]

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

[0022]

トランジスタは半導体素子の一種であり、電流または電圧の増幅、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) または薄膜トランジスタ (TFT: Thin Film Transistor) などを含む。

[0023]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0024]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気

的作用を有するもの」には、電極及び配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子などが含まれる。

[0025]

なお、本明細書等においてノードとは、回路を構成する素子の電氣的な接続を可能とする素子（例えば、配線など）のことをいう。したがって、“Aが接続されたノード”とは、Aと電氣的に接続され、且つAと同電位と見なせる配線のことをいう。なお、配線の途中に電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が1個以上配置されていても、Aと同電位であれば、その配線はAが接続されたノードであるとする。

[0026]

本明細書等において、表示装置の一態様である表示パネルは表示面に画像等を表示（出力）する機能を有するものである。したがって表示パネルは出力装置の一態様である。

[0027]

また、本明細書等では、表示パネルの基板に、例えばFPC（Flexible Printed Circuit）もしくはTCP（Tape Carrier Package）などのコネクタを取り付けられたもの、または基板にCOG（Chip On Glass）方式等によりICが実装されたものを、表示パネルモジュール、表示モジュール、または単に表示パネルなどと呼ぶ場合がある。

[0028]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置の構成例について説明する。

[0029]

〔構成例1〕

図1Aに、本発明の一態様の順序回路10の構成例を示す。順序回路10は、回路11、回路12、及び回路13を有する。回路11は、配線15a及び配線15bを有する。回路11と回路12とは、配線15a及び配線15bを介して電氣的に接続されている。回路11と回路13とは、配線15aを介して電氣的に接続されている。

[0030]

回路11は、信号LIN、及び信号RINの電位に従って、配線15aに第1の信号を、配線15bに第2の信号を、それぞれ出力する機能を有する。すなわち、回路11は、制御回路とも呼ぶことができる。

[0031]

第2の信号は、第1の信号を反転した信号である。すなわち、第1の信号と第2の信号が、それぞれ高電位と低電位の2種類の電位を有する信号である場合、回路11から配線15aに高電位が出力されるときには、配線15bに低電位が出力され、配線15aに低電位が出力されるときには配線15bに高電位が出力される。

[0032]

回路12は、配線15a及び配線15bに入力される信号に基づいて、出力端子OUTAに、信号CLK及び電位VSSのいずれか一方を出力する機能を有する。回路12は、配線15aが高電位の時は信号CLKを出力し、低電位の時は電位VSSを出力する。回路12は、増幅回路または

バッファ回路などと呼ぶことができる。

[0033]

信号CLKは、クロック信号を用いることができる。当該クロック信号は、デューティ比（信号の一周期の期間における、ハイレベル電位である期間の割合）が、45%以上55%以下である信号を好適に用いることができる。より好ましくは、クロック信号として、デューティ比が50%である信号を用いることができる。なお、クロック信号のデューティ比は上記に限られず、駆動方法に応じて適宜変更することができる。

[0034]

なお、本明細書等において、クロック信号とは、高電位と低電位とが繰り返され、且つ、電位の立ち上がりと次の電位の立ち上がりの間隔、または、電位の立ち下りと次の電位の立ち下りの間隔が、一定である信号をいう。また、本明細書等において、パルス信号とは、時間的に電位が変化する信号のことをいう。また、パルス信号には、周期的に電位が変化する信号が含まれる。例えば、パルス信号には、矩形波、三角波、のこぎり波、正弦波などの周期的に電位が変化する信号が含まれる。そのため、クロック信号は、パルス信号の一態様であるともいえる。

[0035]

ここで、電位VDDは、電位VSSよりも高い電位とすることができる。信号CLKは、高電位と低電位とが交互に与えられる信号である。このとき、信号CLKの低電位は、電位VSSと同じ電位とすることが好ましい。なお、信号CLKに変えて、高電位（例えば電位VDD）を、トランジスタ21のソース及びドレインの一方に与える構成としてもよい。

[0036]

回路13は、配線15aの電位に応じて、出力端子OUTBに、電位VDDと電位VSSのいずれか一方を出力する機能を有する。回路13は、配線15aが高電位の時は、低電位である電位VSSを出力し、低電位の時は高電位である電位VDDを出力する。すなわち、回路13は、第1の信号を反転した信号を出力端子OUTBに出力することができる。言い換えると、回路13は、第2の信号と同様の信号を出力端子OUTBに出力することができる。回路13は、インバータ回路などと呼ぶことができる。

[0037]

順序回路10は、フリップフロップ回路として機能し、シフトレジスタ回路の一部に用いることができる。例えば順序回路10は、表示装置の駆動回路の一部に用いることができる。特に、表示装置の走査線駆動回路（ゲートドライバ回路ともいう）の一部に好適に用いることができる。

[0038]

順序回路10を走査線駆動回路に適用する場合、出力端子OUTA及び出力端子OUTBの少なくとも一方、または双方に、表示装置の複数の画素に接続される走査線（ゲート線ともいう）を接続することができる。出力端子OUTAと出力端子OUTBの双方に、それぞれ走査線を接続する構成とすることで、画素を2種類の走査線信号で駆動することが可能となるため、より多機能な画素を実現することができる。

[0039]

回路11は、トランジスタ31乃至トランジスタ34を有する。トランジスタ31乃至トランジスタ34には、nチャンネル型のトランジスタを適用することが好ましい。

[0040]

トランジスタ 31 とトランジスタ 34 は、信号 L I N の電位に従って導通または非導通が選択される。トランジスタ 32 とトランジスタ 33 は、信号 R I N の電位に従って導通または非導通が選択される。

[0041]

信号 L I N が高電位、信号 R I N が低電位であるとき、トランジスタ 31 が導通状態、トランジスタ 33 が非導通状態となり、電位 V D D が与えられる配線と、配線 15 a とが電氣的に接続される。また、トランジスタ 34 が導通状態、トランジスタ 32 が非導通状態となり、電位 V S S が与えられる配線と、配線 15 b とが電氣的に接続される。一方、信号 L I N が低電位、信号 R I N が高電位であるとき、上記とは各トランジスタの導通、非導通状態が逆転し、配線 15 a は電位 V S S が与えられる配線と電氣的に接続され、配線 15 b は電位 V D D が与えられる配線と電氣的に接続される。

[0042]

回路 12 は、トランジスタ 21 及びトランジスタ 22 を有する。トランジスタ 21 及びトランジスタ 22 には、n チャネル型のトランジスタを適用することが好ましい。

[0043]

回路 12 において、トランジスタ 21 は、ゲートが配線 15 a と、ソース及びドレインの一方が信号 C L K が与えられる配線と、他方がトランジスタ 22 のソース及びドレインの一方及び出力端子 O U T A と、それぞれ電氣的に接続される。トランジスタ 22 は、ゲートが配線 15 b と、ソース及びドレインの他方が電位 V S S が与えられる配線と、それぞれ電氣的に接続される。なお、出力端子 O U T A は、回路 12 からの出力電位が与えられる部分であり、配線の一部、または電極の一部であってもよい。

[0044]

回路 12 において、配線 15 a が高電位、配線 15 b が低電位であるとき、出力端子 O U T A には、トランジスタ 21 を介して信号 C L K が出力される。一方、配線 15 a が低電位、配線 15 b が高電位であるとき、出力端子 O U T A には、トランジスタ 22 を介して電位 V S S が出力される。

[0045]

回路 13 は、トランジスタ 25 及びトランジスタ 26 を有する。トランジスタ 25 は p チャネル型のトランジスタ (p 型トランジスタ)、トランジスタ 26 は n チャネル型のトランジスタ (n 型トランジスタ) であることが好ましい。

[0046]

回路 13 において、トランジスタ 25 は、ゲートが配線 15 a と、ソース及びドレインの一方が電位 V D D が与えられる配線と、他方がトランジスタ 26 のソース及びドレインの一方、及び出力端子 O U T B と、それぞれ電氣的に接続される。トランジスタ 26 は、ゲートが配線 15 a と、ソース及びドレインの他方が電位 V S S が与えられる配線と、それぞれ電氣的に接続される。なお、出力端子 O U T B は、回路 13 からの出力電位が与えられる部分であり、配線の一部、または電極の一部であってもよい。

[0047]

回路 13 において、配線 15 a が高電位であるとき、出力端子 O U T B にはトランジスタ 26 を介して電位 V S S が出力される。一方、配線 15 a が低電位であるとき、出力端子 O U T B には、トランジスタ 25 を介して電位 V D D が出力される。

[0048]

図1Bは、順序回路10の駆動方法の一例を示すタイミングチャートである。図1Bには、信号LIN、信号RIN、信号CLK、出力端子OUTA、及び出力端子OUTBにおける、電位の時間変化を模式的に示している。

[0049]

時刻T1以前において、信号LINと信号RINのいずれも低電位である。時刻T1以前では、信号CLKの電位によらず、出力端子OUTAには低電位が、出力端子OUTBには高電位が、それぞれ出力される。

[0050]

時刻T1において、信号LINが高電位になる。また期間T1-T2において、信号CLKは低電位であるとする。これにより、期間T1-T2では、出力端子OUTAには信号CLK（すなわち低電位）が出力され、出力端子OUTBには低電位が出力される。

[0051]

続いて、時刻T2において、信号LINが低電位になる。これにより、回路11内の4つのトランジスタは全てオフ状態となるため、配線15a及び配線15bの電位は保持される。また、信号CLKは、時刻T2に高電位に変化する。これにより、期間T2-T3では、出力端子OUTAには高電位が出力され、出力端子OUTBには引き続き低電位が出力される。

[0052]

続いて、時刻T3において、信号RINが高電位になる。これにより、配線15aが低電位、配線15bが高電位となる。そのため、期間T3-T4では、出力端子OUTAには低電位が、出力端子OUTBには高電位が与えられる。

[0053]

時刻T4において、信号RINが低電位になる。これにより、回路11内のトランジスタは全てオフ状態となり、配線15aと配線15bの電位が保持される。そのため、時刻T4以降において、出力端子OUTAには低電位、出力端子OUTBには高電位が出力される。

[0054]

時刻T1以前、及び時刻T4以降は、信号LINと信号RINのいずれも低電位であるため、順序回路10が待機状態（非動作状態、または非選択状態ともいう）である期間ともいうことができる。当該期間において、出力端子OUTAには低電位が、出力端子OUTBには高電位が、それぞれ出力される。

[0055]

図1Bに示すように、出力端子OUTAに出力される信号は、期間T2-T3にのみ高電位となり、それ以外の期間は常に低電位となる信号となる。すなわち、順序回路10の出力端子OUTAに出力される信号は、ノーマリーロー（Normally Low）の信号といえることができる。一方、出力端子OUTBに出力される信号は、期間T1-T3にのみ低電位となり、それ以外の期間は常に高電位となる信号となる。すなわち、出力端子OUTBに出力される信号は、ノーマリーハイ（Normally High）の信号といえることができる。このように、順序回路10は、ノーマリーローとノーマリーハイの2種類の信号を出力することができるため、順序回路10を例えば表示装置の走査線駆動回路に用いた場合、表示装置の画素を、当該2種類の信号で駆動することができる。そのため、多機能な表示装置を実現することができる。

[0056]

以上が、順序回路10の動作方法の一例についての説明である。

[0057]

ここで、順序回路10を構成するnチャネル型のトランジスタには、チャネルが形成される半導体層に、酸化物半導体が適用されたトランジスタを用いることが好ましい。このようなトランジスタは、オフ状態におけるソースドレイン間に流れるリーク電流が、シリコンを適用したトランジスタと比較して著しく低い。このようなトランジスタを、回路11、回路12、及び回路13に適用することで、それぞれの消費電力を極めて小さくすることができる。

[0058]

また、順序回路10を構成するpチャネル型のトランジスタには、チャネルが形成される半導体層にシリコンを有するトランジスタを用いることが好ましい。シリコンとしては、単結晶シリコン、多結晶シリコン、非晶質シリコンなどが挙げられる。特に、半導体層に、低温ポリシリコン(LTPS(Low Temperature Poly Silicon))を有するトランジスタ(以下、LTPSトランジスタともいう)を用いることが好ましい。LTPSトランジスタは、電界効果移動度が高く、周波数特性が良好である。またLTPSトランジスタは、オン状態に流すことのできる電流が大きいため、出力端子OUTBに接続される配線の充放電にかかる時間を短縮できる。これにより、特に回路13において、nチャネル型のトランジスタ26と、pチャネル型のトランジスタ25によってCMOS(Complementary Metal Oxide Semiconductor)回路を構成することで、駆動能力が高く、且つ消費電力の低い回路13を実現できる。

[0059]

順序回路10に適用可能なpチャネル型のトランジスタと、nチャネル型のトランジスタとは、同一基板上に作製されることが好ましい。以下では、順序回路10の積層構造について説明する。図1Cには、一例として、回路13が有するトランジスタ25とトランジスタ26のチャネル長方向の断面を含む、順序回路10の断面概略図を示す。

[0060]

トランジスタ25とトランジスタ26は、絶縁層60上に設けられる。図1Cでは、トランジスタ25及びトランジスタ26として、ゲート電極が半導体層の上方に設けられる、いわゆるトップゲート型のトランジスタが適用された例を示している。なお、トランジスタの構成はこれに限られない。

[0061]

トランジスタ25は、半導体層51、ゲート絶縁層52、及びゲート電極53を有する。半導体層51は、多結晶シリコンを含む。半導体層51は、チャネル形成領域を挟み、p型の導電性を示す一対の低抵抗領域51pを有する。トランジスタ26は、半導体層56、ゲート絶縁層57、及びゲート電極58を有する。半導体層56は、金属酸化物を含む。半導体層56は、チャネル形成領域を挟み、n型の導電性を示す一対の低抵抗領域56nを有する。

[0062]

トランジスタ25の半導体層51は、絶縁層60上に設けられる。またトランジスタ25を覆って絶縁層61が設けられ、絶縁層61上に絶縁層62及び絶縁層63が積層して設けられる。トランジスタ26の半導体層56は、絶縁層63の上面に接して設けられる。また、トランジスタ26

を覆って絶縁層 6 4 が設けられている。

[0063]

絶縁層 6 4 上には、導電層 5 4 a、導電層 5 4 b、及び導電層 5 4 c が設けられている。導電層 5 4 a の一部は、電位 VDD が与えられる配線に相当する。導電層 5 4 c の一部は、電位 VSS が与えられる配線に相当する。導電層 5 4 b の一部は、出力端子 OUTB に相当する。またゲート電極 5 3 とゲート電極 5 8 とは、図示しない領域で電氣的に接続される。

[0064]

導電層 5 4 a 及び導電層 5 4 b は、絶縁層 6 4、絶縁層 6 3、絶縁層 6 2、及び絶縁層 6 1 に設けられた開口部において、それぞれ低抵抗領域 5 1 p と電氣的に接続されている。導電層 5 4 b と導電層 5 4 c は、絶縁層 6 4 に設けられた開口部において、それぞれ低抵抗領域 5 6 n と電氣的に接続されている。

[0065]

ここで、多結晶シリコンは、シリコンのダングリングボンドを水素原子で終端することにより信頼性が向上するため、半導体層 5 1 及びその周辺（例えば絶縁層 6 1 など）には、作製工程に含まれる水素原子、水素分子、または水素を含む化合物（水など）が含まれる。一方、酸化物半導体において、水素はキャリアの供給源となりうる元素であるため、トランジスタ 2 6 の半導体層 5 6 中及びその周辺における水素濃度を、できるだけ低減させることが好ましい。さらに酸化物半導体において、酸素欠損もまたキャリアの供給源の要因となりうるため、トランジスタ 2 6 の半導体層 5 6 には、水素が低減された酸化物が接して設けられることが好ましい。

[0066]

そこで、トランジスタ 2 5 の半導体層 5 1 と、トランジスタ 2 6 の半導体層 5 6 とは、水素及び水に対するバリア性を有する絶縁層 6 2 により隔離されていることが好ましい。さらに、トランジスタ 2 6 の半導体層 5 6 は、酸化物を含む絶縁層 6 3 上に接して設けられることが好ましい。このとき、絶縁層 6 2 は、少なくとも絶縁層 6 1 及び絶縁層 6 3 よりも水素及び水に対する透過性の低い（水素及び水を透過しにくい）材料を有する。

[0067]

より具体的には、絶縁層 6 2 として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、または酸化ハフニウムを含む無機絶縁膜を用いることができる。また、絶縁層 6 3 として、酸化シリコン、または酸化窒化シリコンなどの酸化物膜を用いることができる。このとき、絶縁層 6 3 は、加熱により酸素が放出される膜であることが好ましい。

[0068]

順序回路 1 0 を構成する二種類のトランジスタの構成を、ここで説明した構成とすることで、高い駆動能力と、低い消費電力と、高い信頼性を兼ね備えた順序回路を実現することができる。

[0069]

以上が、積層構造についての説明である。

[0070]

[構成例 2]

以下では、上記構成例 1 とは異なる構成を有する順序回路について説明する。

[0071]

[構成例 2-1]

図2Aに、順序回路10aの構成例を示す。順序回路10aは、上記順序回路10と比較して、回路11及び回路12の構成が主に相違している。回路13については、上記順序回路10と同様の構成を有するため、説明を省略する。

[0072]

回路11は、トランジスタ41乃至トランジスタ46と、容量C2を有する。また回路11には、信号LIN、信号CLK2、信号CLK3、及び信号RINが入力される。

[0073]

回路12は、トランジスタ21、トランジスタ22、トランジスタ23、及び容量C1を有する。また回路12には、信号CLK1が入力される。

[0074]

また、回路11及び回路13には、高電位である電位VDDと、低電位である電位VSSが供給されている。

[0075]

トランジスタ41乃至トランジスタ46、及びトランジスタ21乃至トランジスタ23には、上述したnチャンネル型のトランジスタを適用することが好ましい。特に、チャンネルが形成される半導体に酸化半導体を適用したトランジスタを用いることが好ましい。

[0076]

回路11は、入力される各種信号に従って、配線15aに第1の信号を、配線15bに第1の信号を反転した第2の信号を、それぞれ出力する機能を有する。

[0077]

具体的には、トランジスタ41は、ゲートが信号LINが与えられる配線と、ソース及びドレインの一方が配線15a、及びトランジスタ45のソース及びドレインの一方と、他方が電位VDDが与えられる配線と、それぞれ電氣的に接続されている。トランジスタ42は、ゲートが信号CLK3が与えられる配線と、ソース及びドレインの一方がトランジスタ43のソース及びドレインの一方と、他方が電位VDDが与えられる配線と、それぞれ電氣的に接続されている。トランジスタ43は、ゲートが信号CLK2が与えられる配線と、ソース及びドレインの他方が配線15b、容量C2の一方の電極、及びトランジスタ45のゲートと、それぞれ電氣的に接続されている。トランジスタ44は、ゲートが信号RINが与えられる配線と、ソース及びドレインの一方が配線15bと、他方が電位VDDが与えられる配線と、それぞれ電氣的に接続されている。トランジスタ45は、ソース及びドレインの他方が電位VSSが与えられる配線と電氣的に接続されている。トランジスタ46は、ゲートが信号LINが与えられる配線と、ソース及びドレインの一方が配線15bと、他方が電位VSSが与えられる配線と、それぞれ電氣的に接続されている。容量C2は、他方の電極が、電位VSSが与えられる配線と電氣的に接続されている。

[0078]

順序回路10aが有する回路12は、図1Aに示す構成にトランジスタ23及び容量C1が追加した構成である。

[0079]

トランジスタ23は、ゲートが電位VDDが与えられる配線と、ソース及びドレインの一方が配線15aと、他方がトランジスタ21のゲートと、それぞれ電氣的に接続されている。容量C1は、一方の電極がトランジスタ21のゲートと、他方の電極がトランジスタ21のソース及びドレイン

の他方と、それぞれ電氣的に接続されている。トランジスタ 21 のソース及びドレインの一方は、信号 CLK 1 が与えられる配線と電氣的に接続されている。

[0080]

配線 15a に高電位が与えられると、トランジスタ 23 を介してトランジスタ 21 のゲートに高電位が与えられ、トランジスタ 21 がオン状態となる。このとき、配線 15a に与えられる高電位が電位 VDD と等しい場合には、トランジスタ 21 のゲートには、電位 VDD からトランジスタ 23 のしきい値電圧分低い電位が与えられる。出力端子 OUTA とトランジスタ 21 のゲートとは、容量 C1 を介して電氣的に接続されるため、ブートストラップ効果によって、出力端子 OUTA の電位が上昇する。これに伴い、トランジスタ 21 のゲートの電位（トランジスタ 23 のソース及びドレインの他方の電位）が上昇する。トランジスタ 21 のゲートの電位は、例えば電位 VDD の 2 倍に近い電位にまで上昇するため、トランジスタ 21 のしきい値電圧の影響を受けることなく、出力端子 OUTA には電位 VDD を出力することができる。これにより、電源電位の種類を増やすことなく、出力性能の高い順序回路 10a を実現することができる。

[0081]

その後、トランジスタ 23 のソース及びドレインの他方の電位が電位 VDD を超えると、トランジスタ 23 がオフ状態となるため、トランジスタ 21 のゲートと、配線 15a とが電氣的に切り離された状態となり、トランジスタ 22 のゲートがフローティング状態となる。また、トランジスタ 23 がオフ状態となることで、配線 15a の電位は、回路 12 の出力電位から上昇することがないため、回路 12 内のトランジスタ等に、配線 15a を介して出力電位よりも高い電位が印加されることを防ぐことができる。これにより、順序回路 10a の信頼性を高めることができる。

[0082]

[構成例 2-2]

図 2B に、順序回路 10b の構成例を示す。順序回路 10b は、上記順序回路 10a と比較して、トランジスタの構成が異なる点で相違している。

[0083]

順序回路 10b では、回路 11、回路 12、及び回路 13 が有する n チャネル型のトランジスタに、バックゲートを有するトランジスタが適用されている。

[0084]

トランジスタ 45 及びトランジスタ 22 は、バックゲートが、電位 VSS が与えられる配線と電氣的に接続されている。すなわち、トランジスタ 45 及びトランジスタ 22 は、バックゲートがソースと電氣的に接続される構成を有する。

[0085]

ここで、順序回路 10b を走査線駆動回路に用いる場合、配線 15b が高電位である期間は、低電位である期間に比べて著しく長くなる。そのため、ゲートが配線 15b と接続するトランジスタ 45 及びトランジスタ 22 は、オフ状態である期間よりも、オン状態である期間が著しく長くなる。そのため、トランジスタ 45 及びトランジスタ 22 は、他のトランジスタよりも、しきい値電圧の変動が生じやすくなる。具体的には、トランジスタのしきい値電圧がプラス方向へシフトしやすくなる。

[0086]

そこで、トランジスタ 45 及びトランジスタ 22 は、半導体層を間に挟んで重なり合った一対の

ゲートのうち、一方のゲートを、低電位が与えられる配線（電位VSSが与えられる配線）と電氣的に接続する構成とする。このような構成とすることで、トランジスタ45及びトランジスタ22のしきい値電圧がプラス方向へシフトすることを好適に抑制することができる。したがって、順序回路10b、延いては順序回路10bを用いた半導体装置、表示装置、及び電子機器等の信頼性を高めることができる。

[0087]

また、トランジスタ45及びトランジスタ22は、一方のゲートとソースとが電氣的に接続された構成とすることで、しきい値電圧がマイナスの値になることを好適に防ぐこともできる。すなわち、トランジスタ45及びトランジスタ22をノーマリオフの特性とすることが容易となる。さらに、トランジスタ45及びトランジスタ22は、一方のゲートとソースとが電氣的に接続された構成とすることで、飽和性を高める効果も奏する。これにより、回路11及び回路12の設計が容易となり、また安定して動作可能な回路を実現することができる。

[0088]

一方、トランジスタ45及びトランジスタ22以外のnチャネル型のトランジスタには、一对のゲート同士が電氣的に接続されたトランジスタが適用されている。半導体層を間に挟んで重なり合った一对のゲートを電氣的に接続することで、トランジスタのオン電流を高めることが可能となる。これにより、順序回路10bの駆動能力を向上させることが可能となる。

[0089]

[構成例2-3]

上記順序回路10aにおいて、配線15bには、配線15aの電位を反転した電位が与えられる。一方、回路13は、出力端子OUTBに、配線15aの電位を反転した信号を出力することができる。そのため、配線15bに、出力端子OUTBの出力電位を供給する（フィードバックする）構成とすることで、回路11の構成を簡略化することができる。

[0090]

図3Aに、順序回路10cの構成例を示す。

[0091]

順序回路10cは、上記順序回路10aと比較して、主に回路11の構成が異なる。具体的には、順序回路10cは、配線15bと、回路13の出力端子OUTBとが電氣的に接続されている。さらに、順序回路10cは、順序回路10aと比較して、配線15bと電位VSSとの導通、非導通を制御するスイッチとして機能するトランジスタ46が省略されている。

[0092]

図3Bに、順序回路10dの構成例を示す。

[0093]

順序回路10dは、上記順序回路10cから、さらにトランジスタ42、トランジスタ43、及び容量C2が省略されている。すなわち、回路11は、トランジスタ41と、トランジスタ44と、トランジスタ45により構成されている。

[0094]

なお、上記に限られず、順序回路10aの構成から、トランジスタ42、トランジスタ43、トランジスタ44、及びトランジスタ46のうち、1つ以上を省略した構成とすることができる。

[0095]

[構成例 2-4]

図 4 には、上記とは異なる構成を有する順序回路 10e の構成例を示している。なお順序回路 10e では、見やすさのため、上記とは回路 12 と回路 13 の位置を入れ替えて明示している。

[0096]

回路 11 は、トランジスタ 41、トランジスタ 46、及びトランジスタ 47 を有する。トランジスタ 47 は、ゲートが信号 RES が与えられる配線と、ソース及びドレインの一方が配線 15a と、他方が電位 VSS が与えられる配線と、それぞれ電氣的に接続される。

[0097]

信号 RES には、例えば順序回路 10e のリセット動作を制御する信号が与えられる。

[0098]

回路 13 は、トランジスタ 25 及びトランジスタ 26 のゲートが、それぞれ配線 15a と電氣的に接続されている。また出力端子 OUTB と、配線 15b とが電氣的に接続されている。

[0099]

回路 12 は、トランジスタ 21、トランジスタ 22、及び容量 C1 を有する。

[0100]

トランジスタ 21 は、ゲートが配線 15a と電氣的に接続され、ソース及びドレインの一方が信号 CLK1 が与えられる配線と電氣的に接続され、他方が出力端子 OUTA と電氣的に接続されている。トランジスタ 22 は、ゲートが配線 15b と電氣的に接続され、ソース及びドレインの一方が出力端子 OUTA と電氣的に接続され、他方が電位 VSS が与えられる配線と電氣的に接続されている。容量 C1 は、一方の電極が配線 15a 及びトランジスタ 21 のゲートと電氣的に接続され、他方の電極が出力端子 OUTA と電氣的に接続されている。

[0101]

順序回路 10e は、信号 LIN に高電位が与えられ、その後低電位に変化した後も、出力端子 OUTA 及び出力端子 OUTB への出力信号が保持される。さらに、信号 RES に高電位が与えられ、トランジスタ 47 が導通状態となることで、配線 15a に低電位である電位 VSS を供給し、順序回路 10e の状態をリセットすることができる。

[0102]

[構成例 2-5]

図 5A には、上記とは異なる構成を有する順序回路 10f の構成例を示している。順序回路 10f は、上記順序回路 10a と比較して、回路 12 の構成が異なる点で、主に相違している。

[0103]

回路 12 は、トランジスタ 22、トランジスタ 24n、及びトランジスタ 24p を有する。トランジスタ 24n は n チャネル型のトランジスタであり、トランジスタ 24p は p チャネル型のトランジスタである。

[0104]

トランジスタ 24n とトランジスタ 24p とは、ソース及びドレインの一方同士と、他方同士が電氣的に接続され、いわゆるアナログスイッチを構成している。トランジスタ 24n のゲートは配線 15a と、トランジスタ 24p のゲートは配線 15b と、それぞれ電氣的に接続されている。配線 15a が高電位、配線 15b が低電位するとき、当該アナログスイッチが導通状態であり、トランジスタ 22 が非導通状態となるため、信号 CLK1 が与えられる配線と出力端子 OUTA とが導通

する。一方、配線 15 a が低電位、配線 15 b が高電位するとき、当該アナログスイッチは非導通状態、トランジスタ 22 が導通状態となり、電位 VSS が与えられる配線と出力端子 OUT A とが導通する。

[0105]

このように、p チャンネル型のトランジスタを回路 13 だけでなく、他の回路にも適用することもできる。ここでは回路 12 に p チャンネル型のトランジスタを適用した例を示したが、回路 11 にも適用することもできる。

[0106]

なお、ここでは回路 11 及び回路 13 の構成として、上記順序回路 10 a と同様の構成としたが、これに限られず、上記で例示した様々な構成を適用することができる。例えば、回路 13 の出力端子 OUT B と配線 15 b とを電氣的に接続することで、回路 11 の一部のトランジスタを省略し、回路を簡略化することができる。

[0107]

図 5 B に、上記とは一部の構成が異なる順序回路 10 g を示す。順序回路 10 g は、回路 12 に、トランジスタ 23 をさらに有する。

[0108]

トランジスタ 23 は、ゲートに電位 VDD が与えられ、ソース及びドレインの一方が配線 15 a と、他方がトランジスタ 24 n のゲートと、それぞれ電氣的に接続されている。トランジスタ 23 を設けることで、上記と同様に、トランジスタ 24 n のゲートに電位 VDD より高い電位を供給することが可能となり、トランジスタ 24 n のしきい値電圧の影響を抑制することができる。

[0109]

なお、ここでは示さないが、上記順序回路 10 a と同様に、トランジスタ 24 n のゲートと、出力端子 OUT A との間に、容量 C1 を設けてもよい。

[0110]

[変形例]

図 6 A に示す順序回路 10 h は、上記順序回路 10 f における回路 13 を省略した場合の例である。順序回路 10 h は、出力端子 OUT から、信号 CLK 1 または電位 VSS を出力することができる。

[0111]

また、図 6 B に示す順序回路 10 i は、順序回路 10 h の回路 12 に、トランジスタ 23 を追加した場合の例である。

[0112]

以上が変形例についての説明である。

[0113]

なお、順序回路 10 c 乃至順序回路 10 i において、n チャンネル型のトランジスタに、上記順序回路 10 b で例示したバックゲートを有するトランジスタを適用してもよい。このとき、一対のゲートが電氣的に接続されるトランジスタ、一方のゲートがソースと電氣的に接続されるトランジスタ、またはバックゲートを有さないトランジスタを、選択して用いることが好ましい。

[0114]

[駆動回路の構成例]

以下では、順序回路を複数段接続させることで構成され、シフトレジスタとして機能する駆動回路の例について説明する。

[0115]

〔駆動回路の構成例1〕

図7Aは、順序回路30の入出力端子を説明する図である。順序回路30は、入力端子として、信号LIN、信号RIN、信号CLK1、信号CLK2、信号CLK3がそれぞれ入力される端子と、出力端子として、出力端子OUTA及び出力端子OUTBを有する。順序回路30は、例えば上記順序回路10a、順序回路10b、または順序回路10cなどを用いることができる。

[0116]

図7Bに、駆動回路40の構成例を示している。駆動回路40は、複数の順序回路30を有する。図7Bでは、順序回路30__1乃至順序回路30__6までを示している。以下では、駆動回路40の入りに近い側から、n番目に位置する順序回路を、順序回路30__n（nは1以上の整数）と表記することとする。

[0117]

順序回路30__nには、信号CLK1、信号CLK2、信号CLK3として、信号CK1乃至信号CK4のいずれか3つが用いられる。信号CK1乃至信号CK4の組み合わせは、4段毎に同じ組み合わせとなる。すなわち、順序回路30__nと順序回路30__n+4には、信号CLK1、信号CLK2、及び信号CLK3として、同じ信号が入力される。

[0118]

また、順序回路30__nの出力端子OUTA及び出力端子OUTBには、それぞれ出力配線である配線OUTAn、配線OUTBnが接続されている。

[0119]

順序回路30__1には、信号LINとして信号SPが入力される。また、nが2以上の順序回路30__nには、信号LINとして、一つ前の段の順序回路30__n-1の出力端子OUTAの信号が入力される。また、順序回路30__nには、信号RINとして、順序回路30__n+2の出力端子OUTAの信号が入力される。

[0120]

具体的には、順序回路30__1は、信号CK1、信号CK2、信号CK3、信号SP、及び順序回路30__3の出力端子OUTAの信号が入力され、配線OUTA1及び配線OUTB1に出力信号を出力する。また、順序回路30__2は、信号CK2、信号CK3、信号CK4、順序回路30__1の出力端子OUTAの信号、及び順序回路30__4の出力端子OUTAの信号が入力され、配線OUTA2及び配線OUTB2に出力信号を出力する。

[0121]

図7Cに、駆動回路40の駆動方法にかかるタイミングチャートを示している。図7Cでは、上から信号SP、信号CK1乃至信号CK4、配線OUTA1乃至配線OUTA6、配線OUTB1乃至配線OUTB6のそれぞれについて、電位の時間変化を示している。

[0122]

時刻T0において、信号SPが高電位となり、信号CK1が低電位である。このとき、配線OUTA1乃至配線OUTA6には低電位が出力され、配線OUTB2乃至配線OUTB6には、高電位が出力される。また信号SPが高電位になることで、配線OUTB1には低電位が出力される。

[0123]

時刻T1において、信号CK1が低電位から高電位になることで、順序回路30__1から配線OUTA1に高電位が出力され、配線OUTB1は低電位が維持される。また時刻T1において、配線OUTB2には低電位が出力される。以降、信号CK1乃至信号CK4により、配線OUTA2以降の配線に順次高電位が、配線OUTB2以降の配線に順次低電位が出力される。

[0124]

信号CK1乃至信号CK4は、それぞれ4分の1周期ずつずれたクロック信号である。そのため、図7Cに示すように、配線OUTA1乃至配線OUTA6、及び配線OUTB1乃至配線OUTB6には、信号CK1等の4分の1周期ずつずれた信号が出力される。

[0125]

[駆動回路の構成例2]

図8Aに、上記とは一部の構成が異なる駆動回路40aの構成例を示している。

[0126]

駆動回路40aには、クロック信号として、信号CK1と信号CK2が与えられる。また、駆動回路40aは、複数のインバータ回路80を有する。

[0127]

インバータ回路80の入力端子には、信号CK1及び信号CK2のいずれか一方が入力され、出力端子からはその反転信号が出力される。2つの反転信号は、信号CK1及び信号CK2とそれぞれ半周期ずれた信号となるため、上記構成例1における信号CK3及び信号CK4と同様の信号となる。

[0128]

図8Aでは、一対のインバータ回路80が、4つの順序回路30__n毎に設けられている。より具体的には、一つのインバータ回路80に、3つの順序回路30が接続されている。このように、一つのインバータ回路80に接続される順序回路の数を少なくすることで、インバータ回路80に要求される出力能力を小さくでき、回路規模を小さくできる。

[0129]

インバータ回路80は、順序回路30と同一工程を経て形成されるトランジスタを適用することが好ましい。図8Bに、インバータ回路80に適用可能な構成の一例を示す。インバータ回路80は、上記回路13と同様の構成を有し、pチャネル型のトランジスタ81と、nチャネル型のトランジスタ82を有する。図8Bに示すように、例えばインバータ回路80に、クロック信号CKを入力すると、クロック信号CKを反転した反転クロック信号CKBを出力することができる。

[0130]

なお、駆動回路の構成はこれに限られず、用いる順序回路の構成に合わせて、信号及び配線等を適宜変更することができる。例えば、上記順序回路10d、及び順序回路10eのように、入力信号が少ない順序回路を用いることで、配線及び信号の一方または双方を削減でき、駆動回路を簡略化することができる。

[0131]

以上が駆動回路の構成例についての説明である。

[0132]

[表示装置の構成例]

以下では、本発明の一態様の駆動回路を適用可能な表示装置の構成例について説明する。

[0133]

図9Aに、表示装置70のブロック図を示す。表示装置70は、表示部D1、一对の駆動回路GD、及び駆動回路SDを有する。

[0134]

表示部D1には、複数の画素pixがマトリクス状に配置されている。画素pixは、それぞれ一つ以上の表示素子と、一つ以上のトランジスタを有する。

[0135]

駆動回路GDは、ゲート線駆動回路（走査線駆動回路、またはゲートドライバともいう）として機能する。駆動回路SDは、ソース線駆動回路（信号線駆動回路、またはソースドライバともいう）として機能する。

[0136]

上記で例示した、様々な順序回路、及び当該順序回路を用いた駆動回路を、駆動回路GDに用いることができる。

[0137]

表示部D1に設けられる画素pixのうち、奇数行に位置する画素pixは一方の駆動回路GDに、偶数行に位置する画素pixは他方の駆動回路に電氣的に接続されている。このような構成とすることで、それぞれの駆動回路GDの占有面積を小さくでき、狭額縁な表示装置を実現することができる。

[0138]

ここで、駆動回路GDと画素pixとは、走査線GL1及び走査線GL2を介して電氣的に接続されている。また駆動回路SDと画素pixとは、信号線SLを介して電氣的に接続されている。

[0139]

ここで、走査線GL1には、上記で例示した順序回路の出力端子OUTAの出力信号が与えられる。また、走査線GL2には、出力端子OUTBの出力信号が与えられる。そのため、走査線GL1は選択時に高電位が、非選択時には低電位が常に与えられる。一方、走査線GL2は選択時に低電位が、非選択時には高電位が常に与えられる。

[0140]

図9Bに、画素pixの一例を示している。画素pixは、表示素子として発光素子を適用した場合の例である。画素pixは、トランジスタ71、トランジスタ72、トランジスタ73、発光素子74、及び容量CSを有する。トランジスタ71は、選択トランジスタとして機能する。トランジスタ72は、発光素子74に流れる電流を制御する駆動トランジスタとして機能する。トランジスタ73は、発光素子74に流れる電流を遮断する機能を有する。トランジスタ71及びトランジスタ73はnチャンネル型のトランジスタであり、トランジスタ72はpチャンネル型のトランジスタである。

[0141]

トランジスタ71は、ゲートが走査線GL1に、ソース及びドレインの一方が信号線SLに、他方がトランジスタ72のゲート、及び容量CSの一方の電極と、それぞれ電氣的に接続されている。トランジスタ72は、ソース及びドレインの一方が配線AL及び容量CSの他方の電極と、他方がトランジスタ73のソース及びドレインの一方と、それぞれ電氣的に接続されている。トランジスタ

タ73は、ゲートが走査線GL2と、ソース及びドレインの他方が発光素子74の一方の電極と、それぞれ電氣的に接続されている。発光素子74は、他方の電極が配線CLと電氣的に接続されている。配線ALにはアノード電位が、配線CLには、アノード電位よりも低いカソード電位が、それぞれ与えられる。

[0142]

画素pixに信号線SLの電位を書き込む際、走査線GL1に高電位が与えられ、トランジスタ71が導通状態となる。このとき、走査線GL2には低電位が与えられるため、トランジスタ73が非導通状態となり、発光素子74に流れる電流が遮断される。このように、画素pixへのデータの書き込み時に発光素子74が意図しない輝度で発光することを防ぐことができ、表示品位を高めることができる。

[0143]

また、画素pixへの書き込み動作が終了したのち、走査線GL1には低電位が与えられ、トランジスタ71が非導通状態となる。また、走査線GL2には高電位が与えられるため、トランジスタ73が導通状態となり、トランジスタ72のゲート電位に応じた電流がトランジスタ73を介して発光素子74に流れる。

[0144]

なお、画素pixの構成はこれに限られず、様々な構成とすることができる。例えば、走査線GL1と走査線GL2とに、それぞれゲートが接続されるトランジスタを少なくとも有する構成とすることが好ましい。

[0145]

以上が、表示装置の構成例についての説明である。

[0146]

[トランジスタの構成例]

以下では、上記で例示した順序回路、駆動回路、及び表示装置等に適用することのできるトランジスタのより具体的な構成例について説明する。ここでは、チャンネル形成領域に多結晶シリコンを有するトランジスタ(LTPSトランジスタ)と、チャンネル形成領域に酸化物半導体を有するトランジスタ(OSトランジスタ)とにより構成されるインバータ回路を例に説明する。

[0147]

[構成例1]

図10Aに、インバータ回路の上面概略図を示す。インバータ回路は、トランジスタ310とトランジスタ350を有する。トランジスタ310は、LTPSトランジスタであり、トランジスタ350はOSトランジスタである。トランジスタ310は、上記で例示したトランジスタ25等に適用することができる。また、トランジスタ350は、上記で例示したトランジスタ26等に適用することができる。

[0148]

OSトランジスタとしては、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを用いることができる。半導体層は、例えば、インジウムと、M(Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種または複数種)と、亜鉛と、を有する

ことが好ましい。特に、Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種または複数種であることが好ましい。特に、OSトランジスタの半導体層として、インジウム、ガリウム、及び亜鉛を含む酸化物（IGZOとも記す）を用いることが好ましい。または、インジウム、スズ、及び亜鉛を含む酸化物を用いることが好ましい。または、インジウム、ガリウム、スズ、及び亜鉛を含む酸化物を用いることが好ましい。

[0149]

シリコンよりもバンドギャップが広く、かつキャリア密度の小さい酸化物半導体を用いたトランジスタは、極めて小さいオフ電流を実現することができる。そのため、その小さいオフ電流により、トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。

[0150]

図10Aに示す導電層313の一部は、入力端子INとして機能する。導電層314bの一部は、出力端子OUTの一部として機能する。導電層314cの一部は、電位VSSが与えられる配線として機能する。導電層314dの一部は、電位VDDが与えられる配線として機能する。

[0151]

図10Aでは、並列に接続された6個のトランジスタ310と、並列に接続された4個のトランジスタ350を有する例を示している。大きな電流を流す必要がある場合などでは、チャンネル幅の大きな一つのトランジスタを用いるのではなく、チャンネル長の比較的小さいトランジスタを並列して用いることで、電流による発熱を軽減でき、回路の信頼性を向上させることができる。

[0152]

図10Bは、図10A中の一点鎖線A-Bに沿った断面概略図である。図10Bでは、トランジスタ310及びトランジスタ350のチャンネル長方向の断面を示している。

[0153]

基板301上に、絶縁層321が設けられ、絶縁層321上にトランジスタ310とトランジスタ350が設けられている。

[0154]

トランジスタ310は、半導体層311と、半導体層311を覆う絶縁層312と、絶縁層312上に位置し、半導体層311と重畳する導電層313と、を有する。また、導電層313及び絶縁層312を覆う絶縁層322と、絶縁層322上に絶縁層352と、絶縁層352上に絶縁層326等が設けられている。半導体層311は、多結晶シリコンを含む。半導体層311は、チャンネル形成領域311iと、チャンネル形成領域311iを挟む一対の低抵抗領域311pを有する。絶縁層312の一部は、トランジスタ310のゲート絶縁層として機能する。導電層313の一部は、トランジスタ310のゲート電極として機能する。

[0155]

絶縁層322は、水素及び水に対するバリア性を有する第1の絶縁膜と、酸化物を含む第2の絶縁膜と、が積層された積層構造を有することが好ましい。第1の絶縁膜は、上記図1C等で例示した絶縁層62に相当し、第2の絶縁膜は、絶縁層63に相当する。第1の絶縁膜及び第2の絶縁膜に用いることのできる材料などは、上記記載を援用することができる。

[0156]

低抵抗領域311pは、不純物元素を含む領域である。例えばトランジスタ310をnチャンネル型のトランジスタとする場合には、低抵抗領域311pにリンまたはヒ素などを添加すればよい。

一方、pチャネル型のトランジスタとする場合には、低抵抗領域311pにホウ素またはアルミニウムなどを添加すればよい。ここでは、トランジスタ310をpチャネル型のトランジスタとする。また、トランジスタ310のしきい値電圧を制御するため、チャネル形成領域311iに、上述した不純物が添加されていてもよい。

[0157]

トランジスタ350は、絶縁層312上の導電層313と、導電層313を覆う絶縁層322と、絶縁層322上の半導体層351と、半導体層351を覆う絶縁層352と、絶縁層352上に位置し、半導体層351と重畳する導電層353aと、を有する。また、絶縁層352及び導電層353aを覆って、絶縁層326が設けられている。半導体層351は、酸化物半導体を含む。

[0158]

半導体層351の導電層353aまたは導電層313のいずれか一方または両方と重なる領域は、チャネル形成領域として機能する。絶縁層322の一部は、トランジスタ350のバックゲート絶縁層（第2のゲート絶縁層）として機能する。絶縁層352の一部は、トランジスタ350のゲート絶縁層（第1のゲート絶縁層）として機能する。導電層313の他の一部は、トランジスタ350のバックゲート電極（第2のゲート電極）として機能する。導電層353aの一部は、トランジスタ350のゲート電極（第1のゲート電極）として機能する。

[0159]

絶縁層326上に、導電層314a、導電層314b、及び導電層314cが設けられている。導電層314a及び導電層314bは、絶縁層326、絶縁層352、絶縁層322、及び絶縁層312に設けられ、低抵抗領域311pに達する開口部において、低抵抗領域と電氣的に接続されている。導電層314b及び導電層314cは、絶縁層326及び絶縁層352に設けられ、半導体層351に達する開口部において、半導体層351と電氣的に接続されている。

[0160]

図10A及び図10Bに示すように、導電層313は、トランジスタ310のゲート電極と、トランジスタ350のバックゲート電極を兼ねる。導電層353aと導電層313とは、破線で示す開口部において互いに電氣的に接続されており、これらには入力端子INから入力される同じ電位が与えられる。

[0161]

以下では、上記とは一部の構成が異なるトランジスタの構成例について説明する。

[0162]

〔構成例2〕

図11Aには、トランジスタ310の代わりに、一対のゲート電極を有するトランジスタ310aを適用した例を示す。トランジスタ310aは、導電層315、及び絶縁層316を有する点で、トランジスタ310と主に相違している。

[0163]

導電層315は、絶縁層321上に設けられている。また、導電層315及び絶縁層321を覆って、絶縁層316が設けられている。半導体層311は、少なくともチャネル形成領域311iが、絶縁層316を介して導電層315と重なるように設けられている。

[0164]

トランジスタ310aにおいて、導電層313の一部が第1のゲート電極として機能し、導電層

315の一部が第2のゲート電極として機能する。またこのとき、絶縁層312の一部が第1のゲート絶縁層として機能し、絶縁層316の一部が第2のゲート絶縁層として機能する。

[0165]

ここで、第1のゲート電極と、第2のゲート電極とを電氣的に接続する場合、図示しない領域において、絶縁層312及び絶縁層316に設けられた開口部を介して導電層313と導電層315とを電氣的に接続すればよい。また、第2のゲート電極と、ソースまたはドレインとを電氣的に接続する場合、図示しない領域において、絶縁層322、絶縁層312、及び絶縁層316に設けられた開口部を介して、導電層314aまたは導電層314bと、導電層315とを電氣的に接続すればよい。

[0166]

[構成例3]

図11Bには、図10Bにおけるトランジスタ350の代わりに、トランジスタ350aを適用した例を示す。トランジスタ350aは、絶縁層352の形状が異なる点で、主に相違している。

[0167]

絶縁層352は、導電層353bと同じレジストマスクを用いて加工されている。半導体層351の絶縁層352に覆われない領域は、その表面が絶縁層326に接している。半導体層351の、絶縁層326と接する領域では、チャンネル形成領域よりもキャリアが多く存在しうるため、電気抵抗を好適に下げることができる。

[0168]

また、図11Bでは、導電層353bの端部が、絶縁層352の端部よりも内側に位置する例を示している。このような構成とすることで、半導体層351には、チャンネル形成領域と低抵抗な領域との間に、比較的高抵抗な領域を設けることができる。すなわち、LDD (Lightly Doped Drain) 構造が実現されるため、信頼性を高めることができる。なお、これに限られず、導電層353bの端部と、絶縁層352の端部とが概略一致し、絶縁層352と導電層353bとが上面形状が概略一致するように加工されていてもよい。

[0169]

なお、本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

[0170]

[構成例4]

図11Cには、トランジスタ310aと、トランジスタ350aを適用した場合の例を示している。トランジスタ310aとトランジスタ350aの構成については、上記の記載を援用できる。

[0171]

以上が、トランジスタの構成例についての説明である。

[0172]

[金属酸化物について]

以下では、OSトランジスタの半導体層に適用可能な金属酸化物について説明する。

[0173]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。例えば、亜鉛酸窒化物 (ZnON) などの窒素を有する金属酸化物を、半導体層に用いてもよい。

[0174]

なお、本明細書等において、CAAC (c-axis aligned crystal)、及びCAC (Cloud-Aligned Composite) と記載する場合がある。CAAC は結晶構造の一例を表し、CACは機能または材料の構成の一例を表す。

[0175]

例えば、半導体層にはCAC (Cloud-Aligned Composite) -OS (Oxide Semiconductor) を用いることができる。

[0176]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子 (またはホール) を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Offさせる機能) をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0177]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0178]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0179]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つま

り大きなオン電流、及び高い電界効果移動度を得ることができる。

[0180]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

[0181]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、及び非晶質酸化物半導体などがある。

[0182]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0183]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形及び七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう。) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、または金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0184]

また、CAAC-OSは、インジウム、及び酸素を有する層 (以下、In層) と、元素M、亜鉛、及び酸素を有する層 (以下、(M, Zn)層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0185]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入または欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物及び欠陥 (酸素欠損 (V_O: oxygen vacancyともいう。) など) の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0186]

nc-OSは、微小な領域 (例えば、1nm以上10nm以下の領域、特に1nm以上3nm以

下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSまたは非晶質酸化物半導体と区別が付かない場合がある。

[0187]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物(以下、IGZO)は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶(ここでは、数mmの結晶、または数cmの結晶)よりも小さな結晶(例えば、上述のナノ結晶)とする方が、構造的に安定となる場合がある。

[0188]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

[0189]

酸化物半導体(金属酸化物)は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0190]

半導体層として機能する金属酸化物膜は、不活性ガス及び酸素ガスのいずれか一方または双方を用いて成膜することができる。なお、金属酸化物膜の成膜時における酸素の流量比(酸素分圧)に、特に限定はない。ただし、電界効果移動度が高いトランジスタを得る場合においては、金属酸化物膜の成膜時における酸素の流量比(酸素分圧)は、0%以上30%以下が好ましく、5%以上30%以下がより好ましく、7%以上15%以下がさらに好ましい。

[0191]

金属酸化物は、エネルギーギャップが2eV以上であることが好ましく、2.5eV以上であることがより好ましく、3eV以上であることがさらに好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0192]

金属酸化物膜の成膜時の基板温度は、350°C以下が好ましく、室温以上200°C以下がより好ましく、室温以上130°C以下がさらに好ましい。金属酸化物膜の成膜時の基板温度が室温であると、生産性を高めることができ、好ましい。

[0193]

金属酸化物膜は、スパッタリング法により形成することができる。そのほか、例えばPLD法、PECVD法、熱CVD法、ALD法、真空蒸着法などを用いてもよい。

[0194]

以上が、金属酸化物についての説明である。

[0195]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせることで実施することができる。

[0196]

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図 1 2 A 乃至図 1 2 C を用いて説明を行う。

[0197]

図 1 2 A に示す表示装置は、画素部 5 0 2 と、駆動回路部 5 0 4 と、保護回路 5 0 6 と、端子部 5 0 7 と、を有する。なお、保護回路 5 0 6 は、設けない構成としてもよい。

[0198]

画素部 5 0 2 は、X 行 Y 列 (X、Y はそれぞれ独立に 2 以上の自然数) に配置された画素回路 5 0 1 を有する。各画素回路 5 0 1 は、それぞれ表示素子を駆動する回路を有する。

[0199]

駆動回路部 5 0 4 は、ゲート線 G L₁ 乃至ゲート線 G L_X に走査信号を出力するゲートドライバ 5 0 4 a、データ線 D L₁ 乃至データ線 D L_Y にデータ信号を供給するソースドライバ 5 0 4 b などの駆動回路を有する。ゲートドライバ 5 0 4 a は、少なくともシフトレジスタを有する構成とすればよい。またソースドライバ 5 0 4 b は、例えば複数のアナログスイッチなどを用いて構成される。また、シフトレジスタなどを用いてソースドライバ 5 0 4 b を構成してもよい。

[0200]

ゲートドライバ 5 0 4 a に、本発明の一態様の順序回路を適用することができる。また、ソースドライバ 5 0 4 b にも、本発明の一態様の順序回路を適用してもよい。

[0201]

端子部 5 0 7 は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分をいう。

[0202]

保護回路 5 0 6 は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図 1 2 A に示す保護回路 5 0 6 は、例えば、ゲートドライバ 5 0 4 a と画素回路 5 0 1 の間の配線であるゲート線 G L、またはソースドライバ 5 0 4 b と画素回路 5 0 1 の間の配線であるデータ線 D L 等の各種配線に接続される。なお図 1 2 A では、保護回路 5 0 6 と画素回路 5 0 1 とを区別するため、保護回路 5 0 6 にハッチングを付している。

[0203]

また、ゲートドライバ 5 0 4 a とソースドライバ 5 0 4 b は、それぞれ画素部 5 0 2 と同じ基板上に設けられていてもよいし、ゲートドライバ回路またはソースドライバ回路が別途形成された基板 (例えば、単結晶半導体または多結晶半導体で形成された駆動回路基板) を COG または TAB (Tape Automated Bonding) によって、画素部 5 0 2 が設けられる基板に実装する構成としてもよい。

[0204]

図 1 2 B 及び図 1 2 C に、画素回路 5 0 1 に適用することのできる画素回路の構成の一例を示す。図 1 2 B 及び図 1 2 C には、m 行 n 列目 (m は 1 以上 X 以下の自然数、n は 1 以上 Y 以下の自然数) の画素回路を示す。

[0205]

図 1 2 B に示す画素回路 5 0 1 は、液晶素子 5 7 0 と、トランジスタ 5 5 0 と、容量素子 5 6 0 と、を有する。また画素回路 5 0 1 には、データ線 D L_n、ゲート線 G L_m、電位供給線 V L

等が接続されている。

[0206]

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に依じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。

[0207]

また、図12Cに示す画素回路501は、トランジスタ552と、トランジスタ554と、容量素子562と、発光素子572と、を有する。また画素回路501には、データ線DL_n、ゲート線GL_m、電位供給線VL_a、及び電位供給線VL_b等が接続されている。

[0208]

なお、電位供給線VL_a及び電位供給線VL_bの一方には、高電源電位である電位VDDが与えられ、他方には、低電源電位である電位VSSが与えられる。トランジスタ554のゲートに与えられる電位に応じて、発光素子572に流れる電流が制御されることにより、発光素子572からの発光輝度が制御される。

[0209]

表示素子として発光素子を用いる場合には、OLED (Organic Light Emitting Diode) またはQLED (Quantum-dot Light Emitting Diode) などのEL素子を用いることが好ましい。EL素子が有する発光物質としては、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光 (Thermally activated delayed fluorescence: TADF) 材料）、無機化合物（量子ドット材料など）などが挙げられる。また、発光素子として、マイクロLED (Light Emitting Diode) などのLEDを用いることもできる。

[0210]

LEDとしては、サイズの大きいものからマクロLED（巨大LEDともいう）、ミニLED、マイクロLEDなどがある。ここで、LEDチップの一辺の寸法が1mmを超えるものをマクロLED、100μmより大きく1mm以下のものをミニLED、100μm以下のものをマイクロLEDと呼ぶ。画素に適用するLED素子として、特にマイクロLEDを用いることが好ましい。マイクロLEDを用いることで、極めて高精細な表示装置を実現できる。

[0211]

図12Bに示したトランジスタ550、または、図12Cに示したトランジスタ552及びトランジスタ554は、ゲートドライバ504aが有するトランジスタと、同一基板上に設けられることが好ましい。

[0212]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせる実施することができる。

[0213]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ

て実施することができる。

[0214]

(実施の形態3)

本実施の形態では、本発明の一態様を用いて作製することができる表示モジュールについて説明する。

[0215]

図13Aに示す表示モジュール6000は、上部カバー6001と下部カバー6002との間に、FPC6005が接続された表示装置6006、フレーム6009、プリント基板6010、及びバッテリー6011を有する。

[0216]

例えば、本発明の一態様を用いて作製された表示装置を、表示装置6006に用いることができる。表示装置6006により、極めて消費電力の低い表示モジュールを実現することができる。

[0217]

上部カバー6001及び下部カバー6002は、表示装置6006のサイズに合わせて、形状及び寸法を適宜変更することができる。

[0218]

表示装置6006はタッチパネルとしての機能を有していてもよい。

[0219]

フレーム6009は、表示装置6006の保護機能、プリント基板6010の動作により発生する電磁波を遮断する機能、放熱板としての機能等を有していてもよい。

[0220]

プリント基板6010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路、バッテリー制御回路等を有する。

[0221]

図13Bは、光学式のタッチセンサを備える場合の、表示モジュール6000の断面概略図である。

[0222]

表示モジュール6000は、プリント基板6010に設けられた発光部6015及び受光部6016を有する。また、上部カバー6001と下部カバー6002により囲まれた領域に一对の導光部(導光部6017a、導光部6017b)を有する。

[0223]

表示装置6006は、フレーム6009を間に介してプリント基板6010及びバッテリー6011などと重ねて設けられている。表示装置6006とフレーム6009は、導光部6017a、導光部6017bに固定されている。

[0224]

発光部6015から発せられた光6018は、導光部6017aにより表示装置6006の上部を経由し、導光部6017bを通して受光部6016に達する。例えば指またはスタイラスなどの被検知体により、光6018が遮られることにより、タッチ操作を検出することができる。

[0225]

発光部6015は、例えば表示装置6006の隣接する2辺に沿って複数設けられる。受光部6

016は、発光部6015と対向する位置に複数設けられる。これにより、タッチ操作がなされた位置の情報を取得することができる。

[0226]

発光部6015は、例えばLED素子などの光源を用いることができ、特に、赤外線を発する光源を用いることが好ましい。受光部6016は、発光部6015が発する光を受光し、電気信号に変換する光電素子を用いることができる。好適には、赤外線を受光可能なフォトダイオードを用いることができる。

[0227]

光6018の経路を制御する導光部6017a、導光部6017bにより、発光部6015と受光部6016とを表示装置6006の下側に配置することができ、外光が受光部6016に到達してタッチセンサが誤動作することを抑制できる。特に、可視光を吸収し、赤外線を透過する樹脂を用いると、タッチセンサの誤動作をより効果的に抑制できる。

[0228]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[0229]

(実施の形態4)

本実施の形態では、本発明の一態様の表示装置を適用可能な、電子機器の例について説明する。

[0230]

図14Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0231]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

[0232]

表示部6502に、本発明の一態様の表示装置を適用することができる。

[0233]

図14Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0234]

筐体6501の表示面側には透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

[0235]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が図示しない接着層により固定されている。

[0236]

また、表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されている。また、当該折り返された部分に、FPC6515が接続されている。FPC6515には、IC6516が実装されている。またFPC6515は、プリント基板6517に設けられた端子に

接続されている。

[0237]

表示パネル6511には本発明の一態様のフレキシブルディスプレイパネルを適用することができる。そのため、極めて軽量な電子機器を実現できる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、画素部の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0238]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[0239]

(実施の形態5)

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。

[0240]

以下で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い解像度が実現された電子機器である。また高い解像度と、大きな画面が両立された電子機器とすることができる。

[0241]

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、4K2K、8K4K、16K8K、またはそれ以上の解像度を有する映像を表示させることができる。

[0242]

電子機器としては、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機、ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0243]

本発明の一態様が適用された電子機器は、家屋またはビルなどの内壁または外壁、自動車等の内装または外装等が有する平面または曲面に沿って組み込むことができる。

[0244]

図15Aは、ファインダー8100を取り付けた状態のカメラ8000の外観を示す図である。

[0245]

カメラ8000は、筐体8001、表示部8002、操作ボタン8003、シャッターボタン8004等を有する。またカメラ8000には、着脱可能なレンズ8006が取り付けられている。

[0246]

なおカメラ8000は、レンズ8006と筐体とが一体となってもよい。

[0247]

カメラ8000は、シャッターボタン8004を押す、またはタッチパネルとして機能する表示部8002をタッチすることにより撮像することができる。

[0248]

筐体 8001 は、電極を有するマウントを有し、ファインダー 8100 のほか、ストロボ装置等を接続することができる。

[0249]

ファインダー 8100 は、筐体 8101、表示部 8102、ボタン 8103 等を有する。

[0250]

筐体 8101 は、カメラ 8000 のマウントと係合するマウントにより、カメラ 8000 に取り付けられている。ファインダー 8100 はカメラ 8000 から受信した映像等を表示部 8102 に表示させることができる。

[0251]

ボタン 8103 は、電源ボタン等としての機能を有する。

[0252]

カメラ 8000 の表示部 8002、及びファインダー 8100 の表示部 8102 に、本発明の一態様の表示装置を適用することができる。なお、ファインダーが内蔵されたカメラ 8000 であってもよい。

[0253]

図 15B は、ヘッドマウントディスプレイ 8200 の外観を示す図である。

[0254]

ヘッドマウントディスプレイ 8200 は、装着部 8201、レンズ 8202、本体 8203、表示部 8204、ケーブル 8205 等を有している。また装着部 8201 には、バッテリー 8206 が内蔵されている。

[0255]

ケーブル 8205 は、バッテリー 8206 から本体 8203 に電力を供給する。本体 8203 は無線受信機等を備え、受信した映像情報を表示部 8204 に表示させることができる。また、本体 8203 はカメラを備え、使用者の眼球、またはまぶたの動きの情報を入力手段として用いることができる。

[0256]

また、装着部 8201 には、使用者に触れる位置に、使用者の眼球の動きに伴って流れる電流を検知可能な複数の電極が設けられ、視線を認識する機能を有していてもよい。また、当該電極に流れる電流により、使用者の脈拍をモニタする機能を有していてもよい。また、装着部 8201 には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部 8204 に表示する機能、または使用者の頭部の動きに合わせて表示部 8204 に表示する映像を変化させる機能などを有していてもよい。

[0257]

表示部 8204 に、本発明の一態様の表示装置を適用することができる。

[0258]

図 15C、図 15D、及び図 15E は、ヘッドマウントディスプレイ 8300 の外観を示す図である。ヘッドマウントディスプレイ 8300 は、筐体 8301 と、表示部 8302 と、バンド状の固定具 8304 と、一对のレンズ 8305 と、を有する。

[0259]

使用者は、レンズ 8305 を通して、表示部 8302 の表示を視認することができる。なお、表

示部 8302 を湾曲して配置させると、使用者が高い臨場感を感じることができるため好ましい。また、表示部 8302 の異なる領域に表示された別の画像を、レンズ 8305 を通して視認することで、視差を用いた 3次元表示等を行うこともできる。なお、表示部 8302 を 1つ設ける構成に限られず、表示部 8302 を 2つ設け、使用者の片方の目につき 1つの表示部を配置してもよい。

[0260]

なお、表示部 8302 に、本発明の一態様の表示装置を適用することができる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図 15E のようにレンズ 8305 を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[0261]

図 16A 乃至図 16G に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005（電源スイッチ、又は操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9008、等を有する。

[0262]

図 16A 乃至図 16G に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画または動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0263]

図 16A 乃至図 16G に示す電子機器の詳細について、以下説明を行う。

[0264]

図 16A は、テレビジョン装置 9100 を示す斜視図である。テレビジョン装置 9100 は、大画面、例えば、50 インチ以上、または 100 インチ以上の表示部 9001 を組み込むことが可能である。

[0265]

図 16B は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えばスマートフォンとして用いることができる。なお、携帯情報端末 9101 は、スピーカ 9003、接続端子 9006、センサ 9007 等を設けてもよい。また、携帯情報端末 9101 は、文字または画像情報をその複数の面に表示することができる。図 16B では 3つのアイコン 9050 を表示した例を示している。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することもできる。情報 9051 の一例としては、電子メール、SNS、電話などの着信の通知、電子メールまたは SNS などの題名、送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報 9051 が表示されている位置にはアイコン 9050 などを表示してもよい。

[0266]

図16Cは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0267]

図16Dは、腕時計型の携帯情報端末9200を示す斜視図である。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、または充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0268]

図16E、図16F、及び図16Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図16Eは携帯情報端末9201を展開した状態、図16Gは折り畳んだ状態、図16Fは図16Eと図16Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径1mm以上150mm以下で曲げることができる。

[0269]

図17Aにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7500が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0270]

図17Aに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチだけでなく、別体のリモコン操作機7111により行うことができる。または、表示部7500にタッチパネルを適用し、これに触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、操作ボタンの他に表示部を有していてもよい。

[0271]

なお、テレビジョン装置7100は、テレビ放送の受信機だけでなく、ネットワーク接続のための通信装置を有していてもよい。

[0272]

図17Bに、ノート型パーソナルコンピュータ7200を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7500が組み込まれている。

[0273]

図17C、及び図17Dに、デジタルサイネージ (Digital Signage : 電子看板) の一例を示す。

[0274]

図17Cに示すデジタルサイネージ7300は、筐体7301、表示部7500、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0275]

また、図17Dは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7500を有する。

[0276]

表示部7500が広いほど、一度に提供できる情報量を増やすことができ、また人の目につきやすいため、例えば広告の宣伝効果を高める効果を奏する。

[0277]

表示部7500にタッチパネルを適用し、使用者が操作できる構成とすると好ましい。これにより、広告用途だけでなく、路線情報だけでなく、交通情報、商用施設の案内情報など、使用者が求める情報を提供するための用途にも用いることができる。

[0278]

また、図17C、及び図17Dに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、ユーザが所持するスマートフォン等の情報端末機7311と無線通信により連携可能であることが好ましい。例えば、表示部7500に表示される広告の情報を情報端末機7311の画面に表示させることだけでなく、情報端末機7311を操作することで、表示部7500の表示を切り替えることができる。

[0279]

また、デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数のユーザが同時にゲームに参加し、楽しむことができる。

[0280]

図17A乃至図17Dにおける表示部7500に、本発明の一態様の表示装置を適用することができる。

[0281]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせることで実施することができる。

[符号の説明]

[0282]

LIN、RIN、RES、CLK：信号：IN：入力端子：OUT：出力端子：OUTA、OUTB：出力端子：SP：信号：GD、SD：駆動回路：10、10a～10i：順序回路：11～13：回路：15a、15b：配線：21、22、23：トランジスタ：24n、24p：トランジスタ：25、26：トランジスタ：30：順序回路：31～34：トランジスタ：40、40a：駆動回路：41～47：トランジスタ：51：半導体層：51p：低抵抗領域：52：ゲート絶縁層：53：ゲート電極：54a：導電層：54b：導電層：54c：導電層：56n：低抵抗領域：56：半導体層：57：ゲート絶縁層：58：ゲート電極：60～64：絶縁層：70：表示装置：71～73：トランジスタ：74：発光素子：80：インバータ回路：81：トランジス

タ：82：トランジスタ：301：基板：310、310a：トランジスタ：311：半導体層：311i：チャンネル形成領域：311n：抵抗領域：311p：抵抗領域：312：絶縁層：313：導電層：314a～314d：導電層：315：導電層：316：絶縁層：321、322：絶縁層：326：絶縁層：350、350a：トランジスタ：351：半導体層：352：絶縁層：353a、353b：導電層

請求の範囲

[請求項1]

第1のトランジスタと、第2のトランジスタと、を有し、
前記第1のトランジスタは、第1の半導体層、第1のゲート電極、第1の電極、及び第2の電極を有し、
前記第2のトランジスタは、第2の半導体層、第2のゲート電極、第3の電極、及び第4の電極を有し、
前記第1のゲート電極と前記第2のゲート電極とは、互いに電氣的に接続され、
前記第2の電極と前記第3の電極とは、互いに電氣的に接続され、
前記第1の半導体層上の第1の絶縁層と、当該第1の絶縁層上の第2の絶縁層と、を有し、
前記第2の半導体層は、前記第2の絶縁層上に接して設けられ、
前記第1の絶縁層は、前記第2の絶縁層よりも、水素が拡散しにくく、
前記第2の絶縁層は、酸化物を含み、
前記第1の半導体層は、多結晶シリコンを含み、
前記第2の半導体層は、金属酸化物を含み、
前記第1のトランジスタは、p型トランジスタであり、
前記第2のトランジスタは、n型トランジスタである、
半導体装置。

[請求項2]

請求項1において、
前記第1の電極には、第1の電位が与えられ、
前記第4の電極には、前記第1の電位よりも低い第2の電位が与えられる、
半導体装置。

[請求項3]

制御回路と、第1のトランジスタと、第2のトランジスタと、を有し、
前記制御回路は、第1の配線と、第2の配線と、を有し、
前記制御回路は、複数の信号が与えられ、
前記制御回路は、複数の前記信号に基づいて、前記第1の配線と前記第2の配線に、互いに反転した電位が与えられるよう制御する機能を有し、
前記第1のトランジスタは、第1の半導体層、第1のゲート電極、第1の電極、及び第2の電極を有し、
前記第2のトランジスタは、第2の半導体層、第2のゲート電極、第3の電極、及び第4の電極を有し、
前記第2の電極と前記第3の電極とは、互いに電氣的に接続され、
前記第1のゲート電極と前記第2のゲート電極は、前記第1の配線と電氣的に接続され、
前記第1の半導体層上の第1の絶縁層と、当該第1の絶縁層上の第2の絶縁層と、を有し、
前記第2の半導体層は、前記第2の絶縁層上に接して設けられ、
前記第1の絶縁層は、前記第2の絶縁層よりも、水素が拡散しにくく、
前記第2の絶縁層は、酸化物を含み、
前記第1の半導体層は、多結晶シリコンを含み、

前記第2の半導体層は、金属酸化物を含み、
前記第1のトランジスタは、p型トランジスタであり、
前記第2のトランジスタは、n型トランジスタである、
半導体装置。

[請求項4]

請求項3において、
前記第1の電極には、第1の電位が与えられ、
前記第4の電極には、前記第1の電位よりも低い第2の電位が与えられ、
前記第2の電極には、前記第1の配線の電位に応じて、前記第1の電位及び前記第2の電位のい
ずれか一方が与えられる、
半導体装置。

[請求項5]

請求項3または請求項4において、
増幅回路を有し、
前記増幅回路は、前記第1の配線及び前記第2の配線と電気的に接続され、
前記増幅回路は、第1の出力端子を有し、
前記増幅回路は、前記第1の配線の電位に同期した電位を、前記第1の出力端子に出力する機能
を有し、
前記第1の出力端子の電位と前記第2の電極の電位とは、互いに反転した電位である、
半導体装置。

[請求項6]

請求項5において、
前記増幅回路は、第3のトランジスタ、第4のトランジスタ、及び第5のトランジスタを有し、
前記第3のトランジスタは、p型トランジスタであり、
前記第4のトランジスタ及び前記第5のトランジスタは、n型トランジスタであり、
前記第3のトランジスタ及び前記第5のトランジスタは、それぞれゲートが前記第2の配線と電
気的に接続され、
前記第4のトランジスタは、ゲートが前記第1の配線と電気的に接続され、
前記第3のトランジスタのソース及びドレインの一方、前記第4のトランジスタのソース及びド
レインの一方、及び前記第5のトランジスタのソース及びドレインの一方は、前記第1の出力端子
と電気的に接続され、
前記第3のトランジスタのソース及びドレインの他方と、前記第4のトランジスタのソース及び
ドレインの他方とは、互いに電気的に接続される、
半導体装置。

[請求項7]

請求項1乃至請求項6のいずれか一に記載の半導体装置と、画素と、を有し、
前記画素は、表示素子、及び第6のトランジスタを有し、
前記第6のトランジスタは、前記第1のトランジスタまたは前記第2のトランジスタと、同一面
上に設けられる、
表示装置。

[請求項 8]

請求項 7 において、
前記表示素子は、液晶素子、有機 EL 素子、または発光ダイオードである、
表示装置。

[請求項 9]

請求項 7 または請求項 8 に記載の表示装置と、
アンテナ、バッテリー、筐体、カメラ、スピーカ、マイク、及び操作ボタンのうち、少なくとも
一と、を有する、
電子機器。

图 1A

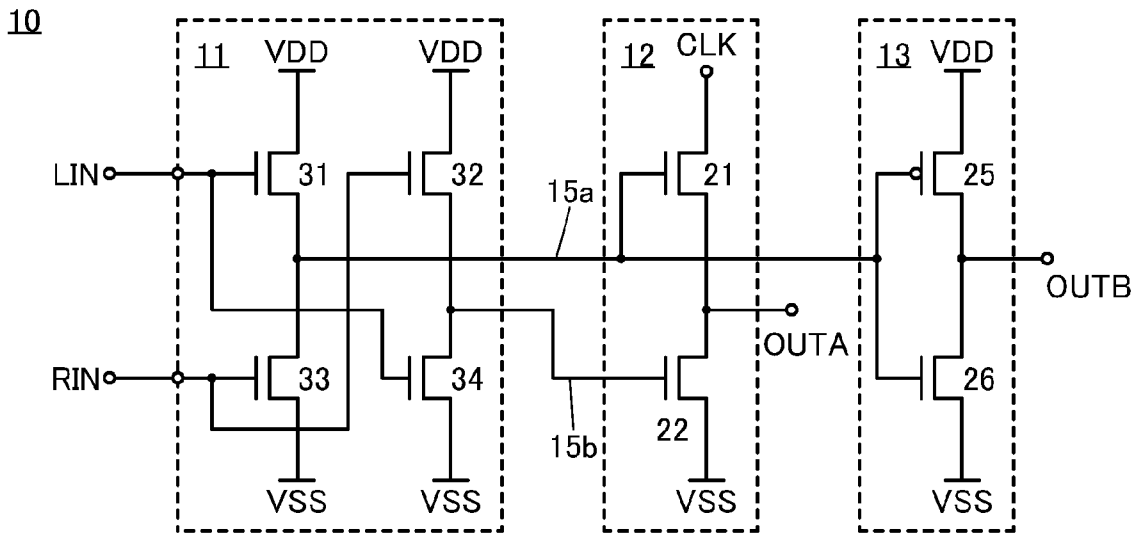


图 1B

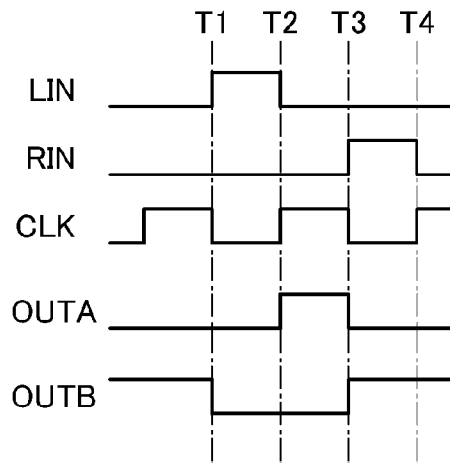
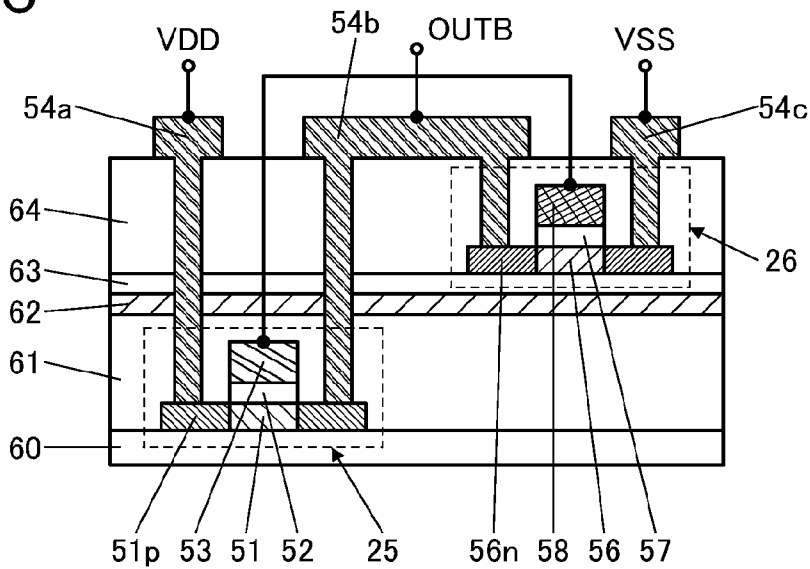
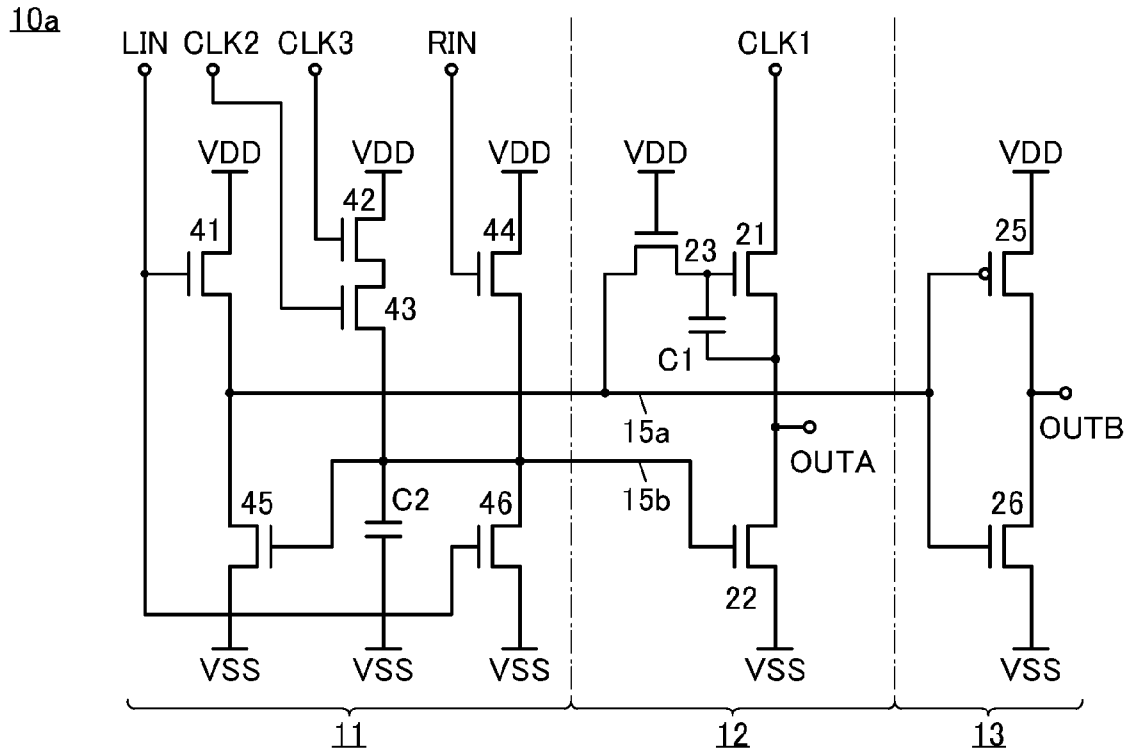


图 1C



2A



2B

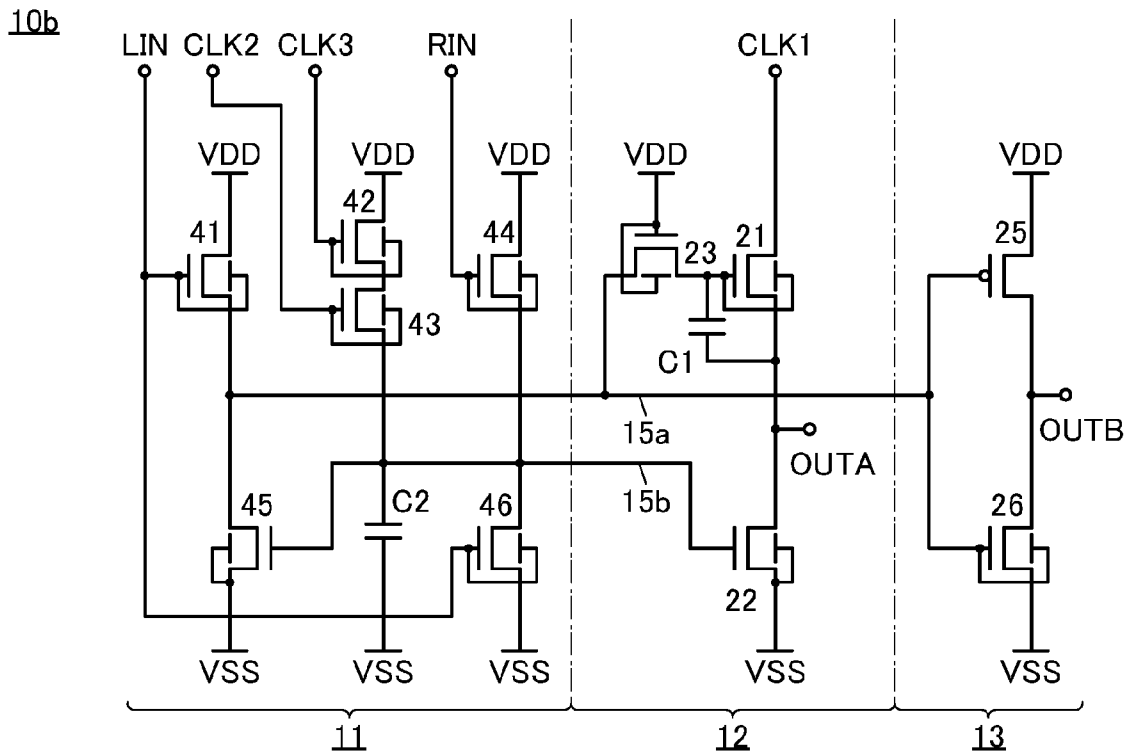


図3A

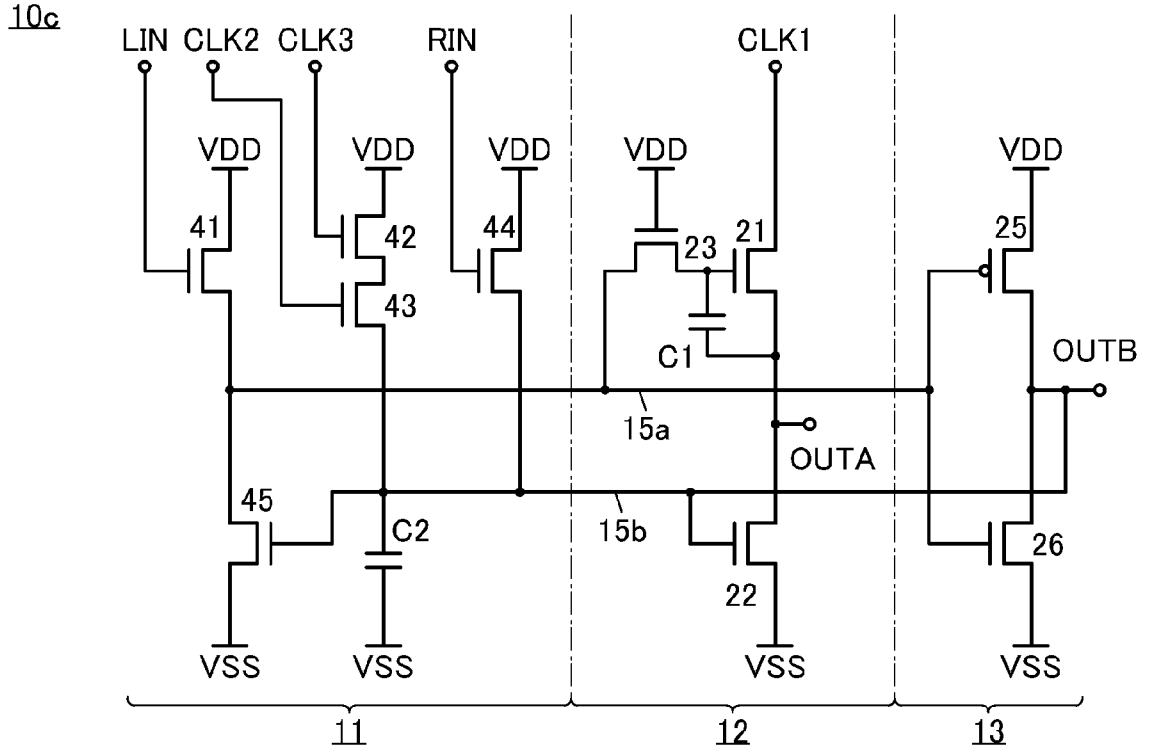


図3B

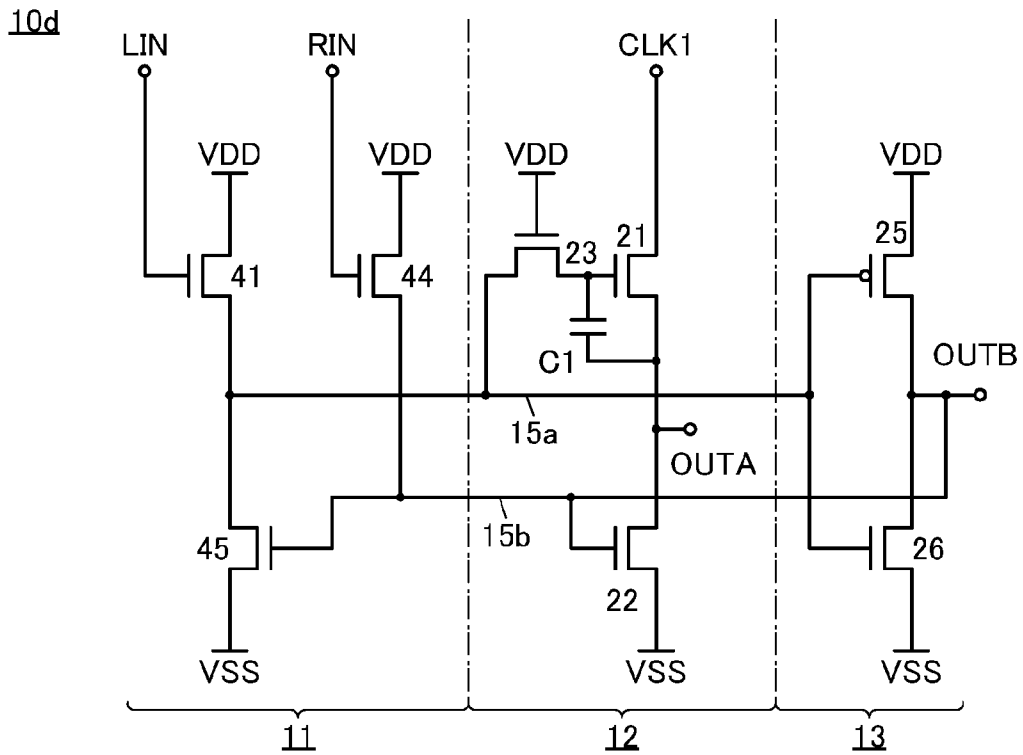


図4

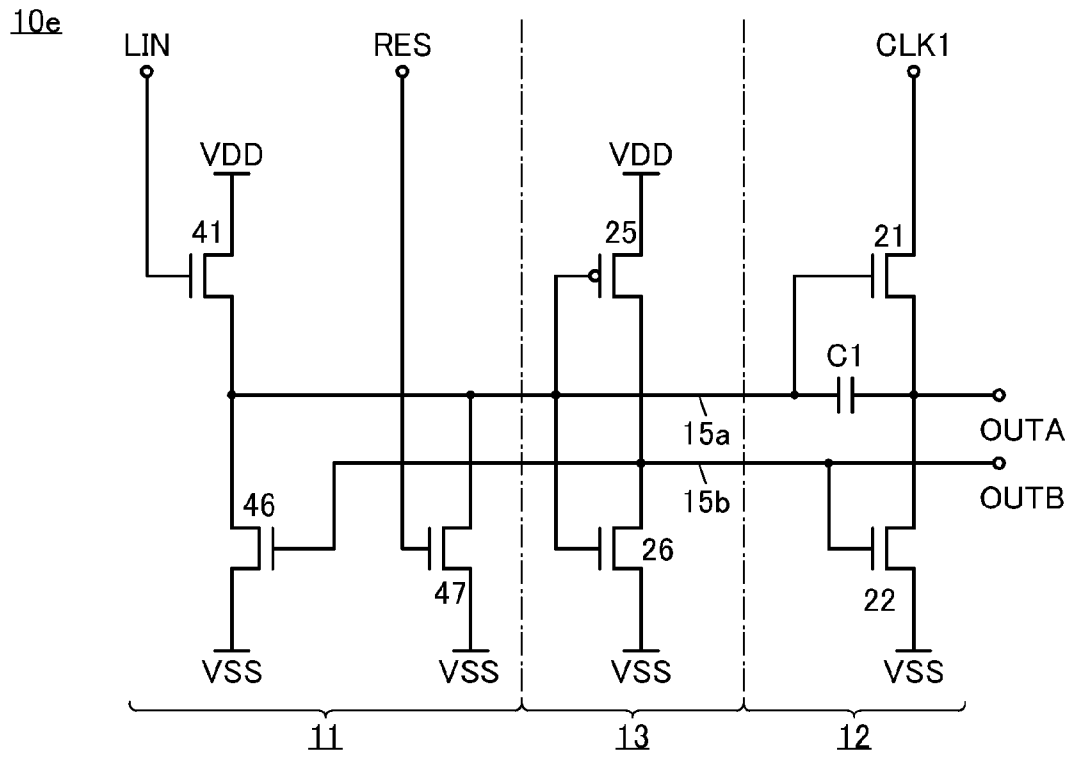


図5A

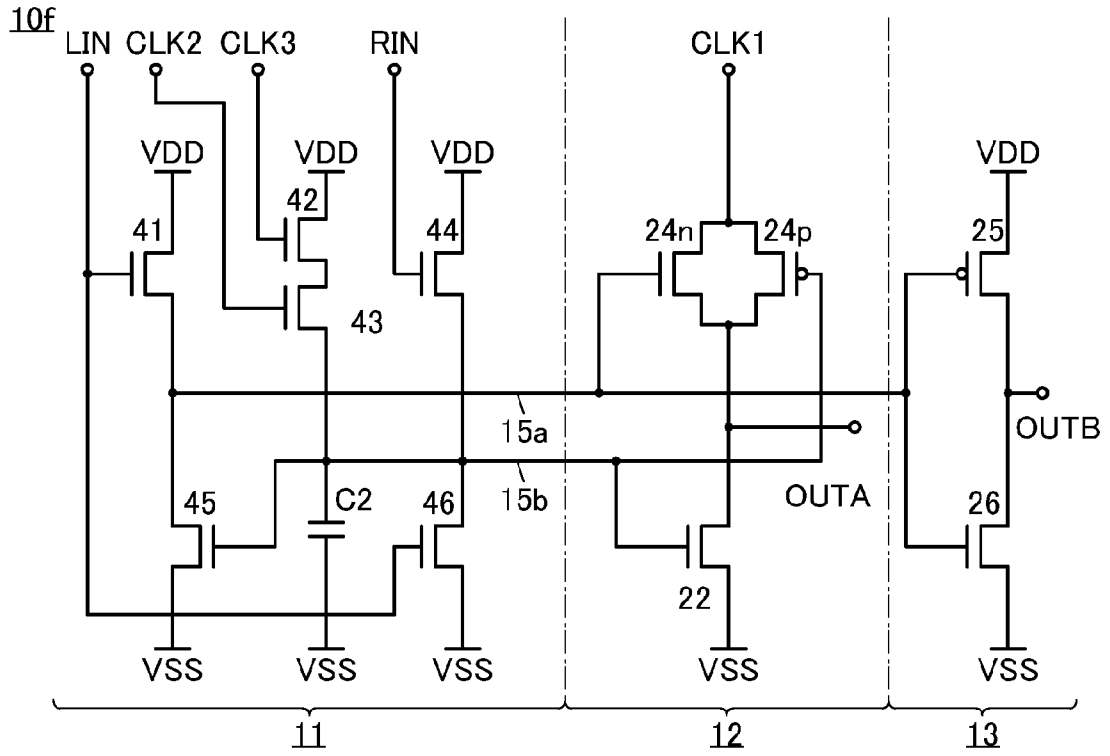


図5B

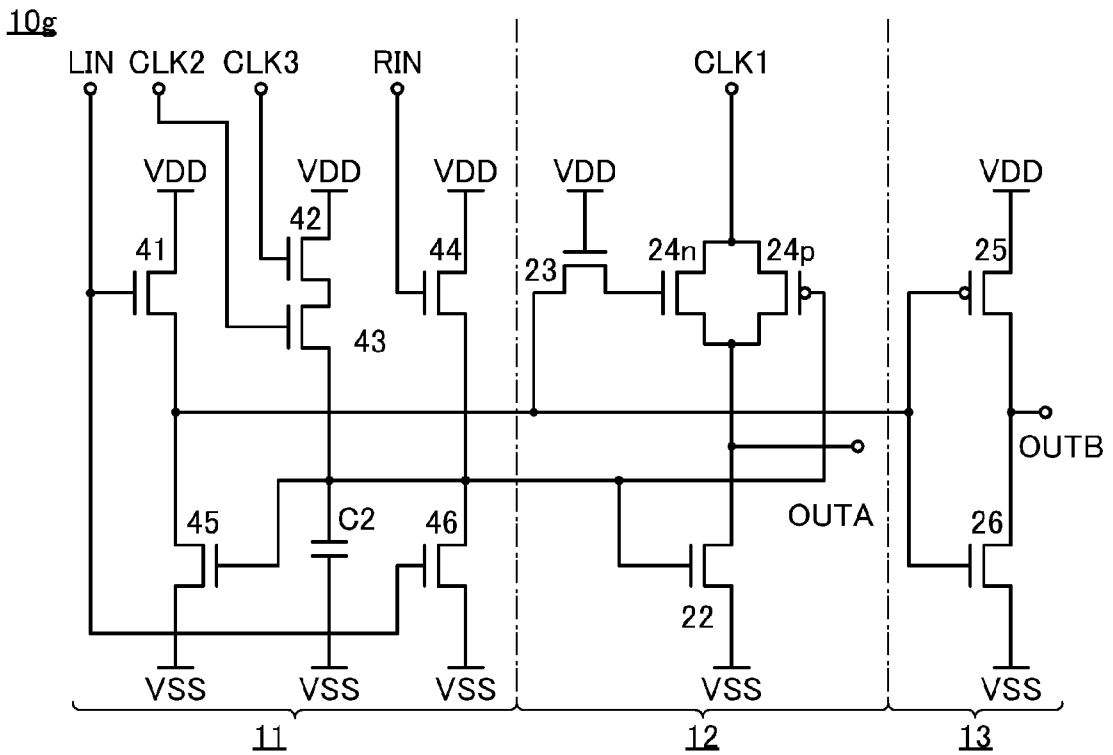


図6A

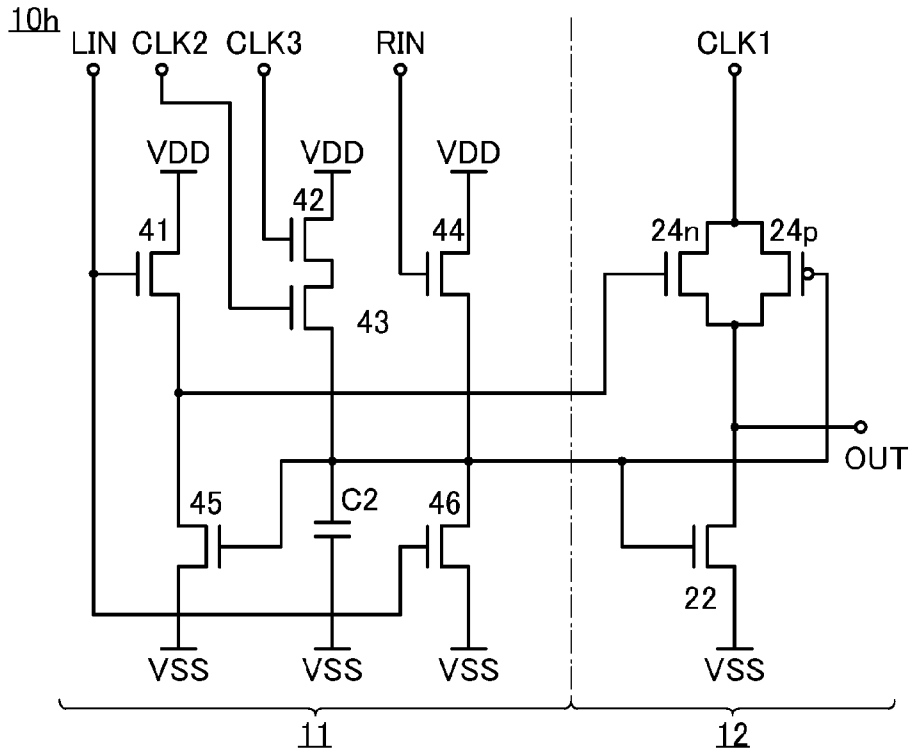
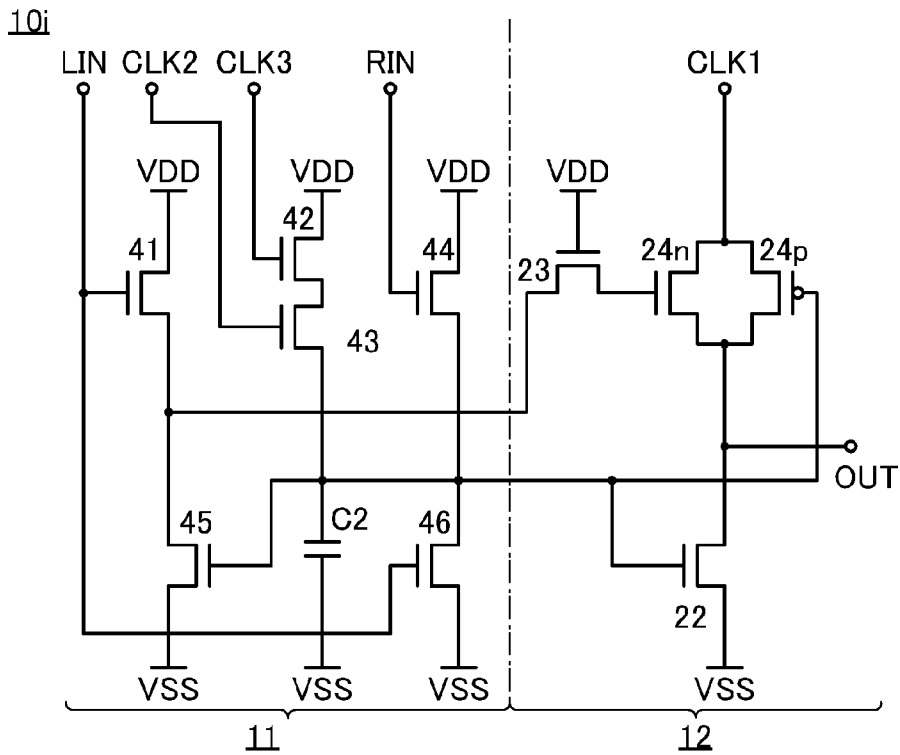
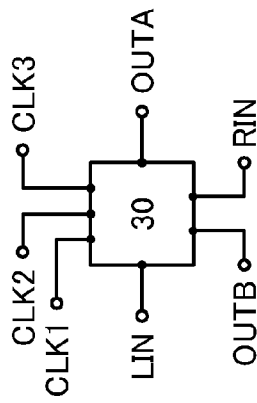


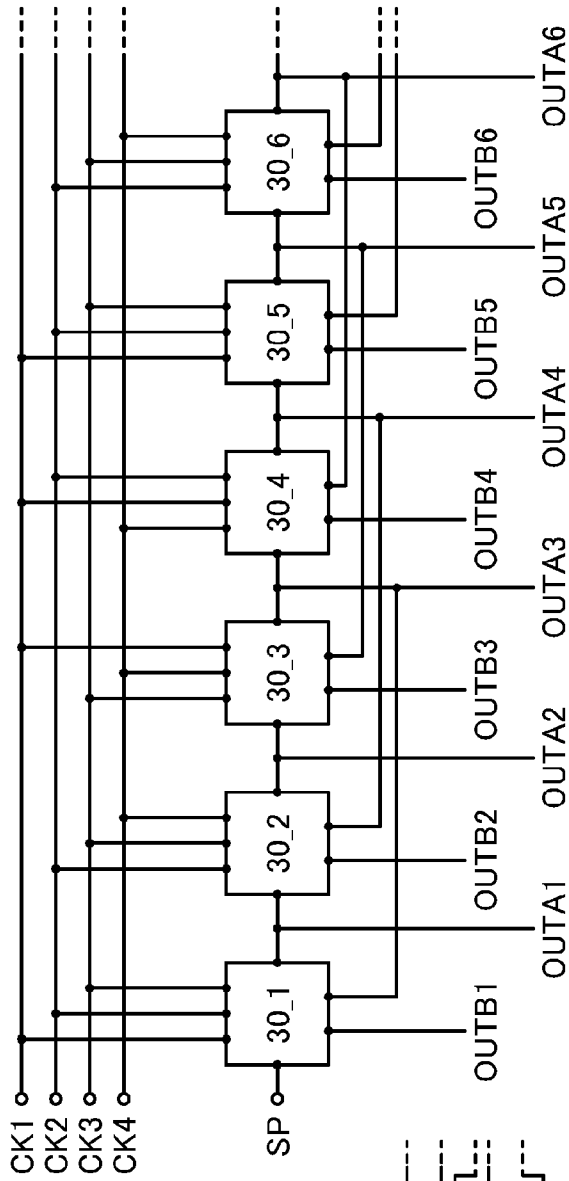
図6B



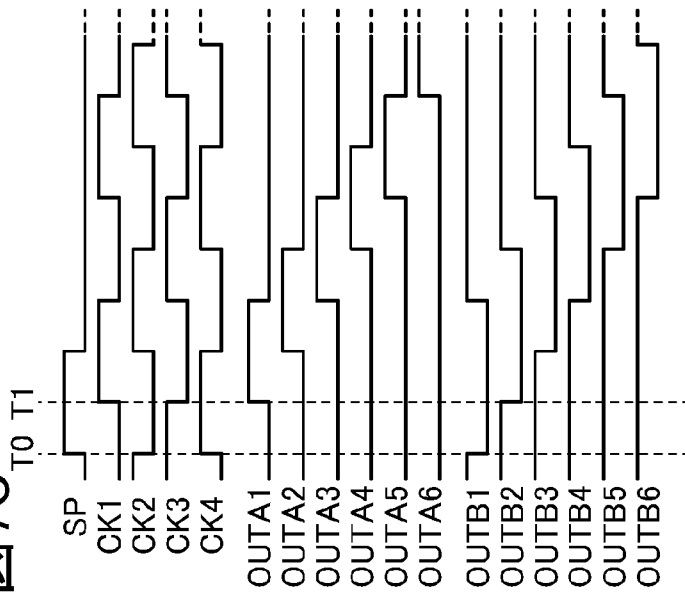
7A



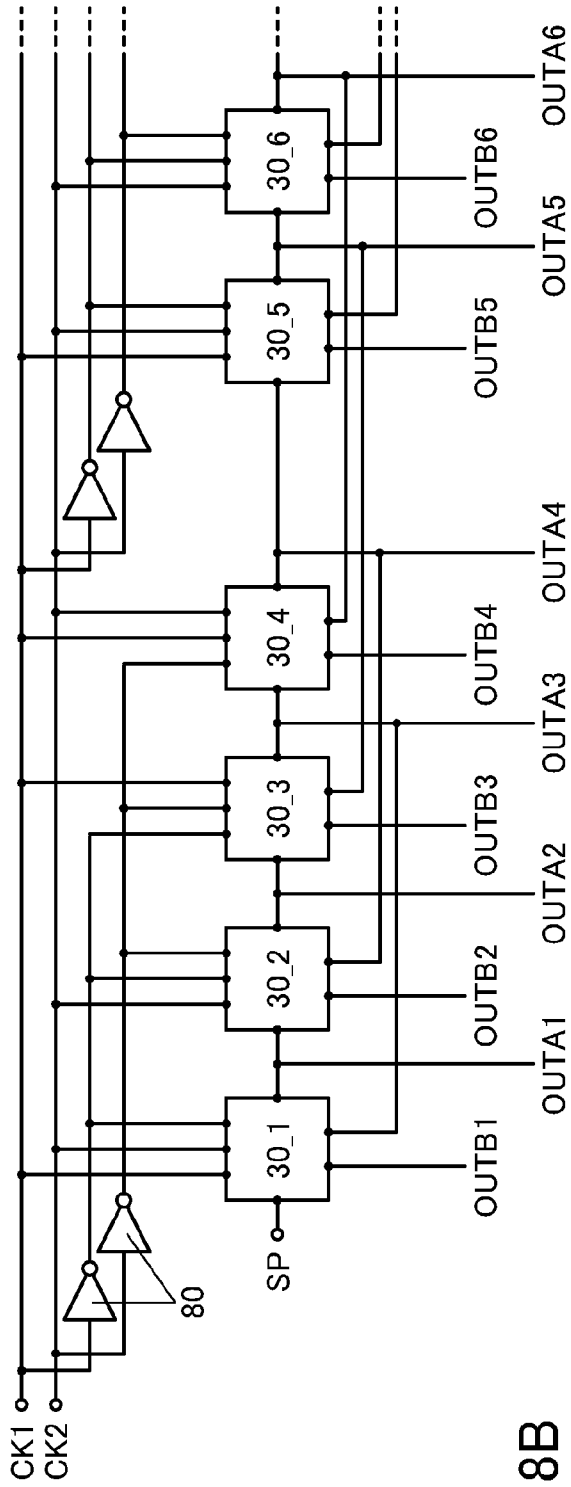
7B 40



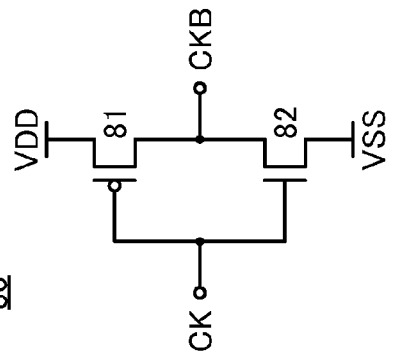
7C



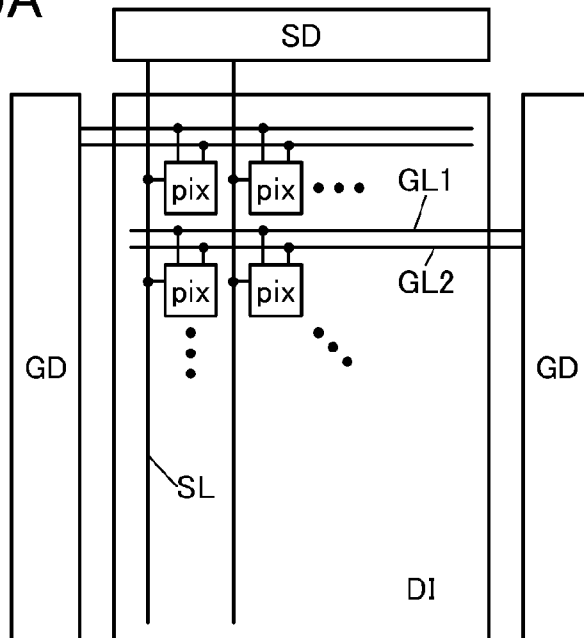
8A_{40a}



8B₈₀



9A
70



9B

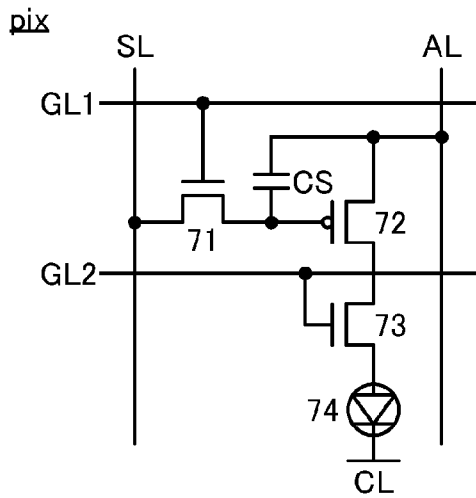


図10A

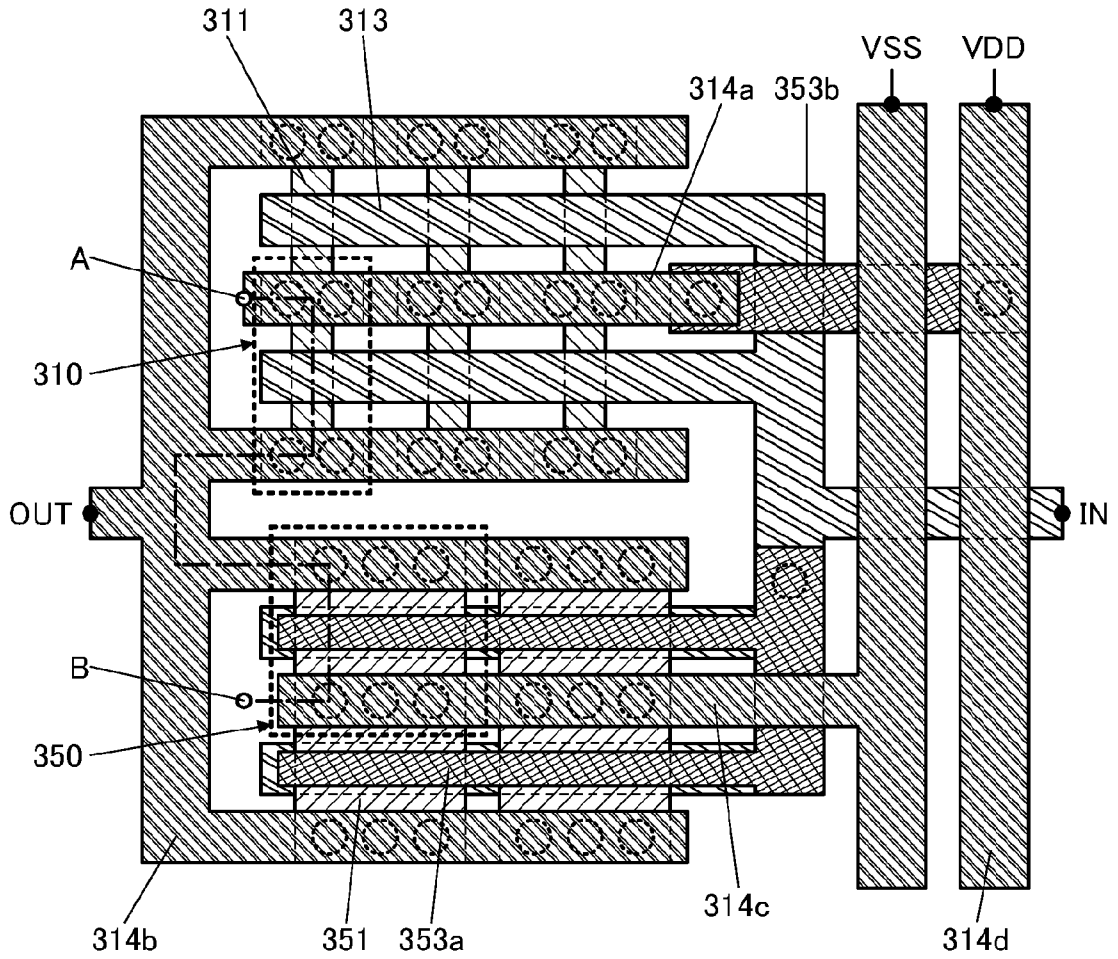


図10B

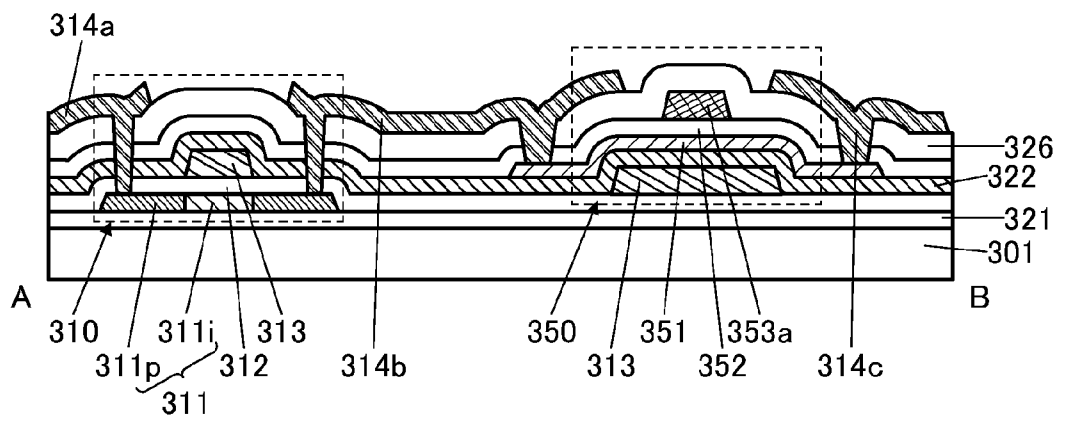


図11A

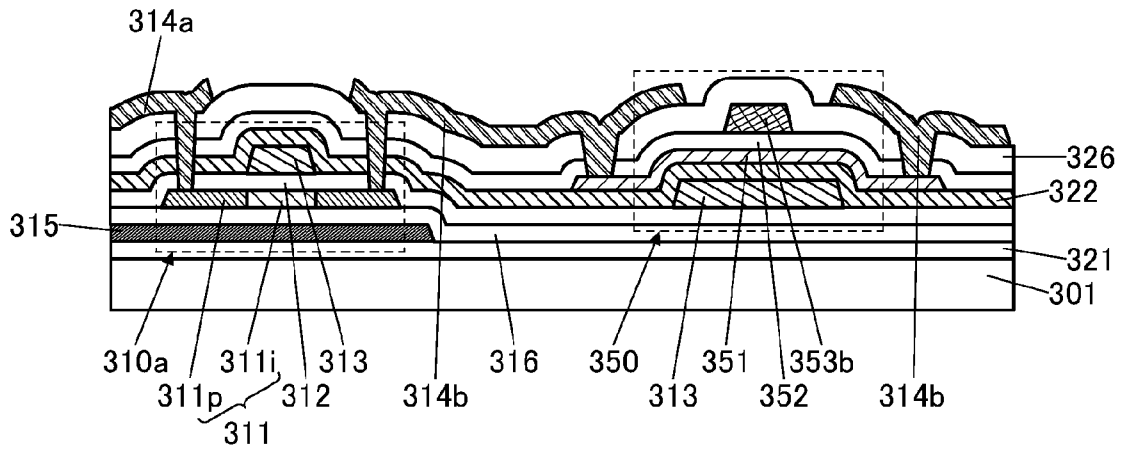


図11B

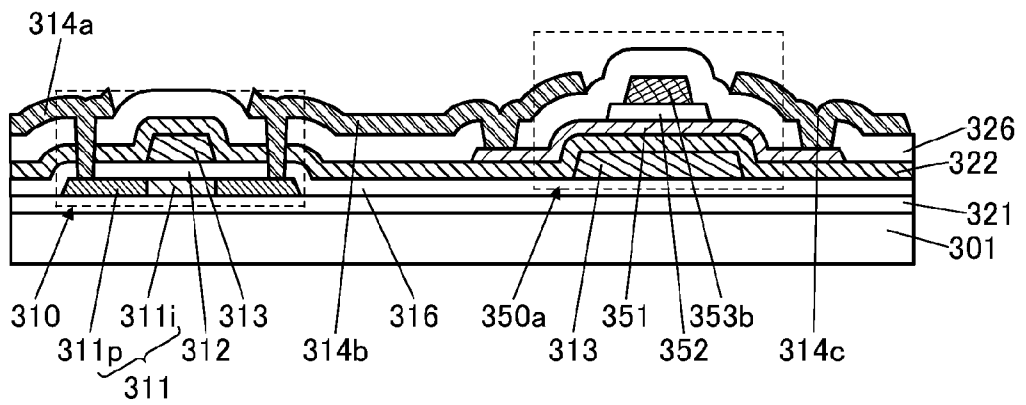


図11C

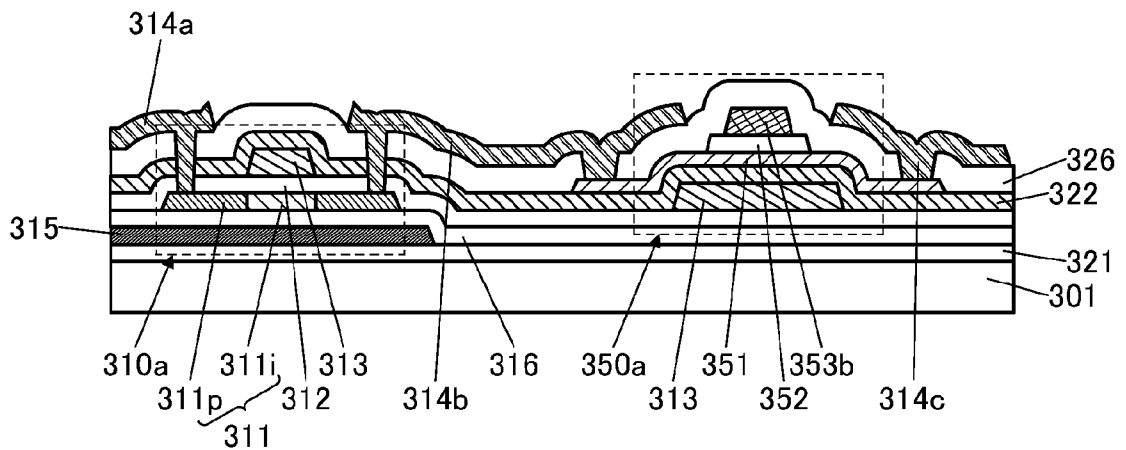


図 12A

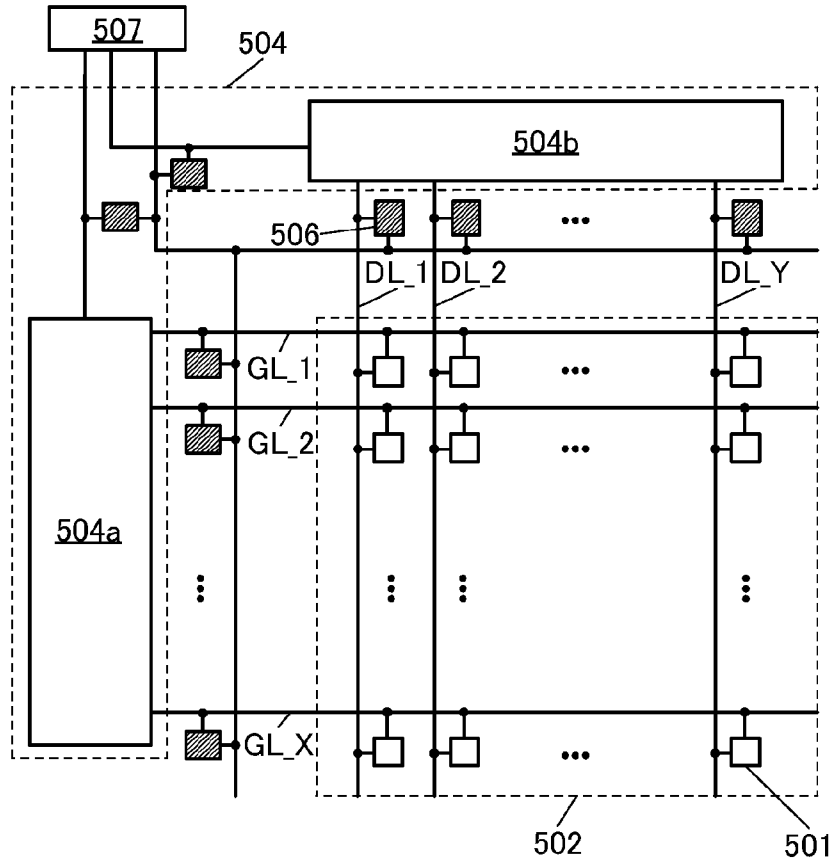


図 12B

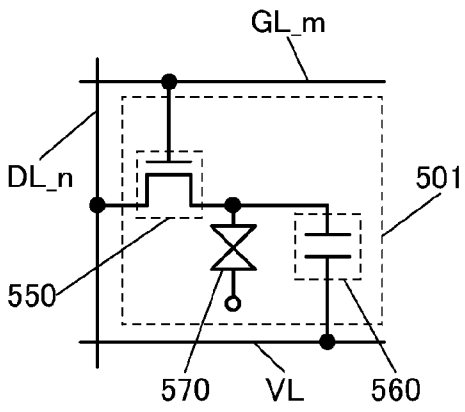
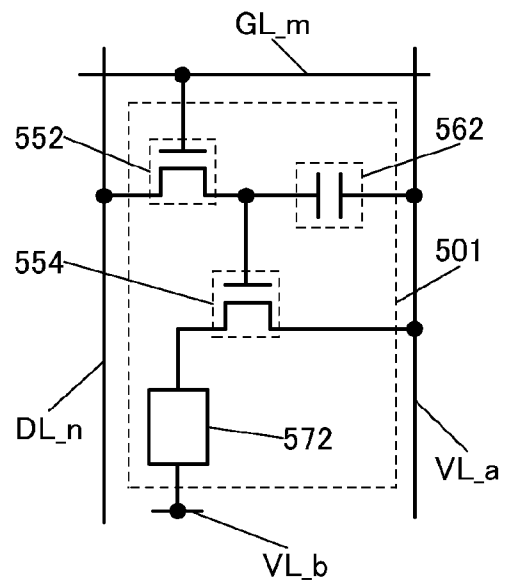
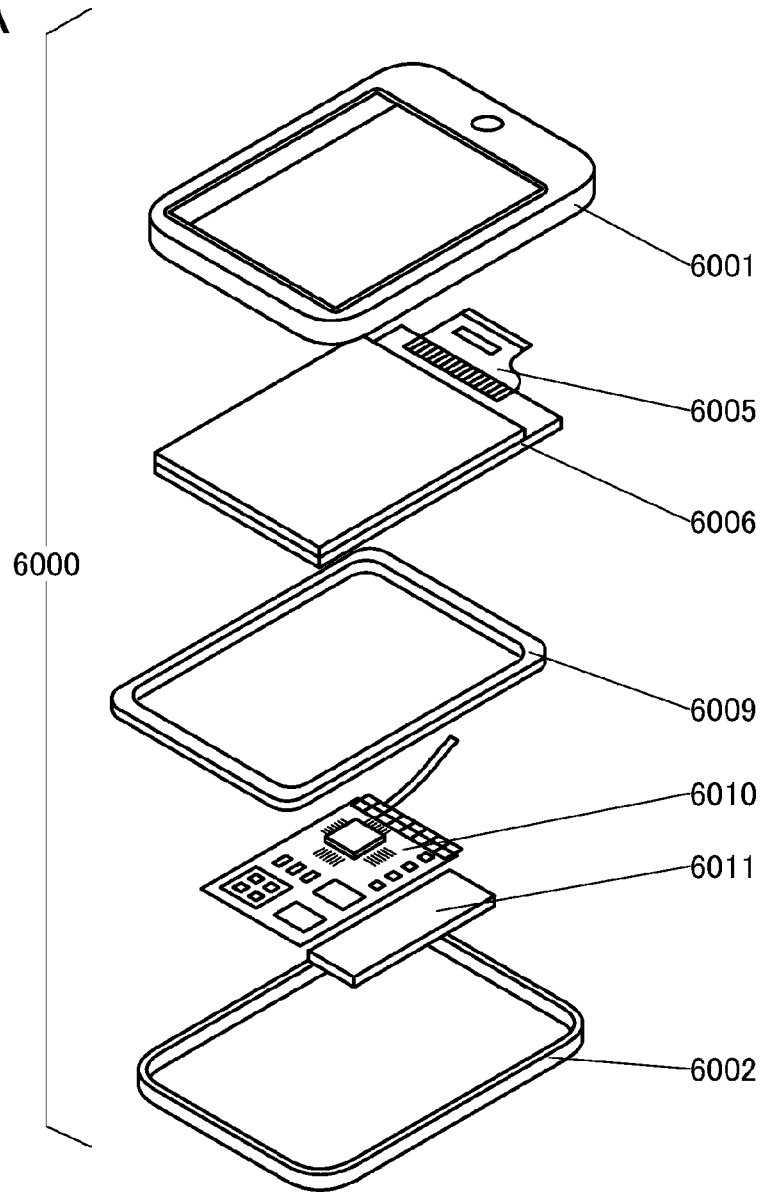


図 12C



13A



13B
6000

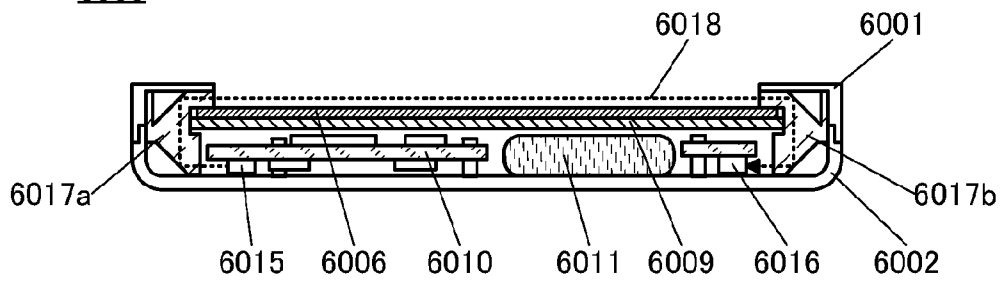


図14A

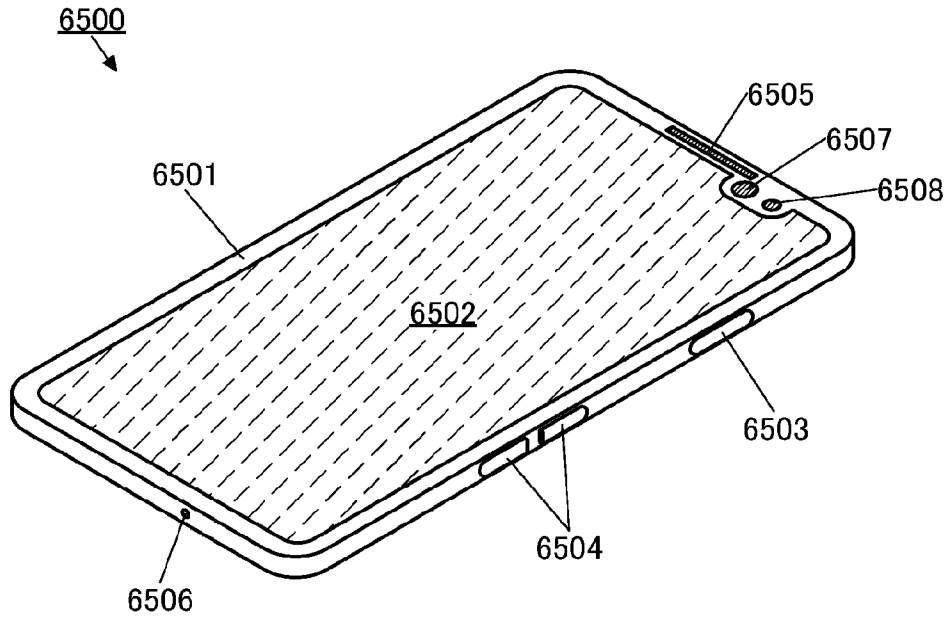
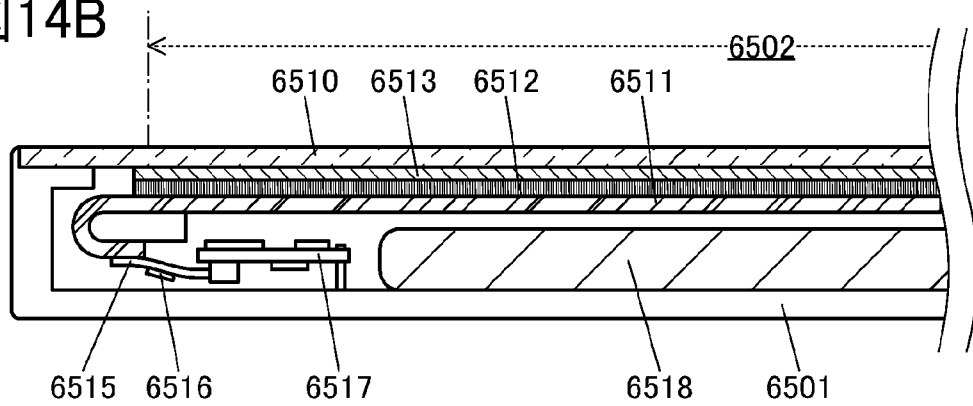
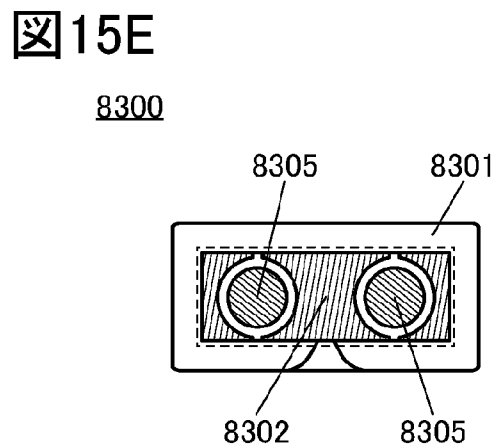
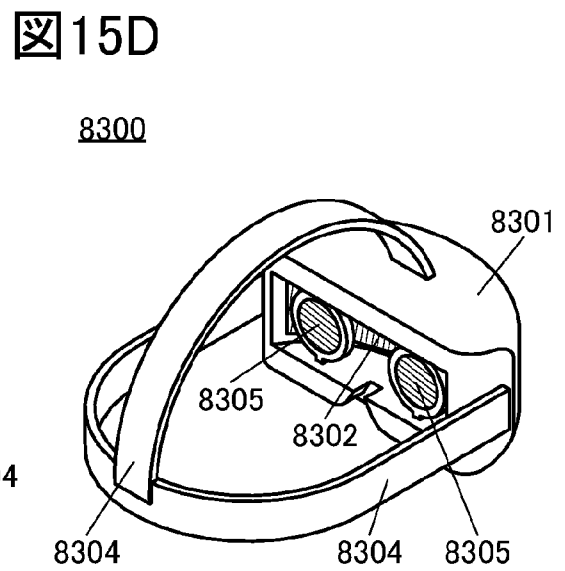
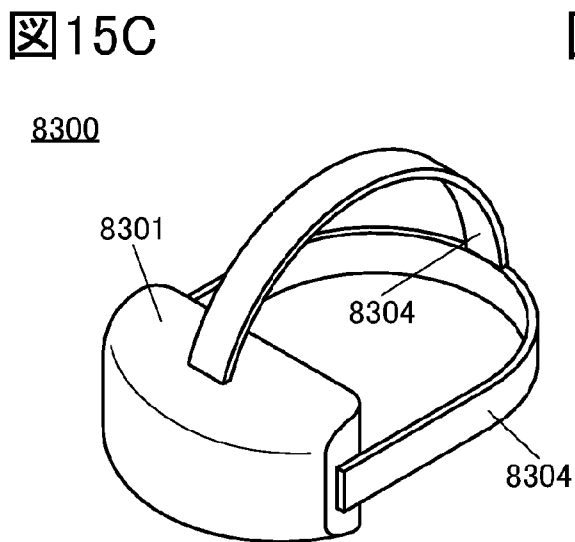
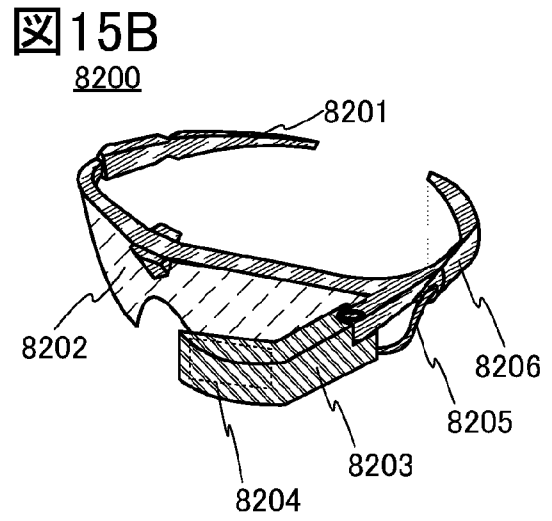
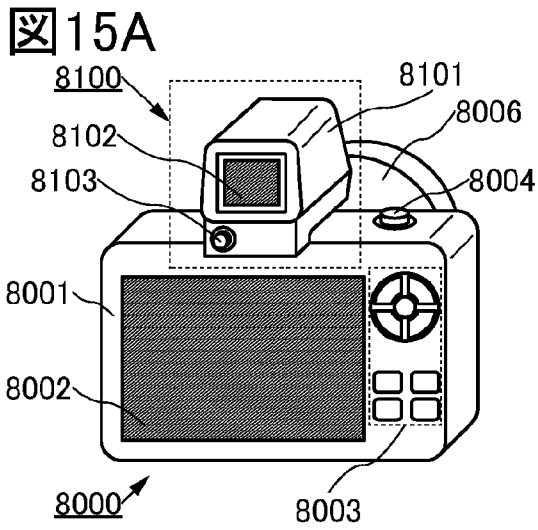
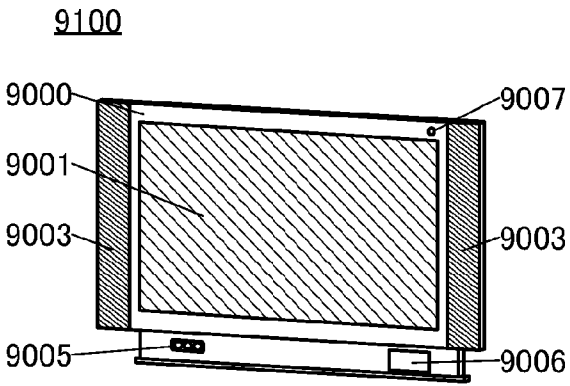


図14B

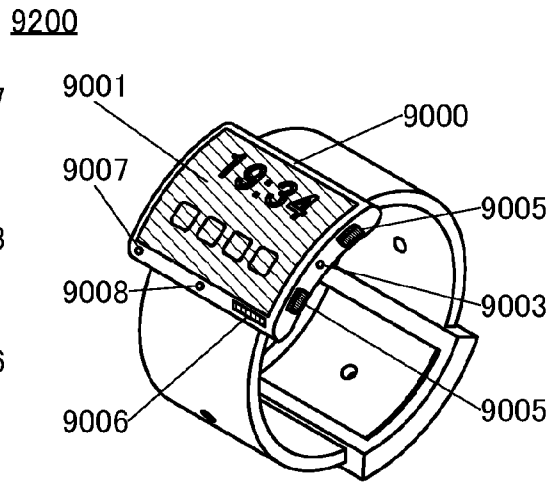




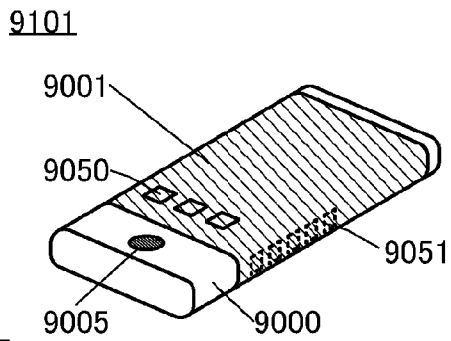
16A



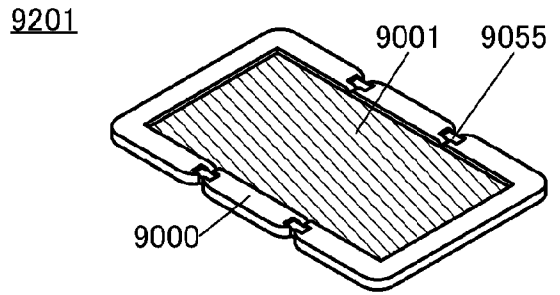
16D



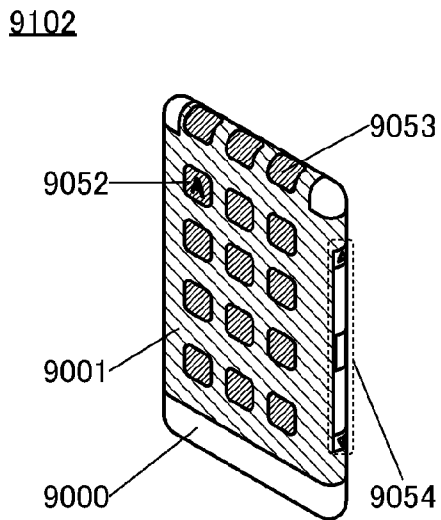
16B



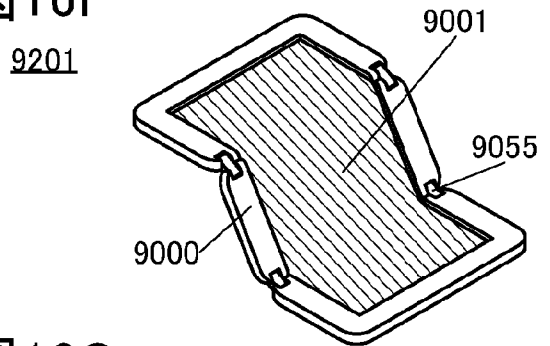
16E



16C



16F



16G

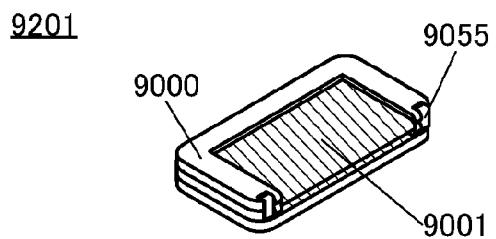


図17A

7100

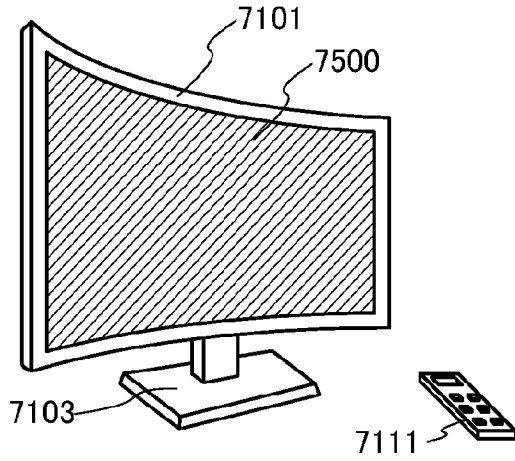


図17B

7200

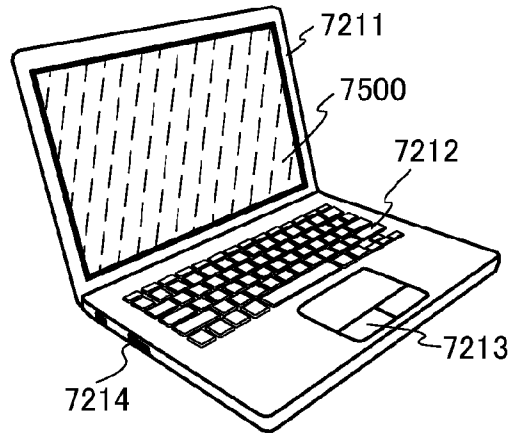


図17C

7300

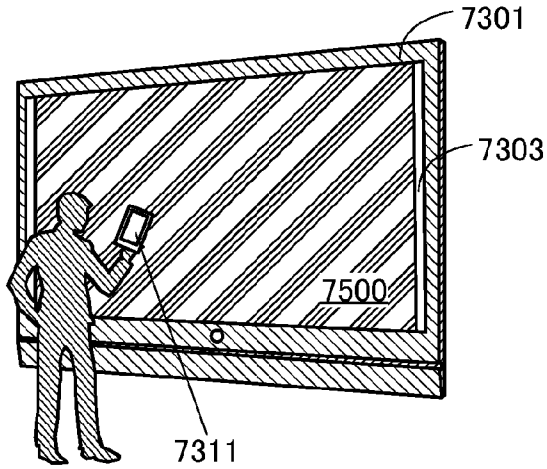
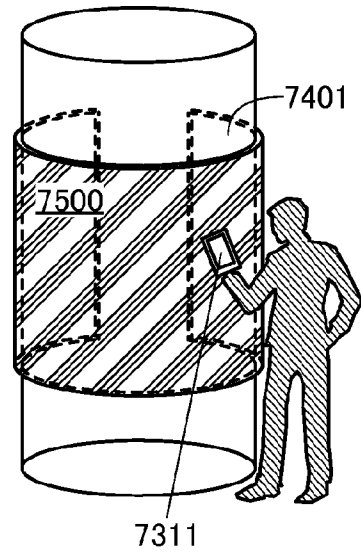


図17D

7400



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/057541**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 29/786(2006.01)i; **G09F 9/30**(2006.01)i; **G09F 9/33**(2006.01)i; **G09F 9/35**(2006.01)i; **H01L 21/336**(2006.01)i;
H01L 27/32(2006.01)i; **H01L 51/50**(2006.01)i

FI: H01L29/78 619A; G09F9/30 338; G09F9/35; G09F9/33; G09F9/30 365; H05B33/14 A; H01L27/32; H01L29/78 618B;
H01L29/78 626C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G09F9/30; G09F9/33; G09F9/35; H01L21/336; H01L27/32; H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-46527 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 April 2016 (2016-04-04) paragraphs [0054]-[0058], [0226]-[0240], [0280]-[0324], fig. 18, 23-25	1, 2, 7-9
A		3-6
Y	JP 2017-212711 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 November 2017 (2017-11-30) paragraph [0200], fig. 22, 23	1, 2, 7-9
A		3-6
A	JP 2015-14786 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 January 2015 (2015-01-22)	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

10 November 2021

Date of mailing of the international search report

22 November 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2021/057541

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-46527	A	04 April 2016	US 2016/0056179 A1 paragraphs [0092]-[0096], [0266]-[0280], [0320]-[0364], fig. 18, 23-25	
JP	2017-212711	A	30 November 2017	US 2016/0381266 A1 paragraph [0253], fig. 22, 23 KR 10-2017-0000342 A	
JP	2015-14786	A	22 January 2015	US 2014/0362324 A1 WO 2014/196550 A1 TW 201507163 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; G09F 9/35(2006.01)i;
 H01L 21/336(2006.01)i; H01L 27/32(2006.01)i; H01L 51/50(2006.01)i
 FI: H01L29/78 619A; G09F9/30 338; G09F9/35; G09F9/33; G09F9/30 365; H05B33/14 A; H01L27/32; H01L29/78
 618B; H01L29/78 626C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; G09F9/30; G09F9/33; G09F9/35; H01L21/336; H01L27/32; H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922 - 1996年
日本国公開実用新案公報	1971 - 2021年
日本国実用新案登録公報	1996 - 2021年
日本国登録実用新案公報	1994 - 2021年

国際調査で使用了電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-46527 A（株式会社半導体エネルギー研究所）04.04.2016（2016-04-04） 段落0054-0058, 0226-0240, 0280-0324、図18, 23-25	1, 2, 7-9 3-6
Y A	JP 2017-212711 A（株式会社半導体エネルギー研究所）30.11.2017（2017-11-30） 段落0200、図22, 23	1, 2, 7-9 3-6
A	JP 2015-14786 A（株式会社半導体エネルギー研究所）22.01.2015（2015-01-22）	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
 “E” 国際出願日前の出願または特許であるが、国際出願日以後に
 公表されたもの
 “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
 くは他の特別な理由を確立するために引用する文献（理由を
 付す）
 “O” 口頭による開示、使用、展示等に言及する文献
 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
 後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
 触するものではなく、発明の原理又は理論の理解のために引
 用するもの
 “X” 特に関連のある文献であって、当該文献のみで発明の新規性
 又は進歩性がないと考えられるもの
 “Y” 特に関連のある文献であって、当該文献と他の1以上の文献
 との、当業者にとって自明である組合せによって進歩性がな
 いと考えられるもの
 “&” 同一パテントファミリー文献

国際調査を完了した日

10. 11. 2021

国際調査報告の発送日

22. 11. 2021

名称及びあて先

日本国特許庁(ISA/JP)
 〒100-8915
 日本国
 東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

岩本 勉 5F 9355

電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2021/057541

引用文献			公表日	パテントファミリー文献			公表日
JP	2016-46527	A	04.04.2016	US	2016/0056179	A1	
				段落0092-0096, 0266-0280, 0320-0364、図18, 23-25			
JP	2017-212711	A	30.11.2017	US	2016/0381266	A1	
				段落0253、図22, 23			
				KR 10-2017-0000342 A			
JP	2015-14786	A	22.01.2015	US	2014/0362324	A1	
				WO 2014/196550 A1			
				TW 201507163 A			