



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0037935
(43) 공개일자 2011년04월13일

- | | |
|--|---|
| <p>(51) Int. Cl.
<i>G11C 16/34</i> (2006.01) <i>G11C 16/12</i> (2006.01)</p> <p>(21) 출원번호 10-2010-7025112</p> <p>(22) 출원일자(국제출원일자) 2009년04월01일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2010년11월08일</p> <p>(86) 국제출원번호 PCT/US2009/039211</p> <p>(87) 국제공개번호 WO 2009/126499
국제공개일자 2009년10월15일</p> <p>(30) 우선권주장
12/099,439 2008년04월08일 미국(US)</p> | <p>(71) 출원인
샌디스크 코퍼레이션
미국 캘리포니아 95035 밀피타스 맥카시 블러바드 601</p> <p>(72) 발명자
누구엔 하오 타이
미국 캘리포니아 95035 밀피타스 맥카시 블러바드 601
무이 맨 령
미국 캘리포니아 95035 밀피타스 맥카시 블러바드 601
(뒷면에 계속)</p> <p>(74) 대리인
박장원</p> |
|--|---|

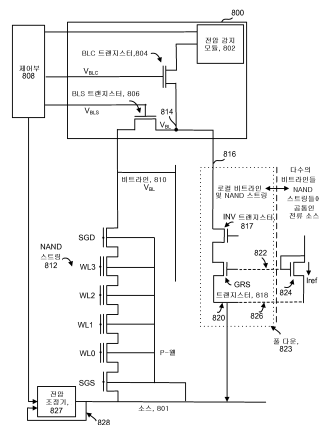
전체 청구항 수 : 총 15 항

(54) 시스템 노이즈를 제거하기 위해 조정된 소스 전압으로의 풀다운을 이용한 비휘발성 저장소에서의 감지

(57) 요약

풀 다운 회로(pull down circuit)는, 프로그래밍 동안 일어나는 검증 동작과 같은 감지 동작 동안 비휘발성 저장 디바이스 내에서 비트라인 전압을 조정된 소스 전압으로 풀링시킨다. 이러한 저장 디바이스는 NAND 스트링들을 포함하는 바, 이들은 관련된 비트라인들, 감지 컴포넌트들, 및 공통의 소스 라인을 갖는다. NAND 스트링의 선택된 저장 요소가 자신의 의도된 상태로 프로그래밍되면, 비트라인은 아직 로크아웃되지 않은 나머지 NAND 스트링들에 대해 일어나는 이후의 검증 동작들 동안 로크아웃된다. 풀다운 디바이스는 각각의 비트라인 및 공통의 소스 라인에 결합되며, 이러한 소스 라인의 전압은 양(positive) DC 레벨로 조정됨으로써, 로크아웃된 비트라인들로부터의 시스템 전력 버스(V_{SS}) 노이즈가 아직 로크아웃되지 않은 비트라인에 결합되는 것을 막는다.

대표도 - 도8b



(72) 발명자

이 승필

미국 캘리포니아 95035 밀피타스 맥카시 블러바드
601

왕 치-밍

미국 캘리포니아 95035 밀피타스 맥카시 블러바드
601

특허청구의 범위

청구항 1

비휘발성 저장 시스템으로서,

비휘발성 저장 요소들의 세트(812)와;

상기 비휘발성 저장 요소들의 세트에 대한 감지 노드(814)와 관련된 감지 컴포넌트(800)와;

상기 비휘발성 저장 요소들의 세트와 관련된 소스(801)와;

상기 소스의 전압 레벨을 조정하는 전압 조정기(827)와; 그리고

상기 감지 노드를 상기 소스로 풀링(pulling)시키는 풀다운 회로(pull down circuit)(823)를 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 2

제 1 항에 있어서,

상기 비휘발성 저장 요소들의 세트는 NAND 스트링 내에 제공되고, 감지 동작 동안 상기 감지 컴포넌트는 상기 NAND 스트링에 선택적으로 결합되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 비휘발성 저장 요소들중 적어도 하나가 의도되는 상태로 프로그램되었음을 상기 감지 컴포넌트가 결정하는 것에 응답하여, 도통 상태로 설정되는 트랜지스터(817)를 더 포함하며,

상기 감지 노드는 상기 트랜지스터를 거쳐서 상기 소스로 풀링되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 4

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서,

상기 비휘발성 저장 요소들중 적어도 하나가 의도된 상태로 프로그램된 것으로 결정된 이후, 상기 감지 컴포넌트는 감지로부터 로크아웃(lock out)되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 5

제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 소스의 전압 레벨은 양(positive) DC 레벨로 조정되는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 6

제 1 항 내지 제 5 항 중의 어느 한 항에 있어서,

상기 전압 조정기는 상기 소스에 결합된 피드백 경로(828)를 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 7

제 1 항 내지 제 6 항 중의 어느 한 항에 있어서,

상기 전압 조정기는 상기 비휘발성 저장 시스템의 전원과 별개(separate)인 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 8

제 1 항 내지 제 7 항 중의 어느 한 항에 있어서,

상기 비휘발성 저장 요소들의 세트는 NAND 스트링들의 세트중 특정의 NAND 스트링 내에 제공되고, 상기 NAND 스트링들의 세트는 나머지 NAND 스트링들을 포함하고, 이러한 나머지 NAND 스트링들은 관련된 감지 노드들을 가지며; 그리고

감지 동작 동안, 상기 관련된 감지 노드들중 적어도 하나는 상기 소스로 풀링되지 않는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 9

제 1 항 내지 제 8 항 중의 어느 한 항에 있어서,

감지 동작 동안 상기 감지 노드를 상기 소스로 풀링시키도록 상기 풀다운 회로를 제어하는 적어도 하나의 제어 회로를 더 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 10

제 9 항에 있어서,

상기 감지 동작은 프로그래밍 동작의 일부인 검증 동작을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템.

청구항 11

비휘발성 저장 시스템을 동작시키는 방법으로서,

상기 비휘발성 저장 시스템 내의 선택된 워드라인에 프로그래밍 전압을 인가하는 단계와, 여기서 상기 비휘발성 저장 시스템은 NAND 스트링들의 세트(812)를 포함하고, 상기 NAND 스트링들은 관련된 감지 노드들(814)을 갖고, 상기 NAND 스트링들의 세트는 소스(801)와 관련되며; 그리고

상기 프로그래밍 전압을 인가하는 단계 이후, 상기 소스의 전압 레벨을 조정하면서 상기 선택된 워드라인에 검증 전압을 인가하고, 상기 감지 노드들중 적어도 하나의 전압을 상기 소스로 풀링시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키는 방법.

청구항 12

제 11 항에 있어서,

상기 소스의 전압 레벨은 양의 DC 레벨로 조정되는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키는 방법.

청구항 13

제 11 항 또는 제 12 항에 있어서,

상기 소스의 전압 레벨을 조정하는 것은, 상기 소스에 결합된 피드백 경로(828)를 이용하여 상기 전압 레벨을 제어하는 것을 포함하는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키는 방법.

청구항 14

제 11 항 내지 제 13 항 중의 어느 한 항에 있어서,

상기 소스의 전압 레벨은 상기 비휘발성 저장 시스템의 전원 전압에 기초하기는 하지만, 상기 전원 전압과 별개로 조정되는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키는 방법.

청구항 15

제 11 항 내지 제 14 항 중의 어느 한 항에 있어서,

상기 검증 전압을 인가하는 동안, 상기 감지 노드들중 적어도 다른 하나는 상기 소스로 풀링되지 않는 것을 특징으로 하는 비휘발성 저장 시스템을 동작시키는 방법.

명세서

기술분야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은, 2007년 6월 29일 출원되었으며 그 명칭이 "Method For Sensing Negative Threshold Voltages In Non-Volatile Storage Using Current Sensing"인 미국 특허 출원 11/771,982호 (문서 번호: SAND-1233us1)의 부분 연속(CIP) 출원이며, 이는 참조로서 본원에 통합된다. 미국 특허 출원 11/771,982호는 또한, 미국 가 특허 출원 60/910,397호 (문서 번호: SAND-1233us0), 미국 가 특허 출원 60/910,400호 (문서 번호: SAND-1241us0) 및 미국 가 특허 출원 60/910,404호 (문서 번호: SAND-1243us0)의 이득을 주장한다. 상기 언급한 각 특허 출원들은 참조로서 본원에 통합된다.

[0003] 본 발명은 비휘발성 메모리에 관한 것이다.

배경기술

[0004] 반도체 메모리는 다양한 전자 디바이스들에서 점점 더 대중적으로 이용되고 있다. 예를 들어, 비휘발성 반도체 메모리는 셀룰러 전화들, 디지털 카메라들, 개인 휴대 단말기들, 이동 계산 디바이스들, 비 이동 계산 디바이스들 및 기타 디바이스들에서 이용된다. 전기적으로 소거가능하고 프로그램가능한 읽기 전용 메모리(Electrical Erasable Programmable Read Only Memory : EEPROM) 및 플래시 메모리가 그 중에서 가장 일반적인 비휘발성 반도체 메모리들이다. 플래시 메모리(또한 EEPROM 타입임)이기 때문에, 전형적인 완전 기능(full-featured)의 EEPROM과 대조적으로, 전체 메모리 어레이 또는 메모리의 일부의 내용이 한 단계로 소거될 수 있다.

[0005] 전형적인 EEPROM과 플래시 메모리는 모두, 반도체 기판 내의 채널 영역 위에 위치하고 이 채널 영역으로부터 절연되는 플로팅 게이트를 이용한다. 플로팅 게이트는 소스 영역과 드레인 영역 사이에 위치된다. 제어 게이트가 플로팅 게이트 위에 위치되어, 이 플로팅 게이트로부터 절연된다. 이렇게 형성되는 트랜지스터의 임계 전압(V_T)은 플로팅 게이트 상에 유지되는 전하의 양에 의해 제어된다. 즉, 소스와 드레인 사이의 도통을 허용하기 위해 트랜지스터가 턴온되기 전에 제어 게이트에 인가되어야 하는 최소량의 전압은 플로팅 게이트 상의 전하의 레벨에 의해 제어된다.

[0006] 일부 EEPROM 및 플래시 메모리 디바이스들은 플로팅 게이트를 갖는 바, 이러한 플로팅 게이트는 두 개의 범위의 전하들을 저장하는 데에 이용되며, 이에 따라 메모리 요소는 두 개의 상태들 간에, 예를 들어 소거 상태(erased state)와 프로그램 상태(programmed state) 간에 프로그램/소거될 수 있다. 이러한 플래시 메모리 디바이스는 종종 이진 플래시 메모리 디바이스로서 지칭되는데, 그 이유는 각각의 메모리 요소가 1비트의 데이터를 저장할 수 있기 때문이다.

[0007] 다중 상태(다중 레벨이라고도 불림) 플래시 메모리 디바이스는 다수의 개별적인 허용된/유효한 프로그램된 임계 전압 범위들을 식별함으로써 구현된다. 각각의 개별적인 임계 전압 범위는 메모리 디바이스에 엔코딩된 데이터 비트들의 세트에 대해 미리결정된 값에 해당한다. 예를 들어, 각각의 메모리 요소는, 그 요소가 4개의 개별적인 임계 전압 범위들에 해당하는 4개의 개별적인 전하 대역들중 하나에 배치될 수 있을 때에, 2비트의 데이터를 저장할 수 있다.

[0008] 전형적으로, 프로그램 동작 동안 제어 게이트에 인가되는 프로그램 전압(V_{PGM})은 시간에 따라 크기가 증가하는 일련의 펄스들로서 인가된다. 하나의 가능한 시도에서, 펄스들의 크기는 각각의 연속적인 펄스에 대해 미리 결정된 스텝 사이즈(예를 들어, 0.2-0.4V) 만큼 증가된다. V_{PGM} 은 플래시 메모리 요소들의 제어 게이트들에 인가될 수 있다. 프로그램 펄스들 간의 시간들 동안, 검증 동작들이 수행된다. 즉, 병렬로 프로그램되는 요소들의 그룹의 각 요소의 프로그래밍 레벨을 연속적인 프로그래밍 펄스들 사이에서 읽음으로써, 그 요소가 프로그램되고 있는 검증 레벨과 같은지, 아니면 더 큰지를 결정한다. 다중 상태 플래시 메모리 요소들의 어레이들에 있어서, 요소의 각 상태에 대해 검증 단계가 수행되어, 그 요소가 자신의 데이터 관련 검증 레벨에 도달하였는지를 결정한다. 예를 들어, 4개의 상태로 데이터를 저장할 수 있는 다중 상태 메모리 요소는 3개의 비교 포인트들에 대해 검증 동작을 수행할 필요가 있다.

[0009] 또한, NAND 스트링 내의 NAND 플래시 메모리 디바이스와 같은 EEPROM 또는 플래시 메모리 디바이스를 프로그램할 때, 전형적으로, V_{PGM} 이 제어 게이트에 인가되고 비트라인이 접지됨으로써, 셀 또는 메모리 요소, 예를 들어 저장 요소의 채널로부터 전자들이 플로팅 게이트 내에 주입된다. 전자들이 플로팅 게이트에 누적되면, 그 플로

팅 게이트는 음으로 대전되고, 메모리 셀의 임계 전압이 올라가게 되어, 그 메모리 요소는 프로그램 상태에 있는 것으로 여겨진다. 이러한 프로그래밍에 대한 보다 많은 정보는, 그 명칭이 "Source Side Self Boosting Technique for Non-Volatile Memory"인 미국 특허 6,859,397호; 및 2005년 2월 3일 공개되었으며 그 명칭이 "Detecting Over Programmed Memory"인 미국 공개 특허 2005/0024939호에서 찾아볼 수 있으며, 이들 모두는 그 전체가 참조로서 본원에 통합된다.

발명의 내용

해결하려는 과제

[0010] 감지 동작들 동안, 저장 요소들의 프로그램된 상태가 결정된다. 예를 들어, NAND 플래시 메모리 디바이스에서, 하나 이상의 저장 요소들의 상태는 비트라인을 통해 NAND 스트링에 결합된 감지 모듈을 이용하여 결정될 수 있다. 하지만, 이러한 감지 프로세스는 다양한 에러원들(error sources)의 영향을 받는다. 감지의 부정확성을 줄이고, 그에 의해 임계 분포들을 보다 조밀(tight)하게 할 수 있는 기술들이 필요하다.

과제의 해결 수단

[0011] 본 발명은 메모리 디바이스 내에서의 노이즈의 영향을 줄임으로써 정확성을 증가시키는 비휘발성 저장 요소들의 감지에 관한 것이다. 일 특정 구현에서, 본 발명은 감지로부터 로크 아웃(lock out)된 감지 모듈/비트라인의 감지 노드를 조정된 소스 전압으로 풀다운(pull down)시키고, 나머지 감지 모듈들은 계속해서 감지를 수행할 수 있게 함으로써, 전력 버스 노이즈(power bus noise)의 비트라인간 결합(bit line-to-bit line coupling)을 감소시킨다.

[0012] 일 실시예에서, 비휘발성 저장 시스템은 비휘발성 저장 요소들의 세트와; 이러한 비휘발성 저장 요소들에 대한 감지 노드와 관련된 감지 컴포넌트(sense component)와; 상기 비휘발성 저장 요소들의 세트와 관련된 소스와; 소스의 전압 레벨을 조정하는 전압 조정기(voltage regulator)와; 그리고 감지 노드를 소스로 풀링(pulling)시키는 풀다운 회로(pull down circuit)를 포함한다. 예를 들어, 상기 비휘발성 저장 요소들의 세트는 NAND 스트링 내에 제공될 수 있다. 소스의 전압 레벨은 양(positive)의 DC 레벨로 조정될 수 있다. 또한, 상기 전압 조정기는 상기 소스에 결합된 피드백 경로(feedback path)를 포함하며, 그리고 상기 전압 조정기는 비휘발성 저장 시스템의 전원(power supply)으로부터 분리된다(즉, 전원과 별개이다).

[0013] 다른 실시예에서, 비휘발성 저장 시스템은 비휘발성 저장 요소들을 포함하는 다수의 NAND 스트링들과; 상기 NAND 스트링들의 감지 노드들과 관련된 감지 컴포넌트들과; 상기 NAND 스트링들과 관련된 공통 소스(common source)와; 상기 공통 소스의 전압 레벨을 조정하는 전압 조정기와; 그리고 감지 노드들을 공통 소스로 선택적으로 풀링시키는 풀다운 회로들을 포함한다.

[0014] 다른 실시예에서, 비휘발성 저장 시스템을 동작시키는 방법은 상기 비휘발성 저장 시스템 내의 선택된 워드라인에 프로그래밍 전압을 인가하는 단계를 포함하며, 여기서 상기 비휘발성 저장 시스템은 NAND 스트링들의 세트를 포함하고, 상기 NAND 스트링들은 관련된 감지 노드들을 가지며, 그리고 상기 NAND 스트링들의 세트는 소스와 관련된다. 이러한 방법은, 상기 프로그래밍 전압을 인가하는 단계 이후, 상기 소스의 전압 레벨을 조정하면서 상기 선택된 워드라인에 검증 전압을 인가하는 단계, 및 상기 감지 노드들중 적어도 하나의 전압을 소스로 풀링시키는 단계를 더 포함한다.

[0015] 메모리 디바이스를 동작시키는 해당 방법들, 메모리 디바이스 장치들, 및 이러한 방법들을 수행하도록 실행되는 코드를 제공하는 컴퓨터 또는 프로세서 판독가능한 저장 매체가 제공될 수 있다.

도면의 간단한 설명

- [0016] 도 1은 NAND 스트링의 평면도이다.
- 도 2는 도 1의 NAND 스트링의 등가 회로도이다.
- 도 3은 NAND 플래시 저장 요소들의 어레이의 블록도이다.
- 도 4는 기관 위에 형성된 NAND 스트링의 단면도를 도시한다.
- 도 5a-d는 비휘발성 저장 요소의 프로그래밍을 도시한다.

- 도 6a는 NAND 스트링 및 감지 컴포넌트들의 구성을 도시한다.
- 도 6b는 도 6a와 관련된 파형들을 도시한다.
- 도 6c는 도 6a 및 도 6b와 관련된 감지 프로세스를 도시한다.
- 도 6d는 전압의 변화에 기초한 전류 감지를 도시한다.
- 도 7a는 감지 동작 동안의 접지 바운스(ground bounce)로 인한 시간에 따른 전류 및 전압의 변화를 도시한다.
- 도 7b는 감지 동작 동안 소스 전압이 고정된 양(positive)의 DC 레벨로 조정됨으로 인해, 전류 및 전압의 변화가 감소됨을 도시한다.
- 도 7c는 NAND 스트링 및 감지를 위한 컴포넌트들의 다른 구성을 도시한다.
- 도 7d는 도 7a-7c와 관련된 감지 프로세스를 도시한다.
- 도 8a는, 전류 방전 경로를 포함하는, NAND 스트링 및 컴포넌트들의 구성을 도시한다.
- 도 8b는 NAND 스트링 및 컴포넌트들의 구성을 도시하는 바, 여기서 로크아웃된 비트라인은 조정된 소스 전압으로 풀다운된다.
- 도 8c는 도 8a와 관련된 파형들을 도시한다.
- 도 8d는 도 8a-8c와 관련된 감지 프로세스를 도시한다.
- 도 9a는 NAND 스트링 및 온도-보상된 감지를 위한 컴포넌트들을 도시한다.
- 도 9b는 온도에 따른 임계 전압 변화를 도시한다.
- 도 9c는 온도에 따른 V_{BLC} 및 V_{BL} 의 변화를 도시한다.
- 도 9d는 도 9a-9c와 관련된 파형들을 도시한다.
- 도 9e는 도 9a-9d와 관련된 감지 프로세스를 도시한다.
- 도 9f는 소거-검증 프로세스를 도시한다.
- 도 10a는 온도에 따른 V_{SOURCE} 의 변화를 도시한다.
- 도 10b는 NAND 스트링들의 다른 세트들을 포함하는 저장 요소들의 어레이의 예를 도시한다.
- 도 11은 단일의 로우/컬럼 디코더들 및 판독/기록 회로들을 이용하는 비휘발성 메모리 시스템의 블록도이다.
- 도 12는 이중의 로우/컬럼 디코더들 및 판독/기록 회로들을 이용하는 비휘발성 메모리 시스템의 블록도이다.
- 도 13은 감지 블록의 일 실시예를 도시하는 블록도이다.
- 도 14는 메모리 어레이를 홀수-짝수 메모리 아키텍처(odd-even memory architecture) 및 모든 비트라인 메모리 아키텍처(all bit line memory architecture)로 구성하는 예를 도시한다.
- 도 15는 단일 패스 프로그래밍에 의한 임계 전압 분포들의 예시적인 세트를 도시한다.
- 도 16은 멀티-패스 프로그래밍에 의한 임계 전압 분포들의 예시적인 세트를 도시한다.
- 도 17a-c는 다양한 임계 전압 분포들을 보여주며, 비휘발성 메모리를 프로그램하기 위한 프로세스를 설명한다.
- 도 18은 비휘발성 메모리를 프로그램하기 위한 프로세스의 일 실시예를 설명하는 흐름도이다.
- 도 19는 프로그래밍 동안 비휘발성 저장 요소들의 제어 게이트들에 인가되는 예시적인 펄스 트레인을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명은 메모리 디바이스 내에서의 노이즈의 영향을 줄임으로써 정확성을 증가시킨 비휘발성 저장 요소들의 감지에 관한 것이다. 일 특정 구현에서, 본 발명은 감지로부터 로크아웃된 감지 모듈/비트라인의 감지 노드를 조정된 소스 전압으로 풀다운시키고, 나머지 감지 모듈들은 감지를 계속해서 수행하도록 함으로써, 전력 버스 노이즈의 비트라인간 결합을 감소시킨다.

[0018] 본 발명을 구현하기에 적합한 메모리 시스템의 일 예는, 2개의 선택 게이트 사이에 다수의 트랜지스터가 직렬로 연결된 NAND 플래시 메모리 구조를 이용한다. 직렬의 트랜지스터들 및 선택 게이트들은 NAND 스트링으로 지칭된다. 도 1은 하나의 NAND 스트링을 도시하는 평면도이다. 도 2는 그 등가 회로이다. 도 1 및 2에 도시된 NAND 스트링은 직렬의 4개의 트랜지스터들(100, 102, 104 및 106)을 포함하는 바, 이들은 제 1 선택 게이트(120)와 제 2 선택 게이트(122) 사이에 샌드위치되어 있다. 선택 게이트(120)는 비트라인(126)에 NAND 스트링 접속을 게이팅(gating)한다. 선택 게이트(122)는 소스 라인(128)에 NAND 스트링 접속을 게이팅한다. 선택 게이트(120)는 제어 게이트(120CG)에 적절한 전압을 인가하여 제어된다. 선택 게이트(122)는 제어 게이트(122CG)에 적절한 전압을 인가하여 제어된다. 트랜지스터들(100, 102, 104 및 106) 각각은 제어 게이트와 플로팅 게이트를 갖는다. 트랜지스터(100)는 제어 게이트(100CG)와 플로팅 게이트(100FG)를 갖는다. 트랜지스터(102)는 제어 게이트(102CG)와 플로팅 게이트(102FG)를 갖는다. 트랜지스터(104)는 제어 게이트(104CG)와 플로팅 게이트(104FG)를 포함한다. 트랜지스터(106)는 제어 게이트(106CG)와 플로팅 게이트(106FG)를 포함한다. 제어 게이트(100CG)는 워드 라인(WL3)에 연결되고, 제어 게이트(102CG)는 워드 라인(WL2)에 연결되고, 제어 게이트(104CG)는 워드 라인(WL1)에 연결되며, 그리고 제어 게이트(106CG)는 워드 라인(WL0)에 연결된다. 이러한 제어 게이트들은 또한 워드라인들의 일부들로서 제공될 수 있다. 일 실시예에서, 트랜지스터들(100, 102, 104 및 106)은 각각 저장 요소들이며, 메모리 셀들이라고도 불린다. 다른 실시예들에서, 저장 요소들은 다수의 트랜지스터들을 포함하거나, 또는 도 1 및 2에 도시된 것과 다를 수 있다. 선택 게이트(120)는 선택 라인(SGD)(드레인 선택 게이트)에 연결된다. 선택 게이트(122)는 선택 라인(SGS)(소스 선택 게이트)에 연결된다.

[0019] 도 3은 3개의 NAND 스트링을 도시하는 회로도이다. NAND 구조를 이용하는 플래시 메모리 시스템에 대한 전형적인 아키텍처는 복수개의 NAND 스트링들을 포함할 것이다. 예를 들어, 3개의 NAND 스트링들(320, 340 및 360)이 보다 많은 NAND 스트링들을 갖는 메모리 어레이 내에 도시되어 있다. NAND 스트링들 각각은 2개의 선택 게이트들 및 4개의 저장 요소들을 포함한다. 단순함을 위해 4개의 저장 요소들만을 나타내었지만, 현대의 NAND 스트링들은, 예를 들어 32개 또는 64개의 저장 요소들까지 포함할 수 있다.

[0020] 예를 들어, NAND 스트링(320)은 선택 게이트들(322 및 327) 및 저장 요소들(323-326)을 포함하고, NAND 스트링(340)은 선택 게이트들(342 및 347) 및 저장 요소들(343-346)을 포함하며, 그리고 NAND 스트링(360)은 선택 게이트들(362 및 367) 및 저장 요소들(363-366)을 포함한다. 각각의 NAND 스트링은 자신의 선택 게이트들(예를 들어, 선택 게이트들(327, 347 또는 367))에 의해 소스 라인에 연결된다. 선택 라인(SGS)은 소스측 선택 게이트들을 제어하는 데에 이용된다. 다양한 NAND 스트링들(320, 340 및 360)은 선택 게이트들(322, 342, 362) 등의 선택 트랜지스터들에 의해 각각의 비트라인들(321, 341 및 361)에 연결된다. 이러한 선택 트랜지스터들은 드레인 선택 라인(SGD)에 의해 제어된다. 다른 실시예들에서, 선택 라인들은 NAND 스트링들 간에 반드시 공통일 필요는 없다. 즉, 다른 NAND 스트링들에 대해 다른 선택 라인들이 제공될 수 있다. 워드라인(WL3)은 저장 요소들(323, 343 및 363)에 대한 제어 게이트들에 연결된다. 워드라인(WL2)은 저장 요소들(324, 344 및 364)에 대한 제어 게이트들에 연결된다. 워드라인(WL1)은 저장 요소들(325, 345 및 365)에 대한 제어 게이트들에 연결된다. 워드라인(WL0)은 저장 요소들(326, 346 및 366)에 대한 제어 게이트들에 연결된다. 알 수 있는 바와 같이, 각 비트라인 및 각각의 NAND 스트링은 저장 요소들의 어레이 또는 세트의 컬럼들을 포함한다. 워드라인들(WL3, WL2, WL1 및 WL0)은 어레이 또는 세트의 로우들을 포함한다. 각각의 워드라인은 로우 내의 각 저장 요소의 제어 게이트들을 연결한다. 또는, 제어 게이트들은 워드라인들 자체에 의해 제공될 수도 있다. 예를 들어, 워드라인(WL2)은 저장 요소들(324, 344 및 364)에 대한 제어 게이트들을 제공한다. 실제로, 하나의 워드라인 내에는 수천개의 저장 요소들이 있을 수 있다.

[0021] 각 저장 요소는 데이터를 저장할 수 있다. 예를 들어, 1비트의 디지털 데이터를 저장할 때, 저장 요소의 가능한 임계 전압들(V_{TH})의 범위는 논리 데이터 "1" 과 "0"이 할당되는 2개의 범위로 분할된다. NAND 타입 플래시 메모리의 일 예에서, 저장 요소가 소거된 후 V_{TH} 는 음의 값을 갖고, 논리 "1" 로 정의된다. 프로그래밍 동작 후 V_{TH} 는 양의 값을 갖고, 논리 "0" 으로서 정의된다. V_{TH} 가 음이고 판독이 시도될 때, 저장 요소는 턴온되어, 논리 "1"이 저장되어 있음을 나타낸다. V_{TH} 가 양이고 판독이 시도될 때, 저장 요소는 턴온되지 않게 되어, 논리 0이 저장되어 있음을 나타낸다. 저장 요소는 또한 다중 레벨들의 정보, 예를 들어 다중 비트의 디지털 데이터를 저장할 수 있다. 이 경우, V_{TH} 값의 범위는 데이터 레벨들의 수로 나뉜다. 예를 들어, 4개 레벨의 정보가 저장되는 경우에는, 4개의 V_{TH} 범위가 데이터 값들 "11", "10", "01" 및 "00"에 할당된다. NAND 타입 메모리의 일 예에서, 소거 동작 이후의 V_{TH} 는 음이 되고, "11"로서 정의된다. 양의 V_{TH} 값들은 "10", "01" 및 "00"의 상태들에 대해 이용된다. 저장 요소 내에 프로그램된 데이터와 그 요소의 임계 전압 범위들 간의 특정의 관계는 저장 요소들에

대해 채택되는 데이터 인코딩 방식에 의존한다. 예를 들어, 미국 특허 6,222,762호 및 미국 특허 공개 2004/0255090호는 다수 상태 플래시 메모리 셀들에 대한 다양한 데이터 인코딩 방식들을 설명하며, 이러한 2개의 인용 문헌들은 그 전체가 참조로서 본원에 통합된다.

- [0022] NAND 타입 플래시 메모리들 및 이들의 동작에 대한 관련 예들은, 미국 특허 제5,386,422호, 5,570,315호, 5,774,397호, 6,046,935호, 6,456,528호 및 6,522,580호에서 제공되며, 이들 각각은 그 전체가 참조로서 본원에 통합된다.
- [0023] 플래시 저장 요소를 프로그램할 때, 프로그램 전압이 저장 요소의 제어 게이트에 인가되고, 저장 요소와 관련된 비트라인은 접지된다. 채널로부터 전자들은 플로팅 게이트에 주입된다. 전자들이 플로팅 게이트에 누적되면, 그 플로팅 게이트는 음으로 대전되고, 저장 요소의 V_{TH} 가 올라가게 된다. 프로그램되고 있는 저장 요소의 제어 게이트에 프로그램 전압을 인가하기 위해, 그 프로그램 전압은 적절한 워드라인 상에 인가된다. 상기 설명한 바와 같이, NAND 스트링들 각각의 하나의 저장 요소는 동일한 워드라인을 공유한다. 예를 들어, 도 3의 저장 요소(324)를 프로그램할 때, 프로그램 전압은 저장 요소들(344 및 364)의 제어 게이트들에도 인가될 것이다.
- [0024] 도 4는 기판 위에 형성된 NAND 스트링의 단면도를 도시한다. 이러한 단면도는 단순화된 것으로서, 실제 규모대로 도시된 것이 아니다. NAND 스트링(400)은 기판(490) 상에 형성되는, 소스측 선택 게이트(406), 드레인측 선택 게이트(424) 및 8개의 저장 요소들(408, 410, 412, 414, 416, 418, 420 및 422)을 포함한다. 다수의 소스/드레인 영역들(이것의 일 예는 소스/드레인 영역(430)이다)이 각 저장 요소 및 선택 게이트들(406 및 424)의 어느 한쪽에 제공된다. 하나의 시도에 있어서, 기판(490)은 3중 웰(triple-well) 기술을 이용하는데, 이는 n-웰 영역(494) 내의 p-웰 영역(492)을 포함하고, 상기 n-웰 영역(494)은 또한 p타입 기판 영역(496) 내에 있다. NAND 스트링 및 그 비휘발성 저장 요소들은, 적어도 부분적으로, p-웰 영역 위에 형성될 수 있다. V_{BL} 의 전위를 갖는 비트라인(426)에 부가하여, V_{SOURCE} 의 전위를 갖는 소스 공급 라인(404)이 제공된다. 하나의 가능한 시도에서, 단자(terminal)(402)를 통해 p-웰 영역(492)에 전압이 인가될 수 있다. 또한, 단자(403)를 통해 n-웰 영역(494)에 전압이 인가될 수도 있다.
- [0025] 저장 요소의 상태(예를 들어, 그 임계 전압)가 확인되는 소거-검증 동작을 포함하는 판독 또는 검증 동작 동안, 선택된 저장 요소와 관련된 선택된 워드라인 상에 V_{CGR} 이 제공된다. 또한, 저장 요소의 제어 게이트는 워드라인의 일부로서 제공될 수 있다는 것을 유념해야 한다. 예를 들어, WL0, WL1, WL2, WL3, WL4, WL5, WL6 및 WL7은 각각 저장 요소들(408, 410, 412, 414, 416, 418, 420 및 422)의 제어 게이트들을 통해 연장될 수 있다. 하나의 가능한 부스팅 방식에서는, 판독 패스 전압(V_{READ})이 NAND 스트링(400)과 관련된 비선택 워드라인들에 인가될 수 있다. 다른 부스팅 방식들은 일부 워드라인들에 V_{READ} 를 인가하고, 나머지 워드라인들에는 더 낮은 전압들을 인가한다. V_{SGS} 및 V_{SGD} 는 각각 선택 게이트들(406 및 424)에 인가된다.
- [0026] 도 5a-5d는 비휘발성 저장 요소의 프로그래밍을 도시한다. 하나의 가능한 프로그래밍 기술에 있어서, 도 5a, 5b 및 5c에 각각 도시된 바와 같이, 하위 페이지, 중간 페이지 및 상위 페이지는 3단계로 프로그램된다. 소거 동작 이후 데이터의 하위 페이지를 프로그래밍할 때에는, 2개의 V_{TH} 분포들(510 및 520)이 제공된다. 최하위 분포(510)는 소거 상태를 나타내며, 음의 V_{TH} 를 갖는다. 다음으로, 도 5b의 제 1, 2 V_{TH} 분포(520 및 522)가 각각 도 5a의 제 1 V_{TH} 분포로부터 얻어지며, 그리고 도 5b의 제 3, 4 V_{TH} 분포(524 및 526)가 각각 도 5a의 제 2 V_{TH} 분포로부터 얻어진다. 최종 소거 상태(E) 및 제 1 프로그램된 상태(A)를 각각 나타내는 도 5c의 제 1, 2 V_{TH} 분포들은 도 5b의 제 1 V_{TH} 분포(520)로부터 얻어진다. 제 2, 3 프로그램된 상태(B 및 C)를 각각 나타내는 도 5c의 제 3, 4 V_{TH} 분포들은 도 5b의 제 2 V_{TH} 분포(522)로부터 얻어진다. 제 4, 5 프로그램된 상태(D 및 E)를 각각 나타내는 도 5c의 제 5, 6 V_{TH} 분포들은 도 5b의 제 3 V_{TH} 분포(524)로부터 얻어진다. 제 6, 7 프로그램된 상태(F 및 G)를 각각 나타내는 도 5c의 제 7, 8 V_{TH} 분포들은 도 5b의 제 4 V_{TH} 분포(526)로부터 얻어진다. 또한, 코드 워드들(111, 011, 001, 101, 100, 000, 010 및 110)은 각각 상태들(E, A, B, C, D, E, F 및 G)과 관련될 수 있다.
- [0027] 상태들(E 및 A)은 음의 임계 전압 상태들의 예들이다. 실시에 따라, 하나 이상의 상태들이 음의 임계 전압 상태들이 될 수 있다.
- [0028] 도 5c는 또한 표시된 분포들을 얻는 데에 이용되는 검증 전압들을 도시한다. 구체적으로, 검증 전압들(V_{VE} , V_{VA} ,

V_{VB} , V_{VC} , V_{VD} , V_{VE} , V_{VF} 및 V_{VG})은 각각 분포들(E, A, B, C, D, E, F 및 G)과 관련된다. 프로그래밍 동안, 소정의 분포로 프로그램될 저장 요소들의 임계 전압들은 관련된 검증 전압과 비교된다. 이러한 저장 요소들은, 이들의 임계 전압이 관련된 검증 전압을 초과하는 것으로(즉, 더 큰 것으로) 검증될 때 까지, 관련된 워드라인을 통해 프로그래밍 펄스들을 수신한다.

[0029] 도 5d는 저장 요소의 프로그래밍 상태를 판독하는 데에 이용되는 판독 전압들을 도시한다. 일단 저장 요소들이 프로그램되면, 이들은 이후 판독 전압들(V_{RA} , V_{RB} , V_{RC} , V_{RD} , V_{RE} , V_{RF} 및 V_{RG})을 이용하여 판독될 수 있다. 하나 이상의 저장 요소들(이들은 전형적으로 공통 워드라인과 관련된다)을 각각의 판독 전압과 비교하여, 이들의 임계 전압이 판독 전압을 초과하는 지를 결정한다. 그런 다음, 초과되는 가장 큰 판독 전압에 의해 저장 요소의 상태를 결정할 수 있다. 판독 전압들은 이웃하는 상태들 사이에 제공된다.

[0030] 도시된 프로그래밍 프로세스는 하나의 가능한 예로서, 다른 시도들이 가능하다는 것을 주목해야 한다.

[0031] 음의 임계 전압의 전류 감지(current sensing of negative threshold voltage)

[0032] NAND 메모리 설계를 이용하는 것들을 포함하는 비휘발성 저장 디바이스들에 있어서, 판독 또는 검증 동작들 동안 비휘발성 저장 요소들의 음의 임계 전압 상태들을 감지하기 위해 전류 감지를 이용하는 만족스러운 방법이 이용가능하지 않았다. 전압 감지가 이용되어 왔지만, 이는 완료하는 데에 긴 시간을 필요로 하는 것으로 밝혀졌다. 또한, 비트 라인간의 용량성 결합(bit line-to-bit line capacitive coupling) 및 다른 효과들로 인해, 모든 비트라인 감지에 대해 전압 감지는 적절하지 않은데, 이러한 모든 비트라인 감지에서는, 인접하는 저장 요소들의 그룹에 대해 동시에 감지가 수행된다. 하나의 가능한 해법은, 전류 감지를 이용할 때 감지 동안 소스 전압 및 p웰 전압을 어떠한 고정된 양(fixed, positive)의 DC 레벨로 조정하고, 그리고 감지되는 저장 요소의 제어 게이트를 관련 워드라인을 통해, 소스 및 p웰 전압 보다 낮은 전위에 연결하는 것을 포함한다. 또한, 소스 전압과 p웰 전압을 다르게 하는 것도 가능하다. 소스 및 p웰 전압의 바이어싱을 어떠한 고정된 전위에 결합시키는 이러한 방법에 의하면, 전류 감지를 이용하여 하나 이상의 음의 임계 전압 상태들을 감지하는 것이 가능하다. 또한, 전류 감지는 모든 비트라인 감지와 호환(compatible)될 수 있는데, 이는 전압 감지의 많은 단점들을 피할 수 있기 때문이다.

[0033] 도 6a는 NAND 스트링 및 감지를 위한 컴포넌트들의 구성을 도시한다. 단순화된 예에서, NAND 스트링(612)은 4개의 저장 요소들을 포함하는데, 이들은 각각 워드라인들(WL0, WL1, WL2 및 WL3)과 통신한다. 실제로는, 부가적인 저장 요소들 및 워드라인들이 이용될 수 있다. 또한, 부가적인 NAND 스트링들은 전형적으로 비휘발성 저장 요소들의 블록 또는 다른 세트 내에서 서로에 인접하게 배열된다(예를 들어, 도 14 참조). 저장 요소들은 기판의 p웰 영역에 결합된다. 감지 컴포넌트들(600)에 부가하여, 전압(V_{BL})을 갖는 비트라인(610)이 도시된다. 특히, BLS(비트라인 감지) 트랜지스터(606)가 비트라인(610)에 결합된다. BLS 트랜지스터(606)는 고 전압 트랜지스터(high voltage transistor)이며, 감지 동작들 동안 제어부(control)(608)에 응답하여 개방(open)된다. BLC(비트라인 제어) 트랜지스터(604)는 저 전압 트랜지스터(low voltage transistor)로서, 제어부(608)에 응답하여 개방되며, 이에 의해 비트라인이 전류 감지 모듈(602)과 통신할 수 있게 한다. 판독 또는 검증 동작과 같은 감지 동작 동안, 전류 감지 모듈(602) 내의 캐패시터가 충전되는 프리-차지 동작(pre-charge operation)이 일어난다. BLC 트랜지스터(604)는 개방되어, 프리-차지를 가능하게 한다. 또한, 감지 동작 동안, 음의 임계 전압 상태를 갖는 저장 요소에 대해, 그 동작과 관련된 하나 이상의 저장 요소들의 워드라인에 양의 전압이 인가된다. 음의 임계 전압이 감지되는 감지 동작에 있어서 선택된 워드라인에 대해 양의 전압을 이용하는 것이 유익한데, 그 이유는 음의 워드라인 전압을 제공하기 위한 음의 전하 펌프가 요구되지 않기 때문이다. 많은 비휘발성 저장 시스템들 내에 음의 전하 펌프를 통합시키기 위해서는, 상당한 프로세스 연구 및 변경을 요구할 것이다.

[0034] 예를 들어, 선택된 워드라인이 WL1 이라고 가정한다. WL1 상의 전압은 제어 게이트 판독 전압(V_{CGR})으로서 워드라인 상의 저장 요소들의 제어 게이트들에 결합된다. 또한, 양의 전압(V_{SOURCE})이 NAND 스트링(630)의 소스측에 인가될 수 있고, 양의 전압(V_{P-WELL})이 p웰에 인가될 수 있다. 일 구현에 있어서, V_{SOURCE} 및 V_{P-WELL} 은 V_{CGR} 보다 크다. V_{SOURCE} 및 V_{P-WELL} 은 서로 다르거나, 또는 동일한 DC 전압(V_{DC})에 결합될 수 있다. 또한, $V_{DC} > V_{CGR}$ 이다. 일 예로서, V_{DC} 는 약 0.4 내지 1.5V의 범위, 예를 들어 0.8V가 될 수 있다. V_{DC} 가 더 크게 되면, 더 큰 음의 임계 전압 상태들의 감지를 가능하게 한다. 예를 들어, 제 1, 2 음의 임계 전압 상태들 $V_{TH1}=-1.0V$ 및 $V_{TH2}=-0.5V$ 는 각각 $V_{DC}=1.5V$ 및 $V_{DC}=1.0V$ 를 이용하여 감지될 것이다. V_{DC} 는 $V_{DC}-V_{TH}>0V$ 가 되게 하는 레벨로 설정될 수 있다. 일반적으로, 음의 임계 전압을 감지하기 위해, 워드라인 및 소스 전압들은 게이트 소스간 전압(gate-to-source voltage)

e)이 0 보다 작게 되도록(즉, $V_{GS} < 0V$ 가 되도록) 설정된다. 게이트 소스간 전압이 저장 요소의 임계 전압 보다 크면, 즉, $V_{GS} > V_{TH}$ 이면, 선택된 저장 요소는 도통이 된다. 양의 임계 전압을 감지하기 위해, 선택된 워드라인 전압을 조정하면서, 소스 및 p웰을 동일한 전압으로 유지할 수 있다.

[0035] NAND 스트링(630)의 드레인측에서, BLS 트랜지스터(606)는 턴온된다. 예를 들어, 도통이 되거나 개방된다. 또한, 전압(V_{BLC})이 BLC 트랜지스터(604)에 인가되어, 이 트랜지스터를 도통시킨다. 전류 감지 모듈(602) 내의 프리-차지된 캐패시터는 비트라인을 통해 소스 내로 방전되며, 이에 따라 소스는 전류 싱크(current sink)의 역할을 한다. NAND 스트링의 드레인측에 있는 프리-차지된 캐패시터는 소스의 전위를 초과하는 전위로 프리-차지될 수 있으며, 이에 따라 선택된 저장 요소가 도통 상태에 있을 때, 전류는 그 선택된 비휘발성 저장 요소를 통해 흘러, 소스 내로 싱크된다.

[0036] 특히, V_{CGR} 이 인가되어, 선택된 저장 요소가 도통 상태에 있으면, 비교적 큰 전류가 흐를 것이다. 선택된 저장 요소가 비도통 상태에 있으면, 어떠한 전류도 흐르지 않거나, 또는 비교적 작은 양의 전류가 흐를 것이다. 전류 감지 모듈(602)은 셀/저장 요소 전류(i_{CELL})를 감지할 수 있다. 하나의 가능한 시도에서, 전류 감지 모듈은 관계 $\Delta V = i \cdot t / C$ 에 의해 고정된 전류 흐름에 묶이게 되는(tied) 전압 강하를 결정하며, 여기서 ΔV 는 전압 강하이고, i 는 고정된 전류이고, t 는 미리 결정된 방전 시간 기간이며, 그리고 C 는 전류 감지 모듈 내의 프리-차지된 캐패시터의 캐패시턴스이다. 또한, 고정된 전류의 다른 라인들에 대한 시간에 따른 전압 강하를 도출한 도 6d를 참조한다. 더 큰 전압 강하들은 더 큰 전류들을 나타낸다. 소정의 방전 기간의 끝에서, i 및 C 는 고정되기 때문에, 소정의 전류에 대한 ΔV 가 결정될 수 있다. 하나의 시도에서는, P-MOS 트랜지스터를 이용하여, 경계 값(demarcation value)에 대해 ΔV 의 레벨을 결정한다. 다른 가능한 시도에서, 셀 전류 판별기(cell current discriminator)는, 도통 전류가 소정의 경계 전류(demarcation current) 보다 큰지 또는 작은지를 결정함으로써, 전류 레벨들의 판별기 또는 비교기의 역할을 한다.

[0037] 대조적으로, 전압 감지는 고정된 전류에 묶이게 되는 전압 강하를 감지하는 것을 필요로 하지 않는다. 대신에, 전압 감지는 전압 감지 모듈 내의 캐패시터와 비트라인의 캐패시턴스 간에 전하 공유(charge sharing)가 일어나는 지를 결정하는 것을 포함한다. 감지 동안, 전류는 고정되거나 일정하지 않다. 선택된 저장 요소가 도통일 때에는, 전하 공유가 거의 일어나지 않거나, 또는 아예 일어나지 않는데, 이 경우 전압 감지 모듈 내의 캐패시터의 전압은 크게 강하되지 않는다. 선택된 저장 요소가 도통일 때에, 전하 공유가 일어나는데, 이 경우 전압 감지 모듈 내의 캐패시터의 전압은 크게 강하된다.

[0038] 이에 따라, 전류 감지 모듈(602)은, 선택된 저장 요소가 도통 상태인지 또는 비도통 상태인지를 전류의 레벨에 의해 결정할 수 있다. 일반적으로, 선택된 저장 요소가 도통 상태일 때에는 더 많은 전류가 흐를 것이며, 선택된 저장 요소가 비도통 상태일 때에는 더 적은 전류가 흐를 것이다. 선택된 저장 요소의 임계 전압은, 그 저장 요소가 각각 비도통 상태에 있거나 또는 도통 상태에 있을 때, 검증 레벨(도 5c 참조) 또는 판독 레벨(도 5d 참조)과 같은 비교 레벨(compare level) 보다 높거나 낮다.

[0039] 도 6b는 도 6a와 관련된 파형들을 도시한다. 파형들(620)은 V_{SOURCE} 및 V_{P-WELL} , V_{BL} 및 V_{BLC} 를 도시한다. V_{SOURCE} 및 V_{P-WELL} 은 감지 동작 동안 t_1 에서 높여진 레벨(elevated level)로 설정된다. 하나의 시도에서, 감지 동작이 음의 임계 전압을 필요로 할 때, V_{SOURCE} 및 V_{P-WELL} 은 V_{CGR} 을 초과한다. 하지만, 예를 들어, 감지 동작이 양의 임계 전압을 필요로 할 때, V_{SOURCE} 및 V_{P-WELL} 은 V_{CGR} 을 초과할 필요가 없다. t_1 과 t_2 사이에서, V_{BL} 은 V_{SOURCE} 와 함께 증가한다. t_2 에서는, 프리-차지된 캐패시터가 방전되어, V_{BL} 이 증가한다. 따라서, 선택된 비휘발성 저장 요소와 관련된 드레인의 전위(예를 들어, V_{BL})가 선택된 비휘발성 저장 요소와 관련된 소스의 전위(예를 들어, V_{SOURCE}) 보다 크게 된다. V_{BLC} 는 V_{BL} 을 따라가지만, BLC 트랜지스터의 임계 전압으로 인해 약간 더 높다. 실제로, 올라간 후, V_{BL} 은 NAND 스트링 내에 전류가 흐르는 경우 약간 강하될 것이다(도면 미도시). 예를 들어, $V_{BLC} = 2V$ 이고, BLC 트랜지스터의 임계 전압이 1V 일 때, V_{BL} 은 1V로 올라간다. 감지할 때, 전류가 흐른다면, V_{BL} 은 1V로부터, 이를 테면 0.9V로 강하될 수 있다. 파형(622)은 BLS 트랜지스터에 인가되는 전압을 도시하는 바, 이는 그 트랜지스터가 t_0 과 t_5 사이에서 도통됨을 나타낸다. 파형(624)은, 캐패시터가 전류 감지 모듈 내에서 방전을 시작한 이후의 시간(t)을 나타내는 제어 신호인 감지 신호를 도시한다.

[0040] 파형들(626 및 628)은 감지되는 전압을 도시하는 바, 이 전압은 선택된 비트라인에 대해 고정된 전류에 묶이게

된다. t_3 에서는, 이러한 전압이 경계 레벨을 넘는 지를 결정할 수 있다. 전압 강하가 경계 레벨 보다 아래에 있으면(예를 들어, 라인(628)), 선택된 저장 요소는 도통 상태인 것으로 결론이 난다. 만일 전압이 경계 레벨 아래에 있지 않으면(예를 들어, 라인(626)), 선택된 저장 요소는 비도통 상태이다.

[0041] 도 6c는 도 6a 및 도 6b와 관련된 감지 프로세스를 도시한다. 감지 프로세스의 개요가 제공된다. 본 흐름도 및 다른 흐름도에서, 도시된 단계들은 반드시 개별적인 단계들로서 그리고/또는 도시된 순서로 일어나는 것은 아니다. 판독 또는 검증 동작과 같은 감지 동작은 단계(640)에서 시작된다. 단계(642)는 비트라인을 프리-차지시키기 위해 BLS 및 BLC 트랜지스터들을 개방하는 것을 포함한다. 단계(644)는 워드라인 전압들을 설정하는 것을 포함한다. 단계(646)는 V_{SOURCE} 및 V_{P-WELL} 을 설정하는 것을 포함한다. 단계(648)는 전류 감지를 이용하여 저장 요소가 도통인지 아니면 비도통인지를 결정하는 것을 포함한다. 결정 단계(650)에서, 만일 다른 감지 동작이 수행되어야 한다면, 제어 흐름은 단계(640)에서 계속된다. 만일 다른 감지 동작이 수행될 필요가 없다면, 단계(652)에서 프로세스가 끝난다.

[0042] 다수의 감지 동작들이, 예를 들어 각 검증 또는 판독 레벨에 대해 하나씩, 연속적으로 수행될 수 있다. 하나의 시도에서, 동일한 소스 전압 및 p웰 전압이 각각의 감지 동작에서 인가되지만, 선택된 워드라인 전압은 달라진다. 이에 따라, 제 1 감지 동작에서, 선택된 저장 요소의 제어 게이트/워드라인에 제 1 전압이 인가되고, 소스에 소스 전압이 인가되며, 그리고 p웰에는 p웰 전압이 인가될 수 있다. 제 1 전압 및 소스 전압을 인가하면서 전류 감지를 이용하여, 저장 요소가 도통 상태에 있는지 또는 비도통 상태에 있는 지를 결정한다. 제 2 감지 동작은 동일한 소스 전압 및 p웰 전압을 인가하면서 제어 게이트에 제 2 전압을 인가하는 것을 포함한다. 저장 요소가 도통 상태에 있는지 아니면 비도통 상태에 있는 지에 대한 결정이 이루어진다. 유사하게, 연속적인 감지 동작들은 동일한 소스 전압 및 p웰 전압을 이용하면서, 선택된 워드라인 전압을 변경할 수 있다.

[0043] 또한, 공통 워드라인 및 소스와 관련된 다수의 저장 요소들에 대해 동시에 감지가 수행될 수 있다. 이러한 다수의 저장 요소들은 인접 또는 비인접 NAND 스트링들 내에 있을 수 있다. 이전에 설명한 모든 비트라인 감지는 인접하는 NAND 스트링들 내의 저장 요소들의 동시 감지를 필요로 한다. 이 경우, 이러한 감지는, 동시 감지 동작들로, 비휘발성 저장 요소들 각각이 도통 상태에 있는지 또는 비도통 상태에 있는 지를 전류 감지를 이용하여 결정하는 것을 포함한다.

[0044] 소스 및 P-웰의 바이어싱에 의한 전류 감지

[0045] NAND 메모리 설계들을 이용하는 것들을 포함하는 비휘발성 저장 디바이스들에서, 전류 감지는 판독 동작 또는 검증 동작 동안 비휘발성 저장 요소들의 임계 전압 상태들을 감지하는 데에 이용될 수 있다. 하지만, 이러한 전류 감지는, 특히 접지 전압에서, 소스 전압의 변화 또는 "바운싱(bouncing)"을 야기한다. 이러한 바운싱의 정도는 저장 요소들을 통하는 전류의 레벨에 의존한다. 또한, 이러한 바운싱은 감지 에러들을 야기할 수 있다. 감지 동안 셀 소스 바운스(cell source bounce)를 제어하는 하나의 방법은 적어도 2개의 스트로브(strobe)들을 이용하여 감지하는 것이다. 이는 셀 소스 바운스의 영향을 최소화할 수 있다. 예를 들어, 전류 감지에 의하면, 선택된 저장 요소의 NAND 스트링 내의 전류는 제어부(control)로부터의 각 스트로브에서 감지될 수 있다. 비교적 큰, 또는 그렇지 않으면 부정확한 바운스 전류가 제 1 스트로브에 존재할 수 있고, 제 2 스트로브 때에는 더 낮은 전류가 존재하는데, 이러한 더 낮은 전류는 저장 요소의 감지되는 상태를 더 정확하게 나타낸다. 하지만, 전류가 안정되기를 기다리기 위해 부가적인 스트로브를 이용할 것을 요구하게 되면, 추가의 전류 및 감지 시간을 소모하게 된다. 감지 동작 동안 접지 바운스로 인한 시간에 따른 전류 및 전압 변화를 도시한 도 7a를 참조한다.

[0046] 다른 기술은 저장 요소들의 소스를 게이트 및 드레인에 결합하는 것이다. 하지만, 이 기술은 복잡하며, 결과적으로 추가의 회로들을 요구하며, 메모리 칩의 전력 소모 및 다이 사이즈에 약간의 영향을 주게 된다. 또한, 이 기술은 저장 요소들의 소스로부터 게이트까지의 RC 지연들로 인해 잘 작동되지 않을 수도 있다.

[0047] 일반적으로 이러한 단점들을 회피할 수 있는 하나의 시도는, 감지 동안, 소스 및 p웰을, 접지로 조정하는 대신, 어떠한 고정된 양(positive)의 DC 레벨로 조정하는 것이다. 소스 및 p웰을 고정된 DC 레벨로 유지함으로써, 소스 전압의 바운싱을 피할 수 있게 되며, 이에 따라 단지 하나의 스트로브 만으로 데이터를 감지할 수 있게 된다. 결과적으로, 감지 시간 및 전력 소모가 감소된다. 또한, 상당한 부가 회로를 필요로 하지 않으며, 이에 따라 다이 사이즈에 악영향을 미치지 않게 된다. 또한, 소스 전압을 고정된 양의 DC 레벨로 조정하면서, p웰을 접지시키는 것도 가능하다. 소스 전압을 고정된 양의 DC 레벨로 조정하는 것은, 소스 전압을 접지로 조정하는 것 보다 용이하게 달성될 수 있는데, 그 이유는 조정 회로가 단지 양의 전압들 만을 감지하면 되기 때문이다.

전형적으로, 전압 조정기(voltage regulator)는, 예를 들어 소스의 모니터된 레벨과 내부 기준 전압을 비교한 것에 기초하여, 그 출력을 조정함으로써 작동한다. 만일 모니터된 레벨이 내부 기준 전압 미만이면, 전압 조정기는 그 출력을 증가시킬 수 있다. 유사하게, 모니터된 레벨이 내부 기준 전압을 넘어 증가하면, 전압 조정기는 그 출력을 낮출 수 있다. 전압 조정기는, 예를 들어 연산 증폭기(op-amp)를 이용할 수 있다. 하지만, 기준 전압이 접지에 있는 경우, 모니터된 레벨이 0V 보다 크게 된다면, 일반적으로 전압 조정기는 그 출력을 0V 아래로 낮출 수 없다. 또한, 전압 조정기는 0V 아래의 모니터된 레벨들을 구별하지 못할 수도 있다. 이에 따라, 소스 전압을 고정된 양의 DC 레벨로 조정하게 되면, 접지 바운스를 피하게 되고, 전류 소모 및 감지 시간을 줄일 수 있게 된다. 감지 동작 동안 소스 전압이 고정된 양의 DC 레벨로 조정됨으로 인해 전류 및 전압의 변화가 감소됨을 도시한 도 7b를 참조한다.

[0048] 도 7c는 NAND 스트링 및 감지 컴포넌트들의 다른 구성을 도시한다. 이 구성은, 전압 조정기(720)가 도시된 것을 제외하고는, 도 6a에 제공된 것과 일치한다. 상기 설명한 바와 같이, 소스 전압 및 p웰 전압은 감지 동작들 동안 고정된 양의 DC 레벨로 조정될 수 있다.

[0049] 저장 요소의 판독 동작 또는 검증 동작과 같은 감지 동작 동안, 이러한 동작에 포함되는 하나 이상의 저장 요소들의 워드라인에 전압이 인가된다. 예를 들어, 선택된 워드라인이 WL1 이라고 가정한다. 이 전압은 제어 게이트 판독 전압(V_{CGR})으로서 워드라인 상의 저장 요소들의 제어 게이트들에 결합된다. 또한, 고정된 DC 전압이 NAND 스트링(612)의 소스측 및 p웰에, 각각 소스 전압(V_{SOURCE}) 및 p웰 전압(V_{P-WELL})으로서 인가될 수 있다. 하나의 실시예에 있어서, 임계 전압이 음(negative)일 때, V_{CGR} 은 양(positive)이고, V_{SOURCE} 및 V_{P-WELL} 은 V_{CGR} 보다 더 클 수 있다. 하나의 실시예에 있어서, 임계 전압이 양일 때, V_{CGR} 은 V_{SOURCE} 및 V_{P-WELL} 보다 더 클 수 있다. V_{SOURCE} 및 V_{P-WELL} 은 서로 다를 수도 있고, 동일한 DC 전압(V_{DC})에 결합될 수도 있다. 일 예로서, V_{DC} 는 전압 조정기(720)에 의해 약 0.4 내지 1.2V 범위로, 예를 들어 0.8V로 조정될 수 있다. 소스 및 p웰 상의 일정한 전압으로 인해, 이전에 설명한 바와 같이, 단지 하나의 스트로브 만으로 정확한 감지가 달성될 수 있다. 또한, 모든 비트라인들과 관련된 저장 요소들이 감지되는 모든 비트라인 감지가 수행될 수 있다(도 14 참조). 특히, 전압 조정기(720)는 V_{SOURCE} 를 0V 보다 큰 레벨로 조정하는 데에 이용되는 기준 전압($V_{REF, SOURCE}$) 및 p웰 전압을 0V 보다 크거나 또는 같은 레벨로 조정하는 데에 이용되는 기준 전압($V_{REF, P-WELL}$)을 수신할 수 있다.

[0050] 도 7d는 도 7a-7c와 관련된 감지 프로세스를 도시한다. 판독 또는 검증 동작과 같은 감지 동작은 단계(700)에서 시작된다. 단계(702)는 BLS 및 BLC 트랜지스터들을 개방하여, 비트라인을 프리-차지시키는 것을 포함한다. 단계(704)는 워드라인 전압들을 설정하는 것을 포함한다. 단계(706)는 V_{SOURCE} 및 V_{P-WELL} 을 양의 DC 레벨들로 조정하는 것을 포함한다. 단계(708)는 선택된 저장 요소가 도통 상태인지 아니면 비도통 상태인지를 전류 감지를 이용하여 감지하는 것을 포함한다. 결정 단계(710)에서, 만일 다른 감지 동작이 있으면, 제어 흐름은 단계(700)에서 계속된다. 만일 다른 감지 동작이 없으면, 단계(712)에서 프로세스가 끝난다.

[0051] 또한, 상기 설명한 바와 같이, 공통의 워드라인 및 소스와 관련된 다수의 저장 요소들에 대해 동시에 감지가 수행될 수 있다. 이러한 다수의 저장 요소들은 인접 또는 비인접 NAND 스트링들 내에 있을 수 있다. 이 경우, 이러한 감지는, 동시 감지 동작들로, 비휘발성 저장 요소들 각각이 도통 상태에 있는지 아니면 비도통 상태에 있는지를 전류 감지를 이용하여 결정하는 것을 포함한다. 각 감지 동작에 대해, 전압들은 상기 설명한 바와 같이 조정된다.

[0052] 소스 바이어스 모든 비트라인 감지(source bias all bit line sensing)

[0053] 모든 비트라인 감지는 인접하는 NAND 스트링들 내의 저장 요소들에 대해 감지 동작들을 수행하는 것을 포함한다(도 14 참조). 하나의 가능한 감지 시도는 DC 저장 요소 전류를 이용하여, 고정된 시간 주기 동안 감지 모듈 내의 고정된 캐패시턴스 상의 전하들을 방전시킴으로써, 저장 요소의 임계 전압 값을 디지털 데이터 포맷으로 변환한다. 하지만, 이것은 NAND 스트링의 소스측 내로의 비교적 큰 전류 싱크를 필요로 한다. 또한, 이전에 설명한 바와 같이, 음의 임계 전압 값들을 감지하기 위해, 아날로그 전압 레벨을 이용하여 소스와 p웰 모두에 바이어스가 인가될 수 있으며, 이에 의해 음의 워드라인 전압들 및 음의 전하 펌프에 대한 필요성을 피할 수 있게 된다. 하지만, 모든 비트라인 감지는 소스 바이어스 레벨에 매우 민감하기 때문에, 아날로그 전압 레벨을 유지하기 위해서는, 비교적 큰 전압 조정기 및 어레이 내에서의 소스 전압의 균일한 분포를 필요로 한다. 이는 요구되는 디바이스 면적을 증가시킬 수 있다.

[0054] 모든 비트라인 감지에 대한 다른 시도는 상기 설명한 전압 감지를 이용한다. 이러한 시도는 큰 전압 조정기를

필요로 하지 않는데, 그 이유는 소스측에 대해 어떠한 DC 전류도 없기 때문이다. 하지만, 이러한 시도는 비트라인간 결합 노이즈로 인해 모든 비트라인을 동시에 성공적으로 감지할 수 없었다. 대신에, 예를 들어 홀수-짝수 감지(odd-even sensing)(도 14 참조)로, 소정의 시간에 단지 매 교번적인 비트라인(every alternative bit line)만이 감지된다(즉, 홀수와 짝수 비트라인이 번갈아가며 감지된다). 따라서, 감지 시간 측면에서의 성능이 최적이지 않았다. 특히, 모든 비트라인 감지는 인접하는 NAND 스트링들의 밀접한 근접성(close proximity)으로 인해 문제가 되었다. 용량성 결합은 특히, 선택된 저장 요소가 도통이 되는 NAND 스트링들로부터 선택된 저장 요소가 비도통이 되는 NAND 스트링들로 일어날 수 있다. 이에 따라, 선택된 저장 요소가 비도통이 되는 NAND 스트링의 비트라인 전압이 증가하게 됨으로써, 감지 동작을 방해한다. 이러한 용량성 결합은 이웃하는 비트라인들(813)에 대한 캐패시턴스에 의해 도시된다. 이웃하는 비트라인들/NAND 스트링들은 바로 인접하거나 또는 인접하지 않을 수 있다. 인접하는 비트라인들/NAND 스트링들로부터의 용량성 결합이 가장 강력하기는 하지만, 비인접 비트라인들/NAND 스트링들로부터의 일부 용량성 결합도 일어날 수 있다. 접지에 대한 캐패시턴스(811)가 또한 도시된다.

[0055] 이러한 문제들을 극복하기 위해, 도 8a에 도시된 방식을 이용하여 감지를 수행할 수 있다. 도 8a는, 전류 방전 경로를 포함하는, NAND 스트링 및 컴포넌트들의 구성을 도시한다. 단순화된 예에서, NAND 스트링(812)은 4개의 저장 요소들을 포함하는데, 이들은 각각 워드라인들(WL0, WL1, WL2 및 WL3)과 통신한다. 실제로는, 부가적인 저장 요소들 및 워드라인들이 이용될 수 있다. 또한, 부가적인 NAND 스트링들은 전형적으로 비휘발성 저장 요소들의 블록 또는 다른 세트 내에서 서로에 인접하게 배열된다. 저장 요소들은 기판의 p웰 영역에 결합된다. (V_{SOURCE} 의 전위를 갖는) 소스 라인(801)이 비휘발성 저장 요소들의 한쪽 단부에 있으며, 다른쪽 단부에는, 감지 컴포넌트들(800) 외에, 전압(V_{BL})을 갖는 비트라인(810)이 도시되어 있다. 소스 라인(801)은 복수 개의 NAND 스트링들에 대해 공통일 수 있다. 특히, 처음에 개방되거나 또는 도통이 되는 BLS(비트라인 감지) 트랜지스터(806)는 감지 노드(814)를 통해 비트라인(810)에 결합된다. BLS 트랜지스터(806)는 고 전압 트랜지스터이며, 감지 동작들 동안 제어부(808)에 응답하여 도통이 된다. 처음에 비도통이 되는 BLC(비트라인 제어) 트랜지스터(804)는 저 전압 트랜지스터이며, 제어부(808)에 응답하여 개방되어, 비트라인이 전압 감지 모듈/회로(802)와 통신할 수 있게 한다. 제어부(808)는 또한, 감지 데이터를 얻기 위해 전압 감지 모듈(802)과 통신할 수 있다. 판독 또는 검증 동작과 같은 감지 동작 동안, 전압 감지 모듈(602) 내의 캐패시터가 충전되는 프리-차지 동작이 일어난다. BLC 트랜지스터(804)가 개방되어 프리-차지를 가능하게 할 수 있다.

[0056] 또한, 비교적 약간 전류 풀다운 디바이스(823)가 포함되어 있다. 특히, NAND 스트링(812)에 대한 전류 방전 경로(819)의 일부인 경로(816)가 감지 노드(814)에 결합되며, 이 감지 노드는 트랜지스터(806)를 통해 비트라인(810)에 결합된다. GRS 트랜지스터라 불리는 트랜지스터(818)가 감지하는 동안 도통 상태로 제공되며, 이에 따라 경로(816)가 경로(820)에 결합되는데, 이 경로(820) 역시, INV 트랜지스터라 불리는 다른 트랜지스터(817)가 도통 상태에 있을 때 전류 방전 경로의 일부이다. INV 트랜지스터(817)는 감지 노드(814)와 GRS 트랜지스터(818) 사이에 제공된다. GRS 및 INV 트랜지스터들은 프로그램하는 동안 이용되며, 제어부(808)에 의해 (예를 들어, 상태 머신(1112)에 의해, 도 11 참조) 제어될 수 있다. 감지하는 동안, GRS는 하이(high)가 되며, 이에 따라 트랜지스터(818)가 도통이 된다. 하나의 시도에서, 제어부(808)는 전압 감지 모듈(802)로부터의 데이터에 기초하여 INV 트랜지스터를 제어할 수 있다. 특히, 선택된 저장 요소가 그 의도된 상태로 프로그램되었음을 전압 감지 모듈이 아직 보고하지 않았으면, 제어부(808)는 로크아웃 상태를 설정하지 않는다. 이 경우, INV 트랜지스터가 로우(low)로 설정됨으로써, 트랜지스터(817)는 비도통이 되고, 풀다운 디바이스(823)는 효과가 없게 된다. 선택된 저장 요소가 자신의 의도된 상태로 프로그램되었음(이는 그 저장 요소의 임계 전압이 기준 검증 레벨을 초과한 것에 의해 표시됨)을 전압 감지 모듈이 보고하면, 제어부(808)는 프로그래밍 동작의 나머지에 대해 로크아웃 상태를 설정한다. 비트라인, 감지 모듈 그리고/또는 NAND 스트링은 감지로부터 로크아웃된 것으로 여겨진다. 이 경우, INV는 하이로 래치되며, 이에 따라 트랜지스터(817)는 도통이 되고, 풀다운 디바이스(823)가 유효하게 된다. 이후의 검증 동작들이 일어날 때에 INV는 도통으로 유지됨으로써, 풀다운 디바이스가 유효하게 된다. 이 경우, 감지 노드는 접지로 풀링된다. BLS 트랜지스터(806)가 도통일 때, 비트라인(810) 역시 접지로 풀링되는데, 이 경우 NAND 스트링은 소스(801)로부터 접지로 쇼트(short)된다.

[0057] 따라서, 각 NAND 스트링에 대해, 검증 전압들이 선택된 워드라인에 인가될 때에, 비트라인은 처음에 로크아웃되지 않는다. 부가적인 프로그램 펄스들이 인가되고, 관련된 저장 요소들이 프로그래밍을 완료한 이후, 비트라인들은 전형적으로 다른 시간(time)에 로크아웃된다. 일단 로크아웃되면, 비트라인은 프로그래밍 동작의 나머지에 대해 로크아웃된 상태로 유지된다. 프로그래밍 동작은 하나 이상의 패스(pass)들로 일어날 수 있음을 주목해야 한다. 단일 패스(one pass) 동작에서, 관련된 선택 워드라인의 선택된 저장 요소들은, 다음 워드라인의 저장 요

소들을 프로그램하기 전에, 프로그램 펄스들의 한 세트 또는 트레이를 이용하여 자신들의 의도된 상태들로 완전히 프로그램된다. 2-패스 동작과 같은 다중 패스 동작에서는, 제 1 패스에서, 관련된 선택 워드라인의 선택된 저장 요소들은, 다음 워드라인의 저장 요소들이 부분적으로 프로그램되기 전에, 프로그램 펄스들의 한 세트 또는 트레이를 이용하여, 부분적으로 프로그램된다. 제 2 패스에서, 선택된 저장 요소들은 그 방향(way)의 나머지 것들에 대해 자신들의 의도된 상태로 프로그램된다. 이에 따라, 제 1 패스 동안 로크아웃되는 비트라인은 제 2 패스 동안 로크아웃된 상태로 유지될 것이다.

[0058] 전류 소스(825), 예를 들어 i_{REF} 의 전류를 공급하는 전류 미러가 경로들(816 및 820)과 평행하게 제공됨으로써, 이러한 경로들 상의 전류(i_{REF})를 접지로 풀다운시킨다. 일 예에서는, 약 150nA의 i_{REF} 를 갖는 비교적 약한 풀다운이 제공된다. 하지만, 전류 소스(825)의 세기는 특정의 실시예에 따라 달라질 수 있다.

[0059] 하나의 가능한 구성에서, 전류 소스(825)는 다수의 비트라인들 및 NAND 스트링들에 대해 공통이다. 이 경우, 트랜지스터(824)는 전류 소스(825)를 다른 NAND 스트링들에 결합시킨다. 경로(822)는 특정의 비트라인 및 NAND 스트링에 국부적(local)인 GRS 트랜지스터(818)에 대한 제어 신호를 전달하며, 경로(826)는 다수의 비트라인들에 대한 공통의 접지 경로이다.

[0060] 감지하는 동안, 비트라인은 선택된 저장 요소의 임계 전압 및 바디 이펙트(body effect)에 기초하는 레벨로 충전될 것이다. 음의 V_{ti} 를 이용하게 되면, 저장 요소는 $V_{GCR}=0V$ 일 때에도 도통이 될 것이다. V_{P-WELL} 은 0V로 설정될 수 있다.

[0061] 트랜지스터들(817, 818 및 824)이 도통이 되어, 전류 방전 경로 및 풀다운을 야기함으로써, 이웃하는 비트라인들에 대한 캐패시턴스(813)로 인해 하나 이상의 이웃하는 NAND 스트링들로부터 NAND 스트링(812)에 결합된 임의의 전하를 방전시키게 된다. 이에 따라, 이웃하는 비트라인의 결합 노이즈에 의해 발생하는 임의의 여분의 전하가 결국 없어지게 될 것이다. 일정량의 시간 이후, 모든 비트라인들은 자신들의 DC 레벨들에 이르게 되며, BLC 트랜지스터(804)가 턴온되어, 전압 감지 모듈(802)과 감지 노드(814) 간의 전하 공유를 가능하게 하며, 이에 따라 선택된 저장 요소의 임계 전압의 전압 감지가 일어날 수 있다. 전압 감지 모듈(802)은, 이를 테면 판독 또는 검증 동작의 일부로서 전압 감지를 수행할 수 있다.

[0062] 전압 감지가 일어날 때, BLC 트랜지스터(804)는 개방되며, 이에 따라 전압 감지 모듈(802)로부터 경로(815)의 방전 경로(819) 쪽으로 전류가 흐르게 되며, NAND 스트링(812)로부터 전류가 방전된다. 따라서, GRS 및 INV 트랜지스터들은 도통 상태로 유지되며, 이에 따라 선택된 저장 요소가 비도통인 것으로 결정될 때(이때에는, 설명한 바와 같이, INV가 로우로 래치되어, 트랜지스터(817)가 비도통이 된다) 까지, 전압 감지 동안 방전이 계속된다.

[0063] 도 8b는 NAND 구성 및 컴포넌트들의 구성을 도시하는 바, 여기서 로크아웃된 비트라인은 조정된 소스 전압으로 풀다운된다. 비록 하나 이상의 이웃하는 NAND 스트링들로부터 NAND 스트링(812)에 결합된 임의의 전하를 방전시키는 데에, 도 8a에 도시된 것과 같은 접지로의 풀다운 경로가 효과적이기는 하지만, 감지 모듈(802)이 액티브(active)하지 않을 때, 다른 감지 모듈들이 페이지 내의 자신들의 아직 로크아웃되지 않은(non-yet-locked out) 저장 요소들을 감지함에 있어서 종종 계속해서 액티브하며, 로크아웃된 감지 모듈들은 액티브한 감지 모듈들에 대해 상당한 노이즈 소스가 될 수 있다는 것이 관찰되었다. 특히, 전력 버스 상의 V_{SS} 가 로크아웃된 비트라인에 결합될 때에 메모리 디바이스 내의 전력 버스로 인해, 정상 상태 전압(steady state voltage)(V_{SS}) 시스템 노이즈가 로크아웃된 감지 모듈들(예를 들어, 감지 증폭기들)에 유입된다. 예를 들어, 프로그래밍 절차 동안 n번째 프로그램 펄스 이후 일어나는 검증 동작을 고려한다. 검증 동작이 시작되면, 다수의 비트라인들이 로크아웃될 것이며(이는 관련된 저장 요소들이 프로그래밍을 완료했기 때문이다), 나머지 비트라인들은 로크아웃되지 않는다(이는 관련된 저장 요소들이 아직 프로그래밍을 완료하지 않았기 때문이다). 로크아웃된 비트라인들 내에 주입되는 전력 버스 시스템으로부터의 V_{SS} 노이즈가, 비트라인간 결합으로 인해, 감지 비트라인들에 결합될 수 있게 됨으로써, 관련된 선택 저장 요소들의 상태를 정확하게 감지하는 감지 비트라인들의 능력을 손상시킨다.

[0064] 감지 비트라인들 상의 V_{SS} 노이즈를 줄이거나 없애는 하나의 기술은, 로크아웃된 비트라인들을 V_{SS} 노이즈가 없는 어떠한 DC 레벨로 바이어스시키는 것이다. 도 8b에 도시된 하나의 가능한 시도는, 로크아웃된 비트라인을 풀다운 회로(823)를 통해 소스(801)로 풀다운시키는 것이며, 여기서 소스 전압(V_{SOURCE})은 전압 조정기(827)에 의해 조정된다. 로크아웃된 비트라인들로부터 이러한 노이즈 소스를 제거함으로써, 비트라인간 결합이 감소됨으로 인해, 감지 비트라인들로부터의 노이즈를 제거한다. 결과적으로, 모든 상태들에 대해 더 나은 임계 전압 분포 및

더 정확한 감지가 이루어지게 된다.

[0065] 하나의 예시적인 구현에서, 전압 조정기(827)는, V_{SOURCE} 에 대한 기준 DC 레벨(V_{REF})을, 예를 들어 2-3V, 또는 다른 적절한 레벨로 설정하는 제어부(808)로부터 입력을 수신한다. 일반적으로, $V_{SOURCE} > 0V$ 이다. 피드백 경로(828)는 전압 조정기의 다른 입력이다. 당업자에게 알려져있는 바와 같이, 전형적으로 전압 조정기는 실제 출력 전압과 어떠한 내부의 고정된 기준 전압을 비교함으로써 동작한다. 임의의 차이값이 증폭되어, 조정 요소를 제어하는 데에 이용된다. 이는 음의 피드백 제어 루프(negative feedback control loop)를 형성한다. 출력 전압이 너무 낮으면, 조정요소는 더 높은 전압을 생성할 것을 명령받고, 출력 전압이 너무 높으면, 조정 요소는 더 낮은 전압을 생성할 것을 명령받는다. 다양한 구현들이 가능하다. 예를 들어, 하나 이상의 NAND 스트링들 및 다른 세트들의 저장 요소들과 통신하는 비트라인에 대해 풀다운 회로가 제공될 수 있다. 추가의 상세한 사항들에 대해서는 도 10b를 참조한다.

[0066] V_{SOURCE} 의 개별적인 조정없이, V_{SOURCE} 가 Vdd와 같은 전원 레벨로 설정되는 통상의 기술과 대조적으로, V_{SOURCE} 를 개별적으로 조정하게 되면, 이를 전력 시스템 노이즈에 의해 영향을 받지 않는 고정된 전압으로 확실하게 유지할 수 있게 된다. 비록 전원을 공급하는 전압 발생기가 그 출력이 발생될 때에 어느 정도 조정되기는 하지만, V_{SOURCE} 를 추가적으로 조정하게 되면, 소스에 대한 제어의 정도 및 정확성을 높이게 된다.

[0067] 도 8c는 도 8a와 관련된 파형들을 도시한다. V_{SOURCE} 는 파형(830)으로 도시되고, 3개의 인접하는 비트라인들(BL0, BL1 및 BL2) 상의 전압들은 각각 파형들(832, 834 및 836)로 도시된다. BLS 트랜지스터 상의 전압(V_{BLS})은 파형(838)으로 도시되고, BLC 트랜지스터 상의 전압(V_{BLC})은 파형(840)으로 도시되며, 그리고 GRS 트랜지스터 상의 전압(V_{GRS})은 파형(842)으로 도시된다. BL0 및 BL2 상에서 감지되는 전압은 파형(844)으로 도시된다. BL1 상에서 감지되는 전압은, BL1 상의 선택된 저장 요소가 도통일 때에는 파형(846)으로 도시되고, BL1 상의 선택된 저장 요소가 비도통일 때에는 파형(848)으로 도시된다. 설명한 바와 같이, 전압 감지 동안, 전압 감지 모듈과 비트라인 간의 전하 공유는, 선택된 저장 요소가 비도통일 때에 일어난다. 이러한 전하 공유는 전압 감지 모듈에서 감지되는 전압을 낮춘다. 선택된 저장요소가 도통일 때에는, 전압 감지 모듈과 비트라인 간에 전하 공유가 거의 없거나 또는 아예 없게 되며, 이에 따라 전압 감지 모듈에서 감지되는 전압은 하이로 유지된다. 다른 시간에 감지되는 전압들은 도시되지 않았는데, 이는 감지가 일어나지 않기 때문이다.

[0068] t_0 에서, V_{BLS} 가 증가되어, BLS 트랜지스터가 도통이 된다. t_1 에서, V_{SOURCE} 가 NAND 스트링들의 세트에 대해 공통 소스 전압으로서 인가된다. 본 예에서, BL1과 관련된 선택 저장 요소는 비도통이고, BL0 및 BL2와 관련된 선택 저장 요소들은 도통이라고 가정한다. 한측에서는 BL0이 BL1에 인접하고, 다른 측에서는 BL2가 BL1에 인접한다(도 14 참조). t_1 에서 V_{SOURCE} 가 증가하기 때문에, 각각 파형들(832 및 836)에 의해 도시된 바와 같이, V_{BL0} 및 V_{BL2} 가 올라갈 것이며, 이에 의해 V_{BL1} 의 일시적인 증가에 의해 나타낸 바와 같이, BL1에 대한 용량성 결합을 야기하게 된다. 이러한 결합은 실질적으로 t_2 까지는 없어질 것이다. BL1에 대한 GRS 트랜지스터는 t_1 과 t_5 사이에서 도통인 상태로 유지됨으로써, 설명한 바와 같이, 비트라인으로 하여금 결합된 전하를 방전시킬 수 있게 한다.

[0069] t_3 에서, 파형(840)으로 도시된 바와 같이, V_{BLC} 를 증가시킴으로써 BLC 트랜지스터가 개방되며, 이에 의해 BL1 상의 선택된 저장 요소에 대해 감지가 일어날 수 있게 한다. 주목할 사항으로서, BL0, BL2 및 다른 비트라인들과 관련된 대응하는 컴포넌트들이 유사하게 제어될 수 있으며, 이에 의해 이러한 다른 비트라인들 상에 동시에 감지가 일어날 수 있게 한다. BL1에 대해, 선택된 저장 요소가 비도통이라면, 파형(846)에 의해 도시된 바와 같이, 전압 감지 모듈에서 감지되는 전압이 강해질 것이다. 한편, 선택된 저장 요소가 도통이면, 파형(844)에 의해 도시된 바와 같이, 감지되는 전압은 일반적으로 하이로 유지될 것이다. 전압 감지 컴포넌트들은 특정된 감지 시간(t_4)에서 전압 브레이크 포인트(voltage break point)를 이용하여, 선택된 저장 요소가 도통인지 아니면 비도통인지를 결정할 수 있다. 설명한 바와 같이, 감지되는 전압이 브레이크 포인트를 초과하면, 이는 저장 요소가 개방되어 있음을 나타내며, 감지되는 전압이 브레이크 포인트 미만이면, 이는 저장 요소가 비도통임을 나타낸다. t_5 에서 V_{SOURCE} 가 낮춰지고, t_6 에서 BLS 트랜지스터가 비도통이 됨으로써, 감지 동작의 끝을 나타낸다. 하나의 가능한 시도에서, 감지하는 동안, V_{P-WELL} 은 0V로 설정될 수 있다. 특정의 감지 방식에 따라, 선택된 워드라인은 V_{CGR} 을 수신하고, 비선택 워드라인은 판독 패스 전압들을 수신할 수 있다.

- [0070] 따라서, t1에서 소스 전압이 인가된 후, 이웃하는 비트라인들로부터의 용량성 결합이 충분히 또는 적어도 부분적으로 방전될 수 있는 충분한 시간을 허용하도록, 계속기간(duration)(t3-t1)의 미리 결정된 지연이 정해진다. 이론적인 그리고/또는 실험적인 테스트들에 기초하여, 특정의 구현에 대해 요구되는 바에 따라 적절한 지연이 설정될 수 있다. 지연 이후, 전압 감지가 일어난다. 특정된 시간(t4)에서, 저장 요소가 도통 또는 비도통인지, 그리고 이에 따라 각각 검증 또는 판독 비교 레벨 보다 낮은 또는 높은 임계 전압을 갖는 지를 결정한다.
- [0071] 도 8d는 도 8a-8c와 관련된 감지 프로세스를 도시한다. 단계(850)에서, 로크아웃되지 않은 비트라인들에 대해 감지 동작이 시작된다. 단계(851)에서, 로크아웃된 비트라인들은 조정된 V_{SOURCE} 로 풀다운된다. 단계(852)에서, BLS 트랜지스터는 개방되고, BLC 트랜지스터는 비도통으로 유지되며, 비트라인은 프리-차지된다. 단계(854)에서, 워드라인 전압들이 설정된다. 단계(856)에서, 도 8b와 관련하여 설명된 바와 같이, V_{SOURCE} 는 DC 레벨로 조정된다. 전형적으로, 어레이 내의 복수개의 NAND 스트링들에 대해 공통의 소스가 이용된다. V_{P-WELL} 이 또한 설정된다($V_{P-WELL}=0V$). 단계(858)에서, 비트라인이 방전된다. 단계(860)에서, BLC 트랜지스터가 도통이 되어, 감지가 일어날 수 있게 한다. 단계(862)에서, 선택된 저장 요소가 도통인지 또는 비도통인지를 전압 감지를 이용하여 결정한다. 만일 선택된 저장 요소가 도통이면, 비트라인은 프로그래밍 프로세스의 다음 검증 동작과 같은 다음 감지 동작에서 로크아웃된다(단계 863). 만일, 결정 단계(864)에서, 다른 감지 동작이 있으면, 제어 흐름은 단계(850)에서 계속된다. 만일 다른 감지 동작이 없으면, 단계(866)에서 프로세스가 끝난다.
- [0072] 또한, 이전에 설명한 바와 같이, 공통 워드라인 및 소스와 관련된 다수의 저장 요소들에 대해 동시에 감지가 수행될 수 있다. 이러한 다수의 저장 요소들은 인접하는 또는 인접하지 않는 NAND 스트링들 내에 있을 수 있다. 이러한 경우, 감지는, 동시 감지 동작들로, 비휘발성 저장 요소들 각각이 도통 상태인지 또는 비도통 상태인지를 전류 감지를 이용하여 결정하는 것을 포함한다. BLC 트랜지스터가 개방되기 전의 지연이 각 NAND 스트링에 대해 정해질 수 있으며, 이에 따라 NAND 스트링들은 감지가 일어나기 전에 필요에 따라 방전될 수 있다.
- [0073] 감지 동작들 동안 비트라인 온도 보상
- [0074] NAND 플래시 메모리 디바이스들과 같은 종래의 비휘발성 저장 디바이스들에서, 온도 변화는 데이터를 판독 및 기록함에 있어서 많은 문제들을 제기한다. 메모리 디바이스는 자신이 위치하는 환경에 기초하여 온도가 달라질 수 있다. 예를 들어, 현재의 일부 메모리 디바이스들은 $-40^{\circ}C$ 와 $+85^{\circ}C$ 사이에서 이용하도록 규격이 정해진다. 산업적인 애플리케이션, 군사적인 애플리케이션 및 심지어 소비자 애플리케이션의 디바이스들조차도 상당한 온도 변화를 겪을 수 있다. 온도는 많은 트랜지스터 파라미터들에 영향을 미치며, 그 중에서 가장 우세한 것이 임계 전압이다. 특히, 온도 변화는 판독 에러들을 야기할 수 있고, 비휘발성 저장 요소의 서로 다른 상태들의 임계 전압 분포들을 넓게 할 수 있다. 비휘발성 저장 디바이스들에서의 온도의 영향을 해결하기 위한 개선된 기술에 대해 하기에서 설명한다.
- [0075] 도 9a는 NAND 스트링 및 온도-보상된 감지를 위한 컴포넌트들을 도시한다. 같은 부호가 부여된 컴포넌트들은 도 8a에 제공된 것에 대응한다. 여기에서는, 도 8a의 전류 방전 경로는 도시되지 않았다. 하지만, 도 8a의 구성은 도 9a의 구성, 또는 여기에서 제공되는 다른 도면들의 구성과 결합될 수 있다. 또한, 온도-의존 회로(temperature-dependent circuit)(900)가 제어부(808)의 일부로서 제공됨으로써, BLC 트랜지스터(804)에 온도 보상된 전압을 제공한다. BLC 트랜지스터(804)의 한 노드는 전압 감지 모듈(802)에 결합되고, 다른 노드는 NAND 스트링(812) 또는 비휘발성 저장 요소들의 다른 세트와 관련된 드레인 또는 비트라인에 결합된다.
- [0076] 감지 동작 동안, 전압(V_{BLC})이 BLC 트랜지스터(804)에 인가되며, 이 BLC 트랜지스터는 NAND 스트링(812)의 비트라인 또는 드레인측을 전압 감지 모듈(802)에 결합시킨다. 여기에서의 시도에 따르면, 온도에 따른 V_{BL} 의 변화를 없애거나 또는 보상하기 위해, V_{BLC} 를 온도에 기초하여 설정한다. 구체적으로, $V_{BLC}=V_{BL}+V_{TH}(\text{온도-비의존})+\Delta V$ 이며, 여기서 ΔV 는 온도로 인한 온도 변화이다. V_{BL} 역시 온도로 인해 ΔV 만큼 변화된다. 따라서, V_{BLC} 은 V_{BL} 의 변화에 따라서 온도에 따라 달라지도록 제어될 수 있다. 특히, 온도-의존 회로(900)를 이용함으로써, 비트라인 상에서의 ΔV 는 V_{BLC} 의 ΔV 와 일치(match)될 수 있다. NAND 스트링(812) 내에서는 전류(i_{CELL})가 흐른다. 점선은 전하 공유를 나타낸다. 이전에 설명한 바와 같이, 접지 또는 조정된 V_{SOURCE} 로의 풀다운이 또한 이용될 수 있다.
- [0077] 도 9b는 온도에 따른 임계 전압 변화, 예를 들어 $\Delta V_{TH}/^{\circ}C$ 를 도시한다. 전형적으로, 비휘발성 저장 요소의 임계 전압은 온도가 올라갈수록 감소한다. 온도 변화에 대한 전압의 변화는, 전형적으로 약 $-2mV/^{\circ}C$ 인 온도 계수의 식으로 표현될 수 있다. 온도 계수는 도핑, 레이아웃 등과 같은, 메모리 디바이스의 다양한 특성에 의존한다.

또한, 메모리 치수들이 감소할 수록, 온도 계수의 크기가 증가할 것으로 기대된다.

[0078] 일반적으로 온도 보상된 신호들을 제공하기 위한 다양한 기술들이 알려져 있다. 이러한 기술들 중 하나 이상의 기술이, 이를 테면 온도-의존 회로(900)에 이용될 수 있다. 이러한 기술들중 대부분은 실제 온도 측정치를 얻는 것에 의존하지는 않지만, 이러한 시도 역시 가능하기는 하다. 예를 들어, 그 명칭이 "Voltage Generation Circuitry Having Temperature Compensation"이며 참조로서 본원에 통합되는 미국 특허 6,801,454호는, 온도 계수에 기초하여 비휘발성 메모리에 관독 전압들을 출력하는 전압 발생 회로를 개시한다. 이 회로는 밴드갭 전류(band gap current)를 이용하는데, 이러한 밴드갭 전류는 온도 비의존 부분(temperature-independent portion) 및 온도가 증가할수록 증가하는 온도 의존 부분(temperature-dependent portion)을 포함한다. 그 명칭이 "Non-Volatile Memory With Temperature-Compensated Data Read"이며 참조로서 본원에 통합되는 미국 특허 6,560,152호는, 데이터 저장 요소의 소스 또는 드레인에 인가되는 전압을 바이어싱하는 바이어스 발생 회로(bias generator circuit)를 이용한다. 그 명칭이 "Multi-State EEPROM Read and Write Circuits and Techniques"이며 참조로서 본원에 통합되는 미국 특허 5,172,338호는, 데이터 저장 셀들과 동일한 방식으로 동일한 집적 회로 칩 상에 형성되는 기준 저장 셀들을 이용하는 온도-보상 기술을 개시한다. 이러한 기준 저장 셀들은 기준 레벨들을 제공하며, 선택된 셀들의 측정된 전류들 또는 전압들이 이러한 기준 레벨들과 비교된다. 온도 보상이 제공되는데, 그 이유는 상기 기준 레벨들은 데이터 저장 셀들로부터 관독되는 값들과 동일한 방식으로 온도에 의해 영향을 받기 때문이다. 이러한 기술들중 임의의 기술 뿐 아니라, 기타 임의의 알려진 기술들을 이용하여, 여기에서 설명되는 바와 같이, 비트라인 제어 라인에 온도-보상된 전압을 제공할 수 있다.

[0079] 상기 설명한 V_{BLC} 는 BLC 트랜지스터(804)에 제공되는 제어 신호 또는 전압의 전압으로서, 감지 컴포넌트로 하여금 소거-검증 또는 다른 감지 동작을 겪고 있는 선택된 저장 요소의 V_{TH} 를 감지할 수 있게 한다. 감지는, 선택된 저장 요소가 위치하는 NAND 스트링의 비트라인을 통해 일어난다. 예시적인 구현에서, $V_{BLC}=V_{BL}+V_{TH}$ (BLC 트랜지스터)이다. 따라서, V_{BL} 의 증가를 따라가기 위해, 온도 증가에 따라 V_{BLC} 를 증가시키도록 제어된다. 저장 요소의 소정의 V_{TH} 에 대해, V_{BL} 은 온도에 따라 증가할 것이다.

[0080] 도 9c는 온도에 따른 V_{BLC} 및 V_{BL} 의 변화를 도시한다. 이 도면은 V_{BL} 의 증가를 따라가기 위해, 온도 증가에 따라 V_{BLC} 가 어떻게 증가하는 지를 도시한다. 온도에 대하여 V_{BLC} 의 특성의 변화를 제공하는 제어 곡선은, 이론적인 그리고 실험적인 결과들에 기초하여 특성의 구현에 따라 제어부(808) 내에 프로그램될 수 있다. 일반적으로, 저장 요소의 V_{TH} 는 더 높은 온도들에 대해 감소하기 때문에, 비트라인 전압이 증가한다. 이는, 전압 감지 모듈(802)이 더 높은 V_{BL} 을 감지하기 위해서는 V_{BLC} 가 더 높아야 함을 의미한다. 저장 요소의 V_{TH} 가 V_{BL} 을 규정한다는 것을 주목해야 한다. 하지만, V_{BLC} 를 변경하게 되면, 전압 감지 모듈이 감지하는 전압을 변경시키게 됨으로써, 이 전압이 온도 보상된다. 또한, 주목할 사항으로서, BLC 트랜지스터(804)의 V_{TH} 의 변화는, 이 BLC 트랜지스터(804)와 유사한, 온도에 따라 변하는 온도-의존 회로(900)에 트랜지스터를 제공함으로써 없앨 수 있다.

[0081] 도 9d는 도 9a-9c와 관련된 파형들을 도시한다. 파형(910)은 V_{SOURCE} 및 V_{P-WELL} 을 도시하는 바, 이들은 감지 동작 동안 t_1 에서 올려진 레벨로 설정된다. 파형들(912 및 914)은 V_{SOURCE} 및 V_{P-WELL} 의 인가로 인한 V_{BL} 의 증가를 도시한다. 온도가 더 높을 수록 V_{BL} 의 레벨이 더 높다는 것을 파형(912) 대 파형(914)에 의해 도시하였다. 실제로, 올라간 후, NAND 스트링 내에서 전류가 흐를 때 V_{BL} 은 약간 강하될 수 있다(미도시). 파형(916)은 트랜지스터(BLS)에 인가되는 전압을 도시하는 바, t_0 에서 턴오프를 나타낸다. 파형들(918 및 920)은 각각 더 높은 온도 및 더 낮은 온도에서 트랜지스터(BLC)에 인가되는 전압들을 도시한다. 주목할 사항으로서, 제공되는 파형들은 도 8a-8d의 방식과 협력하여 온도 보상 방식을 위한 것으로서, 여기에서는 BLC 트랜지스터의 개방이 지연됨으로써, 감지 전에 방전이 일어날 수 있게 한다. 하지만, 이러한 온도 보상 방식은 이러한 식으로 이용될 것이 요구되지 않으며, 감지시에 방전 경로 그리고/또는 지연을 필요로 하지 않는 다른 구현들에서 이용될 수 있다.

[0082] 파형(922)은 선택된 저장 요소가 개방될 때에 선택된 비트라인에 대해 전압감지 모듈에서 감지되는 전압을 도시하고, 파형(924)은 선택된 저장 요소가 비도통일 때에 감지되는 전압을 도시한다. t_2 에서는, 감지되는 전압이 브레이크 포인트를 넘는 지를 결정할 수 있다. 감지되는 전압이 브레이크 포인트를 넘거나 또는 브레이크 포인트 아래로 떨어질 때, 선택된 저장 요소가 도통 또는 비도통인 것으로 각각 결론이 난다.

[0083] 도 9e는 도 9a-9d와 관련된 감지 프로세스를 도시한다. 관독 또는 검증 동작과 같은 감지 동작이 단계(930)에서

시작된다. 단계(932)는 BLS 및 BLC 트랜지스터들을 도통이 되게 하고, 비트라인을 프리-차지시키며, 그리고 온도 의존 V_{BLC} 를 설정하는 것을 포함한다. 단계(934)는, 선택적으로 온도 의존성인 워드라인 전압들을 설정하는 것을 포함한다. 하나의 시도에서는, 선택된 워드라인 전압 만이 온도-의존성이고, 다른 시도들에서는, 워드라인 전압들중 일부 또는 전부가 온도 의존성이다. 워드라인 전압들은 V_{TH} 의 감소에 따라서 온도의 증가에 따라 감소할 수 있다(도 9b 참조). 단계(936)은 V_{SOURCE} 및 V_{P-WELL} 을 설정하는 것을 포함한다. 단계(938)는 선택된 저장 요소가 도통인지 또는 비도통인지를 전압 감지를 이용하여 결정하는 것을 포함한다. 결정 단계(940)에서, 다른 동작이 수행되어야 한다면, 단계(930)에서 제어 흐름이 계속된다. 그렇지 않으면, 단계(942)에서 프로세스가 끝난다.

[0084] 주목할 사항으로서, NAND 스트링의 드레인 또는 비트라인은 선택된 저장 요소의 드레인과 통신하는데, 이는 관련된 워드라인들 상의 충분히 높은 전압들로 인해, 선택된 저장 요소의 드레인측 상의 저장 요소들이 도통 상태에 있기 때문이다. 유사하게, NAND 스트링의 소스는 선택된 저장 요소의 소스와 통신하는데, 이는 관련된 워드라인들 상의 충분히 높은 전압들로 인해, 선택된 저장 요소의 소스측 상의 저장 요소들이 도통 상태에 있기 때문이다. 따라서, NAND 스트링의 드레인 또는 비트라인의 전압 역시 본질적으로는 선택된 저장 요소의 드레인의 전압이며, NAND 스트링의 소스의 전압 역시 본질적으로는 선택된 저장 요소의 소스의 전압이다. 또한, 감지되고 있는 저장 요소가 NAND 스트링 또는 저장 요소들의 다른 세트 내에 있을 필요가 없는데, 왜냐하면 여기에서 설명되는 기술은 단일 저장 요소에 대해서도 이용될 수 있기 때문이다.

[0085] 또한, 이전에 설명한 바와 같이, 공통의 워드라인 및 소스와 관련된 다수의 저장 요소들에 대해 동시에 감지가 수행될 수 있다.

[0086] 또한, 제어부(808)의 견지로부터, 감지 프로세스는 온도-의존 회로(900)로부터 정보를 수신하고, 이러한 정보에 응답하여, BLC 트랜지스터의 제어 게이트에 온도-보상된 전압을 제공하는 것을 포함하며, 이러한 BLC 트랜지스터는 NAND 스트링 또는 비휘발성 저장 요소들의 다른 세트를 감지 회로에 결합시킨다. 제어부는 또한, 워드라인, 소스 및 p웰 전압들을 설정할 뿐만 아니라, 선택된 저장 요소의 감지되는 프로그래밍 상태에 대한 정보를 전압 감지 모듈(802)로부터 수신할 수 있다.

[0087] 도 9f는 소거-검증 프로세스를 도시한다. 단계(950)는 저장 요소들의 세트를 소거하는 것을 포함한다. 단계(952)는, 이를 테면 하나 이상의 저장 요소들의 원하는 소거 상태로의 소프트 프로그래밍을 시작하는 것을 포함한다. 일반적으로, 소프트 프로그래밍은, 선택된 워드라인 상의 하나 이상의 저장 요소들의 임계 전압을 올리기 위해, 선택된 워드라인에 전압 펄스들을 인가하는 것을 포함한다. 이러한 전압 펄스들은 소프트 프로그래밍 펄스들이 될 수 있는데, 이러한 펄스들은 더 높은 상태들로 프로그래밍하는 데에 이용되는 것들 보다 진폭이 더 낮다(단계 954). 이러한 타입의 프로그래밍은, 예를 들어 저장 요소들의 임계 전압들이 모두 원하는 소거 상태의 임계 전압 미만이 되도록 하기 위해 이러한 저장 요소들이 딥 소거(deep erase)를 받을 때에, 이용될 수 있다. 단계(956)는, 예를 들어 원하는 소거 상태에 대해, 저장 요소들의 프로그래밍 상태를 검증하는 것을 포함한다. 예를 들어, 이것은 상기 설명한 도 9e의 단계들(932-938)을 수행하는 것을 포함할 수 있다. 결정 단계(958)에서, 소프트 프로그래밍이 계속되어야 한다면, 예를 들어 저장 요소가 원하는 소거 상태에 도달하지 않았으면, 제어 흐름은 단계(954)에서 계속된다. 그렇지 않으면, 프로세스는 단계(960)에서 끝난다.

[0088] 또한, 소거-검증 동작은 공통의 워드라인 및 소스와 관련된 다수의 저장 요소들에 대해 동시에 수행될 수 있다.

[0089] 도 10a는 온도에 따른 V_{SOURCE} 의 변화를 도시한다. 다른 시도에서, V_{SOURCE} 는, 예를 들어 온도 보상됨으로써, 온도와 함께 증가한다. 일반적으로, $V_{WL}=V_{SOURCE}+V_{TH}$ (선택된 저장 요소)이며, 여기서 V_{WL} 은 선택된 워드라인에 인가되는 전압이다. 설명한 바와 같이, V_{TH} 는 온도와 함께 감소한다. 따라서, V_{WL} 은 고정되기 때문에, 감지하는 동안 온도 바이어스를 피하기 위해, V_{SOURCE} 는 온도와 함께 증가하도록 설정될 수 있다. 또한, 하나의 가능한 구현에서, V_{SOURCE} 가 양의 값들에 대해서만 증가하도록 제약을 둘 수 있다. 예를 들어, 만일 베이스라인(baseline) 온도에서 $V_{SOURCE}=0V$ 이고, 온도가 증가하면, V_{SOURCE} 는 0V로 유지된다. 만일 온도가 감소한다면, V_{SOURCE} 는 온도 계수에 따라 증가한다. 한편, 베이스라인 온도에서 $V_{SOURCE}>0V$ 이고, 온도가 증가하면, V_{SOURCE} 는 0V 보다 크거나 같은 값, 즉 음이 아닌 값으로 감소할 수 있다. 만일 온도가 감소하면, V_{SOURCE} 는 온도 계수에 따라 증가한다.

[0090] 도 10b는 NAND 스트링들의 다른 세트들을 포함하는 저장 요소들의 어레이의 예를 도시한다. 메모리 어레이(1000)의 p웰(1005)에서, NAND 스트링들의 제 1 세트(1050)는 NAND 스트링들(1052, 1054, ..., 1056) 및 관련

소스 라인(1058)을 포함하고, NAND 스트링들의 제 2 세트(1060)는 NAND 스트링들(1062, 1064, ..., 1066) 및 관련 소스 라인(1068)을 포함하며, 그리고 NAND 스트링들의 제 3 세트(1070)는 NAND 스트링들(1072, 1074, ..., 1076) 및 관련 소스 라인(1078)을 포함한다. 또한, 메모리 어레이(1000)의 각 컬럼(column)을 따라, 비트 라인(1006, 1007, ..., 1008)이 각각 NAND 스트링들(1052, 1054, ..., 1056)의 관련된 세트에 대한 드레인 선택 게이트의 드레인 단자(1026, 1027, ..., 1028)에 결합된다. NAND 스트링들의 각 로우(row)를 따라, 소스 라인은 NAND 스트링들의 소스 선택 게이트들의 모든 소스 단자들을 연결할 수 있다. 예를 들어, NAND 스트링들의 제 1 세트(1050)에 대해, 소스 라인(1058)은 각각 NAND 스트링들(1052, 1054, ..., 1056)의 세트들의 소스 선택 게이트들의 소스 단자들(1036, 1037, ..., 1038)을 연결한다. 또한, 도 8b와 관련하여 설명된 것과 같은 전압 조정기(1090)가 제공될 수 있다. 이 전압 조정기는 전도성 경로(1095)를 통해 소스 라인들(1058, 1068, ..., 1078) 및 풀다운 회로들(1020, 1021, ..., 1022)에 결합되며, 이러한 풀다운 회로들은 각각 감지 블록들(1010, 1011, ..., 1012)에 결합된다. 전압 조정기(1090)는 피드백 루프를 이용하여 V_{SOURCE} 를 정확하게 제어함으로써, V_{SOURCE} 상의 노이즈로 명백히 나타나는 전력 시스템 노이즈에 의해 영향을 받지 않도록, 또는 감소된 정도로 영향을 받을 수 있게 된다.

[0091] 이러한 시도에서, 공통의 비트라인, 감지 블록 및 풀다운 회로는 다수의 NAND 스트링들 또는 비휘발성 저장 요소들의 다른 세트와 관련될 수 있다. 많은 다른 구현들이 또한 가능하다. 예를 들어, 비트라인, 감지 블록 및 풀다운 회로는 각각의 NAND 스트링과 관련될 수 있다.

[0092] 메모리 시스템의 일부로서의 NAND 아키텍처 어레이 및 그 동작의 예는 미국 특허 제5,570,315호, 제5,774,397호 및 제6,046,935호에서 찾아볼 수 있다. 저장 요소들의 어레이는 저장 요소들의 많은 수의 블록들로 분할된다. 플래시 EEPROM 시스템에 대해 공통적인 바와 같이, 블록은 소거의 단위이다. 즉, 각 블록은 함께 소거되는 최소 수의 저장 요소들을 포함한다. 전형적으로, 각 블록은 다수의 페이지들로 분할된다. 페이지는 프로그래밍의 단위이다. 일 실시예에서, 개별적인 페이지들은 세그먼트들로 분할되고, 세그먼트들은 기본적인 프로그래밍 동작으로서 한번에 기록되는 최소수의 저장 요소들을 포함한다. 전형적으로, 하나 이상의 데이터 페이지들이 저장 요소들의 하나의 로우에 저장된다. 페이지는 하나 이상의 섹터들을 저장할 수 있다. 섹터는 사용자 데이터 및 오버헤드 데이터를 저장한다. 전형적으로, 오버헤드 데이터는 섹터의 사용자 데이터로부터 계산되는 에러 정정 코드(ECC)를 포함한다. (하기 설명되는) 제어기의 일부는 데이터가 어레이 내에 프로그램되고 있을 때에 ECC를 계산하며, 그리고 또한 언제 데이터가 어레이로부터 판독되는 지를 체크한다. 대안적으로, ECC들 그리고/또는 다른 오버헤드 데이터는 이들이 관련되는 사용자 데이터와 다른 페이지들 내에, 또는 심지어 다른 블록들 내에 저장될 수 있다.

[0093] 전형적으로, 사용자 데이터의 섹터는 512 바이트들인데, 이는 자기 디스크 드라이브들 내의 섹터의 사이즈에 대응한다. 전형적으로, 오버헤드 데이터는 부가적인 16-20 바이트들이다. 많은 수의 페이지들은, 8페이지로부터, 예를 들어 최대 32, 64, 128 또는 그 이상의 페이지들까지 어디에서든지 블록을 형성한다. 일부 실시예들에서, NAND 스트링들의 하나의 로우는 하나의 블록을 포함한다.

[0094] 일 실시예에서, 메모리 저장 요소들은, 충분한 시간 주기 동안 p-웰을 소거 전압(예를 들어, 20V)으로 올리고, 소스 및 비트라인들이 플로팅되는 동안, 선택된 블록의 워드라인들을 접지시킴으로써, 소거된다. 용량성 결합으로 인해, 비선택 워드라인들, 비트라인들, 선택 라인들 및 c-소스 역시 소거 전압의 상당 부분(significant fraction)까지 올라간다. 이에 따라, 선택된 저장 요소들의 터널 산화물층들에 강한 전계가 걸리게 되고, 전형적으로 파울러-노드하임 터널링 메커니즘에 의해 플로팅 게이트들의 전자들이 기관측으로 방출됨에 따라, 선택된 저장 요소들의 데이터가 소거된다. 전자들이 플로팅 게이트로부터 p-웰 영역으로 이동함에 따라, 선택된 저장 요소의 임계 전압이 낮아진다. 소거는 전체 메모리 어레이, 개별적인 블록들 또는 다른 단위의 저장 요소들에 대해 수행될 수 있다.

[0095] 도 11은 단일의 로우/컬럼 디코더들 및 판독/기록 회로들을 이용하는 비휘발성 메모리 시스템의 블록도이다. 이러한 블록도는 본 발명의 일 실시예에 따라, 저장 요소들의 페이지를 병렬로 판독 및 프로그래밍하기 위한 판독/기록 회로들을 갖는 메모리 디바이스(1196)를 도시한다. 메모리 디바이스(1196)는 하나 이상의 메모리 다이(1198)를 포함한다. 이 메모리 다이(1198)는 저장 요소들의 2차원 어레이(1000), 제어 회로(1110) 및 판독/기록 회로들(1165)을 포함한다. 일부 실시예들에서, 저장 요소들의 어레이는 3차원이 될 수 있다. 메모리 어레이(1000)는 로우 디코더(1130)를 통해 워드 라인들에 의해 어드레스가능하며, 그리고 컬럼 디코더(1160)를 통해 비트라인들에 의해 어드레스가능하다. 판독/기록 회로들(1165)은 다수의 감지 블록들(1100)을 포함하고, 저장 요소들의 페이지가 병렬로 판독 또는 프로그래밍될 수 있게 한다. 전형적으로, 제어기(1150)는 하나 이상의 메모리

리 다이(1198)와 동일한 메모리 디바이스(1196)(예를 들어, 제거가능한 저장 카드) 내에 포함된다. 커맨드들 및 데이터는 라인들(1120)을 통해 호스트와 제어기(1150) 사이에, 그리고 라인들(1118)을 통해 제어기와 하나 이상의 메모리 다이(1198) 사이에 전송된다.

[0096] 제어 회로(1110)는 메모리 어레이(1000) 상에서 메모리 동작들을 수행하기 위해 판독/기록 회로들(1165)과 협동한다. 제어 회로(1110)는 상태 머신(1112), 온칩 어드레스 디코더(1114) 및 전력 제어 모듈(1116)을 포함한다. 상태 머신(1112)은 메모리 동작들의 칩 레벨 제어를 제공한다. 온칩 어드레스 디코더(1114)는 디코더들(1130 및 1160)에 의해 이용되는 하드웨어 어드레스와 호스트 또는 메모리 제어기에 의해 이용되는 것 간에 어드레스 인터페이스를 제공한다. 전력 제어 모듈(1116)은 메모리 동작들 동안 워드 라인들 및 비트라인들에 공급되는 전력 및 전압들을 제어한다.

[0097] 어떠한 구현들에 있어서, 도 11의 컴포넌트들중 일부는 결합될 수 있다. 다양한 설계들에서, 저장 요소 어레이(1000) 이외의, 하나 이상의 컴포넌트들은 (단독으로 또는 결합하여) 관리 또는 제어 회로로서 간주될 수 있다. 예를 들어, 하나 이상의 관리 또는 제어 회로들은 제어 회로(1110), 상태 머신(1112), 디코더들(1114/1160), 전력 제어 모듈(1116), 감지 블록들(1100), 판독/기록 회로들(1165), 제어기(1150) 등 중에서 어느 하나 또는 이들의 결합을 포함할 수 있다.

[0098] 도 12는 이중의 로우/컬럼 디코더들 및 판독/기록 회로들을 이용하는 비휘발성 메모리 시스템의 블록도이다. 여기에서는, 도 11에 나타난 메모리 디바이스(1196)의 다른 배열이 제공된다. 다양한 주변 회로들에 의한 메모리 어레이(1000)로의 액세스는, 어레이의 반대측들 상에서, 대칭적인 방식으로 실시되며, 이에 따라 각 측 상의 회로들 및 액세스 라인들의 밀도는 반으로 줄어든다. 따라서, 로우 디코더는 로우 디코더들(1130A 및 1130B)로 분할되고, 컬럼 디코더는 컬럼 디코더들(1160A 및 1160B)로 분할된다. 유사하게, 판독/기록 회로들은 바닥으로부터 비트라인들에 연결되는 판독/기록 회로들(1165A) 및 어레이(1000)의 상부로부터 비트라인들에 연결되는 판독/기록 회로들(1165B)로 분할된다. 이러한 방식으로, 판독/기록 모듈들의 밀도는 본질적으로 1/2로 감소된다. 도 12의 디바이스 역시 도 11의 디바이스에 대해 상기 설명한 제어기를 포함할 수 있다.

[0099] 도 13은 감지 블록의 일 실시예를 도시하는 블록도이다. 개별적인 감지 블록(1100)은 감지 모듈(1180)로서 지칭되는 코어 부분 및 공통 부분(1190)으로 분할된다. 일 실시예에서는, 각 비트라인에 대해 개별적인 감지 모듈(1180)이 있고, 다수의 감지 모듈들(1180)의 세트에 대해 하나의 공통 부분(1190)이 있다. 일 예에서, 감지 블록은 하나의 공통 부분(1190) 및 8개의 감지 모듈들(1180)을 포함한다. 그룹 내의 각 감지 모듈들은 데이터 버스(1172)를 통해 관련 공통 부분과 통신한다. 보다 상세한 사항들에 대해서는, 2006년 6월 29일 공개되었으며 그 명칭이 "Non-Volatile Memory and Method with Shared Processing for an Aggregate of Sense Amplifiers"인 미국 특허 공개 2006/0140007호를 참조하기 바람이며, 이는 그 전체가 참조로서 본원에 통합된다.

[0100] 감지 모듈(1180)은 감지 회로(1170)를 포함하는데, 이 감지 회로는 연결된 비트라인 내의 도통 전류가 소정의 임계 레벨 이상인지, 아니면 미만인지를 결정한다. 감지 모듈(1180)은 또한, 연결된 비트라인 상에 전압 조건을 설정하는 데에 이용되는 비트라인 래치(1182)를 포함한다. 예를 들어, 비트라인 래치(1182)에 래치된 소정의 상태는, 연결된 비트라인이 프로그램 금지를 나타내는 상태(예를 들어, V_{DD})로 풀링(pulling)되게 한다.

[0101] 공통 부분(1190)은 프로세서(1192)와, 데이터 래치들의 세트(1194)와, 그리고 데이터 버스(1120)와 데이터 래치들의 세트(1194) 사이에 결합된 I/O 인터페이스(1196)를 포함한다. 프로세서(1192)는 계산들을 수행한다. 예를 들어, 그 기능들중 하나는 감지된 메모리 셀에 저장된 데이터를 결정하고, 결정된 데이터를 데이터 래치들의 세트에 저장하는 것이다. 데이터 래치들의 세트(1194)는 판독 동작 동안 프로세서(1192)에 의해 결정된 데이터 비트들을 저장하는 데에 이용된다. 이는 또한 프로그램 동작 동안 데이터 버스(1120)로부터 들어오는 데이터 비트들을 저장하는 데에 이용된다. 들어오는 데이터 비트들은 메모리 내에 프로그램될 것으로 의도되는 기록 데이터를 나타낸다. I/O 인터페이스(1196)는 데이터 래치들(1194)과 데이터 버스(1120) 간의 인터페이스를 제공한다.

[0102] 판독 또는 감지 동안, 시스템의 동작은 어드레스되는 저장 요소로의 서로 다른 제어 게이트 전압들의 공급을 제어하는 상태 머신(1112)의 제어하에 있다. 메모리에 의해 지원되는 다양한 메모리 상태들에 해당하는 미리 정해진 제어 게이트 전압들을 통해 스텝(step)을 났을 때, 감지 모듈(1180)은 이러한 전압들중 하나에 트립(trip)되고, 감지 모듈(1180)로부터 버스(1172)를 통해 프로세서(1192)에 출력이 제공된다. 이때, 프로세서(1192)는 입력 라인들(1193)을 통해 상태 머신으로부터 인가되는 제어 게이트 전압에 대한 정보 및 감지 모듈의 트리핑 이벤트(tripping event)(들)를 고려하여 결과적인 메모리 상태를 결정한다. 그런 다음, 메모리 상태에 대한 이진 인코딩을 계산하고, 결과적인 데이터 비트들을 데이터 래치들(1194)에 저장한다. 코어 부분의 다른 실시예에서, 비트라인 래치(1182)는, 감지 모듈(1180)의 출력을 래치하기 위한 래치로서, 그리고 상기 설명한 비트라인 래치

로서의 이중 임무를 하게 된다.

[0103] 어떠한 구현들은 다수의 프로세서들(1192)을 포함할 수 있다. 일 실시예에서, 각 프로세서(1192)는 출력 라인(미도시)을 포함하며, 이에 따라 출력 라인들 각각은 함께 와이어드-OR(wired-OR) 된다. 어떠한 실시예들에서, 출력 라인들은 와이어드-OR 라인에 결합되기 전에 인버트된다. 이러한 구성은, 프로그램 검증 프로세스 동안, 프로그래밍 프로세스가 완료될 때를 빠르게 결정할 수 있게 하는데, 그 이유는 와이어드-OR를 수신하는 상태 머신이 프로그램되는 모든 비트들이 언제 요구되는 레벨에 도달하는 지를 결정할 수 있기 때문이다. 예를 들어, 각 비트가 자신의 요구되는 레벨에 도달할 때, 그 비트에 대한 논리 제로가 와이어드-OR 라인에 전송된다(또는 데이터 1이 인버트된다). 모든 비트들이 데이터 0을 출력하면(또는 데이터 1이 인버트되면), 상태 머신은 프로그래밍 프로세스를 종료해야함을 알게 된다. 각 프로세서가 8개의 감지 모듈들과 통신하기 때문에, 상태 머신은 와이어드-OR 라인을 8번 판독할 필요가 있거나, 또는 관련된 비트라인들의 결과들을 누적하기 위해 프로세서(1192)에 논리가 추가되며, 이에 따라 상태 머신은 단지 와이어드-OR 라인을 단지 한번만 판독하면 된다. 유사하게, 논리 레벨들을 정확하게 선택함으로써, 글로벌 상태 머신은 첫 번째 비트가 자신의 상태를 변경하고 그에 따라 알고리즘들을 변경하는 때를 검출할 수 있다.

[0104] 프로그램 또는 검증 동안, 프로그램되어야 하는 데이터는 데이터 버스(1120)로부터 데이터 래치들(1194)의 세트에 저장된다. 상태 머신의 제어하에서의 프로그램 동작은 어드레스되는 저장 요소들의 제어 게이트들에 인가되는 일련의 프로그래밍 전압 펄스들을 포함한다. 각 프로그래밍 펄스 다음에는, 저장 요소가 요구되는 상태로 프로그램되었는 지를 결정하는 리드백(read back)(검증)이 뒤따른다. 프로세서(1192)는 요구되는 메모리 상태에 대하여 리드백된 메모리 상태를 모니터링한다. 두개가 일치하면, 프로세서(1192)는 비트라인이 프로그램 금지를 나타내는 상태로 풀링될 수 있도록 비트라인 래치(1182)를 설정한다. 이는, 그 제어 게이트 상에 프로그래밍 펄스들이 나타날지라도, 그 비트라인에 결합된 저장 요소가 더 프로그램되는 것을 막는다. 다른 실시예들에서는, 프로세서가 먼저 비트라인 래치(1182)를 로드하고, 감지 회로가 그것을 검증 프로세스 동안 금지 값으로 설정한다.

[0105] 데이터 래치 스택(1194)은 감지 모듈에 해당하는 데이터 래치들의 스택을 포함한다. 일 실시예에서, 감지 모듈(1180) 마다 3개의 데이터 래치들이 있다. 어떠한 구현들에 있어서(하지만 반드시 요구되는 것은 아니다), 데이터 래치들은 시프트 레지스터로서 구현되며, 이에 따라 그 내에 저장된 병렬 데이터가 데이터 버스(1120)에 대해 직렬 데이터로 변환되고, 그 반대 경우의 변환도 행해진다. 바람직한 실시예에서, m개의 저장 요소들의 판독/기록 블록에 해당하는 모든 데이터 래치들은 블록 시프트 레지스터를 형성하도록 함께 링크될 수 있으며, 이에 따라 데이터의 블록은 직렬 전송에 의해 입력 또는 출력될 수 있다. 특히, r개의 판독/기록 모듈들의 뱅크는, 이들이 전체 판독/기록 블록에 대한 시프트 레지스터의 일부인것 처럼, 자신의 데이터 래치들의 세트 각각이 데이터 버스로/로부터 직렬로 데이터를 시프트하도록 적합하게 된다.

[0106] 비휘발성 저장 디바이스들의 다양한 실시예들의 구조 그리고/또는 동작들의 대한 추가적인 정보는, (1) 2007년 3월 27일 특허되었으며, 그 명칭이 "Non-Volatile Memory And Method With Reduced Source Line Bias Errors"인 미국 특허 7,196,931호; (2) 2006년 4월 4일 특허되었으며, 그 명칭이 "Non-Volatile Memory And Method with Improved Sensing"인 미국 특허 7,023,736호; (3) 2006년 5월 16일 특허되었으며, 그 명칭이 "Memory Sensing Circuit And Method For Low Voltage Operation"인 미국 특허 7,046,568호; (4) 2006년 10월 5일 공개되었으며, 그 명칭이 "Compensating for Coupling During Read Operations of Non-Volatile Memory"인 미국 특허 공개 2006/0221692호; 및 (5) 2006년 7월 20일 공개되었으며, 그 명칭이 "Reference Sense Amplifier For Non-Volatile Memory"인 미국 특허 공개 2006/0158947호에서 찾아볼 수 있다. 바로 위에서 리스트된 5개의 모든 특허 문서들은 그 전체가 참조로서 본원에 통합된다.

[0107] 도 14는 메모리 어레이를 모든 비트라인 메모리 아키텍처에 대한 블록들로, 또는 홀수-짝수 메모리 아키텍처에 대한 블록들로 구성하는 예를 도시한다. 메모리 어레이(1400)의 예시적인 구조들이 설명된다. 하나의 예로서, 1,024개의 블록들로서 분할되는 NAND 플래시 메모리 EEPROM이 설명된다. 각 블록에 저장된 데이터는 동시에 소거된다. 일 실시예에서, 블록은 동시에 소거되는 저장 요소들의 최소 단위이다. 본 예에서, 각 블록에는, 비트라인들(BL0, BL1, ... BL8511)에 대응하는 8,512개의 컬럼들이 있다. 모든 비트라인(ABL) 아키텍처(아키텍처 1410)로서 지칭되는 일 실시예에서, 블록의 모든 비트라인들은 판독 및 프로그램 동작들 동안 동시에 선택될 수 있다. 공통 워드 라인을 따라 있으며, 임의의 비트라인에 연결된 저장 요소들은 동시에 프로그램될 수 있다.

[0108] 제공되는 예에서는, 64개의 저장 요소들 및 2개의 더미 저장 요소들이 직렬로 연결되어, NAND 스트링을 형성한다. 64개의 데이터 워드라인들 및 2개의 더미 워드라인들(WL-d0, WL-d1)이 있으며, 각 NAND 스트링은 64개의 데

이터 저장 요소들 및 2개의 더미 저장 요소들을 포함한다. 다른 실시예들에서, NAND 스트링들은 64개의 데이터 저장 요소들 및 2개의 더미 저장 요소들 보다 많거나 적은 수를 가질 수 있다. 데이터 메모리 셀들은 사용자 또는 시스템 데이터를 저장할 수 있다. 더미 메모리 셀들은 전형적으로 사용자 또는 시스템 데이터를 저장하는 데에 이용되지 않는다.

- [0109] NAND 스트링의 하나의 단자는 (선택 게이트 드레인 라인들(SGD)에 연결된) 드레인 선택 게이트를 통해 해당하는 비트라인에 연결되고, 다른 단자는 (선택 게이트 소스 라인(SGS)에 연결된) 소스 선택 게이트를 통해 c-소스에 연결된다.
- [0110] 홀수-짝수 아키텍처 (아키텍처 1400)으로 지칭되는 다른 실시예에서, 비트라인들은 짝수 비트라인들(BLe) 및 홀수 비트라인들(BLo)로 분할된다. 이 경우, 공통 워드 라인을 따라 있으며 홀수 비트라인들에 연결된 저장 요소들은 어느 하나의 시간(one time)에 프로그램되는 반면, 공통 워드 라인을 따라 있고 짝수 비트라인들에 연결된 메모리 셀들은 다른 시간(another time)에 프로그램된다. 데이터는 동시에 다른 블록들로 프로그램되고 다른 블록들로부터 판독될 수 있다. 본 예에서, 각 블록에는, 짝수 컬럼 및 홀수 컬럼들로 분할되는 8,512개의 컬럼들이 있다.
- [0111] 판독 동작과 프로그래밍 동작중 하나의 구성 동안, 4,256개의 저장 요소들이 동시에 선택된다. 선택된 저장 요소들은 동일한 워드라인 및 동일한 종류의 비트라인(예를 들어, 짝수 또는 홀수)을 갖는다. 따라서, 논리 페이지를 형성하는 532 바이트의 데이터가 동시에 판독 또는 프로그램될 수 있으며, 메모리의 하나의 블록은 적어도 8개의 논리 페이지들(각각 홀수 및 짝수 페이지들을 갖는, 4개의 워드라인들)을 저장할 수 있다. 다중-상태 저장 요소들에 있어서, 각 저장 요소가 2비트의 데이터를 저장할 때(이러한 2비트 각각은 서로 다른 페이지에 저장된다), 하나의 블록은 16개의 논리 페이지들을 저장한다. 또한, 다른 사이즈의 블록들 및 페이지들도 이용될 수 있다.
- [0112] ABL 또는 홀수-짝수 아키텍처에 있어서, 저장 요소들은 p-웰을 소거 전압(예를 들어, 20V)으로 올리고 선택된 블록의 워드라인들을 접지시킴으로써 소거될 수 있다. 소스 및 비트라인들은 플로팅된다. 소거는 전체 메모리 어레이, 개별적인 블록들, 또는 메모리 디바이스의 일부인 저장 요소들의 다른 단위로 수행될 수 있다. 전자들이 저장 요소들의 플로팅 게이트들로부터 p-웰 영역으로 이동함으로써, 그 저장 요소들의 V_{TH} 는 음이 된다.
- [0113] 도 15는 임계 전압 분포들의 예시적인 세트를 도시한다. 각 저장 요소가 2비트의 데이터를 저장하는 경우에 대해, 저장 요소 어레이에 대한 예시적인 V_{TH} 분포들이 제공된다. 제 1 임계 전압 분포(E)가 소거된 저장 요소들에 대해 제공된다. 프로그램된 저장 요소들에 대한 3개의 임계 전압 분포들(A, B 및 C)이 또한 도시된다. 일 실시예에서, E 분포 내의 임계 전압들은 음(negative)이며, A, B 및 C 분포들 내의 임계 전압들은 양(positive)이다.
- [0114] 각각의 별개의 임계 전압 범위는 데이터 비트들의 세트에 대한 소정의 값들에 해당한다. 저장 요소 내에 프로그램되는 데이터와 그 저장 요소의 임계 전압 레벨들 간의 특정의 관계는 저장 요소들에 대해 채택되는 데이터 엔코딩 방식에 의존한다. 예를 들어, 2004년 12월 16일 공개된 미국 특허 출원 공개 2004/0255090호 및 미국 특허 6,222,762호는 다중 상태 플래시 저장 요소들에 대한 다양한 데이터 엔코딩 방식들을 설명하며, 이러한 2개의 인용 문헌들은 그 전체가 참조로서 본원에 통합된다. 일 실시예에서, 데이터 값들은 그레이 코드 할당(gray code assignment)을 이용하여 임계 전압 범위들에 할당되며, 이에 따라 플로팅 게이트의 임계 전압이 그 이웃의 물리 상태로 잘못하여 시프트되는 경우, 단지 1개의 비트 만이 영향을 받게 될 것이다. 하나의 예는 임계 전압 범위(E)(상태 E)에 대해 "11"을, 임계 전압 범위(A)(상태 A)에 대해 "10"을, 임계 전압 범위(B)(상태 B)에 대해 "00"을, 그리고 임계 전압 범위(C)(상태 C)에 대해 "01"을 할당한다. 하지만, 다른 실시예들에서는, 그레이 코드가 이용되지 않는다. 비록 4개의 상태들을 나타내었지만, 본 발명은 4개 보다 많거나 적은 상태를 포함하는 것들을 비롯하여, 다른 다중 상태 구조들에 대해서도 이용될 수 있다.
- [0115] 저장 요소들로부터 데이터를 판독하기 위한 3개의 판독 기준 전압들(V_{ra} , V_{rb} 및 V_{rc})이 제공된다. 소정의 저장 요소의 임계 전압이 V_{ra} , V_{rb} 및 V_{rc} 보다 크지 또는 작음을 테스트함으로써, 시스템은 그 저장 요소의 상태(예를 들어, 프로그래밍 상태)를 결정할 수 있다.
- [0116] 또한, 3개의 검증 기준 전압들(V_{va} , V_{vb} 및 V_{vc})이 제공된다. 저장 요소들이 부가적인 상태들을 저장할 때에는, 부가적인 판독 및 기준 값들이 이용될 수 있다. 저장 요소들을 상태(A)로 프로그램할 때, 시스템은 이러한 저장 요소들이 V_{va} 보다 크거나 같은 임계 전압을 갖는지를 테스트할 것이다. 저장 요소들을 상태(B)로 프로그램할 때, 시스템은 이러한 저장 요소들이 V_{vb} 보다 크거나 같은 임계 전압을 갖는지를 테스트할 것이다. 저장 요소

들을 상태(C)로 프로그램할 때, 시스템은 이러한 저장 요소들이 V_{cc} 보다 크거나 같은 자신들의 임계 전압을 갖는 지를 테스트할 것이다.

[0117] 풀 시퀀스 프로그래밍(full sequence programming)으로서 알려져있는 일 실시예에서, 저장 요소들은 소거 상태(E)로부터 프로그램 상태들(A, B 또는 C)중 임의의 상태로 바로 프로그램될 수 있다. 예를 들어, 프로그램되어야 하는 저장 요소들의 집단(population)이 먼저 소거됨으로써, 그 집단 내의 모든 저장 요소들은 소거 상태(E)가 된다. 그런 다음, 도 19의 제어 게이트 전압 시퀀스에 의해 도시된 것과 같은 일련의 프로그래밍 펄스들을 이용하여, 저장 요소들을 상태들(A, B 또는 C)로 바로 프로그램한다. 어떠한 저장 요소들이 상태(E)로부터 상태(A)로 프로그램되는 동안, 다른 저장 요소들은 상태(E)로부터 상태(B)로 그리고/또는 상태(E)로부터 상태(C)로 프로그램된다. 선택된 워드라인(WLi) 상에서 상태(E)로부터 상태(C)로 프로그램할 때, WLi-1 아래의 인접하는 플로팅 게이트에 대한 기생 결합(parasitic coupling)의 양이 최대화되는데, 이는 WLi 아래의 플로팅 게이트 상에서의 전하량의 변경이, 상태(E)로부터 상태(A)로 또는 상태(E)로부터 상태(B)로 프로그램할 때의 전압변경과 비교하여 가장 크기 때문이다. 상태(E)로부터 상태(B)로 프로그램할 때, 인접하는 플로팅 게이트에 대한 결합의 양은 감소되기는 하지만, 여전히 크다. 상태(E)로부터 상태(A)로 프로그램할 때, 결합의 양은 훨씬 더 감소된다. 결과적으로, WLi-1의 각 상태를 연속적으로 관측하기 위해 요구되는 정정(correction)의 양은 WLi 상의 인접하는 저장 요소의 상태에 의존하여 달라질 것이다.

[0118] 도 16은 2개의 다른 페이지들, 즉 하위 페이지 및 상위 페이지에 대해 데이터를 저장하는 다중 상태 저장 요소를 프로그래밍하는 2-패스 기술의 일례를 도시한다. 상태 E(11), 상태 A(10), 상태 B(00) 및 상태 C(01)의 4개의 상태가 도시된다. 상태 E에 대해, 양 페이지들은 "1"을 저장한다. 상태 A에 대해, 하위 페이지는 "0"을 저장하고, 상위 페이지는 "1"을 저장한다. 상태 B에 대해, 양 페이지들은 "0"을 저장한다. 상태 C에 대해, 하위 페이지는 "1"을 저장하고, 상위 페이지는 "0"을 저장한다. 비록 특정의 비트 패턴들이 각 상태들에 할당되었지만, 다른 비트 패턴들도 할당될 수 있다는 것을 주목하자.

[0119] 제 1 프로그래밍 패스에서, 저장 요소의 임계 전압 레벨은 하위 논리 페이지 내에 프로그램될 비트에 따라 설정된다. 만일 그 비트가 논리 "1"이라면, 임계 전압은 변하지 않는데, 그 이유는 이전에 소거된 결과로서 임계 전압이 적절한 상태에 있기 때문이다. 하지만, 만일 프로그램될 비트가 논리 "0"이라면, 저장 요소의 임계 레벨은 화살표(1600)로 나타난 바와 같이 상태 A로 증가한다. 이에 의해, 제 1 프로그래밍 패스가 끝난다.

[0120] 제 2 프로그래밍 패스에 있어서, 저장 요소의 임계 전압 레벨은, 상위 논리 페이지 내에 프로그램되고 있는 비트에 따라 설정된다. 만일 상위 논리 페이지 비트가 논리 "1"을 저장하는 경우에는, 어떠한 프로그래밍도 일어나지 않는데, 그 이유는 저장 요소는 하위 페이지 비트의 프로그래밍에 따라, 상태 E 또는 상태 A중 하나에 있기 때문이며, 이들 모두는 "1"의 상위 페이지 비트를 운반(carry)한다. 만일 상위 페이지 비트가 논리 "0"이 될 예정이라면, 임계 전압은 시프트된다. 만일 제 1 패스로 인해 저장 요소가 소거 상태 E로 남아있다면, 제 2 페이지에서, 저장 요소가 프로그램됨으로써, 화살표(1620)로 나타난 바와 같이 임계 전압이 증가하여 상태 C 내에 있게 된다. 만일 저장 요소가 제 1 프로그래밍 패스의 결과로서 상태 A로 프로그램되면, 그 저장 요소는 제 2 패스에서 한층 더 프로그램되어, 화살표(1610)로 나타난 바와 같이, 임계 전압이 증가하여 상태 B 내에 있게 된다. 제 2 패스의 결과는, 하위 페이지에 대한 데이터를 변경하지 않으면서, 상위 페이지에 대해 논리 "0"을 저장하도록 지정된 상태로 저장 요소를 프로그램하는 것이다. 도 15 및 16 모두에 있어서, 인접하는 워드라인 상의 플로팅 게이트에 대한 결합의 양은 최종 상태에 의존한다.

[0121] 일 실시예에서, 충분한 데이터가 기록되어 전체 페이지를 채운다면, 시스템은 풀 시퀀스 기록을 행하도록 셋업될 수 있다. 만일 충분한 데이터가 풀 페이지에 대해 기록되지 않으면, 프로그래밍 프로세스는 수신된 데이터로 하위 페이지를 프로그램할 수 있다. 후속 데이터가 수신되면, 시스템은 상위 페이지를 프로그램할 것이다. 또 다른 실시예에서, 시스템은 하위 페이지를 프로그램하는 모드에서 기록을 시작하고, 충분한 데이터가 후속하여 수신되어 워드 라인의 저장 요소들 전체(또는 대부분)를 채우는 경우, 풀 시퀀스 프로그래밍 모드로 변환한다. 이러한 실시예에 대한 보다 상세한 사항들은, 2006년 6월 15일 공개되었으며 그 명칭이 "Pipelined Programming of Non-Volatile Memories Using Early Data"인 미국 특허 출원 공개 2006/0126390호에 개시되어 있으며, 그 전체 내용은 참조로서 본원에 통합된다.

[0122] 도 17a-c는 비휘발성 메모리를 프로그램하는 다른 프로세스를 개시하는 바, 이는 임의의 특정의 저장 요소에 대하여, 이전의 페이지들에 대해 인접하는 저장 요소들을 기록한 이후 특정 페이지에 관하여 상기 특정의 저장 요소를 기록함으로써, 플로팅 게이트 대 플로팅 게이트 커플링 효과를 감소시킨다. 하나의 예시적인 구현에서, 비휘발성 저장 요소들은 4개의 데이터 상태를 이용하여 저장 요소 마다 2개의 데이터 비트를 저장한다. 예를

들어, 상태 E는 소거 상태이고, 상태 A, B 및 C는 프로그램 상태라고 가정한다. 상태 E는 데이터 11을 저장한다. 상태 A는 데이터 01을 저장한다. 상태 B는 데이터 10을 저장한다. 상태 C는 데이터 00을 저장한다. 이것은 비-그레이 코딩의 예인데, 그 이유는 양 비트들이 인접하는 상태들 A와 B 사이에서 변하기 때문이다. 또한, 물리적인 데이터 상태들에 대한 다른 데이터 엔코딩도 이용될 수 있다. 각 저장 요소는 2개의 데이터 페이지를 저장한다. 참조를 위해, 이러한 데이터 페이지는 상위 페이지 및 하위 페이지라 불려지지만, 이것들에는 다른 라벨들이 붙여질 수 있다. 상태 A와 관련하여, 상위 페이지는 비트 0을 저장하고, 하위 비트는 비트 1을 저장한다. 상태 B와 관련하여, 상위 페이지는 비트 1을 저장하고, 하위 페이지는 비트 0을 저장한다. 상태 C와 관련하여, 양 페이지들은 비트 데이터 0을 저장한다.

[0123] 프로그래밍 프로세스는 2-단계 프로세스이다. 제 1 단계에서는, 하위 페이지가 프로그램된다. 만일 하위 페이지가 데이터 1로 남는 경우, 저장 요소의 상태는 상태 E로 유지된다. 만일 데이터가 0으로 프로그램되어야 하는 경우, 저장 요소의 임계 전압이 올라감으로써, 그 저장 요소는 상태 B'로 프로그램된다. 따라서, 도 17a는 상태 E로부터 상태 B'로의 저장 요소들의 프로그래밍을 나타낸다. 상태 B'는 중간 상태 B를 나타내며, 이에 따라 검증 포인트는 V_{vb} 보다 낮은 V_{vb}' 로서 도시된다.

[0124] 일 실시예에서, 저장 요소가 상태 E로부터 상태 B'로 프로그램된 후, NAND 스트링 내의 그 인접하는 저장 요소 (W_{Ln+1})는 그 하위 페이지와 관련하여 프로그램될 것이다. 예를 들어, 도 2를 다시 살펴보면, 저장 요소(106)에 대한 하위 페이지가 프로그램된 후, 저장 요소(104)에 대한 하위 페이지가 프로그램된다. 저장 요소(104)를 프로그램한 후, 플로팅 게이트 대 플로팅 게이트 커플링 효과는, 그 저장 요소(104)가 상태 E로부터 상태 B'로 올라간 임계 전압을 갖는 경우, 저장 요소(106)의 외관상(apparent) 임계 전압을 올릴 것이다. 이것은, 도 17b의 임계 전압 분포(1750)로서 나타난 것과 같이 상태 B'에 대한 임계 전압 분포를 확장(widening)시키는 효과를 갖는다. 이와같은 임계 전압 분포의 외관상의 확장은 상위 페이지를 프로그램할 때에 교정(remedy)될 것이다.

[0125] 도 17c는 상위 페이지를 프로그램하는 프로세스를 도시한다. 만일 저장 요소가 소거 상태 E이고, 상위 페이지가 1로 유지된다면, 그 저장 요소는 상태 E로 유지된다. 만일 저장 요소가 상태 E이고, 그 상위 페이지 데이터가 0으로 프로그램되어야 한다면, 저장 요소의 임계 전압이 올라감으로써, 그 저장 요소는 상태 A가 된다. 만일 저장 요소가 중간 임계 전압 분포(1750)에 있고, 상위 페이지 데이터가 1로 유지될 것이라면, 그 저장 요소는 최종 상태 B로 프로그램될 것이다. 만일 저장 요소가 중간 임계 전압 분포(1750)에 있고, 상위 페이지 데이터가 데이터 0으로 될 것이라면, 저장 요소의 임계 전압이 올라감으로써, 그 저장 요소는 상태 C가 된다. 도 17a-c에 도시된 프로세스는 플로팅 게이트 대 플로팅 게이트 커플링의 효과를 감소시키는데, 그 이유는 이웃하는 저장 요소들의 상위 페이지 프로그래밍 만이 소정의 저장 요소의 외관상의 임계 전압에 영향을 미치지 때문이다. 교번적인 상태 코딩(alternate state coding)의 예는, 상위 페이지 데이터가 1일 때 분포(1750)로부터 상태 C로 이동시키고, 상위 페이지 데이터가 0일 때 상태 B로 이동시키는 것이다.

[0126] 비록 도 17a-c가 4개의 데이터 상태들 및 2개의 데이터 페이지들에 대한 예를 제공하지만, 교시되는 개념은 4개 보다 많거나 적은 상태들 및 2개와 다른 페이지들을 갖는 다른 구현들에도 적용될 수 있다. 예를 들어, 도 5a-d는 3개의 페이지들, 즉 하위 페이지, 중간 페이지 및 상위 페이지를 갖는 실시예를 설명한다.

[0127] 도 18은 비휘발성 메모리를 프로그램하는 방법의 일 실시예를 설명하는 흐름도이다. 하나의 실시예 있어서, 저장 요소들은 프로그래밍 이전에 (블록들 또는 다른 단위들로) 소거된다. 단계(1800)에서, "데이터 로드" 커맨드가 제어기에 의해 발행되어, 제어 회로(1110)에 의해 수신된다. 단계(1805)에서, 페이지 어드레스를 나타내는 어드레스 데이터가 제어기 또는 호스트로부터 디코더(1114)에 입력된다. 단계(1810)에서, 어드레스되는 페이지에 대한 프로그램 데이터의 페이지가 프로그래밍을 위해 데이터 버퍼에 입력된다. 그 데이터는 래치들의 적절한 세트에 래치된다. 단계(1815)에서, "프로그램" 커맨드가 제어기에 의해 상태 머신(1112)에 발행된다.

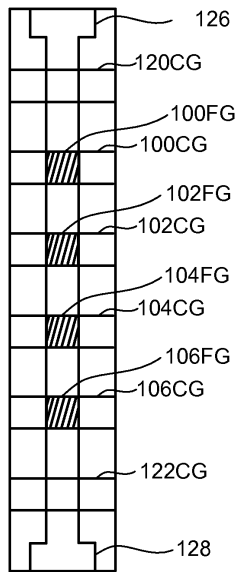
[0128] "프로그램" 커맨드에 의해 트리거되면, 단계(1810)에서 래치된 데이터는, 선택된 적절한 워드라인에 인가되는 도 19의 펄스 트레인(1900)의 스텝형(steppped) 프로그램 펄스들을 이용하여 상태 머신(1112)에 의해 제어되는 선택된 저장 요소들 내에 프로그램될 것이다. 단계(1820)에서, 프로그램 전압(V_{pgm})은 시작 펄스(예를 들어, 12V 또는 다른 값)로 초기화되고, 상태 머신(1112)에 의해 유지되는 프로그램 카운터(PC)는 제로로 초기화된다. 단계(1830)에서는, 제 1 V_{pgm} 펄스가 선택된 워드라인에 인가되어, 이러한 선택된 워드라인과 관련된 저장 요소들의 프로그래밍을 시작한다. 만일 특정의 데이터 래치에 논리 "0"이 저장되어, 해당하는 저장 요소가 프로그램되어야 함을 나타내면, 해당하는 비트라인은 접지된다. 한편, 만일 특정의 래치에 논리 "1"이 저장되어, 해당하는 저장 요소가 자신의 현재 데이터 상태를 유지해야 함을 나타내면, 해당하는 비트라인은 V_{dd} 에 연결되어 프로그래

밍을 금지한다.

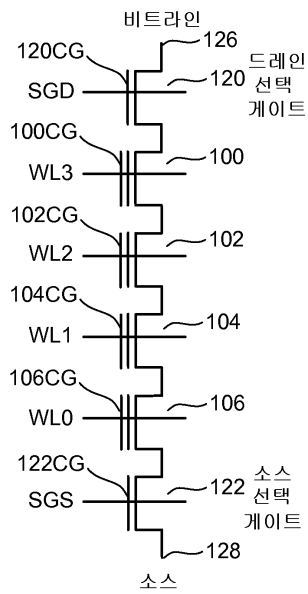
- [0129] 단계(1835)에서, 선택된 저장 요소들의 상태들이 검증된다. 만일 선택된 저장 요소의 목표 임계 전압이 적절한 레벨에 도달했다고 검출되면, 해당하는 데이터 래치에 저장된 데이터는 논리 "1"로 변경된다. 만일 임계 전압이 적절한 레벨에 도달하지 않은 것으로 검출되면, 해당하는 데이터 래치에 저장된 데이터는 변경되지 않는다. 이러한 방식으로, 자신의 해당하는 데이터 래치에 저장된 논리 "1"을 갖는 비트라인은 프로그램될 필요가 없다. 모든 데이터 래치들이 논리 "1"을 저장하고 있을 때, 상태 머신은 (상기 설명한 와이어드-OR 타입 메커니즘을 통해) 선택된 모든 저장 요소들이 프로그램되었음을 알게 된다. 단계(1840)에서, 모든 데이터 래치들이 논리 "1"을 저장하고 있는 지에 대해 체크한다. 모든 데이터 래치들이 논리 "1"을 저장하고 있으면, 프로그래밍 프로세스는 완료되고 성공적이 되는데, 그 이유는 선택된 모든 저장 요소들이 프로그램되고 검증되었기 때문이다. 단계(1845)에서, "패스(PASS)"의 상태가 보고된다.
- [0130] 단계(1840)에서, 모든 데이터 래치들이 논리 "1"을 저장하고 있지 않은 것으로 결정되면, 프로그래밍 프로세스는 계속된다. 단계(1850)에서, 프로그램 카운터(PC)가 프로그램 제한 값(PCmax)에 대해 체크된다. 프로그램 제한 값의 일 예는 20이지만, 다른 수도 이용될 수 있다. 만일 프로그램 카운터(PC)가 PCmax 보다 작지 않으면, 프로그램 프로세스는 실패하게 되며, 단계(1855)에서 "실패(FAIL)"의 상태가 보고된다. 만일 프로그램 카운터(PC)가 PCmax 보다 작으면, 단계(1860)에서, V_{PGM} 이 스텝 사이즈 만큼 증가하고, 프로그램 카운터(PC)가 증분된다. 그런 다음, 프로세스는 단계(1830)로 돌아가, 다음 V_{PGM} 펄스를 인가한다.
- [0131] 도 19는 프로그래밍 동안 비휘발성 저장 요소들의 제어 게이트들에 인가되는 예시적인 펄스 트레인(1900)과, 그리고 펄스 트레인 동안 일어나는 부스트 모드의 스위칭을 도시한다. 펄스 트레인(1900)은 프로그래밍을 위해 선택된 워드라인에 인가되는 일련의 프로그램 펄스들(1905, 1910, 1915, 1920, 1925, ...)을 포함한다. 일 실시예에서, 프로그래밍 펄스들은 전압(V_{PGM})을 갖는 바, 이는 12V에서 시작하여, 20V의 최대값에 이를 때 까지, 각각의 연속적인 프로그래밍 펄스에 대해 증분치(예를 들어, 0.5V) 만큼 증가한다. 프로그램 펄스들 사이에는, 검증 펄스들이 있다. 예를 들어, 검증 펄스 세트(1906)는 3개의 검증 펄스들을 포함한다. 어떠한 실시예들에서는, 데이터가 프로그램되고 있는 각 상태, 예를 들어 상태 A, B 및 C에 대해 검증 펄스가 있을 수 있다. 다른 실시예들에서는, 그 보다 더 많거나 적은 검증 펄스들이 있을 수 있다. 각 세트 내의 검증 펄스들은, 이를 테면 V_{va} , V_{vb} 및 V_{vc} (도 16) 또는 V_{vb}' (도 17a)의 진폭들을 가질 수 있다.
- [0132] 상기 설명한 바와 같이, 프로그래밍이 일어날 때, 예를 들어 프로그램 펄스가 인가되기 전에 그리고 인가되는 동안, 부스트 모드를 구현하기 위해 워드라인들에 인가되는 전압들이 인가된다. 실제로, 부스트 모드의 부스트 전압들은, 각 프로그램 펄스 약간(slightly) 전에 개시되어, 각 프로그램 펄스 이후에 제거될 수 있다. 한편, 이를 테면, 프로그램 펄스들 사이에서 일어나는 검증 프로세스 동안에는, 부스트 전압들이 인가되지 않는다. 대신에, 전형적으로 부스트 전압들 보다 작은 판독/검증 전압들이 비선택 워드라인들에 인가된다. 이러한 판독 전압들은, 현재 프로그램되고 있는 저장 요소의 임계 전압이 검증 레벨과 비교되고 있을 때, NAND 스트링 내의 이전에 프로그램된 저장 요소들을 온 상태로 유지하는 데에 충분한 진폭을 갖는다.
- [0133] 상기 본 발명의 상세한 설명은 예시와 설명의 목적을 위해 제공되었다. 이러한 설명은 본 발명을 속속들이 규명한 것으로서, 또는 본 발명을 개시된 정확한 형태로 한정하는 것으로서 의도되지 않는다. 상기 교시에 비추어 많은 수정들 및 변형들이 가능하다. 설명된 실시예들은 본 발명의 사상과 실제적인 응용예를 최상으로 설명함으로써, 당업자가 다양한 실시예들에서 그리고 고려되는 특정의 용도에 적합한 다양한 변형들에 대해 본 발명을 최상으로 이용할 수 있도록 선택된 것이다. 본 발명의 범위는 첨부된 청구범위에 의해서만 규정된다.

도면

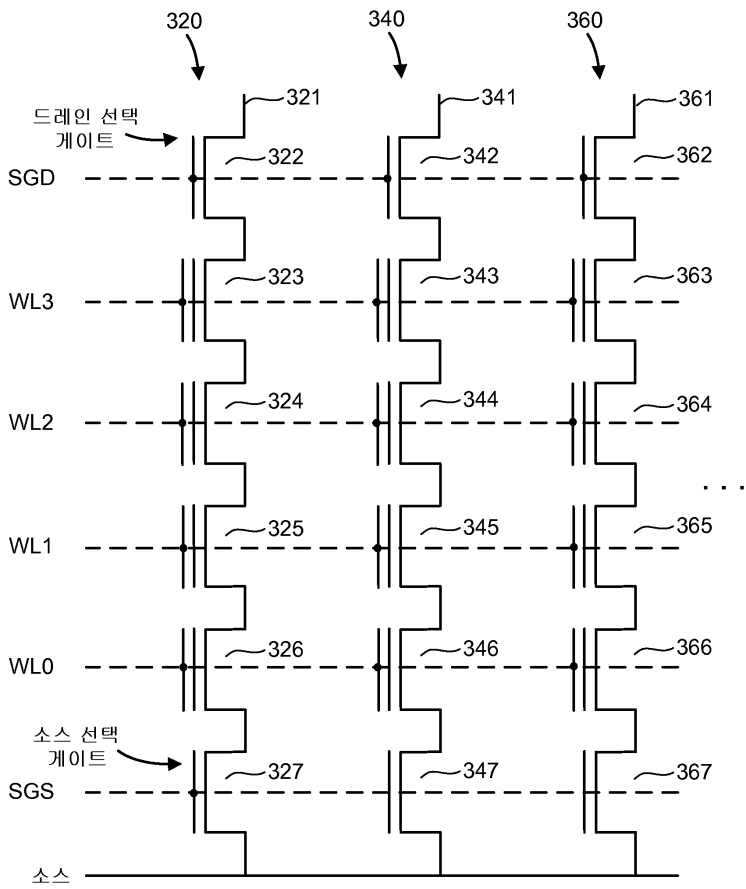
도면1



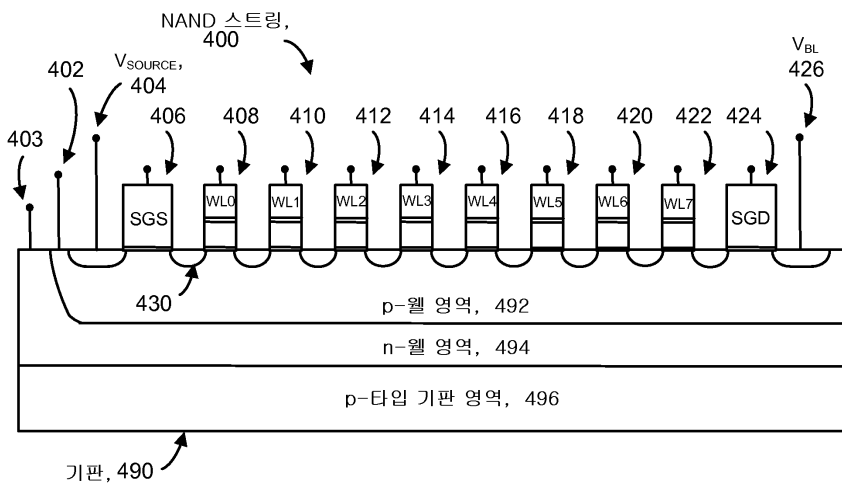
도면2



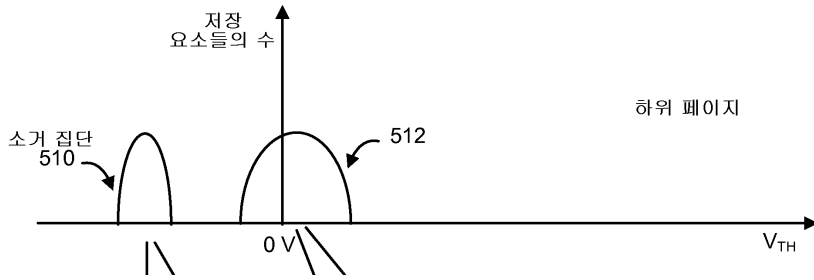
도면3



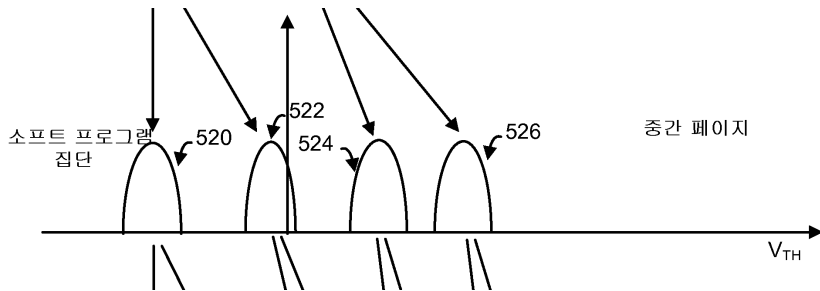
도면4



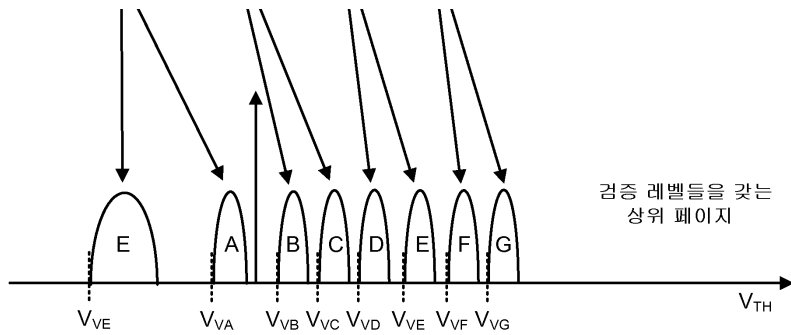
도면5a



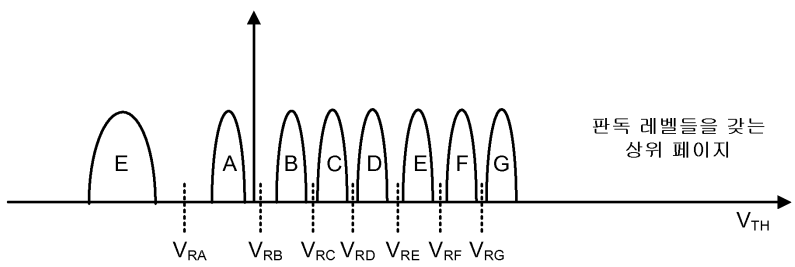
도면5b



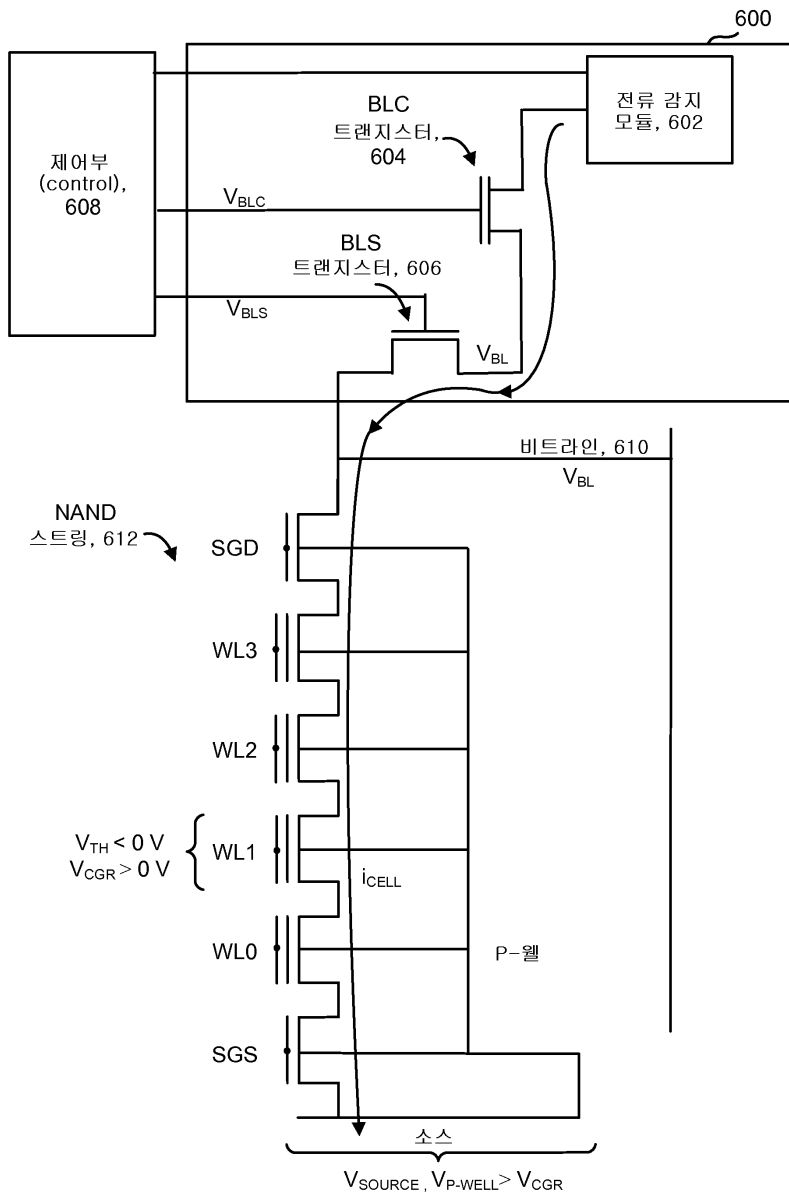
도면5c



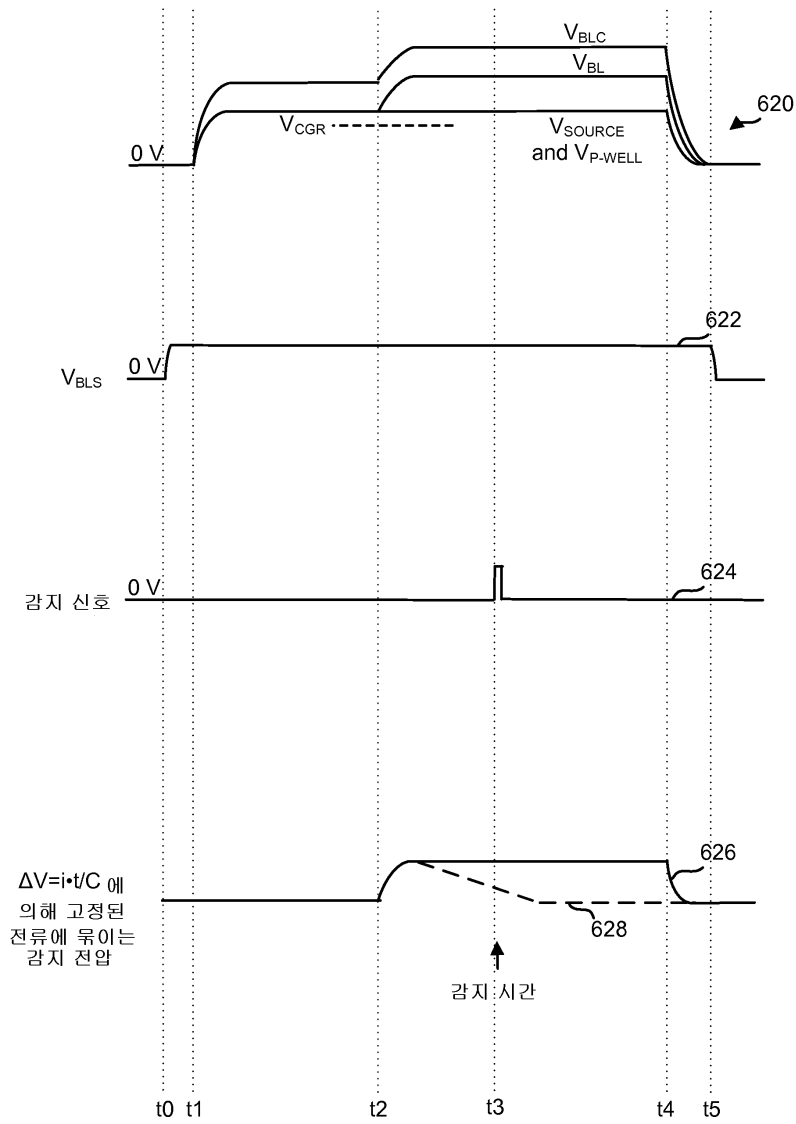
도면5d



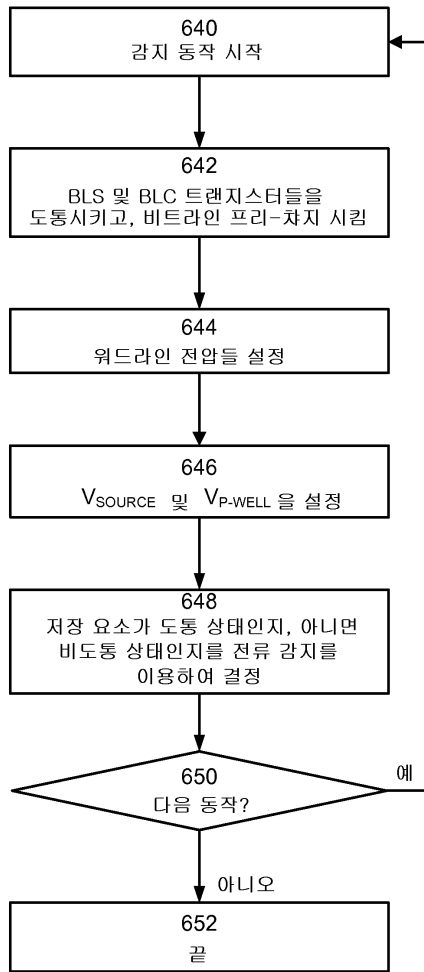
도면6a



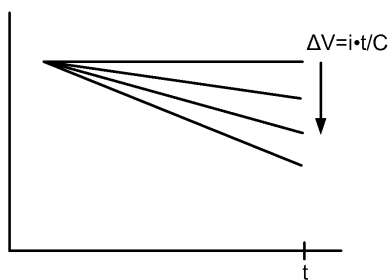
도면6b



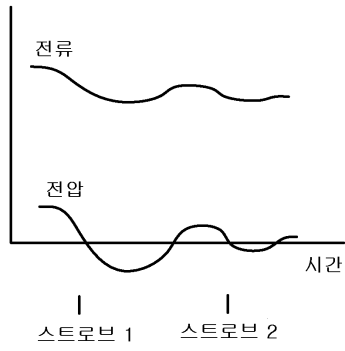
도면6c



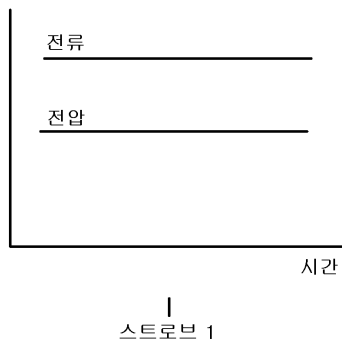
도면6d



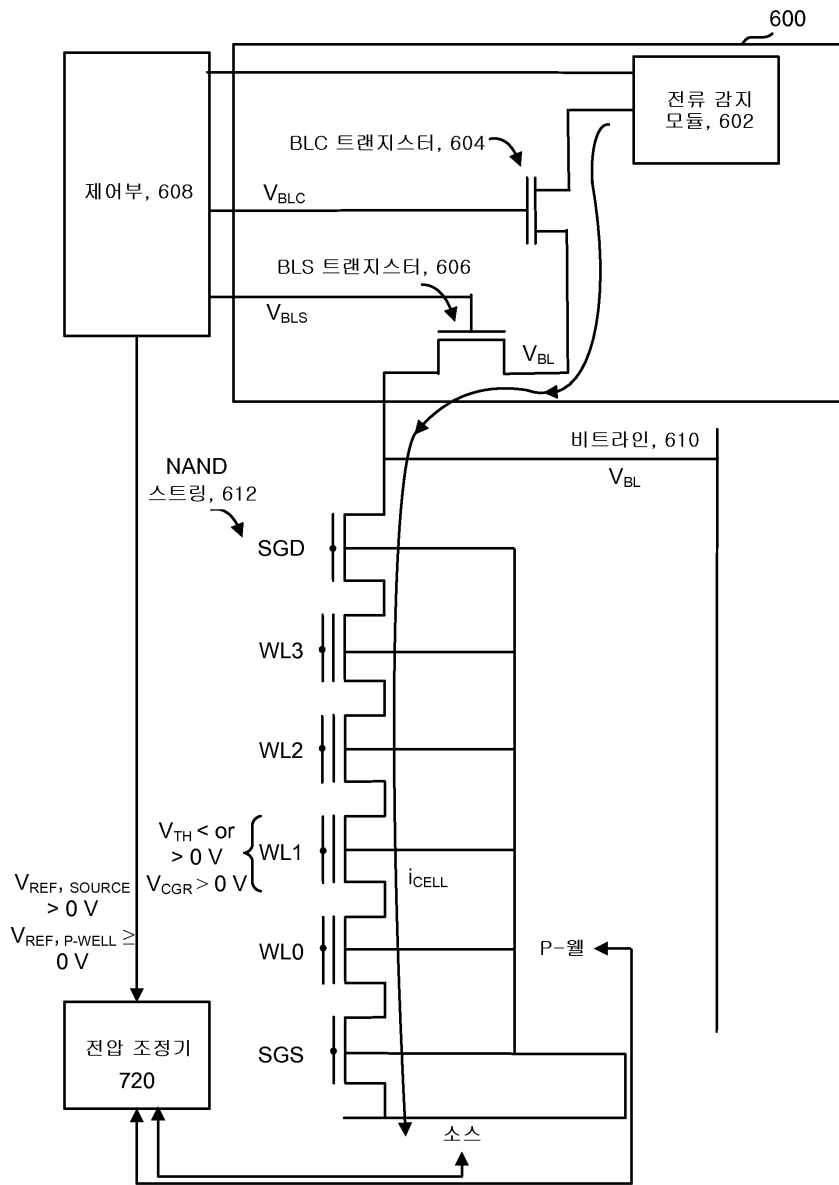
도면7a



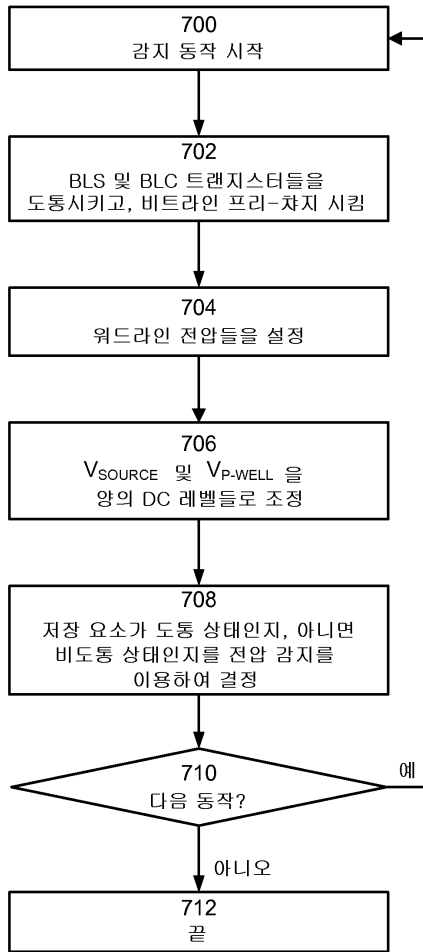
도면7b



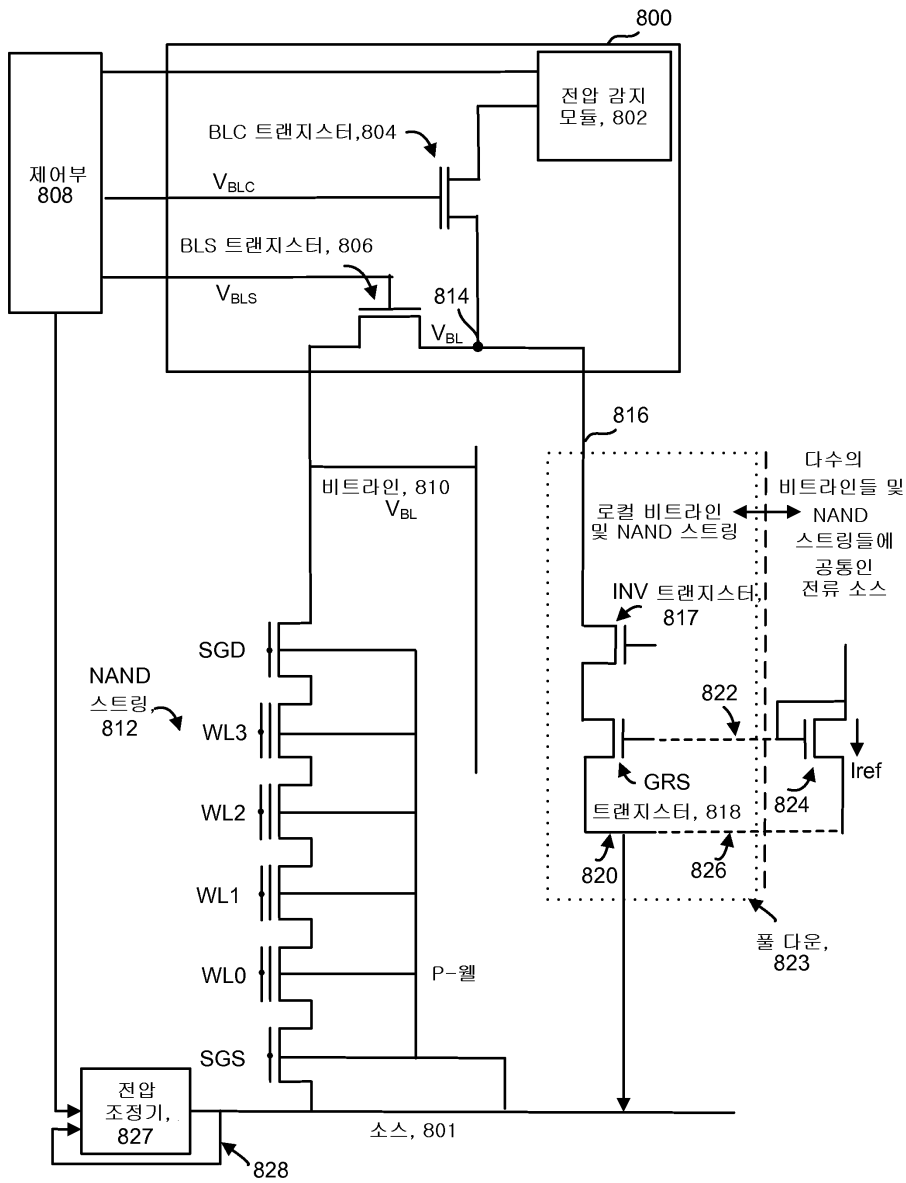
도면7c



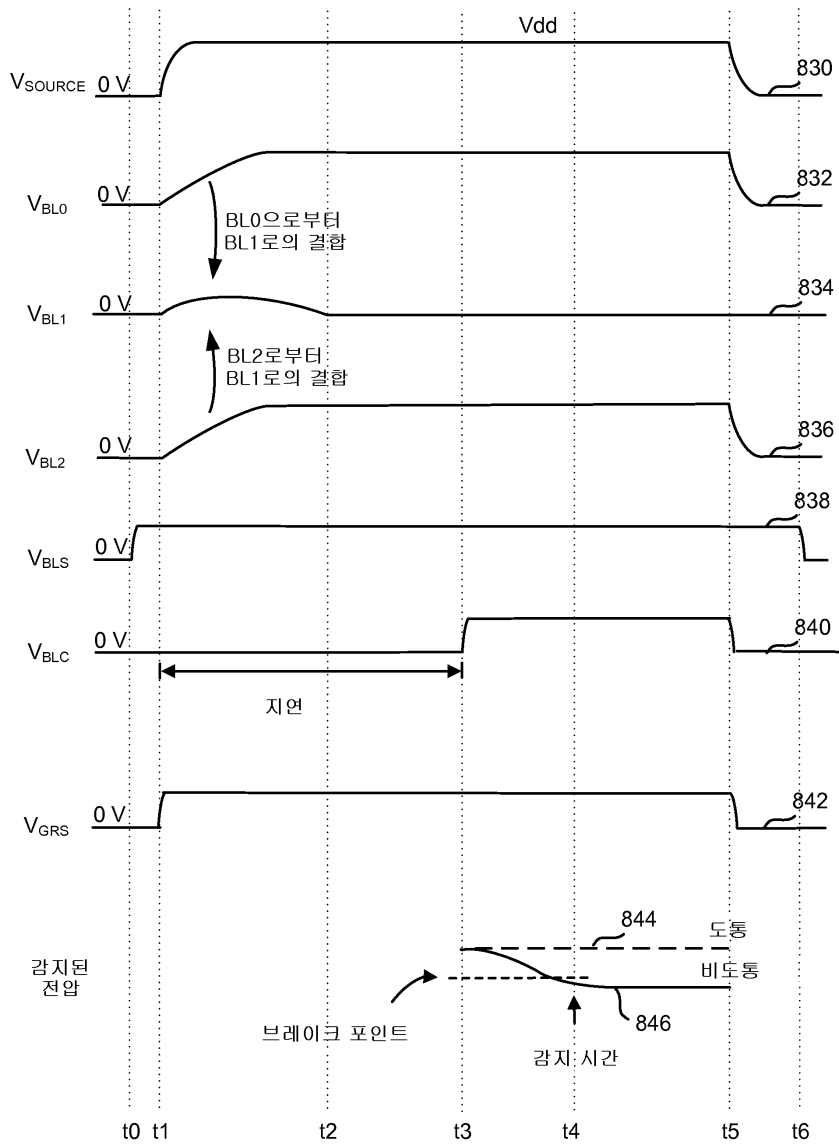
도면7d



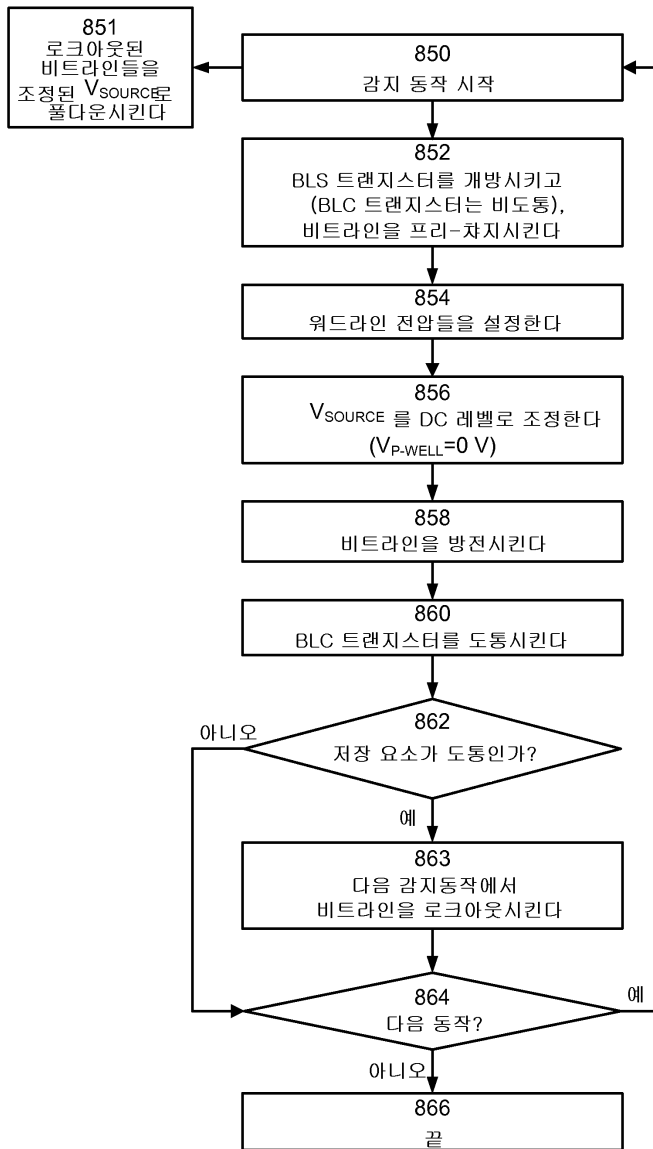
도면8b



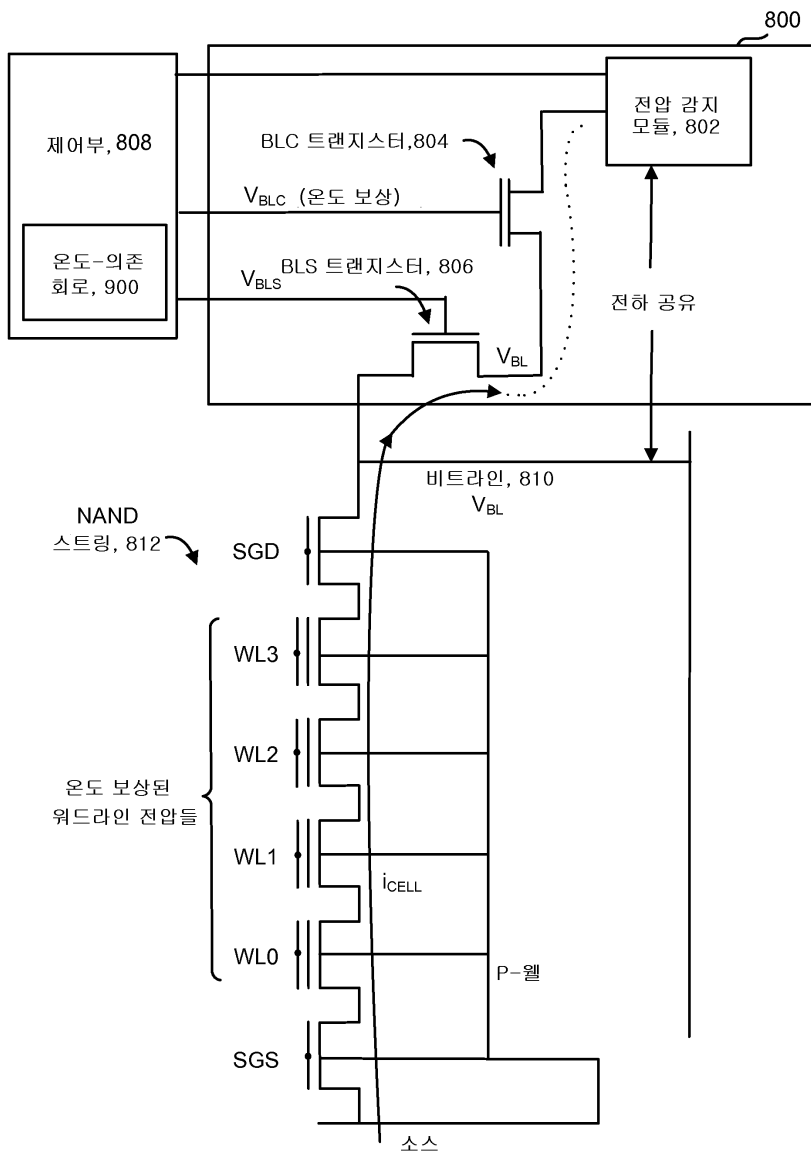
도면8c



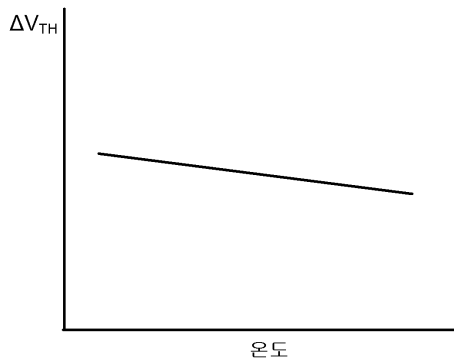
도면8d



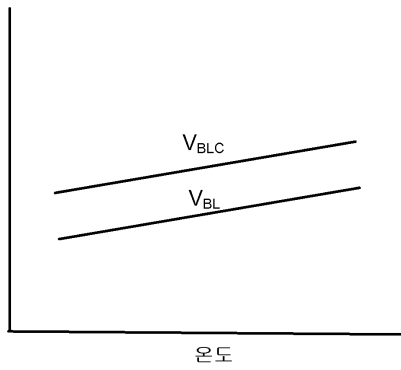
도면9a



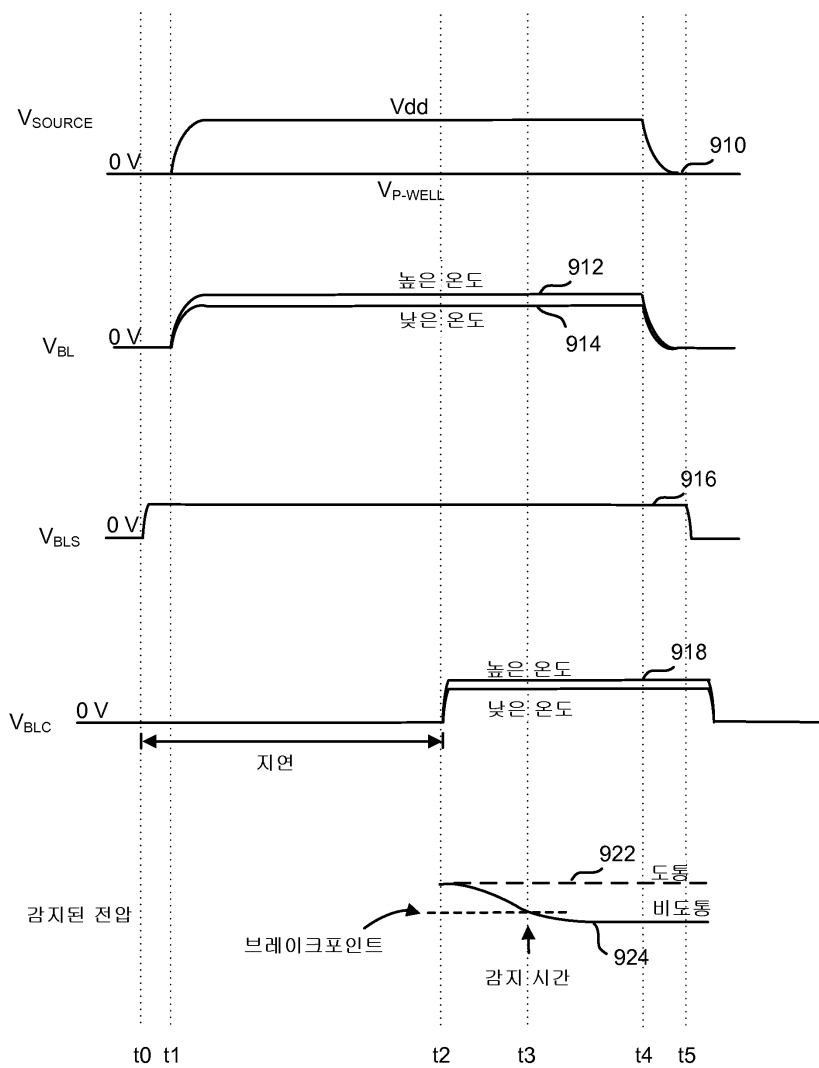
도면9b



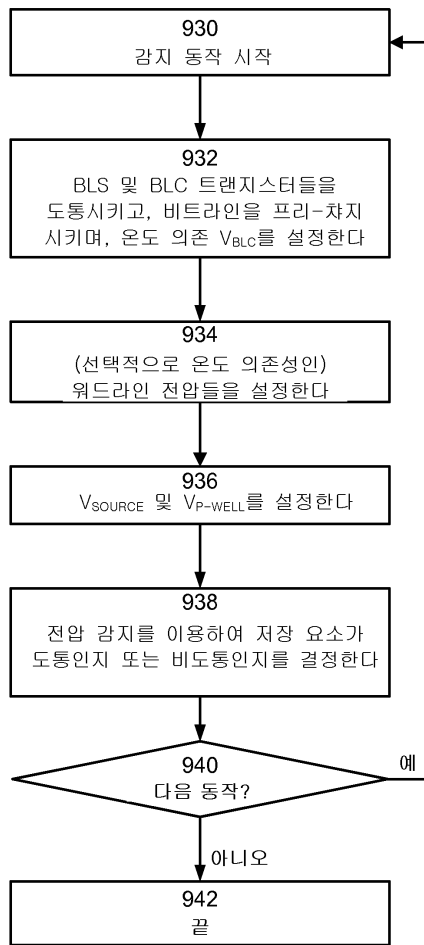
도면9c



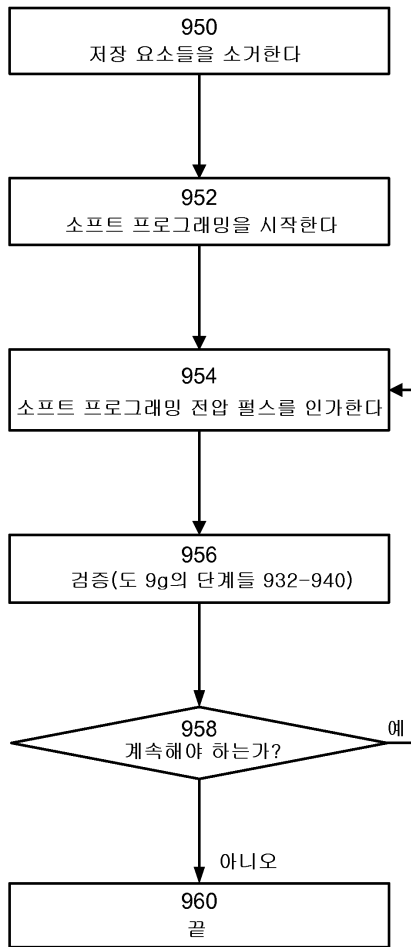
도면9d



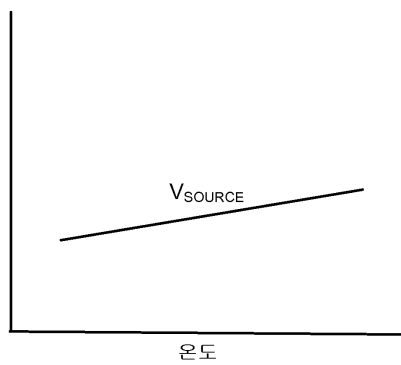
도면9e



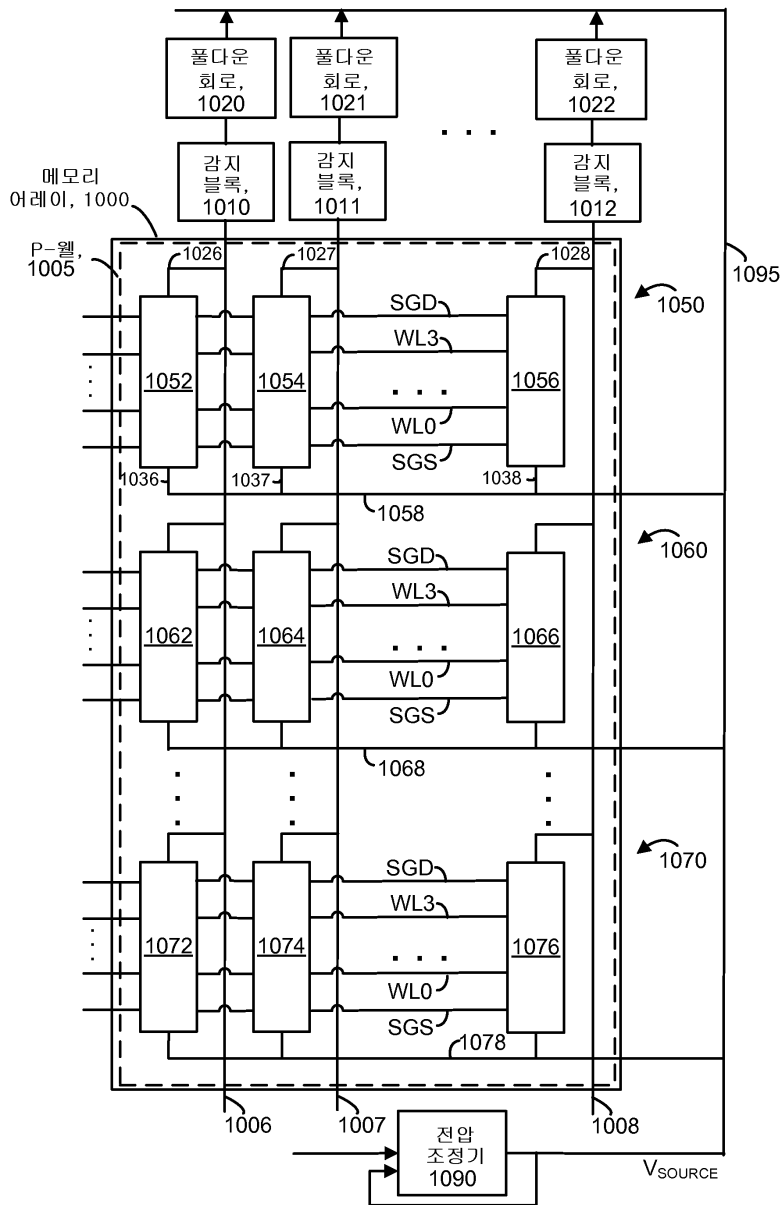
도면9f



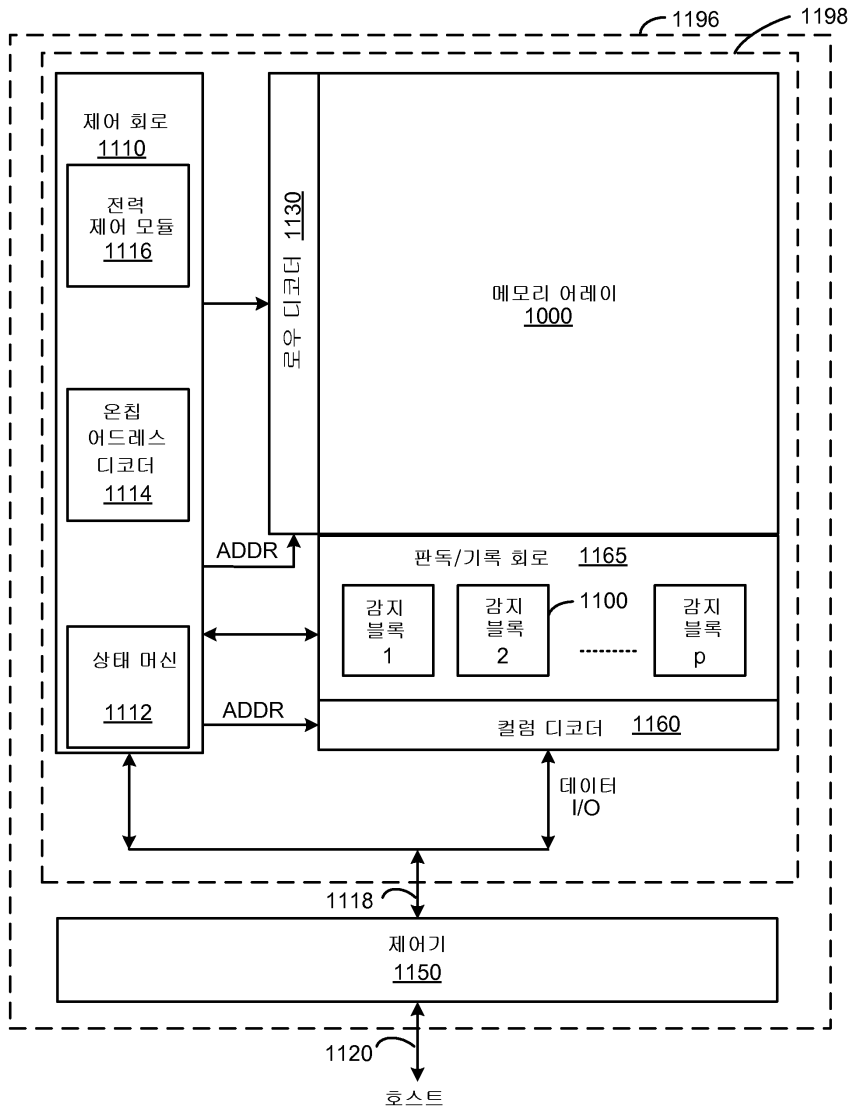
도면10a



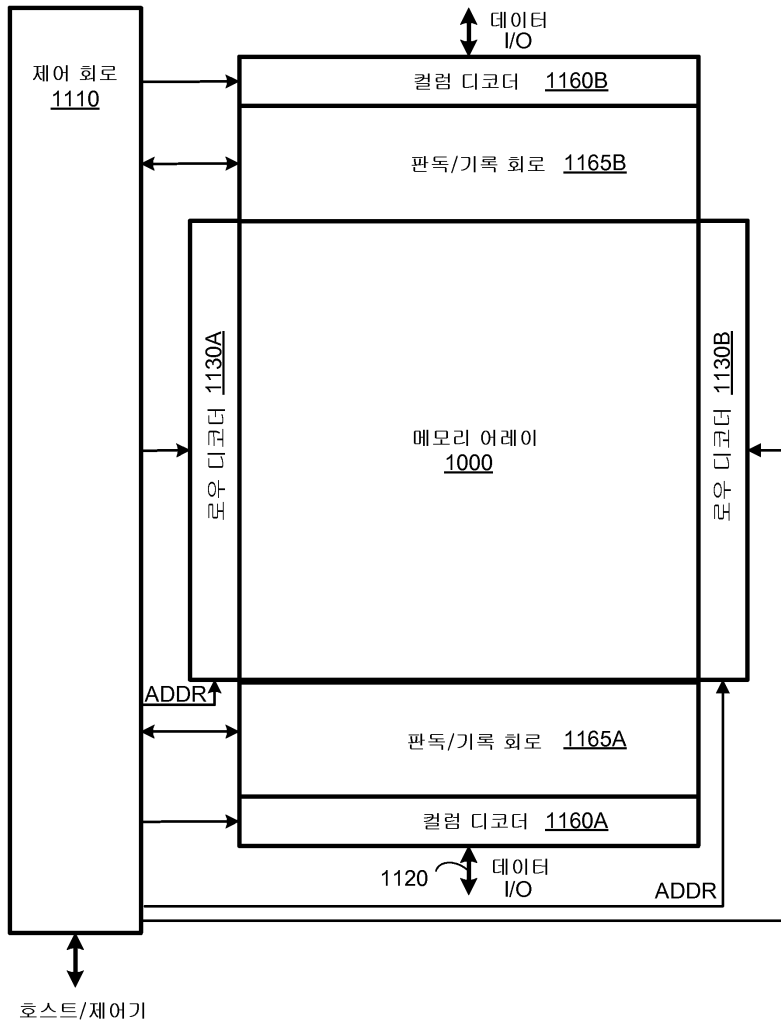
도면10b



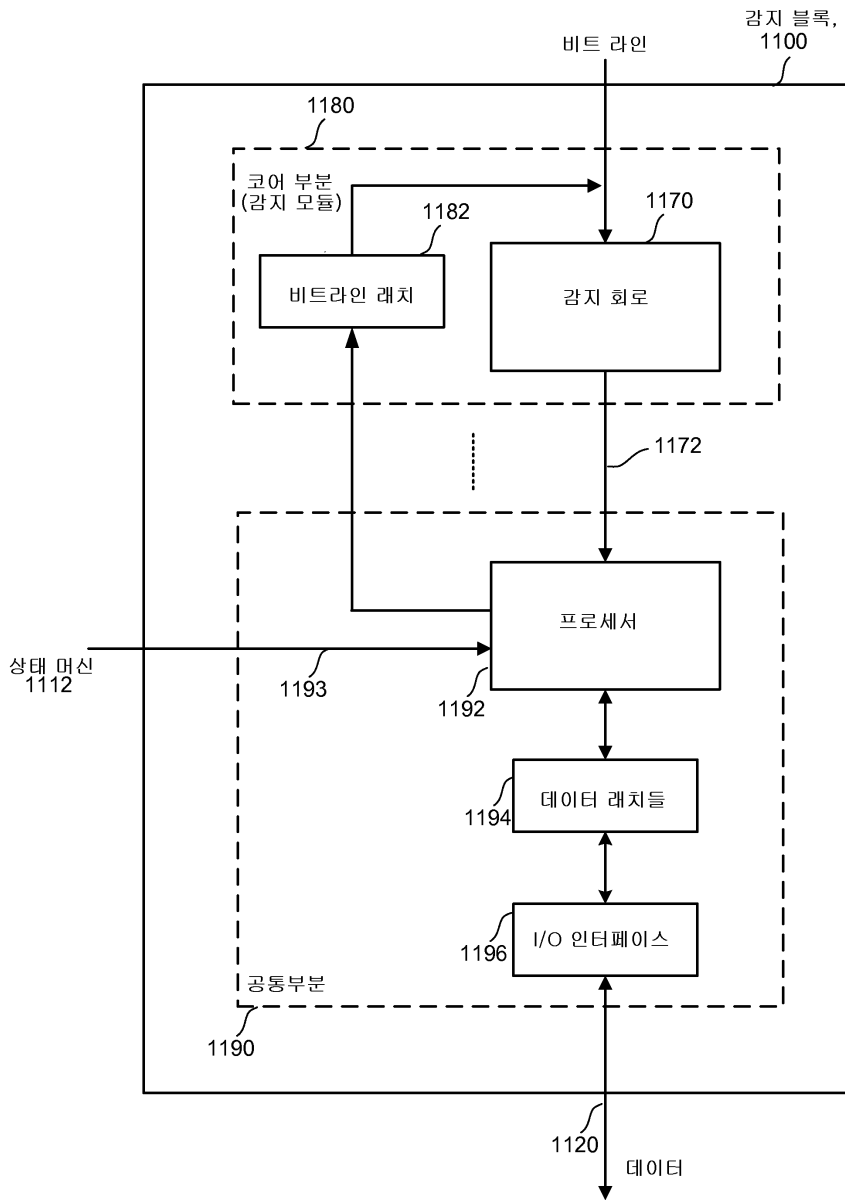
도면11



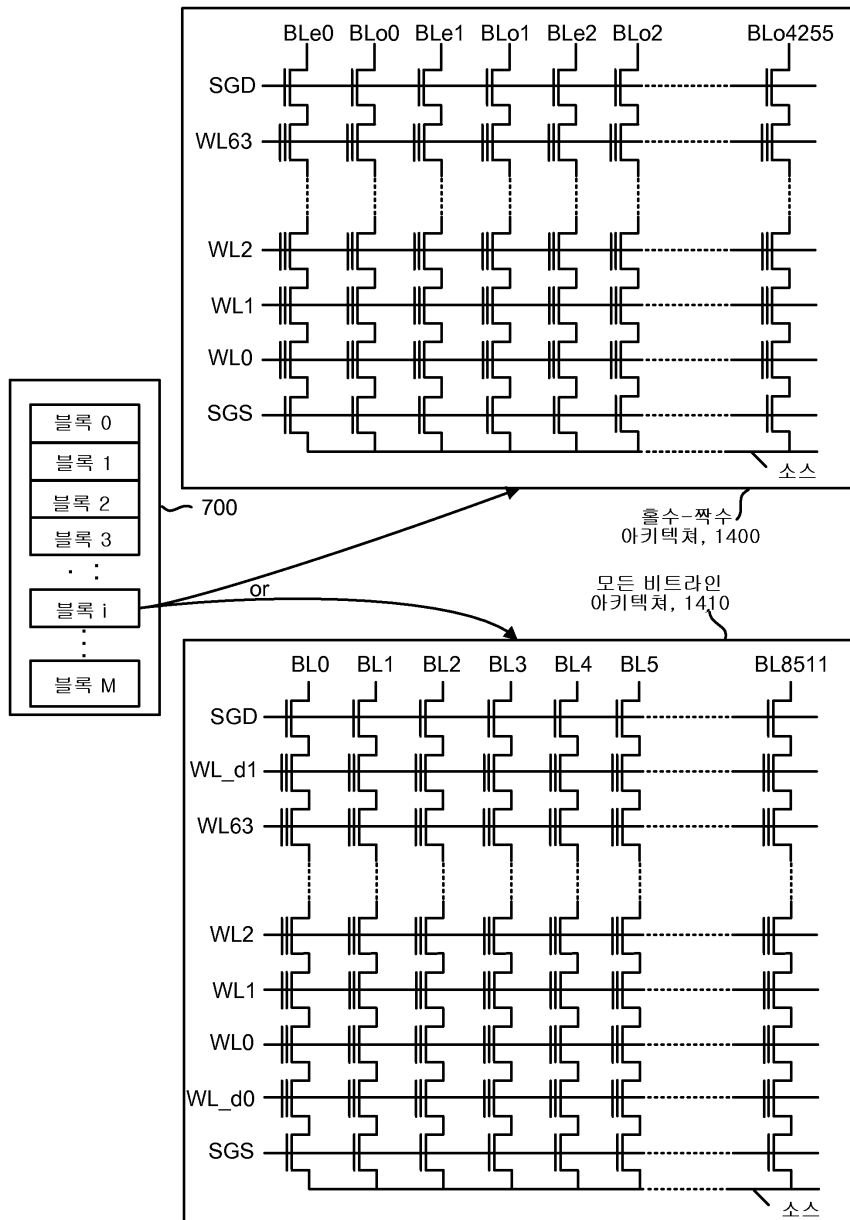
도면12



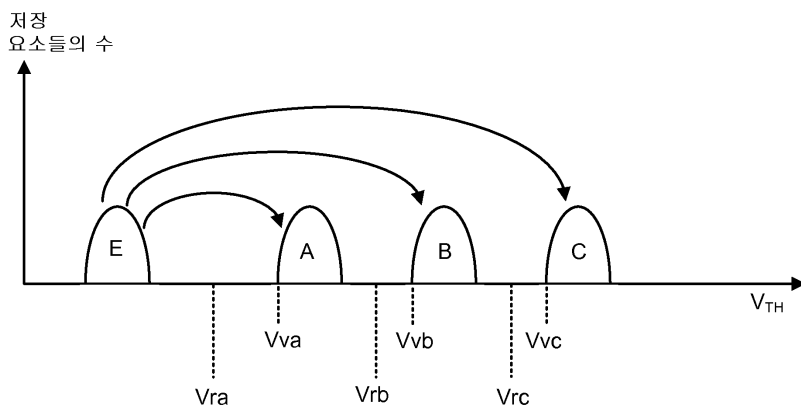
도면13



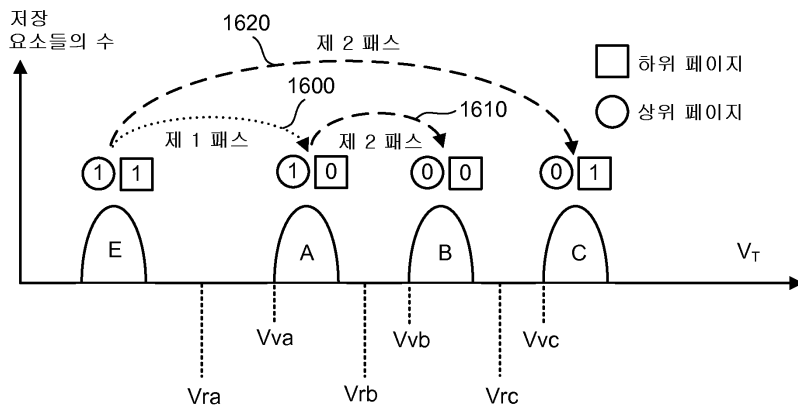
도면14



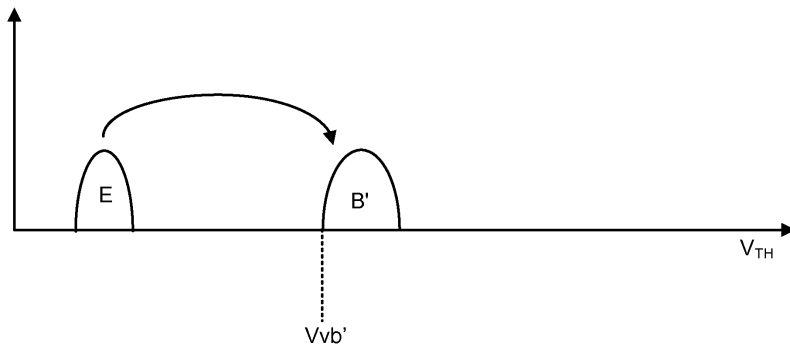
도면15



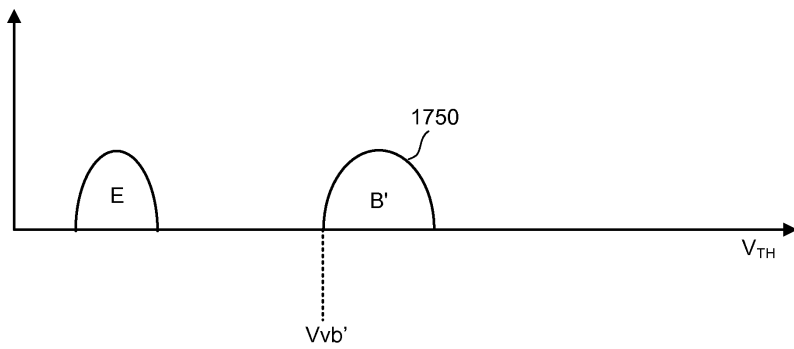
도면16



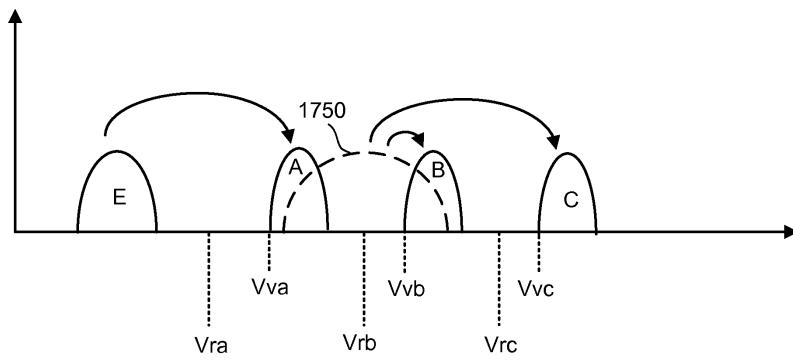
도면17a



도면17b

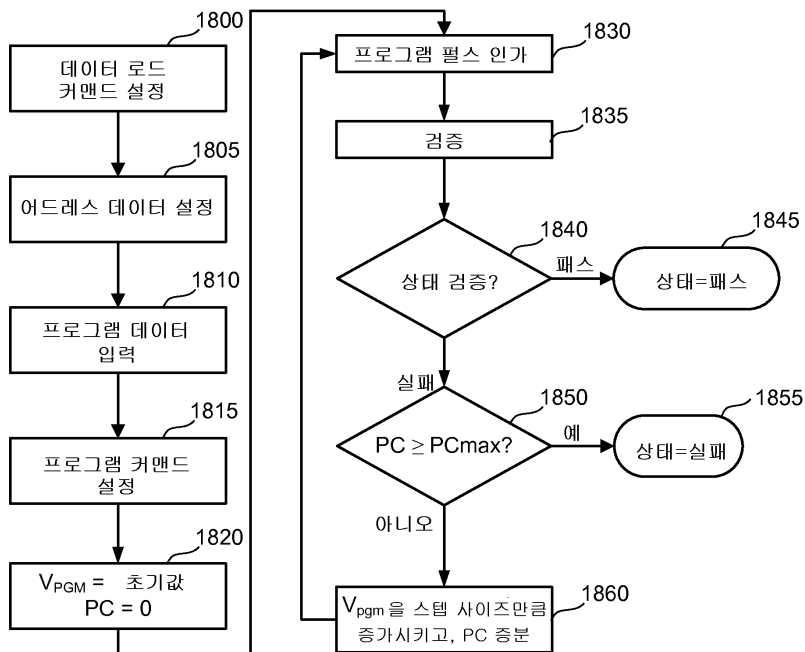


도면17c



상위	1	0	1	0
하위	1	1	0	0

도면18



도면19

