

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4565883号
(P4565883)

(45) 発行日 平成22年10月20日(2010.10.20)

(24) 登録日 平成22年8月13日(2010.8.13)

(51) Int.Cl.		F I	
H03K	5/08	(2006.01)	H03K 5/08 E
H01L	21/822	(2006.01)	H01L 27/04 G
H01L	27/04	(2006.01)	

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2004-130710 (P2004-130710)	(73) 特許権者	302062931
(22) 出願日	平成16年4月27日(2004.4.27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2005-318034 (P2005-318034A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成17年11月10日(2005.11.10)	(74) 代理人	100080001
審査請求日	平成19年4月25日(2007.4.25)		弁理士 筒井 大和
		(72) 発明者	川尻 良樹
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		(72) 発明者	寺沢 正明
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		(72) 発明者	山添 孝徳
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

外部のホスト機器と電磁結合により動作電力の供給を受け、またデータの入出力を行う半導体集積回路装置であって、

中央処理装置と、複数の不揮発性メモリセルと第1の電圧生成部とを有するメモリアレイと、第2の電圧生成部とを有し、

前記第2の電圧生成部は、

前記外部のホスト機器と電磁結合されるアンテナを介して供給された交流電圧を直流電圧に変換する整流回路を有し、前記中央処理装置と前記メモリアレイとに動作電圧を供給し、

前記第1の電圧生成部は、

前記第2の電圧生成部の供給する前記動作電圧を受け、

第1のクロック信号、および前記第1のクロック信号よりも高い周波数の第2のクロック信号を生成し、選択して出力するクロック信号制御部と、

前記クロック信号制御部から出力された第1のクロック信号、および第2のクロック信号を用いてポンピング動作による昇圧を行い、前記メモリアレイに供給する所定の電圧を生成するチャージポンプ回路とを備え、

前記クロック信号制御部は、

前記チャージポンプ回路に対して前記第1のクロック信号を出力した後、前記第2のクロック信号を出力し、

10

20

前記チャージポンプ回路は、

前記動作電圧の電圧低下を所定範囲内にするために、前記クロック信号制御部から出力された第1のクロック信号による昇圧動作の後、前記第2のクロック信号による昇圧動作を行い、前記不揮発性メモリセルに供給する所定の電圧を生成することを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置において、

前記クロック信号制御部は、

前記第1のクロック信号を所定の時間出力した後、前記第2のクロック信号を出力することを特徴とする半導体集積回路装置。

10

【請求項3】

請求項2記載の半導体集積回路装置において、

前記クロック信号制御部は、

発振制御信号に基づいて、前記第1のクロック信号、および前記第2のクロック信号をそれぞれ生成する発振器と、

クロック制御信号に基づいて、前記発振器が生成した第1のクロック信号、または前記第2のクロック信号のいずれか一方の出力するクロック選択部と、

前記クロック選択部に前記第1のクロック信号を所定の時間出力させた後、前記第2のクロック信号を出力させる前記クロック制御信号を生成する制御回路とを備えたことを特徴とする半導体集積回路装置。

20

【請求項4】

請求項3記載の半導体集積回路装置において、

前記電圧生成部は、

前記所定の電圧の電圧レベルを検出し、前記所定の電圧が、最終到達電圧になった際にクロック停止信号を出力し、前記クロック信号制御部から出力されている前記第2のクロック信号を停止させるクロック停止検出部を備えたことを特徴とする半導体集積回路装置。

【請求項5】

請求項2～4のいずれか1項に記載の半導体集積回路装置において、

前記制御回路が、前記第1のクロック信号を出力する時間は、前記所定の電圧が最終到達電圧となる時間の1/3程度であることを特徴とする半導体集積回路装置。

30

【請求項6】

請求項1記載の半導体集積回路装置において、

前記クロック信号制御部は、

前記チャージポンプ回路の昇圧動作時において、

前記所定の電圧が、任意の電圧値まで昇圧されるまで前記第1のクロック信号を出力した後、前記所定の電圧が規定電圧値になるまで前記第2のクロック信号を出力することを特徴とする半導体集積回路装置。

【請求項7】

請求項6記載の半導体集積回路装置において、

前記クロック信号制御部は、

前記チャージポンプ回路から出力される電圧値を検出し、任意の電圧値になった際に電圧検出信号を出力する電圧検出部と、

発振制御信号に基づいて、前記第1のクロック信号、および前記第2のクロック信号をそれぞれ生成する発振器と、

前記電圧検出部から出力された電圧検出信号が入力されるまでは前記発振器が生成した第1のクロック信号を選択して出力し、前記電圧検出部から出力された電圧検出信号が入力された際に前記発振器が生成した第2のクロック信号を選択して出力するクロック選択部とを備えたことを特徴とする半導体集積回路装置。

40

【請求項8】

50

請求項 6 または 7 記載の半導体集積回路装置において、
前記電圧検出部が検出する電圧は、前記所定の電圧における最終到達電圧の 1 / 3 程度であることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 6 ~ 8 のいずれか 1 項に記載の半導体集積回路装置において、
前記電圧生成部は、
前記所定の電圧の電圧レベルを検出し、前記所定の電圧が、最終到達電圧になった際にクロック停止信号を出力し、前記クロック信号制御部から出力されている前記第 2 のクロック信号を停止させるクロック停止検出部を備えたことを特徴とする半導体集積回路装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリにおける昇圧技術に関し、特に、EEPROM (Electrically Erasable and Programmable Read Only Memory) における昇圧電圧の制御に適用して有効な技術に関するものである。

【背景技術】

【0002】

近年、クレジットカードや電話カードなどの機能を有する IC カードが普及しつつある。この IC カードは、磁気カードと同じような形状のカードに CPU とメモリとが搭載されており、該 CPU によってメモリのリード/ライトが管理され、暗号処理などをカードそれ自体に持たせ、高セキュリティ機能、および大記憶容量を有している。

20

【0003】

また、IC カードには、リーダライタなどの外部装置との情報伝達方式の 1 つとして、たとえば、該外部装置との間に機械的結合手段を有する接触タイプ、電波などの情報伝送媒体によって情報を伝達する非接触タイプ、ならびに接触/非接触兼用タイプ、いわゆるデュアルウェイタイプがある。

【0004】

非接触タイプの IC カードでは、外部装置に近接させた際に、該外部装置から放射される電波を受け、IC カード内に設けられたアンテナであるコイルに電磁誘導によって電流が流れ、該コイルの両端が接続された半導体集積回路装置に交流の電圧が印加されることによって電力供給が行われる。

30

【0005】

半導体集積回路装置は、供給された交流電圧を整流回路によって直流電圧に変換した後、レギュレータを介して内部電源電圧 V_{dd} を生成し、各モジュールにそれぞれ供給する。

【0006】

IC カードには、メモリとして EEPROM が広く用いられている。この EEPROM は、電氣的に消去/書き換えが可能なメモリであり、IC カードに入出力されるデータを格納する。

40

【0007】

EEPROM には、たとえば、チャージポンプ回路などからなる昇圧回路が設けられている。この昇圧回路は、レギュレータを介して供給された内部電源電圧から、データの書き込み動作時に用いられる書き込み電圧、および消去電圧などを生成する。

【0008】

なお、この種の半導体メモリにおいては、ピーク電流を抑制するために時分割処理をするフラッシュメモリ (特許文献 1 参照)、および負荷容量に係わらず、昇圧速度を一定に制御する EEPROM (特許文献 2 参照) などがある。

【特許文献 1】特開 2002 - 109894 号公報

50

【特許文献2】国際公開 W O 2 - 1 9 3 4 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところが、上記のようなICカードでは、次のような問題点があることが本発明者により見い出された。

【0010】

非接触タイプなどのICカードでは、外部装置から放射される電波を受けて電力が供給されるので、ICカードにおける半導体集積回路装置が動作するか否かは、外部装置との通信距離に依存することになる。

10

【0011】

この場合、半導体集積回路装置における負荷駆動能力は、通信距離の2乗に反比例することになり、通信距離が長くなると負荷駆動能力が大幅に低下してしまうことになる。たとえば、負荷駆動能力の下限近傍でICカードが動作している際にEEPROMの昇圧回路が動作すると、該昇圧回路の動作開始時のピーク電流が大きいために内部電源電圧V_{dd}の急激な電圧降下が生じてしまうことになり、ICカードの誤動作などが生じてしまう恐れがある。

【0012】

また、ICカードを安定して動作させるためには、昇圧回路が動作した際にも急激な電圧降下が発生しない程度の十分な負荷駆動能力が必要である。前述したように負荷駆動能力は通信距離の2乗に反比例するので、十分な負荷駆動能力を得るために、ICカードの通信距離が短くなってしまいう問題がある。

20

【0013】

図11は、本発明者が検討したICカードにおける動作タイミングチャートである。

【0014】

図において、上方から下方にかけて、外部装置から供給される電波、レギュレータから出力される内部動作電圧V_{dd}、EEPROMの昇圧回路に入力される昇圧開始信号、昇圧回路が生成する昇圧電圧、およびリセット信号の信号タイミングをそれぞれ示している。

【0015】

まず、外部装置から電波を受けると、レギュレータから内部電源電圧V_{dd}が出力される。その後、EEPROMの制御回路から昇圧回路に対して昇圧開始信号が出力されると、昇圧回路は、消去動作時に用いられる消去電圧（たとえば、-8.5V程度）を生成する。昇圧回路は、一般にチャージポンプ回路などからなる。

30

【0016】

この時、十分な負荷駆動能力が得られない通信距離では、昇圧回路におけるポンピングキャパシタを駆動させる際のピーク電流が大きいために内部電源電圧V_{dd}が電圧降下してしまう。

【0017】

それによって、内部電源電圧V_{dd}がリセット信号出力電圧以下となった場合、半導体集積回路装置にリセット信号が出力されてしまい、誤動作などが生じてしまうことになる。

40

【0018】

本発明の目的は、EEPROMに設けられた昇圧回路の動作時におけるピーク電流を低減することにより、ICカードにおける通信距離を拡大し、安定した通信を行うことのできる技術を提供することにある。

【0019】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【 0 0 2 0 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 2 1 】

本発明による半導体集積回路装置は、複数の不揮発性メモリセルを有するメモリアレイと、該不揮発性メモリセルに供給する所定の電圧を供給する電圧生成部とを有し、該電圧生成部は、第1のクロック信号、および該第1のクロック信号よりも高い周波数の第2のクロック信号を生成し、選択して出力するクロック信号制御部と、該クロック信号制御部から出力された第1のクロック信号、および第2のクロック信号を用いてポンピング動作による昇圧を行い、所定の電圧を生成するチャージポンプ回路とを備え、クロック信号制御部は、チャージポンプ回路に対して第1のクロック信号を出力した後、第2のクロック信号を出力し、チャージポンプ回路は、クロック信号制御部から出力された第1のクロック信号による昇圧動作の後、第2のクロック信号による昇圧動作を行い、不揮発性メモリセルに供給する所定の電圧を生成するものである。

10

【 0 0 2 2 】

また、本願のその他の発明の概要を簡単に示す。

【 0 0 2 3 】

本発明による半導体集積回路装置は、前記クロック信号制御部が、前第1のクロック信号を所定の時間出力した後、第2のクロック信号を出力するものである。

【 0 0 2 4 】

また、本発明による半導体集積回路装置は、前記クロック信号制御部は、チャージポンプ回路の昇圧動作時において、チャージポンプの出力する電圧が、任意の電圧値まで昇圧されるまで前第1のクロック信号を出力した後、所定の電圧が規定電圧値になるまで前記第2のクロック信号を出力するものである。

20

【発明の効果】

【 0 0 2 5 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 2 6 】

(1) 電圧生成部が動作した際の電流ピークを低減することができるので、半導体集積回路装置における消費電流のピークを小さくすることができる。

30

【 0 0 2 7 】

(2) 上記(1)により、本発明の半導体集積回路装置を用いてICカードを構成することにより、電波などの情報伝送媒体によって情報を伝達する際に該ICカードの通信距離を大きくする、もしくはICカードの動作を安定させることができる。

【発明を実施するための最良の形態】

【 0 0 2 8 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

40

【 0 0 2 9 】

図1は、本発明の一実施の形態によるICカードのブロック図、図2は、図1のICカードに設けられた半導体集積回路装置のブロック図、図3は、図2の半導体集積回路装置に設けられたEEPROMにおける消去時、および書き込み時のメモリセルに印加される各部の電圧関係を示した説明図、図4は、図2のEEPROMに設けられた昇圧回路の一例を示すブロック図、図5は、図4の昇圧回路における各部の動作波形を示すタイミングチャート、図6は、図4の昇圧回路における消去/書き込み動作時の選択クロック信号と昇圧電圧との動作波形をそれぞれ示した説明図、図7は、本発明者が検討した高速クロック信号を用いた昇圧回路と本発明による昇圧回路との昇圧電流/クロック信号の関係を示すシミュレーション図、図8は、図2のEEPROMに設けられた昇圧回路の他の例を示

50

すブロック図、図 9 は、図 8 の昇圧回路における各部の動作波形を示すタイミングチャートである。

【 0 0 3 0 】

本実施の形態において、IC カード 1 は、電波などの情報伝送媒体によって情報を伝達する非接触タイプからなる。IC カード 1 は、磁気カードと同じような形状のプラスチックカードに半導体集積回路装置 2 が埋め込まれている。

【 0 0 3 1 】

半導体集積回路装置 2 の接続端子 LA, LB には、図 1 に示すように、プラスチックカードの外周部近傍に埋め込まれたアンテナとなるコイル 3 が接続されている。このコイル 3 は、IC カード 1 の動作時に、カード端末機からの電波を受け、電力供給や情報通信などを行う。

10

【 0 0 3 2 】

半導体集積回路装置 2 は、図 1 に示すように、RF 部アナログ回路 4、およびマイコン部 5 から構成されている。RF 部アナログ回路 4 は、整流回路 6、レギュレータ 7、基準電圧回路 8、受信回路 9、送信回路 10、ならびに検出回路 11 からなる。マイコン部 5 は、CPU 12、ROM 13、RAM (Random Access Memory) 14、およびEEPROM 15 から構成されている。

【 0 0 3 3 】

整流回路 6 は、コイル 3 の両端部がそれぞれ接続されている。整流回路 6 は、リーダライタなどの外部装置 RW から放射される電波を受け、コイル 3 に電磁誘導によって電流が流れ、該コイル 3 の両端発生した交流電圧を整流し、直流電圧に変換する。

20

【 0 0 3 4 】

レギュレータ 7 には、整流回路 6 が接続されており、該整流回路 6 が整流した直流電圧を安定化し、内部電源電圧 Vdd を生成する。基準電圧回路 8 は、たとえば、バンドギャップ回路からなり、レギュレータ 7 に用いられる基準電圧 Vref を生成する。

【 0 0 3 5 】

受信回路 9 は、コイル 3 が受信した搬送波の振幅を入力デジタル信号に対応させて変化させたASK (Amplitude Shift Keying : 振幅シフトキーイング) 信号のデータを復調してCPU 12 に出力する。

【 0 0 3 6 】

送信回路 10 は、CPU 12 から出力されたデータをASK変調し、コイル 3 から送信する。検出回路 11 は、搬送波の周波数、内部電源電圧 Vdd の電圧レベル、IC カード 1 内の温度などを検出し、異常の際にCPU 12 にリセット信号を出力し、該CPU 12 をリセットさせる。

30

【 0 0 3 7 】

マイコン部 5 において、CPU 12、ROM 13、RAM 14、およびEEPROM 15 は、内部バス B により相互にそれぞれ接続されている。CPU 12 は、ROM 13 に格納されたプログラムに基づいてIC カード 1 におけるすべての制御を司る。

【 0 0 3 8 】

ROM 13 は読み出し専用メモリであり、IC カード 1 の制御プログラムなどが格納されている。RAM 14 は揮発性メモリからなり、IC カード 1 の接触動作時に該IC カード 1 から入出力されるデータを一時的に格納する。

40

【 0 0 3 9 】

EEPROM 15 は電氣的に消去 / 書き換えが可能なメモリであり、外部装置 RW との間での通信を暗号化するために暗号化鍵や金融決済情報など、またRAM 14 に一時的に格納されたデータなどを格納する。

【 0 0 4 0 】

図 2 は、EEPROM 15 の構成を示すブロック図である。

【 0 0 4 1 】

EEPROM 15 は、メモリセルアレイ 16、制御回路 17、メモリゲートドライバ 1

50

8、センスラッチ 19、入出力回路 20、ウェルデコーダ 21、および昇圧回路（電圧生成部）22 から構成されている。

【0042】

メモリセルアレイ 16 は、複数のウェルからなり、各々のウェルには、2 ビットのデータを記憶する不揮発性のメモリセル（不揮発性メモリセル）MS がマトリクス状に任意のバイト（たとえば、128 バイト）数配置された構成からなる。

【0043】

制御回路 17 は、CPU 12 から出力される制御信号に基づいて、メモリゲートドライバ 18、センスラッチ 19 ならびに昇圧回路 22 の制御を行うとともに、入出力回路 20 を介してデータを入出力する。

【0044】

メモリゲートドライバ 18 は、制御回路 17 の制御に基づいて、任意のワード線を選択し、消去 / 書き込み / 読み出し動作時に必要な任意の電圧を印加する。センスラッチ 19 は、制御回路 17 の制御に基づいてソース線、データ線の読み出し信号を増幅、およびラッチする。

【0045】

入出力回路 20 は、制御回路 17 から入出力されるデータを一時的に格納するバッファ回路を有する。ウェルデコーダ 21 は、複数のウェル $W_0 \sim W_n$ のうち、任意のウェルを選択し、該選択したウェルに構成されているそれぞれのメモリセル MS にウェル電圧を供給する。

【0046】

昇圧回路 22 は、メモリセル MS への消去 / 書き込みなどに必要な負の高電圧（たとえば、約 -8.5 V 程度、約 -10.7 V 程度など）である昇圧電圧を発生させる。

【0047】

図 3 は、消去時、および書き込み時におけるメモリセル MS に印加される各部の電圧関係を示した説明図である。

【0048】

消去時には、図 3 (a) に示すように、消去対象となるメモリセルを含む選択されたウェルには 1.5 V が印加され、消去対象となるメモリセル MS のメモリゲートに約 -8.5 V 程度の電圧が印加され、消去対象とされないメモリセルのメモリゲートには 1.5 V 程度の電圧が印加され、ソース S（ソース線）、およびドレイン D（データ線）に約 1.5 V 程度（内部電源電圧 V_{dd} ）が印加される。この時、選択されていないウェルには、約 -8.5 V 程度のウェル電圧、ソース S（ソース線）、およびドレイン D（データ線）に約 1.5 V 程度（内部電源電圧 V_{dd} ）が印加されている。

【0049】

また、書き込み時には、図 3 (b) に示すように、書き込み対象となるメモリセル MS のメモリゲートには、約 1.5 V 程度（内部電源電圧 V_{dd} ）が印加され、書き込み対象とされないメモリセル MS のメモリゲートには -10.7 V 程度の電圧が印加され、ソース S（ソース線）、およびドレイン D（データ線）に約 -10.7 V 程度がそれぞれ印加されており、書き込み対象となるメモリセル MS を含む選択されたウェル、および選択されていないウェルの両方には、約 -10.7 V 程度のウェル電圧が印加されている。

【0050】

このように電圧を印加することで、消去時にはメモリセル MS の電荷蓄積領域から電荷がウェルに放出され、メモリセル MS のしきい値電圧を下げることができ、書き込み時にはメモリセル MS のウェルから電荷蓄積領域に電荷が注入され、メモリセル MS のしきい値電圧を上げることができる。書き込みと消去の関係はメモリセルのしきい値電圧をどの様に遷移させるかについての定義であり、図 3 の説明とは書き込みと消去の関係が逆であっても何ら問題ではない。さらには電荷蓄積層からの電荷の放出、および電荷蓄積層への電荷の注入をウェルとの間で行うのではなく、メモリゲートとの間で行うものであっても問題ではない。

10

20

30

40

50

【 0 0 5 1 】

図 4 は、昇圧回路 2 2 における構成の一例を示す説明図である。

【 0 0 5 2 】

昇圧回路 2 2 は、E E P R O M 1 5 のデータ書き込み動作において、メモリセル M S の消去電圧、および書き込み電圧の印加を 2 つの電圧レベルに分けて供給する。

【 0 0 5 3 】

昇圧回路 2 2 は、ライトステートマシン（制御回路）2 3、発振器（クロック信号制御部）2 4、否定論理積回路（クロック信号制御部、クロック選択部）2 5、2 6、チャージポンプ（チャージポンプ回路）2 7、スイッチ 2 8、複数の抵抗（クロック停止検出部）2 9、および比較器（クロック停止検出部）3 0 から構成されている。

10

【 0 0 5 4 】

ライトステートマシン 2 3 は、制御回路 1 7 の制御に基づいて昇圧回路 2 2 が昇圧する昇圧電圧の制御を行う。このライトステートマシン 2 3 からは、消去 / 書き込み制御信号 E / W、低速クロック制御信号 C L、高速クロック制御信号 C H、および発振制御信号 C C S を出力する。

【 0 0 5 5 】

発振器 2 4 には、発振制御信号 C C S が入力されるように接続されており、該発振器 2 4 は、発振制御信号 C C S に応じて低速クロック信号（第 1 のクロック信号）、および該低速クロック信号よりも高い周波数の高速クロック信号（第 2 のクロック信号）を出力する。

20

【 0 0 5 6 】

否定論理積回路 2 5、2 6 には、3 つの入力部が設けられている。否定論理積回路 2 5 のある 1 つの入力部には、低速クロック制御信号 C L が入力されるように接続されており、該否定論理積回路 2 5 の他の 1 つの入力部には、発振器 2 4 が生成した低速クロック信号が入力されるように接続されている。

【 0 0 5 7 】

否定論理積回路 2 6 の 2 つの入力部には、高速クロック制御信号 C H、および発振器 2 4 が生成した高速クロック信号がそれぞれ入力されるように接続されている。そして、否定論理積回路 2 5、2 6 の残りの 1 つの入力部には、比較器 3 0 から出力された比較結果が入力されるようにそれぞれ接続されている。

30

【 0 0 5 8 】

否定論理積回路 2 5、2 6 の出力部には、チャージポンプ 2 7 の入力部が接続されており、該チャージポンプ 2 7 は、否定論理積回路 2 5、2 6 を介して入力された低速クロック信号、または高速クロック信号のいずれかをを用いてチャージポンプ動作によって昇圧電圧（約 - 8 . 5 V 程度、約 - 1 0 . 7 V 程度など）を生成する。

【 0 0 5 9 】

複数の抵抗 2 9 は、直列接続されており、それら抵抗 2 9 の任意の接続部にスイッチ 2 8 の一方、および他方の接続部がそれぞれ接続されている。スイッチ 2 8 の共通接続部には、内部電源電圧 V d d が接続されている。

【 0 0 6 0 】

40

スイッチ 2 8 は、ライトステートマシン 2 3 から出力される消去 / 書き込み制御信号 E / W に基づいて、消去動作時と書き込み動作時とにおいて内部電源電圧 V d d の出力先をそれぞれ切り替える。消去 / 書き込み制御信号 E / W は、消去動作時に、たとえば、L レベルとなり、書き込み動作時には、H レベルとなる。

【 0 0 6 1 】

直列接続された抵抗 2 9 の一方の最終端には、チャージポンプ 2 5 の出力部が接続されており、直列接続された抵抗 2 9 の任意の接続部には、比較器 3 0 の負（ - ）側入力端子が接続されている。

【 0 0 6 2 】

比較器 3 0 の正（ + ）側入力端子には、基準電圧回路 8 が生成した基準電圧 V r e f が

50

入力されるように接続されている。比較器 30 は、複数の抵抗 29 によって分圧された比較用電圧と基準電圧 V_{ref} とを比較し、その比較結果に基づいてクロック停止信号 $CLKSTOP$ を出力する。

【0063】

次に、本実施の形態による昇圧回路 22 の動作について説明する。

【0064】

図 5 は、昇圧回路 22 における各部の動作波形を示すタイミングチャートである。

【0065】

図 5 においては、上方から下方にかけて、ライトステートマシーン 23 から出力される発振制御信号 CCS 、ライトステートマシーン 23 から出力される消去 / 書き込み制御信号 E/W 、ライトステートマシーン 23 から出力される低速クロック制御信号 CL 、高速クロック制御信号 CH 、発振器 24 からそれぞれ出力される低速クロック信号、高速クロック信号、比較器 30 から出力されるクロック停止信号 $CLKSTOP$ 、チャージポンプ 27 に入力される選択クロック信号 $CLKPUMP$ 、昇圧回路 22 の消費電流 I_{pp} 、および昇圧回路 22 から出力される昇圧電圧 V_{pp} における波形タイミングをそれぞれ示している。

【0066】

まず、消去動作において、ライトステートマシーン 23 からは、 Lo レベルの発振制御信号 CCS 、 Lo レベルの消去 / 書き込み制御信号 E/W 、 Hi レベルの低速クロック制御信号 CL 、 Lo レベルの高速クロック信号がそれぞれ出力される。

【0067】

発振器 24 は、 Lo レベルの発振制御信号 CCS を受けて、低速クロック信号、および高速クロック信号の生成を開始し、それぞれ出力する。また、スイッチ 28 は、 Lo レベルの消去 / 書き込み制御信号 E/W に基づいて、所定の切り替えを行い、消去動作時の比較用電圧を生成するように内部電源電圧 V_{dd} の出力先を切り替える。

【0068】

また、否定論理積回路 25 には、 Hi レベルの低速クロック制御信号 CL が入力され、否定論理積回路 26 には、 Lo レベルの高速クロック制御信号 CH が入力されているので、高速クロック信号の出力は停止され、否定論理積回路 25 を介して低速クロック信号のみが、選択クロック信号 $CLKPUMP$ としてチャージポンプ 27 の入力部に入力される。

【0069】

チャージポンプ 27 は、この低速クロック信号の選択クロック信号 $CLKPUMP$ を受けて昇圧動作を開始する。チャージポンプ 27 は、静電容量にチャージするために動作開始直後に消費電流がピークとなり、その後、チャージが進むにつれて徐々に消費電流が小さくなる。

【0070】

その後、ある期間（たとえば、 Hi レベルの低速クロック制御信号 CL が出力されてから約 $30\mu s$ 程度）経過すると、ライトステートマシーン 23 は、低速クロック制御信号 CL を Lo レベルに遷移させるとともに、高速クロック制御信号 CH を Lo レベルから Hi レベルに遷移させる。

【0071】

これによって、低速クロック信号は出力が停止となり、高速クロック信号が選択クロック信号 $CLKPUMP$ としてチャージポンプ 27 の入力部に入力される。高速クロック信号による昇圧動作の開始直後に、再び、チャージポンプ 27 の消費電流はピークとなり、その後徐々に消費電流が小さくなる。

【0072】

チャージポンプ 27 から出力される昇圧電圧 V_{pp} が消去電圧である約 $-8.5V$ 程度まで昇圧すると、比較器 30 は、 Lo レベルのクロック停止信号 $CLKSTOP$ を出力する。

10

20

30

40

50

【 0 0 7 3 】

L o レベルのクロック停止信号 C L K S T O P を受けて、否定論理積回路 2 5 , 2 6 は、クロック信号の出力を停止し、チャージポンプ 2 7 の動作が停止する。また、昇圧電圧 V p p が電圧低下すると、比較器 3 0 再び H i レベルのクロック停止信号 C L K S T O P を出力し、チャージポンプ 2 7 を動作させるように制御し、昇圧電圧 V p p を一定の電圧レベルに保持させる。

【 0 0 7 4 】

メモリセルの消去動作が完了した後、チャージポンプ 2 7 の出力する昇圧電圧 V p p を印加する先を切り替えるために、一旦チャージポンプの動作が停止され、その後書き込み動作のために再度チャージポンプ 2 7 が動作を開始する。

10

【 0 0 7 5 】

また、書き込み動作において、チャージポンプ 2 7 の動作は前述した消去動作時と同様であり、異なる点は、チャージポンプの生成する昇圧電圧 V p p が、約 - 1 0 . 7 V 程度となっていることである。

【 0 0 7 6 】

この場合も、チャージポンプ 2 7 は、低速クロック信号の選択クロック信号 C L K P U M P を受けて昇圧動作を開始し、その後、ある期間（たとえば、H i レベルの低速クロック制御信号 C L が出力されてから約 3 0 μ s 程度）経過すると、ライトステートマシン 2 3 の制御によって、高速クロック信号が選択クロック信号 C L K P U M P としてチャージポンプ 2 7 の入力部に入力されることになる。

20

【 0 0 7 7 】

よって、チャージポンプ 2 7 は、低速クロック信号が入力された直後と高速クロック信号が入力された直後とにそれぞれ 2 回の消費電流ピークが現れることになる。

【 0 0 7 8 】

図 6 は、昇圧回路 2 2 における消去動作時、および書き込み動作時の選択クロック信号 C L K P U M P と昇圧電圧 V p p との動作波形をそれぞれ示した説明図である。

【 0 0 7 9 】

消去、または書き込み動作時において、最初に、チャージポンプ 2 7 には、低速クロック信号の選択クロック信号 C L K P U M P が入力される。低速クロック信号のみで昇圧電圧 V p p を生成することによって消費電流のピークは小さくできるが、昇圧電圧 V p p の立ち下がり時間 t f が大きくなってしまふことになる。

30

【 0 0 8 0 】

よって、ある期間（立ち下がり時間 t f の 1 / 3 程度）が経過した後、低速クロック信号よりも高い周波数とした高速クロック信号を選択し、選択クロック信号 C L K P U M P としてチャージポンプ 2 7 に入力させて昇圧動作を行うことによって、低速クロック信号のみで昇圧電圧を生成する場合に比べて、昇圧電圧の最終到達電圧までの時間を短縮させる。これによって、チャージポンプ回路 2 7 の消費電流のピークを抑えながら昇圧電圧 V p p の立ち下がり時間 t f を短縮することができる。

【 0 0 8 1 】

図 7 は、昇圧電流、およびクロック信号の関係を示すシミュレーション図である。

40

【 0 0 8 2 】

図 7 において、上方は、本発明者が検討した高速クロック信号のみで昇圧電圧を生成する昇圧回路による消費電流とクロック信号と関係をそれぞれ示しており、下方には、本発明における高速 / 低速クロック信号の切り替えによって昇圧電圧を生成する昇圧回路 2 2 の消費電流とクロック信号との関係を示すシミュレーション図である。

【 0 0 8 3 】

図示するように、高速クロック信号のみで昇圧を行った場合には、昇圧電圧が - 1 0 . 7 V に到達するまでの時間が 1 3 0 μ s 、昇圧回路 2 2 による到達時間 1 7 0 μ s に比べて短縮化されることになる。

【 0 0 8 4 】

50

一方、消費電流のピークでは、高速クロック信号のみで昇圧を行った場合には $1000\ \mu\text{A}$ 程度となり、昇圧回路 22 の消費電流のピークである $700\ \mu\text{A}$ 程度に比べて大幅に大きくなっていることが分かる。

【0085】

このように、低速 / 高速クロック信号により昇圧を行う昇圧回路 22 によって、ピークの消費電流を大幅に抑えながら、立ち下がり時間の大幅な長時間化を防止することを可能としている。

【0086】

図 8 は、昇圧回路 22 における構成の他の例を示す説明図である。

【0087】

図示する昇圧回路 22 は、昇圧電圧の電圧値によってチャージポンプ 27 に入力されるクロック信号が切り替えられる。ここでは、たとえば、昇圧電圧が、 -4V 程度になると低速クロック信号から高速クロック信号に切り替えられる。

【0088】

昇圧回路 22 は、図 4 に示すライトステートマシーン 23、発振器 24、否定論理積回路 25、26、チャージポンプ 27、スイッチ 28、複数の抵抗 29、および比較器 30 からなる構成に、比較器 (電圧検出部) 30a と複数の抵抗 (電圧検出部) 29a とが新たに追加された構成となっている。

【0089】

複数の抵抗 29a は、内部電源電圧 V_{dd} とチャージポンプ 27 が生成する昇圧電圧 V_{pp} との間に直列接続されている。比較器 30a の正 (+) 側入力端子には、基準電圧回路 8 が生成した基準電圧 V_{ref} が入力されるように接続されており、該比較器 30 の負 (-) 側入力端子には、直列接続された抵抗 29a の任意の接続部が接続されており、これら抵抗 29a によって分圧された電圧が入力される。

【0090】

そして、比較器 30a の出力部から出力される -4V 検出信号 KS がライトステートマシーン 23 に入力されるように接続されている。比較器 30a は、基準電圧 V_{ref} と抵抗 29a によって分圧された電圧とを比較し、チャージポンプ 27 から出力される昇圧電圧 V_{pp} が約 -4V 程度になると、 -4V 検出信号 KS を出力する。また、その他の接続構成については、図 4 と同様であるので、説明は省略する。

【0091】

図 9 は、図 8 の昇圧回路 22 における各部の動作波形を示すタイミングチャートである。

【0092】

図 9 においては、上方から下方にかけて、発振制御信号 CCS 、比較器 30a から出力される -4V 検出信号 KS 、消去 / 書き込み制御信号 E/W 、低速クロック制御信号 CL 、高速クロック制御信号 CH 、低速クロック信号、高速クロック信号、クロック停止信号 $CLKSTOP$ 、選択クロック信号 $CLKPUMP$ 、消費電流 I_{pp} 、および昇圧電圧 V_{pp} における波形タイミングをそれぞれ示している。

【0093】

まず、消去動作では、ライトステートマシーン 23 から、 L レベルの発振制御信号 CCS 、 L レベルの消去 / 書き込み制御信号 E/W 、 H レベルの低速クロック制御信号 CL 、 L レベルの高速クロック信号がそれぞれ出力される。

【0094】

発振器 24 は、 L レベルの発振制御信号 CCS を受けて、低速クロック信号、および高速クロック信号を生成してそれぞれ出力する。スイッチ 28 は、 L レベルの消去 / 書き込み制御信号 E/W に基づいて、所定の切り替えを行い、消去動作時の比較用電圧を生成するように内部電源電圧 V_{dd} の出力先を切り替える。

【0095】

否定論理積回路 25 には、 H レベルの低速クロック制御信号 CL が入力され、否定論

10

20

30

40

50

理積回路 26 には、L o レベルの高速クロック制御信号 C H が入力されているので、高速クロック信号の出力は停止しており、否定論理積回路 25 を介して低速クロック信号のみが選択クロック信号 C L K P U M P としてチャージポンプ 27 の入力部に入力される。

【0096】

チャージポンプ 27 は、低速クロック信号の選択クロック信号 C L K P U M P を受けて昇圧動作を開始する。電流 I p p においては、チャージポンプ 27 が静電容量にチャージする動作開始直後にピーク電流となり、その後、チャージが進むにつれて徐々に電流が小さくなる。

【0097】

その後、昇圧が進み、昇圧電圧 V p p が約 - 4 V 程度になると、比較器 30 a は、L o レベルの - 4 V 検出信号 K S をライトステートマシン 23 に対して出力する。ライトステートマシン 23 は、L o レベルの - 4 V 検出信号 K S を受けて、低速クロック制御信号 C L を L o レベルに遷移させるとともに、高速クロック制御信号 C H を L o レベルから H i レベルに遷移させる。

【0098】

よって、低速クロック信号は出力が停止となり、高速クロック信号が選択クロック信号 C L K P U M P としてチャージポンプ 27 の入力部に入力される。チャージポンプ 27 は、高速クロック信号によって昇圧動作を開始する。この高速クロック信号による昇圧動作の開始直後にピーク電流が流れ、その後徐々に消費電流が小さくなる。

【0099】

チャージポンプ 27 から出力される昇圧電圧 V p p が消去電圧である約 - 8 . 5 V 程度まで昇圧されると、比較器 30 は、L o レベルのクロック停止信号 C L K S T O P を出力する。

【0100】

L o レベルのクロック停止信号 C L K S T O P を受けて、否定論理積回路 25 , 26 は、クロック信号の出力を停止し、チャージポンプ 27 の動作を停止させる。また、昇圧電圧 V p p の電圧が低下すると、比較器 30 が再び H i レベルのクロック停止信号 C L K S T O P を出力し、チャージポンプ 27 を動作させるように制御し、昇圧電圧 V p p を一定の電圧レベルに保持させる。

【0101】

また、書き込み動作においては前述した消去動作時と同様であり、異なる点は、チャージポンプの生成する昇圧電圧 V p p が、約 - 10 . 7 V 程度となっていることである。

【0102】

この場合も、チャージポンプ 27 は、低速クロック信号の選択クロック信号 C L K P U M P を受けて昇圧動作を開始し、その後、昇圧電圧 V p p が約 - 4 V 程度になると、比較器 30 a から - 4 V 検出信号 K S が出力され、その信号を受けたライトステートマシン 23 の制御によって、高速クロック信号が選択クロック信号 C L K P U M P としてチャージポンプ 27 の入力部に入力されることになる。

【0103】

よって、消費電流のピークを抑えながら昇圧電圧 V p p の立ち下がり時間を短縮することができる。

【0104】

それにより、本実施の形態によれば、昇圧回路 22 の動作時における電流ピークを大幅に低減することができるので、I C カード 1 の通信を安定化することができるとともに該 I C カード 1 の通信距離を伸ばすことができる。

【0105】

また、本実施の形態では、非接触タイプの I C カード 1 について記載したが、I C カード 1 a は、たとえば、接触と非接触とを兼用した、いわゆるデュアルタイプの I C カードであってもよい。

【0106】

10

20

30

40

50

図10は、デュアルタイプのICカード1aの構成を示す説明図である。

【0107】

ICカード1aは、磁気カードと同じような形状のプラスチックカードに半導体集積回路装置2aが埋め込まれており、プラスチックカードの外周部近傍には、アンテナとなるコイル3が埋め込まれている。このコイル3の両端は、半導体集積回路装置2の接続端子LA, LB(図2)に接続されている。

【0108】

コイル3は、ICカード1の非接触動作時に、カード端末機からの電波を受け、電力供給や情報通信などを行う。プラスチックカードの表面には、半導体集積回路装置3の複数の外部端子が露出して設けられている。

10

【0109】

外部端子は、外部クロック信号が供給されるクロック端子、電源電圧VCCが供給される電源電圧端子、リセット信号が入力されるリセット端子、基準電位VSSが接続されるグランド端子、およびデータが入出力される2つの入出力端子などが設けられている。これら外部端子は、ICカード1が接触動作時にカード端末機の外部端子と機械的に接触することにより、電力供給や情報通信などが行われる。

【0110】

半導体集積回路装置2は、RF部アナログ回路4a、マイコン部5から構成されている。RF部アナログ回路4aは、整流回路6、非接触レギュレータ7a、非接触レギュレータ7b、基準電圧回路8、受信回路9、送信回路10、検出回路11、電圧検出回路31、接触/非接触検出回路32、および切り替えスイッチ33, 34からなる。マイコン部5は、CPU12、ROM13、RAM14、およびEEPROM15から構成されている。

20

【0111】

また、マイコン部5は、CPU12、ROM13、RAM14、およびEEPROM15から構成されている。

【0112】

整流回路6は、コイル3の両端部がそれぞれ接続されている。整流回路6は、リーダライタなどの外部装置RWから発射される電波を受け、コイル3に電磁誘導によって電流が流れ、該コイル3の両端発生した交流電圧を整流し、直流電圧に変換する。

30

【0113】

非接触レギュレータ7aには、整流回路6が接続されており、該整流回路6が整流した直流電圧を安定化し、内部電源電圧Vddを生成する。レギュレータ7bは、ICカード1aが接触動作時に電源電圧端子から供給される電源電圧VCCから内部電源電圧Vddを生成する。

【0114】

基準電圧回路8は、バンドギャップ回路などからなり、内部電源電圧Vddから基準電圧Vrefを生成し、非接触レギュレータ7a、レギュレータ7b、および電圧検出回路31にそれぞれ供給する。

【0115】

受信回路9は、コイル3が受信した搬送波の振幅を入力デジタル信号に対応させて変化させたASK信号のデータを復調してRAM14に出力する。送信回路19は、RAM14から出力されたデータをASK変調し、コイル3から送信する。

40

【0116】

検出回路11は、搬送波の周波数、内部電源電圧Vddの電圧レベル、ICカード1a内の温度、電源電圧端子を介して供給される電源電圧VCCのグリッジ、および光などを検出し、異常の際にCPU12にリセット信号を出力する。

【0117】

接触/非接触検出回路32は、ICカード1aの動作時において、コイル3に電圧があるか否かを検出することによって接触動作か非接触動作かを判定し、非接触レギュレータ

50

7 a、レギュレータ7 b、受信回路9、および送信回路10などを制御するとともに、ICカード1 aが非接触動作時には電源電圧端子を電氣的に切断するように切り替えスイッチ33, 34を切り替える。

【0118】

電圧検出回路31は、電源電圧端子を介して供給された電源電圧VCCの電圧レベルを判定し、あるレベルになるとCPU12に対してリセット信号を出力する。

【0119】

また、マイコン部5において、CPU12、ROM13、RAM14、およびEEPROM15は、内部バスBにより相互にそれぞれ接続されている。CPU12は、ROM13に格納されたプログラムに基づいてICカード1 aにおけるすべての制御を司る。ROM13は読み出し専用メモリであり、ICカード1 aの制御プログラムなどが格納されている。

10

【0120】

RAM14は揮発性メモリからなり、ICカード1 aの接触動作時に該ICカード1 aから入出力されるデータを一時的に格納する。EEPROM15は電氣的に消去/書き換えが可能なメモリであり、RAM14に一時的に格納されたデータなどを格納する。

【0121】

このICカード1 aにおいても、EEPROM15には、図4、または図8に示す昇圧回路22が備えられた構成になっている。

【0122】

20

それによって、ICカード1 aが非接触で動作した際に、昇圧回路22の動作時における電流ピークを大幅に低減することができるので、ICカード1 aの通信を安定化、および該ICカード1の通信の長距離化を実現することができる。

【0123】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0124】

たとえば、半導体集積回路装置2 a (図10)の構成要素としてROM13に替えて、EEPROM15とは別の不揮発性メモリを有するものであってもよい。その場合は別の不揮発性メモリについても本願の昇圧回路と同様の制御を行うようにすることができる。

30

【0125】

さらには、プラスチックカードに半導体集積回路装置2 aが埋め込まれているだけでなく、別の半導体集積回路装置が共に埋め込まれ、もしくは半導体集積回路装置2 aと別の半導体集積回路装置とが1のパッケージとして封入されるようなものであってもよい。別の半導体集積回路装置としては別の不揮発性メモリが考えられる。

【産業上の利用可能性】

【0126】

本発明の半導体集積回路装置は、ポンピング回路を用いた昇圧回路における電流ピークを低減する技術に適している。

40

【図面の簡単な説明】

【0127】

【図1】本発明の一実施の形態によるICカードのブロック図である。

【図2】図1のICカードに設けられた半導体集積回路装置のブロック図である。

【図3】図2の半導体集積回路装置に設けられたEEPROMにおける消去時、および書き込み時のメモリセルに印加される各部の電圧関係を示した説明図である。

【図4】図2のEEPROMに設けられた昇圧回路の一例を示すブロック図である。

【図5】図4の昇圧回路における各部の動作波形を示すタイミングチャートである。

【図6】図4の昇圧回路における消去/書き込み動作時の選択クロック信号と昇圧電圧との動作波形をそれぞれ示した説明図である。

50

【図 7】本発明者が検討した高速クロック信号を用いた昇圧回路と本発明による昇圧回路との昇圧電流 / クロック信号の関係を示すシミュレーション図である。

【図 8】図 2 の E E P R O M に設けられた昇圧回路の他の例を示すブロック図である。

【図 9】図 8 の昇圧回路における各部の動作波形を示すタイミングチャートである。

【図 10】本発明の他の実施の形態による I C カードのブロック図である。

【図 11】本発明者が検討した I C カードの各部における動作タイミングチャートである。

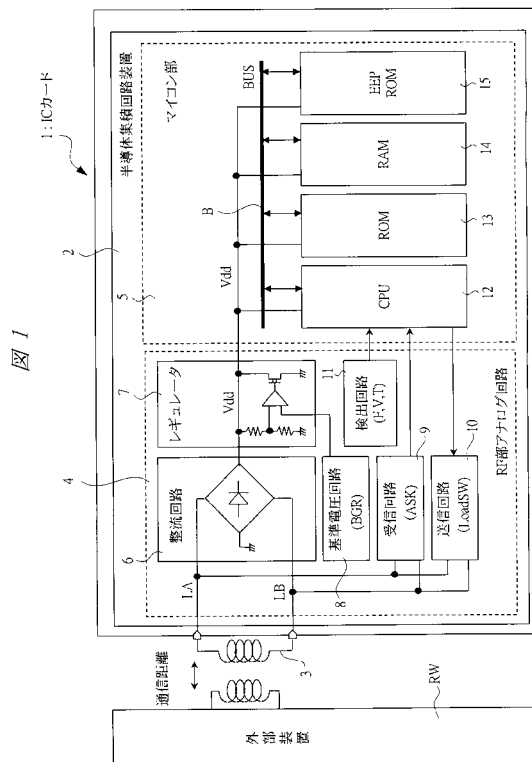
【符号の説明】

【 0 1 2 8 】

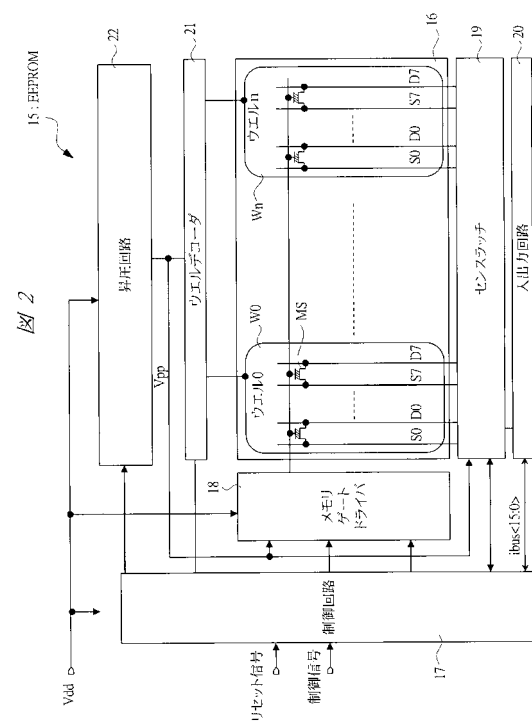
1	I C カード	10
2	半導体集積回路装置	
3	コイル	
4	R F 部アナログ回路	
5	マイコン部	
6	整流回路	
7	レギュレータ	
8	基準電圧回路	
9	受信回路	
10	送信回路	
11	検出回路	20
12	C P U	
13	R O M	
14	R A M	
15	E E P R O M	
16	メモリセルアレイ	
17	制御回路	
18	メモリゲートドライバ	
19	センスラッチ	
20	入出力回路	
21	ウェルデコーダ	30
22	昇圧回路（電圧生成部）	
23	ライトステートマシン（制御回路）	
24	発振器（クロック信号制御部）	
25	否定論理積回路（クロック信号制御部、クロック選択部）	
26	否定論理積回路（クロック信号制御部、クロック選択部）	
27	チャージポンプ（チャージポンプ回路）	
28	スイッチ	
29	抵抗（クロック停止検出部）	
29 a	抵抗（電圧検出部）	
30	比較器（クロック停止検出部）	40
30 a	比較器（電圧検出部）	
L A , L B	接続端子	
M S	メモリセル（不揮発性メモリセル）	
W 0 ~ W n	ウェル	
E / W	消去 / 書き込み制御信号	
C L	低速クロック制御信号	
C H	高速クロック制御信号	
C C S	発振制御信号	
C L K S T O P	クロック停止信号	
C L K P U M P	選択クロック信号	50

$K S$ - 4 V 検出信号
 V_{dd} 内部電源電圧
 V_{ref} 基準電圧
 I_{pp} 消費電流
 V_{pp} 昇圧電圧
 V_{CC} 電源電圧

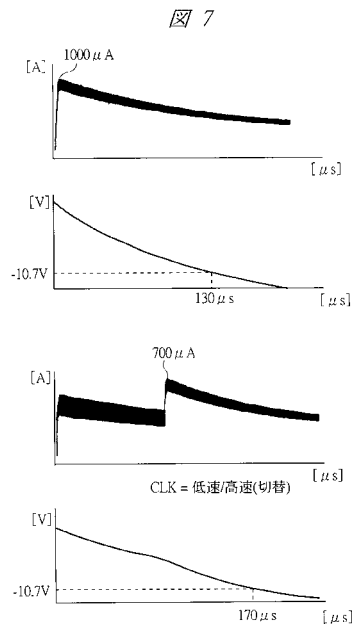
【図 1】



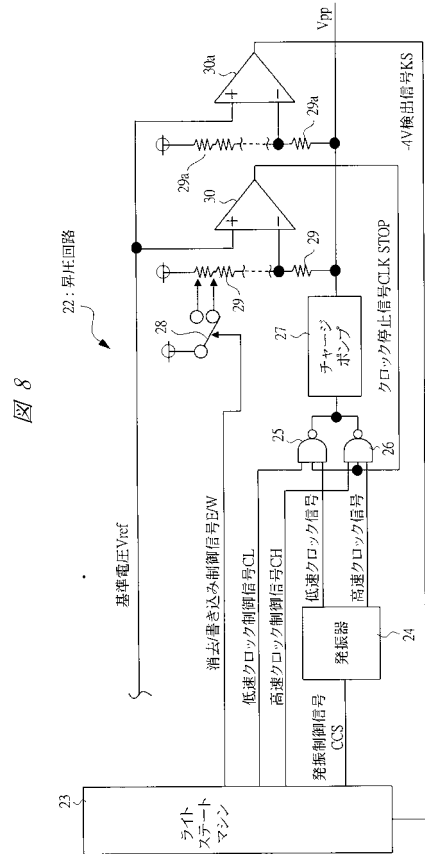
【図 2】



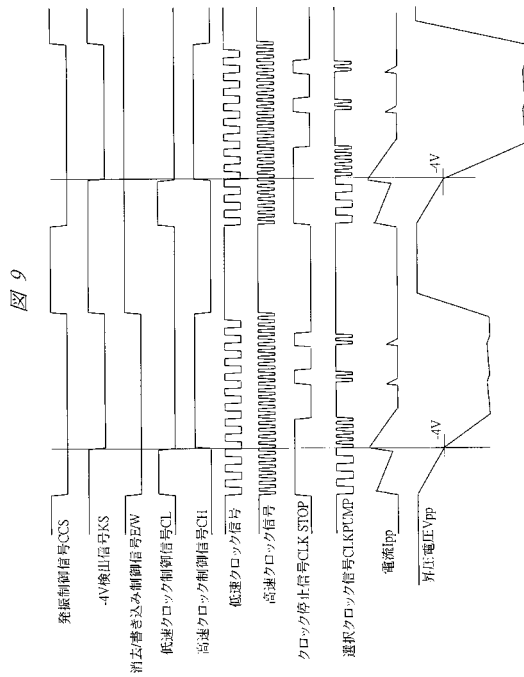
【圖 7】



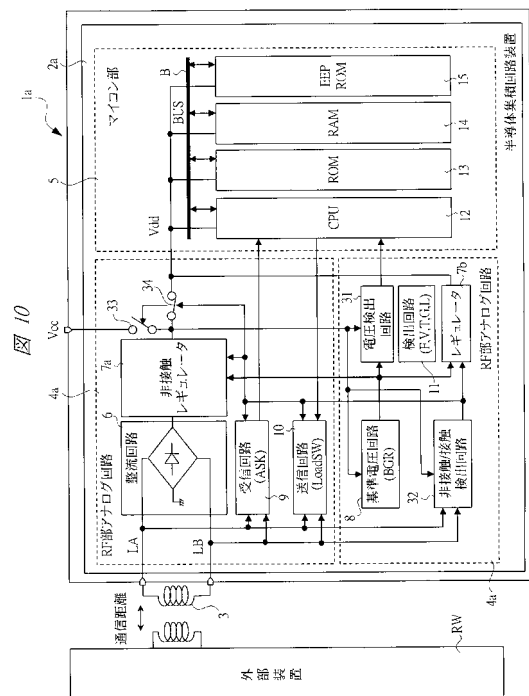
【 図 8 】



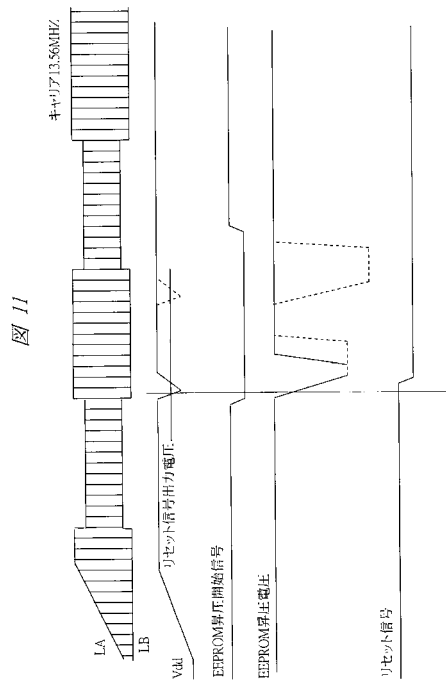
【 図 9 】



【 図 1 0 】



【図 11】



フロントページの続き

審査官 石田 勝

- (56)参考文献 特開平4 - 2 2 2 4 5 5 (J P , A)
特開平6 - 2 2 3 5 8 8 (J P , A)
特開2 0 0 1 - 2 5 2 3 7 (J P , A)
特開2 0 0 3 - 2 4 4 9 4 0 (J P , A)
特開2 0 0 4 - 5 7 7 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B名)
H 0 3 K 5 / 0 8
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4