



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I768200 B

(45)公告日：中華民國 111 (2022) 年 06 月 21 日

(21)申請案號：108113273

(22)申請日：中華民國 108 (2019) 年 04 月 16 日

(51)Int. Cl. : G06F12/02 (2006.01)

G06F13/14 (2006.01)

G06F11/07 (2006.01)

(30)優先權：2018/07/02 美國

62/692,960

2018/10/02 美國

16/150,239

(71)申請人：南韓商三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：牛迪民 NIU, DIMIN (CN)；馬拉迪 克里希納 MALLADI, KRISHNA (IN)；鄭宏忠 ZHENG, HONGZHONG (CN)

(74)代理人：林孟閔；盧珮君；陳怡如

(56)參考文獻：

CN 106055420A

US 2014/0376320A1

US 2015/0199246A1

審查人員：朱明宗

申請專利範圍項數：20 項 圖式數：5 共 53 頁

(54)名稱

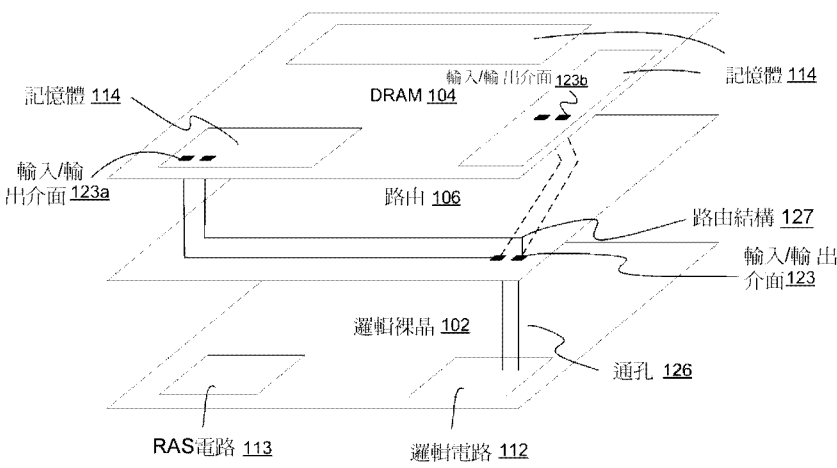
儲存裝置以及多晶片系統

(57)摘要

根據一個一般方面，提供了一種儲存裝置以及多晶片系統。儲存裝置可包括多個堆疊的積體電路裸晶，所述多個堆疊的積體電路裸晶包括儲存單元裸晶及邏輯裸晶。儲存單元裸晶可被配置成將資料儲存在儲存位址處。邏輯裸晶可包括與所述堆疊的積體電路裸晶的介面且所述介面被配置成在儲存單元裸晶與至少一個外部元件之間傳送記憶體存取。邏輯裸晶可包括可靠性電路，可靠性電路被配置成改善儲存單元裸晶內的資料錯誤。可靠性電路可包括備用記憶體以及位址表，備用記憶體被配置成儲存資料，位址表被配置成將與錯誤相關聯的儲存位址映射到備用記憶體。可靠性電路可被配置成判斷記憶體存取是否與錯誤相關聯，且如果是，則利用備用記憶體來完成記憶體存取。

According to one general aspect, a storage apparatus and a multi-chip system are provided. The storage apparatus may include a plurality of stacked integrated circuit dies that include a memory cell die and a logic die. The memory cell die may be configured to store data at a memory address. The logic die may include an interface to the stacked integrated circuit dies and configured to communicate memory accesses between the memory cell die and at least one external device. The logic die may include a reliability circuit configured to ameliorate data errors within the memory cell die. The reliability circuit may include a spare memory configured to store data, and an address table configured to map a memory address associated with an error to the spare memory. The reliability circuit may be configured to determine if the memory access is associated with an error, and if so completing the memory access with the spare memory.

指定代表圖：



【圖1】

符號簡單說明：

- 100:系統/多晶片系統
- 102:邏輯裸晶
- 104:記憶體裸晶
- 106:路由裸晶
- 112:邏輯電路
- 113:RAS 快取記憶體或電路
- 114:儲存陣列/記憶體
- 123:輸入/輸出端子或介面/輸入/輸出介面
- 123a、123b:輸入/輸出介面
- 126:通孔
- 127:路由結構



公告本

I768200

【發明摘要】

【中文發明名稱】儲存裝置以及多晶片系統

【英文發明名稱】STORAGE APPARATUS AND MULTI-CHIP

SYSTEM

【中文】根據一個一般方面，提供了一種儲存裝置以及多晶片系統。儲存裝置可包括多個堆疊的積體電路裸晶，所述多個堆疊的積體電路裸晶包括儲存單元裸晶及邏輯裸晶。儲存單元裸晶可被配置成將資料儲存在儲存位址處。邏輯裸晶可包括與所述堆疊的積體電路裸晶的介面且所述介面被配置成在儲存單元裸晶與至少一個外部元件之間傳送記憶體存取。邏輯裸晶可包括可靠性電路，可靠性電路被配置成改善儲存單元裸晶內的資料錯誤。可靠性電路可包括備用記憶體以及位址表，備用記憶體被配置成儲存資料，位址表被配置成將與錯誤相關聯的儲存位址映射到備用記憶體。可靠性電路可被配置成判斷記憶體存取是否與錯誤相關聯，且如果是，則利用備用記憶體來完成記憶體存取。

【英文】According to one general aspect, a storage apparatus and a multi-chip system are provided. The storage apparatus may include a plurality of stacked integrated circuit dies that include a memory cell die and a logic die. The memory cell die may be configured to store data at a memory address. The logic die may include an interface to

the stacked integrated circuit dies and configured to communicate memory accesses between the memory cell die and at least one external device. The logic die may include a reliability circuit configured to ameliorate data errors within the memory cell die. The reliability circuit may include a spare memory configured to store data, and an address table configured to map a memory address associated with an error to the spare memory. The reliability circuit may be configured to determine if the memory access is associated with an error, and if so completing the memory access with the spare memory.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：系統/多晶片系統

102：邏輯裸晶

104：記憶體裸晶

106：路由裸晶

112：邏輯電路

113：RAS 快取記憶體或電路

114：儲存陣列/記憶體

123：輸入/輸出端子或介面 / 輸入/輸出介面

123a、123b：輸入/輸出介面

126：通孔

127：路由結構

【特徵化學式】

無

【發明說明書】

【中文發明名稱】儲存裝置以及多晶片系統

【英文發明名稱】 STORAGE APPARATUS AND MULTI-CHIP
SYSTEM

【技術領域】

【0001】 本說明內容涉及記憶體糾錯，且更具體來說涉及高頻寬記憶體（HBM）可靠性、可存取性及可服務性（RAS）快取記憶體架構。

【先前技術】

【0002】 高頻寬記憶體（High Bandwidth Memory，HBM）是用於堆疊的動態隨機存取記憶體（dynamic random-access memory，DRAM）的高性能隨機存取記憶體（random-access memory，RAM）介面。高頻寬記憶體通常結合高性能圖形加速器及網路元件一起使用。使用 HBM 的第一元件是圖形處理單元（graphical processing unit，GPU）。

【0003】 與雙倍數據速率第四代同步 DRAM（double data rate fourth-generation synchronous DRAM，DDR4）或雙倍數據速率類型五同步圖形隨機存取記憶體（double data rate type five synchronous graphics random-access memory，GDDR5）相比，HBM 以實質上較小的形狀因數在使用較小的功率的同時實現較高的頻

寬。這常常是通過堆疊許多（例如，8 個）DRAM 裸晶來實現的，所述許多 DRAM 裸晶包括具有記憶體控制器的可選的基礎裸晶且通過矽通孔（through-silicon via，TSV）及微凸塊來進行互連。

【0004】 HBM 記憶體匯流排與其他 DRAM 記憶體（例如 DDR4 或 GDDR5）相比非常寬。四個 DRAM 裸晶的 HBM 堆疊（4-Hi）的每個裸晶通常具有兩個 128 位元通道以實現總共 8 個通道以及總共 1024 位元的寬度。具有四個 4-Hi HBM 堆疊的圖形卡/GPU 因此將具有寬度為 4096 位元的記憶體匯流排。相比之下，GDDR 記憶體的匯流排寬度是 32 位元，對於具有 512 位元記憶體介面的圖形卡來說具有 16 個通道。

【0005】 相對於 DDR4 或 GDDR5，對記憶體的較大數目的連接需要將 HBM 記憶體連接到 GPU（或其他處理器）的新的方法。一些公司使用特製矽晶片（被稱為插入件）來連接記憶體與 GPU。這種插入件（interposer）已增加需要使記憶體與處理器實體接近的優點，從而減少儲存路徑。然而，由於半導體元件製作明顯比印刷電路板製造更昂貴，因此，這會使最終產品的成本增加。

【發明內容】

【0006】 根據一個一般方面，一種儲存裝置可包括多個堆疊的積體電路裸晶。所述堆疊的積體電路裸晶可包括儲存單元裸晶及邏輯裸晶。所述儲存單元裸晶可被配置成以基於儲存位址的隨機存取方式來儲存資料。所述邏輯裸晶可包括與所述多個堆疊的積體

電路裸晶的介面，且所述介面被配置成在所述儲存單元裸晶與至少一個外部元件之間傳送記憶體存取。所述邏輯裸晶可包括可靠性電路，所述可靠性電路被配置成改善所述儲存單元裸晶內的資料錯誤。所述可靠性電路可包括備用記憶體以及位址表，所述備用記憶體被配置成以隨機存取方式來儲存資料，所述位址表被配置成將與錯誤相關聯的儲存位址映射到所述備用記憶體的一部分。所述可靠性電路可被配置成當進行對所述多個堆疊的積體電路裸晶的記憶體存取時，判斷所述記憶體存取是否與錯誤相關聯，且如果是，則至少部分地利用所述備用記憶體來完成所述記憶體存取。

【0007】 根據另一一般方面，一種多晶片系統可包括處理器，所述處理器包括記憶體控制器以及糾錯電路，所述記憶體控制器被配置成管理往來於所述處理器的資料流程，所述糾錯電路被配置成檢測所儲存的資料中是否出現錯誤。所述系統可包括積體電路的高頻寬儲存堆疊，所述積體電路的高頻寬儲存堆疊包括：高頻寬儲存單元，被配置成基於儲存位址而儲存資料；以及可靠性電路，被配置成改善所述高頻寬儲存單元內的資料錯誤。所述可靠性電路可包括備用記憶體以及位址表，所述備用記憶體被配置成儲存資料，所述位址表被配置成將與所述錯誤相關聯的儲存位址映射到所述備用記憶體的一部分。所述可靠性電路被配置成當進行對積體電路的所述高頻寬儲存堆疊的記憶體存取時，判斷所述記憶體存取是否與錯誤相關聯，且如果是，則至少部分地利用所

述備用記憶體來完成所述記憶體存取。

【0008】 根據另一一般方面，一種儲存裝置可包括邏輯裸晶，所述邏輯裸晶包括與高頻寬記憶體裸晶的內部介面，其中所述高頻寬記憶體裸晶被配置成基於儲存位址而儲存資料。所述邏輯裸晶可包括外部介面，所述外部介面被配置成在所述高頻寬記憶體裸晶與至少一個外部元件之間傳送記憶體存取。所述邏輯裸晶可包括可靠性電路，所述可靠性電路被配置成改善所述高頻寬記憶體裸晶內的資料錯誤。所述可靠性電路可包括備用記憶體以及位址表，所述備用記憶體被配置成儲存資料，所述位址表被配置成將與錯誤相關聯的儲存位址映射到所述備用記憶體的一部分。所述可靠性電路可被配置成當進行對所述高頻寬記憶體裸晶的記憶體存取時，判斷所述記憶體存取是否與錯誤相關聯，且如果是，則至少部分地利用所述備用記憶體來完成所述記憶體存取。

【0009】 在附圖及以下說明內容中闡述一種或多種實施方式的詳細情況。通過閱讀說明內容及圖式以及閱讀申請專利範圍，其他特徵將顯而易見。

【0010】 實質上在各圖中的至少一個圖中示出了和/或結合各圖中的至少一個圖闡述了用於記憶體糾錯的系統和/或方法，且更具體來說高頻寬記憶體(HBM)可靠性、可存取性及可服務性(reliability, accessibility, and serviceability, RAS)快取記憶體架構，如在申請專利範圍中更完整地闡述。

【圖式簡單說明】**【0011】**

圖 1 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 2A 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 2B 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 2C 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 3 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 4A 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 4B 是根據所公開主題的系統的示例性實施例的方塊圖。

圖 5 是可包括根據所公開主題的原理形成的元件的資訊處理系統的示意性方塊圖。

各個圖式中相同的參考符號表示相同的元件。

【實施方式】

【0012】 在下文中，將參照附圖更充分地闡述各種示例性實施例，在所述附圖中示出一些示例性實施例。然而，本發明所公開主題可被實施為許多不同形式，而不應被視為僅限於本文所述示例性實施例。確切來說，提供這些示例性實施例是為了使本公開將透徹及完整，並將向所屬領域中的技術人員充分傳達本發明所公開主題的範圍。在圖式中，為清晰起見，可誇大各個層及各個區的大小及相對大小。

【0013】 應理解，當稱一元件或層位於另一元件或層“上（on）”、

“連接到 (connected to)” 或 “耦合到 (coupled to)” 另一元件或層時，所述元件或層可直接位於所述另一元件或層上、直接連接到或直接耦合到所述另一元件或層，抑或可存在中間元件或層。相比之下，當稱一元件 “直接位於 (directly on)” 另一元件或層上、“直接連接到 (directly connected to)” 或 “直接耦合到 (directly coupled to)” 另一元件或層時，則不存在中間元件或層。相同的編號自始至終指代相同的元件。本文所用用語 “和/或 (and/or)” 包括相關列出項中的一個或多個項的任意及所有組合。

【0014】 應理解，儘管在本文中可使用 “第一 (first)”、“第二 (second)”、“第三 (third)” 等用語來闡述各個元件、元件、區、層和/或區段，然而這些元件、元件、區、層和/或區段不應受限於這些用語。這些用語僅用於區分各個元件、元件、區、層或區段。因此，以下論述的第一元件、元件、區、層或區段也可被稱為第二元件、元件、區、層或區段，而此並不背離本發明所公開主題的教示內容。

【0015】 為易於說明，在本文中可使用例如 “在…之下 (beneath)”、“在…下面 (below)”、“下部的 (lower)”、“在…上方 (above)”、“上部的 (upper)” 等空間相對性用語來闡述圖中所示一個元件或特徵與另一（其他）元件或特徵的關係。應理解，空間相對性用語旨在除圖中所繪示的取向外還囊括元件在使用或操作中的不同取向。舉例來說，如果圖中所示元件被翻轉，則被闡述為位於其他元件或特徵 “下面” 或 “之下” 的

元件此時將被取向為位於所述其他元件或特徵“上方”。因此，示例性用語“在…下面”可囊括“上方”及“下面”兩種取向。元件可具有其他取向（旋轉 90 度或處於其他取向）且本文所用的空間相對性描述語相應地進行解釋。

【0016】 同樣地，為易於說明，在本文中可使用例如“高（high）”、“低（low）”、“上拉（pull up）”、“下拉（pull down）”、“1”、“0”等電性用語來闡述圖中所示電壓準位或電流相對於其他電壓準位或電流的關係或者相對於另一（其他）元件或特徵的關係。應理解，所述電性相對用語旨在除了圖中所繪示的電壓或電流之外還囊括元件在使用或操作中的不同的參考電壓。舉例來說，如果圖中所示元件或信號被反相或使用其他參考電壓、電流或電荷，則被闡述為“高”或“被上拉”的元件此時與新的參考電壓或電流相比將為“低”或“被下拉”的。因此，示例性用語“高”可囊括相對低的電壓或電流或者相對高的電壓或電流二者。元件可另外地基於不同的電性參考框架且本文所用的電性相對描述語相應地加以解釋。

【0017】 本文所用術語僅是出於闡述特定示例性實施例的目的而並非旨在限制本發明所公開主題。除非上下文清楚地另外指明，否則本文所用單數形式“一（a、an）”及“所述（the）”旨在也包括複數形式。還應理解，當在本說明書中使用用語“包括（comprises）”和/或“包括（comprising）”時，是指明所陳述特徵、整數、步驟、操作、元件和/或元件的存在，但不排除一個

或多個其他特徵、整數、步驟、操作、元件、元件和/或其群組的存在或添加。

【0018】 在本文中參照剖視圖闡述示例性實施例，所述剖視圖為對理想示例性實施例（及中間結構）的示意性例示。由此，預期會因例如製造技術和/或容差而導致相對於例示形狀的變化。因此，示例性實施例不應被視為僅限於本文所示區的特定形狀，而是應包含由例如製造引起的形狀偏差。舉例來說，被例示為矩形的注入區通常應具有圓形特徵或曲線特徵和/或在其邊緣存在注入濃度的梯度而非從注入區到非注入區為二元變化。同樣地，通過注入而形成的掩埋區可在所述掩埋區與在進行注入時所經過的表面之間的區中引起一些注入。因此，圖中所例示的區為示意性的且其形狀並非旨在例示元件的區的實際形狀且並非旨在限制本發明所公開主題的範圍。

【0019】 除非另外定義，否則本文所用所有用語（包括技術及科學用語）的含義均與本發明所公開主題所屬領域中的一般技術人員所通常理解的含義相同。還應理解，用語（例如在常用詞典中所定義的用語）應被解釋為具有與其在相關技術的上下文中的含義一致的含義，且除非在本文中明確定義，否則不應將其解釋為具有理想化或過於正式的意義。

【0020】 在下文中，將參照附圖詳細解釋示例性實施例。

【0021】 圖 1 是根據所公開主題的系統 100 的示例性實施例的等距方塊圖。在所示出的實施例中，多個積體電路裸晶可堆疊（或

以其他方式)整合以形成多晶片系統。在各種實施例中,這種多晶片系統 100 可如以下所述包括 RAS 快取記憶體(cache)或電路。

【0022】 在各種實施例中,高頻寬記憶體(HBM)可包括隨機存取記憶體(RAM)的高性能形式。在一些實施例中,HBM 可包括使用矽通孔(TSV)進行通信的堆疊的動態 RAM(DRAM)記憶體。一般來說,高頻寬記憶體對矽通孔(TSV)與微凸塊進行組合來連接疊置在彼此頂部上的多個(例如,4 個、8 個等)儲存單元陣列裸晶。在一些實施例中,記憶體控制器可在堆疊的最底部處包括在單獨的裸晶上。

【0023】 在所示出的實施例中,系統 100 可包括一個或多個記憶體(例如,DRAM 等)裸晶 104 及邏輯裸晶 102。在一個實施例中,記憶體裸晶 104 及邏輯裸晶 102 可使用或可不使用相同的製造製程來創建或製造。

【0024】 在所示出的實施例中,記憶體裸晶 104 可包括多個儲存陣列 114。在這種實施例中,儲存陣列 114 可被配置成儲存各種資料。在一些實施例中,可由邏輯裸晶 102 或外部元件(例如,外部處理器或主機,如以下所述)來對資料進行存取。

【0025】 在所示出的實施例中,邏輯裸晶 102 可包括一個或多個邏輯電路 112。在這種實施例中,邏輯電路 112 可包括用於接受讀取/寫入請求或更一般的記憶體存取的介面以讀取或儲存記憶體 114 內的資料。在各種實施例中,邏輯裸晶 102 可包括 RAS 快取記憶體或電路 113,如以下所述。

【0026】 在各種實施例中，邏輯電路 112 可使用一個或多個通孔 126（或微凸塊等）來與記憶體 114 進行通信。在這種實施例中，此可實現處理元件（例如，邏輯電路 112）與所儲存的資料（記憶體 114）之間的高速通信而無需通過匯流排或外部介面進行通信。

【0027】 在各種實施例中，系統 100 也可包括路由裸晶 106。路由裸晶 106 可被配置成在邏輯裸晶 102 與記憶體裸晶 104 之間對信號進行動態路由。在各種實施例中，路由裸晶 106 可通過一個或多個通孔 126 來與邏輯裸晶 102 進行耦合。通孔 126（或通孔 126 的一部分）可以輸入/輸出（input/output，I/O）端子或介面 123 作為終點。在這種實施例中，路由裸晶 106 可在輸入/輸出介面 123 與儲存所需資料的記憶體 114 之間對信號進行動態路由。

【0028】 在各種實施例中，所述路由可由路由結構 127 來實現。在各種實施例中，路由結構 127 可包括各種路由元件，例如（舉例來說）多工器（multiplexer）、解多工器（de-multiplexer）、交叉開關（crossbar switch）、開關、旋轉開關、記憶體開關、跨交開關（crossover switch）等。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0029】 在一些實施例中，路由結構 127 可被配置成在邏輯電路 112 的輸入/輸出介面 123 與記憶體 114 的相似的輸入/輸出介面 123a 或 123b 之間對輸入/輸出信號進行路由。在所示出的實施例中，示出兩種可能的路由方案。舉例來說，實線示出第一路由，其可被用於將邏輯電路 112 連接到第一記憶體（在記憶體裸晶 104

的左下角中示出)的輸入/輸出介面 123a。在另一實例中，虛線示出第二路由，其可用於將邏輯電路 112 連接到第二記憶體（在記憶體裸晶 104 的右側中示出）的輸入/輸出介面 123b。然而，在各種實施例中，記憶體 114 可為單片的且不如圖中所示分開。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0030】 圖 2A 是根據所公開主題的系統 200 的示例性實施例的方塊圖。在各種實施例中，系統 200 可為多個分立的積體電路、多晶片模組（multi chip module，MCM）和/或系統晶片

（system-on-a-chip，SoC）的一部分。在各種實施例中，系統 200 可用於例如（舉例來說）以下計算元件中：膝上型電腦、桌上型電腦、工作站、個人數位助理、智慧手機、平板電腦及其他適合的電腦或者虛擬機器或虛擬機器的虛擬計算元件。

【0031】 在一個實施例中，系統 200 可包括主機元件 206。在各種實施例中，這種主機元件可包括中央處理器（central processing unit，CPU）、主機板、計算系統。在各種實施例中，主機元件 206 可包括執行指令且通常讀取及儲存資料的處理器（未示出）。作為這一過程的一部分，主機元件 206 可執行驅動器軟體或韌體 242。在所示出的實施例中，元件驅動器 242 可包括運行或控制附接到電腦的特定類型的元件（例如，處理器 204 或 HBM 裸晶 202）的電腦程式。在這種實施例中，驅動器 242 可向硬體元件提供軟體介面，以使作業系統及其他電腦程式存取硬體功能而無需知曉關

於正使用的硬體的確切的詳細情況。

【0032】 在所示出的實施例中，系統 200 可包括處理器 204。在各種實施例中，處理器 204 可包括多種類型的處理器（例如，圖形處理器、中心處理器、元件專用處理器、實體處理器等）中的一者。為易於例示，處理器 204 將作為圖形處理單元（GPU）闡述；但是，應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。在各種實施例中，可採用 GPU 204 來產生圖形資料或實現大規模平行計算任務。

【0033】 在各種實施例中，處理器 204 可包括記憶體控制器 232。在這種實施例中，記憶體控制器 232 可被配置成管理往來於處理器 204 的資料流程。具體來說，在所示出的實施例中，記憶體控制器 232 可被配置成管理處理器 204 與 HBM 裸晶 202 之間的資料流程。

【0034】 在所示出的實施例中，處理器 204 可包括糾錯碼（error correcting or correction code，ECC）引擎或電路 234。在這種實施例中，ECC 引擎或電路 234 可被配置成檢測在從 HBM 裸晶 202 接收的資料中的一些資料或任意資料中是否已出現錯誤。在各種實施例中，ECC 引擎 234 可與記憶體控制器 232 整合在一起或者可為記憶體控制器 232 的一部分。在各種實施例中，ECC 引擎 234 可被配置成檢測單位錯誤或雙位元錯誤。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0035】 在所示出的實施例中，處理器 204 可包括非揮發性記憶

體 236。但是，在各種實施例中，記憶體可為揮發性的或存在於處理器 204 外部，如以下所述。在這種實施例中，非揮發性記憶體 236 可被配置成儲存關於哪一儲存位址與錯誤相關聯的資訊。在一些實施例中，可避免壞的或有錯誤的儲存位址。在另一實施例中，可將壞的或有錯誤的儲存位址重新映射到良好的儲存單元或工作儲存單元。

【0036】 如上所述，在所示出的實施例中，通過作為非揮發性記憶體 236，可在處理器 204 的電源迴圈之間記住這些壞的或有錯誤的儲存位址。在另一實施例中，可使用揮發性記憶體且可能必須在每一電源迴圈重新發現壞的或有錯誤的儲存位址。在另一實施例中，處理器 204 可包括局部或整合的揮發性記憶體，但是當處理器 204 結束電源迴圈時，可將所述資料儲存在處理器 204 的遠端或外部的非揮發性記憶體（例如，硬驅動器（hard drive））中，並在處理器 204 重新啟動時取回所述資料。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0037】 在所示出的實施例中，系統 200 可包括 HBM 裸晶，或者更準確來說可包括裸晶 202 的堆疊，如上所述。在各種實施例中，HBM 裸晶 202 可包括多個儲存單元 214，如上所述。在各種實施例中，儲存單元 214 可散佈在多個積體電路（integrated circuit，IC）裸晶之上且被配置成將資料儲存在相應的儲存位址處。

【0038】 在各種實施例中，HBM 裸晶 202 可包括儲存單元的 ECC 儲存裝置 216。在這種實施例中，ECC 儲存裝置 216 可包括額外

的資訊（例如，同位（parity）位以允許或有利於檢測儲存在儲存單元 214 中的資料內的錯誤。在各種實施例中，ECC 儲存裝置 216 可為儲存單元 214 的一部分，且即使 ECC 儲存裝置 216 在實體上分開，仍可同樣地散佈在多個積體電路（IC）裸晶之上，如上所述。在這種實施例中，ECC 引擎 234 可使用此種 ECC 資料來檢測任意錯誤。

【0039】 在各種實施例中，HBM 裸晶 202 可包括 HBM 介面 218，HBM 介面 218 被配置成與處理器 204 和/或主機元件 206 進行通信或者在處理器 204 與主機元件 206 之間進行通信。在各種實施例中，系統 200 可包括一條或多條通信匯流排（未示出）以有利於裸晶間（例如，處理器 204 對 HBM 裸晶 202）通信。在這種實施例中，這可包括記憶體存取（例如請求及回應）的發送。

【0040】 在各種實施例中，HBM 裸晶 202 可包括可靠性、可存取性及可服務性（RAS）快取記憶體或電路 212（或可靠性電路 212）。在這種實施例中，RAS 電路 212 可不被配置成充當傳統的快取記憶體，從而以可快速存取的方式儲存小量資料，同時較大的記憶體提供另外的儲存。而是，RAS 快取記憶體或電路 212 可被配置成充當備份記憶體或備用記憶體以糾正（或看起來糾正）或者以其他方式改善在儲存單元 214 內找到的錯誤。如以下所述，傳統上，一旦在儲存單元 214 中檢測到錯誤，可能無法在不採取大量的且耗時的動作的條件下修復或糾正所述錯誤。利用 RAS 快取記憶體或電路 212，可更快速且高效地進行這種修復或糾正。

【0041】 在各種實施例中，RAS 電路 212 可包括 RAS 或備用記憶體或儲存裝置 222。在各種實施例中，備用儲存裝置 222 可被配置成儲存儲存單元 214 的與錯誤相關聯的一些部分或者以其他方式失修的一些部分的資料。以下將闡述這些元件的操作。

【0042】 在各種實施例中，RAS 電路 212 可包括位址表 220，位址表 220 被配置成儲存與錯誤相關聯的一系列儲存位址（位於儲存單元 214 內）並將這種儲存位址錯誤映射到備用記憶體 222 的一部分。

【0043】 圖 2B 是根據所公開主題的系統 200 的示例性實施例的方塊圖。圖 2B 所示系統 200 示出資訊流以及事件的相對時序作為對錯誤進行檢測的系統。應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。

【0044】 在錯誤處置及檢測方面，傳統 GPU 的儲存錯誤管理一般來說如下所述進行。首先，ECC 引擎 234 檢測到不可恢復的錯誤。這種錯誤常常與儲存單元 214 的特定儲存位址相關聯且一般來說涉及雙位元錯誤或兩個單位錯誤。這種錯誤可被報告給驅動器 242。

【0045】 在這種實施例中，驅動器 242 轉而可將錯誤報告給應用（未示出）或主機元件 206 的一部分。驅動器 242 也可將儲存錯誤登記到 GPU 的非揮發性記憶體 236 中。傳統上，系統將無法在進行當前 GPU 交互的同時改善或防止這種錯誤的重現。

【0046】 然而，在系統的下一重新附接、重置、重新啟動或者 GPU

交互的下一順序或序列時，幀緩衝器管理器（未示出，但為處理器 204 的一部分）可將具有錯誤的止用頁（retired page）加入黑名單。在這種實施例中，可不再使用所述儲存位址或頁來進行儲存。由此，儲存位址或頁被永久止用，且記憶體的功能容量減小。

【0047】 這種傳統製程具有一些缺陷。首先，不可能在客戶機（例如，主機元件或在主機元件上運行的軟體）保持現用的同時將頁加入黑名單。第二，在當前 GPU 上可能止用的頁或儲存位址的數目部分地因 GPU 的當前 NVM 能力而受限。第三，存在大的止用細微性；也就是說，2 位元錯誤會引起 4 千位元組（KB）頁的止用。另外，這種傳統製程最終會引起記憶體容量減小且儲存單元 214 的越來越多的部分被加入黑名單。

【0048】 在所示出的實施例中，系統 200 通過在 HBM 模組或裸晶 202 上實現額外的邏輯及記憶體以對錯誤進行快取記憶體及修復來對所述情況進行補救。詳細來說，RAS 電路 212 以至少幾千位元組的大小在 HBM 邏輯裸晶上實施；但是，應理解，以上僅為例示性實例，所公開主題並不受限於上述例示性實例。這種 RAS 電路 212 包括索引區或位址表 220 以儲存由主機 206 或處理器 204 接收的位址，且可被 HBM 裸晶 202 的內部糾錯機制保護。RAS 電路 212 也可包括資料區或備用儲存裝置 222，所述資料區或備用儲存裝置 222 被配置成儲存經修復的資料（其可為任意給定大小）。表 220 與儲存裝置 222 區可具有 1-1 映射。另外，這些區可利用與 HBM 邏輯裸晶（例如，DRAM、靜態隨機存取記憶體（Static

random access memory，SRAM)、快閃記憶體等)相容的任意技術來實施。

【0049】 在所示出的實施例中，再次，糾錯處理可以 ECC 引擎 234 檢測到在給定儲存位址處已出現錯誤開始。如由箭頭 282 所示，ECC 引擎 234 可警告驅動器 242，如上所述。再次，如由箭頭 284 所示，驅動器 242 可將此記錄在非揮發性記憶體 236 中。

【0050】 然而，代替將儲存位址或頁加入黑名單以及等待直到處理器 204 不再立即使用才將儲存位址或頁加入黑名單，處理器 204 (通過箭頭 286 示出)可通知 HBM 裸晶 202 (或 HBM 裸晶 202 的邏輯裸晶)給定儲存位址是壞的。HBM 裸晶 202 (且更具體來說 RAS 電路 212)可接著採取糾正動作。

【0051】 在所示出的實施例中，RAS 電路 212 可將壞的儲存位址登記或錄入到位址表 220 中。壞的儲存位址可被映射到備用儲存裝置 222 的一部分或儲存位址。在各種實施例中，可將在儲存位址處的儲存單元 214 中包含的資料複製 (包括錯誤及全部)到備用儲存裝置 222 的被映射的部分。在各種實施例中，這可能是不期望的，因為所述資料確實包含錯誤。在這種實施例中，處理器 204 可能要求在可讀回新資料 (不具有錯誤的資料)之前將新資料寫入到 HBM 裸晶 202 中。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0052】 在這種實施例中，一旦對儲存位址進行新的記憶體存取 (例如，讀取或寫入)，RAS 電路 212 便檢查儲存位址是否位於位

址表 220 中（且由此與錯誤相關聯）。如果不是，則正常地處理記憶體存取。記憶體存取由儲存單元 214 實現。如果儲存位址與錯誤相關聯，則記憶體存取由備用儲存裝置 222 實現，具體來說由位址的被位址表 220 映射的部分實現。

【0053】 在這種實施例中，對壞的儲存位址的所有記憶體存取均可由備用儲存裝置 222 無縫地（對處理器 204 或主機元件 206）實現。在這種實施例中，即使當處理器 204 與客戶機接合時，此也可實現。不需要等待到處理器 204 脫離接合、不使用或作為重新附接的一部分。第二，通過將特定儲存位址重新映射到備用儲存裝置 222，HBM 裸晶 202 的儲存容量不減小。在不加入黑名單的條件下，HBM 裸晶 202 看起來具有相同量的儲存容量。第三，RAS 電路 212 可提供記憶體映射的各種細微性。儘管傳統的方法需要將 4 KB 頁加入黑名單並止用，然而 RAS 電路 212 可允許對快取記憶體行、頁或其他大小的記憶體進行映射。

【0054】 在各種實施例中，向位址表 220 添加新的儲存位址（箭頭 286）可涉及處理器 204（或主機元件 206）對預定義的或預留的儲存位址實行記憶體寫入要求。在這種實施例中，RAS 電路 212 可知曉對所述儲存位址的任意寫入均意指要將新的條目置於位址表 220 中。在這種實施例中，記憶體寫入要求的資料部分可包括壞的儲存位址。在另一實施例中，向位址表 220 添加新的儲存位址（箭頭 286）可涉及使用新的消息類型或協定。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0055】 在各種實施例中，處理器 204 或主機元件 206 可能夠通過對另一預定義的或預留的儲存位址實行記憶體讀取要求來檢查備用儲存裝置 222 正在使用或可供用於重新映射的容量。在這種實施例中，RAS 儲存裝置可利用備用儲存裝置 222 的當前儲存容量或使用量級別來更新暫存器或儲存位址，且處理器 204 或主機元件 206 可能夠在任意希望的時間從所述儲存位址進行讀取。在各種實施例中，這可在箭頭 286 的操作之前完成，以便確認這種空間是可用的。在一些實施例中，如果備用儲存裝置 222 已滿或全部正在使用，則處理器 204 及主機元件 206 可回退到傳統的加黑名單/止用技術。在另一實施例中，檢查備用儲存裝置 222 的空間容量可涉及使用新的消息類型或協定。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0056】 在各種實施例中，當系統 200 初始化（例如，啟動）時，可（由主機元件 206 或處理器 204）從 HBM 裸晶 202 讀取信息。在一個實施例中，可判斷 HBM 裸晶 202 是否包括或支援 RAS 電路 212。在一個實施例中，可確定使用何種級別的重新映射細微性（例如，256 位、512 位等）。在另一實施例中，可確定可如何支援快取記憶體或備用儲存裝置 222 條目和/或位址表 220 條目。在各種實施例中，可通過對預定義的或預留的位址的記憶體讀取要求或通過特定消息或協定來進行這些查詢。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0057】 同樣，在各種實施例中，當系統 200 初始化（例如，啟

動)時,可(由主機元件 206 或處理器 204)將資訊或設置寫入到 HBM 裸晶 202。在一個實施例中,可(例如,從非揮發性記憶體 236)將預先存在的一系列壞的儲存位址寫入到位址表 220。在另一實施例中,可為備用儲存裝置 222 設置重新映射細微性級別(例如,256 位、512 位等)。應理解,以上僅為幾個例示性實例,所公開主題並不受限於上述幾個例示性實例。

【0058】 圖 2C 是根據所公開主題的系統 201 的示例性實施例的方塊圖。在各種實施例中,系統 201 示出所公開主題的另一變型。

【0059】 在這種實施例中,主機元件 206 及處理器 204 可包括與上述相同的元件。HBM 裸晶 202(且具體來說邏輯裸晶)可包括其自己的 ECC 引擎 294。在這種實施例中,HBM 裸晶 202 可能夠檢測儲存單元 214 中的錯誤並將一或多個壞的儲存位址重新映射到備用儲存裝置 222,而無需主機元件 206 及處理器 204 的輔助。在各種實施例中,通過使用非揮發性記憶體,這種重新映射可實質上為永久的。但是,在其他實施例中,在每次重新啟動之後均可進行重新映射,即使這並非高效的或期望的。

【0060】 在這種實施例中,ECC 引擎 294 可代替 ECC 引擎 234 檢測錯誤。在這種實施例中,主機元件 206 及處理器 204 可不知曉任意此種錯誤。在各種實施例中,主機元件 206 及處理器 204 可繼續參與上述傳統的加黑名單/禁用技術,但是由於 HBM 裸晶 202 內部改善努力,可能不會進行或者僅偶爾進行這種加黑名單/禁用。

【0061】 在各種實施例中,如由箭頭 292 所示,HBM 裸晶 202 中

的 ECC 引擎 294 可將壞的儲存位址添加到位址表 220。壞的儲存位址可接著被映射到備用儲存裝置 222 的一部分，且如上所述可進行任意未來記憶體存取。

【0062】 圖 3 是根據所公開主題的資料結構 300 及 302 的示例性實施例的方塊圖。在所示出的實施例中，資料結構 300 及 302 可表示 RAS 電路的表及儲存裝置，如上所述。

【0063】 在所示出的實施例中，資料結構 300 可表示上述位址表或索引區的一個可能的實施例。在這種實施例中，資料結構 300（位址表或索引區）可被配置成儲存壞的或有錯誤的儲存位址（或儲存區，例如頁）。在各種實施例中，可從主機元件或處理器接收這些壞的儲存位址。在各種實施例中，資料結構 300 可被其自己的 ECC 形式保護。

【0064】 在所示出的實施例中，資料結構 300 的每一列均可被視為儲存位址條目。在這種實施例中，資料結構 300 可包括指示哪一儲存位址是壞的的行 312。這可為當進行記憶體存取以確定記憶體存取應由 HBM 儲存單元實現還是由備用儲存裝置實現時所檢查的行 312，如上所述。

【0065】 在所示出的實施例中，每一儲存位址條目均可包括有效位或旗標行 314。在這種實施例中，這種有效旗標 314 可指示相應的儲存位址條目是否正在使用。在這種實施例中，當主機或處理器將條目寫入到資料結構 300 中時可設置有效旗標 314。在另一實施例中，資料結構 300 可被週期性地（例如，作為重新啟動的一

部分) 擦除且可不包括有效旗標 314。

【0066】 在各種實施例中，每一儲存位址條目均可包括行的類型欄位 315。在這種實施例中，可不包括此種欄位 315，這是因為錯誤改善可為均勻的或者在所有的位址中實現相同的大小（例如，以字或列計）。然而，在所示出的實施例中，每一位址可與錯誤改善的不同級別、量或類型（例如 1 位、1 字或各種數目的位元）相關聯。在一些實施例中，欄位 315 可包括經過已糾正的儲存位址的位元的數目。然而，在所示出的實施例中，預定義的可為所採用的，例如對於 1 位來說值為 1、對於 1 字來說值為 2 等等。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0067】 在所示出的實施例中，每一儲存位址條目均可包括被映射的位址行 316。在這種實施例中，被映射的位址行 316 可為備用儲存裝置中的其中實際上儲存有與壞的儲存位址（行 312）相關聯的資料的儲存位址或位置。在這種實施例中，當對壞的儲存位址進行記憶體存取時，所述存取不僅重新定向到備用儲存裝置而且還重新定址到被映射的儲存位址 316。在各種實施例中，這可為固定映射。在所示出的實施例中，所述映射可為 1 對 1。然而，在另一實施例中，映射可為組關聯的或者採用另一方案。

【0068】 在所示出的實施例中，資料結構 300 可包括儲存位址條目 ADDRESS #1，儲存位址條目 ADDRESS #1 具有有效旗標 1 或被重置（Set）且被映射到位址 #M1。同樣地，儲存位址條目

ADDRESS #2 可包括有效旗標 1 或被重置且被映射到位址#M2。可存在多個其他儲存位址條目。最終，儲存位址條目 ADDRESS #N 可包括有效旗標 0 或被清零且被映射到位址#MN。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0069】 在所示出的實施例中，資料結構 302 可包括多個儲存單元，所述多個儲存單元分別被配置成將資料儲存在相應的儲存位址處。在各種實施例中，資料結構 302 可採用 ECC 保護。如上所述，當進行對壞的儲存位址的記憶體寫入要求時，可將新的資料儲存在備用儲存裝置或資料結構 302 中（例如，DATA #1、DATA #2、DATA #N）。如上所述，儲存資料的位置可基於儲存位址條目。

【0070】 在各種實施例中，資料結構 302 可為任意大小。在一個這種實施例中，資料結構 302 可包括 150 千位元組；但是，應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。在各種實施例中，細微性級別也可為可變的大小（例如，256 位）。

【0071】 在一些實施例中，RAS 電路可包括多資料結構 302 和/或 300 以適應不同的大小或錯誤圖案。舉例來說，在各種實施例中，RAS 電路可適應以下的錯誤圖案且包括以下的資料結構：單位資料錯誤、單字資料錯誤、單列資料錯誤和/或單行資料錯誤。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0072】 圖 4A 是根據所公開主題的系統 400 的示例性實施例的方塊圖。在所示出的實施例中，示出記憶體寫入要求。應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。

【0073】 在所示出的實施例中，系統 400 可包括處理器 204 及 HBM 裸晶 202，如上所述。在各種實施例中，處理器 204 可包括記憶體控制器 232。HBM 裸晶 202 可包括 HBM 陣列或儲存單元 214（其可包括 ECC 儲存裝置）及 RAS 電路 212，如上所述。在所示出的實施例中，RAS 電路 212 可包括索引區或位址表 220 以及 RAS 或備用儲存裝置 222，如上所述。在所示出的實施例中，系統 401 還可包括命令匯流排 412 及資料匯流排 414。

【0074】 在所示出的實施例中，記憶體控制器 232 可向 HBM 裸晶 202 發出記憶體寫入要求。在這種實施例中，命令本身（及儲存位址）可通過命令匯流排 412 發送且將要寫入的資料可通過資料匯流排 414 發送。應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。

【0075】 一旦接收到記憶體寫入要求，RAS 電路 212 便可判斷與記憶體存取相關聯的儲存位址是否在位址表 220 中列出（且有效）。位址表 220 可生成位址表命中（如果列出所述位址）或位址表未中（如果未列出所述位址）。這由信號 424 示出。

【0076】 在所示出的實施例中，RAS 電路 212 可包括解多工器（DeMUX）或路由電路 420。路由電路 420 可被配置成根據位址

表命中/未中 424 而將資料路由到儲存單元 214 或備用儲存裝置 222。如上所述，如果出現位址表命中，則路由電路 420 可將要寫入的資料發送到備用儲存裝置（由箭頭 434 示出）。同樣，位址表 220 可產生被映射的儲存位址 432，並將被映射的儲存位址 432 發送到備用儲存裝置 222。相反地且還如上所述，如果出現位址表未中，則路由電路 420 可將要寫入的資料發送到儲存單元 214（由箭頭 436 示出）。同樣但未示出，來自命令匯流排 412 的儲存位址可由儲存單元 214 使用以儲存資料。

【0077】 在各種實施例中，可始終將資料寫入到儲存單元，而不論是否出現位址表命中/未中。在這種實施例中，不需要更改用於對儲存單元 214 實行記憶體存取的邏輯以適應 RAS 電路 212 的添加。在這種實施例中，當出現位址表命中時，可將資料寫入到儲存單元 214 及備用儲存裝置 222 二者，但可只忽略儲存單元 214 中的資料，如以下所示。應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。

【0078】 圖 4B 是根據所公開主題的系統 401 的示例性實施例的方塊圖。在所示出的實施例中，示出記憶體讀取要求。應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。

【0079】 在所示出的實施例中，系統 401 可包括處理器 204 及 HBM 裸晶 202，如上所述。在各種實施例中，處理器 204 可包括記憶體控制器 232。HBM 裸晶 202 可包括 HBM 陣列或儲存單元 214（其

可包括 ECC 儲存裝置) 及 RAS 電路 212，如上所述。在所示出的實施例中，RAS 電路 212 可包括索引區或位址表 220 以及 RAS 或備用儲存裝置 222，如上所述。在所示出的實施例中，系統 400 還可包括命令匯流排 412 及資料匯流排 414。

【0080】 在所示出的實施例中，記憶體控制器 232 可向 HBM 裸晶 202 發出記憶體讀取要求。在這種實施例中，命令本身（及儲存位址）可通過命令匯流排 412 發送且資料將通過資料匯流排 414 返回。應理解，以上僅為一個例示性實例，所公開主題並不受限於上述一個例示性實例。

【0081】 一旦接收到記憶體讀取要求，RAS 電路 212 便可判斷與記憶體存取相關聯的儲存位址是否在位址表 220 中列出（且有效）。位址表 220 可生成位址表命中（如果列出所述位址）或位址表未中（如果未列出所述位址）。這由信號 424 示出。

【0082】 在所示出的實施例中，RAS 電路 212 可包括多工器（multiplexer，MUX）、閘控（gating）或路由電路 470。路由電路 470 可被配置成根據位址表命中/未中 424 而將資料從儲存單元 214 或備用儲存裝置 222 路由到資料匯流排 414。如上所述，如果出現位址表命中，則路由電路 470 可將從備用儲存裝置取回的資料（由箭頭 474 示出）發送到資料匯流排 414。同樣，位址表 220 可產生被映射的儲存位址 432，並將被映射的儲存位址 432 發送到備用儲存裝置 222。相反地且還如上所述，如果出現位址表未中，則路由電路 470 可將從儲存單元 214 取回的資料（由箭頭 476 示出）發

送到資料匯流排 414。同樣但未示出，來自命令匯流排 412 的儲存位址可由儲存單元 214 使用以取回資料。

【0083】 在各種實施例中，可始終將資料寫入到儲存單元，而不論是否出現位址表命中/未中，如上所述。在這種實施例中，儘管資料被儲存在儲存單元 214 的壞的或有錯誤的儲存位址中，然而路由電路 470 仍會防止將壞的或有錯誤的資料置於資料匯流排 414 上。而是，使用來自備用儲存裝置 222 的良好的資料。在這種實施例中，資料可始終從儲存單元 214 讀取但接著由路由電路 470 閘控。

【0084】 圖 5 是可包括根據所公開主題的原理形成的半導體元件的資訊處理系統 500 的示意性方塊圖。

【0085】 參照圖 5，資訊處理系統 500 可包括根據所公開主題的原理構造而成的一個或多個元件。在另一實施例中，資訊處理系統 500 可採用或執行根據所公開主題的原理的一種或多種技術。

【0086】 在各種實施例中，資訊處理系統 500 可包括計算元件，例如（舉例來說）膝上型電腦、桌上型電腦、工作站、伺服器、刀片伺服器（blade server）、個人數位助理、智慧手機、平板電腦及其他適合的電腦或者虛擬機器或虛擬機器的虛擬計算元件。在各種實施例中，資訊處理系統 500 可由使用者（圖中未示出）使用。

【0087】 根據所公開主題的資訊處理系統 500 還可包括中央處理器（central processing unit，CPU）、邏輯或處理器 510。在一些實

施例中，處理器 510 可包括一個或多個功能單元塊 (functional unit block, FUB) 或組合邏輯塊 (combinational logic block, CLB) 515。在這種實施例中，組合邏輯塊可包括各種布林邏輯運算 (例如，反及、反或、反、或斥或)、穩定化邏輯元件 (例如，觸發器、鎖存器)、其他邏輯元件或其組合。這些組合邏輯運算可以簡單方式或複雜方式進行配置，以對輸入信號進行處理來實現期望結果。應理解，儘管闡述了同步組合邏輯運算的幾個例示性實例，然而所公開主題並不受限於此且可包括非同步運算或其混合。在一個實施例中，組合邏輯運算可包括多個互補金屬氧化物半導體 (complementary metal oxide semiconductor, CMOS) 電晶體。在各種實施例中，這些 CMOS 電晶體可被排列成用於實行邏輯運算的閘；但是，應理解，可使用其他技術且所述其他技術處於所公開主題的範圍內。

【0088】 根據所公開主題的資訊處理系統 500 還可包括揮發性記憶體 520 (例如，隨機存取記憶體 (RAM))。根據所公開主題的資訊處理系統 500 還可包括非揮發性記憶體 530 (例如，硬驅動器、光學記憶體、與非記憶體或快閃記憶體記憶體)。在一些實施例中，揮發性記憶體 520、非揮發性記憶體 530 或它們的組合或一些部分可被稱為“儲存介質”。在各種實施例中，揮發性記憶體 520 和/或非揮發性記憶體 530 可被配置成以半永久形式或實質上永久形式儲存資料。

【0089】 在各種實施例中，資訊處理系統 500 可包括一個或多個

網路介面 540，所述一個或多個網路介面 540 被配置成使資訊處理系統 500 成為通信網路的一部分且通過通信網路進行通信。Wi-Fi 協定的實例可包括但不限於電氣及電子工程師協會（Institute of Electrical and Electronics Engineers，IEEE）802.11g、IEEE 802.11n。蜂窩協定的實例可包括但不限於：IEEE 802.16m（又名，先進無線都會區網路（Metropolitan Area Network，MAN）、先進長期演進（Long Term Evolution，LTE）、增強資料速率全球移動通信系統（Global System for Mobile Communications，GSM）演進（Enhanced Data rates for GSM Evolution，EDGE）、演進高速封包存取（Evolved High-Speed Packet Access，HSPA+）。有線協定的實例可包括但不限於 IEEE 802.3（又名乙太網）、光纖通道、電力線通信（例如，家庭插座（HomePlug）、IEEE 1901）。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0090】 根據所公開主題的資訊處理系統 500 還可包括使用者介面單元 550（例如，顯示卡、觸覺介面、人機介面元件）。在各種實施例中，這種使用者介面單元 550 可被配置成從使用者接收輸入和/或向用戶提供輸出。也可使用其他種類的元件來實現與用戶的交互；舉例來說，提供到用戶的回饋可為任意形式的感覺回饋，例如，視覺回饋、聽覺回饋或觸覺回饋；且來自用戶的輸入可以任意形式接收，包括聲學輸入、語音輸入或觸覺輸入。

【0091】 在各種實施例中，資訊處理系統 500 可包括一個或多個

其他元件或硬體元件 560（例如，顯示器或監視器、鍵盤、滑鼠、相機、指紋讀取器、視頻處理器）。應理解，以上僅為幾個例示性實例，所公開主題並不受限於上述幾個例示性實例。

【0092】 根據所公開主題的資訊處理系統 500 還可包括一條或多條系統匯流排 505。在這種實施例中，系統匯流排 505 可被配置成對處理器 510、揮發性記憶體 520、非揮發性記憶體 530、網路介面 540、使用者介面單元 550 及一個或多個硬體元件 560 進行通信耦合。經處理器 510 處理的資料或從非揮發性記憶體 530 外部輸入的資料可儲存在非揮發性記憶體 530 中或揮發性記憶體 520 中。

【0093】 在各種實施例中，資訊處理系統 500 可包括或執行一個或多個軟體元件 570。在一些實施例中，軟體元件 570 可包括作業系統（operating system，OS）和/或應用。在一些實施例中，OS 可被配置成向應用提供一種或多種服務並管理或充當應用與資訊處理系統 500 的各種硬體元件（例如，處理器 510、網路介面 540）之間的中間介質。在這種實施例中，資訊處理系統 500 可包括一種或多種局部應用，所述一種或多種局部應用可在局部安裝（例如，安裝在非揮發性記憶體 530 內）且被配置成由處理器 510 直接執行並與 OS 直接進行交互作用。在這種實施例中，局部應用可包括預先編譯的機器可執行代碼。在一些實施例中，局部應用可包括腳本解譯器（例如，C shell（csh）、蘋果腳本（AppleScript）、AutoHotkey）或虛擬執行機（virtual execution machine，VM）（例如，Java 虛擬機器、微軟公共語言運行時環境（Microsoft Common

Language Runtime))，腳本解譯器及虛擬執行機被配置成將原始程式碼或目標代碼轉換成可執行代碼，然後由處理器 510 來執行所述可執行代碼。

【0094】 上述半導體元件可使用各種封裝技術來進行包封。舉例來說，根據所公開主題的原理構造而成的半導體元件可使用以下中的任意一種來進行包封：層疊封裝（package on package，POP）技術、球柵陣列（ball grid array，BGA）技術、晶片尺寸封裝（chip scale package，CSP）技術、塑膠引線晶片載體（plastic leaded chip carrier，PLCC）技術、塑膠雙列直插式封裝（plastic dual in-line package，PDIP）技術、華夫包裝式裸晶（die in wafer pack）技術、晶片式裸晶（die in wafer form）技術、板上晶片（chip on board，COB）技術、陶瓷雙列直插封裝（ceramic dual in-line package，CERDIP）技術、塑膠公制四方扁平封裝（plastic metric quad flat package，PMQFP）技術、塑膠四方扁平封裝（plastic quad flat package，PQFP）技術、小外形積體電路（small outline integrated circuit，SOIC）技術、縮小型小外形封裝（shrink small outline package，SSOP）技術、薄型小外形封裝（thin small outline package，TSOP）技術、薄型四方扁平封裝（thin quad flat package，TQFP）技術、系統級封裝（system in package，SIP）技術、多晶片封裝（multi-chip package，MCP）技術、晶片級構造封裝（wafer-level fabricated package，WFP）技術、晶片級處理堆疊封裝（wafer-level processed stack package，WSP）技術或所屬領域

中的技術人員將知曉的其他技術。

【0095】 方法步驟可由一個或多個可程式設計處理器執行電腦程式來實行，以通過對輸入資料進行操作並產生輸出來實行功能。方法步驟還可由專用邏輯電路（例如，現場可程式設計閘陣列（field programmable gate array，FPGA）或應用專用積體電路（application-specific integrated circuit，ASIC））來實行，且裝置可被實施為專用邏輯電路。

【0096】 在各種實施例中，電腦可讀介質可包括指令，所述指令在被執行時會使元件實行方法步驟的至少一部分。在一些實施例中，電腦可讀介質可包括在磁性介質、光學介質、其他介質或其組合（例如，壓縮磁碟唯讀記憶體（compact disc read only memory，CD-ROM）、硬驅動器、唯讀記憶體、快閃記憶體驅動器）中。在這種實施例中，電腦可讀介質可為有形的及以非暫時方式實施的製品。

【0097】 儘管已參照示例性實施例闡述了所公開主題的原理，然而對所屬領域中的技術人員來說顯而易見的是，在不背離這些所公開概念的精神及範圍的條件下，可對其作出各種改變及修改。因此，應理解，以上實施例並非限制性的，而是僅為例示性的。因此，所公開概念的範圍將由以上申請專利範圍及其等效範圍所許可的最廣範圍的解釋來確定，而不應受上述說明約束或限制。因此，應理解，隨附申請專利範圍旨在涵蓋落於實施例的範圍內的所有這種修改及改變。

【符號說明】**【0098】**

100：系統/多晶片系統

102：邏輯裸晶

104：記憶體裸晶

106：路由裸晶

112：邏輯電路

113：RAS 快取記憶體或電路

114：儲存陣列/記憶體

123：輸入/輸出端子或介面 / 輸入/輸出介面

123a、123b：輸入/輸出介面

126：通孔

127：路由結構

200、201、400、401：系統

202：HBM 裸晶/裸晶/HBM 模組

204：處理器/GPU

206：主機元件/主機

212：可靠性、可存取性及可服務性（RAS）快取記憶體或電
路/RAS 電路/可靠性電路

214：儲存單元

216：ECC 儲存裝置

- 218：HBM 介面
- 220：位址表/表
- 222：RAS 或備用記憶體或儲存裝置/備用儲存裝置/備用記憶體/儲存裝置
- 232：記憶體控制器
- 234：ECC 引擎或電路 / ECC 引擎
- 236、530：非揮發性記憶體
- 242：驅動器軟體或韌體/元件驅動器/驅動器
- 282、284、286、292、434、436、474、476：箭頭
- 294：ECC 引擎
- 300、302：資料結構
- 312：行
- 314：有效位或旗標行 / 有效旗標
- 316：被映射的位址行/被映射的儲存位址
- 412：命令匯流排
- 414：資料匯流排
- 420、470：路由電路
- 424：信號 / 位址表命中/未中
- 432：被映射的儲存位址
- 500：資訊處理系統
- 505：系統匯流排
- 510：處理器/邏輯

515：組合邏輯塊

520：揮發性記憶體

540：網路介面

550：使用者介面單元

560：硬體元件

570：軟體元件

ADDRESS #1、ADDRESS #2、ADDRESS #N：儲存位址條目

【發明申請專利範圍】

【第1項】 一種儲存裝置，包括：

堆疊的積體電路裸晶，包括：

儲存單元裸晶，被配置成至少部分地基於儲存位址來儲存資料；以及

邏輯裸晶，包括：

與所述堆疊的積體電路裸晶的介面，且所述介面被配置成在所述儲存單元裸晶與外部元件之間傳送記憶體存取；以及

可靠性電路，包括：

備用記憶體，被配置成儲存資料，以及

位址表，被配置成將與錯誤相關聯的儲存位址映射到所述備用記憶體的一部分，

其中所述可靠性電路被配置成基於從所述邏輯裸晶外部的處理器檢測到的錯誤命令，編輯所述位址表的儲存位址條目；

其中所述可靠性電路被配置成基於對所述堆疊的積體電路裸晶的記憶體存取，確定所述記憶體存取與錯誤相關聯，且至少部分地利用所述備用記憶體來完成所述記憶體存取。

【第2項】 如申請專利範圍第1項所述的儲存裝置，其中所述位址表包括：

改錯碼部分，用於防止所述位址表中的錯誤，且

有效旗標，被配置成指示所述儲存位址條目為現用的。

【第3項】 如申請專利範圍第1項所述的儲存裝置，其中所述可靠性電路被配置成：

從外部元件接收對在儲存位址處的資料的記憶體寫入要求；

確定所述儲存位址與錯誤相關聯，且

將所述資料寫入到所述備用記憶體的一部分。

【第4項】 如申請專利範圍第3項所述的儲存裝置，其中所述可靠性電路被配置成通過以下步驟來確定所述儲存位址與錯誤相關聯：

確定所述儲存位址作為儲存位址條目儲存在所述位址表內；

以及

確定有效旗標指示所述儲存位址條目是現用的。

【第5項】 如申請專利範圍第1項所述的儲存裝置，其中所述可靠性電路被配置成：

從外部元件接收對在儲存位址處的資料的記憶體讀取要求；

確定所述儲存位址與錯誤相關聯；且

從所述備用記憶體的一部分取回所述資料。

【第6項】 如申請專利範圍第1項所述的儲存裝置，其中所述可靠性電路被配置成：

從外部元件接收指示儲存位址與錯誤相關聯的消息；

將所述儲存位址置於所述位址表中；且

將所述儲存位址與所述備用記憶體的所述部分相關聯。

【第7項】 如申請專利範圍第6項所述的儲存裝置，其中所述可靠性電路被配置成通過以下步驟從所述外部元件接收指示所述儲存位址與所述錯誤相關聯的所述消息：

接收對預定義的儲存位址的記憶體寫入要求，其中所述預定義的儲存位址與所述位址表相關聯。

【第8項】 如申請專利範圍第1項所述的儲存裝置，其中所述可靠性電路被配置成：

監測所述備用記憶體的使用量級別，以及

將所述使用量級別的指示符儲存在預定義的儲存位址處；且其中所述介面被配置成：

接收對所述預定義的儲存位址的記憶體讀取要求，且

基於所述記憶體讀取要求，提供所述備用記憶體的所述使用量級別的所述指示符。

【第9項】 一種多晶片系統，包括：

處理器，包括：

記憶體控制器，被配置成管理往來於所述處理器的資料流程，及

糾錯電路，被配置成檢測錯誤與所儲存的資料相關聯；以及

積體電路的高頻寬儲存堆疊，與所述處理器分離，包括：

高頻寬儲存單元，被配置成至少部分地基於儲存位址而儲存資料，以及

可靠性電路，包括：

備用記憶體，被配置成儲存資料，以及

位址表，被配置成將與所述錯誤相關聯的儲存位址
映射到所述備用記憶體的一部分

其中所述可靠性電路被配置成基於對積體電路的所述高頻寬
儲存堆疊的記憶體存取，確定所述記憶體存取與由所述糾錯電路
檢測到的錯誤相關聯，且
至少部分地利用所述備用記憶體來完成所述記憶體存取。

【第10項】 如申請專利範圍第9項所述的多晶片系統，其中所述處
理器被配置成：

確定所述備用記憶體包括足夠的空閒容量來至少部分地糾正
所述錯誤，且

使所述可靠性電路將與所述錯誤相關聯的所述儲存位址映射
到所述備用記憶體的一部分。

【第11項】 如申請專利範圍第9項所述的多晶片系統，其中所述可
靠性電路被配置成：

從所述處理器接收對在儲存位址處的資料的記憶體寫入要
求；

確定所述儲存位址與錯誤相關聯；且

將所述資料寫入到所述備用記憶體的被映射的部分。

【第12項】 如申請專利範圍第9項所述的多晶片系統，其中所述可
靠性電路被配置成：

從所述處理器接收對在儲存位址處的資料的記憶體讀取要求；

確定所述儲存位址與錯誤相關聯；且

從所述備用記憶體的被映射的部分取回所述資料。

【第13項】如申請專利範圍第9項所述的多晶片系統，其中所述處理器被配置成發出對預定義的儲存位址的記憶體寫入要求，其中所述預定義的儲存位址與所述位址表相關聯且其中所述記憶體寫入要求包括與所述錯誤相關聯的所述儲存位址作為一條資料其中所述可靠性電路被配置成：

從所述處理器接收指示儲存位址與錯誤相關聯的消息；

將所述儲存位址置於所述位址表中；且

將所述儲存位址與所述備用記憶體的所述部分相關聯。

【第14項】如申請專利範圍第9項所述的多晶片系統，其中所述可靠性電路被配置成：

監測所述備用記憶體的使用量級別，且

將所述使用量級別的指示符儲存在預定義的儲存位址處，並且

其中所述處理器被配置成：

發出對所述預定義的儲存位址的記憶體讀取要求，且

基於所述記憶體讀取要求接收所述備用記憶體的所述使用量級別的所述指示符。

【第15項】 如申請專利範圍第9項所述的多晶片系統，其中所述處理器包括非揮發性記憶體，所述非揮發性記憶體被配置成儲存與相應的錯誤相關聯的一系列儲存位址，且其中所述糾錯電路被配置成基於檢測到所儲存的資料的錯誤，

使與所述錯誤相關聯的所述儲存位址能夠由所述非揮發性記憶體及所述位址表二者儲存。

【第16項】 如申請專利範圍第15項所述的多晶片系統，其中所述非揮發性記憶體被配置成將與相應的錯誤相關聯的所述一系列儲存位址中的一個或多個添加到所述位址表；且

其中所述可靠性電路被配置成將所述儲存位址中的一個或多個映射到所述備用記憶體的相應的位置。

【第17項】 如申請專利範圍第9項所述的多晶片系統，其中所述可靠性電路被配置成在不對所述處理器進行重置的條件下重新映射所述高頻寬儲存單元內的資料錯誤。

【第18項】 一種儲存裝置，包括：

邏輯裸晶，包括：

與高頻寬記憶體裸晶的內部介面，其中所述高頻寬記憶體裸晶被配置成基於儲存位址而儲存資料；

外部介面，被配置成在所述高頻寬記憶體裸晶與至少一個外部元件之間傳送記憶體存取；以及

可靠性電路，包括：

備用記憶體，被配置成儲存資料，以及

位址表，被配置成將與錯誤相關聯的儲存位址映射到所述備用記憶體的一部分，且

其中所述可靠性電路被配置成基於從所述邏輯裸晶外部的處理器檢測到的錯誤命令，編輯所述位址表的儲存位址條目；

其中所述可靠性電路被配置成基於對所述高頻寬記憶體裸晶的記憶體存取，確定所述記憶體存取與錯誤相關聯，且至少部分地利用所述備用記憶體來完成所述記憶體存取。

【第19項】如申請專利範圍第18項所述的儲存裝置，其中所述可靠性電路被配置成：

從所述外部元件接收對在儲存位址處的資料的記憶體寫入要求；

確定所述儲存位址與錯誤相關聯；且

將所述資料寫入到所述備用記憶體的一部分。

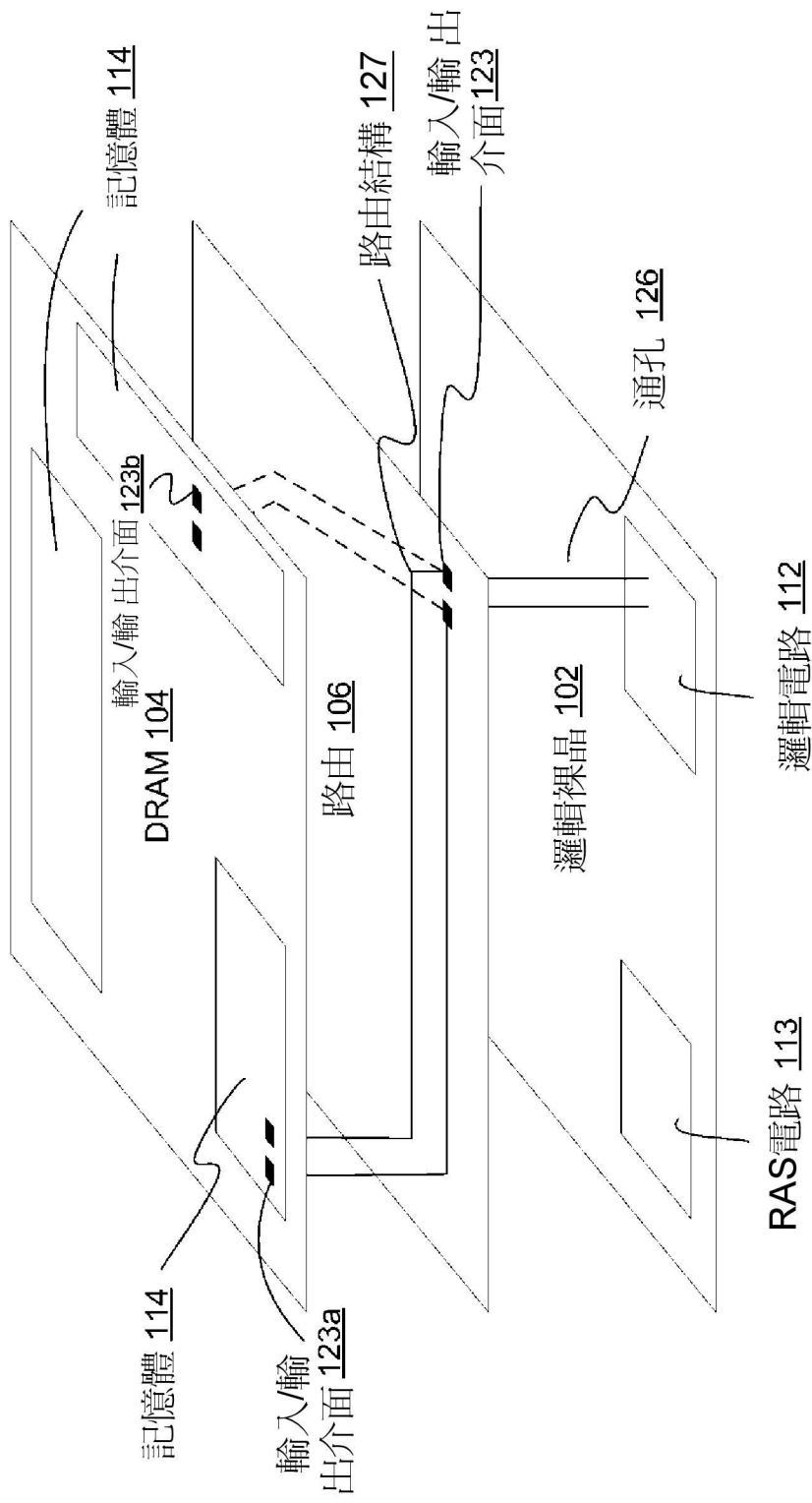
【第20項】如申請專利範圍第18項所述的儲存裝置，其中所述可靠性電路被配置成：

從所述外部元件接收對儲存位址處的資料的記憶體讀取要求；

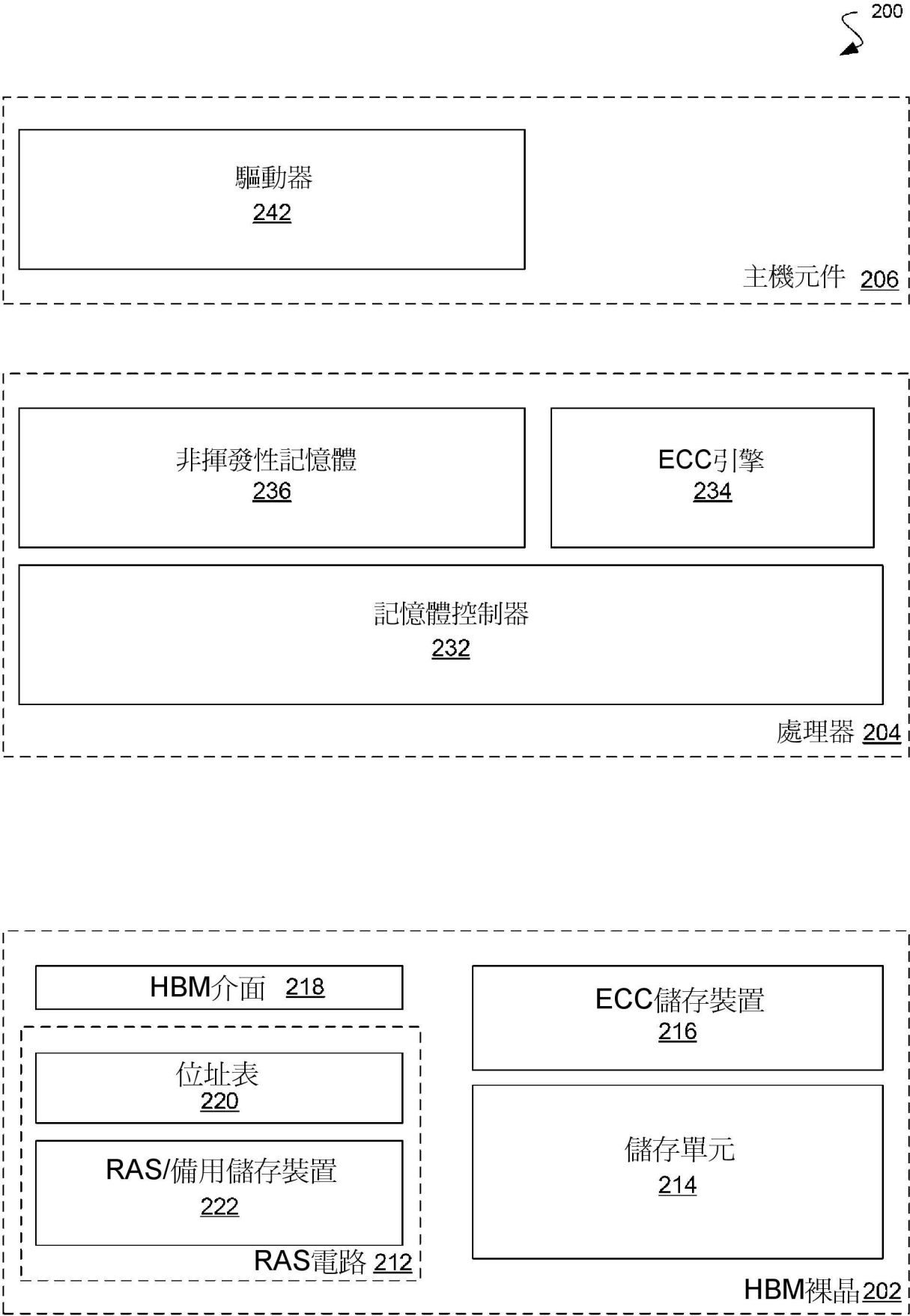
確定所述儲存位址與錯誤相關聯；且

從所述備用記憶體的被映射的部分取回所述資料。

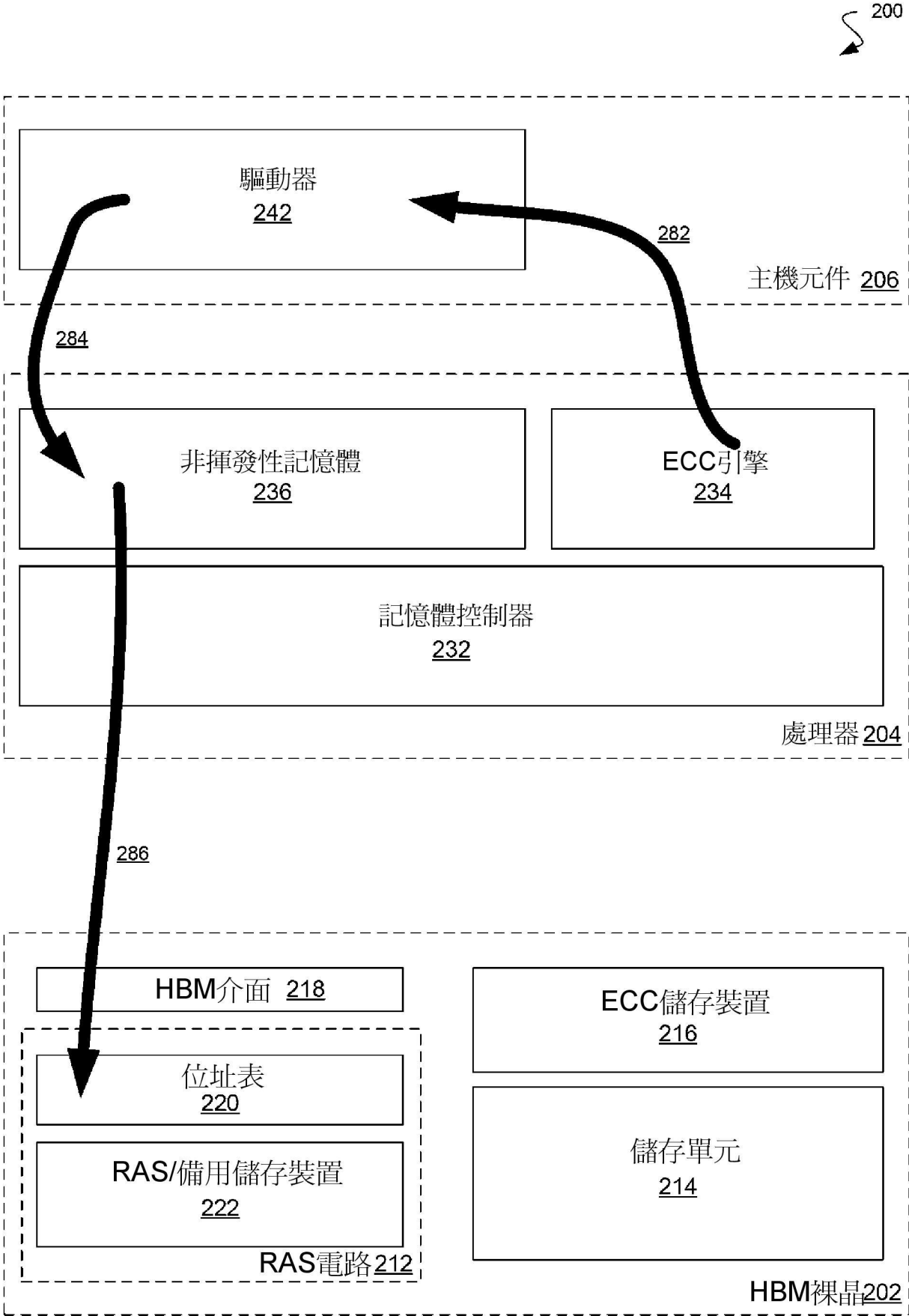
100



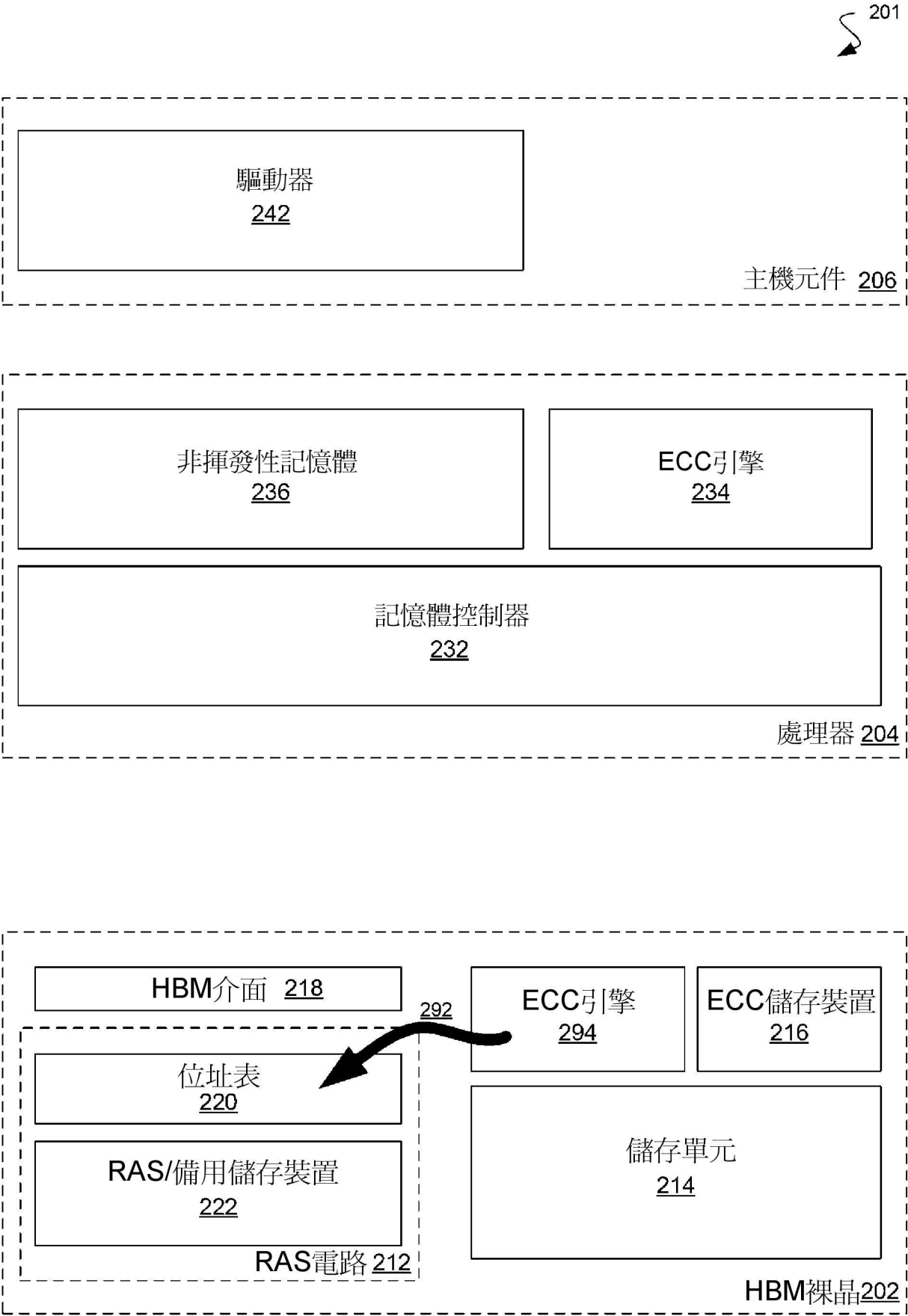
【圖1】



【圖2A】



【圖2B】



【圖2C】

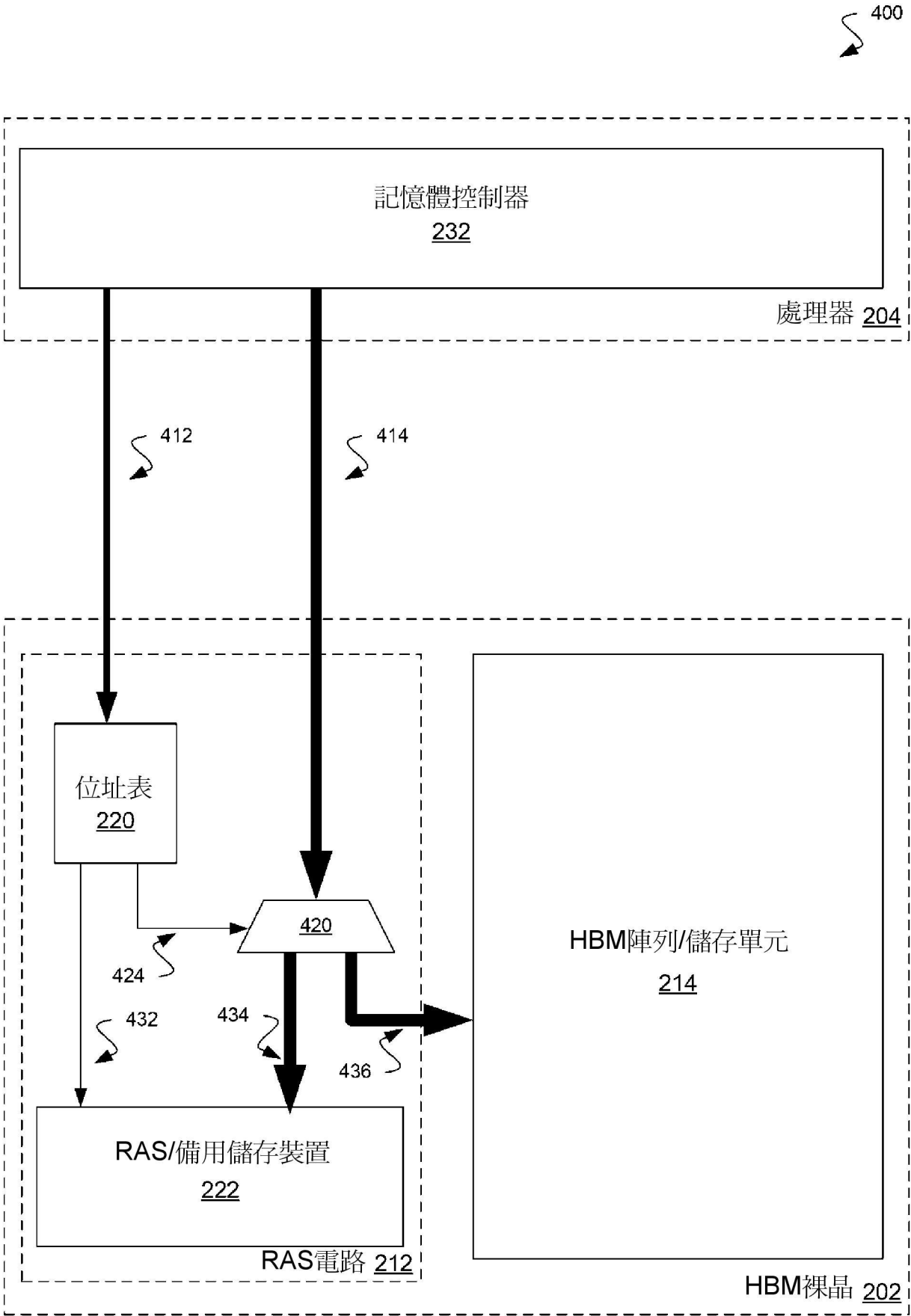
300 ↗

位址/索引區312	有效314	被映射的位址316
ADDRESS #1	1	ADDRESS #M1
ADDRESS #2	1	ADDRESS #M2
...	...	...
...	...	...
ADDRESS #N	0	ADDRESS #MN

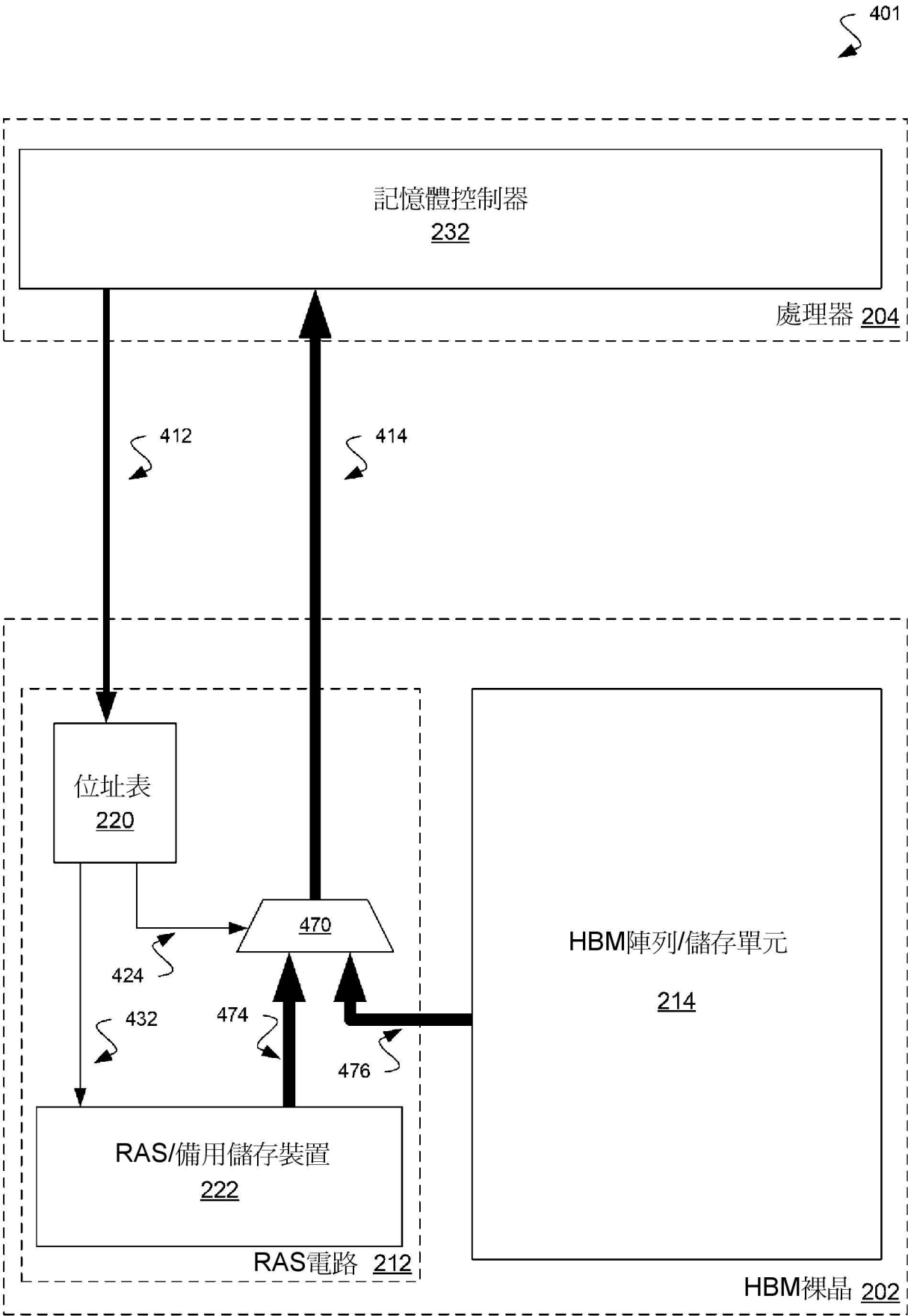
302 ↘

記憶體
DATA #1
DATA #2
...
...
DATA #N

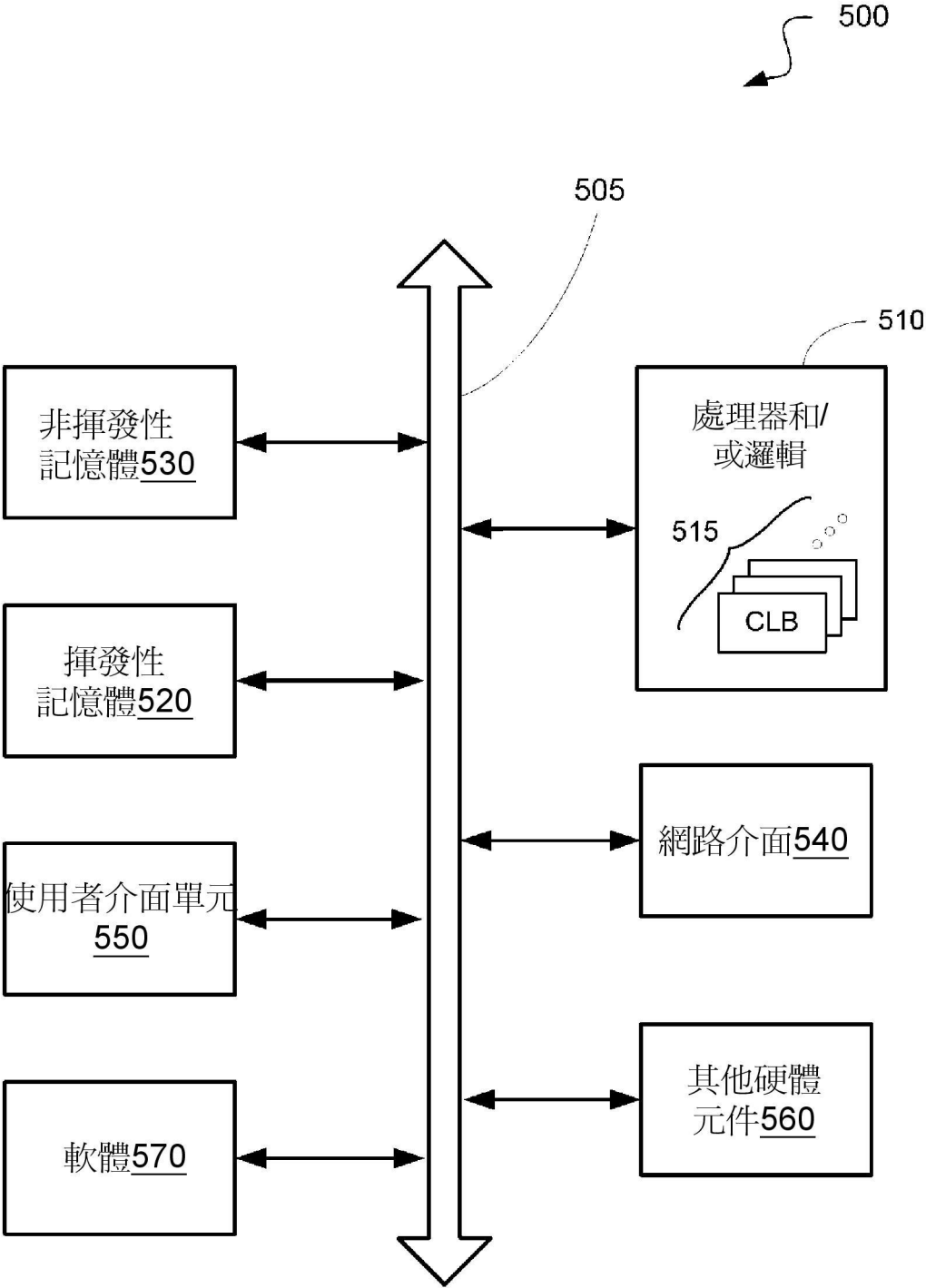
【圖3】



【圖4A】



【圖4B】



【圖5】