

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年3月18日(18.03.2010)

PCT

(10) 国際公開番号
WO 2010/029634 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 45/00 (2006.01)
G11B 9/04 (2006.01) H01L 49/00 (2006.01)
- (21) 国際出願番号: PCT/JP2008/066471
- (22) 国際出願日: 2008年9月11日(11.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 中居 司 (NAKAI, Tsukasa) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内 Tokyo (JP). 塚本 隆之 (TSUKAMOTO, Takayuki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内 Tokyo (JP). 鎌田 親義 (KAMATA, Chikayoshi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内 Tokyo (JP). 青木 伸也 (AOKI, Shinya) [JP/JP]; 〒1058001 東京都港区芝浦

一丁目1番1号 株式会社東芝 知的財産部内 Tokyo (JP). 平井 隆大 (HIRAI, Takahiro) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内 Tokyo (JP). 久保 光一 (KUBO, Kohichi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産部内 Tokyo (JP).

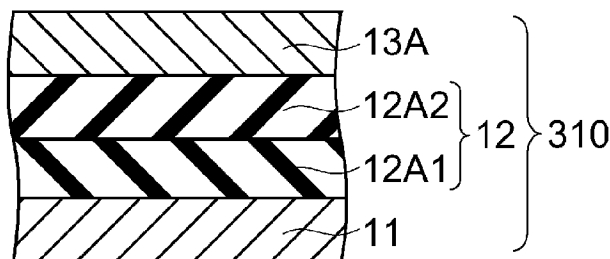
- (74) 代理人: 日向寺 雅彦 (HYUGAJI, Masahiko); 〒2310015 神奈川県横浜市中区尾上町1丁目4番1号 関内S Tビル Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: RESISTANCE-VARYING ELEMENT, AND INFORMATION RECORDING/REPRODUCING DEVICE

(54) 発明の名称: 抵抗変化素子及び情報記録再生装置

[図1]



(57) Abstract: Provided is a resistance-varying element comprising a resistance-varying portion including a first resistance-varying layer caused to exhibit a plurality of states of different electric resistivities by at least one of an applied voltage and an applied current, and a second resistance-varying layer caused to exhibit a plurality of states of different electric resistivities by at least one of an applied voltage and an applied current. Further comprised is an electrode layer for performing at least one of the voltage application and the current application normal to the film face of the resistance-varying portion. The resistance-varying element is characterized in that at least one of the voltage and current to transit among a plurality of different states in the first resistance-varying layer and at least one of the voltage and current to transit among a plurality of different states in the second resistance-varying layer are different from each other.

(57) 要約:

[続葉有]



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO,
PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

印加される電圧及び通電される電流の少なくともいずれかによって電気抵抗率の異なる複数の状態を呈する第 1 抵抗変化層と、前記第 1 抵抗変化層に積層して設けられ、前記第 1 抵抗変化層とは異なる組成を有し、印加される電圧及び通電される電流の少なくともいずれかによって電気抵抗率の異なる複数の状態を呈する第 2 抵抗変化層と、を有する抵抗変化部と、前記抵抗変化部の膜面に垂直に電圧の印加及び電流の通電の少なくともいずれかを行う電極層と、を備え、前記第 1 抵抗変化層における異なる複数の状態どうしの間を遷移する電圧及び電流の少なくともいずれかと、前記第 2 抵抗変化層における異なる複数の状態どうしの間を遷移する電圧及び電流の少なくともいずれかとが互いに異なっていることを特徴とする抵抗変化素子が提供される。

明 細 書

抵抗変化素子及び情報記録再生装置

技術分野

[0001] 本発明は、抵抗変化素子及び情報記録再生装置に関する。

背景技術

[0002] 近年、小型携帯機器が世界的に普及し、同時に、高速情報伝送網の大幅な進展に伴い、小型大容量不揮発性メモリの需要が急速に拡大してきている。その中でも、NAND型フラッシュメモリ及び小型HDD(hard disk drive)は、特に、急速な記録密度の進化を遂げ、大きな市場を形成するに至っている。

[0003] このような状況の下、記録密度の限界を大幅に超えることを目指した新規メモリのアイデアがいくつか提案されている。

[0004] その中で、低抵抗状態と高抵抗状態とを有する抵抗変化材料を用いたメモリが提案されている(例えば非特許文献1及び2)。このようなメモリにおいては、抵抗変化材料に電圧パルスを印加し、低抵抗状態と高抵抗状態とを繰り返し変化させることができ、この2つの状態を2値データ“0”及び“1”に対応させてデータを記録する。

[0005] このような情報記録再生装置において、多値記録を可能とし、さらに記録密度を高めることが期待されている。

非特許文献1:P. Vettiger, G. Cross, M. Despont, U. Drechsler, U. Durig, B. Gotsmann, W. Haberle, M. A. Lants, H. E. Rothuizen, R. Stutz and G. K. Binnig, IEEE Transactions, Nanotechnology 1, 39(2002)

非特許文献2:P. Vettiger, T. Albrecht, M. Despont, U. Drechsler, U. Durig, B. Gotsmann, D. Jubin, W. Haberle, M. A. Lants, H. E. Rothuizen, R. Stutz, D. Wiesmann and G. K. Binnig, P. Bachtold, G. Cherubini, C. Hagleitner, T. Loeliger, A. Pantazi, H. Pozidis and E. Eleftheriou, in Technical Digest, IEDM03 pp.763-766

発明の開示

発明が解決しようとする課題

[0006] 本発明では、多値記録を可能とする抵抗変化素子及び情報記録再生装置を提供

する。

課題を解決するための手段

[0007] 本発明の一態様によれば、印加される電圧及び通電される電流の少なくともいずれかによって電気抵抗率の異なる複数の状態を呈する第1抵抗変化層と、前記第1抵抗変化層に積層して設けられ、前記第1抵抗変化層とは異なる組成を有し、印加される電圧及び通電される電流の少なくともいずれかによって電気抵抗率の異なる複数の状態を呈する第2抵抗変化層と、を有する抵抗変化部と、前記抵抗変化部の膜面に垂直に電圧の印加及び電流の通電の少なくともいずれかを行う電極層と、を備え、前記第1抵抗変化層における異なる複数の状態どうしの間を遷移する電圧及び電流の少なくともいずれかと、前記第2抵抗変化層における異なる複数の状態どうしの間を遷移する電圧及び電流の少なくともいずれかとが互いに異なっていることを特徴とする抵抗変化素子が提供される。

[0008] また、本発明の一態様によれば、上記の抵抗変化素子と、前記抵抗変化素子の前記抵抗変化部への電圧の印加、及び、前記抵抗変化部への電流の通電、の少なくともいずれかによって、前記抵抗変化部に複数の抵抗状態の間を遷移させて情報を記録する駆動部と、を備えたことを特徴とする情報記録再生装置が提供される。

図面の簡単な説明

[0009] [図1]本発明の第1の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図2]本発明の第1の実施形態に係る抵抗変化素子が応用される情報記録再生装置の要部の構成を例示する模式図である。

[図3]本発明の第1の実施形態に係る抵抗変化素子の特性を例示する模式図である。

[図4]本発明の第1の実施形態に係る抵抗変化素子の特性を例示する模式図である。

[図5]本発明の第1の実施形態に係る抵抗変化素子の特性を例示する別のグラフ図である。

[図6]本発明の第1の実施形態に係る抵抗変化素子の特性を例示する別の模式図で

ある。

[図7]本発明の第1の実施例に係る抵抗変化素子の特性を例示するグラフ図である。

[図8]本発明の第2の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図9]本発明の第3の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図10]本発明の第3の実施形態に係る別の抵抗変化素子の構成を例示する模式的断面図である。

[図11]本発明の第4の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図12]本発明の第4の実施形態に係る別の抵抗変化素子の構成を例示する模式的断面図である。

[図13]本発明の第5の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図14]本発明の第5の実施形態に係る別の抵抗変化素子の構成を例示する模式的断面図である。

[図15]本発明の第6の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図16]本発明の第7の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図17]本発明の実施形態に係る抵抗変化素子の一部の構成及び動作を例示する模式図である。

[図18]本発明の実施形態に係る抵抗変化素子の一部の構成及び動作を例示する模式的断面図である。

[図19]本発明の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

[図20]本発明の第8の実施形態に係る情報記録再生装置の構成を例示する模式的斜視図である。

[図21]本発明の第8の実施形態に係る情報記録再生装置の一部の構成を例示する模式的平面図である。

[図22]本発明の第8の実施形態に係る情報記録再生装置の動作を例示する模式図である。

[図23]本発明の第8の実施形態に係る情報記録再生装置の記録動作を例示する模式図である。

[図24]本発明の第8の実施形態に係る情報記録再生装置の再生動作を例示する模式図である。

[図25]本発明の第8の実施形態に係る別の情報記録再生装置の記録動作を例示する模式図である。

[図26]本発明の第8の実施形態に係る別の情報記録再生装置の再生動作を例示する模式図である。

[図27]本発明の第9の実施形態に係る情報記録再生装置の構成を例示する模式図である。

[図28]本発明の第9の実施形態に係る情報記録再生装置の構成を例示する模式的斜視図である。

[図29]本発明の第9の実施形態に係る別の情報記録再生装置の構成を例示する模式的斜視図である。

[図30]本発明の第9の実施形態に係る別の情報記録再生装置の構成を例示する模式的斜視図である。

[図31]本発明の第10の実施形態に係る情報記録再生装置の要部の構成を例示する模式的断面図である。

[図32]本発明の第10の実施形態に係る情報記録再生装置の動作を例示する模式的断面図である。

[図33]本発明の第10の実施形態に係る別の情報記録再生装置の要部の構成を例示する模式図である。

[図34]本発明の第10の実施形態に係る別の情報記録再生装置の要部を例示する模式的断面図である。

[図35]本発明の第10の実施形態に係る変形例の情報記録再生装置の要部を例示する模式的断面図である。

[図36]本発明の第10の実施形態に係る変形例の情報記録再生装置の要部を例示する模式的断面図である。

[図37]本発明の第10の実施形態に係る別の情報記録再生装置の要部の構成を例示する模式図である。

[図38]本発明の第10の実施形態に係る別の情報記録再生装置の要部を例示する模式的断面図である。

[図39]本発明の第10の実施形態に係る別の情報記録再生装置の要部の構成を例示する模式図である。

[図40]本発明の第10の実施形態に係る別の情報記録再生装置の要部を例示する模式的断面図である。

[図41]本発明の第10の実施形態に係る変形例の情報記録再生装置の要部を例示する模式的断面図である。

符号の説明

- [0010] 11 下部電極
 11A 配向制御層
 12 抵抗変化部(記録部)
 12A 抵抗変化層
 12A1 第1抵抗変化層
 12A2 第2抵抗変化層
 12A(N-1) 第(N-1)抵抗変化層
 12AN 第N抵抗変化層
 12B イオン格納層
 12B1 第1イオン格納層
 12B2 第2イオン格納層
 12BN 第Nイオン格納層
 12C0 電極側分離層(分離層)

12C1、12C2、12C(N-1)、12CN、 層間分離層(分離層)

12D 電流制限層

13A 上部電極

13B 保護層

14 メタル層

30 基板

31 ワード線ドライバ

32 ビット線ドライバ

33 メモリセル

33B 保護層

34 整流素子

35 ヒータ層

41 半導体基板

41a P型半導体基板

41b N型ウェル領域

41c P型ウェル領域

42、42d、42s N型拡散層

43 ゲート絶縁層

44 抵抗変化素子

45 コントロールゲート電極

47 P型半導体層

51 遷移元素イオン(Mイオン)

52 拡散イオン(Aイオン)

53 遷移金属イオン

61 陰イオン(Xイオン)

71、711、712 第1種の化合物

72、721、721 第2種の化合物

81、811、812 第1種層

82、811、812 第2種層
210、211、260～266 情報記録再生装置
310、310a～310f、320、330、331、340、340a、341、350、351、360、370
～373 抵抗変化素子
410 記録媒体
515 ドライバ
516 XYスキャナ
520、523 基板
521 電極層
524 プローブ
524a 矢印
525、526 マルチプレクサドライバ
527 記録ビット
531 データエリア
532 サーボエリア
600 駆動部
 α 空隙サイト

発明を実施するための最良の形態

[0011] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0012] 図1は、本発明の第1の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図1に表したように、本発明の第1の実施形態に係る抵抗変化素子310は、下部電極11の上に、第1抵抗変化層(第1記憶層)12A1、第2抵抗変化層(第2記録層)12

A2、及び、上部電極13Aを順次積層した構造を有する。すなわち、抵抗変化部(記録部)12は、第1記録層12A1と第2抵抗変化層12A2とを含む。

[0013] 本実施形態に係る不揮発性記憶素子310は、例えば、クロスポイント型、プローブメモリ型、及び、各種のフラッシュメモリ型などの不揮発性記憶になどに応用することができる。一例として、不揮発性記憶素子310をクロスポイント型の不揮発性記憶装置に用いた場合の不揮発性記憶素子310の構成について説明する。

[0014] 図2は、本発明の第1の実施形態に係る抵抗変化素子が応用される情報記録再生装置の要部の構成を例示する模式図である。

図2(a)、(b)に表したように、クロスポイント型の情報記録再生装置210においては、例えば、ワード線 WL_i とビット線 BL_j との間に、メモリセル33及び整流素子34が設けられる。なお、ワード線 WL_i とビット線 BL_j との上下の配置の関係は任意である。そして、ワード線 WL_i とビット線 BL_j との間における、メモリセル33と整流素子34との配置の関係も任意である。すなわち、図2に例示した具体例では、メモリセル33は整流素子34よりもビット線 BL_j の側に配置されているが、メモリセル33は整流素子34よりもワード線 WL_i の側に配置されても良い。

[0015] そして、メモリセル33は、抵抗変化素子310を有する。抵抗変化素子310は、下部電極11と、上部電極13Aと、下部電極11と上部電極13Aとの間に設けられた記録層12を有する。なお、上部電極13Aと下部電極11とは、便宜的な名称であり、互いに入れ替えが可能である。

[0016] また、メモリセル33は、抵抗変化素子310の他に、保護層33Bと、抵抗変化素子310と保護層33Bとの間に設けられたヒータ層35を有することができる。なお、本具体例では、保護層33Bは、抵抗変化素子310のビット線 BL_j の側に設けられているが、保護層33Bは、抵抗変化素子310のワード線 WL_i の側に設けても良く、整流素子34とワード線 WL_i との間に設けても良い。さらに、これらヒータ層35と保護層33Bは必要に応じて設けられ、省略可能である。

[0017] これらワード線 WL_i 、整流素子34、メモリセル33及びビット線 BL_j は、それぞれ複数設けられ、それらの間には、絶縁層が設けられ、互いに絶縁される。

[0018] なお、抵抗変化素子310の下部電極11及び上部電極13Aの少なくともいずれか

は、抵抗変化素子310に隣接する例えば、ワード線 WL_i 、整流素子34、ヒータ層35、保護層33B、ビット線 BL_j の少なくともいずれかと兼用されても良い。この場合は、下部電極11及び上部電極13Aの少なくともいずれかかと兼用された層が、下部電極11及び上部電極13Aの少なくともいずれか、と見なされる。

[0019] また、下部電極11及び上部電極13Aのいずれかは、抵抗変化素子310が応用される用途によっては、省略可能である。以下では、説明を簡単にするために、下部電極11及び上部電極13Aの両方が設けられる場合として説明する。

[0020] なお、下部電極11及び上部電極13Aは、便宜的な名称であり、互いに入れ替えが可能である。また、下部電極11及び上部電極13Aとの位置関係において、第1可変抵抗層12A1及び第2抵抗変化層12A2は互いに入れ替えが可能である。

[0021] 第1抵抗変化層12A1と第2抵抗変化層12A2とは、異なる組成の材料が用いられる。

[0022] 第1抵抗変化層12A1及び第2抵抗変化層12A2のそれぞれは、抵抗が変化する層、すなわち、抵抗変化層である。

すなわち、第1抵抗変化層12A1は、第1抵抗変化層12A1に印加される電圧、及び、第1抵抗変化層12A1に通電される電流の少なくともいずれかによって、抵抗が変化する。

そして、第2抵抗変化層12A2は、第2抵抗変化層12A2に印加される電圧、及び、第2抵抗変化層12A2に通電される電流の少なくともいずれかによって、抵抗が変化する。

[0023] そして、第1抵抗変化層12A1と第2抵抗変化層12A2とは、異なる電気的特性を有する。すなわち、第1抵抗変化層12A1において、上記の抵抗が変化する電圧及び電流の少なくともいずれかと、第2抵抗変化層12A2において、上記の抵抗が変化する電圧及び電流の少なくともいずれかと、は互いに異なる。

[0024] このような特性の違いは、第1抵抗変化層12A1及び第2抵抗変化層12A2に用いられる材料や厚さ等によって互いに変えられる。

[0025] 図3は、本発明の第1の実施形態に係る抵抗変化素子の特性を例示する模式図である。すなわち、同図は、本実施形態に係る抵抗変化素子310の電流－電圧特性

を例示する模式的グラフ図であり、横軸は、下部電極11及び上部電極13Aの間を流れる電流、すなわち、抵抗変化部12を流れる電流Iであり、縦軸は、下部電極11及び上部電極13Aに印加される電圧、すなわち抵抗変化部12に印加される電圧Vである。

[0026] 図3に表したように、本実施形態に係る抵抗変化素子310は、電流－電圧特性において、例えば、異なる5つの領域、すなわち領域R1～領域R5を有している。

[0027] 領域R1は、例えば、第1抵抗変化層12A1及び第2抵抗変化層12A2の両方が高抵抗状態の領域である。そして、領域R2は、例えば、第1抵抗変化層12A1が低抵抗状態であり、第2抵抗変化層12A2が高抵抗状態の領域である。領域R3は、例えば、第1抵抗変化層12A1及び第2抵抗変化層12A2が低抵抗状態の領域である。領域R4は、例えば第1抵抗変化層12A1が再び高抵抗状態(再セット状態)であり、第2抵抗変化層12A2が低抵抗状態の領域である。領域R5は、第1抵抗変化層12A1及び第2抵抗変化層12A2が共に、再び高抵抗状態(再セット状態)となっている領域である。

[0028] このように特性の異なる第1抵抗変化層12A1と第2抵抗変化層12A2とを積層することによって、記録部12は、3つ以上の異なる抵抗の状態、すなわち、3値以上の状態を呈することができる。これにより、本実施形態に係る抵抗変化素子310によれば、多値記録を可能とする抵抗変化素子が提供される。

[0029] なお、後述するように、本具体例では抵抗変化部12は、2つの抵抗変化層(第1抵抗変化層12A1及び第2抵抗変化層12A2)を有しているが、3つ以上の抵抗変化層を有していても良い。

[0030] なお、再セット状態まで用いない場合には、記録部12が2層の抵抗変化層を有し、そして抵抗変化状態に中間的な状態が無い場合、1つの抵抗変化層当たり、2水準の情報が記録されるので、2水準×2水準の合計4水準の記録及び、再生が可能である。一方、前記の再セット状態まで用いると、少なくとも3水準×3水準の合計9水準の記録、再生が可能になる。これに抵抗変化層の抵抗変化状態に中間的な状態が存在する材料を用いればさらに記録できる情報量を増加させることができる。

図4は、本発明の第1の実施形態に係る抵抗変化素子の特性を例示する模式図で

ある。すなわち、同図は、抵抗変化層(第1抵抗変化層12A1及び第2抵抗変化層12A2のそれぞれ)の特性を例示する模式的グラフ図である。そして、同図(a)は、抵抗変化層の電流－電圧特性を例示しており、同図(b)は、抵抗変化層の電流－抵抗特性を例示している。なお、これらの図は、概念図である。すなわち、実際の抵抗変化層は、非線形の電流－電圧特性を示すが、ここでは、説明上、線形特性で概念的に図示している。

[0031] 図4(a)、(b)に表したように、抵抗変化層は、印加する電流や電圧に応じて、抵抗が比較的高い状態(高抵抗状態HR)と、抵抗が比較的低い状態(低抵抗状態LR)との2つの状態を呈する。

例えば、初期状態においては、高抵抗状態HRにあり、印加する電流や電圧を増加すると、ある点で(以下、セット点という)、低抵抗状態LR(以下、セット状態という)になり、さらに、電流や電圧を増加すると、ある点で(以下、リセット点という)、高抵抗状態HR(以下、リセット状態という)に戻る。

[0032] ここで、本願明細書においては、高抵抗状態HRをリセット状態とし、低抵抗状態LRをリセット状態として説明する。ただし、この定義は、以下の説明を簡単にするためのものであり、材料の選択や製造方法によっては、この定義と逆の場合、すなわち、低抵抗状態LRがリセット(初期)状態となり、高抵抗状態HRがセット状態と定義することもできる。

[0033] 以下、セット点における電流及び電圧をそれぞれ、セット電流 I_s 及びセット電圧 V_s といい、リセット点における電流及び電圧をそれぞれ、リセット電流 I_r 及びリセット電圧 V_r という。また、セット状態における抵抗値をセット抵抗 R_s といい、リセット状態における抵抗値をリセット抵抗 R_r という。

[0034] 抵抗変化層のセット電流 I_s 、セット電圧 V_s 、リセット電流 I_r 、リセット電圧 V_r 、セット抵抗 R_s 及びリセット抵抗 R_r は、抵抗変化層として用いる抵抗変化素子の材料、断面積及び膜厚等により異なる。

[0035] なお、本実施形態に係る抵抗変化素子を用いる際に、セット電圧 V_s と逆極性の電圧を印加することによりリセット状態とする、バイポーラ動作も可能である。

[0036] 以下の説明では、特に記載のない限り、印加する電流または電圧の極性は一定と

するユニポーラ動作に限定して説明し、電流または電圧は絶対値を表すものとする。

[0037] リセット状態から、抵抗変化層に印加する電流、電圧を、セット電流 I_s 、セット電圧 V_s まで増加し、抵抗変化層をセット状態にした後に、電流、電圧を0にすると、抵抗変化層は、低抵抗値状態LRのセット状態のまま保持される。また、セット状態になっている抵抗変化層の印加電流、電圧を、リセット電流 I_r 、リセット電圧 V_r まで増加し、抵抗変化層をリセット状態にした後に、電流、電圧を0にすると、抵抗変化層は、高抵抗値状態HRのリセット状態を保持する。さらに、抵抗変化層に印加する電流、電圧をセット電流 I_s 、セット電圧 V_s 未満とすることにより、抵抗変化層の状態を変化させることなく、抵抗層の抵抗を検出することができ、抵抗変化層の状態を読み出すことができる。

[0038] このように、抵抗変化層は、印加する電流、電圧をセット電流 I_s 、セット電圧 V_s 以上で、リセット電流 I_r 、リセット電圧 V_r 未満とすることにより、書き込みができる。そして、電流、電圧をリセット電流 I_r 、リセット電圧 V_r 以上することにより、消去ができる。さらに、印加する電流、電圧をセット電流 I_s 、セット電圧 V_s 未満とすることにより、抵抗としての状態を読み出すことができる不揮発性のメモリセルとして機能する。

[0039] 例えば、セット状態を”1”に、リセット状態を”0”に対応させると、第1抵抗変化層12A1及び第2抵抗変化層12A2は、それぞれ1ビットのメモリセルとして機能する。

[0040] また、これら第1抵抗変化層12A1及び第2抵抗変化層12A2の抵抗変化状態に、中間的な状態が存在する場合には、さらに記録できる情報量を増加させることができる。なお、書き込み及び消去は、電流パルスまたは電圧パルスによっても可能である。

[0041] 本実施形態に係る抵抗変化素子310の抵抗変化部12においては、それぞれがこのような動作を行う第1抵抗変化層12A1及び第2抵抗変化層12A2を積層した構造を有する。

[0042] この場合に、第1抵抗変化層12A1及び第2抵抗変化層12A2においては、セット電流 I_s 、セット電圧 V_s 、リセット電流 I_r 及びリセット電圧 V_r の少なくともいずれかが異なる。

[0043] 図5は、本発明の第1の実施形態に係る抵抗変化素子の特性を例示する別のグラ

フ図である。

すなわち、同図(a)は、第1抵抗変化層12A1、第2抵抗変化層12A2及び抵抗変化部12の示す電流－電圧特性を例示しており、同図(b)は、第1抵抗変化層12A1及び第2抵抗変化層12A2、及び、抵抗変化部12の電流－電圧特性を例示している。これらの図において、実線は記録部12に対応し、一点鎖線は第1抵抗変化層12A1に対応し、破線は第2抵抗変化層12A2に対応する。なお、同図も、これらの抵抗変化層の特性を線形で近似し、概念的に図示している。

[0044] また、同図において、第1抵抗変化層12A1単層についての特性には添え字1を付し、第2抵抗変化層12A2単層についての特性には添え字2を付し、抵抗変化部12の特性については、添え字を付さないで示している。

[0045] また、ここでは、

$$\begin{aligned} I_{s_1} < I_{s_2} < I_{r_1} < I_{r_2}, \\ V_{s_1} > V_{s_2}, V_{r_1} > V_{r_2}, \\ R_{s_1} > R_{s_2}, R_{r_1} > R_{r_2} \\ R_{s_1} + R_{s_2} < R_{s_1} + R_{r_2} < R_{r_1} + R_{s_2} < R_{r_1} + R_{r_2} \end{aligned}$$

と仮定して説明する。

[0046] 図5に表したように、例えば、初期状態として、第1抵抗変化層12A1及び第2抵抗変化層12A2は共に、リセット状態にある。いま、記録部12に印加する電流Iを増加すると、第1抵抗変化層12A1のセット電流 I_{s_1} で、第1抵抗変化層12A1がセット状態に変化する。このとき第1抵抗変化層12A2は、リセット状態のままで変化しない。

[0047] さらに電流を増加すると、第2抵抗変化層12A2のセット電流 I_{s_2} で、第2抵抗変化層12A2がセット状態に変化する。このとき、第1抵抗変化層12A1は、セット状態のまま変化しない。

[0048] さらに電流を増加すると、第1抵抗変化層12A1のリセット電流 I_{r_1} で第1抵抗変化層12A1は、リセット状態に変化する。このとき、第2抵抗変化層12A2は、セット状態のまま、変化しない。

[0049] さらに電流を増加すると、第2抵抗変化層12A2のリセット電流 I_{r_2} で、第2抵抗変化層12A2が、リセット状態に変化する。このとき、第1抵抗変化層12A1は、リセット状

態のまま変化しない。

[0050] これにより、抵抗変化部12は、通電する電流Iの増加により、第1抵抗変化層12A1と第2抵抗変化層12A2のセット状態及びリセット状態の4通りの組み合わせに応じた4状態をとる。

[0051] つまり、 $I_{s1} < I < I_{s2}$ のとき、第1抵抗変化層12A1がセット状態であり、第2抵抗変化層12A2がリセット状態である。そして、 $I_{s2} < I < I_{r1}$ のとき、第1抵抗変化層12A1がセット状態であり、第2抵抗変化層12A2がセット状態である。また、 $I_{r1} < I < I_{r2}$ のとき、第1抵抗変化層12A1がリセット状態であり、第2抵抗変化層12A2がセット状態である。そして、 $I_{r2} < I$ のとき、第1抵抗変化層12A1がリセット状態であり、第2抵抗変化層12A2がリセット状態となる。

[0052] このとき、図5(b)に表したように、抵抗変化部12の抵抗は、

$$I_{s1} < I < I_{s2} \text{ のとき、} R = R_{s1} + R_{r2}$$

$$I_{s2} < I < I_{r1} \text{ のとき、} R = R_{s1} + R_{s2}$$

$$I_{r1} < I < I_{r2} \text{ のとき、} R = R_{r1} + R_{s2}$$

$$I_{r2} < I \text{ のとき、} R = R_{r1} + R_{r2}$$

となる。

[0053] さらに、抵抗変化部12に、 I_{s1} よりも小さい電流Iを通電することにより、第1抵抗変化層12A1及び第2抵抗変化層12A2の各状態を変化させることなく抵抗を読み出すことができる。従って、抵抗変化部12は、4値をとる不揮発性のメモリセルとして機能する。

[0054] そして、例えば、セット状態を”1”に、リセット状態を”0”に対応させると、第1抵抗変化層12A1と第2抵抗変化層12A2とからなる抵抗変化部12は、第1抵抗変化層12A1の状態を最下位ビット(LSB)とし、第2抵抗変化層12A2の状態を最上位ビット(MSB)とすると、状態”0”、”1”、”2”、”3”を有する、2ビットのメモリセルとして機能する。

[0055] また、第1抵抗変化層12A1及び第2抵抗変化層12A2の抵抗変化状態にそれぞれ中間的な状態が存在する場合には、さらに記録できる情報量を増加することができる。

- [0056] なお、前述の説明では、定電流を印加する場合について説明しているが、定電圧を印加する場合も同様であり、印加する電圧に応じて抵抗変化部12に2ビットの情報を、記録及び再生することができる。
- [0057] ただし、抵抗変化部12に定電圧を印加する場合は、第1抵抗変化層12A1及び第2抵抗変化層12A2のそれぞれには、それぞれの抵抗に比例配分された電圧がかかるため、抵抗変化部12の状態が変化する電圧は、図4に例示した第1抵抗変化層12A1及び第2抵抗変化層12A2のそれぞれのセット電圧、リセット電圧とは異なる。
- [0058] しかし、第1抵抗変化層12A1の特性と第2抵抗変化層12A2の特性とが互いに異なっていれば、図5に例示したように、記録部12の電流－電圧特性には、抵抗値が変化する4つの電圧値が存在する。
- [0059] すなわち、第1抵抗変化層12A1における異なる複数の状態どうしの間を遷移する電圧は、上記のセット電圧 V_{s1} 及びリセット電圧 V_{r1} を含む。そして、第2抵抗変化層12A2における異なる複数の状態どうしの間を遷移する電圧は、上記のセット電圧 V_{s2} 及びリセット電圧 V_{r2} を含む。
- そして、上記のセット電圧 V_{s1} 及びリセット電圧 V_{r1} と、上記のセット電圧 V_{s2} 、及びリセット電圧 V_{r2} と、が互いに異なる。
- [0060] 図6は、本発明の第1の実施形態に係る抵抗変化素子の特性を例示する別の模式図である。
- すなわち、同図は、本実施形態に係る抵抗変化素子の電流－電圧特性を例示しており、横軸は抵抗変化部12に印加される電圧であり、縦軸は抵抗変化部12に流れる電流を示す。なお、この図では、初期状態及びリセット状態が低抵抗状態であり、セット状態が高抵抗状態の場合として例示している。
- [0061] 図6に表したように、本実施形態に係る抵抗変化素子において、抵抗の変化する電圧が複数存在する。ここで、抵抗変化部12の抵抗が変化するそれぞれの電圧を、しきい値電圧 V_{sh} とし、電圧の低い方から順番に第1しきい値電圧 V_{sh1} 、第2しきい値電圧 V_{sh2} ・・・第Mしきい値電圧 V_{shM} とする。
- [0062] このとき、

$$V < V_{sh1} \quad \text{のとき、状態保持、または読み出し}$$

$V_{sh_1} < V < V_{sh_2}$ のとき、状態 "1"

$V_{sh_2} < V < V_{sh_3}$ のとき、状態 "2"

$V_{sh_3} < V < V_{sh_4}$ のとき、状態 "3"

$V_{sh_4} < V$ のとき、状態 "0"または消去

が可能となる。

このように、書き込み、消去及び読み出しは、電流パルス及び電圧パルスのいずれかによっても可能である。

[0063] なお、本実施形態に係る抵抗変化素子310において、例えば、第1抵抗変化層12A1が高抵抗状態HRから低抵抗状態LRに移行する場合、第1抵抗変化層12A1と第2抵抗変化層12A2の両者にかかっていた電圧が、ほぼ第1抵抗変化層12A2のみにかかることになる。その電圧が、第2抵抗変化層12A2が高抵抗状態HRから低抵抗状態LRに移行する電圧よりも大きい場合には、第2抵抗変化層12A2も同時に高抵抗状態HRから低抵抗状態LRに以降する場合が発生する。

[0064] 従って、抵抗変化素子310において安定した抵抗変化を発生させ、それを用いた情報記録再生装置を安定に動作させるためには、第1抵抗変化層12A1と第2抵抗変化層12A2の両者にかかっている電圧が、第2抵抗変化層12A2が高抵抗状態HRから低抵抗状態LRに移行する電圧よりも低いことが望ましい。

[0065] なお、例えば、第1及び第2抵抗変化層12A1、12A2を共に低抵抗状態LRにするためには、第1及び第2抵抗変化層12A1、12A2のそれぞれの高抵抗状態HRから低抵抗状態LRに移行する電圧よりも大きい電圧を、第1及び第2抵抗変化層12A1、12A2のそれぞれに印加することにより行うことができる。実際には、第1及び第2抵抗変化層12A1、12A2それぞれの高抵抗状態HRから低抵抗状態LRに移行する電圧の合計の電圧を印加すれば良いので、この動作は一括して行うことができる。

[0066] 第1抵抗変化層12A1のセット電圧及びリセット電圧(V_{s_1} 、 V_{r_1})、並びに、第2抵抗変化層12A2のセット電圧及びリセット電圧(V_{s_2} 、 V_{r_2})は、主に、これらの抵抗変化層に用いられる材料、結晶性、配向性、そして、これらと接する層、例えば、電極(下部電極11及び上部電極13A)に用いられる、並びに、後述する分離層及びイオン格納層に用いられる材料などによって決定される。なお、第1抵抗変化層12A1及び第

2抵抗変化層12A2に用いられる材料へ、ある特定の元素を特定濃度添加することによっても可能である。

[0067] 一方、第1抵抗変化層12A1及び第2抵抗変化層12A2における電流－電圧特性の傾き、すなわち、オンとオフとの電気抵抗は、第1抵抗変化層12A1及び第2抵抗変化層12A2における層厚、もしくは、膜厚、及び、これらの層において電流が流れる方向に対して垂直な面積によって決まる。従って、第1抵抗変化層12Aと第2抵抗変化層の層厚、及び、積層方向に対して垂直方向の面積を制御することで、第1抵抗変化層12A1の複数の抵抗(R_{s_1} 、 R_{r_1})、及び、第2抵抗変化層12A2の複数の抵抗(R_{s_2} 、 R_{r_2})を所望の値に設定することができる。

[0068] さらに、本実施形態に係る抵抗変化素子310においては、抵抗変化素子310が複数の抵抗変化層を有するため、抵抗変化素子310としての電気抵抗は、1つの抵抗変化層を用いる場合より高くすることができる。抵抗が高い場合には同じ電圧を印加した場合、電流値は低く抑えられる。従って、本実施形態に係る抵抗変化素子310は、これを用いた情報記録再生装置の低消費電力化につながる。このように、本実施形態に係る抵抗変化素子は、多値記録が可能であると同時に、これを用いた情報記録再生装置の消費電力を低減することができる。

[0069] 本実施形態に係る抵抗変化素子310において、抵抗変化部12が異なる組成を有する複数の抵抗変化層(例えば第1抵抗変化層12A1及び第2抵抗変化層12A2)を有し、そして、例えば、図6に例示した電流－電圧特性を示した場合、すなわち、抵抗が変化するしきい値電圧が複数観測された場合、そのしきい値電圧のそれぞれは、それぞれの抵抗変化層のセット電圧及びリセット電圧の少なくともいずれかが異なることに起因する。

[0070] すなわち、図6に例示した第1～第4しきい値電圧 $V_{sh_1} \sim V_{sh_4}$ のそれぞれは、図5に例示した第1抵抗変化層12A1のセット電圧 V_{s_1} 及びリセット電圧 V_{r_1} 、並びに、第2抵抗変化層12A2のセット電圧 V_{s_2} 及びリセット電圧 V_{r_2} とは、一致しないが、セット電圧 V_{s_1} 及びリセット電圧 V_{r_1} 、並びに、セット電圧 V_{s_2} 及びリセット電圧 V_{r_2} が互いに異なることによって、形成される。

[0071] このように、本実施形態に係る抵抗変化素子310によれば、多値記録を可能とする

抵抗変化素子が提供できる。

- [0072] 上記の具体例では、第1抵抗変化層12A1のセット電圧 V_{s1} 及びリセット電圧 V_{r1} と、第2抵抗変化層12A2のセット電圧 V_{s2} 及びリセット電圧 V_{r2} と、が互いに異なる例を説明したが、本発明は、これに限らず第1抵抗変化層12A1のセット電圧 V_{s1} 及びリセット電圧 V_{r1} と、第2抵抗変化層12A2のセット電圧 V_{s2} 及びリセット電圧 V_{r2} と、の少なくともいずれかが異なっていれば、2値よりも多い多値の記録が可能であり、それでも良い。

本実施形態に係る抵抗変化素子310の抵抗変化部12、下部電極11及び上部電極13Aに用いられる材料については後述する。

- [0073] (実施例1)

本実施形態の抵抗変化素子310に係る第1の実施例の抵抗変化素子(310a)を作製した。

本実施例では、下部電極11にはTiNが用いた。また、第1抵抗変化層12A1には、 Mn_3O_4 にメタルのMnを10%程度分散させた膜を用い、膜厚は20nmとした。第2抵抗変化層12A2には、 Mn_3O_4 に、 MnO_2 を10%程度分散させた膜を用い、膜厚は20nmとした。上部電極13Aとしては、Ptを用いた。

- [0074] そして、抵抗変化素子310aのリセット(消去)状態とセット(書き込み)状態との抵抗差を評価する。抵抗差の評価においては、後述するプローブメモリの構成を用いる。このとき、先端の径が10nm以下に先鋭化されたプローブ対を使用する。

なお、本実施例においては、下部電極11の上に第1抵抗変化層12A1及び第2抵抗変化層12A2が積層され、その上に保護層13Bが形成されている。

そして、プローブ対を保護層13Bに接触させ、書き込み／消去は、そのうち1つを用いて実行する。書き込みは、抵抗変化素子310aに、例えば、10nsec幅で、1Vの電圧パルスを印加することにより行う。また消去は、抵抗変化素子310aに、例えば、100nsec幅で、0.2Vの電圧パルスを印加することにより行う。なお、半導体パラメータアナライザのようにDC的な評価も可能である。

- [0075] また、書き込み／消去の合間に、プローブ対の他の1つを用いて読み出しを実行する。読み出しは、抵抗変化素子310aに、例えば、10nsec幅で、0.1Vの電圧パルス

を印加し、抵抗変化素子310aの抵抗値を測定することにより行う。

[0076] 図7は、本発明の第1の実施例に係る抵抗変化素子の特性を例示するグラフ図である。すなわち、同図は、抵抗変化素子310aにパルス電圧を徐々に増加させつつ印加したときの電圧－電流特性である。横軸は電圧であり、縦軸は電流である。

[0077] 図7に表したように、抵抗変化素子310aにおいては、抵抗の異なる4つの電圧が観測された。すなわち、約0.6V、約1.25V、約1.45V及び約1.65Vの4つの電圧である。なお、本具体例では、初期状態が高抵抗状態であり、セットすることにより低抵抗状態となり、リセットすることにより高抵抗状態になる例である。初期状態が高抵抗状態であるときに、セットすることにより低抵抗状態するプロセスは、フォーミングと呼ぶこともある。

[0078] このように、本実施例の抵抗変化素子310aは抵抗が異なる状態に移行する4つの電圧を有しており、多値記録を可能とする抵抗変化素子が提供できる。

[0079] また、この結果から、抵抗変化部12を構成する第1抵抗変化層12A1及び第2抵抗変化層12A2のそれぞれのセット電圧及びリセット電圧を求めると表1のようになった。このとき、それぞれの層の電気抵抗率、セット、リセット電圧をパラメータとして、フィッティングによってのようにして算出した。

[0080] ただし、第1抵抗変化層12A1及び第2抵抗変化層12A2が積層された抵抗変化部12の電気的特性を測定した結果からは、それぞれの抵抗変化層のセット電圧及びリセット電圧がいずれの抵抗変化層のものであるかは判別できないが、いずれかの抵抗変化層のものであるので、仮にどちらかの抵抗変化層のものであるとして割り当てた。

[0081] [表1]

	リセット電圧[V]	セット電圧[V]
第1抵抗変化層	0.59	1.45
第2抵抗変化層	1.25	1.65

表1に表したように、第1抵抗変化層12A1においては、リセット電圧は0.59Vであり、セット電圧は1.45Vである。一方、第2抵抗変化層12A2においては、リセット電圧は1.25Vであり、セット電圧は1.65Vである。このように、本実施例に係る抵抗変化素子310aでは、抵抗変化部12の第1抵抗変化層12A1と第2抵抗変化層12A2とで、リセット電圧及びセット電圧が異なる。

[0082] これにより、図7に例示したように、抵抗変化素子310aでは、4種の異なる抵抗状態に変化する4つの電圧が現れる。

[0083] これにより、本実施例の抵抗変化素子310aは、4値の異なる抵抗状態を有する多値メモリとして使用できる。

[0084] なお、図7及び表1に示した特性は、ユニポーラ動作の場合の特性の一例である。バイポーラ動作では、異なる抵抗値となる電圧の値がユニポーラ動作の場合と異なるが、バイポーラ動作も可能である。

[0085] なお、第1抵抗変化層12A1及び第2抵抗変化層12A2の各層間の成膜は、それぞれ独立に行う。

また、下部電極11の成膜と第1抵抗変化層12A1の成膜は、真空中で連続して行うことが必ずしも必要ないことから、下部電極11となるTiN上に、自然酸化膜、すなわち TiO_x ($1 \leq x \leq 2$)があっても良い。

[0086] このように、自然酸化膜等がある場合には、第1抵抗変化層12A1や第2抵抗変化層12A2と他の膜との界面の組成は、上記の組成から若干ずれる。

[0087] ここで、第1抵抗変化層12A1として用いた Mn_3O_4 にメタルのMnを10%程度分散させた膜は、 Mn_3O_4 に MnO_2 を20%程度分散させた膜で代用することもできる。また、 Mn_3O_4 にメタルのMnを5%程度分散させた膜で代用することができる。さらに、 Mn_3O_4 に MnO_2 を10%程度分散させた膜で代用すること等も可能である。

[0088] (実施例2)

本実施形態に係る第2の実施例の抵抗変化素子(310b)では、第1抵抗変化層12A1には、厚さ20nmの $\text{Zn}_{1.1}\text{Mn}_{1.9}\text{O}_4$ を用い、第2抵抗変化層12A2には、厚さ50nmのNiOを用い、下部電極11にはTiNを用い、上部電極13AにはPtを用いている。なお、NiOは、正確には $\text{NiO}_{1-\delta}$ ($0 \leq \delta \leq 1$)と記され、Niと酸素Oの比は1対1から

若干ずれる場合もある。

[0089] 表2に、第2の実施例の抵抗変化膜310bも図7に例示したのと同様に、異なる4つの抵抗状態を有する電圧－電流特性を示した。これにより、本実施例の抵抗変化素子310bも4値の異なる抵抗状態を有する多値メモリとして使用できる。

[0090] そして、その結果から第1抵抗変化層12A1及び第2抵抗変化層12A2それぞれのリセット電圧及びセット電圧を求めた。その結果を表2に示す。

[0091] [表2]

	リセット電圧[V]	セット電圧[V]
第1抵抗変化層	0.60	1.7
第2抵抗変化層	1.6	2.05

表2に表したように、第2の実施例の抵抗変化素子310bでは、第1抵抗変化層12A1においては、リセット電圧が0.6Vであり、セット電圧が1.7Vであった。そして、第2抵抗変化層12A2においては、リセット電圧が1.6Vであり、セット電圧が2.05Vであった。

[0092] このように、本実施例の抵抗変化素子310bにおいては、第1抵抗変化層12A1と第2抵抗変化層12A2のそれぞれでリセット電圧とセット電圧が異なり、その結果、4つの抵抗状態を遷移するしきい値電圧が存在し、これにより、4値の異なる状態を有する多値メモリとして使用できる。

[0093] 本実施例においては、第1及び第2抵抗変化層12A1及び12A2の厚さが、20nmと50nmとの組み合わせである場合を示したが、これらは5nm以上、50nm以下の範囲で好適であり、これにより、本実施形態に係る抵抗変化素子を用いた情報記録再生装置の特性を良好にすることができる。

[0094] (実施例3)

本実施形態に係る第3の実施例の抵抗変化素子(310c)では、第1抵抗変化層12A1には、厚さが30nmで、微結晶グラファイトとアモルファスカーボンの1:1の混合体

が用いられる。第2抵抗変化層12A2には、厚さが30nmで、微結晶グラファイトとアモルファスカーボンの2:1の混合体が用いられる。下部電極11及び上部電極13Aには共にTiNが用いられる。微結晶グラファイトとアモルファスカーボンの混合体同士は、例えば1000℃以上など、通常の使用環境にて経験し得ない温度まで加熱する場合を除いては、ほとんど反応することは無く、その状態が保持される。

[0095] 本実施例の抵抗変化素子310cも図7に例示したのと同様に、異なる4つの抵抗状態を有する電圧－電流特性を示した。これにより、本実施例の抵抗変化素子310cも4値の異なる抵抗状態を有する多値メモリとして使用できる。

[0096] そして、その結果から第1抵抗変化層12A1及び第2抵抗変化層12A2それぞれのリセット電圧及びセット電圧を求めた。その結果を表3に示す。

[0097] [表3]

	リセット電圧[V]	セット電圧[V]
第1抵抗変化層	0.4	1.2
第2抵抗変化層	1.4	1.9

表3に表したように、本実施例の抵抗変化素子310cでは、第1抵抗変化層12A1においては、リセット電圧が0.4Vであり、セット電圧が1.2Vであった。そして、第2抵抗変化層12A2においては、リセット電圧が1.4Vであり、セット電圧が1.9Vであった。

[0098] このように、本実施例の抵抗変化素子310cにおいては、第1抵抗変化層12A1と第2抵抗変化層12A2のそれぞれでリセット電圧とセット電圧が異なり、その結果、4つの抵抗状態を遷移するしきい値電圧が存在し、これにより、4値の異なる状態を有する多値メモリとして使用できる。

[0099] 本実施例においては、第1及び第2抵抗変化層12A1及び12A2の厚さが、30nmと30nmとの組み合わせである場合を示したが、これらは5nm以上、50nm以下の範囲で好適であり、これにより、本実施形態に係る抵抗変化素子を用いた情報記録再

生装置の特性を良好にすることができる。

[0100] なお、微結晶グラファイトとアモルファスカーボンの混合体において、その混合比はさまざまな方法にて測定することができる。例えば、ラマン分光により、D-バンドとG-バンドとのピークの比、もしくは面積強度の比を比較することにより、断面TEMの探察により、電子スピン共鳴(ESR)により、X線光電子分光法(XPS)により、もしくは電子線エネルギー損失分光法(EELS)などにより求めることができる。また、電気抵抗率の温度変化を測定することにより、その電気抵抗率の絶対値と温度係数とからも、微結晶グラファイトとアモルファスカーボンとの混合比を見積もることができる。

[0101] 微結晶グラファイトとアモルファスカーボンの混合体の電気抵抗率は、 $10^{-4} \Omega \text{cm}$ から $10^2 \Omega \text{cm}$ の間で可変させた。微結晶グラファイトとアモルファスカーボンの混合体の電気抵抗率は、微結晶グラファイトとアモルファスカーボンの混合比のみに依存するのではなく、微結晶グラファイトの結晶粒径、およびその黒鉛化度にも依存する。微結晶グラファイトの結晶粒径は、いわゆる面内方向とc軸方向の違いでも電気抵抗率への寄与が異なる。一般的にはグラファイトの面内方向への電気抵抗率は、c軸方向のそれと比較すると低い。そのため、面内方向の結晶粒径 L_a が大きく、その方向への電流のパスが多い場合には、電気抵抗率は下がる傾向にある。一方で、面内方向の結晶粒径があまり成長していないが、c軸方向への積層構造は保たれ、c軸方向の結晶粒径 L_c としては大きい場合には、この方向に電流のパスが多い場合でも物質としての電気抵抗率はそれほど下らない。

[0102] 微結晶グラファイトの結晶粒径としては、5nm以下、より好適には2nm以下が望ましい。

[0103] 微結晶グラファイトとアモルファス・カーボンの混合体の製造方法としては、炭化水素系、例えば CH_4 、 C_3H_6 などのガスを反応ガスに用いるCVD法、もしくはグラファイト(黒鉛)のスパッタリング・ターゲットを用いたスパッタ法などが好適はである。これらの成膜条件を可変させることで、混合体の組織(微結晶グラファイトとアモルファスカーボンの比や結晶構造等)、電気抵抗率を可変することができる。

[0104] 特に成膜時の温度に敏感であり、 400°C 、 500°C 、 600°C と温度を上げてくほど、グラファイト成分が多くなる。一方で成膜速度が速い場合には、グラファイト成分は多

くなり難い。CVD法を用いる場合には、膜中に反応ガス成分の水素が残留することがあるが、その量は15原子パーセント(原子百分率)程度まで及ぶことも珍しくない。この場合でも本発明の趣旨を逸脱するものではない。

[0105] また、グラファイトのその結晶構造の異方性から、グラファイトの層(2次元グラファイト、もしくはグラフェンなどとも呼ばれる)と層の間に様々な原子、分子を含有できる。これらはグラファイト層間化合物(GIC)として知られている。上記の水素および以下に述べる窒素、ボロン(B)等の成分以外にも添加することが可能である。いわゆる、炭素はグラファイトやアモルファスカーボン(無定形炭素)以外も、ダイヤモンド、またはダイアモンド・ライク・カーボン(DLC)、フラーレン、カーボン・ナノ・チューブ(CNT)など様々な形態をとることができる。これらが微量含まれていても本発明の範囲を逸脱するものではない。

[0106] (実施例4)

本実施形態に係る第4の実施例の抵抗変化膜(310d)では、第1抵抗変化層12A1には、厚さが0nmで、微結晶グラファイトとアモルファス・カーボンの1:1の混合体を用いられる。第2抵抗変化層12A2には、厚さが30nmで、窒素が2原子パーセント添加された微結晶グラファイトとアモルファス・カーボンの1:1の混合体を用いられる。下部電極11及び上部電極13Aには共にTiNが用いられる。

[0107] 本実施例の抵抗変化膜310dも図7に例示したのと同様に、異なる4つの抵抗状態を有する電圧－電流特性を示した。これにより、本実施例の抵抗変化素子310dも4値の異なる抵抗状態を有する多値メモリとして使用できる。

[0108] そして、その結果から第1抵抗変化層12A1及び第2抵抗変化層12A2それぞれのリセット電圧及びセット電圧を求めた。その結果を表4に示す。

[0109] [表4]

	リセット電圧[V]	セット電圧[V]
第1抵抗変化層	0.4	1.1
第2抵抗変化層	1.4	1.8

表4に表したように、本実施例の抵抗変化素子310dでは、第1抵抗変化層12A1においては、リセット電圧が0.4Vであり、セット電圧が1.1Vであった。そして、第2抵抗変化層12A2においては、リセット電圧が1.4Vであり、セット電圧が1.8Vであった。

[0110] このように、本実施例の抵抗変化素子310dにおいては、第1抵抗変化層12A1と第2抵抗変化層12A2のそれぞれでリセット電圧とセット電圧が異なり、その結果、4つの抵抗状態を遷移するしきい値電圧が存在し、これにより、4値の異なる状態を有する多値メモリとして使用できる。

[0111] 本実施例においては、第1及び第2抵抗変化層12A1及び12A2の厚さが、40nmと30nmとの組み合わせである場合を示したが、これらは5nm以上、50nm以下の範囲で好適であり、これにより、本実施形態に係る抵抗変化素子を用いた情報記録再生装置の特性を良好にすることができる。

[0112] (実施例5)

本実施形態に係る第5の実施例の抵抗変化膜(310e)では、第1抵抗変化層12A1には、厚さが40nmで、微結晶グラファイトとアモルファスカーボンの1:1の混合体を用いられる。第2抵抗変化層12A2には、厚さが30nmで、窒素が2原子パーセントで添加された微結晶グラファイトとアモルファスカーボンの1:1の混合体を用いられる。下部電極11及び上部電極13Aには共にTiNが用いられる。

[0113] 本実施例の抵抗変化膜310eも図7に例示したのと同様に、異なる4つの抵抗状態を有する電圧－電流特性を示した。これにより、本実施例の抵抗変化素子310eも4値の異なる抵抗状態を有する多値メモリとして使用できる。

[0114] そして、その結果から第1抵抗変化層12A1及び第2抵抗変化層12A2それぞれのリセット電圧及びセット電圧を求めた。その結果を表5に示す。

[0115] [表5]

	リセット電圧[V]	セット電圧[V]
第1抵抗変化層	0.4	1.1
第2抵抗変化層	1.3	2.0

表5に表したように、本実施例の抵抗変化素子310eでは、第1抵抗変化層12A1においては、リセット電圧が0.4Vであり、セット電圧が1.1Vであった。そして、第2抵抗変化層12A2においては、リセット電圧が1.3Vであり、セット電圧が2.0Vであった。

[0116] このように、本実施例の抵抗変化素子310eにおいては、第1抵抗変化層12A1と第2抵抗変化層12A2のそれぞれでリセット電圧とセット電圧が異なり、その結果、4つの抵抗状態を遷移するしきい値電圧が存在し、これにより、4値の異なる状態を有する多値メモリとして使用できる。

[0117] 本実施例においては、第1及び第2抵抗変化層12A1及び12A2の厚さが、40nmと30nmとの組み合わせである場合を示したが、これらは5nm以上、50nm以下の範囲で好適であり、これにより、本実施形態に係る抵抗変化素子を用いた情報記録再生装置の特性を良好にすることができる。

[0118] (実施例6)

本実施形態に係る第6の実施例の抵抗変化膜(310f)では、第1抵抗変化層12A1には、厚さが40nmで、微結晶グラファイトとアモルファスカーボンの1:1の混合体がいられる。第2抵抗変化層12A2には、厚さが40nmで、ボロン(B)が3原子パーセントで添加された微結晶グラファイトとアモルファスカーボンの2:1の混合体がいられる。下部電極11及び上部電極13Aには、共にTiNがいられる。

[0119] 本実施例の抵抗変化膜310fも図7に例示したのと同様に、異なる4つの抵抗状態を有する電圧－電流特性を示した。これにより、本実施例の抵抗変化素子310fも4値の異なる抵抗状態を有する多値メモリとして使用できる。

[0120] そして、その結果から第1抵抗変化層12A1及び第2抵抗変化層12A2それぞれの

リセット電圧及びセット電圧を求めた。その結果を表6に示す。

[0121] [表6]

	リセット電圧[V]	セット電圧[V]
第1抵抗変化層	0.4	1.1
第2抵抗変化層	1.4	1.8

表6に表したように、本実施例の抵抗変化素子310fでは、第1抵抗変化層12A1においては、リセット電圧が0.4Vであり、セット電圧が1.1Vであった。そして、第2抵抗変化層12A2においては、リセット電圧が1.4Vであり、セット電圧が1.8Vであった。

[0122] このように、本実施例の抵抗変化素子310fにおいては、第1抵抗変化層12A1と第2抵抗変化層12A2のそれぞれでリセット電圧とセット電圧が異なり、その結果、4つの抵抗状態を遷移するしきい値電圧が存在し、これにより、4値の異なる状態を有する多値メモリとして使用できる。

[0123] 本実施例においては、第1及び第2抵抗変化層12A1及び12A2の厚さが、40nmと40nmとの組み合わせである場合を示したが、これらは5nm以上、50nm以下の範囲で好適であり、これにより、本実施形態に係る抵抗変化素子を用いた情報記録再生装置の特性を良好にすることができる。

[0124] (第1の比較例)

第1の比較例の抵抗変化素子においては、抵抗変化部12が1種類の材料で構成されている。すなわち、抵抗変化層12が、厚さ20nmの $\text{Mn}_{1.9}\text{O}_3$ のみの材料で構成される。これに以外は、第1の実施例の抵抗変化素子310aと同様である。

[0125] このような第1の比較例の抵抗変化素子においては、ユニポーラ動作時のリセット電圧は約+0.5Vであり、セット電圧は約+1.5Vであった。バイポーラ動作時のリセット電圧は約+0.5Vであり、セット電圧は約-0.5Vであったが、繰り返し通電サイクルにおける特性の安定性が悪く、どの素子も数百回程度で上記の動作ができなく

なってしまった。そして、1つの抵抗変化素子に多値の情報を記録、再生することはできなかった。

[0126] (第2の実施の形態)

図8は、本発明の第2の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図8に表したように、本発明の第2の実施形態に係る抵抗変化素子320においては、下部電極11の上に第1抵抗変化層12A1、第2抵抗変化層12A2・・・第N抵抗変化層12ANが順次積層され、さらに最上層の第N抵抗変化層12ANの上に、上部電極13Aを積層した構造を有する。ここで、Nは2以上の整数である。

[0127] すなわち、抵抗変化素子320においては、抵抗変化部12が、組成が互いに異なり、電気的特性が互いに異なる複数の抵抗変化層を有する。

すなわち、第1抵抗変化層12A1、第2抵抗変化層12A2・・・第N抵抗変化層12ANは、それぞれ異なる組成で構成される。そして、第1抵抗変化層12A1、第2抵抗変化層12A2・・・第N抵抗変化層12ANは、それぞれ抵抗変化層であり、それぞれのセット電圧 V_{s_i} 、セット電流 I_{s_i} 、及び、リセット電圧 V_{r_i} ($i=1\sim N$)は、互いに異なる。

[0128] 本実施形態に係る抵抗変化素子320は、それぞれの特性が異なるN層の抵抗変化層を有することから、 2^N の異なる状態を有する。そして、例えば、最下層の第1抵抗変化層12A1の状態をLSBとし、最上層の第N抵抗変化層12ANの状態をMSBとして、Nビットのメモリセルとして機能する。

[0129] このように、本実施形態に係る抵抗変化素子320においては、抵抗変化部12が、組成異なり、電気的特性が異なる、任意の複数の抵抗変化層を有することができる。

[0130] (第3の実施の形態)

図9は、本発明の第3の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図9に表したように、本発明の第3の実施形態に係る抵抗変化素子330においては、第1抵抗変化層12A1と、第2抵抗変化層12A2が設けられ、それらの間に層間分離層(分離層)12C1が設けられている。これ以外は、抵抗変化素子310と同様とすることができるので説明を省略する。

- [0131] 層間分離層12C1には、第1抵抗変化層12A1及び第2抵抗変化層12A2に用いられる在留尾とは異なる材料を用いることができる。層間分離層12C1には、例えば、各種の金属膜を用いることができる。
- [0132] 本実施形態に係る抵抗変化素子330においては、第1抵抗変化層12A1と第2抵抗変化層12A2との間に層間分離層12C1が設けられるので、第1抵抗変化層12A1と第2抵抗変化層12A2との間の元素の拡散を抑制することができる。これにより、耐熱性や耐環境性、そして書き換え耐久性が高くなるという効果がある。
- [0133] また、抵抗変化部12の結晶性が向上し、素子間のばらつきやロット間のばらつきも大幅に低減できる。
- [0134] そして、安定した書き換え動作の回数を増大させる。これは書き換え動作時に抵抗変化部12と他の層との間の元素の拡散、抵抗変化部12の内部での偏析等の原子レベルでの変化を非常に小さくするか、それぞれが相殺する方向に働かせる効果である。
- [0135] このように、本実施形態に係る抵抗変化素子330によれば、多値記録を可能とし、性能が安定し、書き換え回数の高い抵抗変化素子が提供できる。
- [0136] (実施例7)
- 本実施形態に係る第7の実施例の抵抗変化素子330aを作製した。本実施例では、下部電極11、第1抵抗変化層12A1、第2抵抗変化層12A2及び上部電極13Aは、第2の実施例の抵抗変化素子310bと同じ構成とした。そして、第1抵抗変化層12A1と第2抵抗変化層12A2との間の層間分離層12C1として、ZnOにAlを6原子パーセント添加した膜を2nmの厚さで形成した。
- [0137] このようにして作製された本実施例の抵抗変化素子330aの特性は、第2の実施例の抵抗変化素子310bの第1～第4のしきい値電圧と実質的に同じである。
- [0138] 図10は、本発明の第3の実施形態に係る別の抵抗変化素子の構成を例示する模式的断面図である。
- 図10に表したように、本発明の第3の実施形態に係る別の抵抗変化素子331においては、抵抗変化部12が3つ以上の抵抗変化層を有しており、それぞれの抵抗変化層の間に、上記で説明した層間分離層が設けられている。

[0139] すなわち、抵抗変化素子311の抵抗変化部12は、第1抵抗変化層12A1、第2抵抗変化層12A2・・・第N抵抗変化層12ANが設けられ、それぞれの間に、第1層間分離層12C1、第2層間分離層12C2・・・第(N-1)層間分離層12C(N-1)が設けられている。

[0140] これにより、それぞれの抵抗変化層(の第1抵抗変化層12A1～第N抵抗変化層12AN)のそれぞれの間の元素の拡散を抑制することができる。これにより、耐熱性や耐環境性、そして書き換え耐久性が高くなるという効果がある。

[0141] また、抵抗変化部12の各層の結晶性が向上し、素子間のばらつきやロット間のばらつきも大幅に低減できる。

[0142] このように、本実施形態に係る別の抵抗変化素子331によれば、さらにビット数の高い多値記録を可能とし、性能が安定し、書き換え回数の高い抵抗変化素子が提供できる。

[0143] (第4の実施の形態)

図11は、本発明の第4の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図11に表したように、本発明の第4の実施形態に係る抵抗変化素子340は、上記の抵抗変化素子330において、下部電極11と第1抵抗変化層12A1との間に、電極側分離層12C0が設けられている。

[0144] このように、下部電極11と第1抵抗変化層12A1との間に電極側分離層(分離層)12C0を設けることにより、下部電極11と第1抵抗変化層12A1との間の元素の拡散が防止でき、耐熱性や耐環境性、そして書き換え耐久性を高くすることができる。

[0145] なお、上記の層間分離層(第1層間分離層12C1～第N層間分離層12CN)及び電極側分離層12C0を合わせて、分離層12Cと言う。

[0146] (実施例8)

本発明の第4の実施形態の第8の実施例の抵抗変化素子340aを作製した。このとき、電極側分離層12C0には、 SnO_2 に Sb_2O_3 を5原子パーセントで添加した材料を用いた。それ以外は、第7の実施例の抵抗変化素子330aと同様とする。

[0147] すなわち第1抵抗変化層12A2には、厚さ20nmの $\text{Zn}_{1.1}\text{Mn}_{1.9}\text{O}_4$ を用い、第2抵

抗変化層12A2には、厚さ50nmのNiOを用い、下部電極11にはTiNを用い、上部電極13AにはPtを用いる。

[0148] このような構成の抵抗変化素子340aのリセット電圧及びセット電圧は、表2と同様であり、互いに異なる。従って、実施例1～7と同様に、いわゆる多値の情報を記録、再生することができる。

[0149] (実施例9)

本発明の第4の実施形態に係る第9の実施例として各種の構成の抵抗変化素子を作製した。

すなわち、下部電極11にはTiNを用い、第1抵抗変化層12A1には、 Mn_3O_4 にメタルのMnを分散させた膜さ20nmの膜を用い、第2抵抗変化層12A2には、 Mn_3O_4 に MnO_2 を分散させた厚さ20nmの膜を用い、上部電極13AにはPtを用いた。この際、 Mn_3O_4 に分散させるメタルのMnの比率、及び、 Mn_3O_4 に分散させる MnO_2 の比率を変えた試料を作成した。

[0150] また、層間分離層12C1及び分離層12C0には、厚さ1nmの TiO_s ($1 \leq s \leq 2$)と SnO_2 の混合膜を用いた。そして、層間分離層12C1及び分離層12C0として、 ZnO と Al_2O_3 の混合膜(ZnO にAlをドーピングしたものとも言える)、 ZnO と Ga_2O_3 の混合膜(これは ZnO にGaをドーピングしたものとも言える)、 SnO_2 に Nb_2O_5 を混合した膜、 SnO_2 に Ta_2O_5 を混合した膜、 SnO_2 に Sb_2O_3 を混合した膜、 In_2O_3 に ZnO を混合した膜、 IrO_2 とIrとを混合した膜、 RuO_2 とRuとを混合した膜が用いられた。

[0151] これらの第1及び第2抵抗変化層のリセット電圧及びセット電圧の測定結果を、表7に示す。

[0152] [表7]

No.	第1抵抗変化層		第2抵抗変化層	
	リセット電圧[V]	セット電圧[V]	リセット電圧[V]	セット電圧[V]
1	0.59	1.71	1.5	2.1
2	0.585	1.71	1.49	2.2
3	0.593	1.69	1.49	2.15
4	0.588	1.72	1.51	2.3
5	0.592	1.68	1.49	2.4
6	0.595	1.68	1.48	2.3
7	0.576	1.73	1.49	2.2
8	0.587	1.67	1.49	2.18
9	0.599	1.68	1.52	2.19
10	0.579	1.73	1.55	2.5
11	0.592	1.72	1.52	2.13
12	0.59	1.73	1.49	2.24
13	0.589	1.69	1.52	2.31
14	0.592	1.72	1.53	2.22

表7に表したように、各試料において、各抵抗変化層のリセット電圧及びセット電圧として、それぞれ異なる値が測定された。

[0153] 上記において、 Mn_3O_4 に分散させる金属のMnの比率、及び、 Mn_3O_4 に分散させる MnO_2 の比率や分散状態等を制御し、また、用いる層間分離層12C1及び分離層12C0の材料を変えることで、抵抗変化素子の各抵抗変化層のリセット電圧及びセット電圧が制御される。また、各抵抗変化層のそれぞれの層厚も、表7に例示したようにリセット電圧及びセット電圧が所定の範囲に入るように適正な値に制御されている。

[0154] 表7に示した試料1～試料14においても、例えば第1の実施例の抵抗変化素子310aと同様に、多値の記録が可能であり、再生も可能であった。

[0155] 本実施例の結果からも、層間分離層12C1及び分離層12C0を用いることによって第1抵抗変化層12A1と第2抵抗変化層12A2との間、及び、第1抵抗変化層12A1

と下部電極11との間における元素の拡散が比較的小さくなり、耐熱性や耐環境性、そして書き換え耐久性が高くなることが確認される。また、これと同時に、第1抵抗変化層12A1及び第2抵抗変化層12A2における結晶性が向上し、素子間のばらつき、ロット間のばらつきも大幅に低減できた。

[0156] どの抵抗変化素子も数千回以上の安定した書き換え動作が観測され、さらにそれ以上の回数の書き換えも可能であった。

[0157] これは、書き換え動作時に抵抗変化層と他の層との間の元素の拡散や、抵抗変化層の内部での偏析等の原子レベルでの変化が非常に小さいか、それぞれが相殺する方向に働くことを意味している。

[0158] そして、そのときの動作電圧の変化も、試料ごとのばらつきや測定誤差の範囲内であり、変動が非常に小さいことから、書き換え動作時に抵抗変化層と他の層との間の元素の拡散や、抵抗変化層の内部での偏析等が小さいと推定される。書き換え動作の繰り返しサイクル特性は、いずれの抵抗変化素子も1000回以上であり、データ・リテンションも良好であった。

[0159] 以上説明した実施例の抵抗変化素子の評価結果から、第1抵抗変化層12A1及び第2抵抗変化層12A2のいずれか一方のリセット電圧と、いずれか他方のセット電圧と、の差は、繰り返し動作におけるばらつきや、抵抗変化素子間のばらつきや、さらには、パルス動作のときにはリングング等のノイズ成分の大きさ等にも依存するが、発明者が実施した例の範囲では、0.1V以上が望ましい。

さらに、0.2V以上であると、さらに望ましい。

[0160] また、層間分離層12C1及び分離層12C0の膜厚は、0.5nm以上で効果を発揮する。すなわち、50nm以上では層間分離層12C1及び分離層12C0に接している抵抗変化層(第1抵抗変化層12A1及び第2抵抗変化層12A2)の状態を変化させてしまう。製造上の要求からも、層間分離層12C1及び分離層12C0の膜厚は、あまり厚くすることは望ましく、1～5nm程度が最も好適で、10～20nm程度であるならば、特に製造上差異は無かった。

[0161] 従って、層間分離層12C1及び分離層12C0の厚さは、0.5nm以上、50nm以下が好適である。

[0162] 上記の実施例では、第1抵抗変化層12A1と第2抵抗変化層12A2の厚さが20nmと50nmの組み合わせの場合を例示したが、これらは5nm以上、50nm以下の範囲で好適な情報記録再生装置とすることができる。

[0163] (第2の比較例)

実施例9と同様な構成で、抵抗変化部12の第1抵抗変化層12A1及び第2抵抗変化層12A2のリセット電圧が0.5Vで同じで、抵抗変化部12の第1抵抗変化層12A1及び第2抵抗変化層12A2のセット電圧が1.8Vで同じ構成の試料を評価した。この場合には当然ながら抵抗変化部12のリセット電圧は、約+0.5Vで、リセット電圧は、約+1.8Vであった。また、多値の情報を記録、再生することはできなかった。

[0164] 以上、説明したように、第1～9の実施例のいずれにおいても、情報記録再生装置として、記録膜の特性を制御することで、多値の情報を記録、再生することができた。また、従来よりも低消費電力化を達成でき、かつサイクル特性を見ても、本実施例が格段に優れていた。

[0165] 図12は、本発明の第4の実施形態に係る別の抵抗変化素子の構成を例示する模式的断面図である。

図12に表したように、本発明の第4の実施形態に係る別の抵抗変化素子341では、抵抗変化部12がN個の抵抗変化層(第1～第N抵抗変化12A1～12AN)で構成され、それぞれの抵抗変化層の間に層間分離層12C1～12C(N-1)が設けられ、抵抗変化部12と下部電極11との間に分離層12C0が設けられ、抵抗変化部12と上部電極13Aとの間に分離層12CNが設けられている。

[0166] このように、任意のN個の抵抗変化層の間に層間分離層を設けることができる。なお、N個の抵抗変化層のそれぞれの間の全てに層間分離層を設けなくても良く、任意の箇所に設けても良い。

[0167] また、下部電極11及び上部電極13のいずれかの間に分離層を設けることができる。ここで、第1～第Nの層間分離層12C1～12C(N-1)を総称して、層間分離層12Cという。

また分離層12C0は下部電極11及び上部電極13Aの少なくともいずれかと兼用されても良い。

[0168] (第5の実施の形態)

図13は、本発明の第5の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図13に表したように、本発明の第5の実施の形態における抵抗変化素子350は、下部電極11と第1抵抗変化層12A1との間に電流制限層12Dが設けられている。

[0169] 既に説明したように、抵抗変化素子において、例えば、消去状態から第1抵抗変化層12A1のみがセット状態に変化する場合、第1抵抗変化層12A1と第2抵抗変化層12A2の両者にかかっていた電圧がほぼ第2抵抗変化層12A2のみにかかることになり、ラッシュ電流が流れる。また、その電圧が、第2抵抗変化層12A2のセット電圧より大きい場合には、第2抵抗変化層12A2も同時にリセットする場合が発生する。そこで、本実施形態に係る抵抗変化素子350において、このようなラッシュ電流を制限するために、下部電極11と抵抗変化部12との間に、電流制限層12Dを設けている。

[0170] この電流制限層12Dには、アクティブ・デバイスであるトランジスタやダイオードも利用可能であるが、抵抗変化素子を含めた素子電体の電気抵抗が高くなるような、いわゆる抵抗層を用いることができる。

[0171] また、電流制限層12Dは、下部電極11と抵抗変化部12との間、及び、抵抗変化部12と上部電極13Aとの間、の少なくともいずれかに設けることができる。

[0172] なお、後述するように、抵抗変化素子が応用される情報記録再生装置におけるトランジスタ、ダイオード、抵抗、キャパシタを用いるドライバ回路で電流を制限することも可能である。

[0173] 図14は、本発明の第5の実施形態に係る別の抵抗変化素子の構成を例示する模式的断面図である。

図14に表したように、本実施形態に係る別の抵抗変化素子351においては、抵抗変化部12が、N個の抵抗変化層(第1～第N抵抗変化12A1～12AN)で構成され、それぞれの抵抗変化層の間に層間分離層12C1～12C(N-1)が設けられ、下部電極12と第1抵抗変化層12A1との間に電流制限層12Dが設けられている。

[0174] なお、電流制限層12Dは抵抗変化層12Dと上部電極13Aとの間に設けても良く、また、電流制限層12Dは、下部電極11と上部電極13Aとの間の任意の場所に設け

ることができ、また、任意の数の電流制限層12Dを設けることができる。

[0175] (第6の実施の形態)

図15は、本発明の第6の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図15に表したように、本発明の第6の実施形態に係る抵抗変化素子360は、下部電極11と第1記録素子12A1との間に、抵抗変化層の配向を制御する配向制御層11Aが設けられている。

[0176] この配向制御層11Aには、例えば、各種の金属と窒素との化合物を用いることができ、これにより、抵抗変化層の配向性を高め、特性の良好な抵抗変化層が再現性良く得られる。

[0177] 本実施形態に係る抵抗変化素子360が応用される情報記録再生装置においては、多値の記録が行われる。この際、抵抗変化素子360には高い品質が求められ、このためには、複数の抵抗変化層の特性が安定することが非常に重要である。このとき、本実施形態に係る抵抗変化素子360において、配向制御層11Dを設けることで、抵抗変化層の品質を安定化させる。これにより、品質が高い多値記録を可能とする抵抗変化素子が抵抗できる。

[0178] (第7の実施の形態)

図16は、本発明の第7の実施形態に係る抵抗変化素子の構成を例示する模式的断面図である。

図16(a)に表したように、本発明の第7の実施形態に係る抵抗変化素子370においては、第1抵抗変化層12A1及び第2抵抗変化層12A2のそれぞれに隣接して、それぞれ第1イオン格納層12B1及び第2イオン格納層12B2が設けられている。

[0179] 第1イオン格納層12B1及び第2イオン格納層12A2は、第1抵抗変化層12A1及び第2抵抗変化層12A2から排出されるイオンを格納する機能を有し、イオンの移動をより円滑化する効果を有する。また、用いる材料の工夫により、イオンの出入りによらず高い電子伝導性を常に有することができ、また、結晶構造安定性の維持を保障する効果を有することもできる。この結果、逆方向電圧印加によるディスタート耐性を向上させることができる。

また、図16(b)に表したように、抵抗変化素子371においては、第1抵抗変化層12A1に隣接して第1イオン格納層12B1が設けられている。

また、図16(c)に表したように、抵抗変化素子372においては、第2抵抗変化層12A2に隣接して第2イオン格納層12B2が設けられている。

このように、第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれかに、イオン格納層を設けても良い。

[0180] また、図16(d)に表したように、抵抗変化素子373においては、抵抗変化部12において、N個の抵抗変化層、すなわち、第1～第N抵抗変化層12A1～12ANが設けられており、第1～第N抵抗変化層12A1～12ANの少なくともいずれかのそれぞれに、第1～第Nイオン格納層12B1～12BNが設けられている。

[0181] なお、第1～第N抵抗変化層12A1～12ANを総称して抵抗変化層12Aという。また、第1～第Nイオン格納層12B1～12BNを総称してイオン格納層12Bという。

[0182] このように、本実施形態に係る抵抗変化素子370～373のように、抵抗変化部12において、抵抗変化層12Aにイオン格納層を設けることで、抵抗変化動作が安定した抵抗変化素子が提供できる。

[0183] 第1イオン格納層12A1及び第2イオン格納層12A2に用いることができる材料については後述する。

[0184] 以下、本発明の実施形態に係る抵抗変化素子に用いられる抵抗変化層において、抵抗の異なる複数の状態が生成される機構についての一例について説明し、あわせて、抵抗変化層や電極などに適用できる構成や材料について説明する。

[0185] 図17は、本発明の実施形態に係る抵抗変化素子の一部の構成及び動作を例示する模式図である。

なお、同図は、説明を簡単にするため、1つの抵抗変化層における動作を例示しているため、下部電極11と上部電極13Aとの間に1つの抵抗変化層(抵抗変化部12)がある場合が例示されている。

[0186] 図17に表したように、記録部(抵抗変化部)12は、第1種の層81を有し、第1種の層81は、拡散イオン52(Aイオン)と、遷移元素イオン51(Mイオン)と、陰イオン61(Xイオン)を有する第1種の化合物71からなる。

- [0187] すなわち、抵抗変化層12Aに用いられる化合物は、例えば、少なくとも2種類の陽イオン元素を有する複合化合物から構成され、前記陽イオン元素の少なくとも1種類は、電子が不完全に満たされたd軌道を有する遷移元素であり、少なくとも1種類の遷移元素を有する。
- [0188] より具体的には、記録層12Aに用いられる化合物は、少なくとも2種類の陽イオン元素を有する複合化合物から構成され、前記陽イオン元素の少なくとも1種類は、電子が不完全に満たされたd軌道を有する遷移元素を含む導電性酸化物とすることができる。
- [0189] 以下では、初期状態を高抵抗状態HRとし、記録部12に形成される電位勾配により記録部12の状態を変化させ、記録部12に伝導性を持たせて低抵抗状態LRとすることにより行う情報記録を行う場合の機構の一例を説明する。
- [0190] まず、セット動作SOにおいては、例えば、上部電極13Aの電位が下部電極11の電位よりも相対的に低い状態を作る。すなわち、例えば、下部電極11を固定電位（例えば、接地電位）とし、上部電極13Aに負の電位を与える。
- [0191] このとき、抵抗変化部12内の拡散イオン52の一部が上部電極（陰極）13Aの側に移動し、記録部（結晶）12内の拡散イオン52が陰イオン61に対して相対的に減少する。上部電極13Aの側に移動した拡散イオン52は、上部電極13Aから電子を受け取り、メタル（A金属52m）として析出し、メタル層14を形成する。
- [0192] 記録部12の内部では、陰イオン61が過剰となり、結果的に、記録部12内の遷移元素イオン51の価数を上昇させる。つまり、記録部12は、キャリアの注入により電子伝導性を有するようになるため、セット状態となり、情報記録が完了する。
- [0193] 情報再生に関しては、電流パルスを記録部12に流し、記録部12の抵抗値を検出することにより行う。ただし、電流パルスは、記録部12を構成する材料が状態変化を起こさない程度の微小な値とされる。
- [0194] 以上の過程は、一種の電気分解であり、下部電極（陽極）11の側では、電気化学的酸化により酸化剤が生じ、上部電極（陰極）13Aの側では、電気化学的還元により還元剤が生じた、と考えることができる。
- [0195] このため、情報記録の状態（低抵抗状態LR）を初期状態（高抵抗状態HR）に戻す

には、例えば、記録部12を大電流パルスによりジュール加熱して、記録部12の酸化還元反応を促進させれば良い。すなわち、大電流パルスの遮断後の残留熱により記録部12は、高抵抗状態HRに戻る(リセット動作RO)。

[0196] なお、この動作機構を用いた場合、室温でリセット動作ROが生じないように、リテンション時間が十分長く確保される。そして、リセット動作ROの消費電力は小さくされる。

[0197] これに対し、拡散イオン52の配位数を小さく(理想的には2以下に)する、もしくは、価数を2以上にする、又は、陰イオン61の価数を上げる(理想的には3以上にする)ことで、リテンション時間を十分小さくできる。

[0198] また、結晶破壊を引き起こさないために拡散イオン52の価数を2以下にし、それと共に、記録部(結晶)12内を移動する拡散イオン52の移動パスを数多く有する材料を用いることで上記の消費電力を十分に小さくすることができる。

[0199] そのような特性を記録部12に持たせるためには、以下において述べるような元素及び結晶構造、そして、イオン格納層を採用すれば良い。

[0200] 記録部(抵抗変化部)12の各層(各抵抗変化層)には、以下の(1)～(3)で表される材料の少なくともいずれかを用いることができる。

[0201] (1) $A_x M_y X_4$ ($0.1 \leq x \leq 2.2$, $1.8 \leq y \leq 2$)

ここで、Aは、Na、K、Rb、Be、Mg、Ca、Sr、Ba、Al、Ga、Mn、Fe、Co、Ni、Cu、Zn、Ge、Ag、Au、Cd、Sn、Sb、Pt、Pd、Hg、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、Mは、Al、Ga、Ti、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Nb、Ta、Mo、W、Ru及びRhよりなる群から選択された少なくともいずれかを含む元素であり、前記XはO及びNよりなる群から選択された少なくともいずれかを含む元素であり、AとMとは互いに異なる元素である。

[0202] (2) $A_x M_y X_3$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)

ここで、Aは、Na、K、Rb、Be、Mg、Ca、Sr、Ba、Al、Ga、Mn、Fe、Co、Ni、Cu、Zn、Ge、Ag、Au、Cd、Sn、Sb、Pt、Pd、Hg、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、Mは、Al、Ga、Ti、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Nb、Ta、Mo、W、Ru及びRhよりなる群から選択された少なくともい

ずれかを含む元素であり、Xは、O及びNよりなる群から選択された少なくともいずれかを含む元素であり、AとMとは互いに異なる元素である。

[0203] (3) $A_x M_y X_4$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)

ここで、Aは、Mg、Ca、Sr、Al、Ga、Sb、Ti、V、Cr、Mn、Fe、Co、Rh、In、Sb、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、Mは、Al、Ga、Ti、Ge、Sn、V、Nb、Ta、Cr、Mn、Mo、W、Ir及びOsよりなる群から選択された少なくともいずれかを含む元素であり、Xは、O及びNよりなる群から選択された少なくともいずれかを含む元素であり、AとMとは互いに異なる元素である。

[0204] また、記録部(抵抗変化部)12の各層(各抵抗変化層)には、コランダム構造、ルチル構造、スピネル構造、ラムスデライト構造、アナターゼ構造、ホランダイト構造、ブルックait構造、パイロルース構造、NaC構造、プロベスカイト構造、イルメナイト構造、ウルフラマイト構造よりなる群から選択されたいずれかの構造を有する結晶構造を有することができる。

[0205] そして、第1～第7の実施形態に係る抵抗変化素子の複数の抵抗変化層12A(第1抵抗変化層12A1～第N抵抗変化層12AN)のそれぞれにおいては、上記に例示した材料及び構成のうち、異なる材料、異なる成分比、及び、異なる構成の少なくともいずれかが用いられる。これにより、複数の抵抗変化層12A(第1抵抗変化層12A1～第N抵抗変化層12AN)のそれぞれにおいて、セット電圧及びリセット電圧の少なくともいずれかを異ならせることができる。

[0206] また、記録部12に、第7の実施形態で説明したイオン格納層12Bを設けることができる。

図18は、本発明の実施形態に係る抵抗変化素子の一部の構成及び動作を例示する模式的断面図である。

すなわち、同図は、抵抗変化素子におけるイオン格納層12Bの作用を模式的に例示したものであり、抵抗変化層12Aが一層で、イオン格納層12Bが一層として模式的に描かれている。

[0207] 図18に表したように、記録部12においては、抵抗変化層12Aに隣接して、イオン格納層12Bが設けられている。イオン格納層12Bは、第2種の層82からなり、第2種

の層82は、遷移金属イオン53と陰イオン61とを含み、さらに、抵抗変化層12Aの移動するAイオン52を格納可能な空隙サイト α を有する第2種の化合物72からなる。これにより、セット動作(SO)において、抵抗変化層12Aから移動してきたAイオン52を、イオン格納層12Bの空隙サイト α に格納する。そして、リセット動作ROにおいては、イオン格納層12Bの空隙サイト α に格納されていたAイオン52を放出し、Aイオン52は、抵抗変化層12Aに再び移動する。このように、イオン格納層12Bを設けることで、2つの状態のそれぞれを安定化させることができ、この結果、これらの2つの状態に対応する高抵抗状態と低抵抗状態を安定して再現性良く発現させることができる。

[0208] 図19は、本発明の実施形態に係る別の抵抗変化素子の一部の構成及び動作を例示する模式的断面図である。

図19に表したように、本発明の実施形態に係る別の抵抗変化素子においては、複数の抵抗変化層(第1抵抗変化層12A1～第N抵抗変化層12A2)の少なくともいずれかが、イオン格納層(第1イオン格納層12B1～第Nイオン格納層12BN)を有す。この場合も同様に、複数の抵抗変化層12AのそれぞれのAイオン52を、それに隣接するイオン格納層12Bの空隙サイト α に格納することができ、高抵抗状態と低抵抗状態の2つの状態を安定して発現させることができる。

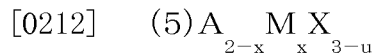
[0209] イオン格納層12Bには、例えば導電性酸化物を用いるものが望ましい。そして、この導電性酸化物層の抵抗率は、抵抗変化層12Aの抵抗率以下であり、 $10^{-1} \Omega \text{cm}$ 以下であることが望ましい。

[0210] イオン格納層12Bは、空隙サイト α を持つ点に特徴を有する。ただし、空隙サイト α は抵抗変化層12Aから移動してきた陽イオンが一部埋めていても良い。イオン格納層12Bには以下の(4)～(6)で表される材料の少なくともいずれかを用いることができる。

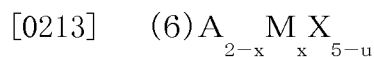
[0211] (4) $A_{1-x} M_x X_{2-u}$

ただし、Aは、Ti、Zr、Hf及びSnよりなる群から選択される少なくとも1種類の元素であり、Mは、V、Nb、Ta、Cr、Mo、W、As、Sb及びBiよりなる群から選択される少なくとも1種類の元素であり、Xは、O、N及びFよりなる群から選択される少なくとも1種類の元素であり、AとMとは異なる元素であり、 $0.001 < x \leq 0.2$ 、 $0 \leq u < 0.2$

である。



ただし、Aは、V、Nb、Ta、Cr、Mo、W、Mn、Fe、Co、Ga及びInよりなる群から選択される少なくとも1種類の元素であり、Mは、Ti、Zr、Hf、Sn、V、Nb、Ta、As、Sb、Bi、Cr、Mo及びWよりなる群から選択される少なくとも1種類の元素であり、Xは、O、N及びFよりなる群から選択される少なくとも1種類の元素であり、AとMとは異なる元素であり、 $0.001 < x \leq 0.2$ 、 $0 \leq u < 0.3$ である。



ただし、Aは、V、Nb及びTaよりなる群から選択される少なくとも1種類の元素であり、Mは、Cr、Mo及びWよりなる群から選択される少なくとも1種類の元素であり、Xは、O、N及びFよりなる群から選択される少なくとも1種類の元素であり、AとMとは異なる元素であり、 $0.001 < x \leq 0.2$ 、 $0 \leq u < 0.5$ である。

[0214] これらの材料は、抵抗変化層12Aから排出されるイオンを格納する機能を有するため、イオンの移動をより円滑化する効果を有すると共に、 $x > 0.001$ に組成範囲を限定することでイオンの出入りによらず 10 S/cm 以上の電子伝導性を常に有し、また $x \leq 0.2$ と組成範囲を限定することで結晶構造安定性の維持を保障する効果を有する。

この結果、逆方向電圧印加によるディスタープ耐性の向上を実現することができる。

[0215] 一方、下部電極11には以下の材料を用いることができる。

すなわち、セット動作SO後の下部電極(陽極)11の側には酸化剤が生じるため、下部電極11には、酸化され難い材料(例えば、電気伝導性窒化物、電気伝導性酸化物など)から構成するのが好ましい。

また、電極層11には、イオン伝導性を有しない材料を用いるのが良い。

[0216] そのような材料としては、以下に示されるものがあり、その中でも、電気伝導率の良さなどを加味した総合的性能の点から、 LaNiO_3 は、最も好ましい材料といえる。

[0217] 下部電極11には、以下の(7)～(10)で表される材料の少なくともいずれかを用い

ることができる。

[0218] (7) MN

ただし、Mは、Ti、Zr、Hf、V、Nb及びTaよりなる群から選択される少なくとも1種類の元素を含み、Nは、窒素である。

[0219] (8) MO_x

ただし、Mは、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Hf、Ta、W、Re、Ir、Os及びPtよりなる群から選択される少なくとも1種類の元素を含み、モル比xは、 $1 \leq x \leq 4$ を満たすものとする。

[0220] (9) AMO_3

ただし、Aは、La、K、Ca、Sr、Ba及びLn (Lanthanide) よりなる群から選択される少なくとも1種類の元素を含み、Mは、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Hf、Ta、W、Re、Ir、Os及びPtよりなる群から選択される少なくとも1種類の元素を含み、Oは、酸素である。

[0221] (10) B_2MO_4

ただし、Bは、K、Ca、Sr、Ba及びLn (Lanthanide) よりなる群から選択される少なくとも1種類の元素を含み、Mは、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zr、Nb、Mo、Ru、Rh、Pd、Ag、Hf、Ta、W、Re、Ir、Os及びPtよりなる群から選択される少なくとも1種類の元素を含み、Oは、酸素である。

[0222] また、下部電極11には、Au、Ru、Ir及びW等の金属を用いることもできる。

[0223] 一方、上部電極13Aには以下の材料を用いることができる。

すなわち、セット動作SO後の上部電極(陰極)13Aの側には還元剤が生じるため、上部電極13Aとしては、記録部12が大気と反応することを防止する機能を持っていることが好ましい。

そのような材料としては、例えば、アモルファスカーボン、ダイヤモンドライクカーボン、 SnO_2 などの半導体がある。

[0224] また、上部電極13Aには、Au、Ru、Ir及びW等の金属も用いることができる。

[0225] 上部電極13Aは、記録部12を保護する保護層として機能させても良いし、上部電極13Aの代わりに保護層を設けても良い。この場合、保護層は、絶縁体でも良いし、

導電体でも良い。

[0226] なお、下部電極11と上部電極13Aとは互いに入れ替えが可能であり、上記の下部電極11と上部電極13Aに用いる事が出来る材料は互いに入れ替えが可能である。

[0227] 例えば、下部電極11及び上部電極13Aには、各実施例で説明した材料の他に、TiSiN、Ta₂N、TaSiN、WNを用いることができる。また、SiN、TiC、TaC、SiCも好適であり、これらを混合することも好適である。また、Au、Ru、Ir、W等の金属も下部電極11及び上部電極13Aに用いることができる。

[0228] また、下部電極11及び上部電極13Aには、Ti-N、Ti-Si-N、Ta-N、Ta-Si-N、Si-N、Ti-N、Ta-C、Si-C及びW-Nよりなる群から選ばれた少なくともいずれかの窒化物、炭化物、酸化物、及び、窒化物と炭化物と酸化物とのうちの少なくとも2以上からなる混合体、の少なくともいずれかを用いることができる。すなわち、前記群から選ばれた少なくとも1種の窒化物、炭化物、酸化物、窒化物と酸化物との混合体、窒化物と炭化物との混合体、酸化物と炭化物との混合体、または、窒化物と炭化物と酸化物との混合体のいずれかを用いることができる。

[0229] 一方、分離層12C、すなわち、層間分離層12C(第1層間分離層12C1～第N分離層12CN)及び分離層12C0は、Ti-N、Ti-Si-N、Ta-N、Ta-Si-N、Si-N、Ti-C、Ta-C、Si-C及びW-Nよりなる群から選択された少なくともいずれかの窒化物、炭化物、酸化物、及び、窒化物と炭化物と酸化物とのうち少なくとも2つ以上からなる混合体、の少なくともいずれかを含むことができる。すなわち、前記群から選ばれた少なくとも1種の窒化物、炭化物、酸化物、窒化物と酸化物との混合体、窒化物と炭化物との混合体、酸化物と炭化物との混合体、窒化物と炭化物と酸化物との混合体のいずれかを含むことができる。

[0230] また、分離層12Cは、ZnO、SnO₂、In₂O₃、TiO_s (1 ≤ s ≤ 2)、In₂O₃、IrO₂、RuO₂、Ir、Ru及びTaよりなる群から選択された少なくともいずれかを含むことができる。

[0231] また、分離層12Cは、Ga₂O₃、Al₂O₃、Nb₂O₅、SnO₂、Ta₂O₅及びSb₂O₃よりなる群から選択された少なくともいずれかを用いることができる。

[0232] また、分離層12Cには、W、Ta、Si、Ir、Ru、Au、Pt、Pd、Mo、Ni、Cr及びCoよりなる群から選択された少なくともいずれかを含むことができる。

[0233] 以下、本発明の実施形態に係る情報記録再生装置について説明する。すなわち、上記の第1～第7の実施形態の抵抗変化素子の少なくともいずれかを用いた、プローブメモリ、半導体メモリ及びフラッシュメモリの情報記録再生装置について説明する。

[0234] (第8の実施の形態)

本発明の第7の実施の形態は、プローブメモリ型の情報記録再生装置である。

図20は、本発明の第8の実施形態に係る情報記録再生装置の構成を例示する模式的斜視図である。

図21は、本発明の第8の実施形態に係る情報記録再生装置の一部の構成を例示する模式的平面図である。

図22は、本発明の第8の実施形態に係る情報記録再生装置の動作を例示する模式図である。

図23は、本発明の第8の実施形態に係る情報記録再生装置の記録動作を例示する模式図である。

図24は、本発明の第8の実施形態に係る情報記録再生装置の再生動作を例示する模式図である。

[0235] 図20に示すように、本発明の第8の実施形態に係る情報記録再生装置210、すなわち、プローブメモリにおいては、XYスキャナ516上には、本発明の第1～第7の実施形態のいずれかの抵抗変化素子310が設けられた記録媒体410が配置される。この記録媒体410に対向する形で、プローブアレイが配置される。

[0236] 記録媒体410は、例えば、基板520と、基板520上の電極層521と、電極層521上の第1抵抗変化層12A1及び第2抵抗変化層12A2と、とから構成される。電極層521には、第1～第6の実施形態で説明した下部電極11を用いることができる。すなわち、記録媒体410は、基板520の上に、第1～第7の実施形態に係る抵抗変化素子を設けたものである。以下では、一例として、第1の実施形態に係る抵抗変化素子310を用いる場合として説明する。

[0237] ただし、抵抗変化素子310の上部電極13Aの代わりに、保護層13Bが設けられている。保護層13Bは、例えば、薄い絶縁体から構成される。

- [0238] プローブアレイは、基板523と、基板523の一面側にアレイ状に配置される複数のプローブ(ヘッド)524と、を有する。複数のプローブ524の各々は、例えば、カンチレバーから構成され、マルチプレクスドライバ525、526により駆動される。
- [0239] 複数のプローブ524は、それぞれ、基板523内のマイクロアクチュエータを用いて個別に動作可能であるが、ここでは、全てをまとめて同じ動作をさせて記録媒体410のデータエリアに対するアクセスを行う例を説明する。
- [0240] まず、マルチプレクスドライバ525、526を用いて、全てのプローブ524をX方向に一定周期で往復動作させ、記録媒体410のサーボエリアからY方向の位置情報を読み出す。Y方向の位置情報は、ドライバ515に転送される。
- [0241] ドライバ15は、この位置情報に基づいてXYスキャナ516を駆動し、記録媒体410をY方向に移動させ、記録媒体419とプローブ524との位置決めを行う。
- [0242] 両者の位置決めが完了したら、データエリア531上のプローブ524の全てに対して、同時、かつ、連続的に、データの読み出し又は書き込みを行う。
- [0243] データの読み出し及び書き込みは、プローブ524がX方向に往復動作していることから連続的に行われる。また、データの読み出し及び書き込みは、記録媒体410のY方向の位置を順次変えることにより、データエリア531に対して、一行ずつ、実施される。
- [0244] なお、記録媒体410をX方向に一定周期で往復運動させて記録媒体410から位置情報を読み出し、プローブ524をY方向に移動させるようにしても良い。
- [0245] 図21に表したように、抵抗変化素子310は、複数のデータエリア531、並びに、複数のデータエリア531のX方向の両端にそれぞれ配置されるサーボエリア532を有する。複数のデータエリア531は、記録媒体410の主要部を占める。
- [0246] サーボエリア531内には、サーボバースト信号が記録される。サーボバースト信号は、データエリア531内のY方向の位置情報を示している。
- [0247] 抵抗変化素子310内には、これらの情報の他に、さらに、アドレスデータが記録されるアドレスエリア及び同期をとるためのプリアンブルエリアが配置される。
- [0248] データ及びサーボバースト信号は、記録ビット(電気抵抗変動)として抵抗変化素子310に記録される。記録ビットの”3”、“2”、“1”、“0”の情報は、抵抗変化素子310

の電気抵抗を検出し、4値情報を量子化することにより読み出す。

[0249] 本具体例では、1つのデータエリア531に対応して1つのプローブ(ヘッド)が設けられ、1つのサーボエリア532に対して1つのプローブが設けられる。

データエリア531は、複数のトラックから構成される。アドレスエリアから読み出されるアドレス信号によりデータエリア531のトラックが特定される。また、サーボエリア532から読み出されるサーボバースト信号は、プローブ524をトラックの中心に移動させ、記録ビットの読み取り誤差をなくすためのものである。

[0250] ここで、例えば、X方向をダウントラック方向、Y方向をトラック方向に対応させることにより、HDDのヘッド位置制御技術を利用することが可能になる。

[0251] そして、各プローブ524は、例えばマルチプレクスドライバ525、526を介して、駆動部600に接続される。駆動部600は、それぞれのプローブ524に、情報記録のための、電圧及び電流の少なくともいずれかを供給する。そして、抵抗変化素子310の記録部12は、プローブ524を介して与えられた電圧及び電流によって、3種以上の抵抗状態の間を遷移する。また、駆動部600は、記録部12に記録された3種以上の抵抗状態とを検出し、記録された情報を読み出す。

[0252] このように、本実施形態に係る情報記録再生装置210は、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかと、前記抵抗変化素子の記録部への電圧の印加、及び、前記記録部への電流の通電、の少なくともいずれかによって、前記記録部に3種以上の抵抗状態の間を遷移させて情報を記録する駆動部600を備える。

[0253] そして、情報記録再生装置210においては、抵抗変化素子に併設されたプローブ524をさらに備え、駆動部600は、プローブ524を介して、前記抵抗変化素子の前記記録部への電圧の印加、及び、前記記録部への電流の通電、の少なくともいずれかを行う。

[0254] 本実施形態に係る情報記録再生装置210は、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかを用いているので、多値記録を可能とする情報記録再生装置を提供できる。

[0255] 以下、このプローブメモリの記録・再生動作の動作機構の一例について説明する。ただし、以下説明する動作機構は一例であり、他の動作機構を用いても良い。

[0256] 図22は、記録動作(セット動作SO)について概念的に例示している。

記録動作は、抵抗変化素子310の記録ビット527表面に電圧を印加し、記録ビット527の内部に電位勾配を発生させることにより行われる。具体的には、プローブ524を介して、記録ビット527となる抵抗変化素子310の抵抗変化部12(第1抵抗変化層12A1及び第2抵抗変化層12A2)に、電流または電圧パルスが与えられる。

[0257] 図23は、記録動作について概念的に例示している。

まず、図23に表したように、プローブ524の電位が電極層521の電位よりも相対的に低い状態を作る。電極層521を固定電位(例えば、接地電位)とすれば、プローブ524に負の電位を与えれば良い。

電流パルスは、例えば、電子発生源又はホットエレクトロン源を使用し、プローブ524から電極層521に向かって電子を放出することにより発生させる。あるいは、プローブ524を記録ビット527の表面に接触させて電圧パルスを印加しても良い。

[0258] このとき、例えば、抵抗変化素子310の第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれかでは、Aイオン52の一部がプローブ(陰極)524側に移動し、結晶(抵抗変化層12A)内のAイオン52がXイオン61に対して相対的に減少する。また、プローブ24側に移動したAイオン52は、プローブ524から電子を受け取ってメタルとして析出する。

[0259] 記録ビット527では、Xイオン61が過剰となり、結果的に、記録ビット527におけるAイオン52あるいはMイオン51の価数を上昇させる。つまり、記録ビット527は、相変化によるキャリアの注入により電子伝導性を有するようになるため、膜厚方向への抵抗が減少し、記録(セット動作)が完了する。

[0260] なお、記録のための電流パルスは、プローブ524の電位が電極層521の電位よりも相対的に高い状態を作ることにより発生させることもできる。

[0261] 図24は、再生動作について概念的に例示している。

再生に関しては、電流パルスを抵抗変化素子310の記録ビット527に流し、記録ビット527の抵抗値を検出することにより行う。ただし、電流パルスは、記録ビット527に用いられる抵抗変化素子310が抵抗変化を起こさない程度の微小な値とする。

[0262] 例えば、センスアンプS/Aにより発生した読み出し電流(電流パルス)をプローブ5

24から記録ビット527に流し、センスアンプS/Aにより記録ビット527の抵抗値を測定する。

本具体例では、測定した4値情報を量子化することにより、メモリセルあたり2ビットの記録再生が可能となる。

[0263] なお、再生では、記録媒体410上をプローブ524により走査(スキャン)することで、連続再生が可能となる。

[0264] 消去動作(リセット動作RO)に関しては、抵抗変化素子310の記録ビット527を大電流パルスによりジュール加熱して、記録ビット527における酸化還元反応を促進させることにより行う。あるいは、セット動作SO時とは逆向きの電位差を与えるパルスを印加しても良い。

[0265] 消去動作は、記録ビット527ごとに行うこともできるし、複数の記録ビット527又はブロック単位で行うこともできる。

[0266] 図25は、本発明の第8の実施形態に係る別の情報記録再生装置の記録動作を例示する模式図である。

図26は、本発明の第8の実施形態に係る別の情報記録再生装置の再生動作を例示する模式図である。

図25及び図26に表したように、本発明の第8の実施形態に係る別の情報記録再生装置211では、第7の実施形態に係る抵抗変化素子370が用いられている。すなわち、抵抗変化部12に、第1抵抗変化層12A1及び第2抵抗変化層12A2(抵抗変化層12A)と、第1イオン格納層12B1及び第2イオン格納層12B2(イオン格納層12B)部が設けられる。なお、この場合も、抵抗変化素子370の下部電極11として電極層521が用いられ、また上部電極13Aの代わりに保護層13Bが用いられる。

[0267] 図25は、記録動作について概念的に例示している。

まず、図25に表したように、プローブ524の電位が電極層521の電位よりも相対的に低い状態を作る。電極層521を固定電位(例えば、接地電位)とすれば、プローブ524に負の電位を与える。

[0268] このとき、抵抗変化素子370の第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれか内のAイオン52の一部は、結晶中を移動し、それぞれ第1イオン

格納層12B1及び第2イオン格納層12B2の空隙サイト α に収まる。これに伴い、第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれか内のAイオン52、またはM1イオン51の価数が増加し、第1イオン格納層12B1及び第2イオン格納層12B2の少なくともいずれかのAイオン52、またはM2イオン53の価数が減少する。その結果、第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれかと、第1イオン格納層12B1及び第2イオン格納層12B2の少なくともいずれかと、の結晶中に電導キャリアが発生し、両者は、共に電気伝導性を有するようになる。

これにより、セット動作SO(記録)が完了する。

[0269] なお、記録動作に関して、第1抵抗変化層12A1及び第2抵抗変化層12A2と、第1イオン格納層12B1及び第2イオン格納層12B2と、の位置関係を逆にすれば、プローブ524の電位を電極層21の電位よりも相対的に低い状態にしてセット動作SOを実行することもできる。

[0270] 図26は、再生動作について概念的に表している。

再生動作は、電流パルスを記録ビット527に流し、記録ビット527の抵抗値を検出することにより行われる。ただし、電流パルスは、記録ビット527に用いられる抵抗変化素子370が抵抗変化を起こさない程度の微小な値とする。

[0271] 例えば、センスアンプS/Aにより発生した読み出し電流(電流パルス)をプローブ524から抵抗変化素子370(記録ビット527)に流し、センスアンプS/Aにより記録ビット527の抵抗値を測定する。

本具体例では、測定した4値情報を量子化することにより、メモリセルあたり2ビットの記録再生が可能となる。

[0272] なお、再生動作は、プローブ524を例えば矢印524aの方向に走査(スキャン)させることで、連続的に行うことができる。

リセット動作RO(消去動作)は、抵抗変化素子370(記録ビット)に大電流パルスを流すことにより発生するジュール熱及びその残留熱を利用して、Aイオン52が第1イオン格納層12B1及び第2イオン格納層12B2内の空隙サイト α から第1抵抗変化層12A1及び第2抵抗変化層12A2内に戻ろうとする作用を促進してやれば良い。あるいは、セット動作SO時とは逆向きの電位差を与えるパルスを印加しても良い。

[0273] 消去動作は、記録ビット527ごとに行うこともできるし、複数の記録ビット527又はブロック単位で行うこともできる。

[0274] なお、複数の抵抗変化層を用いた情報記録再生装置は、何段階もの抵抗状態を用いるため、全ての状態についてインピーダンス・マッチングをとることは、困難である。従って、動作させる周波数帯が高くなればなるほど、リングング等のノイズ成分が増大することができる。これらを低減するためには、寄生容量やグラウンドへとつながる伝送線路のインダクタンス成分を低減することも重要である。

[0275] 本実施形態に係る情報記録再生装置210、211において、例えば、バンド・パス・フィルタやロー・パス・フィルタ等を設けることで、上記のリングング等のノイズ成分を低減し、寄生容量やグラウンドへとつながる伝送線路や、インダクタンス成分を低減することができる。

[0276] 本実施形態に係る情報記録再生装置210、211のプローブメモリにおいては、本発明の実施形態に係る抵抗変化素子の少なくともいずれかを用いることで、多値記録を可能とする情報記録再生装置が提供でき、現在のハードディスクやフラッシュメモリよりも高記録密度及び低消費電力を実現できる。

[0277] (第9の実施の形態)

本発明の第9の実施形態に係る情報記録再生装置はクロスポイント型の情報記録再生装置である。

図27は、本発明の第9の実施形態に係る情報記録再生装置の構成を例示する模式図である。

図28は、本発明の第9の実施形態に係る情報記録再生装置の構成を例示する模式的斜視図である。

図27及び図28に表したように、本実施形態に係る情報記録再生装置220は、第1～第7の実施形態の少なくともいずれかの抵抗記録素子を用いたクロスポイント型メモリである。

[0278] 情報記録再生装置220において、ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} は、X方向に伸び、ビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} は、Y方向に伸びる。

[0279] ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} の一端は、選択スイッチとしてのMOSTランジスタRS

Wを経由して、デコーダの機能を有するワード線ドライバ31に接続され、ビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} の一端は、選択スイッチとしてのMOSトランジスタCSWを経由して、デコーダと読み出し機能を有するビット線ドライバ32に接続される。

[0280] MOSトランジスタRSWのゲートには、1本のワード線(ロウ)を選択するための選択信号 R_{i-1} 、 R_i 、 R_{i+1} が入力され、MOSトランジスタCSWのゲートには、1本のビット線(カラム)を選択するための選択信号 C_{j-1} 、 C_j 、 C_{j+1} が入力される。

[0281] メモリセル33は、ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} とビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} との交差部に配置される。すなわち、情報記録再生装置220は、いわゆるクロスポイント型セルアレイ構造を有する。

[0282] メモリセル33には、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかが用いられる。以下では、第1の実施形態に係る抵抗変化素子310を用いる場合として説明する。

[0283] また、メモリセル33には、記録／再生時における回り込み電流(sneak current)を防止するための整流素子(ダイオード)34が付加される。

[0284] 図28は、情報記録再生装置220のメモリセルアレイ部の構造を概念的に表している。

基板30上には、ワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} とビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} が配置され、これら配線の交差部にメモリセル33と、整流素子34と、が配置される。

このようなクロスポイント型セルアレイ構造の特長は、メモリセル33に個別にMOSトランジスタを接続する必要がないため、高集積化に有利な点にある。

[0285] メモリセル33には、図2に例示したように、下部電極11と、第1抵抗変化層12A1と、第2抵抗変化層12A2と、上部電極13Aを有する抵抗変化素子が設けられ、さらに、ヒータ層35及び保護層13Bが設けられる。そして、メモリセル33と整流素子34とが、ワード線 WL_i とビット線 BL_j と、の間に設けられる。そして、1つのメモリセル33により2ビットデータを記憶する。

[0286] なお、既に説明したように、ヒータ層35及び保護層33Bの少なくともいずれかは省略できる。また、図示しない各種のバッファ層を設けても良い。

[0287] また、下部電極11及び上部電極13Aは、ワード線 WL_i 、ビット線 BL_j や、ヒータ層3

5及び保護層13Bなどと兼用されても良く、その場合は、下部電極11及び上部電極13Aは、兼用された各種の層と見なされる。

[0288] このように、本実施形態に係る情報記録再生装置220は、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかと、前記抵抗変化素子の記録部への電圧の印加、及び、前記記録部への電流の通電、の少なくともいずれかによって、前記記録部に3種以上の抵抗状態の間を遷移させて情報を記録する駆動部となるワード線ドライバ31及びビット線ドライバ32を備える。

[0289] そして、情報記録再生装置220においては、抵抗変化素子を挟むようにして設けられたワード線及びビット線をさらに備え、ワード線ドライバ31及びビット線ドライバ32は、前記ワード線及び前記ビット線を介して、前記抵抗変化素子の前記記録部への電圧の印加、及び、前記記録部への電流の通電、の少なくともいずれかを行う。

[0290] 本実施形態に係る情報記録再生装置220は、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかを用いているので、多値記録を可能とする情報記録再生装置を提供できる。

[0291] 以下、本実施形態に係る情報記録再生装置220の記録・再生動作の動作機構の一例について説明する。ただし、以下説明する動作機構は一例であり、他の動作機構を用いても良い。

[0292] ここでは、図27において点線Aで囲んだメモリセル33を選択し、これについて記録・再生動作を実行する場合について説明する。

[0293] 記録(セット動作SO)は、選択されたメモリセル33に電圧を印加し、そのメモリセル33内に電位勾配を発生させて電流パルスを流す。例えば、ワード線WL_iの電位がビット線BL_jの電位よりも相対的に低い状態を作る。例えば、ビット線BL_jを固定電位(例えば、接地電位)とし、ワード線WL_iに負の電位を与える。

[0294] このとき、点線Aで囲まれた選択されたメモリセル33では、Aイオン52の一部がワード線(陰極)WL_i側に移動し、結晶内のAイオン52がXイオン61に対して相対的に減少する。また、ワード線WL_i側に移動したAイオン52は、ワード線WL_iから電子を受け取ってメタルとして析出する。

[0295] 点線Aで囲まれた選択されたメモリセル33では、Xイオン61が過剰となり、結果的

に、結晶内におけるAイオン52あるいはMイオン51の価数を上昇させる。つまり、点線Aで囲まれた選択されたメモリセル33は、状態変化によるキャリアの注入により電子伝導性を有するようになるため、記録(セット動作SO)が完了する。

[0296] なお、記録時には、非選択のワード線 WL_{i-1} 、 WL_{i+1} 及び非選択のビット線 BL_{j-1} 、 BL_{j+1} については、全て同電位にバイアスしておくことが望ましい。

また、記録前のスタンバイ時には、全てのワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} 及び全てのビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} をプリチャージしておくことが望ましい。

[0297] また、記録のための電流パルスは、ワード線 WL_i の電位がビット線 BL_j の電位よりも相対的に高い状態を作ることにより発生させても良い。

[0298] 再生に関しては、電流パルスを点線Aで囲まれた選択されたメモリセル33に流し、そのメモリセル33の抵抗値を検出することにより行う。ただし、電流パルスは、メモリセル33の抵抗変化部12が抵抗変化を起こさない程度の微小な値とする。

[0299] 例えば、読み出し回路により発生した読み出し電流(電流パルス)をビット線 BL_j から点線Aで囲まれたメモリセル33に流し、読み出し回路によりそのメモリセル33の抵抗値を測定する。既に説明したように、メモリセルあたり2ビットの記録が可能となる。

[0300] 消去動作(リセット動作RO)に関しては、点線Aで囲まれた選択されたメモリセル33を大電流パルスによりジュール加熱して、そのメモリセル33における酸化還元反応を促進させることにより行う。

[0301] 本実施形態に係る情報記録再生装置220において、メモリセル33の抵抗変化素子として、第7の実施形態に係る抵抗変化素子370(イオン格納層を有する抵抗変化素子)を用いた場合の動作機構の一例について説明する。

[0302] 記録動作(セット動作SR)では、選択されたメモリセル33に電圧を印加し、そのメモリセル33内に電位勾配を発生させて電流パルスを流す。例えば、ワード線 WL_i の電位をビット線 BL_j の電位よりも相対的に低くする。すなわち、例えば、ビット線 BL_j を固定電位(例えば、接地電位)とし、ワード線 WL_i に負の電位を与える。

[0303] このとき、点線Aで囲まれた選択されたメモリセル33では、第1抵抗変化層12A1及び第2抵抗変化層12A1の少なくともいずれかのAイオン52の一部が、それぞれ、第1イオン格納層12B1及び第2イオン格納層12B2の空隙サイト58に移動する。この

ため、第1イオン格納層12B1及び第2イオン格納層12B2の少なくともいずれか内のAイオン52またはM2イオン53の価数が減少し、第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれか内のAイオン52あるいはM1イオン51の価数が増加する。その結果、第1抵抗変化層12A1及び第2抵抗変化層12A2と、第1イオン格納層12B1及び第2イオン格納層12B2と、の結晶中に電導キャリアが発生し、両者は、共に、電気伝導性を有するようになる。

これにより、セット動作SO(記録)が完了する。

- [0304] なお、記録時には、非選択のワード線 WL_{i-1} 、 WL_{i+1} 及び非選択のビット線 BL_{j-1} 、 BL_{j+1} については、全て同電位にバイアスしておくことが望ましい。

また、記録前のスタンバイ時には、全てのワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} 及び全てのビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} をプリチャージしておくことが望ましい。

- [0305] 電流パルスは、ワード線 WL_i の電位がビット線 BL_j の電位よりも相対的に高い状態を作ることにより発生させても良い。

- [0306] 再生動作は、電流パルスを点線Aで囲まれた選択されたメモリセル33に流し、そのメモリセル33の抵抗値を検出することにより行う。このとき、電流パルスは、メモリセル33に用いられる抵抗変化素子が抵抗変化を起こさない程度の微小な値とする。

- [0307] 例えば、読み出し回路により発生した読み出し電流(電流パルス)をビット線 BL_j から点線Aで囲まれたメモリセル33に流し、読み出し回路によりそのメモリセル33の抵抗値を測定する。既に説明したように、メモリセル33あたり、2ビットの記録・再生が可能となる。

- [0308] 消去動作は、点線Aで囲まれた選択されたメモリセル33に大電流パルスを流すことにより発生するジュール熱及びその残留熱を利用して、Aイオン元素52が第1イオン格納層12B1及び第2イオン格納層12B2の少なくともいずれかの空隙サイト58から、第1抵抗変化層12A1及び第2抵抗変化層12A2内に戻ろうとする作用を促進してやれば良い。

- [0309] 本実施形態に係る情報記録再生装置220においても、例えば、バンド・パス・フィルターやロー・パス・フィルター等を設けることで、上記のリングング等のノイズ成分を低減し、寄生容量やグラウンドへとつながる伝送線路や、インダクタンス成分を低減する

ことができる。

[0310] 図29及び図30は、本発明の第9の実施形態に係る別の情報記録再生装置の構成を例示する模式的斜視図である。

図29に表したように、本実施形態に係る別の情報記録再生装置221においては、Y方向に延びたビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} の上下に、X方向に延びたワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} がそれぞれ設けられている。そして、これらビット線とワード線とのクロスポイントに、メモリセル33及び整流素子34がそれぞれ配設されている。つまり、ビット線をその上下のメモリセルで共有した構造とされている。メモリセル33には、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかが設けられる。

[0311] 図30に表したように、本実施形態に係る別の情報記録再生装置222においては、Y方向の延びたビット線 BL_{j-1} 、 BL_j 、 BL_{j+1} と、X方向に延びたワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} と、が交互に積層された構造を有する。そして、これらビット線とワード線とのクロスポイントに、メモリセル33及び整流素子34がそれぞれ配設されている。メモリセル33には、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかが設けられる。

[0312] 情報記録再生装置221及び情報記録再生装置222のように、メモリセル33を積み重ねて、メモリセルアレイを3次元構造にすることで、記録密度を上げることが可能となる。なお、メモリセル33の積層数は任意である。

[0313] 本実施形態に係る情報記録再生装置220、221、222のクロスポイント型メモリにおいては、本発明の実施形態に係る抵抗変化素子の少なくともいずれかを用いることで、多値記録を可能とする情報記録再生装置が提供でき、現在のハードディスクやフラッシュメモリよりも高記録密度及び低消費電力を実現できる。

[0314] (第10の実施の形態)

本発明の第10の実施形態に係る情報記録再生装置はフラッシュメモリ型の情報記録再生装置である。

図31は、本発明の第10の実施形態に係る情報記録再生装置の要部の構成を例示する模式的断面図である。

図32は、本発明の第10の実施形態に係る情報記録再生装置の動作を例示する

模式的断面図である。

図31に表したように、本実施形態に係る情報記録再生装置260においては、フラッシュメモリ型のメモリセルを有し、このメモリセルは、MIS(metal-insulator-semiconductor)トランジスタから構成される。

[0315] すなわち、半導体基板41の表面領域には、拡散層42が形成される。拡散層42の間のチャンネル領域上には、ゲート絶縁層43、抵抗変化素子44とコントロールゲート電極45とが順次形成される。

[0316] ここで、抵抗変化素子44には、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかが用いられる。

[0317] すなわち、図31では図示しないが、抵抗変化素子44は、第1～第7の実施形態で説明した上部電極13Aと記録部12(すなわち、第1抵抗変化層12A1及び第2抵抗変化層12A2)とを有する。さらに、抵抗変化素子44は、第1～第7の実施形態で説明した下部電極12をさらに有することができる。

[0318] すなわち、本実施形態に係る情報記録再生装置260は、第1～第7の実施形態で説明した抵抗変化素子の少なくともいずれかと、前記抵抗変化素子の記録部12に電圧を印加し、または、電流を通電して、記録部12に3種以上の抵抗状態の間を遷移させて情報を記録する駆動部(図示しない)と、を備える。

この場合の駆動部は、コントロールゲート電極45に接続され、駆動部は、コントロールゲート電極45を介して、抵抗変化素子44の記録部12への電圧の印加、及び、抵抗変化素子44の記録部12への電流の通電、の少なくともいずれかを行う。

[0319] すなわち、本実施形態に係る情報記録再生装置260は、ゲート電極(コントロールゲート電極45)とゲート絶縁膜(ゲート絶縁層43)とを有するMISTランジスタをさらに備える。抵抗変化素子44は、前記MISTランジスタの前記ゲート電極と前記ゲート絶縁層との間に設けられる。

[0320] なお、上記において、抵抗変化素子44の上部電極13A及び下部電極11のいずれかは、例えばコントロールゲート電極45と兼用されても良い。

[0321] 半導体基板41は、ウェル領域でもよく、また、半導体基板41と拡散層42とは、互いに逆の導電型を有する。コントロールゲート電極45は、ワード線となり、例えば、導電

性ポリシリコンから構成される。

[0322] 図32を参照しつつ、その基本動作について説明する。

セット動作SO(書き込み動作)は、コントロールゲート電極45に電位V1を与え、半導体基板41に電位V2を与えることにより実行する。

[0323] 電位V1及び電圧V2との差は、記録情報”3”、”2”、”1”、”0”の値に対応して、抵抗変化素子44の抵抗値が4値に変化する電圧、つまりしきい電圧 V_{sh_1} 、 V_{sh_2} 、 V_{sh_3} 、 V_{sh_4} に対して適当な大きさとされるが、その向きについては、特に、限定されない。

すなわち、 $V1 > V2$ 及び $V1 < V2$ のいずれでも良い。

[0324] 例えば、初期状態(リセット状態)において、抵抗変化素子44の第1抵抗変化層12A1及び第2抵抗変化層12A2の両方が高抵抗状態HRであると仮定すると、実質的にゲート絶縁層43が厚くなったことになるため、メモリセル(MISTランジスタ)の閾値は、最も高くなる。

[0325] この状態から電位V1、V2を与えて抵抗変化素子44の第1抵抗変化層12A1及び第2抵抗変化層12A2の少なくともいずれかが低抵抗状態LRに変化すると、実質的にゲート絶縁層43が薄くなったことになるため、メモリセル(MISTランジスタ)の閾値は、記録した情報に応じて変化する。

[0326] なお、電位V2は、半導体基板41に与えたが、これに代えて、メモリセルのチャネル領域に拡散層42から電位V2を転送するようにしても良い。

[0327] 消去動作は、コントロールゲート電極45に電位V1'を与え、拡散層42の一方に電位V3を与え、拡散層42の他方に電位V4($< V3$)を与えることにより実行する。

[0328] 電位V1'とV2との差は、第1抵抗変化層12A1及び第2抵抗変化層12A2をリセット状態にするしきい電圧 V_{sh_4} を越える値にする。

[0329] このとき、メモリセルは、オンになり、電子が拡散層42の他方から一方に向かって流れると共に、ホットエレクトロンが発生する。このホットエレクトロンは、ゲート絶縁層43を介して抵抗変化素子44に注入されるため、抵抗変化素子44の温度が上昇する。

[0330] これにより、抵抗変化素子44の第1抵抗変化層12A1及び第2抵抗変化層12A2は、低抵抗状態LRから高抵抗状態HRに変化するため、実質的にゲート絶縁層43

が厚くなったことになり、メモリセル(MISTランジスタ)の閾値は、高くなる。

[0331] このように、本実施形態に係る情報記録再生装置260は、フラッシュメモリと類似した原理により、記録情報に応じてメモリセルの閾値を多値に変えることができる。すなわち、フラッシュメモリの技術を利用して、情報記録再生装置を実用化できる。

本実施形態に係る情報記録再生装置260においては、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかを用いるので、多値記録を可能とする情報記録再生装置が提供できる。

[0332] (NAND型フラッシュメモリ)

図33は、本発明の第10の実施形態に係る別の情報記録再生装置の要部の構成を例示する模式図である。

図34は、本発明の第10の実施形態に係る別の情報記録再生装置の要部を例示する模式的断面図である。

すなわち、本実施形態に係る別の情報記録再生装置261は、NAND型フラッシュメモリであり、図33は、NANDセルユニット261c及びそれに接続された駆動部600を例示しており、図34は、NANDセルユニット261cの構造を例示している。

[0333] 図33及び図34に表したように、P型半導体基板41a内には、N型ウェル領域41b及びP型ウェル領域41cが形成される。P型ウェル領域41c内に、本実施形態の例に係るNANDセルユニット261cが形成される。

[0334] NANDセルユニット261cは、直列接続される複数のメモリセルMCからなるNANDストリングと、その両端に1つずつ接続される合計2つのセレクトゲートランジスタSTとから構成される。

[0335] メモリセルMC及びセレクトゲートランジスタSTは、同じ構造を有する。具体的には、これらは、N型拡散層42と、N型拡散層42の間のチャネル領域上のゲート絶縁層43と、ゲート絶縁層43上の抵抗変化素子44と、抵抗変化素子44上のコントロールゲート電極45(CG)と、から構成される。

なお、セレクトゲートランジスタSTにおいては、第1～第7の実施形態に係る抵抗変化素子を用いなくても良く、この代わりに1層の抵抗変化層や導電層を用いることができる。

- [0336] そして、各コントロールゲート電極45(CG)は、駆動部600に電氣的に接続される。なお、駆動部600は、NANDセルユニット261cが設けられる基板に設けられても良く、それとは別の基板に設けられても良い。
- [0337] そして、抵抗変化素子44には、第1～第7の実施形態に係る抵抗変化素子の少なくともいずれかが用いられる。すなわち、これらの図には図示しないが、抵抗変化素子44には、第1～第7の実施形態で説明した第1抵抗変化層12A1及び第2抵抗変化層12A2が設けられている。
- [0338] メモリセルMCの抵抗変化素子44の状態(高抵抗状態HR／低抵抗状態LR)は、上述した基本動作により変化させることが可能である。これに対し、セレクトゲートトランジスタSTの抵抗変化素子44の第1抵抗変化層12A1及び第2抵抗変化層12A2は、セット状態、すなわち、低抵抗状態LRに固定される。
- [0339] セレクトゲートトランジスタSTの1つは、ソース線SLに接続され、他の1つは、ビット線BLに接続される。
- [0340] セット動作SO(書き込み動作)前には、NANDセルユニット261c内の全てのメモリセル33は、リセット状態(高抵抗状態HR)になっているものとし、これを記録データ”3”の状態とする。
- [0341] セット動作SO(書き込み動作)は、ソース線SL側のメモリセルMCからビット線BL側のメモリセルに向かって1つずつ順番に行われる。
- 選択されたワード線(コントロールゲート電極)WLに記録する情報に応じた書き込み電位としてV1(プラス電位)を与え、非選択のワード線WLに転送電位(メモリセルMCがオンになる電位)としてVpassを与える。
- [0342] ソース線SL側のセレクトゲートトランジスタSTをオフ、ビット線BL側のセレクトゲートトランジスタSTをオンにし、ビット線BLから選択されたメモリセルMCのチャネル領域にプログラムデータを転送する。
- 例えば、プログラムデータが”3”のときは、選択されたメモリセルMCのチャネル領域に書き込み禁止電位(例えば、V1と同じ程度の電位)を転送し、選択されたメモリセルMCの抵抗変化素子44の抵抗値が高い状態から低い状態に変化しないようにする。

また、プログラムデータが”2”、”1”、“0”のときは、選択されたメモリセルMCのチャネル領域に記録するデータに対応した電圧 $V_2 (< V_1)$ を転送し、選択されたメモリセルMCの抵抗変化素子44の抵抗値を高いリセット状態から低い状態に変化させる。

[0343] 消去動作では、例えば、全てのワード線(コントロールゲート電極)WLに V_1' を与え、NANDセルユニット内の全てのメモリセルMCをオンにする。また、2つのセレクトゲートトランジスタSTをオンにし、ビット線BLに V_3 を与え、ソース線SLに $V_4 (< V_3)$ を与える。

このとき、ホットエレクトロンがNANDセルユニット261c内の全てのメモリセルMCの抵抗変化素子44に注入されるため、NANDセルユニット261c内の全てのメモリセルMCに対して一括してリセット動作が実行される。

[0344] 読み出し動作は、選択されたワード線(コントロールゲート電極)WLに読み出し電位 V (プラス電位)を与え、非選択のワード線(コントロールゲート電極)WLには、メモリセルMCがデータ”0”~”3”によらず必ずオンになる電位を与える。

また、2つのセレクトゲートトランジスタSTをオンにし、NANDストリングに読み出し電流を供給する。

[0345] 選択されたメモリセルMCは、読み出し電位が印加されると、それに記憶されたデータの値に応じてオン又はオフになるため、記録データ”0”~”3”に対応した閾値電圧をWLの読み出し電位 V として選択して、例えば、 V を変化して読み出し電流の変化の検出を繰り返すことにより、データ”0”~”3”を読み出すことができる。

[0346] なお、図34に例示した構造では、セレクトゲートトランジスタSTは、メモリセルMCと同じ構造を有しているが、以下のように変形しても良い。

図35は、本発明の第10の実施形態に係る変形例の情報記録再生装置の要部を例示する模式的断面図である。

図35に表したように、本実施形態に係る変形例の情報記録再生装置262では、セレクトゲートトランジスタSTについては、抵抗変化素子44を形成せずに、通常MISトランジスタを用いている。このように、セレクトトランジスタSTの構造は任意である。

[0347] 図36は、本発明の第10の実施形態に係る変形例の情報記録再生装置の要部を例示する模式的断面図である。

図36に表したように、本実施形態に係る変形例の情報記録再生装置263では、N ANDストリングを構成する複数のメモリセルMCのゲート絶縁層がP型半導体層47に置き換えられている。

[0348] 高集積化が進み、メモリセルMCが微細化されると、電圧を与えていない状態で、P型半導体層47は、空乏層で満たされることになる。

[0349] セット動作SO(書き込み動作)時には、選択されたメモリセルMCのコントロールゲート電極45にプラスの書き込み電位(例えば、3.5V)を与え、かつ、非選択のメモリセルMCのコントロールゲート電極45にプラスの転送電位(例えば、1V)を与える。

[0350] このとき、NANDストリング内の複数のメモリセルMCのP型ウェル領域41cの表面がP型からN型に反転し、チャネルが形成される。

[0351] そこで、上述したように、ビット線BL側のセレクトゲートトランジスタSTをオンにし、ビット線BLから選択されたメモリセルMCのチャネル領域にプログラムデータ“0”～“2”を転送すれば、セット動作を行うことができる。

[0352] 消去は、例えば、全てのコントロールゲート電極45にマイナスの消去電位(例えば、-3.5V)を与え、P型ウェル領域41c及びP型半導体層47に接地電位(0V)を与えれば、NANDストリングを構成する全てのメモリセルMCに対して一括して行うことができる。

[0353] 読み出し時には、選択されたメモリセルMCのコントロールゲート電極45にプラスの読み出し電位V(例えば、0.25V、0.5V、0.75V)を与え、かつ、非選択のメモリセルMCのコントロールゲート電極45に、メモリセルMCがデータ“0”～“3”によらず必ずオンになる転送電位(例えば、1V)を与える。

[0354] ただし、“i”状態のメモリセルMCの閾値電圧 V_{th}^i ”(i=0～3)は、

$$0V < V_{th}^0 < 0.25V$$

$$0.25V < V_{th}^1 < 0.5V$$

$$0.5V < V_{th}^2 < 0.75V$$

$$0.75V < V_{th}^3 < 1V$$

の範囲内にあるものとする。

また、2つのセレクトゲートトランジスタSTをオンにし、NANDストリングに読み出し

電流を供給する。

[0355] このような状態にすれば、読み出し電位Vを変化すると、選択されたメモリセルMCに記憶されたデータの値に応じてNANDストリングに流れる電流量が変わるため、この変化を検出することにより、データを読み出すことができる。つまり、 $V=0.25V$ でNANDストリングにON電流が流れれば、データ”0”と再生される。ON電流が流れなければ $V=0.5V$ として同様に電流を読む。ON電流が流れれば、データ”1”と再生される。ON電流が流れなければ、 $V=0.75V$ として、同様に電流を読む。ON電流が流れれば、データ”2”と再生され、ON電流が流れなければ、データ”3”と再生される。

[0356] なお、この変形例においては、P型半導体層47のホールドープ量がP型ウェル領域41cのそれよりも多く、かつ、P型半導体層47のフェルミレベルがP型ウェル領域41cのそれよりも0.5V程度深くなっていることが望ましい。

これは、コントロールゲート電極45にプラスの電位を与えたときに、N型拡散層42間のP型ウェル領域41cの表面部分からP型からN型への反転が開始し、チャンネルが形成されるようにするためである。

このようにすることで、例えば、書き込み時には、非選択のメモリセルMCのチャンネルは、P型ウェル領域41cとP型半導体層47の界面のみに形成され、読み出し時には、NANDストリング内の複数のメモリセルMCのチャンネルは、P型ウェル領域41cとP型半導体層47の界面のみに形成される。

[0357] つまり、メモリセルMCの抵抗変化素子44が導電体(セット状態)であっても、拡散層42とコントロールゲート電極45とが短絡することはない。

[0358] (NOR型フラッシュメモリ)

図37は、本発明の第10の実施形態に係る別の情報記録再生装置の要部の構成を例示する模式図である。

図38は、本発明の第10の実施形態に係る別の情報記録再生装置の要部を例示する模式的断面図である。

すなわち、本実施形態に係る別の情報記録再生装置264は、NOR型フラッシュメモリであり、図37は、NORセルユニット264c及びそれに接続された駆動部600を例

示しており、図38は、NORセルユニット264cの構造を例示している。

[0359] 図37及び図38に表したように、P型半導体基板41a内には、N型ウェル領域41b及びP型ウェル領域41cが形成されている。P型ウェル領域41c内に、本実施形態の例に係るNORセルが形成されている。

[0360] NORセルは、ビット線BLとソース線SLとの間に接続される1つのメモリセル(MISトランジスタ)MCから構成される。

[0361] メモリセルMCは、N型拡散層42と、N型拡散層42の間のチャネル領域上のゲート絶縁層43と、ゲート絶縁層43上の抵抗変化素子44と、抵抗変化素子44上のコントロールゲート電極45と、から構成される。

[0362] そして、各コントロールゲート電極45(CG)は、駆動部600に電氣的に接続される。なお、駆動部600は、NORセルユニット264cが設けられる基板に設けられても良く、それとは別の基板に設けられても良い。

[0363] メモリセルMCの抵抗変化素子44の状態(高抵抗状態HR/低抵抗状態)は、上述の基本動作により変化させることが可能である。

[0364] (2トランジスタ型フラッシュメモリ)

図39は、本発明の第10の実施形態に係る別の情報記録再生装置の要部の構成を例示する模式図である。

図40は、本発明の第10の実施形態に係る別の情報記録再生装置の要部を例示する模式的断面図である。

すなわち、本実施形態に係る別の情報記録再生装置265は、2トラ型フラッシュメモリであり、図39は、2トラセルユニット265c及びそれに接続された駆動部600を例示しており、図40は、2トラセルユニット265cの構造を例示している。

[0365] 図39及び図40に表したように、2トランジスタ型セルユニット265cは、NANDセルユニットの特徴とNORセルの特徴とを併せ持ったセル構造である。

[0366] P型半導体基板41a内には、N型ウェル領域41b及びP型ウェル領域41cが形成される。P型ウェル領域41c内に、2トランジスタ型セルユニット265cが形成される。

[0367] 2トランジスタ型セルユニット265cは、直列接続される1つのメモリセルMCと1つのセレクトゲートトランジスタSTとから構成される。

- [0368] メモリセルMC及びセレクトゲートトランジスタSTは、同じ構造を有する。具体的には、これらは、N型拡散層42と、N型拡散層42の間のチャネル領域上のゲート絶縁層43と、ゲート絶縁層43上の抵抗変化素子44と、抵抗変化素子44上のコントロールゲート電極45と、から構成される。
- [0369] そして、各コントロールゲート電極45(CG)は、駆動部600に電氣的に接続される。なお、駆動部600は、2トラセルユニット265cが設けられる基板に設けられても良く、それとは別の基板に設けられても良い。
- [0370] なお、セレクトゲートトランジスタSTにおいては、第1～第7の実施形態に係る抵抗変化素子を用いなくても良く、この代わりに1層の抵抗変化層や導電層を用いることができる。
- [0371] メモリセルMCの抵抗変化素子44の状態(高抵抗状態HR／低抵抗状態LR)は、上述の基本動作により変化させることが可能である。これに対し、セレクトゲートトランジスタSTの抵抗変化素子44は、セット状態、すなわち、導電体(抵抗小)に固定される。
- [0372] セレクトゲートトランジスタSTは、ソース線SLに接続され、メモリセルMCは、ビット線BLに接続される。
- [0373] メモリセルMCの抵抗変化素子44の状態(高抵抗状態HR／低抵抗状態)は、上述の基本動作により変化させることが可能である。
- [0374] なお、図40に例示した構造では、セレクトゲートトランジスタSTは、メモリセルMCと同じ構造を有しているが、以下のように変形しても良い。
- 図41は、本発明の第10の実施形態に係る変形例の情報記録再生装置の要部を例示する模式的断面図である。
- 図41に表したように、本実施形態に係る変形例の情報記録再生装置266では、セレクトゲートトランジスタSTについては、抵抗変化素子44を形成せずに、通常MISトランジスタとされている。
- [0375] 本実施形態に係る情報記録再生装置260～266においても、例えば、バンド・パス・フィルターやロー・パス・フィルター等を設けることで、上記のリングング等のノイズ成分を低減し、寄生容量やグラウンドへとつながる伝送線路や、インダクタンス成分を低

減することができる。

[0376] 以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。例えば、抵抗変化素子及び情報記録再生装置を構成する各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

[0377] その他、本発明の実施の形態として上述した抵抗変化素子及び情報記録再生装置を基にして、当業者が適宜設計変更して実施し得る全ての抵抗変化素子及び情報記録再生装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0378] その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

産業上の利用可能性

[0379] 本発明によれば、多値記録を可能とする抵抗変化素子及び情報記録再生装置が提供される。

請求の範囲

- [1] 印加される電圧及び通電される電流の少なくともいずれかによって電気抵抗率の異なる複数の状態を呈する第1抵抗変化層と、
 前記第1抵抗変化層に積層して設けられ、前記第1抵抗変化層とは異なる組成を有し、印加される電圧及び通電される電流の少なくともいずれかによって電気抵抗率の異なる複数の状態を呈する第2抵抗変化層と、
 を有する抵抗変化部と、
 前記抵抗変化部の膜面に垂直に電圧の印加及び電流の通電の少なくともいずれかを行う電極層と、
 を備え、
 前記第1抵抗変化層における異なる複数の状態どうしの間を遷移する電圧及び電流の少なくともいずれかと、前記第2抵抗変化層における異なる複数の状態どうしの間を遷移する電圧及び電流の少なくともいずれかが互いに異なっていることを特徴とする抵抗変化素子。
- [2] 前記第1抵抗変化層における前記異なる複数の状態どうしの間を遷移する前記電圧と、
 前記第2抵抗変化層における前記異なる複数の状態どうしの間を遷移する前記電圧と、は、0.1V以上異なることを特徴とする請求項1記載の抵抗変化素子。
- [3] 前記第1抵抗変化層及び前記第2抵抗変化層は、 $A M X_{\frac{x}{y} \frac{4}{3}}$ ($0.1 \leq x \leq 2.2$, $1.8 \leq y \leq 2$)を含み、前記AはNa、K、Rb、Be、Mg、Ca、Sr、Ba、Al、Ga、Mn、Fe、Co、Ni、Cu、Zn、Ge、Ag、Au、Cd、Sn、Sb、Pt、Pd、Hg、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、前記MはAl、Ga、Ti、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Nb、Ta、Mo、W、Ru及びRhよりなる群から選択された少なくともいずれかを含む元素であり、前記XはO及びNよりなる群から選択された少なくともいずれかを含む元素であり、かつ前記Aと前記Mとは互いに異なる元素であることを特徴とする請求項1記載の抵抗変化素子。
- [4] 前記第1抵抗変化層及び前記第2抵抗変化層は、 $A M X_{\frac{x}{y} \frac{3}{3}}$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)を含み、前記AはNa、K、Rb、Be、Mg、Ca、Sr、Ba、Al、Ga、Mn、Fe、Co、Ni、Cu、Zn、Ge、Ag、Au、Cd、Sn、Sb、Pt、Pd、Hg、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、前記MはAl、Ga、Ti、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Nb、Ta、Mo、W、Ru及びRhよりなる群から選択された少なくともいずれかを含む元素であり、前記XはO及びNよりなる群から選択された少なくともいずれかを含む元素であり、かつ前記Aと前記Mとは互いに異なる元素であることを特徴とする請求項1記載の抵抗変化素子。

o、Ni、Cu、Zn、Ge、Ag、Au、Cd、Sn、Sb、Pt、Pd、Hg、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、前記MはAl、Ga、Ti、Ge、Sn、V、Cr、Mn、Fe、Co、Ni、Nb、Ta、Mo、W、Ru及びRhよりなる群から選択された少なくともいずれかを含む元素であり、前記XはO及びNよりなる群から選択された少なくともいずれかを含む元素であり、かつ前記Aと前記Mとは互いに異なる元素であることを特徴とする請求項1記載の抵抗変化素子。

- [5] 前記第1抵抗変化層及び第2抵抗変化層は、 $A_x M_y X_z$ ($0.5 \leq x \leq 1.1$, $0.9 \leq y \leq 1$)を含み、前記AはMg、Ca、Sr、Al、Ga、Sb、Ti、V、Cr、Mn、Fe、Co、Rh、In、Sb、Tl、Pb及びBiよりなる群から選択された少なくともいずれかを含む元素であり、前記MはAl、Ga、Ti、Ge、Sn、V、Nb、Ta、Cr、Mn、Mo、W、Ir及びOsよりなる群から選択された少なくともいずれかを含む元素であり、前記XはO及びNよりなる群から選択された少なくともいずれかを含む元素であり、かつ前記Aと前記Mとは互いに異なる元素であることを特徴とする請求項1記載の抵抗変化素子。

- [6] 前記第1抵抗変化層及び前記第2抵抗変化層は、微結晶グラファイトとアモルファスカーボンの混合体から構成され、前記微結晶グラファイトと前記アモルファスカーボンとの混合比は、前記第1抵抗変化層と前記第2抵抗変化層とで異なることを特徴とする請求項1記載の抵抗変化素子。

- [7] 前記第1抵抗変化層及び前記第2抵抗変化層は、微結晶グラファイトとアモルファスカーボンの混合体から構成され、前記微結晶グラファイトと前記アモルファスカーボンとの混合比が前記第1抵抗変化層と前記第2抵抗変化層とで異なり、前記第1抵抗変化層と前記第2抵抗変化層のそれぞれの電気抵抗率は $10^{-4} \Omega \text{cm}$ 以上、 $10^2 \Omega \text{cm}$ 以下であることを特徴とする請求項1記載の抵抗変化素子。

- [8] 前記第1抵抗変化層及び第2抵抗変化層は、コランダム構造、ルチル構造、スピネル構造、ラムスデライト構造、アナターゼ構造、ホランダイト構造、ブルッカイト構造、パイロルース構造、NaCl構造、プロベスカイト構造、イルメナイト構造及びウルフラマイト構造よりなる群から選択されたいずれかの構造を有することを特徴とする請求項1記載の抵抗変化素子。

- [9] 前記電極層は、Ti-N、Ti-Si-N、Ta-N、Ta-Si-N、Si-N、Ti-C、Ta-

C、Si-C及びW-Nよりなる群から選択された少なくともいずれかの窒化物、炭化物、酸化物、及び、窒化物と炭化物と酸化物とのうちの少なくとも2以上からなる混合体、の少なくともいずれかを含むことと特徴とする請求項1記載の抵抗変化素子。

[10] 前記第1抵抗変化層及び第2抵抗変化層の厚さは、5nm以上、50nm以下であることを特徴とする請求項1記載の抵抗変化素子。

[11] 前記第1抵抗変化層と前記第2抵抗変化層との間、前記第1抵抗変化層と前記電極層との間、及び、前記第2抵抗変化層と前記電極層との間、の少なくともいずれかに設けられ、前記第1抵抗変化層及び前記第2抵抗変化層とは異なる材料からなる分離層をさらに備えたことを特徴とする請求項1記載の抵抗変化素子。

[12] 前記分離層は、Ti-N、Ti-Si-N、Ta-N、Ta-Si-N、Si-N、Ti-C、Ta-C、Si-C及びW-Nよりなる群から選ばれた少なくとも1種の窒化物、炭化物、酸化物、及び、窒化物と炭化物と酸化物とのうちの少なくとも2以上からなる混合体、の少なくともいずれかを含むことを特徴とする請求項11記載の抵抗変化素子。

[13] 前記分離層は、 ZnO 、 SnO_2 、 In_2O_3 、 TiO_s ($1 \leq s \leq 2$)、 In_2O_3 、 IrO_2 、 RuO_2 、Ir、Ru及びTaよりなる群から選択された少なくともいずれかを含むことを特徴とする請求項11記載の抵抗変化素子。

[14] 前記分離層は、 Ga_2O_3 、 Al_2O_3 、 Nb_2O_5 、 SnO_2 、 Ta_2O_5 及び Sb_2O_3 よりなる群から選択された少なくともいずれかを含むことを特徴とする請求項11記載の抵抗変化素子。

[15] 前記分離層は、W、Ta、Si、Ir、Ru、Au、Pt、Pd、Mo、Ni、Cr及びCoよりなる群から選択された少なくともいずれかを含むことを特徴とする請求項11記載の抵抗変化素子。

[16] 請求項1記載の抵抗変化素子と、

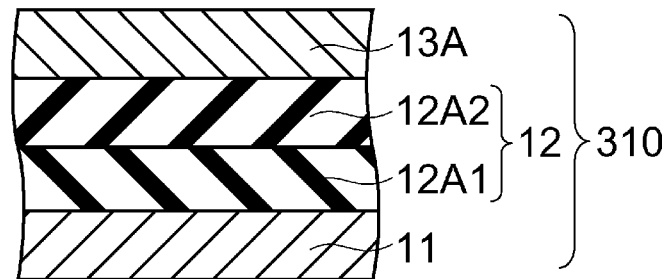
前記抵抗変化素子の前記抵抗変化部への電圧の印加、及び、前記抵抗変化部への電流の通電、の少なくともいずれかによって、前記抵抗変化部に複数の抵抗状態の間を遷移させて情報を記録する駆動部と、
を備えたことを特徴とする情報記録再生装置。

[17] 前記抵抗変化素子を挟むようにして設けられたワード線及びビット線をさらに備え、

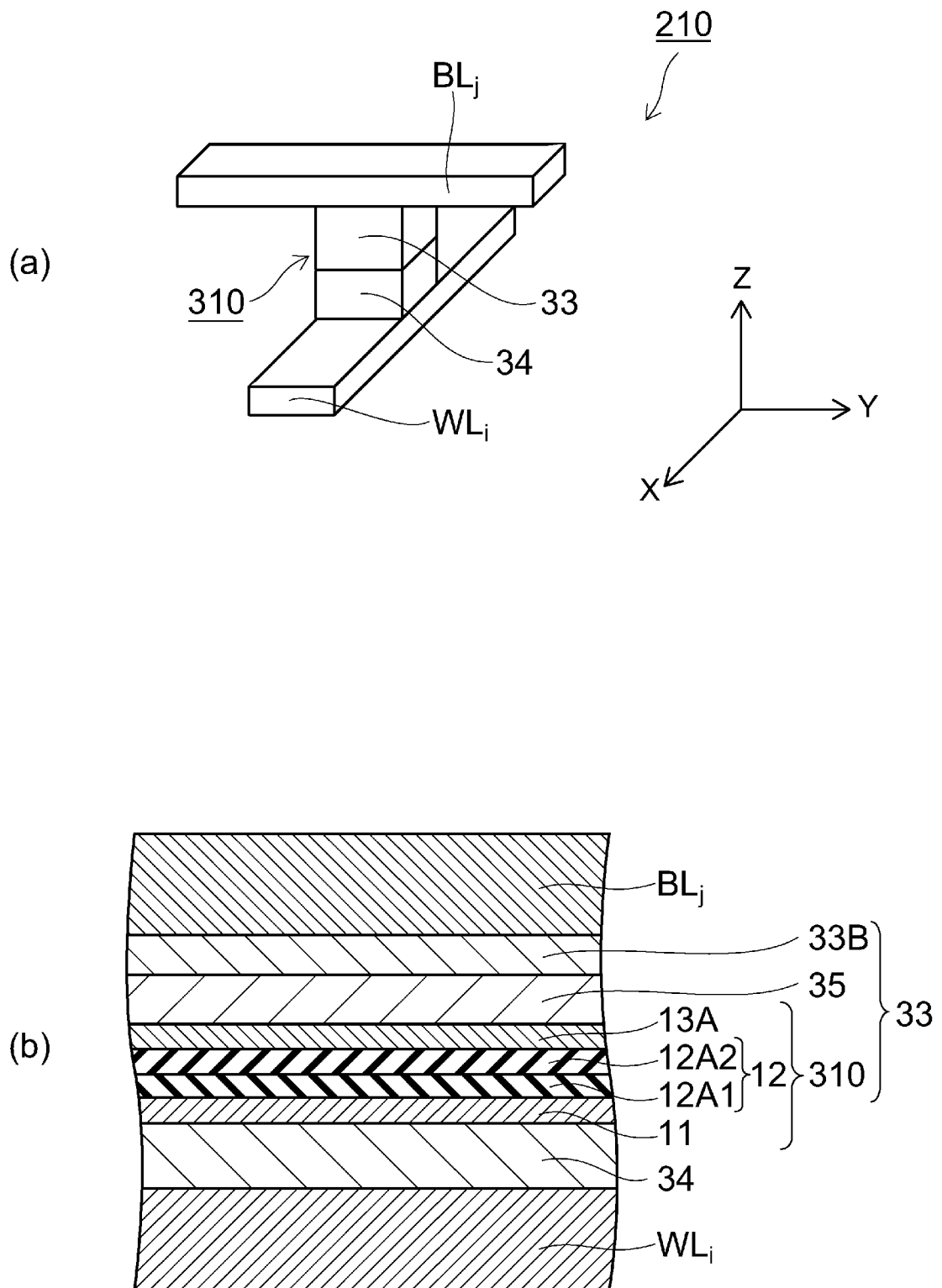
前記駆動部は、前記ワード線及び前記ビット線を介して、前記抵抗変化素子の前記抵抗変化部への電圧の印加、及び、前記抵抗変化部への電流の通電、の少なくともいずれかを行うことを特徴とする請求項16記載の情報記録再生装置。

- [18] 前記抵抗変化素子に併設されたプローブをさらに備え、
前記駆動部は、前記プローブを介して、前記抵抗変化素子の前記抵抗変化部の記録単位に対して前記電圧の印加及び前記電流の通電の少なくともいずれかを行うことを特徴とする請求項16記載の情報記録再生装置。
- [19] 前記抵抗変化素子を挟むゲート電極とゲート絶縁層とを含むMISトランジスタをさらに備え、
前記駆動部は、前記ゲート電極を介して、前記抵抗変化素子の前記抵抗変化部への電圧の印加、及び、前記抵抗変化部への電流の通電、の少なくともいずれかを行うことを特徴とする請求項16記載の情報記録再生装置。
- [20] 第1導電型半導体基板内に設けられた第1及び第2の第2導電型半導体層と、
前記第1及び第2の第2導電型半導体領域の間の第1導電型半導体領域と、
前記第1及び第2の第2導電型半導体領域間における導通／非導通を制御するゲート電極と、
をさらに備え、
前記抵抗変化素子は、前記ゲート電極と前記第1導電型半導体領域との間に配置され、
前記駆動部は、前記ゲート電極を介して、前記抵抗変化素子の前記抵抗変化部への電圧の印加、及び、前記抵抗変化部への電流の通電、の少なくともいずれかを行うことを特徴とする請求項16記載の情報記録再生装置。

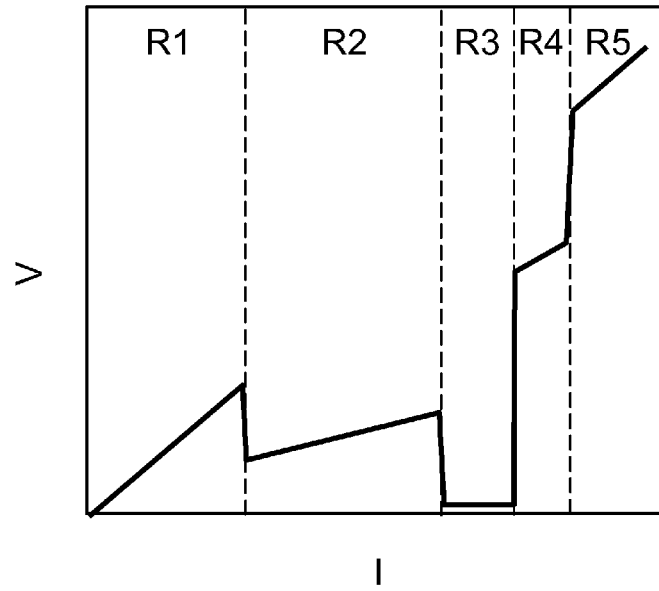
[図1]



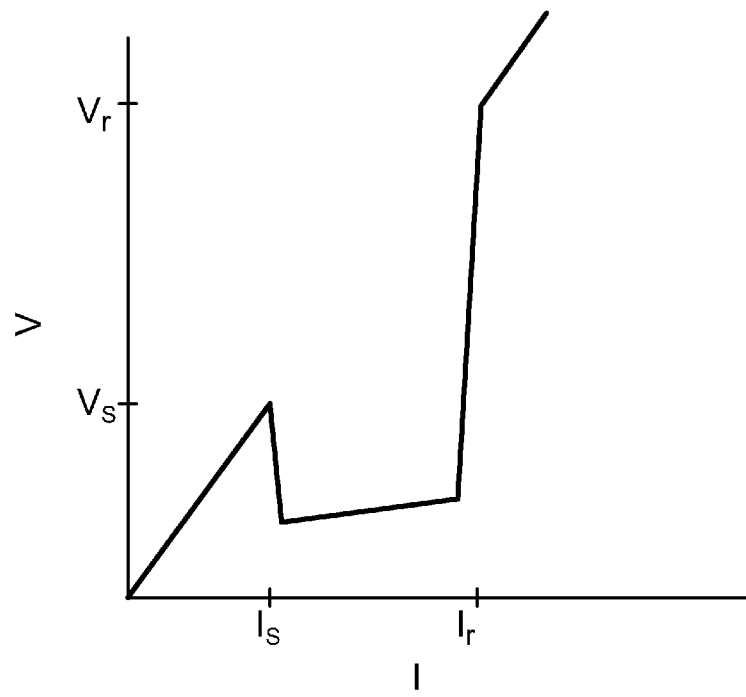
[図2]



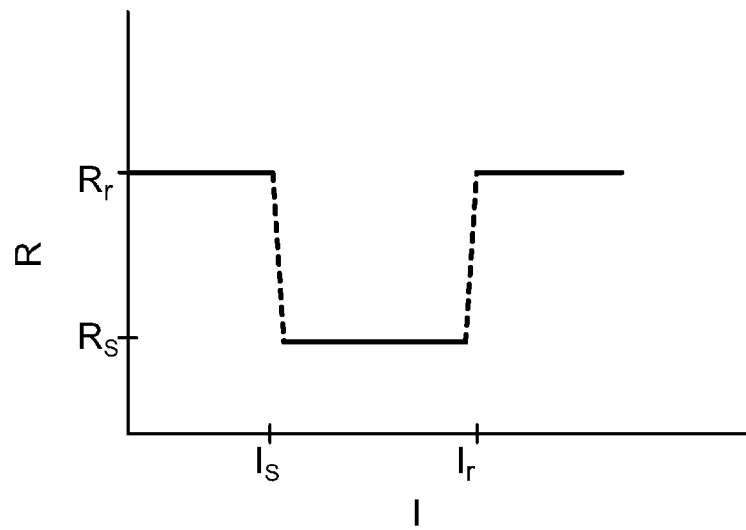
[図3]



[図4]

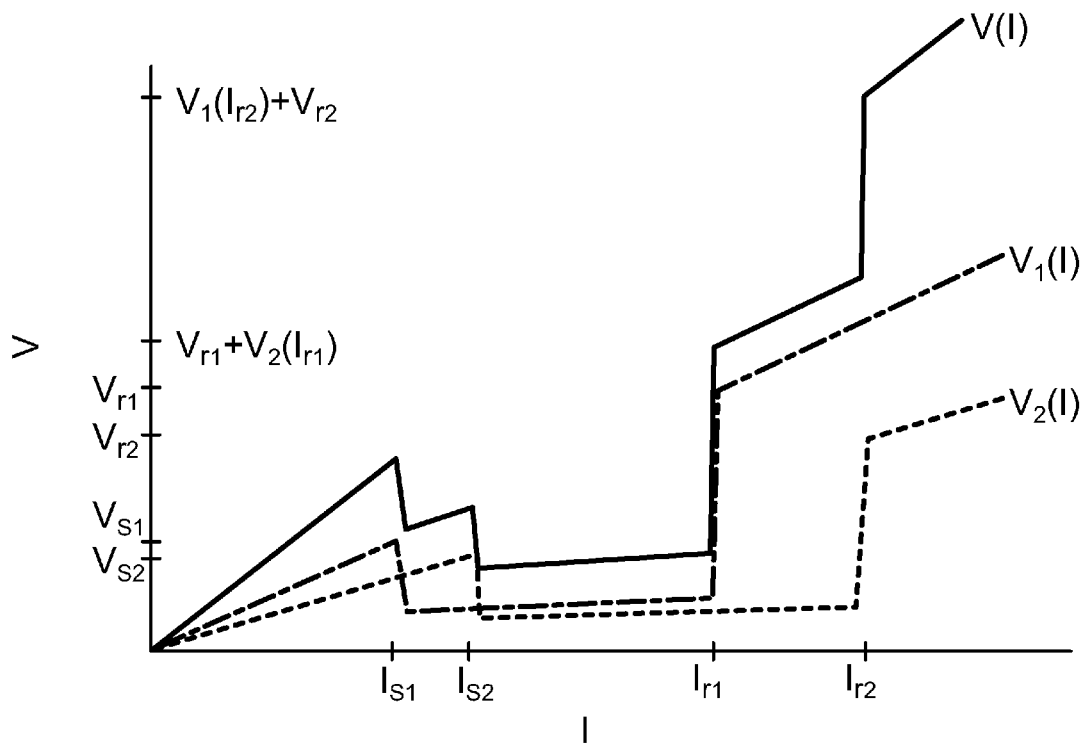


(a)

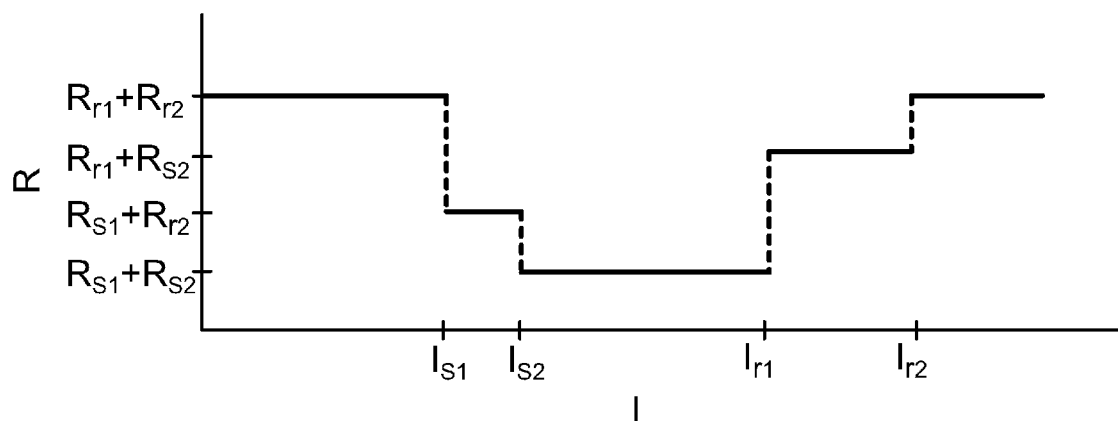


(b)

[図5]

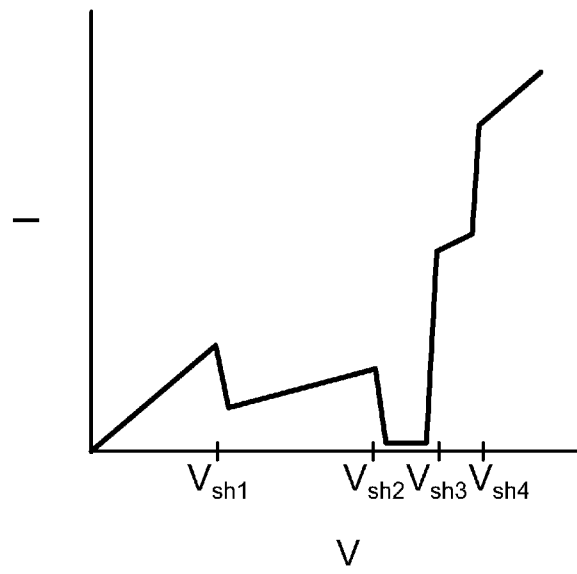


(a)

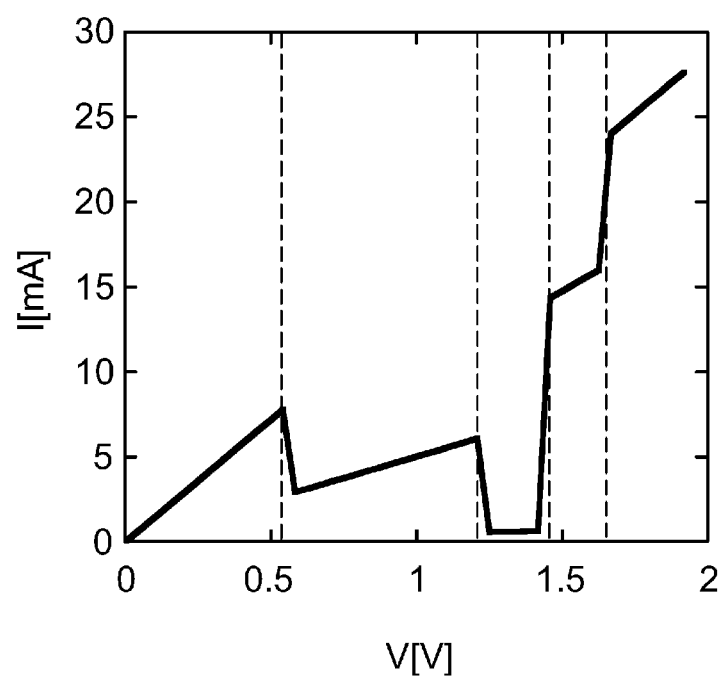


(b)

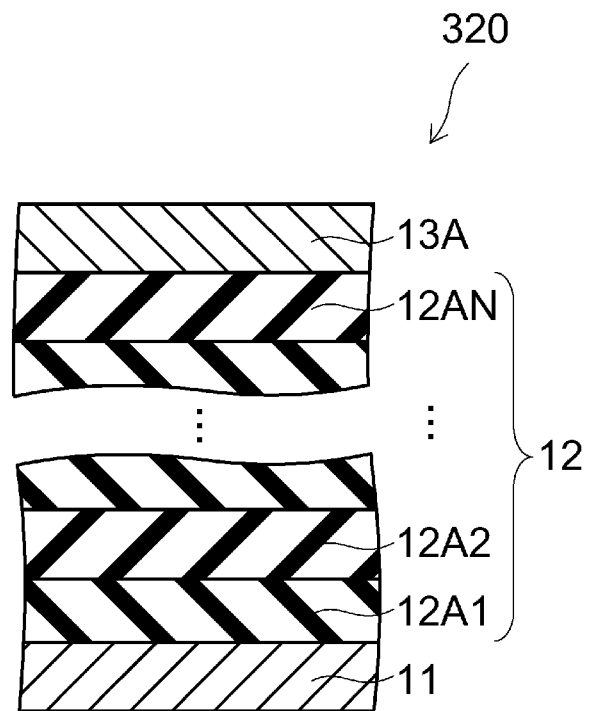
[図6]



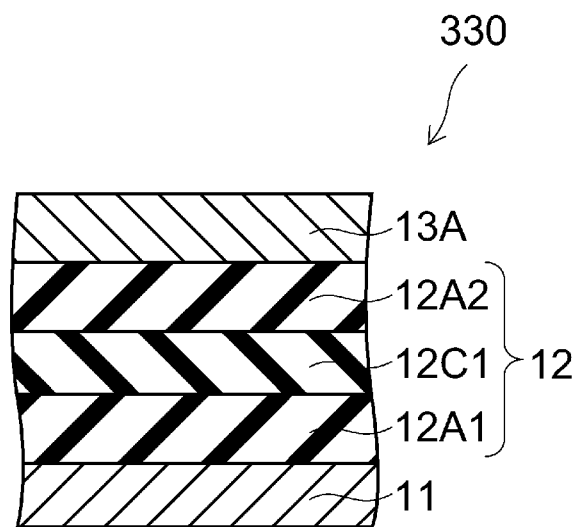
[図7]



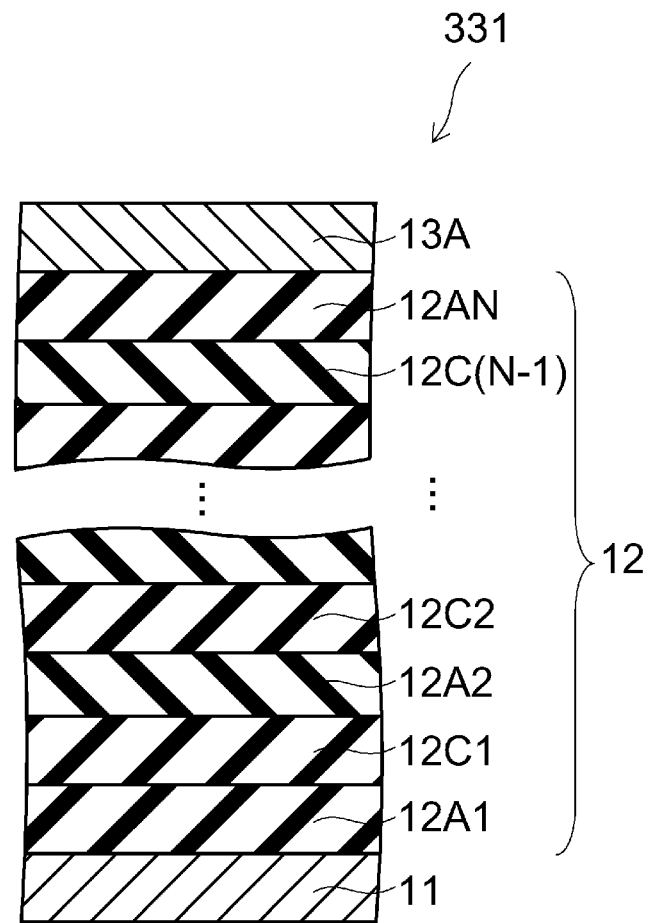
[図8]



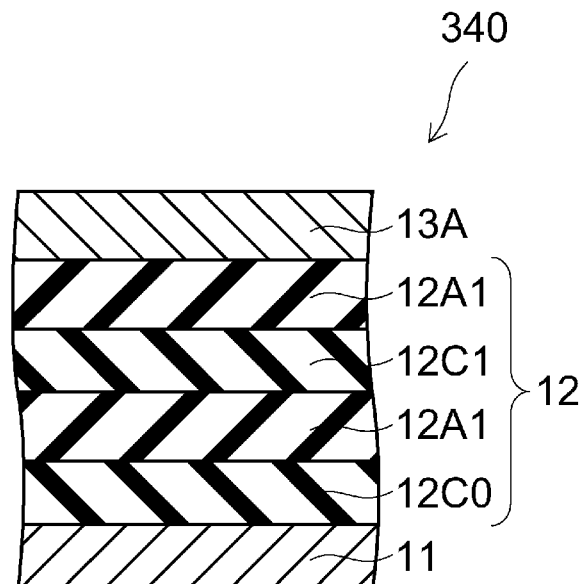
[図9]



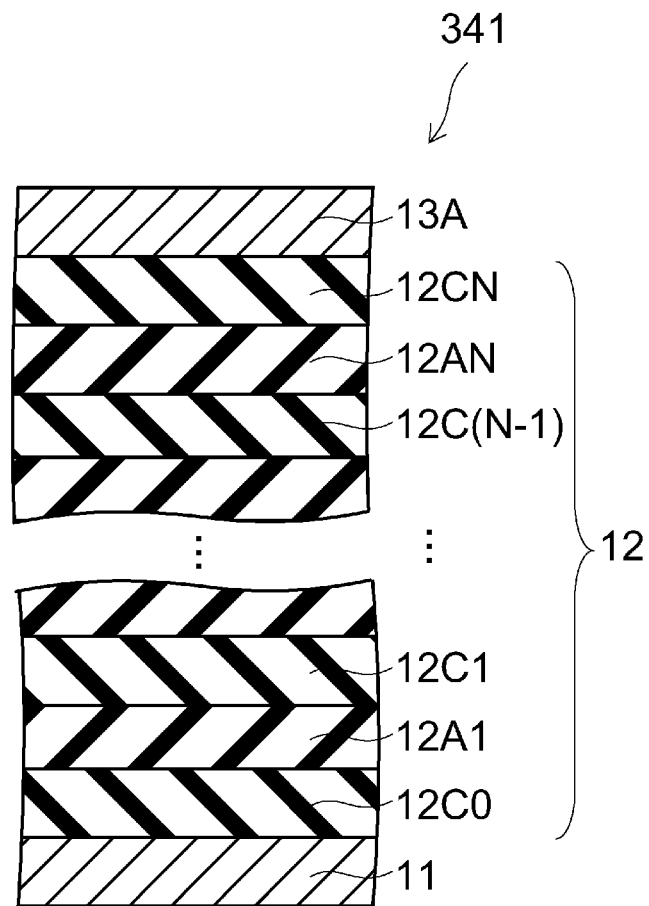
[図10]



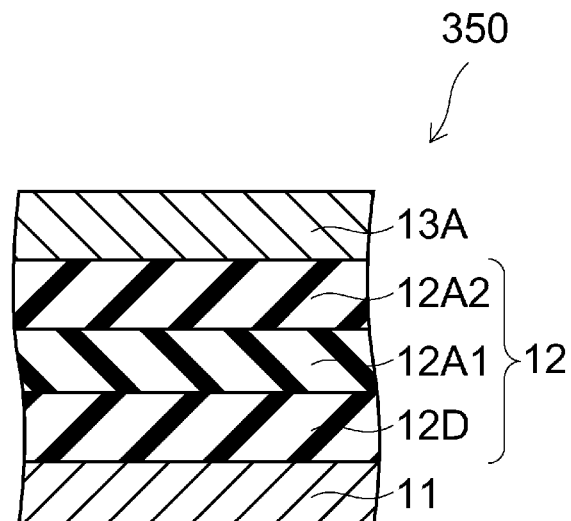
[図11]



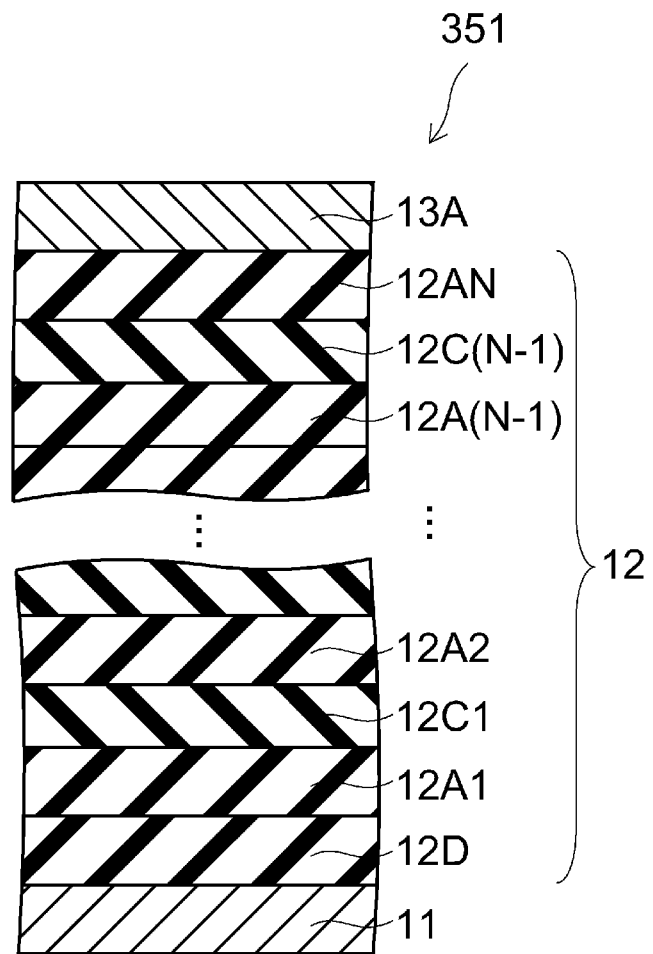
[図12]



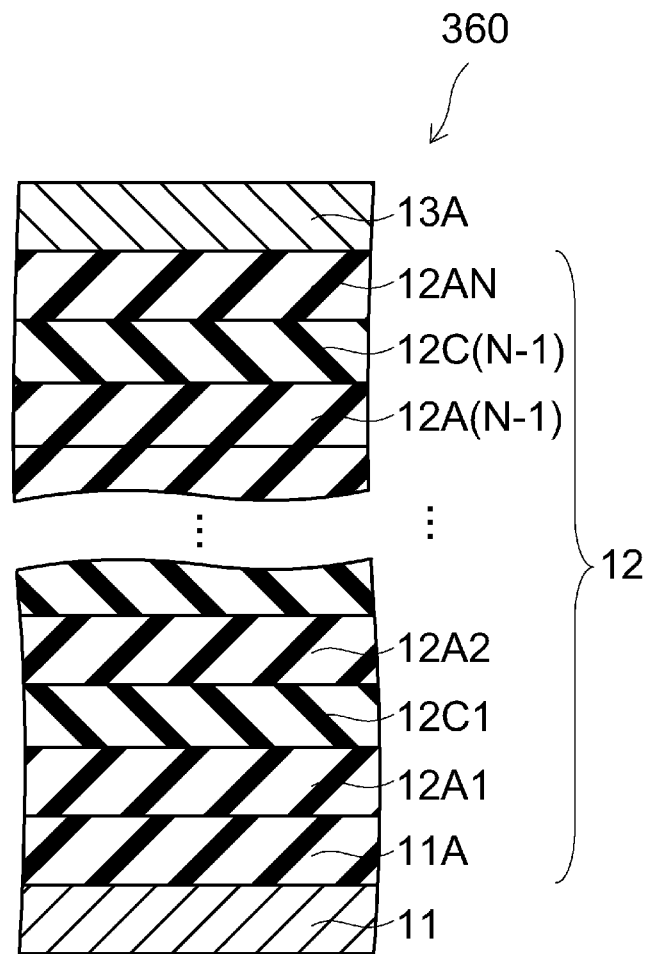
[図13]



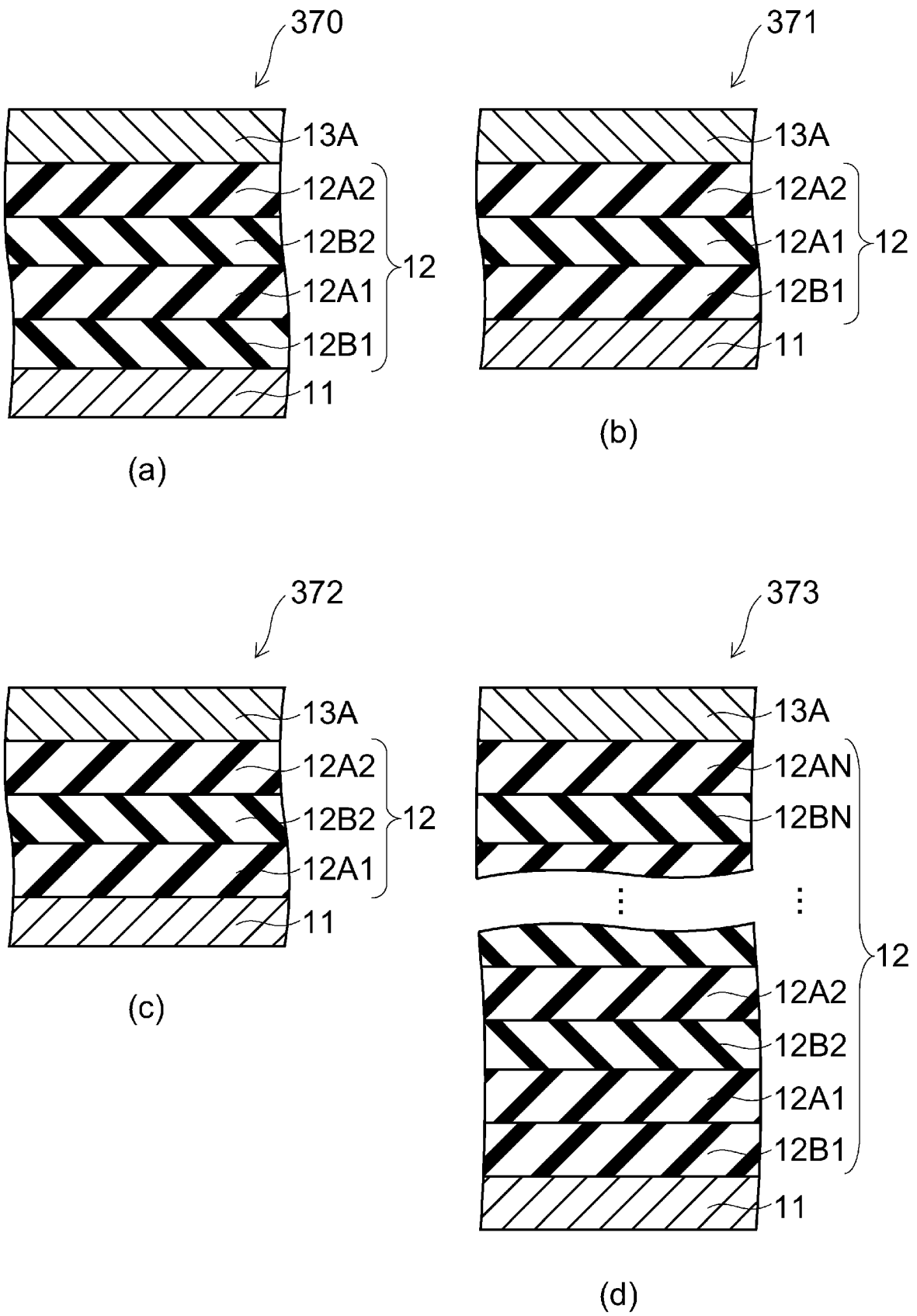
[図14]



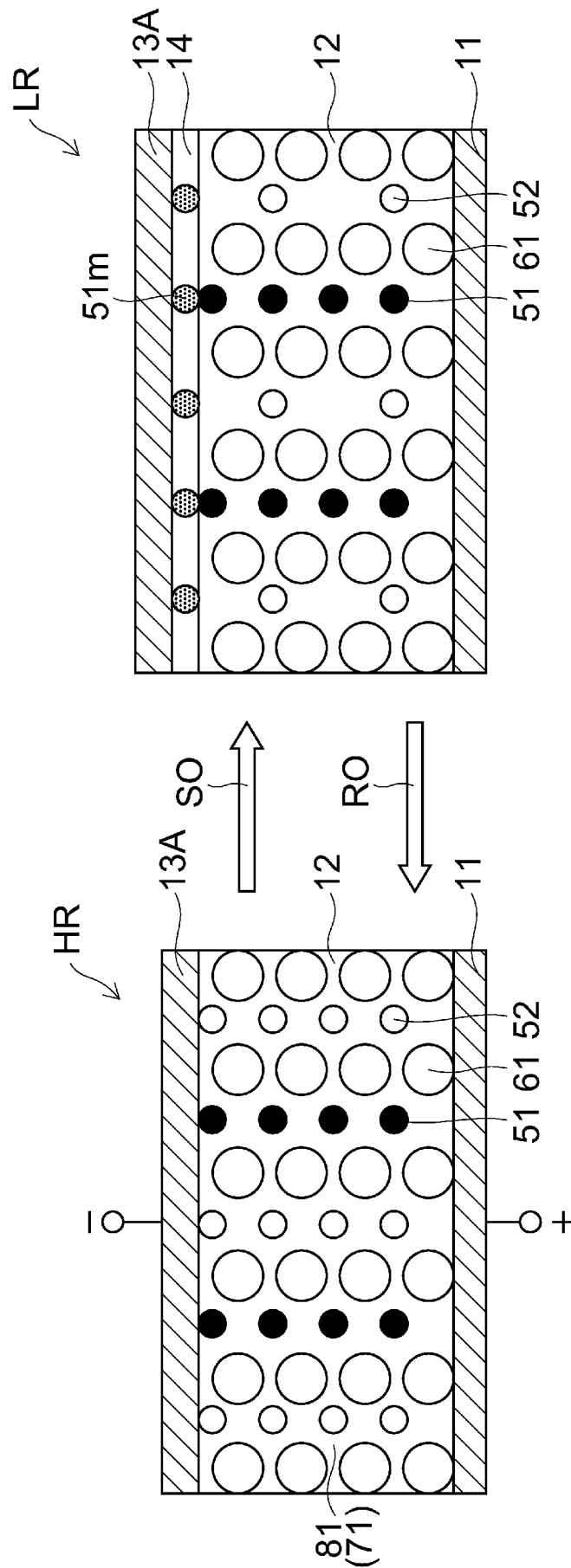
[図15]



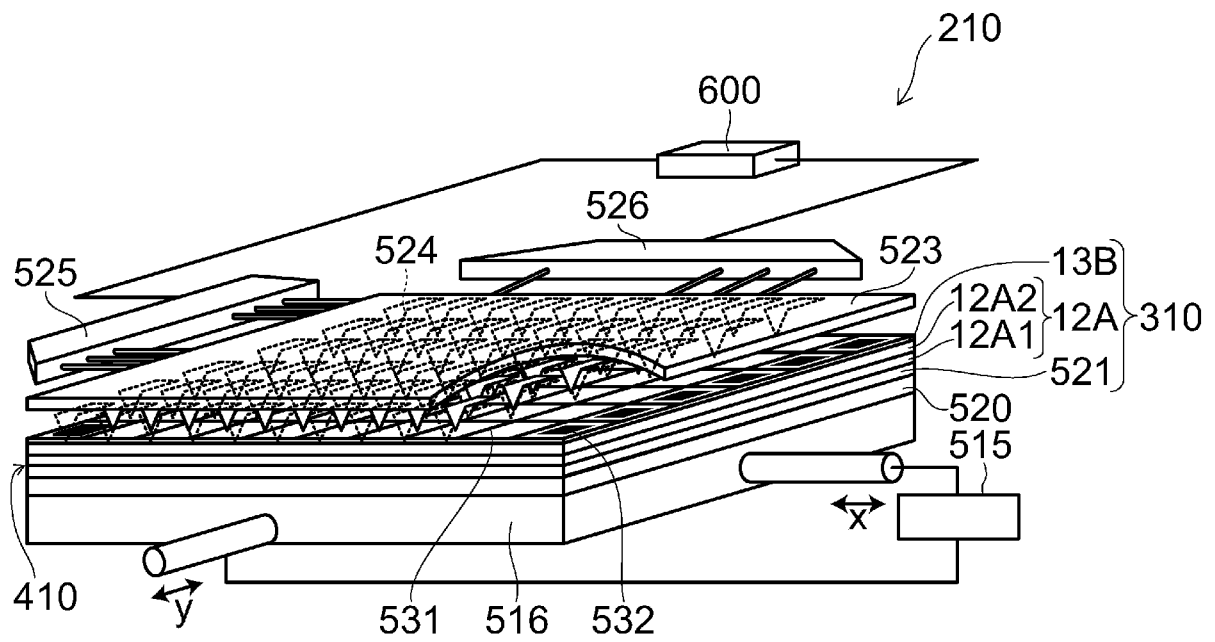
[図16]



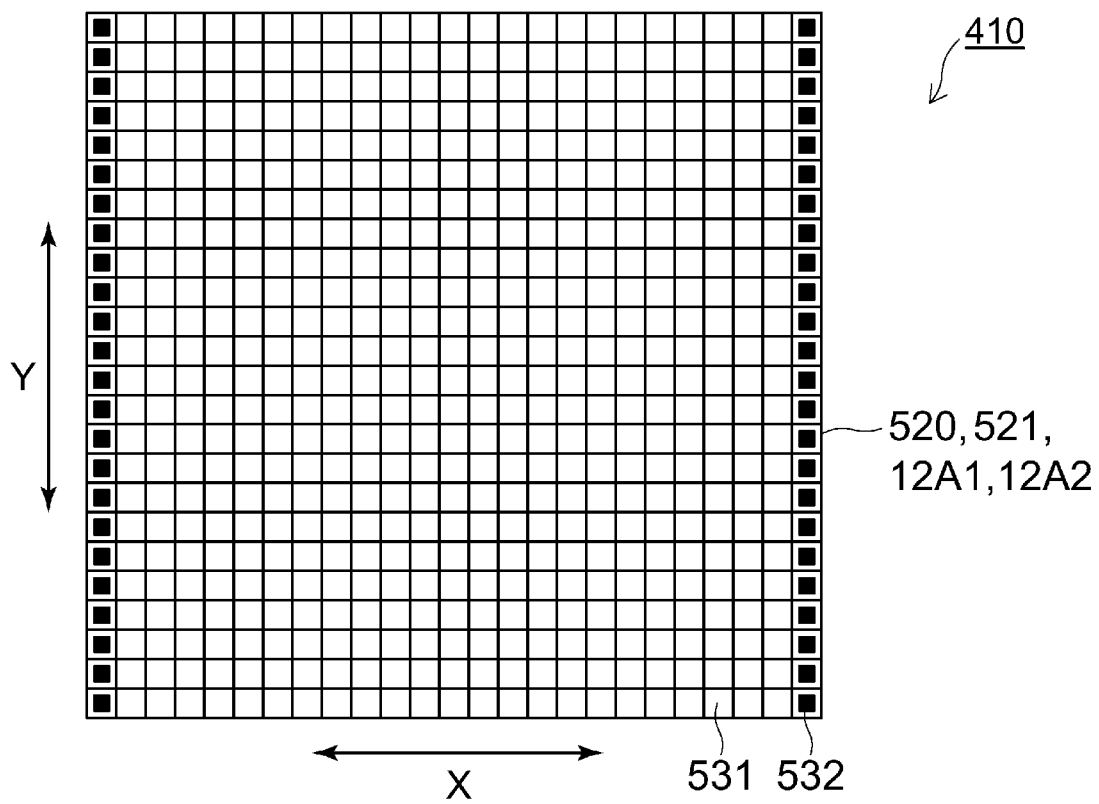
[図17]



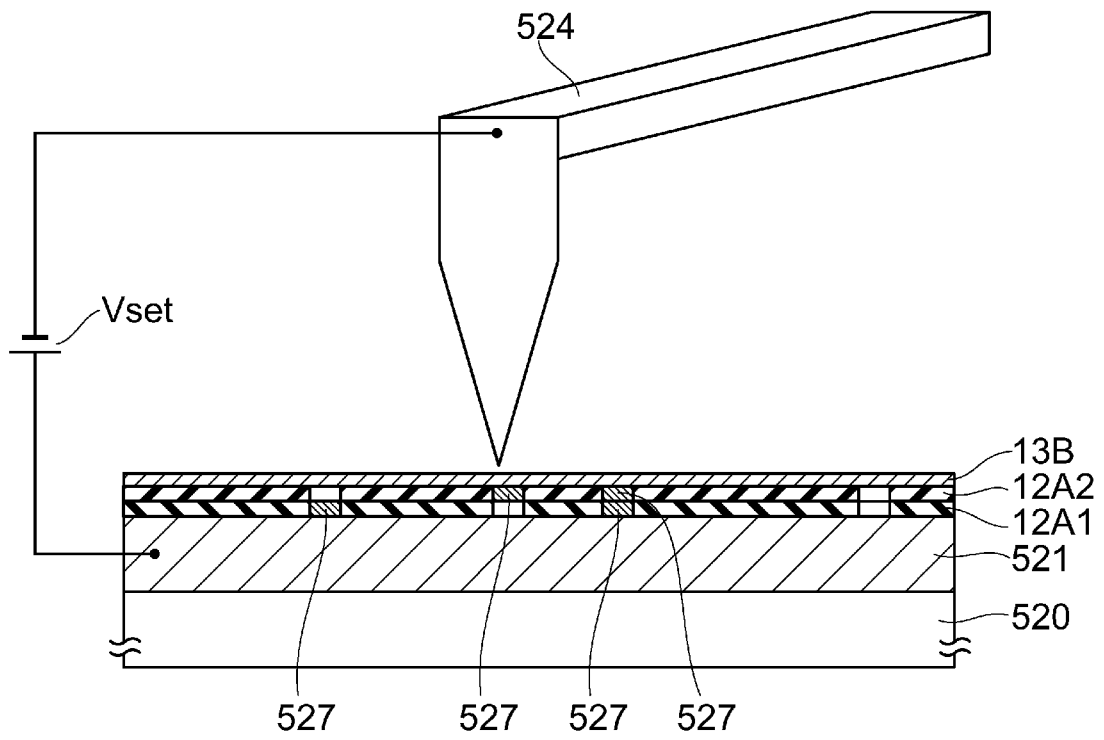
[図20]



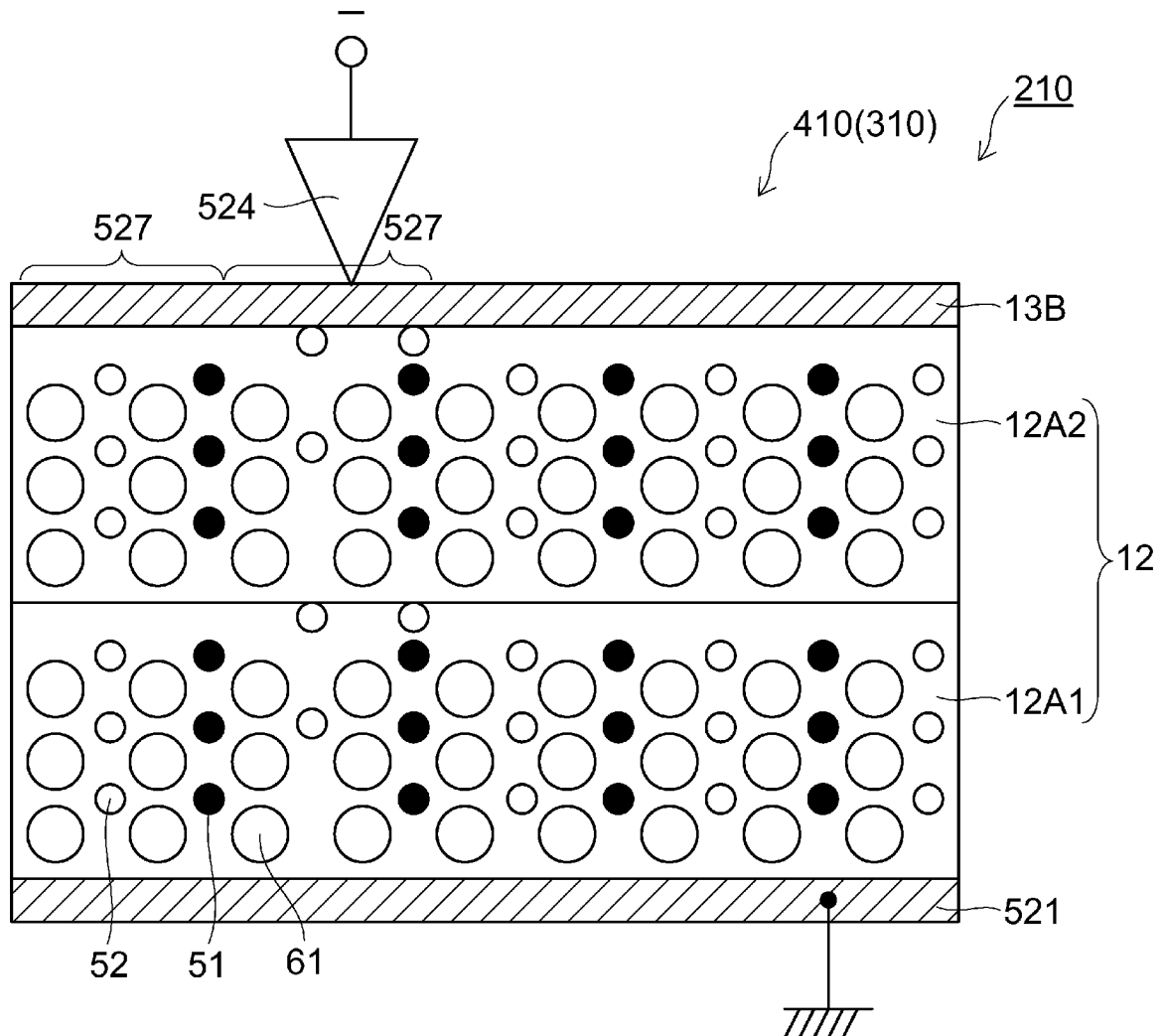
[図21]



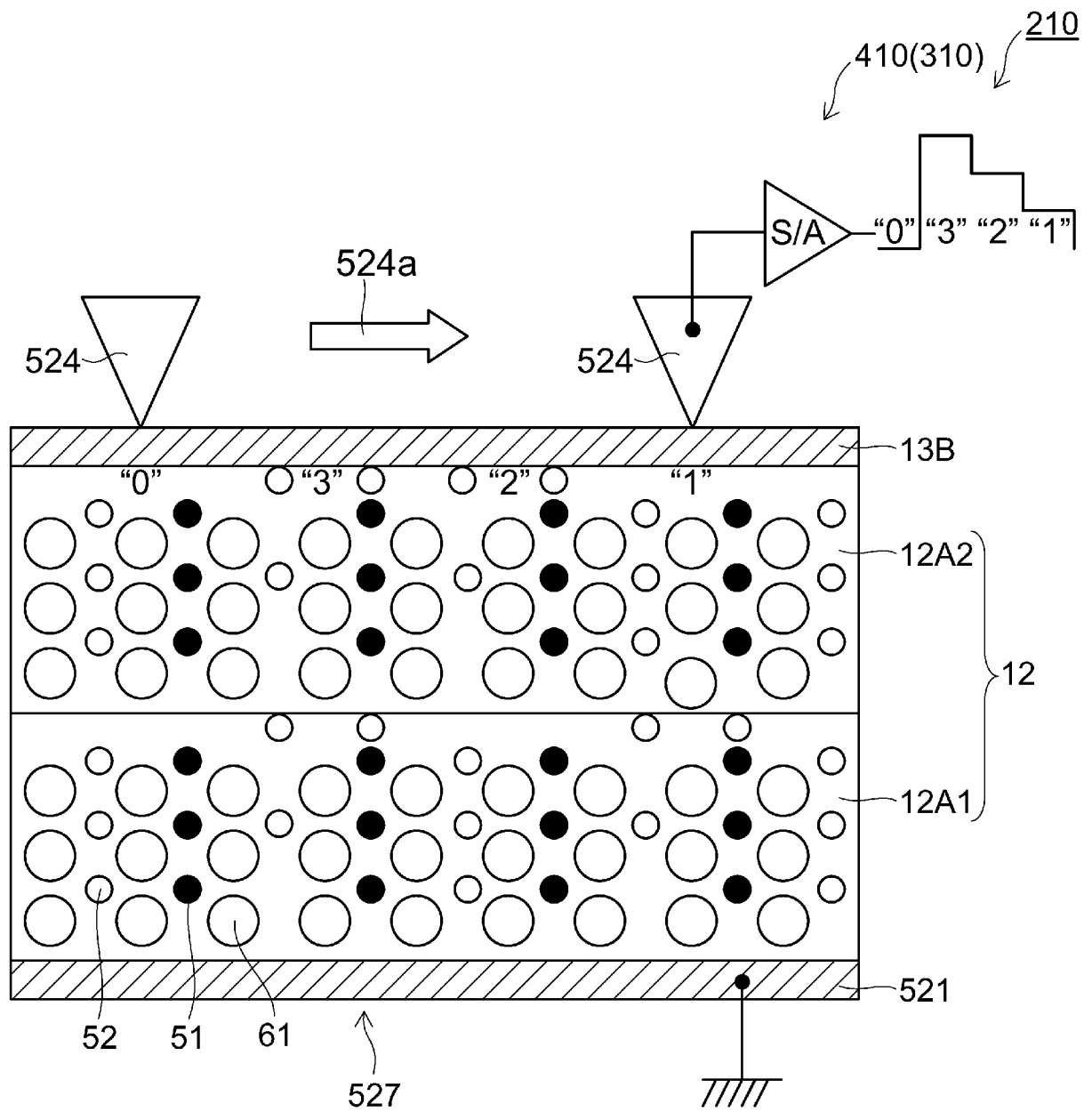
[図22]



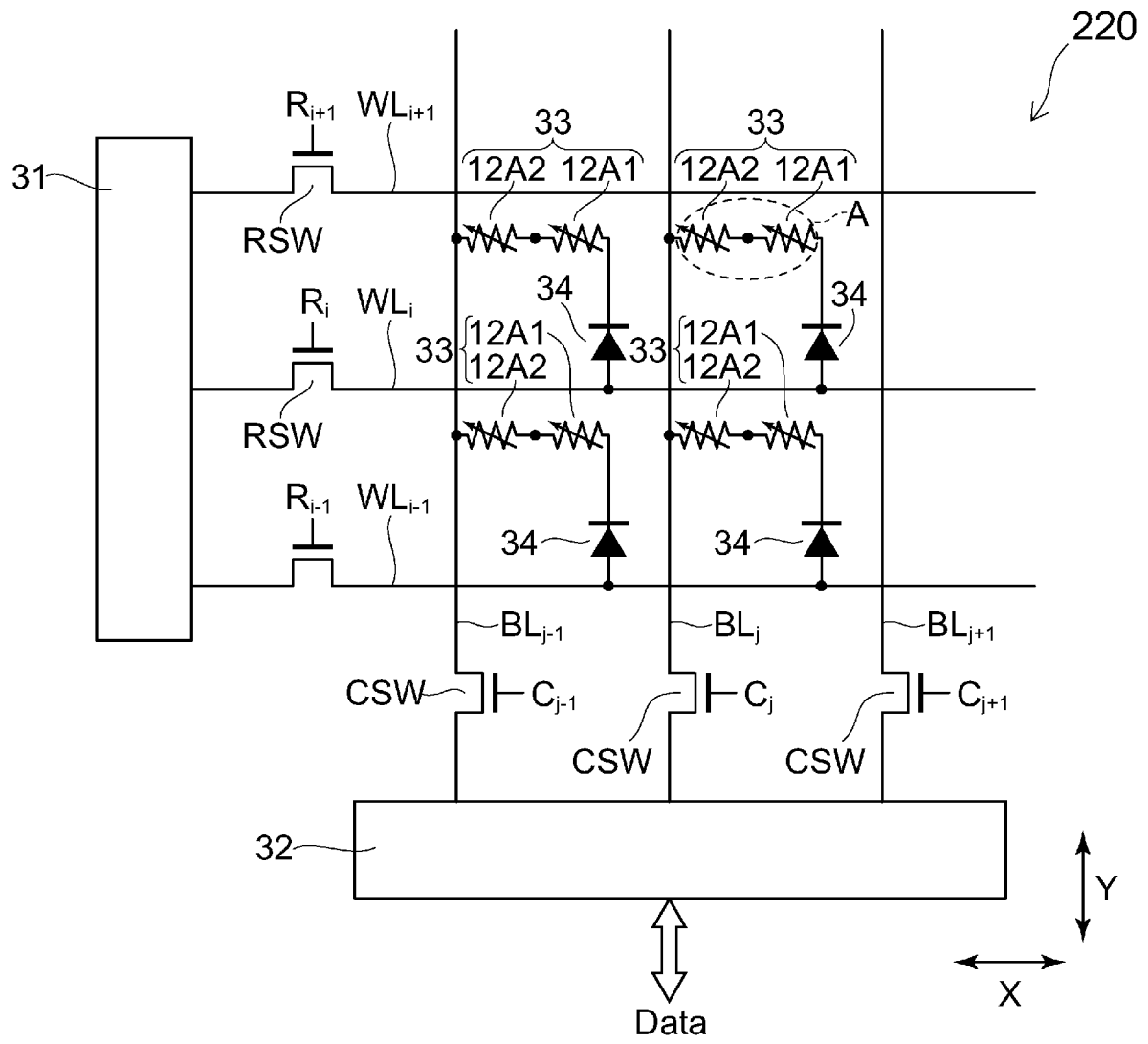
[図23]



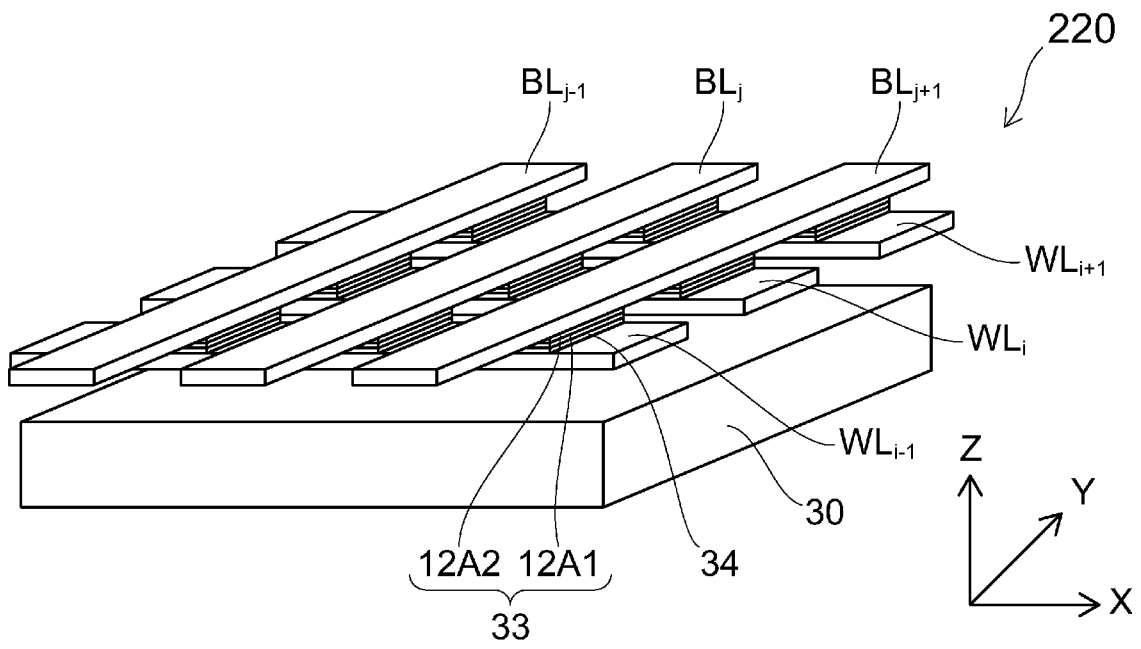
[図24]



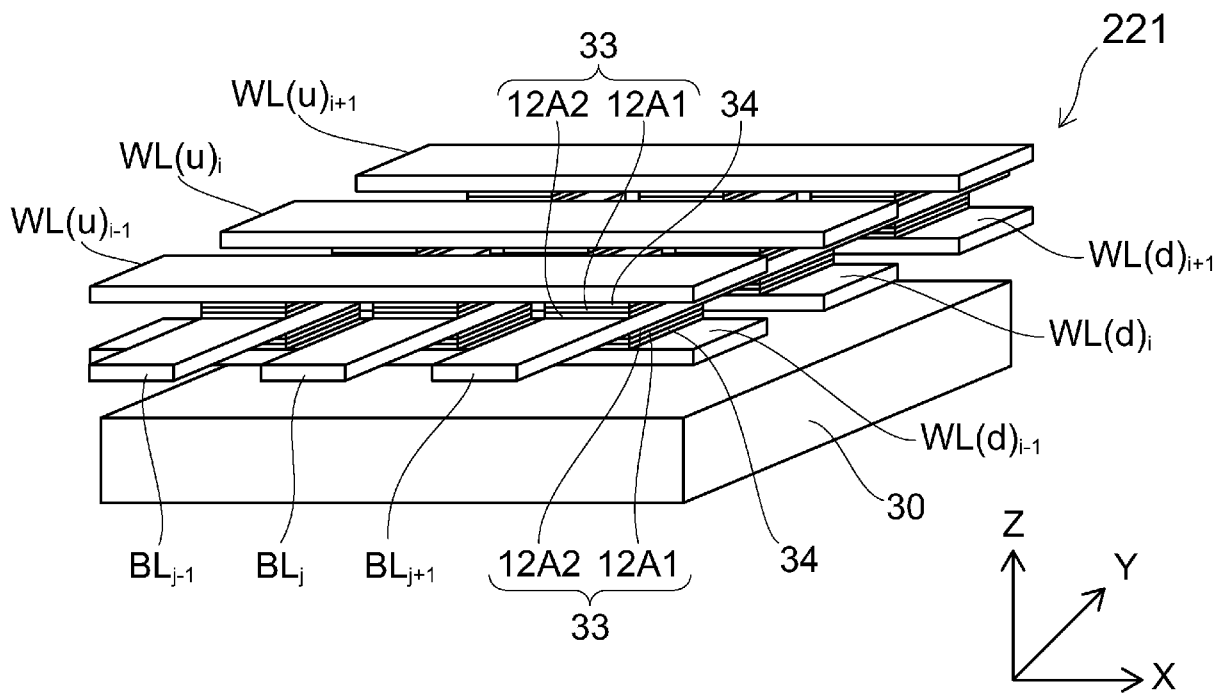
[図27]



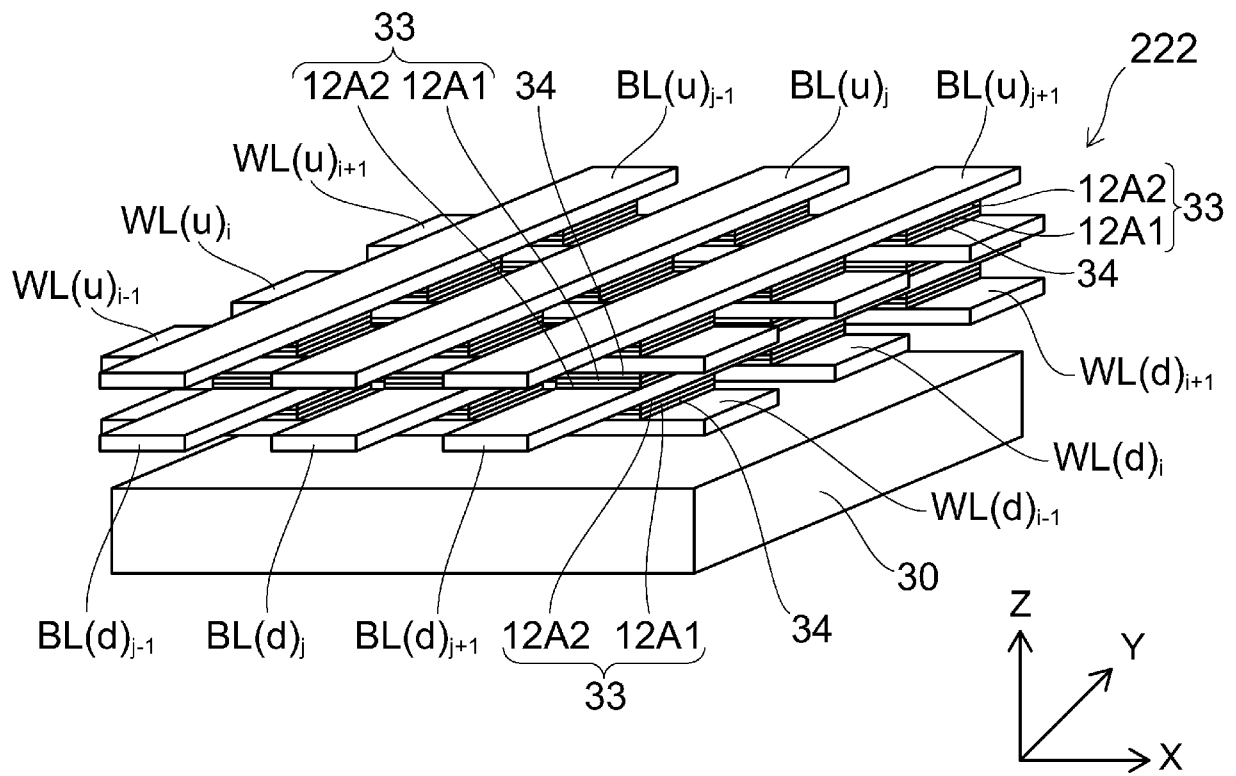
[図28]



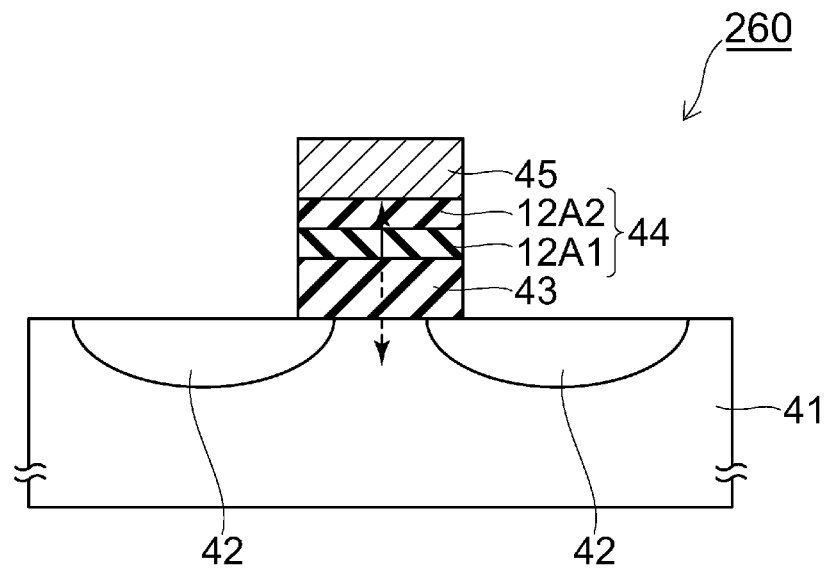
[図29]



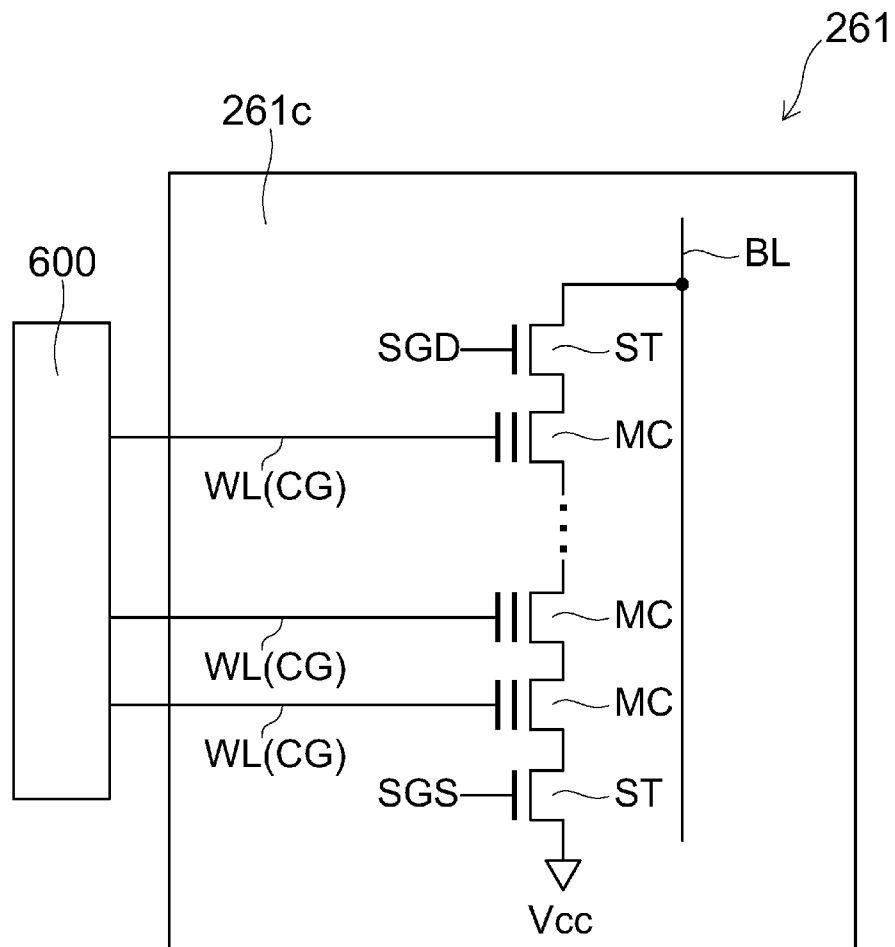
[図30]



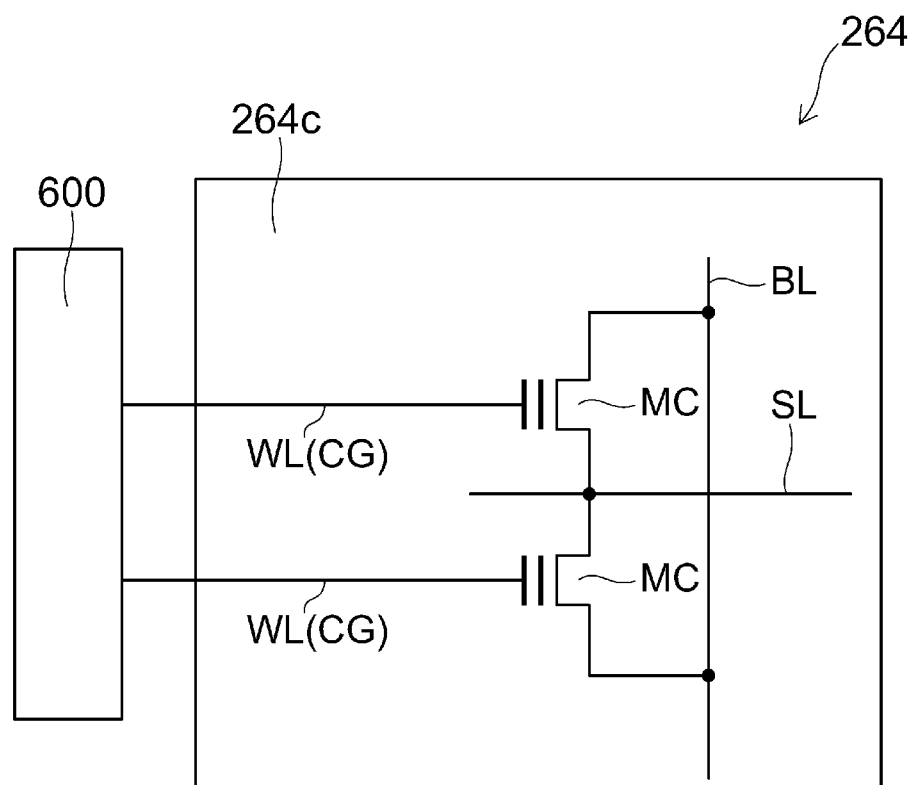
[図31]



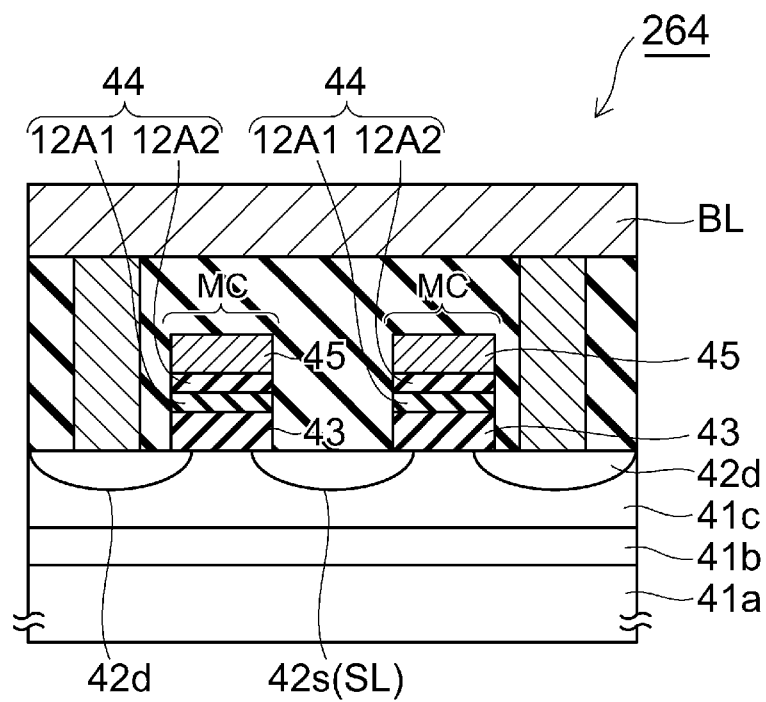
[図33]



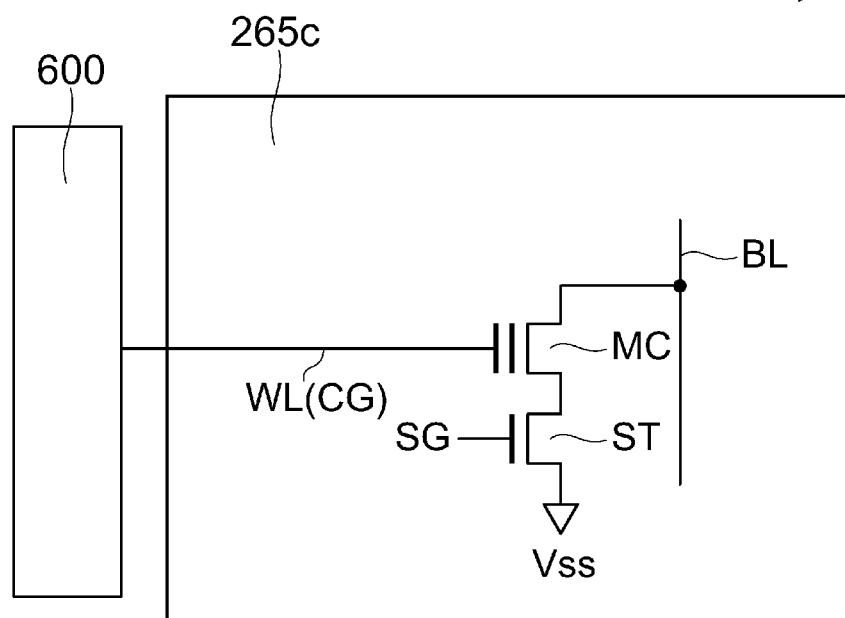
[図37]



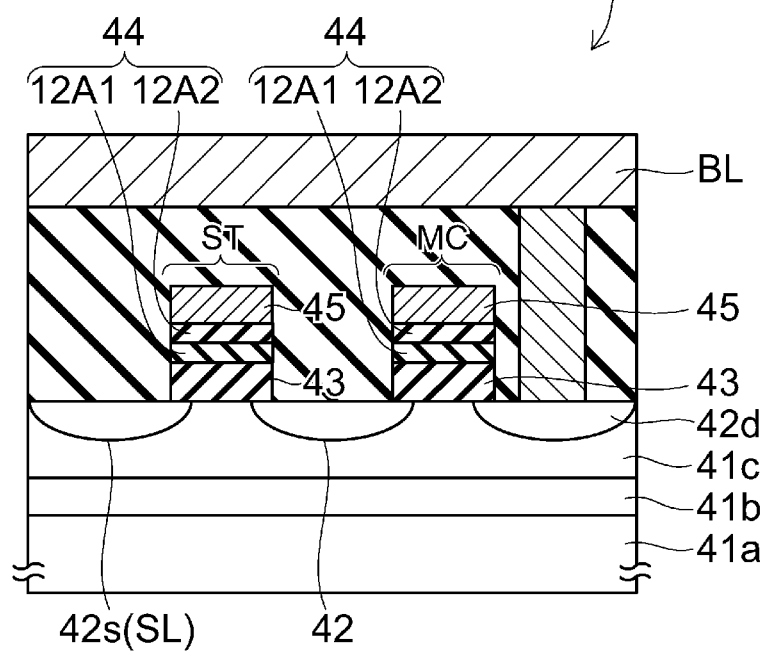
[図38]



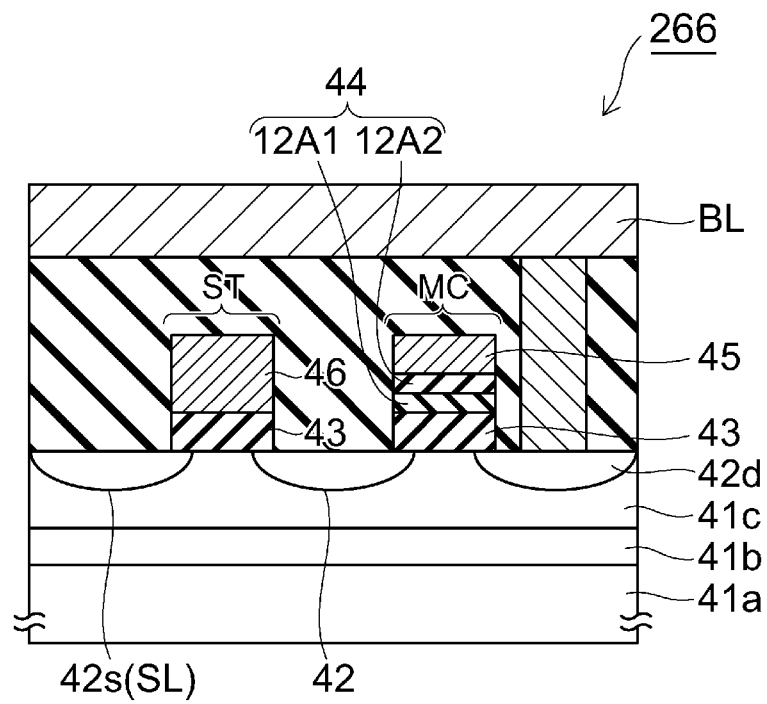
265



265



[図41]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066471

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01)i, G11B9/04(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, G11B9/04, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-192995 A (Matsushita Electric Industrial Co., Ltd.),	1-3, 8-11, 16,
Y	21 August, 2008 (21.08.08), Par. Nos. [0027] to [0064], [0132]; Figs. 2 to 4, 6 to 9, 13 to 15 (Family: none)	17, 19, 20 4-7, 12-15, 18
Y	WO 2006/028117 A1 (Matsushita Electric Industrial Co., Ltd.), 16 March, 2006 (16.03.06), Par. Nos. [0033] to [0035]; Fig. 2 & JP 3919205 B & WO 2006/028117 A1 & CN 1898798 A	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 December, 2008 (09.12.08)

Date of mailing of the international search report
22 December, 2008 (22.12.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/066471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-288008 A (Matsushita Electric Industrial Co., Ltd.), 01 November, 2007 (01.11.07), Par. Nos. [0039] to [0041]; Fig. 2 & US 2007/0246832 A1	1-20
Y	JP 2008-84512 A (Toshiba Corp.), 10 April, 2008 (10.04.08), Full text & US 2007/0133358 A1 & CN 1983619 A & KR 10-2007-0062937 A	3-5, 8, 9, 16-20
Y	JP 2008-153624 A (Qimonda AG.), 03 July, 2008 (03.07.08), Full text & US 2008/0099752 A & US 2008/0102278 A & EP 1916722 A2 & DE 102007013595 A & CN 101170159 A & KR 10-2008-0038044 A	6, 7
E, X	JP 2008-294207 A (National University Corporation Gunma University), 04 December, 2008 (04.12.08), Full text (Family: none)	1, 2, 16, 17, 19, 20

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/10(2006.01)i, G11B9/04(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/10, G11B9/04, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2008-192995 A（松下電器産業株式会社）2008.08.21, 段落【0027】－【0064】、【0132】、図2－図4、図6－図9、図13－図15（ファミリーなし）	1-3, 8-11, 16, 17, 19, 20
Y		4-7, 12-15, 18
Y	W0 2006/028117 A1（松下電器産業株式会社）2006.03.16, 段落【0033】－【0035】、図2 & JP 3919205 B & W0 2006/028117 A1 & CN 1898798 A	1-20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 2 . 2 0 0 8

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

正山 旭

4 M

9 2 7 6

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2007-288008 A (松下電器産業株式会社) 2007. 11. 01, 段落【0039】－【0041】, 図2 & US 2007/0246832 A1	1-20
Y	JP 2008-84512 A (株式会社東芝) 2008. 04. 10, 全文 & US 2007/0133358 A1 & CN 1983619 A & KR 10-2007-0062937 A	3-5, 8, 9, 16-20
Y	JP 2008-153624 A (キモンダ アクチエンゲゼルシャフト) 2008. 07. 03, 全文 & US 2008/0099752 A & US 2008/0102278 A & EP 1916722 A2 & DE 102007013595 A & CN 101170159 A & KR 10-2008-0038044 A	6, 7
E, X	JP 2008-294207 A (国立大学法人群馬大学) 2008. 12. 04, 全文 (ファミリーなし)	1, 2, 16, 17, 19, 20