



(12) 发明专利申请

(10) 申请公布号 CN 104103594 A

(43) 申请公布日 2014. 10. 15

(21) 申请号 201410136063. X

(22) 申请日 2014. 04. 04

(30) 优先权数据

2013-080783 2013. 04. 08 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 平野有一 三原龙善 塚本惠介

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 陈伟 王娟娟

(51) Int. Cl.

H01L 21/8247(2006. 01)

H01L 21/336(2006. 01)

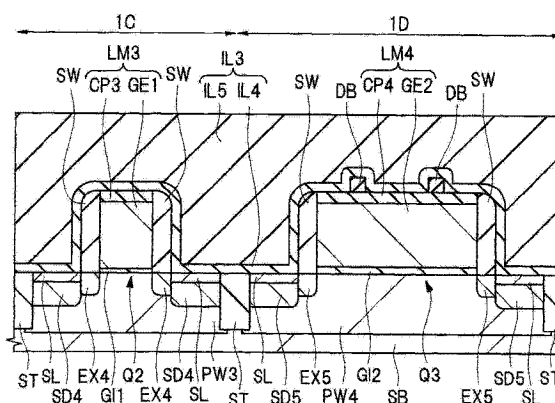
权利要求书2页 说明书43页 附图48页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明提供一种半导体器件的制造方法,提高了半导体器件的性能和可靠性。在半导体衬底(SB)上,在形成第1MISFET用的栅电极(GE2)和第2MISFET用的虚拟栅电极之后,在栅电极(GE2)上局部地形成绝缘膜(DB)。然后,在半导体衬底(SB)上,以覆盖虚拟栅电极、栅电极(GE2)及绝缘膜(DB)的方式形成绝缘膜(IL3)。然后,通过对绝缘膜(IL3)进行研磨来使虚拟栅电极露出。在该研磨时,在绝缘膜(DB)的研磨速度小于绝缘膜(IL3)的研磨速度的条件下对绝缘膜(IL3)进行研磨。然后,在除去虚拟栅电极之后,在除去了虚拟栅电极的区域形成上述第2MISFET用的栅电极。



1. 一种半导体器件的制造方法,其特征在于,包括以下工序:

(a) 准备半导体衬底的工序;

(b) 在所述半导体衬底上形成第 1MISFET 用的第 1 栅电极和第 2MISFET 用的虚拟栅电极的工序;

(c) 在所述第 1 栅电极上局部地形成第 1 膜的工序;

(d) 在所述半导体衬底上以覆盖所述第 1 栅电极、所述虚拟栅电极及所述第 1 膜的方式形成绝缘膜的工序;

(e) 通过对所述绝缘膜进行研磨而使所述虚拟栅电极露出的工序;

(f) 在所述(e)工序后除去所述虚拟栅电极的工序;

(g) 以填埋在所述(f)工序中除去了所述虚拟栅电极的区域即槽的方式在所述绝缘膜上形成导电膜的工序;

(h) 通过对所述导电膜进行研磨来除去所述槽的外部的所述导电膜,并通过在所述槽内留存所述导电膜来形成所述第 2MISFET 用的第 2 栅电极的工序,

在所述(e)工序中,在所述第 1 膜的研磨速度小于所述绝缘膜的研磨速度的条件下对所述绝缘膜进行研磨。

2. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,

所述第 1 栅电极的栅长方向上的尺寸大于所述虚拟栅电极的栅长方向上的尺寸。

3. 如权利要求 2 所述的半导体器件的制造方法,其特征在于,

所述第 1 栅电极的面积大于所述虚拟栅电极的面积。

4. 如权利要求 3 所述的半导体器件的制造方法,其特征在于,

所述第 2 栅电极是金属栅电极。

5. 如权利要求 4 所述的半导体器件的制造方法,其特征在于,

在所述(c)工序中,在所述虚拟栅电极上没有形成所述第 1 膜。

6. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,

在所述(f)工序中,不除去所述第 1 栅电极。

7. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,

所述第 1 栅电极及所述虚拟栅电极由同层的硅膜形成。

8. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,

所述第 1 膜由绝缘材料形成。

9. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,

在所述(f)工序之后、且在所述(g)工序之前,包括如下工序:

(f1) 在包含所述槽的底部及侧壁在内的所述绝缘膜上形成高介电常数绝缘膜的工序,在所述(g)工序中,以填埋所述槽的方式在所述高介电常数绝缘膜上形成所述导电膜,在所述(h)工序中,通过对所述导电膜及所述高介电常数绝缘膜进行研磨,除去所述槽的外部的所述导电膜及所述高介电常数绝缘膜,并在所述槽内留存所述导电膜及所述高介电常数绝缘膜。

10. 如权利要求 1 所述的半导体器件的制造方法,其特征在于,

在所述(d)工序中形成的所述绝缘膜由氮化硅膜和位于所述氮化硅膜上的氧化硅膜的层叠膜构成,

在所述(e)工序中,在所述第1膜比所述氧化硅膜难以被研磨的条件下对所述绝缘膜进行研磨。

11. 如权利要求10所述的半导体器件的制造方法,其特征在于,

在所述(c)工序中形成的所述第1膜由氮化硅构成,

在所述(e)工序中,在氮化硅比氧化硅难以被研磨的条件下对所述绝缘膜进行研磨。

12. 如权利要求1所述的半导体器件的制造方法,其特征在于,

在所述(b)工序中,在所述半导体衬底上形成有所述第1栅电极和位于所述第1栅电极上的第1顶盖绝缘膜的第1层叠体、以及所述虚拟栅电极和位于所述虚拟栅电极上的第2顶盖绝缘膜的第2层叠体,

在所述(c)工序中,在所述第1层叠体上局部地形成所述第1膜,

在所述(d)工序中,在所述半导体衬底上,以覆盖所述第1层叠体、所述第2层叠体及所述第1膜的方式形成所述绝缘膜,

在所述(e)工序中,通过对所述绝缘膜及所述第2顶盖绝缘膜进行研磨而使所述虚拟栅电极露出。

13. 如权利要求1所述的半导体器件的制造方法,其特征在于,

在所述(b)工序中,在所述半导体衬底上还形成第3MISFET用的第3栅电极,

在所述(c)工序中,在所述第1栅电极及所述第3栅电极上没有形成所述第1膜,

在所述(d)工序中,在所述半导体衬底上,以覆盖所述第1栅电极、所述虚拟栅电极、所述第3栅电极及所述第1膜的方式形成所述绝缘膜,

所述第3栅电极的栅长方向上的尺寸小于所述第1栅电极的栅长方向上的尺寸。

14. 如权利要求13所述的半导体器件的制造方法,其特征在于,

所述第1栅电极、所述虚拟栅电极和所述第3栅电极由同层的硅膜形成,

在所述(e)工序中,所述第3栅电极也露出。

15. 如权利要求1所述的半导体器件的制造方法,其特征在于,

在所述(b)工序之后、且在所述(c)工序之前,还包括如下工序:

(b1) 在所述半导体衬底上形成所述第1MISFET用的第1源极-漏极区域、和所述第2MISFET用的第2源极-漏极区域的工序。

16. 如权利要求15所述的半导体器件的制造方法,其特征在于,

在所述(c)工序之后、且在所述(d)工序之前,还包括如下工序:

(c1) 在所述第1源极-漏极区域上和所述第2源极-漏极区域上形成金属硅化物层的工序。

17. 如权利要求16所述的半导体器件的制造方法,其特征在于,

在所述(c)工序中,在所述第2源极-漏极区域的一部分上也形成有所述第1膜,

在所述(c1)工序中,在所述第2源极-漏极区域的形成有所述第1膜的部分上没有形成所述金属硅化物层。

半导体器件的制造方法

技术领域

[0001] 本发明涉及半导体器件的制造方法,例如,能够适合利用于具有 MISFET (Metal Insulating Field Effect Transistor :金属绝缘场效应晶体管) 的半导体器件的制造方法。

背景技术

[0002] 在半导体衬底上形成栅电极之后,在半导体衬底上形成源极-漏极区域,并以覆盖栅电极的方式形成层间绝缘膜,进而形成多层布线构造,由此,能够制造具有 MISFET 的半导体器件。

[0003] 另外,在半导体衬底上形成虚拟的栅电极之后,在半导体衬底上形成源极-漏极区域,并以覆盖该虚拟的栅电极的方式形成层间绝缘膜。然后,在对该层间绝缘膜进行研磨而使虚拟的栅电极露出之后,除去该虚拟的栅电极并置换成其他栅电极,然后,形成多层布线构造,由此,能够制造具有 MISFET 的半导体器件。

[0004] 在日本特开平 7-245306 号公报(专利文献 1)中,记载有与半导体器件的膜平坦化方法相关的技术。

[0005] 在日本特开 2009-239302 号公报(专利文献 2)中,记载有抑制碟形凹陷(dishing)现象的技术。

[0006] 在日本特开 2007-258463 号公报(专利文献 3)中,记载有抑制碟形凹陷现象的技术。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献 1 :日本特开平 7-245306 号公报

[0010] 专利文献 2 :日本特开 2009-239302 号公报

[0011] 专利文献 3 :日本特开 2007-258463 号公报

发明内容

[0012] 在具有 MISFET 的半导体器件中,也期望尽可能提高性能。或者,期望提高半导体器件的制造成品率。或者,期望能够提高半导体器件的性能且提高半导体器件的制造成品率。

[0013] 其他课题和新型特征可以从本说明书的记述及附图得以明确。

[0014] 根据一实施方式,在半导体衬底上形成第 1 MISFET 用的第 1 栅电极和第 2 MISFET 用的虚拟栅电极之后,在上述第 1 栅电极上局部地形成第 1 膜。然后,在上述半导体衬底上,以覆盖上述第 1 栅电极、上述虚拟栅电极及上述第 1 膜的方式形成绝缘膜之后,通过对上述绝缘膜进行研磨来使上述虚拟栅电极露出。在该研磨时,在上述第 1 膜的研磨速度小于上述绝缘膜的研磨速度的条件下对上述绝缘膜进行研磨。然后,在除去上述虚拟栅电极之后,在上述虚拟栅电极的除去区域即槽中形成上述第 2 MISFET 用的第 2 栅电极。

- [0015] 发明效果
- [0016] 根据一实施方式,能够提高半导体器件的性能。
- [0017] 或者,能够提高半导体器件的制造成品率。
- [0018] 或者,能够提高半导体器件的性能且提高半导体器件的制造成品率。

附图说明

- [0019] 图 1 是表示作为一实施方式的半导体器件的制造工序的一部分的工艺流程图。
- [0020] 图 2 是表示作为一实施方式的半导体器件的制造工序的一部分的工艺流程图。
- [0021] 图 3 是表示作为一实施方式的半导体器件的制造工序的一部分的工艺流程图。
- [0022] 图 4 是一实施方式的半导体器件的制造工序中的主要部位剖面图。
- [0023] 图 5 是与图 4 相同的半导体器件的制造工序中的主要部位剖面图。
- [0024] 图 6 是接着图 4 的半导体器件的制造工序中的主要部位剖面图。
- [0025] 图 7 是与图 6 相同的半导体器件的制造工序中的主要部位剖面图。
- [0026] 图 8 是接着图 6 的半导体器件的制造工序中的主要部位剖面图。
- [0027] 图 9 是与图 8 相同的半导体器件的制造工序中的主要部位剖面图。
- [0028] 图 10 是接着图 8 的半导体器件的制造工序中的主要部位剖面图。
- [0029] 图 11 是与图 10 相同的半导体器件的制造工序中的主要部位剖面图。
- [0030] 图 12 是接着图 10 的半导体器件的制造工序中的主要部位剖面图。
- [0031] 图 13 是与图 12 相同的半导体器件的制造工序中的主要部位剖面图。
- [0032] 图 14 是接着图 12 的半导体器件的制造工序中的主要部位剖面图。
- [0033] 图 15 是与图 14 相同的半导体器件的制造工序中的主要部位剖面图。
- [0034] 图 16 是接着图 14 的半导体器件的制造工序中的主要部位剖面图。
- [0035] 图 17 是与图 16 相同的半导体器件的制造工序中的主要部位剖面图。
- [0036] 图 18 是接着图 16 的半导体器件的制造工序中的主要部位剖面图。
- [0037] 图 19 是与图 18 相同的半导体器件的制造工序中的主要部位剖面图。
- [0038] 图 20 是接着图 18 的半导体器件的制造工序中的主要部位剖面图。
- [0039] 图 21 是与图 20 相同的半导体器件的制造工序中的主要部位剖面图。
- [0040] 图 22 是接着图 20 的半导体器件的制造工序中的主要部位剖面图。
- [0041] 图 23 是与图 22 相同的半导体器件的制造工序中的主要部位剖面图。
- [0042] 图 24 是接着图 22 的半导体器件的制造工序中的主要部位剖面图。
- [0043] 图 25 是与图 24 相同的半导体器件的制造工序中的主要部位剖面图。
- [0044] 图 26 是接着图 24 的半导体器件的制造工序中的主要部位剖面图。
- [0045] 图 27 是与图 26 相同的半导体器件的制造工序中的主要部位剖面图。
- [0046] 图 28 是接着图 26 的半导体器件的制造工序中的主要部位剖面图。
- [0047] 图 29 是与图 28 相同的半导体器件的制造工序中的主要部位剖面图。
- [0048] 图 30 是接着图 28 的半导体器件的制造工序中的主要部位剖面图。
- [0049] 图 31 是与图 30 相同的半导体器件的制造工序中的主要部位剖面图。
- [0050] 图 32 是接着图 30 的半导体器件的制造工序中的主要部位剖面图。
- [0051] 图 33 是与图 32 相同的半导体器件的制造工序中的主要部位剖面图。

- [0052] 图 34 是接着图 32 的半导体器件的制造工序中的主要部位剖面图。
- [0053] 图 35 是与图 34 相同的半导体器件的制造工序中的主要部位剖面图。
- [0054] 图 36 是接着图 34 的半导体器件的制造工序中的主要部位剖面图。
- [0055] 图 37 是与图 36 相同的半导体器件的制造工序中的主要部位剖面图。
- [0056] 图 38 是接着图 36 的半导体器件的制造工序中的主要部位剖面图。
- [0057] 图 39 是与图 38 相同的半导体器件的制造工序中的主要部位剖面图。
- [0058] 图 40 是接着图 36 的半导体器件的制造工序中的主要部位剖面图。
- [0059] 图 41 是与图 40 相同的半导体器件的制造工序中的主要部位剖面图。
- [0060] 图 42 是接着图 38 的半导体器件的制造工序中的主要部位剖面图。
- [0061] 图 43 是与图 42 相同的半导体器件的制造工序中的主要部位剖面图。
- [0062] 图 44 是接着图 42 的半导体器件的制造工序中的主要部位剖面图。
- [0063] 图 45 是与图 44 相同的半导体器件的制造工序中的主要部位剖面图。
- [0064] 图 46 是接着图 44 的半导体器件的制造工序中的主要部位剖面图。
- [0065] 图 47 是与图 46 相同的半导体器件的制造工序中的主要部位剖面图。
- [0066] 图 48 是接着图 46 的半导体器件的制造工序中的主要部位剖面图。
- [0067] 图 49 是与图 48 相同的半导体器件的制造工序中的主要部位剖面图。
- [0068] 图 50 是接着图 48 的半导体器件的制造工序中的主要部位剖面图。
- [0069] 图 51 是与图 50 相同的半导体器件的制造工序中的主要部位剖面图。
- [0070] 图 52 是接着图 50 的半导体器件的制造工序中的主要部位剖面图。
- [0071] 图 53 是与图 52 相同的半导体器件的制造工序中的主要部位剖面图。
- [0072] 图 54 是接着图 52 的半导体器件的制造工序中的主要部位剖面图。
- [0073] 图 55 是与图 54 相同的半导体器件的制造工序中的主要部位剖面图。
- [0074] 图 56 是接着图 54 的半导体器件的制造工序中的主要部位剖面图。
- [0075] 图 57 是与图 56 相同的半导体器件的制造工序中的主要部位剖面图。
- [0076] 图 58 是接着图 56 的半导体器件的制造工序中的主要部位剖面图。
- [0077] 图 59 是与图 58 相同的半导体器件的制造工序中的主要部位剖面图。
- [0078] 图 60 是作为一实施方式的半导体器件的主要部位剖面图。
- [0079] 图 61 是存储单元的等效电路图。
- [0080] 图 62 是表示“写入”、“删除”及“读取”时的向选择存储单元的各部位的电压施加条件的一例的表。
- [0081] 图 63 是研究例的半导体器件的制造工序中的主要部位剖面图。
- [0082] 图 64 是与图 63 相同的半导体器件的制造工序中的主要部位剖面图。
- [0083] 图 65 是接着图 63 的半导体器件的制造工序中的主要部位剖面图。
- [0084] 图 66 是与图 65 相同的半导体器件的制造工序中的主要部位剖面图。
- [0085] 图 67 是接着图 65 的半导体器件的制造工序中的主要部位剖面图。
- [0086] 图 68 是与图 67 相同的半导体器件的制造工序中的主要部位剖面图。
- [0087] 图 69 是接着图 67 的半导体器件的制造工序中的主要部位剖面图。
- [0088] 图 70 是与图 69 相同的半导体器件的制造工序中的主要部位剖面图。
- [0089] 图 71 是接着图 69 的半导体器件的制造工序中的主要部位剖面图。

- [0090] 图 72 是与图 71 相同的半导体器件的制造工序中的主要部位剖面图。
- [0091] 图 73 是其他实施方式的半导体器件的主要部位俯视图。
- [0092] 图 74 是其他实施方式的半导体器件的主要部位剖面图。
- [0093] 图 75 是其他实施方式的半导体器件的主要部位剖面图。
- [0094] 图 76 是其他实施方式的半导体器件的制造工序中的主要部位俯视图。
- [0095] 图 77 是其他实施方式的半导体器件的制造工序中的主要部位俯视图。
- [0096] 图 78 是其他实施方式的半导体器件的制造工序中的主要部位剖面图。
- [0097] 图 79 是接着图 78 的半导体器件的制造工序中的主要部位剖面图。
- [0098] 图 80 是接着图 79 的半导体器件的制造工序中的主要部位剖面图。
- [0099] 图 81 是接着图 80 的半导体器件的制造工序中的主要部位剖面图。
- [0100] 图 82 是接着图 81 的半导体器件的制造工序中的主要部位剖面图。
- [0101] 图 83 是接着图 82 的半导体器件的制造工序中的主要部位剖面图。

具体实施方式

[0102] 在以下实施方式中,为方便起见,必要时分成多个部分或实施方式进行说明,但是,除特别明示的情况以外,它们之间并不是毫无关系的,而是一方为另一方的部分或全部变形例、详细、补充说明等关系。另外,在以下实施方式中,涉及到要素的数等(包含个数、数值、量、范围等)的情况下,除特别明示的情况以及原理上明确限定为特定数的情况等,不限于该涉及到的数,可以是涉及到的数以上也可以是涉及到的数以下。而且,在以下实施方式中,其结构要素(还包含要素步骤等)除特别明示的情况以及考虑到原理上明确是必须的情况等,当然不必是必须的。同样地,在以下实施方式中,涉及到结构要素等的形状、位置关系等时,除特别明示的情况以及考虑到原理上明确不成立的情况等,还包含实质上与其形状等近似或类似的情况等。关于这一点,上述数值及范围也是一样的。

[0103] 以下,基于附图详细说明实施方式。此外,在用于说明实施方式的全部附图中,对具有相同功能的部件标注相同的附图标记,并省略其重复的说明。另外,在以下实施方式中,除特别必要时以外原则上不重复相同或同样的部分的说明。

[0104] 另外,在实施方式所使用的附图中,存在为了易于观察附图而在剖面图中也省略了剖面线的情况。另外,也存在为了易于观察附图而在俯视图中标注了剖面线的情况。

[0105] (实施方式 1)

[0106] 《关于半导体器件的制造工序》

[0107] 参照附图说明本实施方式的半导体器件的制造工序。图 1~图 3 是表示本实施方式的半导体器件的制造工序的工序流程图。图 4~图 59 是本实施方式的半导体器件的制造工序中的主要部位剖面图。

[0108] 此外,图 4、图 6、图 8、图 10、图 12、图 14、图 16、图 18、图 20、图 22、图 24、图 26、图 28、图 30、图 32、图 34、图 36、图 38、图 40、图 42、图 44、图 46、图 48、图 50、图 52、图 54、图 56 及图 58 示出了存储器形成区域 1A 和金属栅极晶体管形成区域 1B 的主要部位剖面图。另外,图 5、图 7、图 9、图 11、图 13、图 15、图 17、图 19、图 21、图 23、图 25、图 27、图 29、图 31、图 33、图 35、图 37、图 39、图 41、图 43、图 45、图 47、图 49、图 51、图 53、图 55、图 57 及图 59 示出了低耐压 MISFET 形成区域 1C 和高耐压 MISFET 形成区域 1D 的主要部位剖面图。

[0109] 首先,如图 4 及图 5 所示,预备(准备)由具有例如 $1 \sim 10 \Omega \text{ cm}$ 左右的电阻率的 p 型的单晶硅等构成的半导体衬底(半导体晶片)SB (图 1 的步骤 S1)。

[0110] 半导体衬底 SB 具有:用于形成非易失性存储器的存储单元的区域即存储器形成区域 1A;用于形成具有金属栅电极的 MISFETQ1 的区域即金属栅极晶体管形成区域 1B;用于形成低耐压的 MISFETQ2 的区域即低耐压 MISFET 形成区域 1C;和用于形成高耐压的 MISFETQ3 的区域即高耐压 MISFET 形成区域 1D。存储器形成区域 1A、金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 和高耐压 MISFET 形成区域 1D 与同一半导体衬底 SB 的主面上的彼此不同的区域对应。因此,图 4 和图 5 示出了同一半导体衬底 SB 的不同区域。另外,为了易于理解,在图 4 中以彼此相邻的方式示出了存储器形成区域 1A 和金属栅极晶体管形成区域 1B,在图 5 中以彼此相邻的方式示出了低耐压 MISFET 形成区域 1C 和高耐压 MISFET 形成区域 1D,但它们可以彼此相邻也可以彼此不相邻。半导体衬底 SB 中的存储器形成区域 1A、金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D 的实际位置关系能够根据需要而变更。此外,将具有金属栅电极的 MISFET 称作金属栅极晶体管。因此,MISFETQ1 是金属栅极晶体管。

[0111] MISFETQ1、Q2、Q3 是周边电路用的 MISFET。在此,周边电路是指非易失性存储器以外的电路,例如,CPU 等处理器、控制电路、读出放大器(sense amplifier)、列译码器(column decoder)、行译码器(row decoder)、输入输出电路等。另外,以下,将在半导体衬底 SB 的主面上用于形成周边电路的区域称作周边电路形成区域。周边电路形成区域包含金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D。

[0112] 此外,高耐压的 MISFETQ3 的动作电压比低耐压的 MISFETQ2 的动作电压高。换言之,高耐压的 MISFETQ3 是在第 1 电源电压下动作的 MISFET,低耐压的 MISFETQ2 是在比该第 1 电源电压低的第 2 电源电压下动作的 MISFET。如后所述,高耐压的 MISFETQ3 的栅极绝缘膜的厚度比低耐压的 MISFETQ2 的栅极绝缘膜的厚度厚。另外,如后所述,高耐压的 MISFETQ3 的栅电极的栅长大于 MISFETQ2 的栅电极的栅长,并且大于 MISFETQ1 的栅电极的栅长。

[0113] 另外,高耐压的 MISFETQ3 的动作电压比具有金属栅电极的 MISFETQ1 的动作电压高。换言之,高耐压的 MISFETQ3 是在第 1 电源电压下动作的 MISFET,具有金属栅电极的 MISFETQ1 是在比该第 1 电源电压低的第 3 电源电压下动作的 MISFET。具有金属栅电极的 MISFETQ1 的动作电压与低耐压的 MISFETQ2 的动作电压相同或不同。换言之,上述第 2 电源电压与上述第 3 电源电压相同或不同。

[0114] 此外,在本实施方式中,对各 MISFET 为 n 沟道型的 MISFET 的情况进行说明,但也能够使导电型相反而形成 p 沟道型的 MISFET。另外,还能够形成 n 沟道型的 MISFET 和 p 沟道型的 MISFET 双方。

[0115] 接下来,在半导体衬底 SB 的主面上形成对活性区域进行规定(划定)的元件分离区域(元件间分离绝缘区域)ST (图 1 的步骤 S2)。

[0116] 元件分离区域 ST 由氧化硅等绝缘体构成,能够通过例如 STI (Shallow Trench Isolation:浅沟道隔离)法或 LOCOS (Local Oxidization of Silicon:硅的局部氧化)法等而形成。例如,在半导体衬底 SB 的主面上形成元件分离用的槽之后,在该元件分离用的槽内埋入由例如氧化硅构成的绝缘膜,由此,能够形成元件分离区域 ST。更具体而言,在半

导体衬底 SB 的主面上形成元件分离用的槽之后,在半导体衬底 SB 上,以填埋该元件分离用的槽的方式形成元件分离区域形成用的绝缘膜(例如氧化硅膜)。然后,除去元件分离用的槽的外部的绝缘膜(元件分离区域形成用的绝缘膜),由此,能够形成由埋入在元件分离用的槽中的绝缘膜构成的元件分离区域 ST。

[0117] 通过元件分离区域 ST 而规定出半导体衬底 SB 的活性区域。在金属栅极晶体管形成区域 1B 中,在以元件分离区域 ST 规定的活性区域中,如后所述,形成有 MISFET (Metal Insulator Semiconductor Field Effect Transistor) Q1。另外,在低耐压 MISFET 形成区域 1C 中,在以元件分离区域 ST 规定的活性区域中,如后所述,形成有 MISFET (Metal Insulator Semiconductor Field Effect Transistor) Q2。另外,在高耐压 MISFET 形成区域 1D 中,在以元件分离区域 ST 规定的活性区域中,如后所述,形成有 MISFET (Metal Insulator Semiconductor Field Effect Transistor) Q3。另外,在存储器形成区域 1A 中,在以元件分离区域 ST 规定的活性区域中,如后所述,形成有非易失性存储器(非易失性存储元件、闪存)的存储单元。

[0118] 接下来,如图 6 及图 7 所示,使用离子注入法等在半导体衬底 SB 上形成 p 型阱(p 型半导体区域) PW1、PW2、PW3、PW4 (图 1 的步骤 S3)。

[0119] p 型阱 PW1 形成在存储器形成区域 1A 的半导体衬底 SB 中,p 型阱 PW2 形成在金属栅极晶体管形成区域 1B 的半导体衬底 SB 中,p 型阱 PW3 形成在低耐压 MISFET 形成区域 1C 的半导体衬底 SB 中,p 型阱 PW4 形成在高耐压 MISFET 形成区域 1D 的半导体衬底 SB 中。p 型阱 PW1、PW2、PW3、PW4 能够通过将例如硼(B)等 p 型的杂质离子注入到半导体衬底 SB 中而形成。p 型阱 PW1、PW2、PW3、PW4 分别从半导体衬底 SB 的主面在规定深度范围内形成。

[0120] 用于形成 p 型阱 PW1 的离子注入、用于形成 p 型阱 PW2 的离子注入、用于形成 p 型阱 PW3 的离子注入、和用于形成 p 型阱 PW4 的离子注入,若在同一离子注入工序中进行则能够减少工序数,但也可以作为不同的离子注入工序而进行。

[0121] 接下来,在半导体衬底 SB 的主面(p 型阱 PW1、PW2、PW3、PW4 的表面)上形成栅极绝缘膜用的绝缘膜 GI1、GI2 (图 1 的步骤 S4)。

[0122] 绝缘膜 GI1 形成在存储器形成区域 1A、金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 处的半导体衬底 SB 的表面(即 p 型阱 PW1、PW2、PW3 的表面)上。另一方面,绝缘膜 GI2 形成在高耐压 MISFET 形成区域 1D 处的半导体衬底 SB 的表面(即 p 型阱 PW4 的表面)上。

[0123] 步骤 S4 的栅极绝缘膜用的绝缘膜 GI1、GI2 的形成工序例如能够以如下方式进行。

[0124] 首先,通过使用例如氢氟酸(HF)水溶液的湿法蚀刻(wet etching)等将半导体衬底 SB (p 型阱 PW1、PW2、PW3、PW4) 的表面净化(洗净)后,在半导体衬底 SB 的表面(也包含 p 型阱 PW1、PW2、PW3、PW4 的表面)上形成由氧化硅膜等构成的绝缘膜 GI2。

[0125] 绝缘膜 GI2 是形成在高耐压 MISFET 形成区域 1D 中的 MISFET 的栅极绝缘膜用的绝缘膜。绝缘膜 GI2 例如能够通过热氧化法而形成,但也能在形成热氧化膜后进一步在热氧化膜上堆积 CVD 膜(通过 CVD 法而形成的氧化硅膜)而形成绝缘膜 GI2。

[0126] 接下来,将使用光刻(photolithography)法而形成的光致抗蚀层(未图示)用作蚀刻掩模对绝缘膜 GI2 进行蚀刻,由此,除去存储器形成区域 1A、金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 的绝缘膜 GI2,留存高耐压 MISFET 形成区域 1D 的绝缘膜 GI2。

[0127] 接下来,通过进行半导体衬底 SB 的热氧化处理,在半导体衬底 SB 的主面上形成氧化硅膜。由此,在存储器形成区域 1A、金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 的半导体衬底 SB 上(即 p 型阱 PW1、PW2、PW3 上)形成由氧化硅膜(热氧化膜)构成的绝缘膜 GI1,并且高耐压 MISFET 形成区域 1D 的绝缘膜 GI2 变厚。即,高耐压 MISFET 形成区域 1D 的绝缘膜 GI2 在形成绝缘膜 GI1 时厚度增加。成为如下状态:形成在高耐压 MISFET 形成区域 1D 中的绝缘膜 GI2 的厚度比形成在存储器形成区域 1A、金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 中的绝缘膜 GI1 的厚度厚。

[0128] 像这样,进行步骤 S4 的栅极绝缘膜用的绝缘膜 GI1、GI2 形成工序而得到图 6 及图 7 所示的构造。由此,得到在存储器形成区域 1A、金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 处的半导体衬底 SB 的表面(即 p 型阱 PW1、PW2、PW3 的表面)上形成有绝缘膜 GI1、且在高耐压 MISFET 形成区域 1D 处的半导体衬底 SB 的表面(即 p 型阱 PW4 的表面)上形成有绝缘膜 GI2 的状态。此时,绝缘膜 GI2 的厚度比绝缘膜 GI1 的厚度厚。列举此时的绝缘膜 GI1、GI2 的厚度的一例,绝缘膜 GI1 的厚度能够为例如 0.5 ~ 5nm 左右,绝缘膜 GI2 的厚度能够为例如 10 ~ 25nm 左右。在元件分离区域 ST 上可以形成绝缘膜 GI1、GI2,也可以不形成。

[0129] 由于高耐压 MISFET 形成区域 1D 的绝缘膜 GI2 的厚度比低耐压 MISFET 形成区域 1C 的绝缘膜 GI1 的厚度厚,所以形成在高耐压 MISFET 形成区域 1D 中的 MISFETQ3 的栅极绝缘膜的厚度比形成在低耐压 MISFET 形成区域 1C 中的 MISFETQ2 的栅极绝缘膜的厚度厚。因此,形成在高耐压 MISFET 形成区域 1D 中的 MISFETQ3 的耐压比形成在低耐压 MISFET 形成区域 1C 中的 MISFETQ2 的耐压高。

[0130] 另外,由于高耐压 MISFET 形成区域 1D 的绝缘膜 GI2 的厚度比存储器形成区域 1A 的绝缘膜 GI1 的厚度厚,所以形成在高耐压 MISFET 形成区域 1D 中的 MISFETQ3 的栅极绝缘膜的厚度比形成在存储器形成区域 1A 中的存储单元的控制晶体管的栅极绝缘膜的厚度厚。因此,形成在高耐压 MISFET 形成区域 1D 中的 MISFETQ3 的耐压比形成在存储器形成区域 1A 中的存储单元的控制晶体管的耐压高。

[0131] 接下来,如图 8 及图 9 所示,在半导体衬底 SB 的主面(主面的整个面)上,即在存储器形成区域 1A、金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 的绝缘膜 GI1 上和高耐压 MISFET 形成区域 1D 的绝缘膜 GI2 上,作为栅电极形成用的导电膜而形成(堆积)硅膜 PS1 (图 1 的步骤 S5)。

[0132] 硅膜 PS1 是用于形成后述的控制栅电极 CG、虚拟栅电极 DG、栅电极 GE1 及栅电极 GE2 的导电膜。即,硅膜 PS1 兼作用于形成后述的控制栅电极 CG 的导电膜、用于形成后述的虚拟栅电极 DG 的导电膜、用于形成后述的栅电极 GE1 的导电膜、和用于形成后述的栅电极 GE2 的导电膜。因此,通过硅膜 PS1 而形成后述的控制栅电极 CG、后述的虚拟栅电极 DG、后述的栅电极 GE1 和后述的栅电极 GE2。

[0133] 硅膜 PS1 由多晶硅膜构成,能够使用 CVD (Chemical Vapor Deposition: 化学气相沉淀) 法等而形成。硅膜 PS1 的堆积膜厚能够为例如 50 ~ 150nm 左右。成膜时,也能够使硅膜 PS1 作为非晶硅膜而形成,并在随后的热处理中使非晶硅膜成为多晶硅膜。

[0134] 另外,硅膜 PS1 能够通过成膜时导入杂质或在成膜后离子注入杂质等而成为低电阻的半导体膜(掺杂多晶硅膜)。存储器形成区域 1A 的硅膜 PS1 优选为导入磷(P)或砷

(As)等n型杂质而成的n型的硅膜。

[0135] 也能够使硅膜PS1作为非掺杂(不掺杂)的硅膜而成膜之后通过离子注入法而导入杂质,但该情况下,也能够对存储器形成区域1A的硅膜PS1选择性地导入杂质(在此为n型杂质)。其能够以如下方式进行。即,在将硅膜PS1成膜后,使用光刻法在硅膜PS1上形成光致抗蚀图案(未图示)。该光致抗蚀图案在此虽未图示,但形成为将存储器形成区域1A露出并将金属栅极晶体管形成区域1B、低耐压MISFET形成区域1C及高耐压MISFET形成区域1D覆盖。然后,将该光致抗蚀图案用作掩模,通过离子注入法等向存储器形成区域1A的硅膜PS1导入n型杂质,由此,使存储器形成区域1A的硅膜PS1成为n型的硅膜(掺杂多晶硅膜)。即,向存储器形成区域1A的硅膜PS1导入n型杂质,存储器形成区域1A的硅膜PS1成为导入有n型杂质的n型的硅膜。然后,除去该光致抗蚀图案。在通过离子注入法向存储器形成区域1A的硅膜PS1导入n型杂质时,金属栅极晶体管形成区域1B、低耐压MISFET形成区域1C及高耐压MISFET形成区域1D的硅膜PS1由于被光致抗蚀图案覆盖,所以不会导入杂质。

[0136] 因此,在使硅膜PS1作为非掺杂的硅膜而成膜之后通过离子注入法向存储器形成区域1A的硅膜PS1导入杂质的情况下,金属栅极晶体管形成区域1B、低耐压MISFET形成区域1C及高耐压MISFET形成区域1D的硅膜PS1仍为非掺杂的硅膜。但是,该情况下,由于在后面的工序中(例如在后述的步骤S12之后且在后述的步骤S13之前)通过离子注入法对硅膜PS1导入杂质,所以在后形成的栅电极GE1及栅电极GE2由导入有杂质的硅膜形成。另外,由于在后形成的虚拟栅电极DG不作为晶体管的栅电极而发挥功能,所以对虚拟栅电极DG可以导入杂质也可以不导入杂质。因此,对金属栅极晶体管形成区域1B的硅膜PS1可以导入杂质也可以不导入杂质。

[0137] 接下来,在半导体衬底SB的主面(主面的整个面)上、即在硅膜PS1上形成(堆积)绝缘膜IL1(图1的步骤S6)。

[0138] 绝缘膜IL1是用于形成后述的顶盖(cap)绝缘膜CP1、CP2、CP3、CP4的绝缘膜。绝缘膜IL1由例如氮化硅膜等构成,能够使用CVD法等而形成。绝缘膜IL1的堆积膜厚能够例如为10~50nm左右。通过进行步骤S5、S6,成为形成有硅膜PS1与硅膜PS1上的绝缘膜IL1的层叠膜LF的状态。在此,层叠膜LF由硅膜PS1和硅膜PS1上的绝缘膜IL1构成。

[0139] 接下来,如图10及图11所示,通过光刻技术及蚀刻技术将层叠膜LF即绝缘膜IL1及硅膜PS1图案化,由此,在存储器形成区域1A中形成具有控制栅电极CG和控制栅电极CG上的顶盖绝缘膜CP1的层叠体(层叠构造体)LM1(图1的步骤S7)。具体而言,步骤S7能够以如下方式进行。

[0140] 即,首先,使用光刻法在绝缘膜IL1上形成光致抗蚀图案。该光致抗蚀图案形成在存储器形成区域1A中的控制栅电极CG形成预定区域和周边电路形成区域整体中。因此,该光致抗蚀图案在存储器形成区域中将控制栅电极CG形成预定区域的硅膜PS1覆盖且将控制栅电极CG形成预定区域以外的硅膜PS1露出。另一方面,在金属栅极晶体管形成区域1B、低耐压MISFET形成区域1C及高耐压MISFET形成区域1D中,硅膜PS1整体被该光致抗蚀图案覆盖。然后,将该光致抗蚀图案用作蚀刻掩模,对存储器形成区域1A中的硅膜PS1与绝缘膜IL1的层叠膜LF进行蚀刻(优选干法蚀刻)而使其图案化,然后,除去该光致抗蚀图案。由此,如图10及图11所示,形成有由图案化的硅膜PS1构成的控制栅电极CG与由

图案化的绝缘膜 IL1 构成的顶盖绝缘膜 CP1 的层叠体 LM1。

[0141] 另外,作为其它方式,也能够以如下方式形成层叠体 LM1。首先,在绝缘膜 IL1 上形成上述那样的同样的光致抗蚀图案之后,将该光致抗蚀图案用作蚀刻掩模对绝缘膜 IL1 进行蚀刻(优选干法蚀刻)而使其图案化,由此,在存储器形成区域 1A 中形成由图案化的绝缘膜 IL1 构成的顶盖绝缘膜 CP1。然后,在除去该光致抗蚀图案之后,将包含顶盖绝缘膜 CP1 在内的绝缘膜 IL1 用作蚀刻掩模(硬掩模)对硅膜 PS1 进行蚀刻(优选干法蚀刻)而使其图案化。由此,形成有由图案化的硅膜 PS1 构成的控制栅电极 CG 与由图案化的绝缘膜 IL1 构成的顶盖绝缘膜 CP1 的层叠体 LM1。

[0142] 层叠体 LM1 由控制栅电极 CG 和控制栅电极 CG 上的顶盖绝缘膜 CP1 构成,并隔着绝缘膜 GI1 而形成在存储器形成区域 1A 的半导体衬底 SB (p 型阱 PW1)上。控制栅电极 CG 和顶盖绝缘膜 CP1 在俯视观察时具有相同的平面形状,在俯视观察时重合。

[0143] 此外,在提到“俯视观察”或“俯视地观察”时,是指以与半导体衬底 SB 的主面平行的平面进行观察的情况。

[0144] 另外,在步骤 S7 中,在存储器形成区域 1A 中,用于图案化的光致抗蚀图案选择性地形成在控制栅电极 CG 形成预定区域中。因此,当进行步骤 S7 时,在存储器形成区域 1A 中,除去构成层叠体 LM1 的部分以外的硅膜 PS1 及绝缘膜 IL1。另一方面,在周边电路形成区域中,该光致抗蚀图案形成在周边电路形成区域整体中。因此,即使进行步骤 S7,在包含金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D 在内的周边电路形成区域中,也不会除去硅膜 PS1 与硅膜 PS1 上的绝缘膜 IL1 的层叠膜 LF,因此,没有被图案化而依然留存。对留存在周边电路形成区域中的层叠膜 LF 标注附图标记 LF1 并将其称作层叠膜 LF1。因此,层叠膜 LF1 还存在于金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D 中。

[0145] 优选层叠膜 LF1 的侧面(侧壁)EG 位于元件分离区域 ST 上。由此,周边电路形成区域的活性区域(以元件分离区域 ST 规定的活性区域)被层叠膜 LF1 覆盖。于是,能够防止周边电路形成区域的半导体衬底 SB 的衬底区域(Si 衬底区域)受到不需要的蚀刻。

[0146] 在存储器形成区域 1A 中,形成有由图案化的硅膜 PS1 构成的控制栅电极 CG,控制栅电极 CG 是控制晶体管用的栅电极。留存于控制栅电极 CG 之下的绝缘膜 GI1 成为控制晶体管的栅极绝缘膜。因此,在存储器形成区域 1A 中,成为如下状态:由硅膜 PS1 构成的控制栅电极 CG 隔着作为栅极绝缘膜的绝缘膜 GI1 而形成在半导体衬底 SB (p 型阱 PW1)上的状态。

[0147] 在存储器形成区域 1A 中,被层叠体 LM1 覆盖的部分以外的绝缘膜 GI1、即成为栅极绝缘膜的部分以外的绝缘膜 GI1,能够通过步骤 S7 的图案化工序中进行的干法蚀刻、或在干法蚀刻后进行湿法蚀刻而除去。

[0148] 像这样,在半导体衬底 SB 上,隔着作为栅极绝缘膜的绝缘膜 GI1 而形成有具有控制栅电极 CG 和控制栅电极 CG 上的顶盖绝缘膜 CP1 的层叠体 LM1。

[0149] 接下来,进行清洗处理,在对半导体衬底 SB 的主面进行净化处理后,如图 12 及图 13 所示,在半导体衬底 SB 的主面的整个面上,即在半导体衬底 SB 的主面(表面)上和层叠体 LM1 的表面(上表面及侧面)上,形成存储晶体管的栅极绝缘膜用的绝缘膜 MZ (图 1 的步骤 S8)。

[0150] 在包含金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D 在内的周边电路形成区域中,由于留存有层叠膜 LF1,所以在该层叠膜 LF1 的表面(上表面及侧面)上也能够形成绝缘膜 MZ。因此,在步骤 S8 中,绝缘膜 MZ 在半导体衬底 SB 上以覆盖存储器形成区域 1A 的层叠体 LM1 和周边电路形成区域的层叠膜 LF1 的方式形成。

[0151] 绝缘膜 MZ 是存储晶体管的栅极绝缘膜用的绝缘膜,是在内部具有电荷蓄存部的绝缘膜。该绝缘膜 MZ 由氧化硅膜(氧化膜)MZ1、形成在氧化硅膜 MZ1 上的氮化硅膜(氮化膜)MZ2、与形成在氮化硅膜 MZ2 上的氧化硅膜(氧化膜)MZ3 的层叠膜构成。氧化硅膜 MZ1、氮化硅膜 MZ2 及氧化硅膜 MZ3 的层叠膜也能够看作 ONO (oxide-nitride-oxide)膜。

[0152] 此外,为了易于观察附图,在图 12 及图 13 中,将由氧化硅膜 MZ1、氮化硅膜 MZ2 及氧化硅膜 MZ3 构成的绝缘膜 MZ 仅作为绝缘膜 MZ 而图示。实际上,如在图 12 中被虚线圆包围的区域的放大图所示,绝缘膜 MZ 由氧化硅膜 MZ1、氮化硅膜 MZ2 及氧化硅膜 MZ3 构成。

[0153] 绝缘膜 MZ 中的氧化硅膜 MZ1、MZ3 能够通过例如氧化处理(热氧化处理)、CVD 法或其组合而形成。在此时的氧化处理中,也能够使用 ISSG (In Situ Steam Generation :利用现场水汽生成)氧化。绝缘膜 MZ 中的氮化硅膜 MZ2 能够通过例如 CVD 法而形成。

[0154] 另外,在本实施方式中,作为具有陷阱能级的绝缘膜(电荷蓄存层),形成有氮化硅膜 MZ2。在可靠性方面等优选氮化硅膜,但不限于氮化硅膜,也能够将例如氧化铝膜(氧化铝)、氧化钪膜或氧化钽膜等介电常数比氮化硅膜高的高介电常数膜用作电荷蓄存层或电荷蓄存部。另外,也能够通过硅纳米点(silicon nanodot)来形成电荷蓄存层或电荷蓄存部。

[0155] 为了形成绝缘膜 MZ,例如,在首先通过热氧化法(优选 ISSG 氧化)形成氧化硅膜 MZ1 之后,通过 CVD 法在氧化硅膜 MZ1 上堆积氮化硅膜 MZ2,然后通过 CVD 法、热氧化法或其双方在氮化硅膜 MZ2 上形成氧化硅膜 MZ3。由此,能够形成由氧化硅膜 MZ1、氮化硅膜 MZ2 及氧化硅膜 MZ3 的层叠膜构成的绝缘膜 MZ。

[0156] 氧化硅膜 MZ1 的厚度能够为例如 2 ~ 10nm 左右,氮化硅膜 MZ2 的厚度能够为例如 5 ~ 15nm 左右,氧化硅膜 MZ3 的厚度能够为例如 2 ~ 10nm 左右。最后的氧化膜、即绝缘膜 MZ 中的最上层的氧化硅膜 MZ3 例如也能够对氮化膜(绝缘膜 MZ 中的中间层的氮化硅膜 MZ2)的上层部分进行氧化而形成,从而形成高耐压膜。

[0157] 绝缘膜 MZ 作为在后形成的存储栅电极 MG 的栅极绝缘膜而发挥功能,具有电荷保持(电荷蓄存)功能。因此,为了能够作为存储晶体管的具有电荷保持功能的栅极绝缘膜而发挥功能,绝缘膜 MZ 具有至少三层的层叠构造,与作为电荷阻挡层而发挥功能的外侧的层(在此为氧化硅膜 MZ1、MZ3)的势垒高度相比,作为电荷蓄存部而发挥功能的内侧的层(在此为氮化硅膜 MZ2)的势垒高度较低。其能够如本实施方式这样通过使绝缘膜 MZ 成为具有氧化硅膜 MZ1、氧化硅膜 MZ1 上的氮化硅膜 MZ2、氮化硅膜 MZ2 上的氧化硅膜 MZ3 的层叠膜而实现。

[0158] 接下来,如图 14 及图 15 所示,在半导体衬底 SB 的主面(主面的整个面)上、即在绝缘膜 MZ 上,以在存储器形成区域 1A 中覆盖层叠体 LM1 的方式、且以在周边电路形成区域中覆盖层叠膜 LF1 的方式,作为存储栅电极 MG 形成用的导电膜而形成(堆积)硅膜 PS2 (图 1 的步骤 S9)。

[0159] 硅膜 PS2 是存储晶体管的栅电极用的导电膜,即,是用于形成后述的存储栅电极 MG 的导电膜。硅膜 PS2 由多晶硅膜构成,能够使用 CVD 法等而形成。硅膜 PS2 的堆积膜厚能够例如 30 ~ 150nm 左右。成膜时,也能够将硅膜 PS2 作为非晶硅膜而形成,并在随后的热处理中使非晶硅膜成为多晶硅膜。

[0160] 另外,硅膜 PS2 通过在成膜时导入杂质或在成膜后离子注入杂质等,导入有杂质而成为低电阻的半导体膜(掺杂多晶硅膜)。硅膜 PS2 优选为导入有磷(P)或砷(As)等 n 型杂质的 n 型的硅膜。在硅膜 PS2 的成膜时导入 n 型杂质的情况下,通过使硅膜 PS2 的成膜用的气体包含掺杂气体(添加 n 型杂质用的气体),能够使导入有 n 型杂质的硅膜 PS2 成膜。存储器形成区域 1A 的硅膜 PS2 优选导入有 n 型杂质,但由于周边电路形成区域的硅膜 PS2 在后将会除去,所以 n 型杂质可以导入也可以不导入。

[0161] 接下来,通过各向异性蚀刻技术对硅膜 PS2 进行回蚀刻(蚀刻、干法蚀刻、各向异性蚀刻),由此,如图 16 及图 17 所示,形成存储栅电极 MG 及硅隔离物(silicon spacer)SP (图 1 的步骤 S10)。

[0162] 在步骤 S10 的回蚀刻工序中,与硅膜 PS2 的堆积膜厚相应地对硅膜 PS2 进行各向异性蚀刻(回蚀刻),由此,在层叠体 LM1 的双方侧壁上(隔着绝缘膜 MZ)以侧墙隔离物(sidewall spacer)状地留存硅膜 PS2 并除去其他区域的硅膜 PS2。由此,如图 16 及图 17 所示,在存储器形成区域 1A 中,通过隔着绝缘膜 MZ 以侧墙隔离物状地留存在层叠体 LM1 的双方侧壁中的一方侧壁上的硅膜 PS2 而形成存储栅电极 MG,另外,通过隔着绝缘膜 MZ 以侧墙隔离物状地留存在另一方侧壁上的硅膜 PS2 而形成硅隔离物 SP。存储栅电极 MG 在绝缘膜 MZ 上以隔着绝缘膜 MZ 而与层叠体 LM1 相邻的方式形成。因此,控制栅电极 CG 和存储栅电极 MG 隔着绝缘膜 MZ 而彼此相邻。由于在存储栅电极 MG 与控制栅电极 CG 之间夹设有绝缘膜 MZ,所以存储栅电极 MG 和控制栅电极 CG 不接触。

[0163] 硅隔离物 SP 也能够看作由导电体(在此为硅膜 PS2)构成的侧墙隔离物、即导电体隔离物。存储栅电极 MG 和硅隔离物 SP 形成在层叠体 LM1 的彼此为相反侧的侧壁上,具有隔着层叠体 LM1 而大致对称的构造。另外,在留存于周边电路形成区域的层叠膜 LF1 的侧壁上也能够隔着绝缘膜 MZ 而形成硅隔离物 SP。

[0164] 通过进行步骤 S10 的硅膜 PS2 的回蚀刻工序,没有被存储栅电极 MG 和硅隔离物 SP 覆盖的区域的绝缘膜 MZ 露出。在存储栅电极 MG 与半导体衬底 SB (p 型阱 PW1) 之间以及存储栅电极 MG 与控制栅电极 CG 之间夹设有绝缘膜 MZ。存储器形成区域 1A 中的存储栅电极 MG 之下的绝缘膜 MZ 成为存储晶体管的栅极绝缘膜。通过调整在上述步骤 S9 中堆积的硅膜 PS2 的堆积膜厚,能够调整存储栅极长度、即存储栅电极 MG 的栅长。

[0165] 接下来,如图 18 及图 19 所示,除去硅隔离物 SP (图 2 的步骤 S11)。

[0166] 步骤 S11 的硅隔离物的除去工序例如能够以如下方式进行。即,使用光刻技术,在半导体衬底 SB 上形成将存储栅电极 MG 覆盖且将硅隔离物 SP 露出那样的光致抗蚀图案(未图示)之后,通过以该光致抗蚀图案为蚀刻掩模的干法蚀刻来除去硅隔离物 SP,然后,除去该光致抗蚀图案。由此,如图 18 及图 19 所示,虽然硅隔离物 SP 被除去,但存储栅电极 MG 由于被光致抗蚀图案覆盖,所以没有被蚀刻而留存下来。

[0167] 接下来,如图 20 及图 21 所示,通过蚀刻(例如湿法蚀刻)除去绝缘膜 MZ 中的没有被存储栅电极 MG 覆盖而露出的部分(图 2 的步骤 S12)。此时,在存储器形成区域 1A 中,位

于存储栅电极 MG 之下及存储栅电极 MG 与层叠体 LM1 之间的绝缘膜 MZ 没有被除去而留存下来,其他区域的绝缘膜 MZ 被除去。还从图 20 可知,在存储器形成区域 1A 中,在存储栅电极 MG 与半导体衬底 SB (p 型阱 PW1)之间的区域、和存储栅电极 MG 与层叠体 LM1 之间的区域这两个区域范围内,绝缘膜 MZ 连续地延伸。

[0168] 此外,如在图 20 中被虚线圆包围的区域的放大图所示,绝缘膜 MZ 由氧化硅膜 MZ1、其上的氮化硅膜 MZ2 与其上的氧化硅膜 MZ3 的层叠膜构成。

[0169] 接下来,使用离子注入法向周边电路形成区域的硅膜 PS1 中的 n 沟道型 MISFET 形成预定区域的硅膜 PS1 导入 n 型杂质,由此,使 n 沟道型 MISFET 形成预定区域的硅膜 PS1 成为 n 型的硅膜(掺杂多晶硅膜)。在此时的离子注入中,存储器形成区域 1A 和周边电路形成区域的硅膜 PS1 中的 p 沟道型 MISFET 形成预定区域的硅膜 PS1 事先被光致抗蚀层覆盖。另外,使用离子注入法向周边电路形成区域的硅膜 PS1 中的 p 沟道型 MISFET 形成预定区域的硅膜 PS1 导入 p 型杂质,由此,使 p 沟道型 MISFET 形成预定区域的硅膜 PS1 成为 p 型的硅膜(掺杂多晶硅膜)。在此时的离子注入中,存储器形成区域 1A 和周边电路形成区域的硅膜 PS1 中的 n 沟道型 MISFET 形成预定区域的硅膜 PS1 事先被光致抗蚀层覆盖。由此,低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D 的硅膜 PS1 在形成有 n 沟道型 MISFET 的情况下成为 n 型的硅膜(掺杂多晶硅膜),在形成有 p 沟道型 MISFET 的情况下成为 p 型的硅膜(掺杂多晶硅膜)。另一方面,由于要形成在金属栅极晶体管形成区域 1B 上的虚拟栅电极 DG 在后将被除去,所以对金属栅极晶体管形成区域 1B 的硅膜 PS1 可以导入杂质也可以不导入杂质。

[0170] 在步骤 S12 (绝缘膜 MZ 的除去工序)之后,在步骤 S13 (层叠膜 LF1 的图案化工序)之前,在如上所述地对硅膜 PS1 进行离子注入来导入杂质的情况下,在进行该离子注入之前,也可以不对硅膜 PS1 导入杂质,即硅膜 PS1 也可以是非掺杂(不掺杂)的硅膜。

[0171] 接下来,使用光刻技术及蚀刻技术将层叠膜 LF1 图案化。由此,如图 22 及图 23 所示,形成具有虚拟栅电极 DG 和虚拟栅电极 DG 上的顶盖绝缘膜 CP2 的层叠体 LM2、具有栅电极 GE1 和栅电极 GE1 上的顶盖绝缘膜 CP3 的层叠体 LM3、以及具有栅电极 GE2 和栅电极 GE2 上的顶盖绝缘膜 CP4 的层叠体 LM4 (图 2 的步骤 S13)。

[0172] 步骤 S13 的图案化工序例如能够以如下方式进行。即,首先,使用光刻法在半导体衬底 SB 的主面上形成光致抗蚀图案(未图示)。该光致抗蚀图案形成在存储器形成区域 1A 整体、金属栅极晶体管形成区域 1B 中的虚拟栅电极 DG 形成预定区域、低耐压 MISFET 形成区域 1C 中的栅电极 GE1 形成预定区域、和高耐压 MISFET 形成区域 1D 中的栅电极 GE2 形成预定区域上。因此,存储栅电极 MG 及层叠体 LM1 被该光致抗蚀图案覆盖。然后,将该光致抗蚀图案用作蚀刻掩模,对硅膜 PS1 与绝缘膜 IL1 的层叠膜 LF1 进行蚀刻(优选干法蚀刻)而使其图案化,然后,除去该光致抗蚀图案。由此,在金属栅极晶体管形成区域 1B 上形成有由图案化的层叠膜 LF1 构成的层叠体 LM2,在低耐压 MISFET 形成区域 1C 上形成有由图案化的层叠膜 LF1 构成的层叠体 LM3,在高耐压 MISFET 形成区域 1D 上形成有由图案化的层叠膜 LF1 构成的层叠体 LM4。

[0173] 层叠体(层叠构造体) LM2 由虚拟栅电极 DG 和虚拟栅电极 DG 上的顶盖绝缘膜 CP2 构成,隔着绝缘膜 GI1 而形成在金属栅极晶体管形成区域 1B 的半导体衬底 SB(p 型阱 PW2)上。虚拟栅电极 DG 由图案化的硅膜 PS1 构成,顶盖绝缘膜 CP2 由图案化的绝缘膜 IL1 构

成。虚拟栅电极 DG 和顶盖绝缘膜 CP2 在俯视观察时具有大致相同的平面形状,在俯视观察时重合。也就是说,在金属栅极晶体管形成区域 IB 中,成为如下状态:在半导体衬底 SB (p 型阱 PW2) 上隔着绝缘膜 GI1 而形成有虚拟栅电极 DG,在该虚拟栅电极 DG 上形成有顶盖绝缘膜 CP2。

[0174] 此外,虚拟栅电极 DG 是虚拟的栅电极(模拟的栅电极),不作为晶体管的栅电极而发挥功能,在后将被除去。另外,虚拟栅电极 DG 由于在后将被除去并置换成后述的栅电极 GE3,所以也能够看作更换栅电极(Replacement Gate Electrode)或置换用栅电极。

[0175] 层叠体(层叠构造体)LM3 由栅电极 GE1 和栅电极 GE1 上的顶盖绝缘膜 CP3 构成,隔着绝缘膜 GI1 而形成在低耐压 MISFET 形成区域 1C 的半导体衬底 SB (p 型阱 PW3) 上。栅电极 GE1 由图案化的硅膜 PS1 构成,顶盖绝缘膜 CP3 由图案化的绝缘膜 IL1 构成。栅电极 GE1 和顶盖绝缘膜 CP3 在俯视观察时具有大致相同的平面形状,在俯视观察时重合。也就是说,在低耐压 MISFET 形成区域 1C 中,成为如下状态:在半导体衬底 SB (p 型阱 PW3) 上隔着绝缘膜 GI1 而形成有栅电极 GE1,在该栅电极 GE1 上形成有顶盖绝缘膜 CP3。

[0176] 层叠体(层叠构造体)LM4 由栅电极 GE2 和栅电极 GE2 上的顶盖绝缘膜 CP4 构成,隔着绝缘膜 GI2 而形成在高耐压 MISFET 形成区域 1D 的半导体衬底 SB (p 型阱 PW4) 上。栅电极 GE2 由图案化的硅膜 PS1 构成,顶盖绝缘膜 CP4 由图案化的绝缘膜 IL1 构成。栅电极 GE2 和顶盖绝缘膜 CP4 在俯视观察时具有大致相同的平面形状,在俯视观察时重合。也就是说,在高耐压 MISFET 形成区域 1D 中,成为如下状态:在半导体衬底 SB (p 型阱 PW4) 上隔着绝缘膜 GI2 而形成有栅电极 GE2,在该栅电极 GE2 上形成有顶盖绝缘膜 CP4。

[0177] 在步骤 S13 的图案化工序中使用的上述光致抗蚀图案,在存储器形成区域 1A 中形成在存储器形成区域 1A 整体上,因此,即使进行步骤 S13 的图案化工序,存储器形成区域 1A 的层叠体 LM1 及存储栅电极 MG 也没有被除去而仍然留存下来。

[0178] 在金属栅极晶体管形成区域 1B、低耐压 MISFET 形成区域 1C 及高耐压 MISFET 形成区域 1D 中,被层叠体 LM2、LM3、LM4 覆盖的部分以外的绝缘膜 GI1、GI2 能够通过步骤 S13 的图案化工序中进行的干法蚀刻、或在干法蚀刻后进行湿法蚀刻而除去。即,能够除去在金属栅极晶体管形成区域 1B 及低耐压 MISFET 形成区域 1C 中被层叠体 LM2、LM3 覆盖的部分以外的绝缘膜 GI1、和在高耐压 MISFET 形成区域 1D 中被层叠体 LM4 覆盖的部分以外的绝缘膜 GI2。

[0179] 栅电极 GE2 的栅长大于控制栅电极 CG 的栅长、虚拟栅电极 DG 的栅长及栅电极 GE1 的栅长。即,栅电极 GE2 的栅长方向上的尺寸 L4 大于控制栅电极 CG 的栅长方向上的尺寸 L1 ($L4 > L1$)。另外,栅电极 GE2 的栅长方向上的尺寸 L4 大于虚拟栅电极 DG 的栅长方向上的尺寸 L2 ($L4 > L2$)。另外,栅电极 GE2 的栅长方向上的尺寸 L4 大于栅电极 GE1 的栅长方向上的尺寸 L3 ($L4 > L3$)。图 22 及图 23 示出尺寸 L1、L2、L3、L4。

[0180] 另外,栅电极 GE2 的面积大于控制栅电极 CG 的面积。另外,栅电极 GE2 的面积大于虚拟栅电极 DG 的面积。另外,栅电极 GE2 的面积大于栅电极 GE1 的面积。此外,在此所说的面积是指俯视观察时的面积。

[0181] 也就是说,栅电极 GE2 是比控制栅电极 CG、虚拟栅电极 DG 及栅电极 GE1 大的图案。

[0182] 在此,控制栅电极 CG 的栅长方向上的尺寸 L1 与在控制栅电极 CG 的栅长方向上观察时的该控制栅电极 CG 的尺寸(长度)对应。另外,栅电极 GE1 的栅长方向上的尺寸 L3 与

在栅电极 GE1 的栅长方向上观察时的该栅电极 GE1 的尺寸(长度)对应。另外,栅电极 GE2 的栅长方向上的尺寸 L4 与在栅电极 GE2 的栅长方向上观察时的该栅电极 GE2 的尺寸(长度)对应。另外,虚拟栅电极 DG 的栅长方向上的尺寸 L2 与在之后置换虚拟栅电极 DG 的栅电极 GE3 的栅长方向上观察时的虚拟栅电极 DG 的尺寸(长度)对应。即,虚拟栅电极 DG 不作为晶体管的栅电极而发挥功能,在后将被除去,但是,在沿着之后埋入于除去虚拟栅电极 DG 的区域(与后述的槽 TR 对应)的后述的栅电极 GE3 的栅长方向的方向上观察时的虚拟栅电极 DG 的尺寸,与虚拟栅电极 DG 的栅长方向的尺寸 L2 对应。

[0183] 另外,由于栅电极 GE2 的栅长方向上的尺寸 L4 大于虚拟栅电极 DG 的栅长方向上的尺寸 L2($L4 > L2$),所以栅电极 GE2 的栅长方向上的尺寸 L4 也大于在后形成的后述的栅电极 GE3 的栅长方向上的尺寸。也就是说,栅电极 GE2 的栅长大于在后形成的后述的栅电极 GE3 的栅长。

[0184] 接下来,如图 24 及图 25 所示,使用离子注入法等来形成 n^- 型半导体区域(杂质扩散层) EX1、EX2、EX3、EX4、EX5 (图 2 的步骤 S14)。

[0185] 在步骤 S14 中,将存储栅电极 MG 及层叠体 LM1、LM2、LM3、LM4 用作掩模(离子注入阻止掩模),通过离子注入法向半导体衬底 SB (p 型阱 PW1、PW2、PW3、PW4) 导入例如砷(As)或磷(P)等 n 型的杂质,由此,能够形成 n^- 型半导体区域 EX1、EX2、EX3、EX4、EX5。此时,在存储器形成区域 1A 中,存储栅电极 MG 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^- 型半导体区域 EX1 自对准地形成在存储栅电极 MG 的侧壁(和隔着绝缘膜 MZ 与控制栅电极 CG 相邻的一侧为相反侧的侧壁)上。另外,在存储器形成区域 1A 中,层叠体 LM1 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^- 型半导体区域 EX2 自对准地形成在控制栅电极 CG 的侧壁(和隔着绝缘膜 MZ 与存储栅电极 MG 相邻的一侧为相反侧的侧壁)上。另外,在金属栅极晶体管形成区域 1B 中,层叠体 LM2 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^- 型半导体区域 EX3 自对准地形成在虚拟栅电极 DG 的两侧壁上。另外,在低耐压 MISFET 形成区域 1C 中,层叠体 LM3 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^- 型半导体区域 EX4 自对准地形成在栅电极 GE1 的两侧壁上。另外,在高耐压 MISFET 形成区域 1D 中,层叠体 LM4 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^- 型半导体区域 EX5 自对准地形成在栅电极 GE2 的两侧壁上。

[0186] n^- 型半导体区域 EX1 及 n^- 型半导体区域 EX2 能够作为形成在存储器形成区域 1A 中的存储单元的源极-漏极区域(源极或漏极区域)的一部分而发挥功能。 n^- 型半导体区域 EX3 能够作为形成在金属栅极晶体管形成区域 1B 中的 MISFET 的源极-漏极区域(源极或漏极区域)的一部分而发挥功能。 n^- 型半导体区域 EX4 能够作为形成在低耐压 MISFET 形成区域 1C 中的 MISFET 的源极-漏极区域(源极或漏极区域)的一部分而发挥功能。 n^- 型半导体区域 EX5 能够作为形成在高耐压 MISFET 形成区域 1D 中的 MISFET 的源极-漏极区域(源极或漏极区域)的一部分而发挥功能。

[0187] n^- 型半导体区域 EX1、 n^- 型半导体区域 EX2、 n^- 型半导体区域 EX3、 n^- 型半导体区域 EX4 和 n^- 型半导体区域 EX5 能够在相同的离子注入工序中形成,但也能够在不同的离子注入工序中形成。

[0188] 接下来,如图 26 及图 27 所示,在层叠体 LM1 及存储栅电极 MG 的侧壁(和隔着绝缘膜 MZ 而彼此相邻的一侧为相反侧的侧壁)上、层叠体 LM2 的侧壁上、层叠体 LM3 的侧壁上和

层叠体 LM4 的侧壁上形成由绝缘膜构成的侧墙隔离物 (sidewall、侧壁绝缘膜) SW (图 2 的步骤 S15)。侧墙隔离物 SW 能够看作侧壁绝缘膜。

[0189] 步骤 S15 的侧墙隔离物 SW 形成工序例如能够以如下方式进行。即,首先,在半导体衬底 SB 的主面的整个面上形成(堆积)侧墙隔离物 SW 形成用的绝缘膜。该绝缘膜(即侧墙隔离物 SW 形成用的绝缘膜)例如由氧化硅膜、氮化硅膜或它们的层叠膜等构成,能够使用 CVD 法等而形成。该绝缘膜在半导体衬底 SB 上以覆盖存储栅电极 MG、层叠体 LM1、层叠体 LM2、层叠体 LM3 及层叠体 LM4 的方式形成。然后,通过各向异性蚀刻技术对该绝缘膜进行回蚀刻(蚀刻、干法蚀刻、各向异性蚀刻)。由此,在层叠体 LM1 及存储栅电极 MG 的侧壁(与隔着绝缘膜 MZ 而彼此相邻的一侧为相反侧的侧壁)上、层叠体 LM2 的侧壁上、层叠体 LM3 的侧壁上和层叠体 LM4 的侧壁上选择性地留存该绝缘膜(即侧墙隔离物 SW 形成用的绝缘膜),从而形成侧墙隔离物 SW。侧墙隔离物 SW 形成在层叠体 LM2 的两侧壁上、层叠体 LM3 的两侧壁上、层叠体 LM4 的两侧壁上、层叠体 LM1 的侧壁中的和隔着绝缘膜 MZ 与存储栅电极 MG 相邻的一侧为相反侧的侧壁上、以及存储栅电极 MG 的侧壁中的和隔着绝缘膜 MZ 与层叠体 LM1 相邻的一侧为相反侧的侧壁上。

[0190] 在存储栅电极 MG 的侧壁中的和隔着绝缘膜 MZ 与层叠体 LM1 相邻的一侧为相反侧的侧壁上形成有侧墙隔离物 SW。但是,能够具有在存储栅电极 MG 上即在存储栅电极 MG 的上部形成有侧墙隔离物 SW 的情况和没有形成侧墙隔离物 SW 的情况。在图 26 中,示出在存储栅电极 MG 的上部也形成有侧墙隔离物 SW 的情况。

[0191] 在存储栅电极 MG 的上部是否形成侧墙隔离物 SW,能够根据层叠体 LM1 的高度与存储栅电极 MG 的相对关系、和对侧墙隔离物 SW 形成用的绝缘膜进行回蚀刻时的回蚀刻量来进行控制。

[0192] 在存储栅电极 MG 的高度与层叠体 LM1 的高度大致相同的情况下,在对侧墙隔离物 SW 形成用的绝缘膜进行回蚀刻时,在存储栅电极 MG 的侧壁上留存该绝缘膜而形成侧墙隔离物 SW,但在存储栅电极 MG 的上表面上没有留存侧墙隔离物 SW 形成用的绝缘膜。因此,在存储栅电极 MG 的上部没有形成侧墙隔离物 SW。该情况下,在后述的步骤 S19 中,在存储栅电极 MG 的上部形成有后述的金属硅化物层 SL。

[0193] 另一方面,在存储栅电极 MG 的高度比层叠体 LM1 的高度低的情况下,在与存储栅电极 MG 相邻的一侧的层叠体 LM1 的侧壁上,存在位置比存储栅电极 MG 高的部分。因此,在对侧墙隔离物 SW 形成用的绝缘膜进行回蚀刻时,在与存储栅电极 MG 相邻的一侧的层叠体 LM1 的侧壁中,与位置比存储栅电极 MG 高的部分相邻地、留存该绝缘膜而形成侧墙隔离物 SW,该侧墙隔离物 SW 位于存储栅电极 MG 的上方。即,位于存储栅电极 MG 上的侧墙隔离物 SW 与位于比存储栅电极 MG 高的位置的层叠体 LM1 的侧壁相邻。位于存储栅电极 MG 上的侧墙隔离物 SW 也可以和与存储栅电极 MG 的侧壁(和与控制栅电极 CG 相邻的一侧的侧壁为相反侧的侧壁)相邻的侧墙隔离物 SW 一体地相连。若在存储栅电极 MG 的上部也形成侧墙隔离物 SW,则存储栅电极 MG 的上表面和侧面(和与控制栅电极 CG 相邻的一侧为相反侧的侧面)成为被侧墙隔离物 SW 覆盖而没有露出的状态,图 26 示出该情况。在存储栅电极 MG 的上部也形成有侧墙隔离物 SW 的情况下,能够在后述的步骤 S19 中防止在存储栅电极 MG 的上部形成后述的金属硅化物层 SL。此外,在上述步骤 S10 中对硅膜 PS2 进行回蚀刻而形成存储栅电极 MG 时,通过调整该回蚀刻量,能够使存储栅电极 MG 的高度比层叠体 LM1 的高度

低。

[0194] 接下来,如图 28 及图 29 所示,使用离子注入法等来形成 n^+ 型半导体区域(杂质扩散层) SD1、SD2、SD3、SD4、SD5 (图 2 的步骤 S16)。

[0195] 在步骤 S16 中,将存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 用作掩模(离子注入阻止掩模),通过离子注入法向半导体衬底 SB (p 型阱 PW1 ~ PW4)导入例如砷(As)或磷(P)等 n 型杂质,由此,能够形成 n^+ 型半导体区域 SD1 ~ SD5。此时,在存储器形成区域 1A 中,存储栅电极 MG、存储栅电极 MG 上的侧墙隔离物 SW 和存储栅电极 MG 的侧壁上的侧墙隔离物 SW 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^+ 型半导体区域 SD1 自对准地形成在存储栅电极 MG 的侧壁上的侧墙隔离物 SW 上。另外,在存储器形成区域 1A 中,层叠体 LM1 和其侧壁上的侧墙隔离物 SW 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^+ 型半导体区域 SD2 自对准地形成在层叠体 LM1 的侧壁上的侧墙隔离物 SW 上。另外,在金属栅极晶体管形成区域 1B 中,层叠体 LM2 和其侧壁上的侧墙隔离物 SW 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^+ 型半导体区域 SD3 自对准地形成在层叠体 LM2 的两侧壁上的侧墙隔离物 SW 上。另外,在低耐压 MISFET 形成区域 1C 中,层叠体 LM3 和其侧壁上的侧墙隔离物 SW 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^+ 型半导体区域 SD4 自对准地形成在层叠体 LM3 的两侧壁上的侧墙隔离物 SW 上。另外,在高耐压 MISFET 形成区域 1D 中,层叠体 LM4 和其侧壁上的侧墙隔离物 SW 作为掩模(离子注入阻止掩模)而发挥功能,由此, n^+ 型半导体区域 SD5 自对准地形成在层叠体 LM4 的两侧壁上的侧墙隔离物 SW 上。由此,形成了 LDD (Lightly doped Drain :轻掺杂漏极)构造。

[0196] n^+ 型半导体区域 SD1、 n^+ 型半导体区域 SD2、 n^+ 型半导体区域 SD3、 n^+ 型半导体区域 SD4 和 n^+ 型半导体区域 SD5 能够在相同的离子注入工序中形成,但也能够在不同的离子注入工序中形成。还能够通过同一离子注入来形成 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 中的任意组合。

[0197] 像这样,通过 n^- 型半导体区域 EX1 和比其杂质浓度高的 n^+ 型半导体区域 SD1,形成作为存储晶体管的源极区域而发挥功能的 n 型的半导体区域,通过 n^- 型半导体区域 EX2 和比其杂质浓度高的 n^+ 型半导体区域 SD2,形成有作为控制晶体管的漏极区域而发挥功能的 n 型的半导体区域。 n^+ 型半导体区域 SD1 与 n^- 型半导体区域 EX1 相比杂质浓度高且接合深度深, n^+ 型半导体区域 SD2 与 n^- 型半导体区域 EX2 相比杂质浓度高且接合深度深。另外,通过 n^- 型半导体区域 EX3 和比其杂质浓度高的 n^+ 型半导体区域 SD3,形成作为金属栅极晶体管形成区域 1B 的 MISFETQ1 的源极-漏极区域而发挥功能的 n 型的半导体区域。 n^+ 型半导体区域 SD3 与 n^- 型半导体区域 EX3 相比杂质浓度高且接合深度深。另外,通过 n^- 型半导体区域 EX4 和比其杂质浓度高的 n^+ 型半导体区域 SD4,形成作为低耐压 MISFET 形成区域 1C 的 MISFETQ2 的源极-漏极区域而发挥功能的 n 型的半导体区域。 n^+ 型半导体区域 SD4 与 n^- 型半导体区域 EX4 相比杂质浓度高且接合深度深。另外,通过 n^- 型半导体区域 EX5 和比其杂质浓度高的 n^+ 型半导体区域 SD5,形成作为高耐压 MISFET 形成区域 1D 的 MISFETQ3 的源极-漏极区域而发挥功能的 n 型的半导体区域。 n^+ 型半导体区域 SD5 与 n^- 型半导体区域 EX5 相比杂质浓度高且接合深度深。

[0198] 接下来,进行用于使导入到源极及漏极用的半导体区域(n^- 型半导体区域 EX1、EX2、EX3、EX4、EX5 及 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5)等中的杂质活性化的热处理。

理即活性化退火(图 2 的步骤 S17)。

[0199] 像这样,在存储器形成区域 1A 中形成有非易失性存储器的存储单元。另外,在低耐压 MISFET 形成区域 1C 中形成有 MISFETQ2,其中,该 MISFETQ2 作为栅电极而具有栅电极 GE1,作为栅极绝缘膜而具有绝缘膜 GI1,作为源极-漏极区域而具有 n⁻型半导体区域 EX4 及 n⁺型半导体区域 SD4。另外,在高耐压 MISFET 形成区域 1D 中形成有 MISFETQ3,其中,该 MISFETQ3 作为栅电极而具有栅电极 GE2,作为栅极绝缘膜而具有绝缘膜 GI2,作为源极-漏极区域而具有 n⁻型半导体区域 EX5 及 n⁺型半导体区域 SD5。

[0200] 另一方面,在金属栅极晶体管形成区域 1B 中,作为 MISFETQ1 用的源极-漏极区域而形成有 n⁻型半导体区域 EX3 及 n⁺型半导体区域 SD3,但是,虚拟栅电极 DG 不作为 MISFET 的栅电极而发挥功能,在后将被除去。因此,在该阶段,作为金属栅极晶体管形成区域 1B 的 MISFETQ1 的栅电极而使用的栅电极(后述的栅电极 GE3)尚未形成。

[0201] 接下来,在高耐压 MISFET 形成区域 1D 的层叠体 LM4 上局部地形成绝缘膜 DB(图 2 的步骤 S18)。

[0202] 步骤 S18 的绝缘膜 DB 的形成工序包括绝缘膜 IL2 的形成工序和对绝缘膜 IL2 进行蚀刻而使其图案化的工序。具体而言,步骤 S18 的绝缘膜 DB 的形成工序能够以如下方式进行(图 28~图 31)。

[0203] 即,如图 28 及图 29 所示,在半导体衬底 SB 的主面上(主面的整个面上),以覆盖存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 的方式形成(堆积)绝缘膜 IL2。绝缘膜 IL2 由氮化硅膜等构成,能够使用 CVD 法等而形成。然后,在绝缘膜 IL2 上,使用光刻法,作为抗蚀图案而形成光致抗蚀图案 PR1。光致抗蚀图案 PR1 形成在高耐压 MISFET 形成区域 1D 中的绝缘膜 DB 形成预定区域。然后,将光致抗蚀图案 PR1 用作蚀刻掩模,对绝缘膜 IL2 进行蚀刻而使其图案化,由此,使由图案化的绝缘膜 IL2 构成的绝缘膜 DB 形成在层叠体 LM4 上。然后,除去光致抗蚀图案 PR1。图 30 及图 31 示出该阶段。像这样,进行步骤 S18 的绝缘膜 DB 的形成工序。

[0204] 绝缘膜 DB 是用于在之后进行的研磨工序中防止在栅电极 GE2 上产生碟形凹陷的图案。绝缘膜 DB 由图案化的绝缘膜 IL2 构成,局部地形成在层叠体 LM4 上。即,绝缘膜 DB 不是形成在层叠体 LM4 的上表面整体上,而是局部地形成在层叠体 LM4 的上表面上。也就是说,绝缘膜 DB 不是形成在层叠体 LM4 的上表面整体上,而是形成在层叠体 LM4 的上表面的一部分上。此外,绝缘膜 DB 局部地形成在层叠体 LM4 上,与绝缘膜 DB 部分地形成在层叠体 LM4 上,意义相同。

[0205] 因此,层叠体 LM4 的上表面具有形成有绝缘膜 DB 的部分和没有形成绝缘膜 DB 的部分。即,层叠体 LM4 的上表面具有被绝缘膜 DB 覆盖的部分和没有被绝缘膜 DB 覆盖的部分。也就是说,在俯视观察时,层叠体 LM4 具有与绝缘膜 DB 重合的部分和不与其重合的部分。层叠体 LM4 由栅电极 GE2 和栅电极 GE2 上的顶盖绝缘膜 CP4 构成。因此,在俯视观察时,栅电极 GE2 具有与绝缘膜 DB 重合的部分和不与其重合的部分。

[0206] 另外,优选绝缘膜 DB 没有形成在存储栅电极 MG 上、层叠体 LM1 上、层叠体 LM2 上及层叠体 LM3 上。也就是说,绝缘膜 DB 形成在层叠体 LM4 的上表面的一部分上,并且没有形成在存储栅电极 MG 及层叠体 LM1、LM2、LM3 上。因此,上述光致抗蚀图案 PR1 形成在层叠体 LM4 上,但不需要形成在存储栅电极 MG 及层叠体 LM1、LM2、LM3 上。

[0207] 另外,在将光致抗蚀图案 PR1 用作蚀刻掩模对绝缘膜 IL2 进行蚀刻时,优选进行各向同性的蚀刻。由此,能够防止除了光致抗蚀图案 PR1 的下部以外还留存有不需要的绝缘膜 IL2。例如,能够防止在存储栅电极 MG 及层叠体 LM1、LM2、LM3、LM4 的侧壁上以侧墙隔离物状地留存有绝缘膜 IL2。

[0208] 因此,事先将光致抗蚀图案 PR1 的尺寸设定成比形成在层叠体 LM4 上的预定的绝缘膜 DB 的尺寸大的尺寸,将该光致抗蚀图案 PR1 用作蚀刻掩模对绝缘膜 IL2 进行各向同性蚀刻,从而形成绝缘膜 DB。由此,绝缘膜 IL2 的平面尺寸与在蚀刻中也产生侧蚀刻相应地,小于光致抗蚀图案 PR1 的平面尺寸。例如,仅在栅电极 GE2 的栅长方向上观察时,绝缘膜 DB 的尺寸小于光致抗蚀图案 PR1 的尺寸。而且,在光致抗蚀图案 PR1 的下部以外的区域、即在没有被光致抗蚀图案 PR1 覆盖的区域,绝缘膜 IL2 受到各向同性蚀刻,由此,能够以不会留存不需要的留存物的方式除去绝缘膜 IL2。绝缘膜 IL2 的蚀刻工序能够使用湿法蚀刻、干法蚀刻或两者的组合。因此,关于绝缘膜 IL2 的蚀刻工序,也具有在进行各向异性的干法蚀刻之后进行各向同性的干法蚀刻或湿法蚀刻的情况。

[0209] 接下来,形成金属硅化物层 SL (图 2 的步骤 S19)。金属硅化物层 SL 能够以如下方式进行。

[0210] 首先,如图 32 及图 33 所示,在包括 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的上表面(表面)上在内的半导体衬底 SB 的主表面的整个面上,以覆盖存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 的方式形成(堆积)金属膜 MM。金属膜 MM 能够为单质的金属膜(纯金属膜)或合金膜,优选由钴(Co)膜、镍(Ni)膜、或镍铂合金膜构成。金属膜 MM 能够使用溅射法等而形成。

[0211] 接下来,通过对半导体衬底 SB 实施热处理,使 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的各上层部分(表层部分)与金属膜 MM 发生反应。由此,如图 34 及图 35 所示,在 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的各上部(上表面、表面、上层部),分别形成有金属硅化物层 SL。金属硅化物层 SL 能够例如为钴硅化物层(金属膜 MM 为钴膜的情况下)、镍硅化物层(金属膜 MM 为镍膜的情况下)、或添加铂的镍硅化物层(金属膜 MM 为镍铂合金膜的情况下)。此外,加铂镍硅化物层是添加有铂的镍硅化物层,即是含有铂的镍硅化物层,也能够称作镍铂硅化物层。然后,通过湿法蚀刻等除去未反应的金属膜 MM。图 34 及图 35 示出该阶段的剖面图。另外,还能够在除去未反应的金属膜 MM 之后进一步进行热处理。

[0212] 像这样,通过进行所谓的自对准多晶硅化物(Salicide:Self Aligned Silicide)工艺,在 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的上部形成金属硅化物层 SL,由此,能够使源极、漏极的电阻低电阻化。通过使用自对准多晶硅化物工艺,能够在 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 上分别自对准地形成金属硅化物层 SL。

[0213] 由于在控制栅电极 CG 上形成有顶盖绝缘膜 CP1,所以即使形成金属膜 MM,金属膜 MM 也不会与控制栅电极 CG 接触,即使进行热处理,也不会与控制栅电极 CG 上形成与金属硅化物层 SL 相当的部分。另外,由于在虚拟栅电极 DG 上形成有顶盖绝缘膜 CP2,所以即使形成金属膜 MM,金属膜 MM 也不会与虚拟栅电极 DG 接触,即使进行热处理,在虚拟栅电极 DG 上也不会形成与金属硅化物层 SL 相当的部分。另外,由于在栅电极 GE1 上形成有顶盖绝缘膜 CP3,所以即使形成金属膜 MM,金属膜 MM 也不会与栅电极 GE1 接触,即使进行热处理,在栅电极 GE1 上也不会形成与金属硅化物层 SL 相当的部分。另外,由于在栅电极 GE2 上形成

有顶盖绝缘膜 CP4, 所以即使形成金属膜 MM, 金属膜 MM 也不会与栅电极 GE2 接触, 即使进行热处理, 在栅电极 GE2 上也不会形成与金属硅化物层 SL 相当的部分。

[0214] 另外, 不仅在存储栅电极 MG 的侧壁上形成有侧墙隔离物 SW、在存储栅电极 MG 的上部也形成有侧墙隔离物 SW 的情况下, 即使形成金属膜 MM, 金属膜 MM 也不会与存储栅电极 MG 接触, 即使进行热处理, 在存储栅电极 MG 上也不会形成与金属硅化物层 SL 相当的部分。

[0215] 另一方面, 在存储栅电极 MG 的侧壁上形成有侧墙隔离物 SW 但在存储栅电极 MG 的上部没有形成侧墙隔离物 SW 的情况下, 若形成金属膜 MM, 则金属膜 MM 与存储栅电极 MG 的上部接触, 因此, 当进行热处理时, 在存储栅电极 MG 的上部会形成金属硅化物层 SL。

[0216] 接下来, 如图 36 及图 37 所示, 在半导体衬底 SB 的主面上(主面的整个面上), 以覆盖存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 的方式, 作为层间绝缘膜而形成(堆积)绝缘膜 IL3 (图 2 的步骤 S20)。

[0217] 在步骤 S20 中使绝缘膜 IL3 成膜的阶段, 也存在在绝缘膜 IL3 的上表面形成有反映存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 等的凹凸或层差的情况。

[0218] 图 36 及图 37 示出了使绝缘膜 IL3 为绝缘膜 IL4 与绝缘膜 IL4 上的绝缘膜 IL5 的层叠膜的情况。该情况下, 在步骤 S20 中, 在半导体衬底 SB 的主面上(主面的整个面上), 以覆盖存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 的方式形成绝缘膜 IL4 之后, 在该绝缘膜 IL4 上形成绝缘膜 IL5。绝缘膜 IL4 优选由氮化硅膜构成, 绝缘膜 IL5 优选由氧化硅膜构成。绝缘膜 IL4 的形成膜厚(堆积膜厚) 小于绝缘膜 IL5 的形成膜厚(堆积膜厚)。绝缘膜 IL4 能够使用例如 CVD 法等而形成, 另外, 绝缘膜 IL5 能够使用例如 CVD 法等而形成。

[0219] 另外, 绝缘膜 IL3 也能够是层叠多层绝缘膜而成的层叠膜(层叠绝缘膜), 但还能够是由单层的绝缘膜构成的单层膜。在绝缘膜 IL3 为单层膜的情况下, 例如, 能够使绝缘膜 IL3 为氧化硅膜的单层膜。

[0220] 接下来, 使用 CMP (Chemical Mechanical Polishing : 化学机械研磨) 法等对绝缘膜 IL3 的上表面进行研磨(图 3 的步骤 S21)。通过步骤 S21 的研磨工序, 如图 38 及图 39 所示, 使虚拟栅电极 DG 的上表面露出。也就是说, 在步骤 S21 的研磨工序中, 对绝缘膜 IL3 进行研磨直至虚拟栅电极 DG 的上表面露出。

[0221] 此外, 在步骤 S20 在使绝缘膜 IL3 成膜的阶段, 也存在在绝缘膜 IL3 的上表面形成有反映存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 等的凹凸或层差的情况, 但在步骤 S21 的研磨工序之后, 绝缘膜 IL3 的上表面被平坦化。

[0222] 在步骤 S21 中对绝缘膜 IL3 进行的研磨用于使虚拟栅电极 DG 露出。通过使虚拟栅电极 DG 露出, 能够在后选择性地除去虚拟栅电极 DG 并置换成后述的栅电极 GE。

[0223] 但是, 当为了使虚拟栅电极 DG 露出而对绝缘膜 IL3 进行研磨时, 控制栅电极 CG、栅电极 GE1 和栅电极 GE2 也露出。另外, 还存在存储栅电极 MG 也露出的情况。

[0224] 即, 虚拟栅电极 DG、控制栅电极 CG、栅电极 GE1 和栅电极 GE2 通过使同层的导电膜(在此为硅膜 PS2) 图案化而形成。因此, 虚拟栅电极 DG 的高度、控制栅电极 CG 的高度、栅电极 GE1 的高度和栅电极 GE2 的高度大致相同。因此, 在步骤 S21 的研磨工序中, 若对绝缘膜 IL3 进行研磨直至虚拟栅电极 DG 的上表面露出, 则控制栅电极 CG 的上表面、栅电极 GE1 的上表面和栅电极 GE2 的上表面也露出。

[0225] 在控制栅电极 CG 上形成有顶盖绝缘膜 CP1, 在虚拟栅电极 DG 上形成有顶盖绝缘膜 CP2, 在栅电极 GE1 上形成有顶盖绝缘膜 CP3, 在栅电极 GE2 上形成有顶盖绝缘膜 CP4, 在该状态下, 在步骤 S20 中形成绝缘膜 IL3 之后, 进行步骤 S21 的研磨工序。因此, 在步骤 S21 的研磨工序中, 首先, 进行绝缘膜 IL3 的研磨直至顶盖绝缘膜 CP1、CP2、CP3、CP4 的上表面露出, 然后, 进一步进行研磨, 如图 38 及图 39 所示, 使虚拟栅电极 DG、控制栅电极 CG、栅电极 GE1 及栅电极 GE2 的各上表面露出。在存储栅电极 MG 上形成有侧墙隔离物 SW 的情况下, 也存在该存储栅电极 MG 上的侧墙隔离物 SW 也被研磨而存储栅电极 MG 的上表面也露出的情况。通过顶盖绝缘膜 CP1、CP2、CP3、CP4 的上表面露出之后的研磨, 不仅绝缘膜 IL3 被研磨, 控制栅电极 CG 上的顶盖绝缘膜 CP1、虚拟栅电极 DG 上的顶盖绝缘膜 CP2、栅电极 GE1 上的顶盖绝缘膜 CP3、栅电极 GE2 上的顶盖绝缘膜 CP4 及存储栅电极 MG 上的侧墙隔离物 SW 也被研磨。

[0226] 与本实施方式不同, 在层叠体 LM4 上没有形成绝缘膜 DB 的状态下, 在步骤 S20 中形成绝缘膜 IL3 之后进行步骤 S21 的研磨工序的情况(与后述的研究例对应)下, 在栅电极 GE2 上可能产生碟形凹陷。尤其是, 在栅电极 GE2 的尺寸(尤其是栅长方向上的尺寸)较大的情况下, 可能产生栅电极 GE2 的碟形凹陷。与之相对, 在本实施方式中, 在层叠体 LM4 上局部地(部分地)形成有绝缘膜 DB 的状态下, 在步骤 S20 中形成绝缘膜 IL3 之后进行步骤 S21 的研磨工序, 因此, 能够抑制或防止在栅电极 GE2 上产生碟形凹陷。

[0227] 即, 在本实施方式中, 在栅电极 GE2 上局部地形成有绝缘膜 DB, 并且, 在步骤 S21 的研磨工序中, 在绝缘膜 DB 的研磨速度小于绝缘膜 IL3 的研磨速度的条件(研磨条件)下对绝缘膜 IL3 进行研磨。也就是说, 在步骤 S21 中, 在绝缘膜 DB 比绝缘膜 IL3 难以被研磨的条件下进行研磨。其用于在步骤 S21 的研磨工序中抑制或防止绝缘膜 DB 的形成部位(即, 位于绝缘膜 DB 正下的部位)处的栅电极 GE2 的研磨。由此, 即使在步骤 S21 的研磨工序中栅电极 GE2 被研磨, 在栅电极 GE2 中, 位于绝缘膜 DB 正下的部分与除此以外的部分相比, 研磨量被抑制(研磨量减少)。因此, 在步骤 S21 的研磨工序中, 能够抑制或防止在栅电极 GE2 的上表面的、中央部侧与外周部侧相比被过度研磨的现象(即碟形凹陷)。对此将在后进一步详细说明。

[0228] 另外, 在步骤 S21 的研磨工序中, 采用绝缘膜 DB 的研磨速度小于绝缘膜 IL3 的研磨速度的条件。在绝缘膜 IL3 是绝缘膜 IL4 与比绝缘膜 IL4 厚的绝缘膜 IL5 的层叠膜的情况下, 绝缘膜 IL3 的大半厚度为绝缘膜 IL5, 绝缘膜 IL3 主要由绝缘膜 IL5 构成, 因此, 事先使绝缘膜 DB 由与绝缘膜 IL5 不同的材料形成, 在步骤 S21 的研磨中, 采用绝缘膜 DB 的研磨速度小于绝缘膜 IL5 的研磨速度的条件。也就是说, 在步骤 S21 中, 在绝缘膜 DB 比绝缘膜 IL5 难以被研磨的条件下进行研磨。研磨速度能够根据例如所使用的研磨液(slurry)等来进行控制。

[0229] 另外, 也能够存在绝缘膜 DB 和绝缘膜 IL4 由相同材料(例如氮化硅)构成的情况, 但是, 该情况下, 步骤 S21 的研磨工序采用绝缘膜 DB 的研磨速度小于绝缘膜 IL5 的研磨速度的条件, 绝缘膜 IL4 的研磨速度与绝缘膜 DB 的研磨速度为相同程度。在这样的情况下, 与比绝缘膜 IL5 难以被研磨的绝缘膜 DB 的存在相应地, 在步骤 S21 的研磨工序中, 能够抑制或防止绝缘膜 DB 的形成部位(即, 位于绝缘膜 DB 正下的部位)处的栅电极 GE2 的研磨, 能够抑制或防止在栅电极 GE2 上产生碟形凹陷。

[0230] 另外,由于虚拟栅电极 DG 在后将会除去,所以在步骤 S21 的研磨工序的结束阶段,使虚拟栅电极 DG 的上表面整体露出,在虚拟栅电极 DG 上不留存顶盖绝缘膜 CP2。但是,在层叠体 LM4 上局部地(部分地)形成有绝缘膜 DB 的状态下,在步骤 S20 中形成绝缘膜 IL3 之后进行步骤 S21 的研磨工序,因此,取代能够抑制或防止在栅电极 GE2 上产生碟形凹陷,在步骤 S21 的研磨工序的结束阶段,也能够存在在栅电极 GE2 上局部地(部分地)留存绝缘膜 ZF 的情况。图 40 及图 41 示出该情况。

[0231] 在此,与图 38 及图 39 同样地,图 40 及图 41 示出了步骤 S21 的研磨工序的结束阶段。但是,图 38 及图 39 与以下情况对应:在步骤 S21 的研磨工序的结束阶段,在栅电极 GE2 上没有留存绝缘膜 DB 或顶盖绝缘膜 CP4,栅电极 GE2 的上表面整体露出。另一方面,图 40 及图 41 与以下情况对应:在步骤 S21 的研磨工序的结束阶段,绝缘膜 DB 及顶盖绝缘膜 CP4 没有被完全除去,在栅电极 GE2 的上表面上部分地留存有绝缘膜 ZF。该绝缘膜 ZF 由顶盖绝缘膜 CP4 的一部分构成,具体而言,由位于绝缘膜 DB 之下的这一部分的顶盖绝缘膜 CP4 构成,但也能够存在包含绝缘膜 DB 的一部分的情况。在图 40 及图 41 的情况下,不是栅电极 GE2 的上表面整体露出,而是栅电极 GE2 的上表面的一部分露出,在栅电极 GE2 的上表面上留存有绝缘膜 ZF 的区域,栅电极 GE2 的上表面不露出。也就是说,在图 40 及图 41 的情况下,栅电极 GE2 的上表面具有被绝缘膜 ZF 覆盖的部分和没有被绝缘膜 ZF 覆盖而露出的部分。

[0232] 基于图 38 及图 39 的情况来图示以后的工序(即图 42 及图 43 和其以后的工序),但在本实施方式中,不仅允许图 38 及图 39 的情况,也允许图 40 及图 41 的情况。也能够允许图 40 及图 41 的情况的原因在于,栅电极 GE2 没有被除去而留存下来,并作为晶体管的栅电极而使用,因此,即使在栅电极 GE2 上留存有绝缘膜 ZF,也难以产生不良情况。但是,在步骤 S21 的研磨工序的结束阶段,关于使虚拟栅电极 DG 的上表面整体露出且不在虚拟栅电极 DG 上留存顶盖绝缘膜 CP2,在图 38 及图 39 的情况和图 40 及图 41 的情况下是共同的。

[0233] 接下来,对虚拟栅电极 DG 进行蚀刻而将其除去(图 3 的步骤 S22)。

[0234] 在步骤 S22 中,虽然选择性地对虚拟栅电极 DG 进行蚀刻而将其除去,但不将控制栅电极 CG、存储栅电极 MG、栅电极 GE1 和栅电极 GE2 除去。步骤 S22 的虚拟栅电极 DG 的除去工序,具体而言,能够以如下方式进行。

[0235] 即,首先,如图 42 及图 43 所示,在半导体衬底 SB 上、即在绝缘膜 IL3 上,以覆盖控制栅电极 CG、存储栅电极 MG 及栅电极 GE1、GE2 的方式,使用光刻法,作为抗蚀图案而形成光致抗蚀图案 PR2。该光致抗蚀图案 PR2 是将控制栅电极 CG、存储栅电极 MG、栅电极 GE1 和栅电极 GE2 覆盖、但将虚拟栅电极 DG 露出那样的光致抗蚀图案。因此,光致抗蚀图案 PR2 形成为,在俯视观察时将存储器形成区域 1A 整体、低耐压 MISFET 形成区域 1C 整体和高耐压 MISFET 形成区域 1D 整体覆盖、且在金属栅极晶体管形成区域 1B 中将虚拟栅电极 DG 露出。然后,如图 44 及图 45 所示,对虚拟栅电极 DG 进行蚀刻而将其除去。该蚀刻能够使用干法蚀刻、湿法蚀刻或两者的组合。在该蚀刻时,控制栅电极 CG、存储栅电极 MG、栅电极 GE1 和栅电极 GE2 由于被光致抗蚀图案 PR2 覆盖,所以没有被蚀刻而留存下来。然后,除去光致抗蚀图案 PR2。

[0236] 通过在步骤 S22 除去虚拟栅电极 DG 而形成槽(凹部、凹陷部)TR。槽 TR 是除去虚拟栅电极 DG 后的区域,在除去虚拟栅电极 DG 之前与虚拟栅电极 DG 所存在的区域对应。槽

TR 的底部(底面)由绝缘膜 GI1 的上表面形成,槽 TR 的侧壁(侧面)由侧墙隔离物 SW 的侧面(在除去虚拟栅电极 DG 之前与虚拟栅电极 DG 接触的侧面)形成。

[0237] 步骤 S22 的虚拟栅电极 DG 的蚀刻工序优选在与虚拟栅电极 DG 相比难以对绝缘膜 IL3(绝缘膜 IL4 及绝缘膜 IL5)、绝缘膜 GI1 和侧墙隔离物 SW 进行蚀刻的条件下进行蚀刻。即,优选在与虚拟栅电极 DG 的蚀刻速度相比绝缘膜 IL3(绝缘膜 IL4 及绝缘膜 IL5)、绝缘膜 GI1 和侧墙隔离物 SW 的各蚀刻速度较小的条件下进行蚀刻。由此,能够选择性地对虚拟栅电极 DG 进行蚀刻。在对虚拟栅电极 DG 进行蚀刻时,由于控制栅电极 CG、存储栅电极 MG、栅电极 GE1 和栅电极 GE2 被上述光致抗蚀图案 PR2 覆盖,所以在步骤 S22 中,控制栅电极 CG、存储栅电极 MG、栅电极 GE1 和栅电极 GE2 没有被蚀刻。

[0238] 接下来,如图 46 及图 47 所示,在半导体衬底 SB 上,即在包含槽 TR 的内部(底部及侧壁上)在内的绝缘膜 IL3 上形成绝缘膜 HK(图 3 的步骤 S23)。然后,如图 48 及图 49 所示,在半导体衬底 SB 上、即在绝缘膜 HK 上,以填埋槽 TR 内的方式,作为导电膜而形成金属膜 ME(图 3 的步骤 S24)。

[0239] 在槽 TR 中,在步骤 S23 中,在槽 TR 的底部(底面)及侧壁(侧面)上形成有绝缘膜 HK,但槽 TR 没有被绝缘膜 HK 完全填埋,通过在步骤 S24 中形成金属膜 ME,槽 TR 成为被绝缘膜 HK 和金属膜 ME 完全填埋的状态。

[0240] 绝缘膜 HK 是栅极绝缘膜用的绝缘膜,金属膜 ME 是栅电极用的导电膜。具体而言,绝缘膜 HK 是形成在金属栅极晶体管形成区域 1B 中的 MISFET 的栅极绝缘膜用的绝缘膜,金属膜 ME 是形成在金属栅极晶体管形成区域 1B 中的 MISFET 的栅电极用的导电膜。

[0241] 绝缘膜 HK 是介电常数(电容率)比氮化硅高的绝缘材料膜,即所谓的 High-k 膜(高介电常数膜)。此外,在本申请中,在提到 High-k 膜、高介电常数膜或高介电常数栅极绝缘膜时,表示介电常数(电容率)比氮化硅高的膜。

[0242] 作为绝缘膜 HK,能够使用氧化钪膜、氧化锆膜、氧化铝膜、氧化钽膜或氧化镧膜等金属氧化物膜,另外,这些金属氧化物膜还能够含有氮(N)及硅(Si)的一方或双方。绝缘膜 HK 能够通过例如 ALD(Atomic layer Deposition:原子层堆积)法或 CVD 法而形成。在对栅极绝缘膜使用高介电常数膜(在此为绝缘膜 HK)的情况下,与使用氧化硅膜的情况相比,能够增加栅极绝缘膜的物理膜厚,因此得到能够减少漏电流的优点。

[0243] 作为金属膜 ME,例如,能够使用氮化钛(TiN)膜、氮化钽(TaN)膜、氮化钨(WN)膜、碳化钛(TiC)膜、碳化钽(TaC)膜、碳化钨(WC)膜、氮碳化钽(TaCN)膜、钛(Ti)膜、钽(Ta)膜、钛铝(TiAl)膜或铝(Al)膜等金属膜。此外,在此所说的金属膜是指表示金属传导的导电膜,不仅包含单质的金属膜(纯金属膜)和合金膜,也包含表示金属传导的金属化合物膜(氮化金属膜和碳化金属膜等)。因此,金属膜 ME 是表示金属传导的导电膜,不限于单质的金属膜(纯金属膜)和合金膜,也可以是表示金属传导的金属化合物膜(氮化金属膜和碳化金属膜等)。另外,也能够使金属膜 ME 为层叠膜(多层膜层叠而成的层叠膜),但该情况下,该层叠膜的最下层为金属膜(表示金属传导的导电膜)。另外,还能够使该层叠膜为多层金属膜(表示金属传导的导电膜)的层叠膜。金属膜 ME 能够使用例如溅射法等而形成。另外,作为金属膜 ME,也能够使用金属膜(表示金属传导的导电膜)与该金属膜上的硅膜(多晶硅膜)的层叠膜。通过与在后形成的栅电极 GE3 中的栅极绝缘膜接触的部分的材料的功能函数,能够控制具有该栅电极 GE3 的 MISFET 的阈值电压。

[0244] 接下来,如图 50 及图 51 所示,使用 CMP 法等研磨并除去槽 TR 外部的不需要的金属膜 ME 及绝缘膜 HK,由此,在槽 TR 内埋入绝缘膜 HK 及金属膜 ME (图 3 的步骤 S25)。

[0245] 即,在步骤 S25 中,通过使用 CMP 法等对金属膜 ME 及绝缘膜 HK 进行研磨,除去槽 TR 的外部的金属膜 ME 及绝缘膜 HK,在槽 TR 内留存绝缘膜 HK 及金属膜 ME。由此,成为在槽 TR 内留存并埋入有绝缘膜 HK 和金属膜 ME 的状态。在步骤 S25 中,通过 CMP 法等研磨处理对金属膜 ME 及绝缘膜 HK 进行研磨,由此,除去槽 TR 的外部的金属膜 ME 及绝缘膜 HK。

[0246] 埋入在槽 TR 中的金属膜 ME 成为 MISFETQ1 的栅电极 GE3,埋入在槽 TR 中的绝缘膜 HK 作为 MISFETQ1 的栅极绝缘膜而发挥功能。

[0247] 在本实施方式中,除去虚拟栅电极 DG 并置换成栅电极 GE3,将该栅电极 GE3 用作金属栅极晶体管形成区域 1B 的 MISFETQ1 的栅电极。因此,虚拟栅电极 DG 是虚拟的栅电极(模拟的栅电极),能够看作更换栅电极或置换用栅电极,栅电极 GE3 能够看作构成 MISFET 的栅电极。

[0248] 另外,由于使用金属膜 ME 来形成栅电极 GE3,所以能够使栅电极 GE3 为金属栅电极。通过使栅电极 GE3 为金属栅电极,得到能够抑制栅电极 GE3 的耗尽现象并消除寄生电容的优点。另外,也得到能够实现 MISFET 元件的小型化(栅极绝缘膜的薄膜化)的优点。

[0249] 绝缘膜 HK 形成在槽 TR 的底部(底面)及侧壁上,栅电极 GE3 的底部(底面)及侧壁(侧面)与绝缘膜 HK 相邻。在栅电极 GE3 与半导体衬底 SB (p 型阱 PW2)之间夹设有绝缘膜 GI1 和绝缘膜 HK,在栅电极 GE3 与侧墙隔离物 SW 之间夹设有绝缘膜 HK。栅电极 GE3 正下的绝缘膜 GI1、HK 作为 MISFETQ1 的栅极绝缘膜而发挥功能,但由于绝缘膜 HK 为高介电常数膜,所以也作为高介电常数栅极绝缘膜而发挥功能。

[0250] 若留存有槽 TR 外部的不需要的金属膜 ME,则由于该留存部具有导电性,所以可能会降低所制造的半导体器件的可靠性。因此,步骤 S25 的研磨处理以避免在槽 TR 的外部产生金属膜 ME 的研磨残余的方式进行。

[0251] 另外,当进行步骤 S25 的研磨处理时,也从控制栅电极 CG、存储栅电极 MG、栅电极 GE1 及栅电极 GE2 上除去金属膜 ME 及绝缘膜 HK。因此,控制栅电极 CG 的上表面、栅电极 GE1 的上表面和栅电极 GE2 的上表面露出。而且还存在存储栅电极 MG 也露出的情况。

[0252] 另外,在本实施方式中,说明了在步骤 S22 中对虚拟栅电极 DG 进行蚀刻而除去之后,不除去槽 TR 的底部的绝缘膜 GI1 而在步骤 S23 中形成绝缘膜 HK 的情况。该情况下,在绝缘膜 HK 与金属栅极晶体管形成区域 1B 的半导体衬底 SB (p 型阱 PW2)之间(界面),作为界面层而夹设有绝缘膜 GI1。作为界面层的绝缘膜 GI1 优选为氧化硅膜或氮氧化硅膜。

[0253] 作为其它方式,也能够步骤 S22 中对虚拟栅电极 DG 进行蚀刻而其将除去之后,在步骤 S23 中形成绝缘膜 HK 之前,除去槽 TR 的底部的绝缘膜 GI1。该情况下,更优选的是,在除去槽 TR 的底部的绝缘膜 GI1 之后,在从槽 TR 的底部露出的半导体衬底 SB(p 型阱 PW2)的表面上形成由氧化硅膜或氮氧化硅膜构成的界面层,然后,在步骤 S23 中形成绝缘膜 HK。由此,在绝缘膜 HK 与金属栅极晶体管形成区域 1B 的半导体衬底 SB (p 型阱 PW2)之间(界面),夹设有由氧化硅膜或氮氧化硅膜构成的界面层。

[0254] 不将作为高介电常数膜的绝缘膜 HK 直接形成在金属栅极晶体管形成区域 1B 的半导体衬底 SB (p 型阱 PW2)的表面(硅面)上、而是在绝缘膜 HK 与金属栅极晶体管形成区域 1B 的半导体衬底 SB (p 型阱 PW2)的界面上设置由较薄的氧化硅膜或氮氧化硅膜构成的界

面层,该情况下,得到如下优点。即,在形成于金属栅极晶体管形成区域 1B 的 MISFET 中,使栅极绝缘膜与半导体衬底(的硅面)的界面为 SiO_2/Si (或 SiON/Si) 构造,减少了陷阱能级等缺陷数量,能够提高驱动能力和可靠性。

[0255] 接下来,如图 52 及图 53 所示,在半导体衬底 SB 上形成绝缘膜(层间绝缘膜) IL6 (图 3 的步骤 S26)。

[0256] 绝缘膜 IL6 由例如氧化硅膜等构成,能够使用 CVD 法等而形成。绝缘膜 IL6 由于形成在半导体衬底 SB 的主面的整个面上,所以在绝缘膜 IL3 上以覆盖控制栅电极 CG、存储栅电极 MG 及栅电极 GE1、GE2、GE3 的方式形成。

[0257] 在形成绝缘膜 IL6 后,通过 CMP 法对绝缘膜 IL6 的上表面进行研磨等,也能够提高绝缘膜 IL6 的上表面的平坦性。

[0258] 接下来,将使用光刻法而形成在绝缘膜 IL6 上的光致抗蚀图案(未图示)作为蚀刻掩模,对绝缘膜 IL6 及绝缘膜 IL3 进行干法蚀刻,由此,如图 54 及图 55 所示,在绝缘膜 IL6 及绝缘膜 IL3 上形成接触孔(开口部、贯穿孔) CT (图 3 的步骤 S27)。

[0259] 形成在 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 上的接触孔 CT 以贯穿绝缘膜 IL6 及绝缘膜 IL3 的方式形成。另外,虽然没有图示,但形成在控制栅电极 CG、存储栅电极 MG 及栅电极 GE1、GE2、GE3 上的接触孔 CT 以贯穿绝缘膜 IL6 的方式形成。

[0260] 在通过绝缘膜 IL4 与绝缘膜 IL5 的层叠膜而形成绝缘膜 IL3 的情况下,在形成接触孔 CT 时,也能够将绝缘膜 IL4 用作蚀刻阻挡膜。该情况下,接触孔 CT 能够以如下方式形成。即,使用光刻法在绝缘膜 IL6 上形成用于作为蚀刻掩模而使用的上述光致抗蚀图案(未图示)。然后,首先,在作为氧化硅膜的绝缘膜 IL5 及绝缘膜 IL6 与作为氮化硅膜的绝缘膜 IL4 相比容易蚀刻的条件下进行绝缘膜 IL6 及绝缘膜 IL5 的干法蚀刻,使绝缘膜 IL4 作为蚀刻阻挡膜而发挥功能,由此,在绝缘膜 IL6 及绝缘膜 IL5 上形成接触孔 CT。然后,在绝缘膜 IL4 与绝缘膜 IL6 及绝缘膜 IL5 相比容易蚀刻的条件下对接触孔 CT 的底部的绝缘膜 IL4 进行干法蚀刻而将其除去,由此,形成作为贯穿孔的接触孔 CT。通过在形成接触孔 CT 时使绝缘膜 IL4 作为蚀刻阻挡膜而发挥功能,能够抑制或防止接触孔 CT 的开掘过度或衬底损伤。

[0261] 在形成于 n^+ 型半导体区域 SD1 上部的接触孔 CT 的底部, n^+ 型半导体区域 SD1 上的金属硅化物层 SL 露出,在形成于 n^+ 型半导体区域 SD2 上部的接触孔 CT 的底部, n^+ 型半导体区域 SD2 上的金属硅化物层 SL 露出。另外,在形成于 n^+ 型半导体区域 SD3 上部的接触孔 CT 的底部, n^+ 型半导体区域 SD3 上的金属硅化物层 SL 露出,在形成于 n^+ 型半导体区域 SD4 上部的接触孔 CT 的底部, n^+ 型半导体区域 SD4 上的金属硅化物层 SL 露出。另外,在形成于 n^+ 型半导体区域 SD5 上部的接触孔 CT 的底部, n^+ 型半导体区域 SD5 上的金属硅化物层 SL 露出。

[0262] 接下来,如图 56 及图 57 所示,在接触孔 CT 内,作为连接用的导电体部,形成由钨(W)等构成的导电性的插塞 PG (图 3 的步骤 S28)。

[0263] 为了形成插塞 PG,例如,在包含接触孔 CT 的内部(底部及侧壁上)在内的绝缘膜 IL6 上形成阻挡导体膜(例如钛膜、氮化钛膜、或它们的层叠膜)。然后,在该阻挡导体膜上以填埋接触孔 CT 的方式形成由钨膜等构成的主导体膜。然后,通过 CMP 法或回蚀刻法等除去接触孔 CT 外部的不必要的主导体膜及阻挡导体膜,由此,能够形成埋入并留存在接触孔 CT 内的由主导体膜及阻挡导体膜构成的插塞 PG。此外,为了简化附图,在图 56 及图 57 中,将

构成插塞 PG 的阻挡导体膜及主导体膜(钨膜)一体化而示出。

[0264] 接触孔 CT 及埋入在其中的插塞 PG 形成在 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5、控制栅电极 CG、存储栅电极 MG、栅电极 GE1、栅电极 GE2 及栅电极 GE3 的上部等。在接触孔 CT 的底部,半导体衬底 SB 的主面的一部分,例如 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 (的表面上的金属硅化物层 SL) 的一部分、控制栅电极 CG 的一部分、存储栅电极 MG 的一部分、栅电极 GE1 的一部分、栅电极 GE2 的一部分、或栅电极 GE3 的一部分等露出。此外,在图 56 及图 57 的剖面图中,示出了 n^+ 型半导体区域 SD1、SD3、SD4、SD5 (的表面上的金属硅化物层 SL) 的一部分在接触孔 CT 的底部露出而与填埋该接触孔 CT 的插塞 PG 电连接的截面。

[0265] 接下来,在埋入有插塞 PG 的绝缘膜 IL6 上形成作为第 1 层布线的布线(布线层)M1 (图 3 的步骤 S29)。说明使用镶嵌(damascene)技术(在此为单镶嵌技术)来形成该布线 M1 的情况。

[0266] 首先,如图 58 及图 59 所示,在埋入有插塞 PG 的绝缘膜 IL6 上形成绝缘膜 IL7。绝缘膜 IL7 也能够由多层绝缘膜的层叠膜形成。然后,在绝缘膜 IL7 的规定区域通过以光致抗蚀图案(未图示)为蚀刻掩模的干法蚀刻来形成布线槽(布线用的槽)之后,在包含布线槽的底部及侧壁上在内的绝缘膜 IL7 上形成阻挡导体膜(例如氮化钛膜、钽膜或氮化钽膜等)。然后,通过 CVD 法或溅射法等形成铜的晶种层,进而使用电解电镀法等形成铜膜,通过铜膜而埋入布线槽的内部。然后,通过 CMP 法除去布线槽以外的区域的主导体膜(铜膜及晶种层)和阻挡导体膜,形成埋入到布线槽中的以铜为主导电材料的第 1 层布线 M1。在图 58 及图 59 中,为了简化附图,将阻挡导体膜、晶种层及铜膜一体化而示出布线 M1。

[0267] 布线 M1 经由插塞 PG 而与 n^+ 型半导体区域 SD1、 n^+ 型半导体区域 SD2、 n^+ 型半导体区域 SD3、 n^+ 型半导体区域 SD4、 n^+ 型半导体区域 SD5、控制栅电极 CG、存储栅电极 MG、栅电极 GE1、栅电极 GE2 或栅电极 GE3 等电连接。然后,通过双镶嵌法等形成第 2 层以后的布线,但在此省略图示及其说明。另外,布线 M1 及其上层的布线不限于镶嵌布线,也能够将布线用的导体膜图案化而形成,也能够为例如钨布线或铝布线等。

[0268] 如上所述,能够制造本实施方式的半导体器件。

[0269] 《关于半导体器件的构造》

[0270] 接下来,说明本实施方式的半导体器件的构造。

[0271] 首先,参照图 60 及图 61 说明本实施方式的半导体器件中的非易失性存储器的存储单元的结构例。

[0272] 图 60 是本实施方式的半导体器件的主要部位剖面图,示出了存储器形成区域 1A 的主要部位剖面图。图 61 是存储单元的等效电路图。此外,在图 60 中,为了简化附图,对上述图 58 的构造中的绝缘膜 IL3、绝缘膜 IL6、接触孔 CT、插塞 PG 及布线 M1 省略了图示。

[0273] 如图 60 所示,在上述存储器形成区域 1A 中,在半导体衬底 SB 上形成有由存储晶体管及控制晶体管构成的非易失性存储器的存储单元 MC。实际上,在存储器形成区域 1A 的半导体衬底 SB 上阵列状地形成有多个存储单元 MC。

[0274] 如图 60 及图 61 所示,非易失性存储器的存储单元 MC 为分裂栅式的存储单元,用于将具有控制栅电极 CG 的控制晶体管和具有存储栅电极 MG 的存储晶体管这两个 MISFET

连接起来。

[0275] 在此,将具有包含电荷蓄存部(电荷蓄存层)的栅极绝缘膜及存储栅电极 MG 的 MISFET 称作存储晶体管,另外,将具有栅极绝缘膜及控制栅电极 CG 的 MISFET 称作控制晶体管。因此,存储栅电极 MG 是存储晶体管的栅电极,控制栅电极 CG 是控制晶体管的栅电极,控制栅电极 CG 及存储栅电极 MG 是构成非易失性存储器的存储单元的栅电极。

[0276] 此外,控制晶体管由于是存储单元选择用晶体管,所以也能够看作选择晶体管。因此,控制栅电极 CG 也能够看作选择栅电极。存储晶体管是存储用晶体管。

[0277] 以下,具体说明存储单元 MC 的结构。

[0278] 如图 60 所示,非易失性存储器的存储单元 MC 具有:形成在半导体衬底 SB 的 p 型阱 PW1 中的源极及漏极用的 n 型的半导体区域 MS、MD;形成在半导体衬底 SB (p 型阱 PW1) 的上部的控制栅电极 CG;和形成在半导体衬底 SB (p 型阱 PW1) 的上部且与控制栅电极 CG 相邻的存储栅电极 MG。而且,非易失性存储器的存储单元 MC 还具有:形成在控制栅电极 CG 与半导体衬底 SB (p 型阱 PW1)之间的绝缘膜(栅极绝缘膜)GI1;和形成在存储栅电极 MG 与半导体衬底 SB (p 型阱 PW1)之间以及存储栅电极 MG 与控制栅电极 CG 之间的绝缘膜 MZ。

[0279] 控制栅电极 CG 及存储栅电极 MG 以在它们的相对侧面之间夹设有绝缘膜 MZ 的状态,沿半导体衬底 SB 的主面延伸且并列地配置。控制栅电极 CG 及存储栅电极 MG 隔着绝缘膜 GI1 或绝缘膜 MZ 而形成在半导体区域 MD 及半导体区域 MS 之间的半导体衬底 SB (p 型阱 PW1) 的上部,存储栅电极 MG 位于半导体区域 MS 侧,控制栅电极 CG 位于半导体区域 MD 侧。但是,控制栅电极 CG 隔着绝缘膜 GI1 而形成在半导体衬底 SB 上,存储栅电极 MG 隔着绝缘膜 MZ 而形成在半导体衬底 SB 上。

[0280] 控制栅电极 CG 和存储栅电极 MG 在中间夹设绝缘膜 MZ 而彼此相邻。绝缘膜 MZ 在存储栅电极 MG 与半导体衬底 SB (p 型阱 PW1)之间的区域、以及存储栅电极 MG 与控制栅电极 CG 之间的区域这两个区域范围内延伸。

[0281] 形成在控制栅电极 CG 与半导体衬底 SB (p 型阱 PW1)之间的绝缘膜 GI1、即控制栅电极 CG 之下的绝缘膜 GI1 作为控制晶体管的栅极绝缘膜而发挥功能。另外,存储栅电极 MG 与半导体衬底 SB (p 型阱 PW1)之间的绝缘膜 MZ、即存储栅电极 MG 之下的绝缘膜 MZ 作为存储晶体管的栅极绝缘膜(在内部具有电荷蓄存部的栅极绝缘膜)而发挥功能。此外,存储栅电极 MG 与半导体衬底 SB (p 型阱 PW1)之间的绝缘膜 MZ 作为存储晶体管的栅极绝缘膜而发挥功能,但存储栅电极 MG 与控制栅电极 CG 之间的绝缘膜 MZ 作为对存储栅电极 MG 与控制栅电极 CG 之间进行绝缘(电隔离)的绝缘膜而发挥功能。

[0282] 绝缘膜 MZ 中的氮化硅膜 MZ2 是用于蓄存电荷的绝缘膜,作为电荷蓄存层(电荷蓄存部)而发挥功能。即,氮化硅膜 MZ2 是形成在绝缘膜 MZ 中的陷阱性绝缘膜。因此,绝缘膜 MZ 能够看作在其内部具有电荷蓄存部(在此为氮化硅膜 MZ2)的绝缘膜。

[0283] 位于氮化硅膜 MZ2 上下的氧化硅膜 MZ3 及氧化硅膜 MZ1 能够作为电荷阻挡层或电荷关闭层而发挥功能。在存储栅电极 MG 与半导体衬底 SB 之间的绝缘膜 MZ 中,通过成为以氧化硅膜 MZ3 及氧化硅膜 MZ1 夹持氮化硅膜 MZ2 的构造,能够向氮化硅膜 MZ2 蓄存电荷。

[0284] 半导体区域 MS 及半导体区域 MD 是源极或漏极用的半导体区域。即,半导体区域 MS 是作为源极区域或漏极区域的一方而发挥功能的半导体区域,半导体区域 MD 是作为源极区域或漏极区域的另一方而发挥功能的半导体区域。在此,半导体区域 MS 是作为源极区

域而发挥功能的半导体区域,半导体区域 MD 是作为漏极区域而发挥功能的半导体区域。半导体区域 MS、MD 由导入有 n 型的杂质的半导体区域构成,分别具有 LDD 构造。即,源极用的半导体区域 MS 包括 n⁻型半导体区域 EX1 (扩展区域)、和杂质浓度比 n⁻型半导体区域 EX1 高的 n⁺型半导体区域 SD1 (源极区域)。另外,漏极用的半导体区域 MD 包括 n⁻型半导体区域 EX2 (扩展区域)、和杂质浓度比 n⁻型半导体区域 EX2 高的 n⁺型半导体区域 SD2 (漏极区域)。

[0285] 半导体区域 MS 形成在与存储栅电极 MG 在栅长方向(存储栅电极 MG 的栅长方向)上相邻位置的半导体衬底 SB 上。另外,半导体区域 MD 形成在与控制栅电极 CG 在栅长方向(控制栅电极 CG 的栅长方向)上相邻位置的半导体衬底 SB 上。

[0286] 在存储栅电极 MG 及控制栅电极 CG 的不彼此相邻侧的侧壁上,形成有由绝缘体(绝缘膜)构成的侧墙隔离物 SW。

[0287] 源极部的 n⁻型半导体区域 EX1 相对于存储栅电极 MG 自对准地形成, n⁺型半导体区域 SD1 相对于存储栅电极 MG 的侧壁上的侧墙隔离物 SW 自对准地形成。因此,在制造出的半导体器件中,低浓度的 n⁻型半导体区域 EX1 形成在存储栅电极 MG 的侧壁上的侧墙隔离物 SW 的下方,高浓度的 n⁺型半导体区域 SD1 形成在低浓度的 n⁻型半导体区域 EX1 的外侧。因此,低浓度的 n⁻型半导体区域 EX1 以与存储晶体管的沟道区域相邻的方式形成,高浓度的 n⁺型半导体区域 SD1 以与低浓度的 n⁻型半导体区域 EX1 相邻且从存储晶体管的沟道区域隔开 n⁻型半导体区域 EX1 的量的方式形成。

[0288] 漏极部的 n⁻型半导体区域 EX2 相对于控制栅电极 CG 自对准地形成, n⁺型半导体区域 SD2 相对于控制栅电极 CG 的侧壁上的侧墙隔离物 SW 自对准地形成。因此,在制造出的半导体器件中,低浓度的 n⁻型半导体区域 EX2 形成在控制栅电极 CG 的侧壁上的侧墙隔离物 SW 的下方,高浓度的 n⁺型半导体区域 SD2 形成在低浓度的 n⁻型半导体区域 EX2 的外侧。因此,低浓度的 n⁻型半导体区域 EX2 以与控制晶体管的沟道区域相邻的方式形成,高浓度的 n⁺型半导体区域 SD2 以与低浓度的 n⁻型半导体区域 EX2 相邻且从控制晶体管的沟道区域隔开 n⁻型半导体区域 EX2 的量的方式形成。

[0289] 在存储栅电极 MG 下的绝缘膜 MZ 之下形成有存储晶体管的沟道区域,在控制栅电极 CG 下的绝缘膜 GI1 的之下形成有控制晶体管的沟道区域。

[0290] 在 n⁺型半导体区域 SD1、SD2 的上部,通过自对准多晶硅化物技术等而形成有金属硅化物层 SL。

[0291] 另外,虽然在图 60 中省略了图示,但如上述图 58 所示,在半导体衬底 SB 上,以覆盖控制栅电极 CG、存储栅电极 MG 及侧墙隔离物 SW 的方式,作为绝缘膜而形成有上述绝缘膜 IL3 及绝缘膜 IL6。而且,在绝缘膜 IL6 及绝缘膜 IL3 上形成有上述接触孔 CT,在接触孔 CT 内埋入有上述插塞 PG。在埋入有插塞 PG 的绝缘膜 IL6 上,形成有上述绝缘膜 IL7 及上述布线 M1。

[0292] 另外,在本实施方式的半导体器件中,如上述图 58 所示,在金属栅极晶体管形成区域 1B 中形成有具有栅电极 GE3 的 MISFETQ1。该栅电极 GE 是金属栅电极。如上所述,除去由硅膜 PS1 形成的虚拟栅电极 DG 并在其中埋入金属膜 ME,由此,形成有作为金属栅电极的栅电极 GE3。栅电极 GE3 隔着栅极绝缘膜(在此为绝缘膜 GI1 及绝缘膜 HK)而形成在半导体衬底 SB (p 型阱 PW2) 上。具有栅电极 GE3 的 MISFETQ1 的源极-漏极区域由上述 n⁻

型半导体区域 EX3 和比其杂质浓度高的 n^+ 型半导体区域 SD3 形成, 栅电极 GE 之下的绝缘膜 HK 和绝缘膜 GI1 作为 MISFETQ1 的栅极绝缘膜而发挥功能。由于绝缘膜 HK 是高介电常数膜, 所以 MISFETQ1 的栅极绝缘膜是高介电常数栅极绝缘膜。

[0293] 另外, 在本实施方式的半导体器件中, 如上述图 59 所示, 在低耐压 MISFET 形成区域 1C 中形成有具有栅电极 GE1 的 MISFETQ2。该栅电极 GE1 由控制栅电极 CG 及用于形成栅电极 GE2 的硅膜 PS1 形成。因此, 栅电极 GE1 由控制栅电极 CG 及与栅电极 GE2 同层的导电膜(在此为硅膜 PS1)形成。栅电极 GE1 隔着栅极绝缘膜(在此为绝缘膜 GI1)而形成在半导体衬底 SB (p 型阱 PW3) 上。具有栅电极 GE1 的 MISFETQ2 的源极-漏极区域由上述 n^- 型半导体区域 EX4 和比其杂质浓度高的 n^+ 型半导体区域 SD4 形成, 栅电极 GE1 之下的绝缘膜 GI1 作为 MISFETQ2 的栅极绝缘膜而发挥功能。

[0294] 另外, 在本实施方式的半导体器件中, 如上述图 59 所示, 在高耐压 MISFET 形成区域 1D 中形成有具有栅电极 GE2 的 MISFETQ3。该栅电极 GE2 由控制栅电极 CG 及用于形成栅电极 GE1 的硅膜 PS1 形成。因此, 栅电极 GE2 由控制栅电极 CG 及与栅电极 GE1 同层的导电膜(在此为硅膜 PS1)形成。栅电极 GE2 隔着栅极绝缘膜(在此为绝缘膜 GI2)而形成在半导体衬底 SB (p 型阱 PW4) 上。具有栅电极 GE2 的 MISFETQ3 的源极-漏极区域由上述 n^- 型半导体区域 EX5 和比其杂质浓度高的 n^+ 型半导体区域 SD5 形成, 栅电极 GE2 之下的绝缘膜 GI2 作为 MISFETQ3 的栅极绝缘膜而发挥功能。

[0295] 栅电极 GE2 的栅长大于栅电极 GE1、栅电极 GE3 及控制栅电极 CG 的各栅长。即, 栅电极 GE2 的栅长方向上的尺寸(L4)大于栅电极 GE1 的栅长方向上的尺寸(L3)、栅电极 GE3 的栅长方向上的尺寸及控制栅电极 CG 的栅长方向上的尺寸(L1)。

[0296] 《关于非易失性存储器的动作》

[0297] 接下来, 参照图 62 说明非易失性存储器的动作例。

[0298] 图 62 是表示本实施方式的“写入”、“删除”及“读取”时的向选择存储单元的各部位的电压施加条件的一例的表。在图 62 的表中记载有, 分别在“写入”、“删除”、“读取”时, 向图 60 和图 61 所示那样的存储单元(选择存储单元)的存储栅电极 MG 施加的电压 V_{mg} 、向源极区域(半导体区域 MS)施加的电压 V_s 、向控制栅电极 CG 施加的电压 V_{cg} 、向漏极区域(半导体区域 MD)施加的电压 V_d 、以及向 p 型阱 PW1 施加的电压 V_b 。此外, 图 62 的表所示的条件仅为电压的施加条件的优选一例, 不限于此, 能够根据需要而进行各种变更。另外, 在本实施方式中, 将向存储晶体管的绝缘膜 MZ 中的电荷蓄存层(电荷蓄存部)即氮化硅膜 MZ2 的电子注入定义为“写入”, 将空穴(hole)注入定义为“删除”。

[0299] 写入方式能够使用所谓称作 SSI (Source Side Injection: 源端注入)方式的、在基于源端注入的热电子注入下进行写入的写入方式(热电子注入写入方式)。例如将图 62 的“写入”一栏所示那样的电压施加到进行写入的选择存储单元的各部位, 向选择存储单元的绝缘膜 MZ 中的氮化硅膜 MZ2 中注入电子, 由此进行写入。此时, 在两个栅电极(存储栅电极 MG 及控制栅电极 CG)之间的下方的沟道区域(源极、漏极间)中产生热电子, 并向存储栅电极 MG 之下的绝缘膜 MZ 中的电荷蓄存层(电荷蓄存部)即氮化硅膜 MZ2 注入热电子。所注入的热电子(电子)被绝缘膜 MZ 中的氮化硅膜 MZ2 中的陷阱能级捕获, 其结果为, 存储晶体管的阈值电压上升。即, 存储晶体管成为写入状态。

[0300] 删除方法能够使用所谓称作 BTBT 方式的、通过基于 BTBT (Band-To-Band

Tunneling:带带隧穿现象)的热空穴注入来进行删除的删除方式(热空穴注入删除方式)。即,通过将由BTBT(带带隧穿现象)产生的空穴(hole)注入到电荷蓄存部(绝缘膜MZ中的氮化硅膜MZ2)中来进行删除。例如将图62的“删除”一栏所示那样的电压施加到进行删除的选择存储单元的各部位,并通过BTBT现象产生空穴(hole)而进行电场加速,从而向选择存储单元的绝缘膜MZ中的氮化硅膜MZ2中注入空穴,由此降低存储晶体管的阈值电压。即,存储晶体管成为删除状态。

[0301] 在读取时,例如将图62的“读取”一栏所示那样的电压施加到进行读取的选择存储单元的各部位。通过使读取时施加到存储栅电极MG的电压 V_{mg} 为写入状态下的存储晶体管的阈值电压与删除状态下的存储晶体管的阈值电压之间的值,能够判别写入状态和删除状态。

[0302] <关于研究例>

[0303] 接下来,参照图63~图72说明本发明人所研究的研究例。图63~图72是研究例的半导体器件的制造工序中的主要部位剖面图。

[0304] 与本实施方式不同,在研究例的情况下,在层叠体LM4上没有形成上述绝缘膜DB。即,在研究例的情况下不进行上述步骤S18。除此以外,在研究例的情况下,也与本实施方式同样地进行至步骤S19的金属硅化物层SL形成工序而得到图63及图64的构造。图63与上述图34相当,图64与上述图35相当,但在图34及图35的情况下,在层叠体LM4上形成有绝缘膜DB,在图63及图64的研究例的情况下,在层叠体LM4上没有形成绝缘膜DB。

[0305] 然后,在研究例的情况下,也进行上述步骤S20,如图65及图66所示,在半导体衬底SB的主面上(主面的整个面上),以覆盖存储栅电极MG、层叠体LM1、LM2、LM3、LM4及侧墙隔离物SW的方式,作为层间绝缘膜而形成绝缘膜IL3。与上述图36及图37同样地,图65及图66示出了使绝缘膜IL3为绝缘膜IL4与绝缘膜IL4上的绝缘膜IL5的层叠膜的情况,绝缘膜IL4优选由氮化硅膜构成,绝缘膜IL5优选由氧化硅膜构成。此外,在步骤S20中使绝缘膜IL3成膜的阶段,也存在在绝缘膜IL3的上表面形成有反映存储栅电极MG、层叠体LM1、LM2、LM3、LM4及侧墙隔离物SW等的凹凸或层差的情况,但在步骤S21的研磨工序之后,绝缘膜IL3的上表面被平坦化。

[0306] 然后,在研究例的情况下,也进行上述步骤S21,通过使用CMP法等对绝缘膜IL3的上表面进行研磨,如图67及图68所示,使虚拟栅电极DG的上表面露出。此时,当为了使虚拟栅电极DG露出而对绝缘膜IL3进行研磨时,控制栅电极CG、栅电极GE1和栅电极GE2也露出。另外,还存在存储栅电极MG也露出的情况。

[0307] 在研究例的情况下,在上述步骤S21的研磨工序中,通过对绝缘膜IL3和顶盖绝缘膜CP1、CP2、CP3、CP4进行研磨,虚拟栅电极DG、控制栅电极CG、栅电极GE1和栅电极GE2的各上表面露出,但此时,容易在栅电极GE2上产生碟形凹陷。

[0308] 在使用CMP法等研磨处理中,若存在由相同材料构成的大面积的图案,则在该大面积的图案中容易产生碟形凹陷。而且,栅电极GE2与虚拟栅电极DG、控制栅电极CG及栅电极GE1相比,栅长方向上的尺寸和面积较大。因此,与虚拟栅电极DG、控制栅电极CG及栅电极GE1相比,栅电极GE2容易产生碟形凹陷。

[0309] 在步骤S21的研磨工序中,当在栅电极GE2上产生碟形凹陷时,栅电极GE2的上表面成为中央部侧比外周部侧凹陷的状态,关于栅电极GE2的厚度,栅电极GE2的中央部处的

厚度比栅电极 GE2 的外周部处的厚度薄(小)。其原因在于,在步骤 S21 的研磨工序中,在栅电极 GE2 的上表面,中央部侧与外周部侧相比被过度研磨。

[0310] 然后,在研究例的情况下,也进行上述步骤 S22,对虚拟栅电极 DG 进行蚀刻而将其除去。通过除去虚拟栅电极 DG 而形成槽 TR。此时,在研究例的情况下,也通过使用上述光致抗蚀图案 PR2 来避免控制栅电极 CG、存储栅电极 MG、栅电极 GE1 和栅电极 GE2 被蚀刻。

[0311] 然后,在研究例的情况下,也进行上述步骤 S23,在半导体衬底 SB 上,即在包含槽 TR 的内部(底部及侧壁上)在内的绝缘膜 IL3 上形成绝缘膜 HK。然后,在研究例的情况下,也进行上述步骤 S24,在半导体衬底 SB 上、即在绝缘膜 HK 上,以填埋槽 TR 内的方式形成金属膜 ME。由此,得到图 69 及图 70 的构造。

[0312] 然后,在研究例的情况下,也进行上述步骤 S25,使用 CMP 法等对槽 TR 外部的不需要的金属膜 ME 及绝缘膜 HK 进行研磨而将其除去。由此,如图 71 及图 72 所示,成为在槽 TR 内留存而埋入有绝缘膜 HK 和金属膜 ME 的状态,通过埋入在槽 TR 中的金属膜 ME 而形成栅电极 GE3。

[0313] 然后,在研究例的情况下,也进行上述步骤 S26 来形成上述绝缘膜 IL6,进行上述步骤 S27 来形成上述接触孔 CT,进行上述步骤 S28 来形成上述插塞,进行上述步骤 S29 来形成上述绝缘膜 IL7 和布线 M1,但在此省略其图示。

[0314] 在研究例的情况下,在上述步骤 S25 的研磨工序中,通过对金属膜 ME 和绝缘膜 HK 进行研磨,由埋入在槽 TR 中的金属膜 ME 形成栅电极 GE3,并且,控制栅电极 CG、栅电极 GE1 和栅电极 GE2 的各上表面露出,但此时,容易在栅电极 GE2 上产生碟形凹陷。在步骤 S25 的研磨工序中容易在栅电极 GE2 上产生碟形凹陷的理由与在步骤 S21 的研磨工序中容易在栅电极 GE2 上产生碟形凹陷的理由相同。

[0315] 在步骤 S25 的研磨工序中,当在栅电极 GE2 上产生碟形凹陷时,栅电极 GE2 的上表面成为中央部侧更加凹陷的状态,关于栅电极 GE2 的厚度,栅电极 GE2 的中央部处的厚度比栅电极 GE2 的外周部处的厚度更薄(小)。其原因在于,在步骤 S25 的研磨工序中,在栅电极 GE2 的上表面,中央部侧与外周部侧相比被过度研磨。

[0316] 也就是说,由于在步骤 S21 的研磨工序中在栅电极 GE2 上产生碟形凹陷,所以栅电极 GE2 的中央部处的厚度变得比栅电极 GE2 的外周部处的厚度薄。而且,若进行步骤 S25 的研磨工序,则进一步促进栅电极 GE2 中的碟形凹陷,栅电极 GE2 的中央部处的厚度进一步变薄,栅电极 GE2 的中央部处的厚度与外周部处的厚度的差进一步增大。也就是说,在步骤 S21 的研磨工序和步骤 S25 的研磨工序两方中,在栅电极 GE2 的上表面,由于中央部侧与外周部侧相比被过度研磨,所以导致栅电极 GE2 中的碟形凹陷非常大。

[0317] 当在栅电极 GE2 上产生碟形凹陷时,反映了栅电极 GE2 的厚度变薄、栅电极 GE2 的电阻增大,可导致动作速度降低。这会降低制造出的半导体器件的性能。另外,若栅电极 GE2 中碟形凹陷较大,则在栅电极 GE2 中产生厚度整体被研磨除去的部位,栅电极 GE2 也可能断线,这会降低半导体器件的制造成品率。因此,在进行研磨工序时,期望尽可能地避免在栅电极上产生碟形凹陷。

[0318] 另外,栅电极 GE2 的平面尺寸越大,越容易在栅电极 GE2 上产生碟形凹陷。在金属栅极晶体管和低耐压用的 MISFET 中,栅电极的栅长没有那么大,为例如数十 nm 左右,但在高耐压用的 MISFET 中,栅电极的栅长颇大,为 100nm 以上,也存在例如 700nm 左右的情况。

在将这样的栅长较大的栅电极适用于栅电极 GE2 的情况下,在栅电极 GE2 上产生碟形凹陷的可能性升高。

[0319] 《关于主要特征和效果》

[0320] 接下来,说明本实施方式的主要特征和效果。

[0321] 在本实施方式中,在半导体衬底 SB 上形成 MISFETQ3(第 1MISFET)用的栅电极 GE2(第 1 栅电极)和 MISFETQ1(第 2MISFET)用的虚拟栅电极 DG 之后,在栅电极 GE2(第 1 栅电极)上局部地形成绝缘膜 DB(第 1 膜)。然后,在步骤 S20 中,在半导体衬底 SB 上,以覆盖虚拟栅电极 DG、栅电极 GE2 及绝缘膜 DB 的方式形成绝缘膜 IL3 之后,在步骤 S21 中通过对绝缘膜 IL3 进行研磨而使虚拟栅电极 DG 露出。然后,除去虚拟栅电极 DG,以填埋除去了虚拟栅电极 DG 的区域即槽 TR 的方式在绝缘膜 IL3 上形成导电膜(在此为金属膜 ME)。然后,在步骤 S25 中通过对该导电膜(在此为金属膜 ME)进行研磨,除去槽 TR 的外部的导电膜(在此为金属膜 ME),并在槽 TR 内留存导电膜(在此为金属膜 ME),由此,形成 MISFETQ1(第 2MISFET)用的栅电极 GE3(第 2 栅电极)。然后,在步骤 S21 中对绝缘膜 IL3 进行研磨的工序中,在绝缘膜 DB(第 1 膜)的研磨速度小于绝缘膜 IL3 的研磨速度的条件下对绝缘膜 IL3 进行研磨。

[0322] 如在上述研究例中说明那样,在用于使虚拟栅电极 DG 露出的研磨工序(即步骤 S21 的研磨工序)和用于形成栅电极 GE3(第 2 栅电极)的研磨工序(即步骤 S25 的研磨工序)中,可能在栅电极 GE2 上产生碟形凹陷。在本实施方式中,为了防止栅电极 GE2 的碟形凹陷,在栅电极 GE2(第 1 栅电极)上局部地形成绝缘膜 DB(第 1 膜)。

[0323] 在使用 CMP 法等研磨处理中,在某图案中产生碟形凹陷的原因在于,该图案的中央部侧与外周部侧相比被过度研磨,该图案越大,越容易产生碟形凹陷。因此,若在可能产生碟形凹陷的图案上事先局部地设置防止碟形凹陷图案并通过该防止碟形凹陷图案来抑制研磨,则在可能产生碟形凹陷的图案中难以产生被过度研磨的部分,从而难以产生碟形凹陷。但是,若在可能产生碟形凹陷的图案的整体上设置与其相同面积的防止碟形凹陷图案,则在研磨工序中在该防止碟形凹陷图案自身上产生碟形凹陷,其结果为,难以对可能产生碟形凹陷的图案防止碟形凹陷。因此,若存在可能产生碟形凹陷的图案,则事先在该图案上局部地(部分地)设置防止碟形凹陷图案是有效的。在本实施方式的情况下,可能产生碟形凹陷的图案与栅电极 GE2 对应,防止碟形凹陷图案与绝缘膜 DB 对应。

[0324] 因此,在本实施方式中,在栅电极 GE2 上局部地(部分地)形成绝缘膜 DB,并且在步骤 S21 的研磨工序中,在绝缘膜 DB 的研磨速度小于绝缘膜 IL3 的研磨速度的条件(研磨条件)下对绝缘膜 IL3 进行研磨。因此,在步骤 S21 的研磨工序中,形成有绝缘膜 DB 的部位处的研磨被抑制。由此,在步骤 S21 的研磨工序中,在栅电极 GE2 中难以产生被过度研磨的部分,难以在栅电极 GE2 上产生碟形凹陷。

[0325] 与本实施方式不同,在栅电极 GE2 上没有形成绝缘膜 DB 的上述研究例的情况下,在步骤 S21 的研磨工序和步骤 S25 的研磨工序中,容易在栅电极 GE2 上产生碟形凹陷。另一方面,与本实施方式不同,在以覆盖栅电极 GE2 整体的方式设置绝缘膜 DB 的情况(该情况下,绝缘膜 DB 的面积与栅电极 GE2 的面积相同或为其以上)下,在步骤 S21 中的研磨时,在该绝缘膜 DB 上产生碟形凹陷,难以在步骤 S25 的研磨工序结束后避免在栅电极 GE2 上产生碟形凹陷。

[0326] 与之相对,在本实施方式中,在栅电极 GE2 上局部地形成有绝缘膜 DB。即,栅电极 GE2 不是整体被绝缘膜 DB 覆盖,而是具有被绝缘膜 DB 覆盖的部分和没有被绝缘膜 DB 覆盖的部分。也就是说,在俯视观察时,栅电极 GE2 具有与绝缘膜 DB 重合的部分和与其不重合的部分。因此,在步骤 S21 的研磨工序中,避免在绝缘膜 DB 上产生碟形凹陷,并且抑制了形成有绝缘膜 DB 的部位处的研磨,由此,难以在栅电极 GE2 中产生被过度研磨的部分,从而难以在栅电极 GE2 上产生碟形凹陷。

[0327] 在步骤 S21 的研磨工序的结束阶段,在本实施方式和上述研究例中,试着对栅电极 GE2 的厚度进行比较。在上述研究例的情况下,使步骤 S21 的研磨工序的结束阶段中的栅电极 GE2 的厚度的最小值为最小厚度 T1。在此,最小厚度 T1 在栅电极 GE2 中为厚度最薄的部分处的厚度。上述图 68 示出该最小厚度 T1。在栅电极 GE2 上产生了碟形凹陷的情况下,栅电极 GE2 在中央部(俯视观察时的中央部)处厚度变薄,因此,最小厚度 T1 与栅电极 GE2 的中央部附近的厚度对应。此外,栅电极 GE2 的厚度和与半导体衬底 SB 的主面大致垂直的方向上的厚度(尺寸)对应。

[0328] 另一方面,在本实施方式的情况下,使步骤 S21 的研磨工序的结束阶段中的栅电极 GE2 的厚度的最小值为最小厚度 T2。在此,最小厚度 T2 在栅电极 GE2 中是厚度最薄的部分处的厚度。上述图 39 和图 41 示出该最小厚度 T2。在本实施方式中,通过在栅电极 GE2 上局部地形成绝缘膜 DB,能够防止栅电极 GE2 中的碟形凹陷,并且能够使栅电极 GE2 的最小厚度 T2 大于上述最小厚度 T1 (即 $T2 > T1$)。即,在本实施方式和上述研究例中,在至虚拟栅电极 DG 露出之前进行步骤 S21 的研磨工序的情况下,本实施方式中的栅电极 GE2 的最小厚度 T2 大于上述研究例中的栅电极 GE2 的最小厚度 T1 ($T2 > T1$)。

[0329] 因此,在本实施方式中,通过在栅电极 GE2 上局部地形成绝缘膜 DB,在步骤 S21 的研磨工序中,能够防止栅电极 GE2 中的碟形凹陷,并且能够增大栅电极 GE2 的最小厚度 T2。

[0330] 另外,在上述研究例中,在步骤 S21 的研磨工序中在栅电极 GE2 上产生碟形凹陷,在步骤 S25 的研磨工序中,栅电极 GE2 的碟形凹陷程度增加。与之相对,在本实施方式中,能够在步骤 S21 的研磨工序中防止栅电极 GE2 中的碟形凹陷,由此,在步骤 S25 的研磨工序的结束阶段,不会在栅电极 GE2 上产生碟形凹陷,或者即使产生碟形凹陷也能够使该碟形凹陷的程度小于上述研究例的情况。

[0331] 在步骤 S25 的研磨工序的结束阶段,在本实施方式和上述研究例中,试着对栅电极 GE2 的厚度进行比较。在上述研究例的情况下,使步骤 S25 的研磨工序的结束阶段中的栅电极 GE2 的厚度的最小值为最小厚度 T3。在此,最小厚度 T3 在栅电极 GE2 中是厚度最薄的部分处的厚度。上述图 72 示出该最小厚度 T3。在栅电极 GE2 上产生了碟形凹陷的情况下,栅电极 GE2 在中央部(俯视观察时的中央部)处厚度变薄,因此,最小厚度 T3 与栅电极 GE2 的中央部附近的厚度对应。在上述研究例的情况下,与步骤 S21 的研磨工序的结束阶段相比,步骤 S25 的研磨工序的结束阶段时的栅电极 GE2 中的碟形凹陷的程度大。而且,最小厚度 T3 小于上述最小厚度 T1 (即 $T3 < T1$)。

[0332] 另一方面,在本实施方式的情况下,使步骤 S25 的研磨工序的结束阶段中的栅电极 GE2 的厚度的最小值为最小厚度 T4。在此,最小厚度 T4 在栅电极 GE2 中是厚度最薄的部分处的厚度。上述图 51 示出该最小厚度 T4。在本实施方式中,通过在栅电极 GE2 上局部地形成绝缘膜 DB,能够使步骤 S21 的研磨工序的结束阶段中的栅电极 GE2 的最小厚度 T2 大于

上述研究例的情况下的最小厚度 $T1$ (即 $T2 > T1$)。因此,即使在步骤 S25 的研磨工序中栅电极 GE2 被研磨,步骤 S25 的研磨工序的结束阶段中的栅电极 GE2 的最小厚度 $T4$ 也能够大于上述研究例的情况下的最小厚度 $T3$ (即 $T4 > T3$)。即,本实施方式的情况下的步骤 S25 的研磨工序的结束阶段中的栅电极 GE2 的最小厚度 $T4$ 为最小厚度 $T2$ 以下(即 $T4 \leq T2$),但能够大于上述研究例的情况下的最小厚度 $T3$ (即 $T4 > T3$)。

[0333] 因此,在本实施方式中,与上述研究例相比,能够抑制或防止步骤 S25 的研磨工序的结束阶段中的栅电极 GE2 上的碟形凹陷,另外,能够增大步骤 S25 的研磨工序的结束阶段中的栅电极 GE2 的厚度(尤其是最小厚度 $T4$)。因此,能够抑制或防止由于栅电极 GE2 变薄而导致栅电极 GE2 的电阻增加。因此,能够提高半导体器件的性能。例如,能够提高具有栅电极 GE2 的 MISFET 的动作速度。另外,能够防止由于栅电极 GE2 变薄而导致的栅电极 GE2 的断线。因此,能够提高半导体器件的制造成品率。

[0334] 另外,在本实施方式中,通过在栅电极 GE2 上局部地形成绝缘膜 DB,即使在步骤 S21 的研磨工序中栅电极 GE2 被研磨,在栅电极 GE2 中,位于绝缘膜 DB 正下的部分与除此以外的部分相比,研磨量也得以抑制(研磨量减少)。因此,在步骤 S21 的研磨工序的结束阶段,栅电极 GE2 的上表面不平坦而容易成为形成有绝缘膜 DB 的区域(即位于绝缘膜 DB 正下的区域)隆起的状态。但是,即使成为这样的状态,当进行步骤 S25 的研磨工序时,通过对栅电极 GE2 的上表面进行研磨,与步骤 S21 的研磨工序的结束阶段相比,栅电极 GE2 的上表面也接近平坦。

[0335] 另外,在步骤 S25 的研磨工序的结束阶段,即使栅电极 GE2 的上表面不平坦而成为在形成有绝缘膜 DB 的区域中栅电极 GE2 的上表面隆起的状态,也难以产生不良影响。与之相对,如上述研究例的情况那样,在栅电极 GE2 上产生了碟形凹陷的情况下,不良影响较大。其原因在于,若栅电极 GE2 变薄,则栅电极 GE2 可能增加电阻或断线,但是,若栅电极 GE2 较厚,则不会产生这样的可能。也就是说,若栅电极 GE2 被过度研磨则会产生问题,但栅电极 GE2 的研磨被抑制就不会产生问题。因此,在本实施方式中,通过在栅电极 GE2 上局部地形成绝缘膜 DB,抑制或防止了栅电极 GE2 被过度研磨。

[0336] 另外,栅电极 GE 优选为金属栅电极。由此,能够提高具有栅电极 GE3 的 MISFET 的性能。因此,能够提高半导体器件的性能。

[0337] 另外,为了使栅电极 GE3 为金属栅电极,需要使上述金属膜 ME 为由单层金属膜构成的单层膜,或为在最下层具有金属膜的层叠膜。在使金属膜 ME 为层叠多层而成的层叠膜的情况下,需要使最下层为金属膜,但最下层以外可以是金属膜也可以不是金属膜,也能够使用多晶硅膜。此外,在此所说的金属膜是表示金属传导的导电膜,不仅包含单质的金属膜(纯金属膜)和合金膜,也包含表示金属传导的金属化合物膜(氮化金属膜和碳化金属膜等)。

[0338] 另外,在本实施方式中,在步骤 S14 及步骤 S16 中在半导体衬底 SB 上形成源极-漏极区域之后,在步骤 S22 中除去虚拟栅电极 DG,在除去了虚拟栅电极 DG 的区域(与上述槽 TR 对应)中形成作为金属栅电极的栅电极 GE3。因此,能够在形成源极-漏极区域后进行的活性化退火(与上述步骤 S17 的热处理对应)之后形成作为金属栅电极的栅电极 GE3,所以可以不对金属栅电极实施活性化退火那样的高温负荷,能够提高以金属栅电极为栅电极的 MISFET 的特性,或能够抑制特性的偏差。

[0339] 另外,本实施方式若适用于栅电极 GE2 (第 1 栅电极)的栅长方向上的尺寸(与上

述尺寸 L4 对应) 大于虚拟栅电极 DG 的栅长方向上的尺寸(与上述尺寸 L2 对应)的情况,则效果明显。另外,本实施方式若适用于栅电极 GE2 (第 1 栅电极)的面积(俯视观察时的面积)大于虚拟栅电极 DG 的面积(俯视观察时的面积)的情况,则效果明显。其原因在于,在使用 CMP 法等的研磨处理中,在某图案中,该图案越大则越容易该图案中产生碟形凹陷的现象。即,在上述研究例中,栅电极 GE2 的尺寸越大,在步骤 S21 的研磨工序或步骤 S25 的研磨工序中在栅电极 GE2 上产生碟形凹陷的可能性越高。与之相对,在本实施方式中,即使栅电极 GE2 较大,通过在栅电极 GE2 上局部地形成绝缘膜 DB,也能够抑制或防止在栅电极 GE2 上产生碟形凹陷。因此,本实施方式若适用于栅电极 GE2 的尺寸较大的情况,则其效果极为明显。在该观点上,本实施方式若适用于栅电极 GE2 的栅长方向上的尺寸(与上述尺寸 L4 对应) 大于虚拟栅电极 DG 的栅长方向上的尺寸(与上述尺寸 L2 对应)的情况,则效果明显。另外,本实施方式若适用于栅电极 GE2 的面积(俯视观察时的面积)大于虚拟栅电极 DG 的面积(俯视观察时的面积)的情况,则效果明显。另外,本实施方式若适用于栅电极 GE2 的栅长方向上的尺寸(与上述尺寸 L4 对应) 为 500nm 以上的情况,则效果明显。

[0340] 另外,本实施方式若适用于栅电极 GE2 和虚拟栅电极 DG 由同层的硅膜 PS1 形成的情况,则效果明显。在栅电极 GE2 和虚拟栅电极 DG 由同层的硅膜 PS1 形成的情况下,所形成的栅电极 GE2 和虚拟栅电极 DG 的高度大致相同。因此,当在步骤 S21 的研磨工序中使虚拟栅电极 DG 露出时,栅电极 GE2 也露出,在栅电极 GE2 上可能产生碟形凹陷。与之相对,在本实施方式中,即使栅电极 GE2 的高度与虚拟栅电极 DG 大致相同,通过在栅电极 GE2 上局部地形成绝缘膜 DB,也能够抑制或防止在栅电极 GE2 上产生碟形凹陷。另外,通过使虚拟栅电极 DG 由硅膜形成,容易在步骤 S22 中可靠地除去虚拟栅电极 DG。另外,通过使栅电极 GE2 由硅膜形成,能够提高具有栅电极 GE2 的 MISFETQ3 的可靠性。

[0341] 另外,在本实施方式,优选在栅电极 GE2 上形成防止碟形凹陷用的绝缘膜 DB,但在虚拟栅电极 DG 上不形成该绝缘膜 DB。由此,在步骤 S21 的研磨工序中,能够可靠地使虚拟栅电极 DG 的上表面露出,能够在步骤 S22 中可靠地除去虚拟栅电极 DG。另外,能够可靠地在除去了虚拟栅电极 DG 的区域(与上述槽 TR 对应)形成栅电极 GE3。

[0342] 另外,在步骤 S22 中,优选除去虚拟栅电极 DG、但不除去栅电极 GE1、栅电极 GE2、控制栅电极 CG 及存储栅电极 MG。由此,能够可靠地在除去了虚拟栅电极 DG 的区域(与上述槽 TR 对应)形成栅电极 GE3,并且能够防止随着栅电极 GE1、栅电极 GE2、控制栅电极 CG 及存储栅电极 MG 被除去而产生的不良情况(例如栅极电阻的增加等)。

[0343] 另外,在本实施方式中,在步骤 S22 中除去虚拟栅电极 DG 之后,且在步骤 S24 中形成栅电极 GE3 形成用的导电膜(在此为金属膜 ME)之前,优选在步骤 S23 中形成作为高介电常数绝缘膜的绝缘膜 HK。由此,能够使具有栅电极 GE3 的 MISFETQ1 的栅极绝缘膜为高介电常数栅极绝缘膜。于是,与不适用高介电常数栅极绝缘膜的情况相比,能够增加栅极绝缘膜的物理膜厚,因此得到能够减少漏电流的优点。

[0344] 另外,在本实施方式中,在控制栅电极 CG 上形成有顶盖绝缘膜 CP1,在虚拟栅电极 DG 上形成有顶盖绝缘膜 CP2,在栅电极 GE1 上形成有顶盖绝缘膜 CP3,在栅电极 GE2 上形成有顶盖绝缘膜 CP4,但也能够省略这些顶盖绝缘膜 CP1、CP2、CP3、CP4 的形成。在省略顶盖绝缘膜 CP1、CP2、CP3、CP4 的形成的情况下,只要省略上述步骤 S6 的绝缘膜 IL1 形成工序即可。该情况下,在步骤 S7 中,通过图案化的硅膜 PS1 而形成控制栅电极 CG,但在该控制栅

电极 CG 上没有形成顶盖绝缘膜 CP1, 另外, 上述层叠膜 LF1 不包含绝缘膜 IL1。另外, 该情况下, 在上述步骤 S13 中, 通过图案化的硅膜 PS1 而形成虚拟栅电极 DG 及栅电极 GE1、GE2, 但在它们之上没有形成顶盖绝缘膜 CP2、CP3、CP4。

[0345] 在形成有顶盖绝缘膜 CP1、CP2、CP3、CP4 的情况下, 由于在栅电极 GE2 上形成有顶盖绝缘膜 CP4, 所以上述绝缘膜 DB 不与栅电极 GE2 接触而形成, 绝缘膜 DB 形成在栅电极 GE2 上的顶盖绝缘膜 CP4 上。即, 绝缘膜 DB 与栅电极 GE2 上的顶盖绝缘膜 CP4 接触而形成, 不与栅电极 GE2 接触。也就是说, 绝缘膜 DB 隔着顶盖绝缘膜 CP4 而形成在栅电极 GE2 上。另一方面, 在省略顶盖绝缘膜 CP1、CP2、CP3、CP4 的形成的情况下, 由于在栅电极 GE2 上没有形成顶盖绝缘膜 CP4, 所以上述绝缘膜 DB 直接形成在栅电极 GE2 上, 绝缘膜 DB 与栅电极 GE2 接触。

[0346] 在形成有顶盖绝缘膜 CP1、CP2、CP3、CP4 的情况下, 由于在虚拟栅电极 DG 上形成有顶盖绝缘膜 CP2, 所以在步骤 S21 的研磨工序中, 不仅绝缘膜 IL3 被研磨而除去, 虚拟栅电极 DG 上的顶盖绝缘膜 CP2 也被研磨而除去, 由此, 虚拟栅电极 DG 露出。也就是说, 在步骤 S21 的研磨工序中, 不仅绝缘膜 IL3 被研磨, 顶盖绝缘膜 CP1、CP2、CP3、CP4 也被研磨。另一方面, 在省略顶盖绝缘膜 CP1、CP2、CP3、CP4 的形成的情况下, 由于在虚拟栅电极 DG 上没有形成顶盖绝缘膜 CP2, 所以在步骤 S21 的研磨工序中, 绝缘膜 IL3 被研磨而除去, 由此, 虚拟栅电极 DG 露出。

[0347] 本实施方式能够适用于形成有顶盖绝缘膜 CP1、CP2、CP3、CP4 的情况和没有形成顶盖绝缘膜 CP1、CP2、CP3、CP4 的情况的任一方。

[0348] 但是, 在形成有顶盖绝缘膜 CP1、CP2、CP3、CP4 的情况下, 能够得到如下效果。即, 在形成有顶盖绝缘膜 CP1、CP2、CP3、CP4 的情况下, 在上述步骤 S19 中在源极 - 漏极区域上形成金属硅化物层 SL 时, 能够不在控制栅电极 CG、虚拟栅电极 DG、栅电极 GE1 及栅电极 GE2 上形成金属硅化物层 SL。因此, 在步骤 S21 的研磨工序中, 可以不对金属硅化物层 SL 进行研磨。若在研磨工序中对金属硅化物层 SL 进行研磨, 则可能产生划痕。若形成有顶盖绝缘膜 CP1、CP2、CP3、CP4, 则能够不在控制栅电极 CG、虚拟栅电极 DG、栅电极 GE1 及栅电极 GE2 上形成金属硅化物层 SL, 从而能够可靠地防止在步骤 S21 的研磨工序中产生划痕。

[0349] 另外, 在本实施方式中, 在半导体衬底 SB 上不仅形成有 MISFETQ3 用的栅电极 GE2 (第 1 栅电极) 和 MISFETQ1 用的虚拟栅电极 DG, 也形成有 MISFETQ2 (第 3 MISFET) 用的栅电极 GE1 (第 3 栅电极)。栅电极 GE1 的栅长方向上的尺寸 (与上述尺寸 L3 对应) 小于栅电极 GE2 的栅长方向上的尺寸 (与上述尺寸 L4 对应)。在上述步骤 S18 中在栅电极 GE2 上形成上述绝缘膜 DB, 但在栅电极 GE1 上没有形成上述绝缘膜 DB。

[0350] 由于栅电极 GE1 的栅长方向上的尺寸 (与上述尺寸 L3 对应) 小于栅电极 GE2 的栅长方向上的尺寸 (与上述尺寸 L4 对应), 所以即使在栅电极 GE2 上可能产生碟形凹陷, 也难以在栅电极 GE1 上产生碟形凹陷的问题。因此, 对于栅长方向上的尺寸较大而容易产生碟形凹陷问题的栅电极 GE2, 通过在栅电极 GE2 上形成上述绝缘膜 DB 来抑制或防止碟形凹陷的产生, 另一方面, 对于栅长方向上的尺寸较小而难以产生碟形凹陷问题的栅电极 GE1, 不在栅电极 GE1 上形成上述绝缘膜 DB。像这样, 通过实施分别适于栅电极 GE1 和栅电极 GE2 的对策, 能够谋求半导体器件的性能的提高和制造成品率的提高。

[0351] 另外, 栅电极 GE2 (第 1 栅电极)、虚拟栅电极 DG 和栅电极 GE1 (第 3 栅电极) 由同

层的硅膜 PS1 形成。由此,能够减少半导体器件的制造工序数,另外,能够容易制造半导体器件。在步骤 S21 的研磨工序中,虚拟栅电极 DG 露出,并且栅电极 GE1 也露出。

[0352] 在栅电极 GE2、虚拟栅电极 DG 和栅电极 GE1 由同层的硅膜 PS1 形成的情况下,所形成的栅电极 GE2、虚拟栅电极 DG 和栅电极 GE1 的高度大致相同。因此,当在步骤 S21 的研磨工序中使虚拟栅电极 DG 露出时,栅电极 GE1 也露出。但是,由于栅电极 GE1 的栅长方向上的尺寸(与上述尺寸 L3 对应)小于栅电极 GE2 的栅长方向上的尺寸(与上述尺寸 L4 对应),所以在步骤 S21 中即使栅电极 GE1 露出,也难以在栅电极 GE1 上产生碟形凹陷的问题。另一方面,对于栅长方向上的尺寸较大的栅电极 GE2,通过在栅电极 GE2 上局部地形成绝缘膜 DB,能够抑制或防止在栅电极 GE2 上产生碟形凹陷。另外,通过使虚拟栅电极 DG 由硅膜形成,容易在步骤 S22 中可靠地除去虚拟栅电极 DG。另外,通过使栅电极 GE2 和栅电极 GE1 由硅膜形成,能够提高具有栅电极 GE2 的 MISFETQ3 和具有栅电极 GE1 的 MISFETQ2 的可靠性。

[0353] 另外,在本实施方式中,在栅电极 GE2 上局部地形成绝缘膜 DB,并使该绝缘膜 DB 作为防止碟形凹陷图案而发挥功能。因此,在步骤 S21 的研磨工序中,需要在绝缘膜 DB (第 1 膜)的研磨速度小于绝缘膜 IL3 的研磨速度的条件(研磨条件)下对绝缘膜 IL3 进行研磨。研磨速度能够根据例如所使用的研磨液(slurry)等来进行调整。

[0354] 在绝缘膜 IL3 为单层膜(单层的膜)的情况下,只要通过与绝缘膜 IL3 不同的材料来形成绝缘膜 DB,在绝缘膜 DB 的研磨速度小于构成绝缘膜 IL3 的单层膜的研磨速度的条件下,在步骤 S21 中对绝缘膜 IL3 进行研磨即可。例如,在使绝缘膜 IL3 为氧化硅膜的单层膜的情况下,只要使绝缘膜 DB 由氧化硅以外的材料(例如氮化硅)形成,在绝缘膜 DB (氮化硅膜)的研磨速度小于绝缘膜 IL3 (氧化硅膜)的研磨速度那样的条件(研磨条件)下进行步骤 S21 的研磨工序即可。

[0355] 另外,在绝缘膜 IL3 由绝缘膜 IL4 与形成在绝缘膜 IL4 上且比绝缘膜 IL4 厚的绝缘膜 IL5 的层叠膜构成的情况下,只要使绝缘膜 DB 由与绝缘膜 IL5 不同的材料形成,在步骤 S21 中在绝缘膜 DB 比绝缘膜 IL5 难以被研磨的条件下对绝缘膜 IL3 进行研磨即可。

[0356] 另外,在绝缘膜 IL3 由氮化硅膜与形成在该氮化硅膜上且比该氮化硅膜厚的氧化硅膜的层叠膜构成的情况(即上述绝缘膜 IL4 由氮化硅膜构成,并且上述绝缘膜 IL5 由氧化硅膜构成的情况)下,只要在步骤 S21 中,在绝缘膜 DB 比氧化硅膜(绝缘膜 IL5)难以被研磨的条件下对绝缘膜 IL3 进行研磨即可。

[0357] 另外,在绝缘膜 IL3 由氮化硅膜(绝缘膜 IL4)与形成在该氮化硅膜上且比该氮化硅膜厚的氧化硅膜(绝缘膜 IL5)的层叠膜构成的情况下,且在绝缘膜 DB 由氮化硅构成的情况下,只要在步骤 S21 中,在氮化硅(绝缘膜 DB、IL4)比氧化硅(绝缘膜 IL5)难以被研磨的条件下对绝缘膜 IL3 进行研磨即可。

[0358] 在绝缘膜 IL3 由层叠多层绝缘膜而成的层叠膜构成的情况下,优选在绝缘膜 DB 的研磨速度小于该层叠膜的平均研磨速度的条件下,在步骤 S21 中对绝缘膜 IL3 进行研磨。另外,在绝缘膜 IL3 由层叠多层绝缘膜而成的层叠膜构成的情况下,优选在绝缘膜 DB 的研磨速度小于该层叠膜中的主要绝缘膜(在构成层叠膜的多层绝缘膜中与厚度最厚的绝缘膜对应)的研磨速度的条件下,在步骤 S21 中对绝缘膜 IL3 进行研磨。

[0359] 于是,能够使局部地形成在栅电极 GE2 上的绝缘膜 DB 作为防止碟形凹陷图案而可

靠地发挥功能。此外，B 比 A 难以被研磨的情况与 B 的研磨速度小于 A 的研磨速度的情况对应。

[0360] 另外，在步骤 S21 的研磨工序中，更优选在绝缘膜 DB 的研磨速度小于栅电极 GE2 的研磨速度的条件下进行研磨，由此，能够进一步提高通过设置绝缘膜 DB 而产生的对栅电极 GE2 的防止碟形凹陷效果。

[0361] 另外，由于绝缘膜 DB 局部地形成在栅电极 GE2 上，所以在形成绝缘膜 DB 的阶段，栅电极 GE2 具有位于绝缘膜 DB 正下的部分和不位于绝缘膜 DB 正下的部分。因此，在步骤 S21 的研磨工序中，栅电极 GE2 的至少一部分露出。但是，即使在步骤 S21 的研磨工序中栅电极 GE2 没有露出，只要虚拟栅电极 DG 露出即可，不会产生制造工序上的不良情况。

[0362] 另外，绝缘膜 DB 作为防止碟形凹陷图案而发挥功能，绝缘性并不是必须的，因此可以不由绝缘材料形成。但是，绝缘膜 DB 更优选由绝缘材料构成（即具有绝缘性），由此，即使在形成绝缘膜 DB 时留存有不需要的材料，例如即使上述绝缘膜 IL2 的不需要的部分没有被除尽而留存下来，由于该留存物不是导电材料而由绝缘材料构成，所以难以产生不良情况。因此，能够提高半导体器件的可靠性。另外，容易进行半导体器件的制造工序的管理。

[0363] 另外，控制栅电极 CG 及存储栅电极 MG 优选分别由硅构成。其理由如下。即，非易失性存储器的电荷保持特性是重要的。若构成非易失性存储器的存储单元的控制栅电极 CG 及存储栅电极 MG 是金属栅电极，则金属栅电极的金属扩散至电荷蓄存膜（在此为绝缘膜 MZ），电荷保持特性可能降低。通过使控制栅电极 CG 及存储栅电极 MG 为由硅构成的硅栅电极，消除了这样的可能性，能够提高非易失性存储器的存储单元的可靠性。

[0364] 另外，在本实施方式中，说明了在相同半导体衬底 SB 上形成非易失性存储器、金属栅极晶体管（在此为 MISFETQ1）、形成有作为防止碟形凹陷图案的绝缘膜 DB 的 MISFET（在此为 MISFETQ3）、和没有形成作为防止碟形凹陷图案的绝缘膜 DB 的 MISFET（在此为 MISFETQ2）的情况。

[0365] 作为其它方式，也能够存在省略没有形成作为防止碟形凹陷图案的绝缘膜 DB 的 MISFET（在此为 MISFETQ2）的情况。该情况下，没有形成作为防止碟形凹陷图案的绝缘膜 DB 的 MISFET（在此为 MISFETQ2）只要置换成金属栅极晶体管（在此为 MISFETQ1）即可。即，也能够使非易失性存储器和形成有作为防止碟形凹陷图案的绝缘膜 DB 的 MISFET（在此为 MISFETQ3）以外的 MISFET 为金属栅极晶体管（在此为 MISFETQ1）。

[0366] 另外，作为另一其他方式，也存在能够省略非易失性存储器的形成的情况。该情况下，只要在上述步骤 S5 中形成硅膜 PS1，在上述步骤 S6 中形成绝缘膜 IL1 之后，省略上述步骤 S7～S12，在并上述步骤 S13 中使层叠膜 LF1 图案化，由此形成层叠体 LM2、LM3、LM4 即可。然后，进行上述步骤 S15（侧墙隔离物形成工序）及其以后的工序。

[0367] 另外，作为另一其他方式，也能够存在省略非易失性存储器的形成且省略没有形成作为防止碟形凹陷图案的绝缘膜 DB 的 MISFET（在此为 MISFETQ2）的情况。该情况下，只要在上述步骤 S5 中形成硅膜 PS1，在上述步骤 S6 中形成绝缘膜 IL1 之后，省略上述步骤 S7～S12，并在上述步骤 S13 中使层叠膜 LF 图案化，由此形成层叠体 LM2、LM4 即可。然后，进行上述步骤 S15（侧墙隔离物形成工序）及其以后的工序。

[0368] （实施方式 2）

[0369] 在上述实施方式 1 中，说明了在栅电极 GE2 上局部地形成绝缘膜 DB 的情况，但在

本实施方式 2 中,说明绝缘膜 DB 向栅电极 GE2 上的配置的具体例。

[0370] 图 73 是本实施方式 2 的半导体器件的主要部位俯视图,示出了高耐压 MISFET 形成区域 1D 的俯视图。另外,图 74 及图 75 是本实施方式 2 的半导体器件的主要部位剖面图,图 73 的 D1-D1 线的剖面图与图 74 大致对应,图 73 的 D2-D2 线的剖面图与图 75 大致对应。此外,在图 74 及图 75 的剖面图中,为了简化,没有将绝缘膜 IL3 分为上述绝缘膜 IL4 和上述绝缘膜 IL5 而是仅作为绝缘膜 IL3 示出,但绝缘膜 IL3 也能够是与上述实施方式 1 相同的层叠膜。

[0371] 本实施方式 2 的半导体器件的制造工序与上述实施方式 1 相同,因此,在此省略其重复的说明。另外,关于存储器形成区域 1A、金属栅极晶体管形成区域 1B 和低耐压 MISFET 形成区域 1C 的结构,本实施方式 2 也与上述实施方式 1 相同,因此,在此省略其图示及说明,仅对高耐压 MISFET 形成区域 1D 进行图示和说明。

[0372] 在本实施方式 2 中,高耐压 MISFET 形成区域 1D 中的 MISFETQ3 的结构也与上述实施方式 1 基本上相同。

[0373] 即,如图 73 ~ 图 75 所示,在高耐压 MISFET 形成区域 1D 的半导体衬底 SB 上具有以元件分离区域 ST 规定的活性区域 AC,在该活性区域 AC 中形成有 p 型阱 PW4。而且,在半导体衬底 SB 上形成有栅电极 GE2。在俯视观察时,栅电极 GE2 具有与活性区域 AC 重合的部分和与其不重合的部分,该活性区域 AC 具有与栅电极 GE2 重合的部分和与其不重合的部分。在图 73 的情况下,栅电极 GE2 在俯视观察时,以跨着两个活性区域 AC 的方式形成。在栅电极 GE2 与活性区域 AC (p 型阱 PW4) 之间夹设有作为栅极绝缘膜而发挥功能的绝缘膜 GI2。另外,在活性区域 AC (p 型阱 PW4) 上形成有构成 LDD 构造的源极 - 漏极区域的 n⁻ 型半导体区域 EX5 及 n⁺ 型半导体区域 SD5。在 n⁺ 型半导体区域 SD5 上形成有金属硅化物层 SL。

[0374] 栅电极 GE2 呈隔着侧墙隔离物 SW 而埋入在绝缘膜 IL3 中的状态,在包含栅电极 GE2 上在的绝缘膜 IL3 上形成有绝缘膜 IL6。在绝缘膜 IL6 上形成有绝缘膜 IL7,在绝缘膜 IL7 的布线槽中埋入有布线 M1。在 n⁺ 型半导体区域 SD5 上形成有贯穿绝缘膜 IL6 及绝缘膜 IL3 的接触孔 CT,在该接触孔 CT 中埋入有插塞 PG, n⁺ 型半导体区域 SD5 经由该插塞 PG 而与布线 M1 电连接。另外,在栅电极 GE2 上形成有贯穿绝缘膜 IL6 的接触孔 CT (CT1),在该接触孔 CT (CT1) 中埋入有插塞 PG,栅电极 GE2 经由该插塞 PG 而与布线 M1 电连接。对形成在栅电极 GE2 上的接触孔 CT 标注附图标记 CT1,并将其称作接触孔 CT1。因此,接触孔 CT1 形成在栅电极 GE2 上,能够称作埋入有用于连接栅电极 GE2 的插塞 PG 的接触孔 CT。

[0375] 图 76 及图 77 是本实施方式 2 的半导体器件的制造工序中的主要部位俯视图,示出了与图 73 相同的平面区域,但在图 76 及图 77 中,示出了在上述步骤 S18 中形成绝缘膜 DB 的阶段。但是,在步骤 S18 中形成绝缘膜 DB 的阶段,接触孔 CT 及插塞 PG 尚未形成,但为了容易理解,在图 76 及图 77 中,也图示出在后形成的接触孔 CT 及插塞 PG。另外,图 76 及图 77 是俯视图,但为了易于理解而对绝缘膜 DB 标注了剖面线。此外,在图 76 和图 77 中,形成在栅电极 GE2 上的绝缘膜 DB 的图案(平面形状)不同。

[0376] 如在上述实施方式 1 中说明那样,在上述步骤 S18 中,绝缘膜 DB 在俯视观察时,不是以覆盖栅电极 GE2 整体的方式形成,而是在栅电极 GE2 上局部地形成。即,栅电极 GE2 在俯视观察时具有被绝缘膜 DB 覆盖的部分和没有被覆盖的部分。也就是说,在步骤 S18 中形

成绝缘膜 DB 时,栅电极 GE2 具有在其上形成有绝缘膜 DB 的部分、和在其上没有形成绝缘膜 DB 的部分。换言之,在步骤 S18 中形成绝缘膜 DB 时,栅电极 GE2 具有位于绝缘膜 DB 正下的部分、和不位于绝缘膜 DB 正下的部分。此外,在栅电极 GE2 上形成有顶盖绝缘膜 CP4 的情况下,绝缘膜 DB 形成在顶盖绝缘膜 CP4 上。

[0377] 图 76 和图 77 示出了绝缘膜 DB 的形成区域的具体例。此外,参照图 76 和图 77 而在以下说明的绝缘膜 DB 的图案(平面形状)为俯视观察时的图案(平面形状)。另外,栅宽是配置绝缘膜 DB 的栅电极 GE2 的栅宽,栅长是该栅电极 GE2 的栅长。

[0378] 首先,说明图 76 的情况。在步骤 S18 中形成在栅电极 GE2 上的绝缘膜 DB 能够为例如图 76 所示那样的图案。

[0379] 即,绝缘膜 DB 的平面形状能够是例如线状图案(平面形状),该情况下,延伸方向上的尺寸大于与延伸方向正交的方向上的尺寸。在图 76 的情况下,线状图案的绝缘膜 DB 沿栅宽方向(栅电极 GE2 的栅宽方向)延伸。线状图案的绝缘膜 DB 的延伸方向上的尺寸为占据栅电极 GE2 的大半尺寸(在此为栅宽方向上的尺寸)的大小,即,为大于栅电极 GE2 的尺寸(在此为栅宽方向上的尺寸)一半的大小。

[0380] 另外,也能够栅电极 GE2 上配置多个线状图案的绝缘膜 DB,该情况下,能够在与线状图案的延伸方向正交的方向上以相邻的方式并列地配置。在图 76 的情况下,沿栅宽方向延伸的线状图案的绝缘膜 DB 在栅长方向上以相邻的方式并列地配置。即,在图 76 的情况下,在栅电极 GE2 上形成有带状图案的绝缘膜 DB。另外,在图 76 中,三个线状图案的绝缘膜 DB 并列地配置,但配置数量能够根据需要而进行变更。另外,在一个栅电极 GE2 上配置三个以上的线状图案的绝缘膜 DB 的情况下,优选线状图案的绝缘膜 DB 的间隔大致均等。

[0381] 接下来,说明图 77 的情况。在步骤 S18 中形成在栅电极 GE2 上的绝缘膜 DB 能够为例如图 77 所示那样的图案。

[0382] 即,绝缘膜 DB 的平面形状能够是例如格子状的图案(平面形状)。在图 77 的情况下,在栅电极 GE2 上形成有通过使沿栅电极 GE2 的栅宽方向延伸的多个线状图案和沿栅电极 GE2 的栅长方向延伸的多个线状图案交叉而构成的格子状的图案的绝缘膜 DB。

[0383] 像图 76 的情况或图 77 的情况那样,在俯视观察时,优选形成有绝缘膜 DB 的区域和没有形成绝缘膜 DB 的区域大致均等地分配于栅电极 GE2 的上表面整体。另外,在俯视观察时,形成在栅电极 GE2 上的绝缘膜 DB 的总面积能够不足该栅电极 GE2 的面积的一半。

[0384] 形成在栅电极 GE2 上的绝缘膜 DB 的图案能够进行各种变更,但期望对接触孔 CT1 的形成位置和绝缘膜 DB 的形成位置施加如下工夫。

[0385] 即,如图 76 和图 77 两者所共同那样,优选步骤 S18 中的绝缘膜 DB 的形成位置和上述步骤 S27 中的接触孔 CT1 的形成位置在俯视观察时不重合。即,优选在上述步骤 S27 中形成在栅电极 GE2 上的接触孔 CT1 的形成位置与在步骤 S18 中形成绝缘膜 DB 的位置在俯视观察时不重合。也就是说,优选在步骤 S18 中形成绝缘膜 DB 时,在俯视观察时不与绝缘膜 DB 重合的部分的栅电极 GE2 上,在步骤 S27 中形成接触孔 CT1。由此,在步骤 S27 中形成接触孔 CT1 时,例如即使在栅电极 GE2 上留存有绝缘膜 DB 的一部分,由于在不与该绝缘膜 DB 的留存部重合的位置形成接触孔 CT1,所以也能够防止绝缘膜 DB 的留存部对接触孔 CT1 的形成带来不良影响。因此,能够更可靠地在栅电极 GE2 上形成接触孔 CT1。因此,能够提高半导体器件的可靠性。另外,能够提高半导体器件的制造成品率。

[0386] (实施方式 3)

[0387] 在本实施方式 3 中,说明通过同一膜在同一工序中形成防止碟形凹陷图案(绝缘膜 DB)、和防止形成金属硅化物层 SL 的硅化物阻挡膜(绝缘膜 DB2)的情况。

[0388] 图 78 ~ 图 83 是本实施方式 3 的半导体器件的制造工序中的主要部位剖面图,示出了高耐压 MISFET 形成区域 1D 的剖面图。此外,在图 83 的剖面图中,为了简化,没有将绝缘膜 IL3 分为上述绝缘膜 IL4 和上述绝缘膜 IL5 而是仅作为绝缘膜 IL3 示出,绝缘膜 IL3 也能够是与上述实施方式 1 相同的层叠膜。

[0389] 本实施方式 3 的半导体器件的制造工序除步骤 S18 的绝缘膜 DB 形成工序和步骤 S19 的金属硅化物层 SL 形成工序以外,与上述实施方式 1 相同,因此,在此省略其重复的说明。另外,关于存储器形成区域 1A、金属栅极晶体管形成区域 1B 和低耐压 MISFET 形成区域 1C 的制造工序,本实施方式 3 也与上述实施方式 1 相同,因此,在此省略其图示及说明,仅对高耐压 MISFET 形成区域 1D 进行图示和说明。

[0390] 在本实施方式 3 中,也进行上述步骤 S18 (绝缘膜 DB 形成工序)之前的工序。然后,以如下方式进行步骤 S18 的绝缘膜 DB 形成工序。

[0391] 即,首先,在本实施方式 3 中,也与上述实施方式 1 同样地,如图 78 所示,在半导体衬底 SB 的主面上(主面的整个面上),以覆盖存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 的方式形成(堆积)绝缘膜 IL2。然后,如图 79 所示,在绝缘膜 IL2 上,使用光刻法,作为抗蚀图案而形成光致抗蚀图案 PR1。图 79 是形成光致抗蚀图案 PR1 的阶段中的高耐压 MISFET 形成区域 1D 的剖面图,对应于和上述图 28 及图 29 相同的工序阶段。

[0392] 本实施方式 3 与上述实施方式 1 的不同之处在于光致抗蚀图案 PR1 的形成位置。即,在上述实施方式 1 中,光致抗蚀图案 PR1 形成在高耐压 MISFET 形成区域 1D 中的绝缘膜 DB 形成预定区域。与之相对,在本实施方式 3 中,光致抗蚀图案 PR1 形成在高耐压 MISFET 形成区域 1D 中的绝缘膜 DB 形成预定区域和绝缘膜 DB2 形成预定区域。也就是说,在绝缘膜 DB2 形成预定区域上也形成有光致抗蚀图案 PR1,该方面与上述实施方式 1 不同。

[0393] 然后,将光致抗蚀图案 PR1 用作蚀刻掩模对绝缘膜 IL2 进行蚀刻而使其图案化,由此,形成由图案化的绝缘膜 IL2 构成的绝缘膜 DB、和由图案化的绝缘膜 IL2 构成的绝缘膜 DB2。关于此时的蚀刻,不仅形成绝缘膜 DB 也形成绝缘膜 DB2,除此以外,本实施方式 3 也能够与上述实施方式 1 同样地进行。然后,除去光致抗蚀图案 PR1。图 80 示出该阶段。图 80 对应于与上述图 30 及图 31 相同的工序阶段。像这样,在本实施方式 3 中,进行步骤 S18 的绝缘膜 DB 的形成工序。

[0394] 在本实施方式 3 中,在层叠体 LM4 上也形成有绝缘膜 DB,关于该绝缘膜 DB,本实施方式 3 也与上述实施方式 1 相同,因此,在此省略其重复的说明。

[0395] 但是,在本实施方式 3 中,在步骤 S18 中也形成绝缘膜 DB2。该绝缘膜 DB2 作为防止形成金属硅化物层 SL 的硅化物阻挡膜而发挥功能。形成该绝缘膜 DB2 的方面是本实施方式 3 与上述实施方式 1 的不同点。在图 80 的情况下,绝缘膜 DB2 局部地形成在源极 - 漏极用的 n^+ 型半导体区域 SD5 上。即,绝缘膜 DB2 不是形成在 n^+ 型半导体区域 SD5 整体上,而是形成在 n^+ 型半导体区域 SD5 的一部分上,在没有被侧墙隔离物 SW 覆盖的区域, n^+ 型半导体区域 SD5 具有被绝缘膜 DB2 覆盖的部分和没有被覆盖的部分。

[0396] 接下来,以如下方式进行步骤 S19 的金属硅化物层 SL 形成工序。

[0397] 即,如图 81 所示,在包含 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的上表面(表面)上在的半导体衬底 SB 的主面的整个面上,以覆盖存储栅电极 MG、层叠体 LM1、LM2、LM3、LM4 及侧墙隔离物 SW 的方式形成(堆积)金属膜 MM。图 81 对应于与上述图 32 及图 33 相同的工序阶段。在该阶段,本实施方式 3 与上述实施方式 1 的不同之处在于,在本实施方式 3 中,由于绝缘膜 DB2 在 n^+ 型半导体区域 SD5 上局部地形成,所以在金属膜 MM 与 n^+ 型半导体区域 SD5 之间夹设有绝缘膜 DB2。即,在本实施方式 3 中, n^+ 型半导体区域 SD5 的上表面呈如下状态:没有被绝缘膜 DB2 覆盖的部分与金属膜 MM 接触,但被绝缘膜 DB2 覆盖的部分不与金属膜 MM 接触。

[0398] 接下来,通过对半导体衬底 SB 实施热处理来使 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的各上层部分(表层部分)与金属膜 MM 发生反应。由此,如图 82 所示,在 n^+ 型半导体区域 SD1、SD2、SD3、SD4、SD5 的各上部(上表面、表面、上层部)分别形成有金属硅化物层 SL。然后,通过湿法蚀刻等除去未反应的金属膜 MM。图 82 示出了该阶段的剖面图。图 82 对应于与上述图 34 及图 35 相同的工序阶段。另外,也能够在除去未反应的金属膜 MM 之后进一步进行热处理。

[0399] 在该阶段,本实施方式 3 与上述实施方式 1 的不同之处在于,在本实施方式 3 中,由于绝缘膜 DB2 局部地形成在 n^+ 型半导体区域 SD5 上,所以金属硅化物层 SL 不是形成在 n^+ 型半导体区域 SD5 的上表面整体上,而是仅形成在 n^+ 型半导体区域 SD5 的上表面中的没有被绝缘膜 DB2 覆盖的部分处。即,在本实施方式 3 中,在 n^+ 型半导体区域 SD5 的上表面中的没有被绝缘膜 DB2 覆盖的部分处形成有金属硅化物层 SL,但在被绝缘膜 DB2 覆盖的部分处没有形成金属硅化物层 SL。

[0400] 关于以后的工序,本实施方式 3 也与上述实施方式 1 相同。即,在上述步骤 S20 中形成上述绝缘膜 IL3,进行上述步骤 S21 的研磨工序,在上述步骤 S22 中除去上述虚拟栅电极 DG,在上述步骤 S23 中形成上述绝缘膜 HK,在上述步骤 S24 中形成上述金属膜 ME,进行上述步骤 S25 的研磨工序。然后,在上述步骤 S26 中形成上述绝缘膜 IL6,在上述步骤 S27 中形成上述接触孔 CT,在上述步骤 S28 中形成上述插塞 PG,在上述步骤 S29 中形成上述绝缘膜 IL7 及上述布线 M1。由此,得到图 83 的构造。图 83 对应于与上述图 58 及图 59 相同的工序阶段。

[0401] 在本实施方式 3 中,在步骤 S18 中在层叠体 LM4 上形成作为防止碟形凹陷图案的绝缘膜 DB 时,也形成防止形成金属硅化物层 SL 的作为硅化物阻挡膜的绝缘膜 DB2。该绝缘膜 DB2 在步骤 S19 中形成金属硅化物层 SL 时,形成在想要防止形成金属硅化物层 SL 的区域。即,若在即将形成金属膜 MM 之前的阶段存在硅区域(Si 衬底区域或多晶硅区域)的露出部,则会在此处形成金属硅化物层 SL,因此,在作为硅区域(Si 衬底区域或多晶硅区域)的露出部、且不要形成金属硅化物层 SL 的区域事先形成绝缘膜 DB2。由此,能过避免在没有被绝缘膜 DB2 覆盖的硅区域(Si 衬底区域或多晶硅区域)形成金属硅化物层 SL。

[0402] 例如,如图 80 所示,在作为源极-漏极区域的 n^+ 型半导体区域 SD5 的一部分上形成有绝缘膜 DB2。由此,在步骤 S19 中形成金属硅化物层 SL 时,如图 82 所示,能够避免在形成有绝缘膜 DB2 的部分的 n^+ 型半导体区域 SD5 (即被绝缘膜 DB2 覆盖的部分的 n^+ 型半导体区域 SD5) 上形成金属硅化物层 SL。

[0403] 在作为高耐压用的 MISFETQ3 的源极-漏极区域的 n^+ 型半导体区域 SD5 的一部分

上形成绝缘膜 DB2, 由此, 通过在形成有绝缘膜 DB2 的部分的 n^+ 型半导体区域 SD5 上不形成金属硅化物层 SL, 能够提高 MISFETQ3 的耐压。

[0404] 即, 在 n^+ 型半导体区域 SD5 的整体上形成有金属硅化物层 SL 的情况下, 埋入在形成于 n^+ 型半导体区域 SD5 上的接触孔 CT 中的插塞 PG (以下称作 n^+ 型半导体区域 SD5 上的插塞 PG) 与和 n^+ 型半导体区域 SD5 相邻的 n^- 型半导体区域 EX5 之间经由金属硅化物层 SL 以低电阻电连接。但是, 为了提高 MISFETQ3 的耐压, 存在最好在某种程度上确保 n^+ 型半导体区域 SD5 上的插塞 PG 与和 n^+ 型半导体区域 SD5 相邻的 n^- 型半导体区域 EX5 之间的电阻的情况。因此, 通过适用本实施方式 3 且不在 n^+ 型半导体区域 SD5 整体上而是仅在 n^+ 型半导体区域 SD5 的一部分上形成金属硅化物层 SL, 能够在某种程度上确保 n^+ 型半导体区域 SD5 上的插塞 PG 与和 n^+ 型半导体区域 SD5 相邻的 n^- 型半导体区域 EX5 之间的电阻, 从而能够提高 MISFETQ3 的耐压。

[0405] 另外, 如图 83 所示, 优选通过不在接触孔 CT 的形成预定位置形成绝缘膜 DB2 而在 n^+ 型半导体区域 SD5 的上表面中的接触孔 CT 的形成预定位置事先形成金属硅化物层 SL。由此, n^+ 型半导体区域 SD5 上的插塞 PG 能够与形成在 n^+ 型半导体区域 SD5 的上表面的金属硅化物层 SL 接触。而且, 优选在栅电极 GE2 的栅长方向上观察时, 在 n^+ 型半导体区域 SD5 上的插塞 PG 所连接的金属硅化物层 SL 与 n^- 型半导体区域 EX5 之间形成有绝缘膜 DB2, 从而存在防止形成金属硅化物层 SL 的区域。

[0406] 另外, 在本实施方式 3 中, 使用共同的绝缘膜 IL2 形成了作为防止碟形凹陷图案的绝缘膜 DB、和作为硅化物阻挡膜的绝缘膜 DB2。因此, 能够减少半导体器件的制造工序数。

[0407] 以上, 基于其实施方式具体地说明了本发明人所完成的发明, 但本发明不限于上述实施方式, 当然能够在不脱离其要旨的范围内进行各种变更。

[0408] 附图标记说明

[0409] 1A 存储器形成区域

[0410] 1B 金属栅极晶体管形成区域

[0411] 1C 低耐压 MISFET 形成区域

[0412] 1D 高耐压 MISFET 形成区域

[0413] AC 活性区域

[0414] CG 控制栅电极

[0415] CP1、CP2、CP3、CP4 顶盖绝缘膜

[0416] CT 接触孔

[0417] DB、DB2 绝缘膜

[0418] DG 虚拟栅电极

[0419] GE1、GE2、GE3 栅电极

[0420] EG 侧面

[0421] EX1、EX2、EX3、EX4、EX5 n^- 型半导体区域

[0422] GI1、GI2、HK 绝缘膜

[0423] LF、LF1 层叠膜

[0424] LM1、LM2、LM3、LM4 层叠体

[0425] IL1、IL2、IL3、IL4、IL5、IL6、IL7 绝缘膜

- [0426] M1 布线
- [0427] MC 存储单元
- [0428] MD、MS 半导体区域
- [0429] MM 金属膜
- [0430] ME 金属膜
- [0431] MG 存储栅电极
- [0432] MZ 绝缘膜
- [0433] MZ1、MZ3 氧化硅膜
- [0434] MZ2 氮化硅膜
- [0435] PG 插塞
- [0436] PR1、PR2 光致抗蚀图案
- [0437] PS1、PS2 硅膜
- [0438] PW1、PW2、PW3、PW4 p 型阱
- [0439] Q1、Q2、Q3 MISFET
- [0440] SB 半导体衬底
- [0441] SD1、SD2、SD3、SD4、SD5 n⁺ 型半导体区域
- [0442] SL 金属硅化物层
- [0443] SP 硅隔离物
- [0444] ST 元件分离区域
- [0445] SW 侧墙隔离物
- [0446] TR 槽

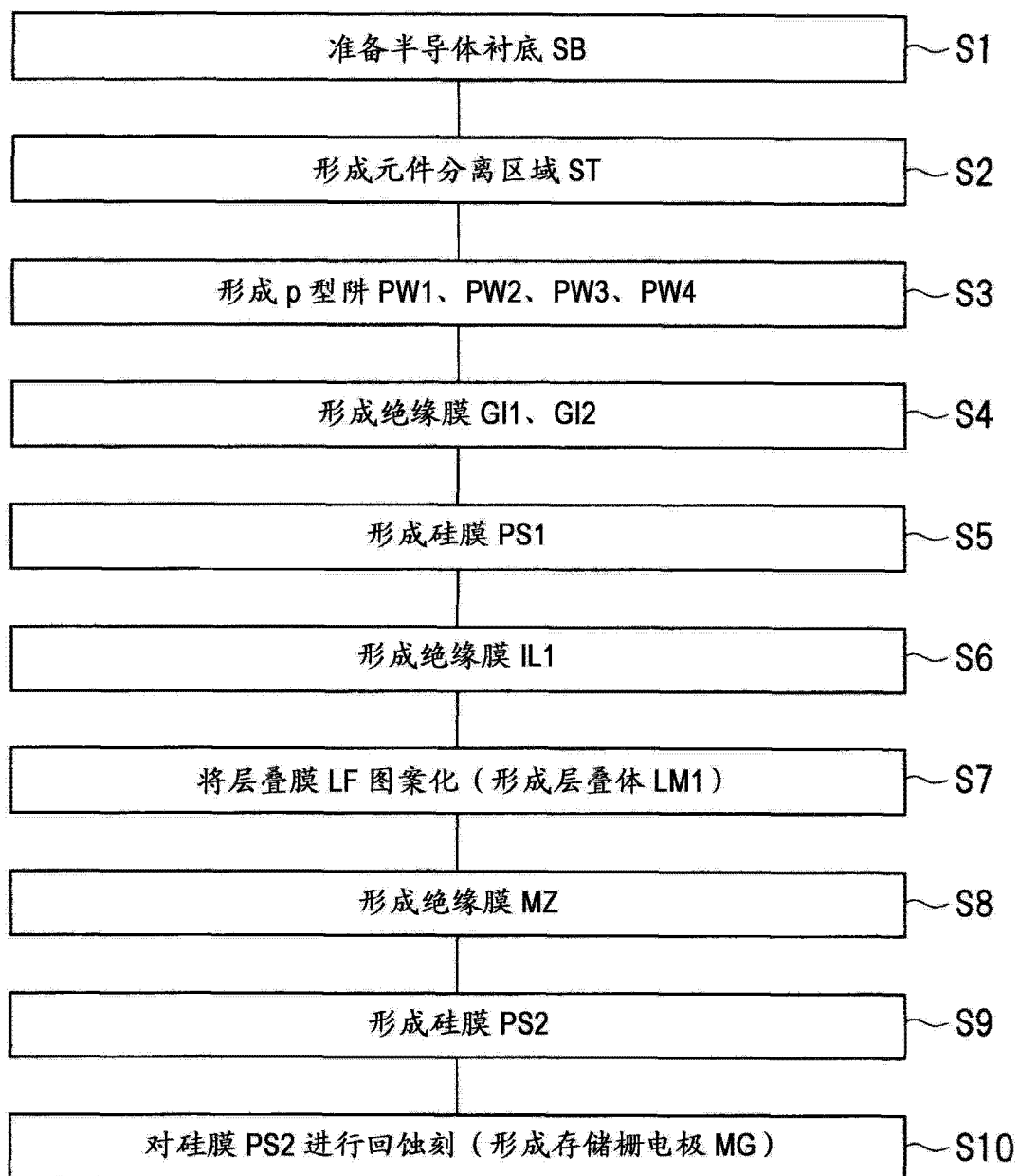


图 1

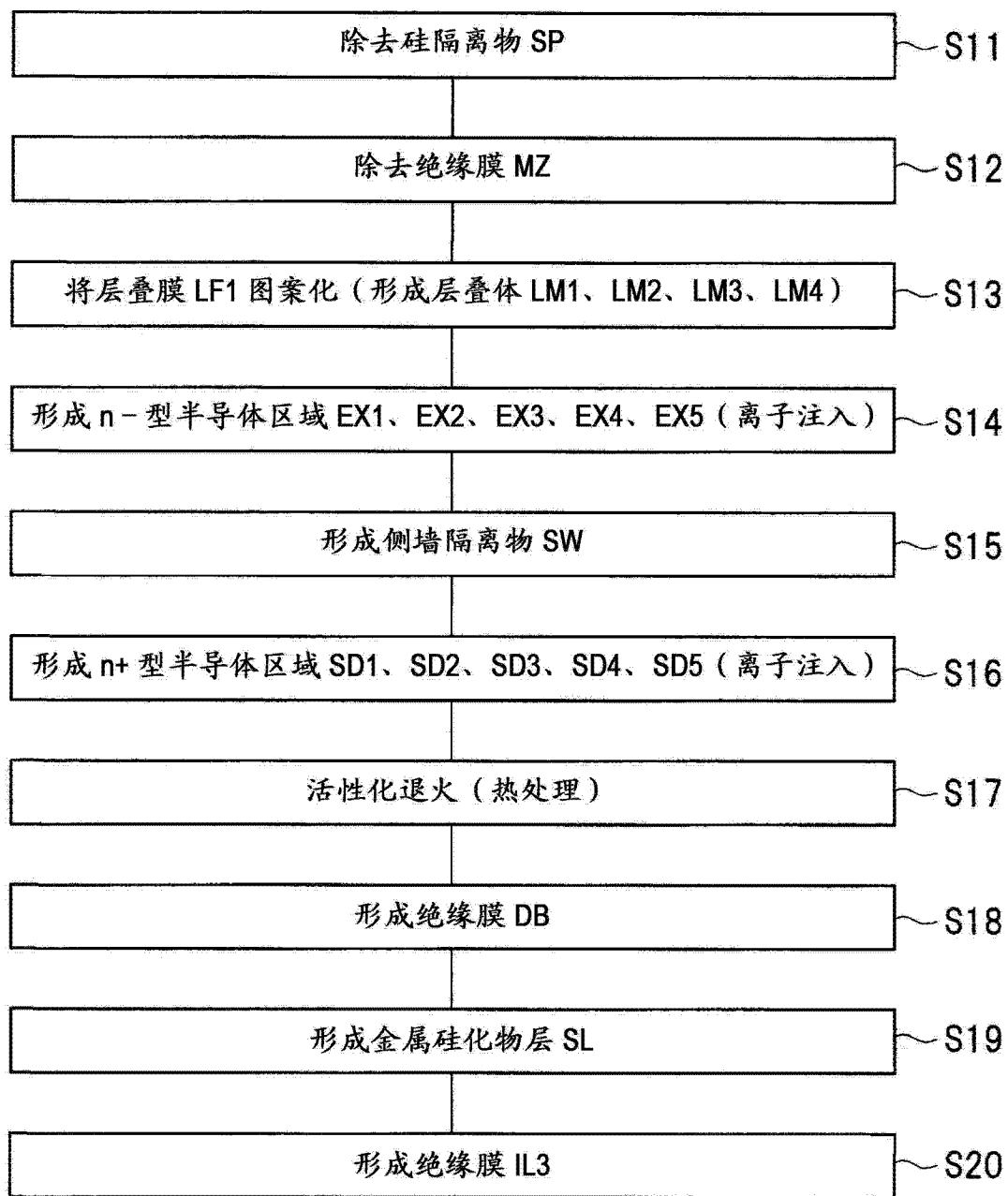


图 2

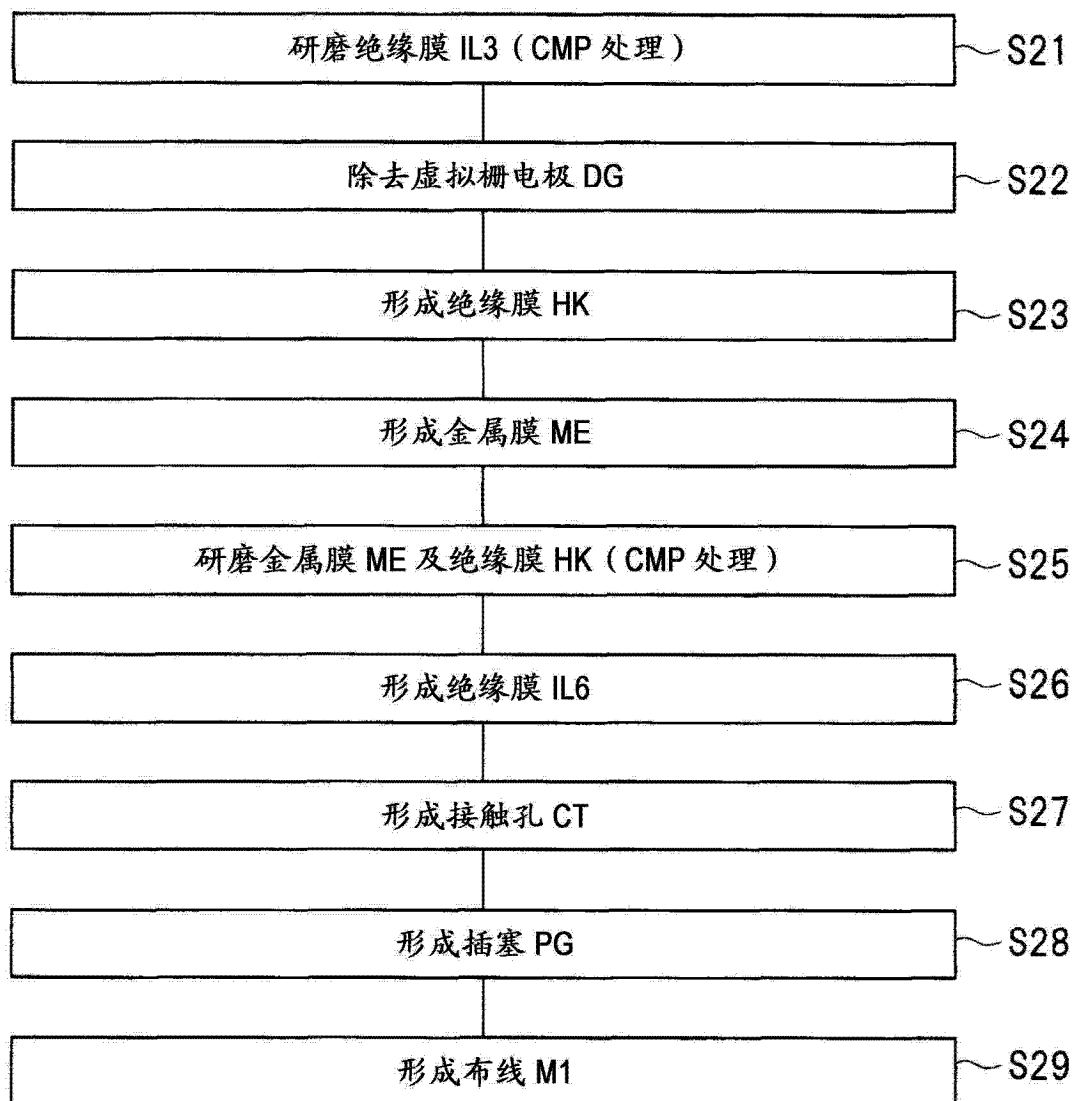


图 3

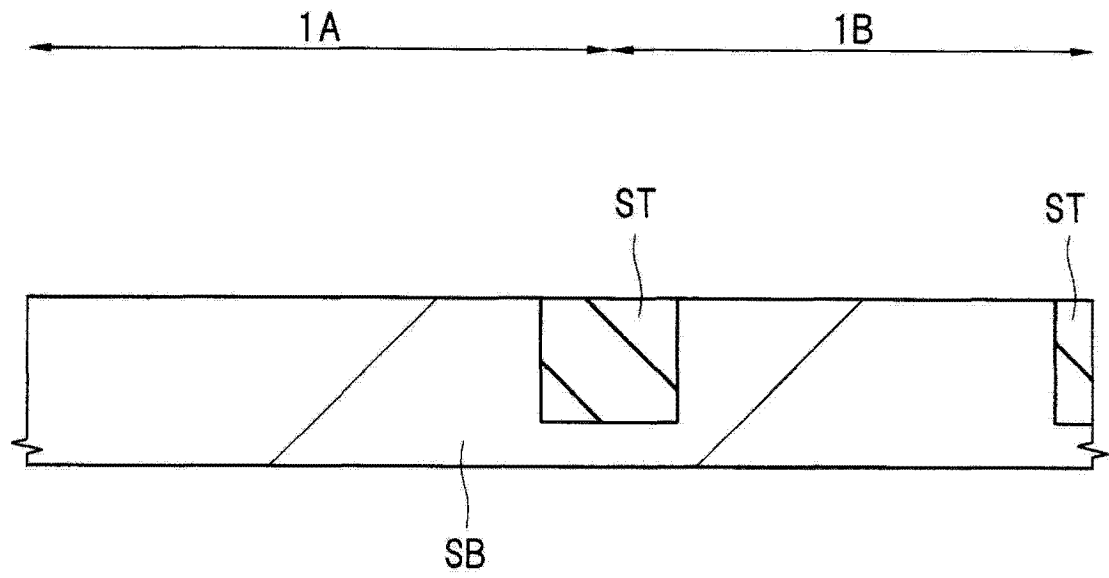


图 4

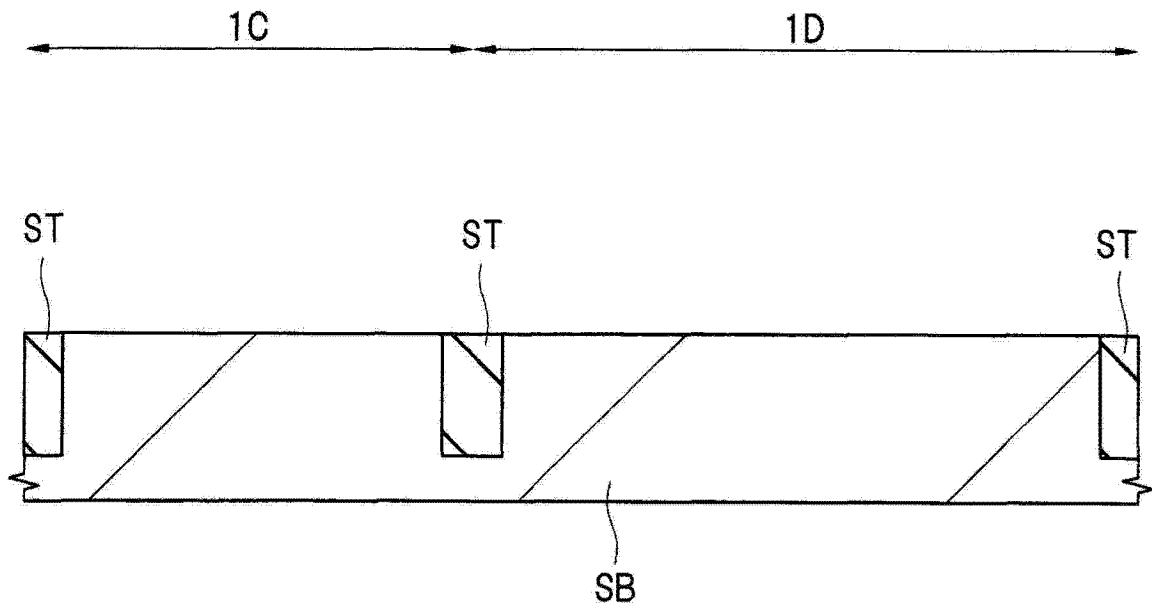


图 5

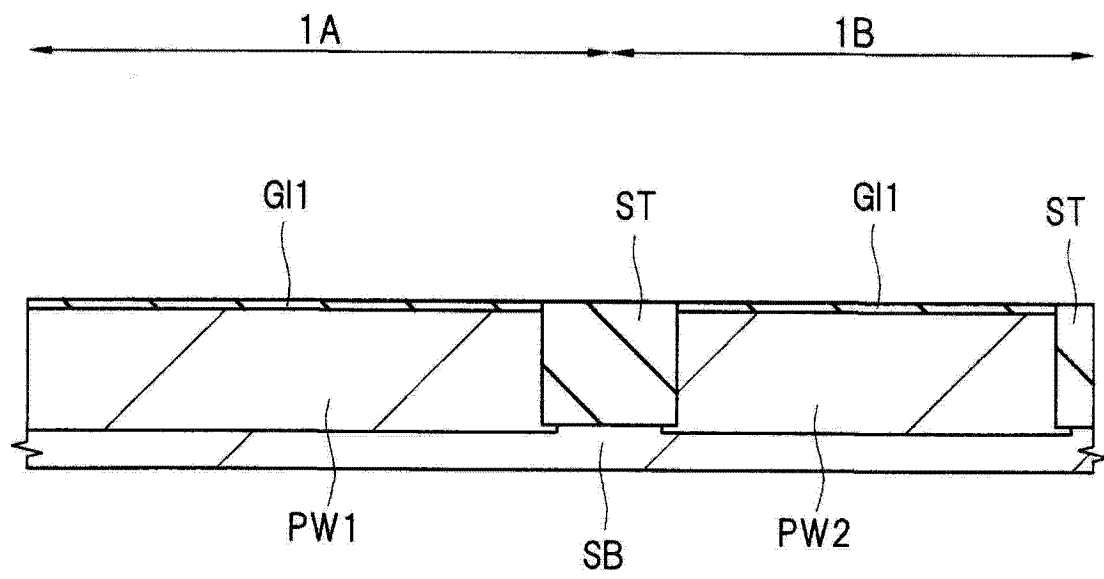


图 6

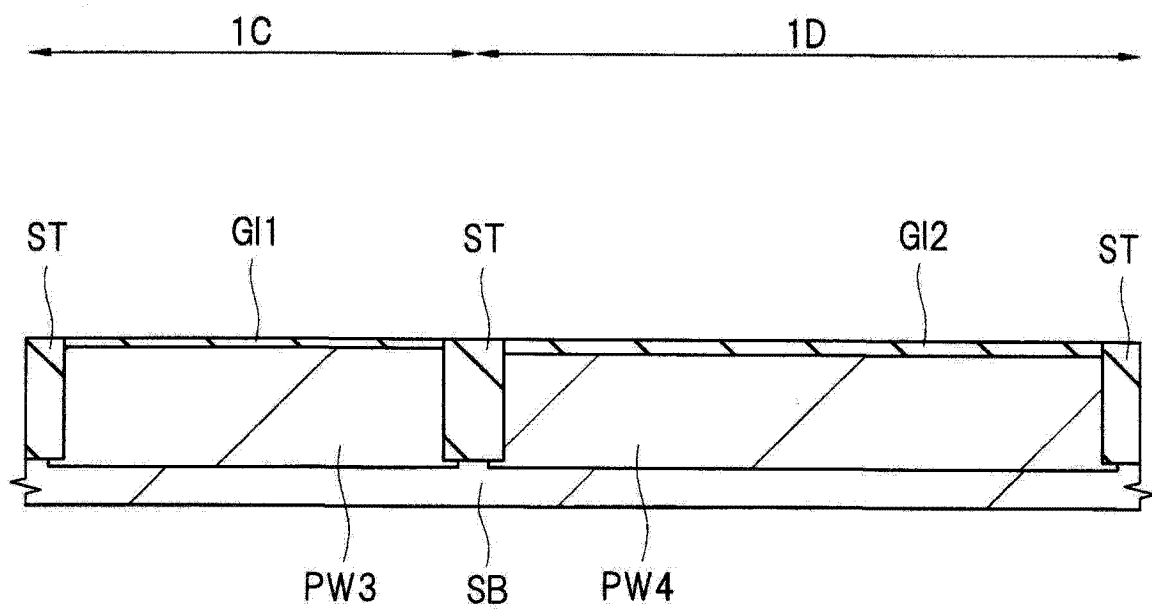


图 7

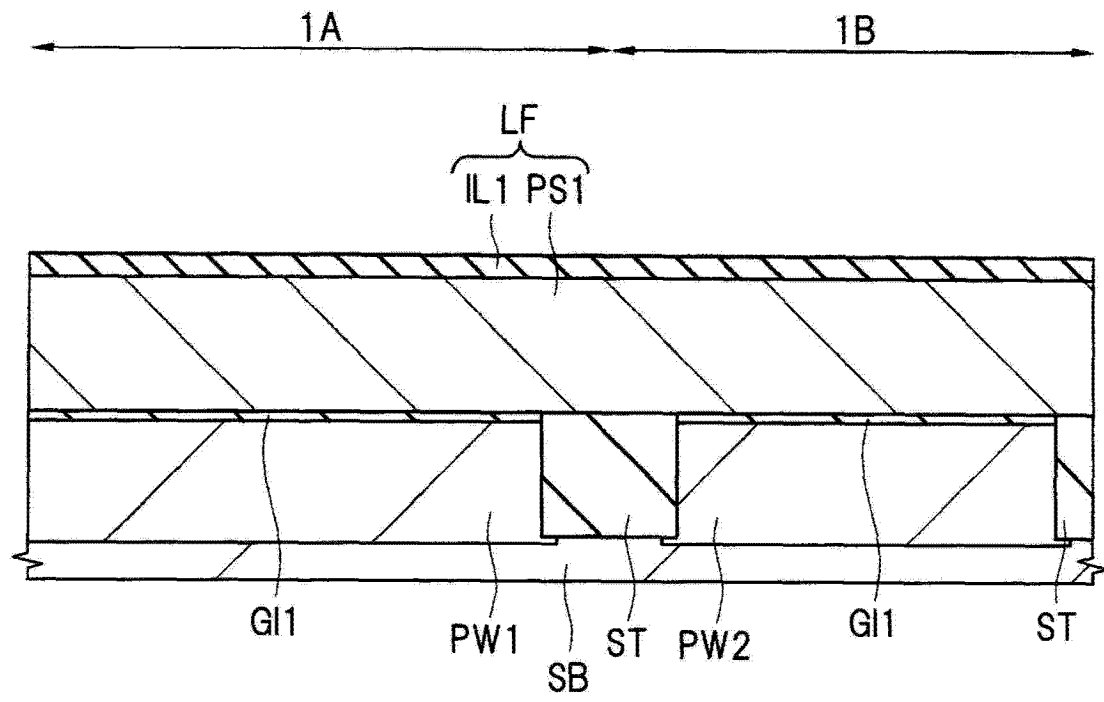


图 8

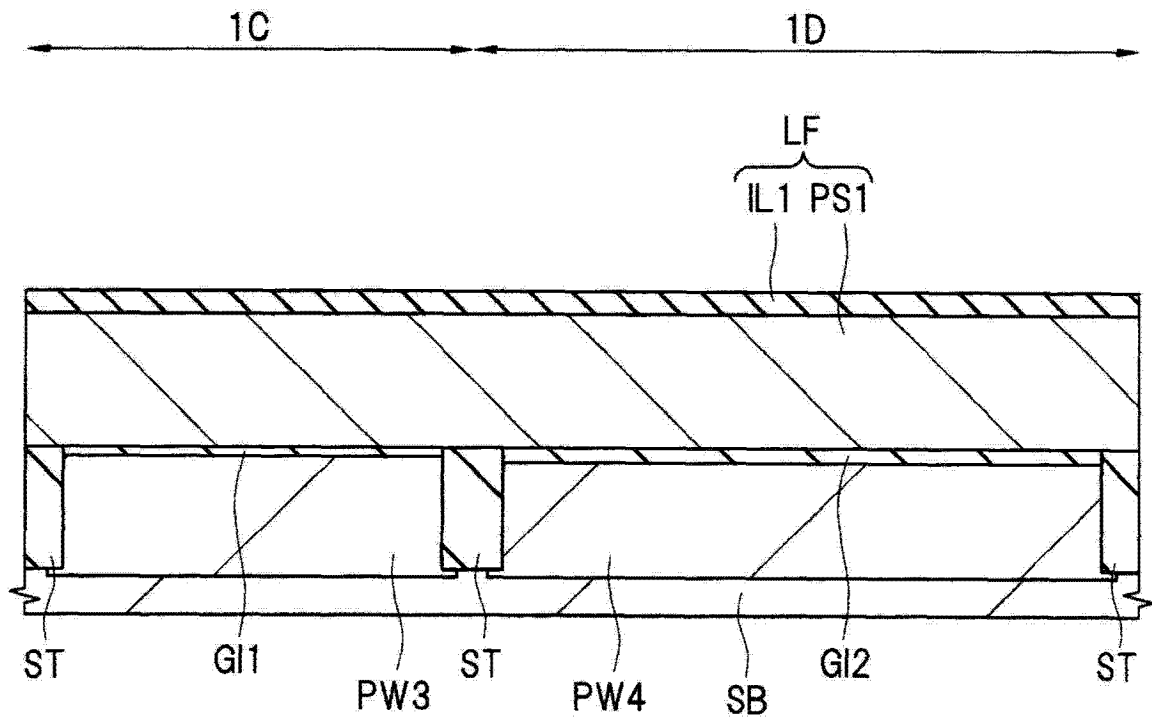


图 9

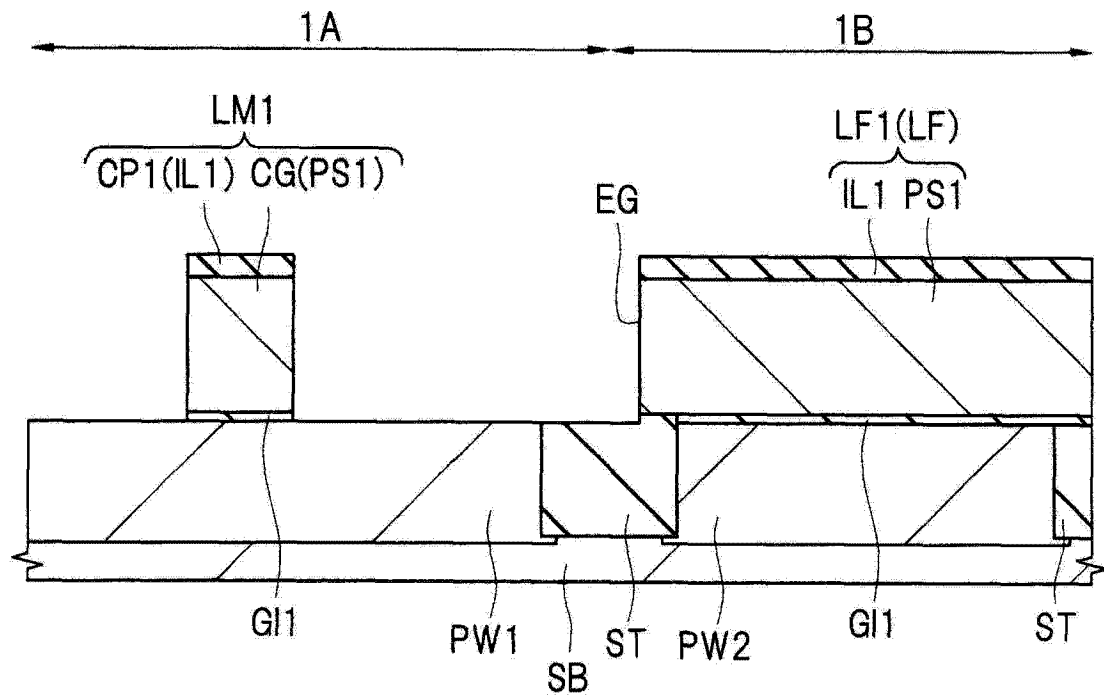


图 10

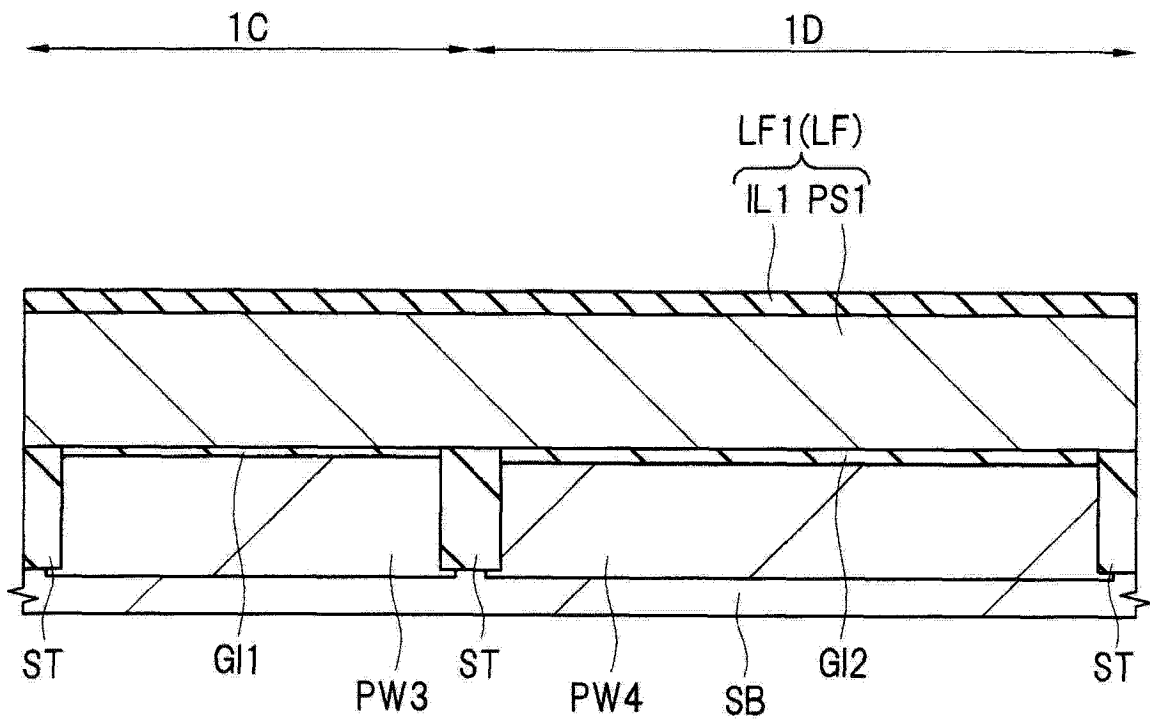


图 11

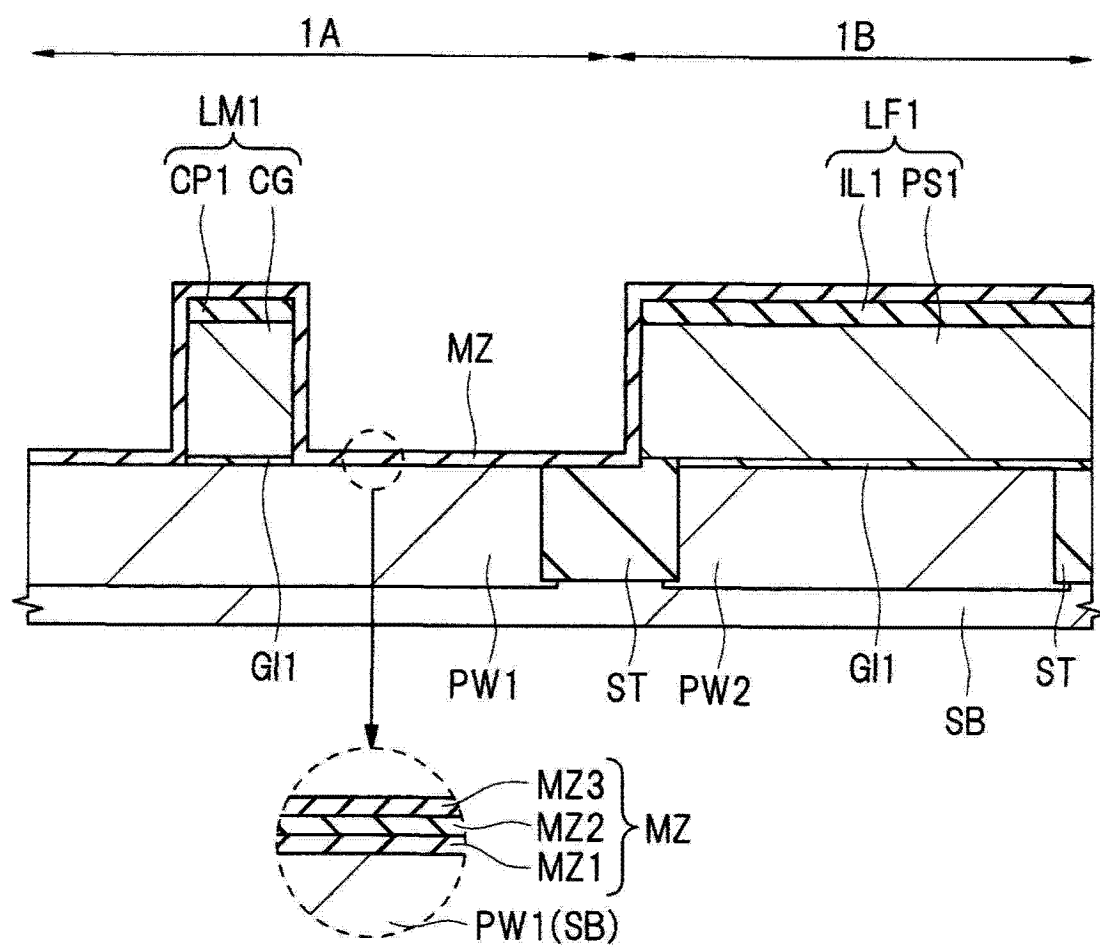


图 12

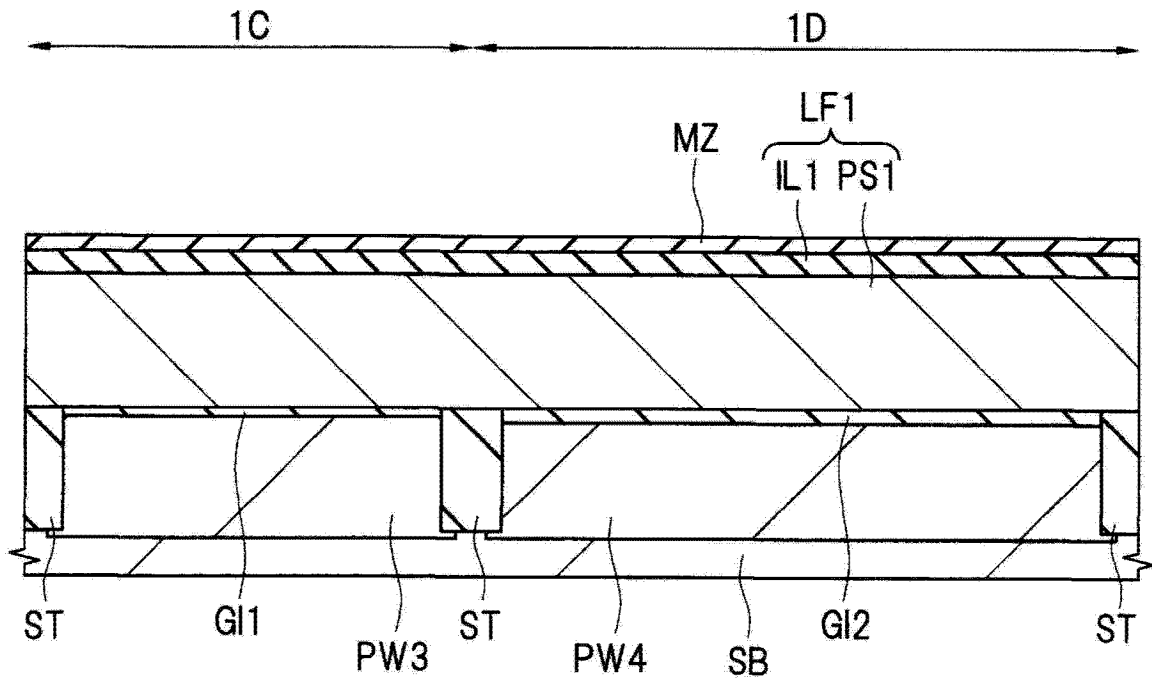


图 13

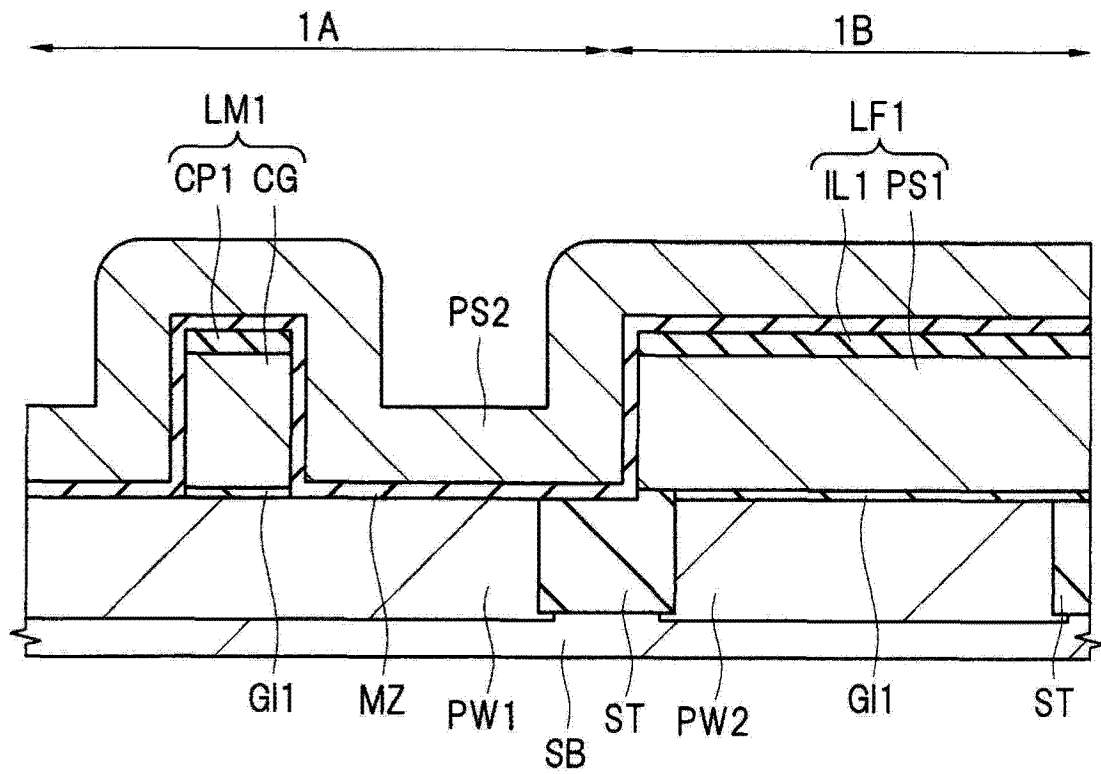


图 14

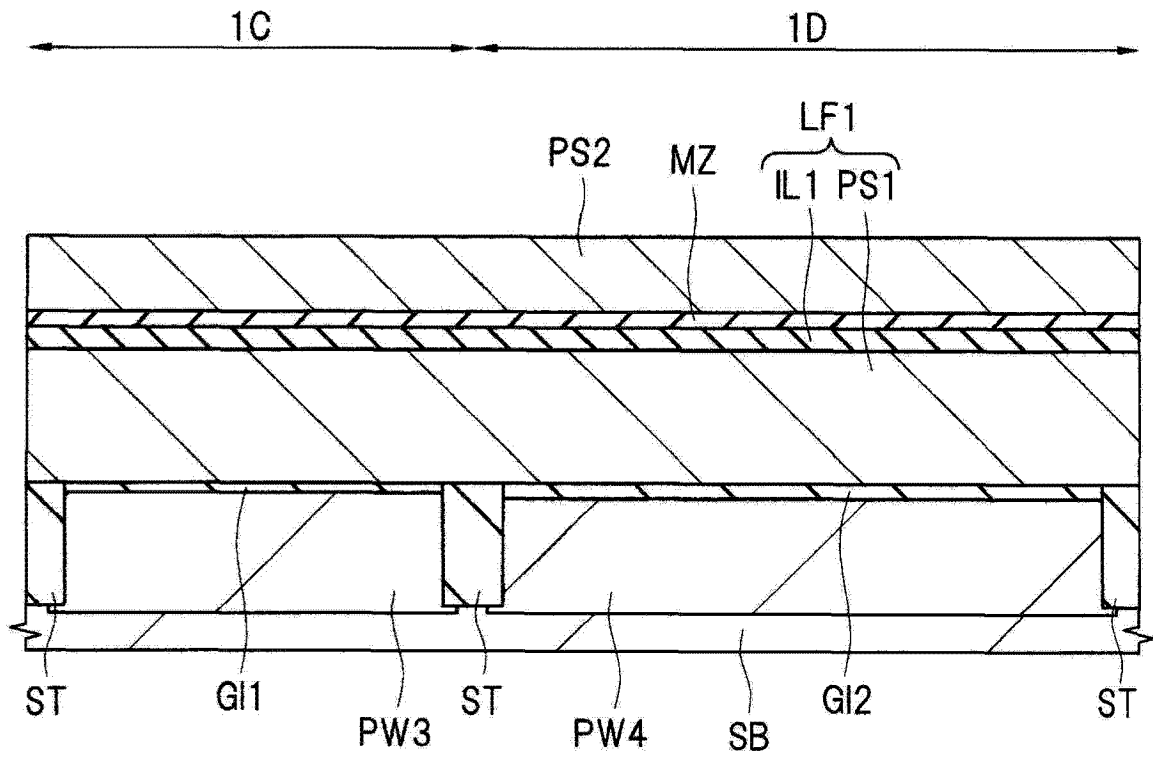


图 15

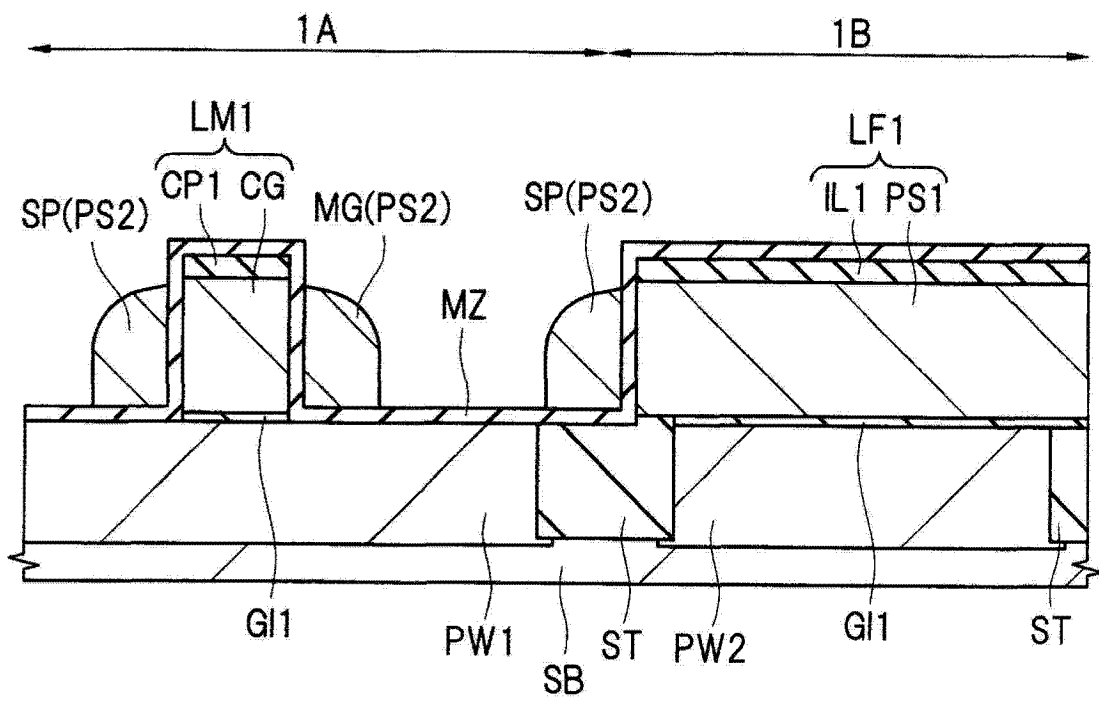


图 16

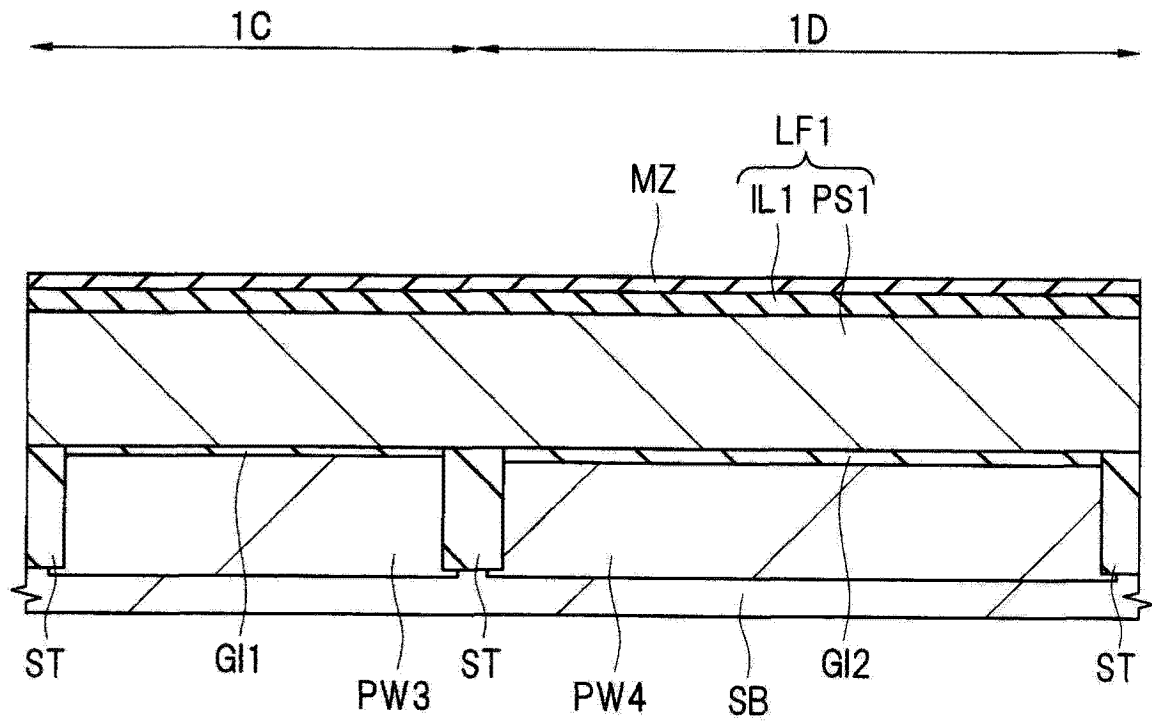


图 17

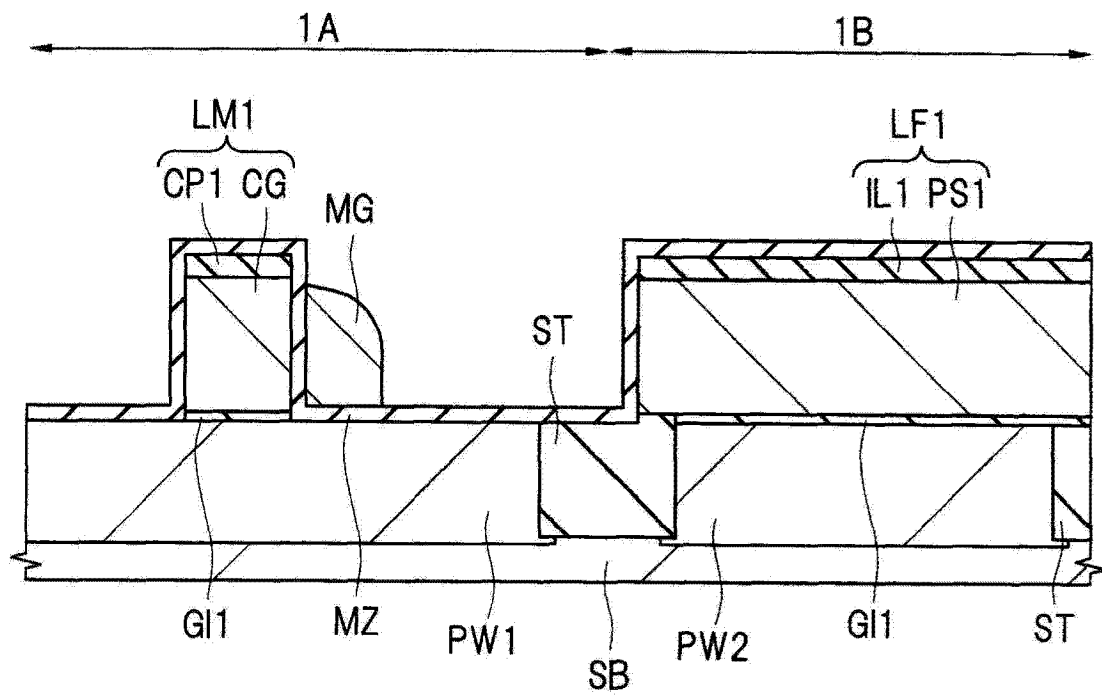


图 18

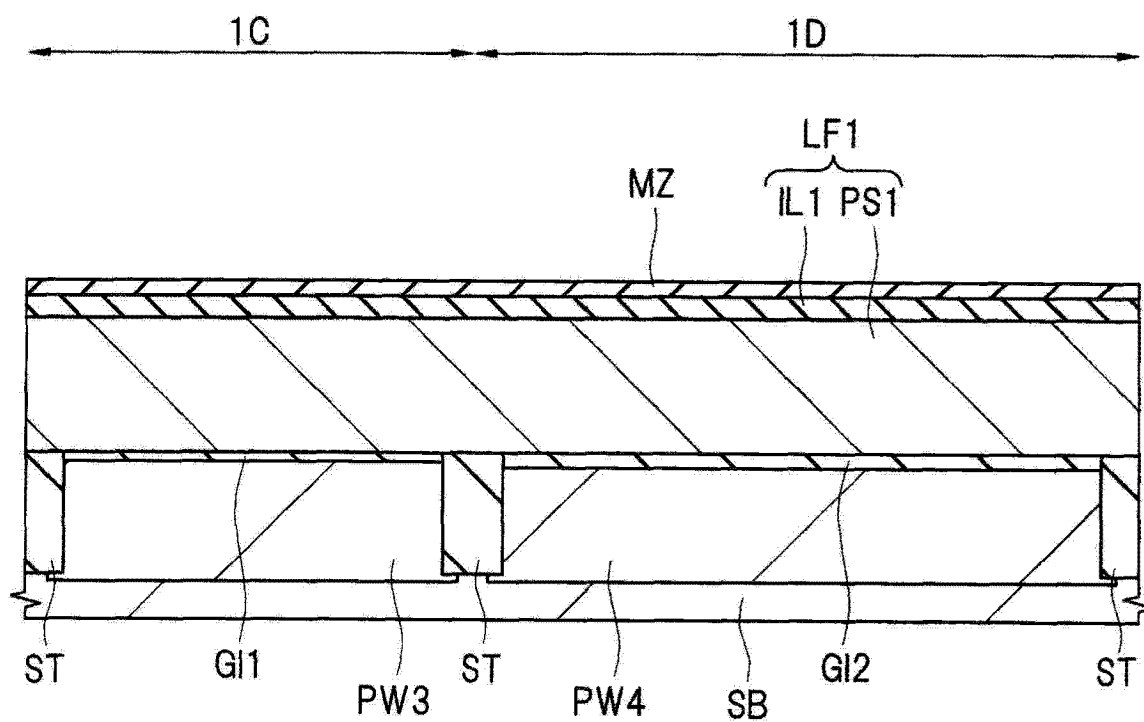


图 19

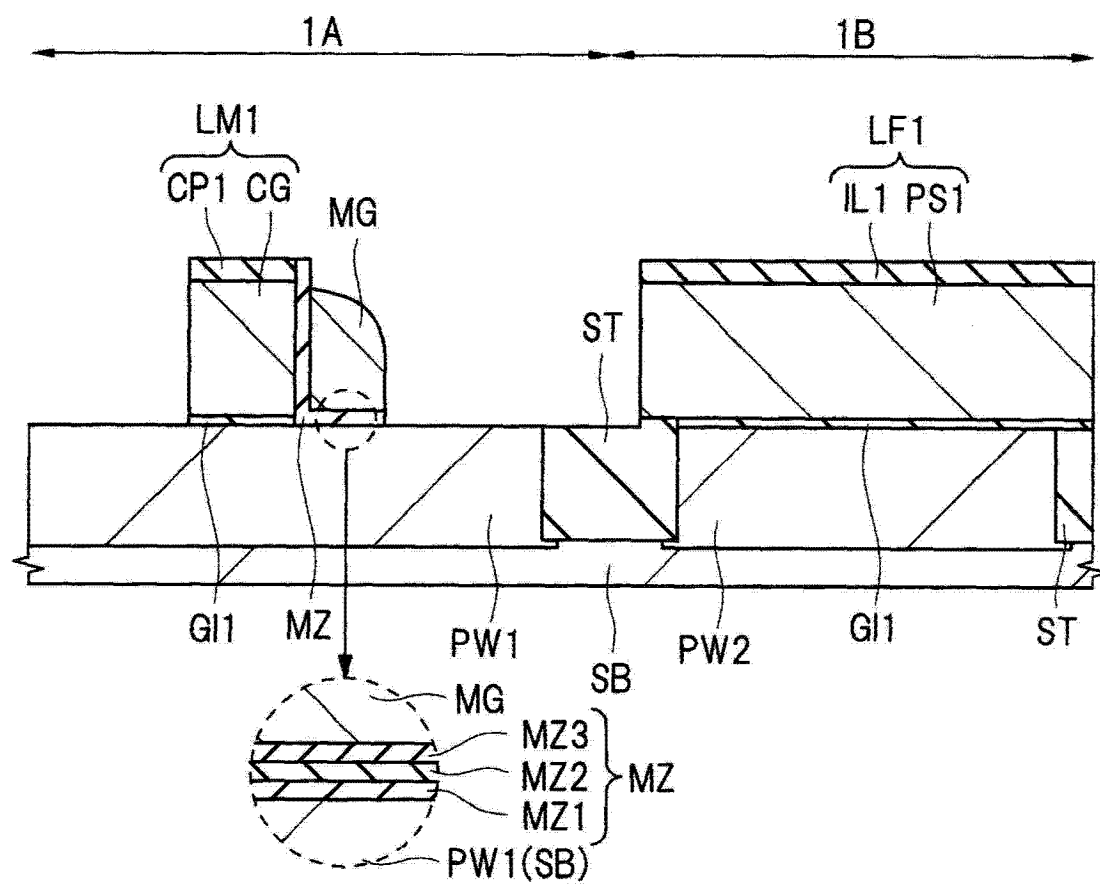


图 20

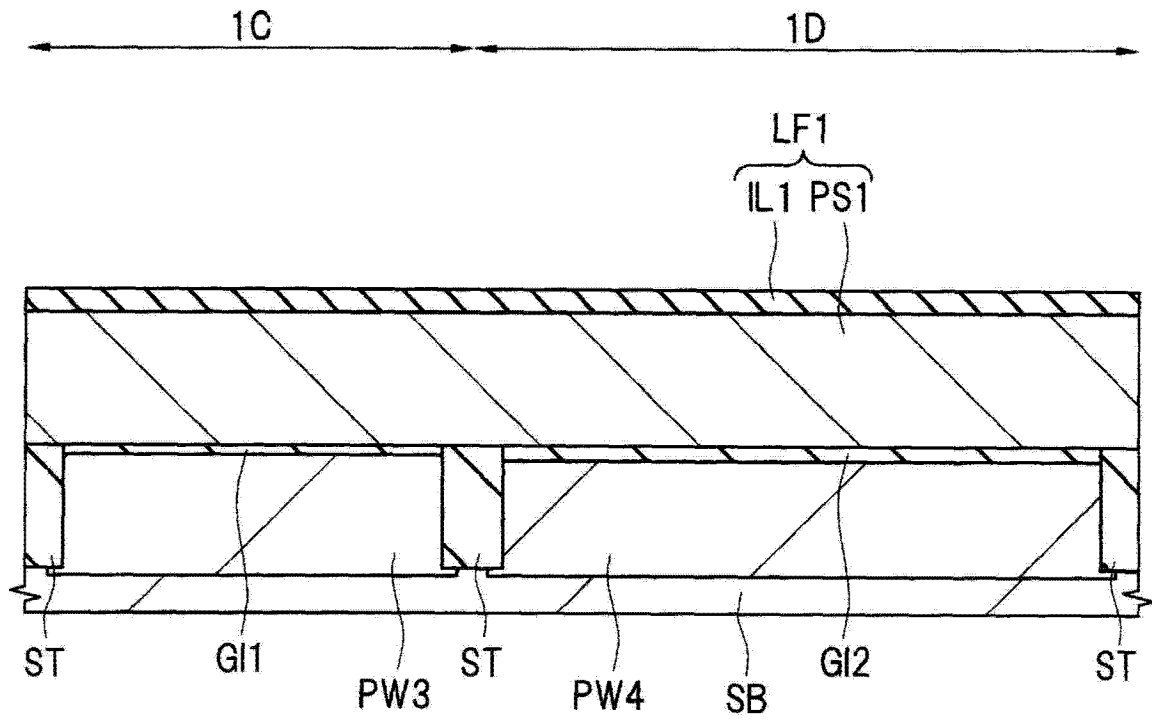


图 21

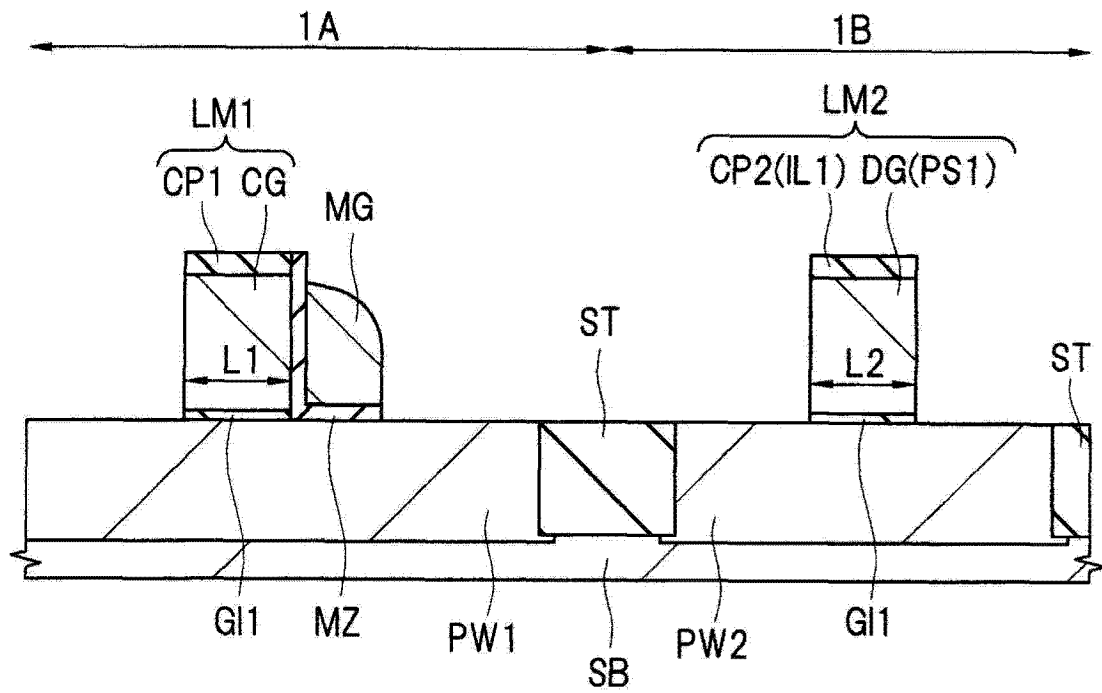


图 22

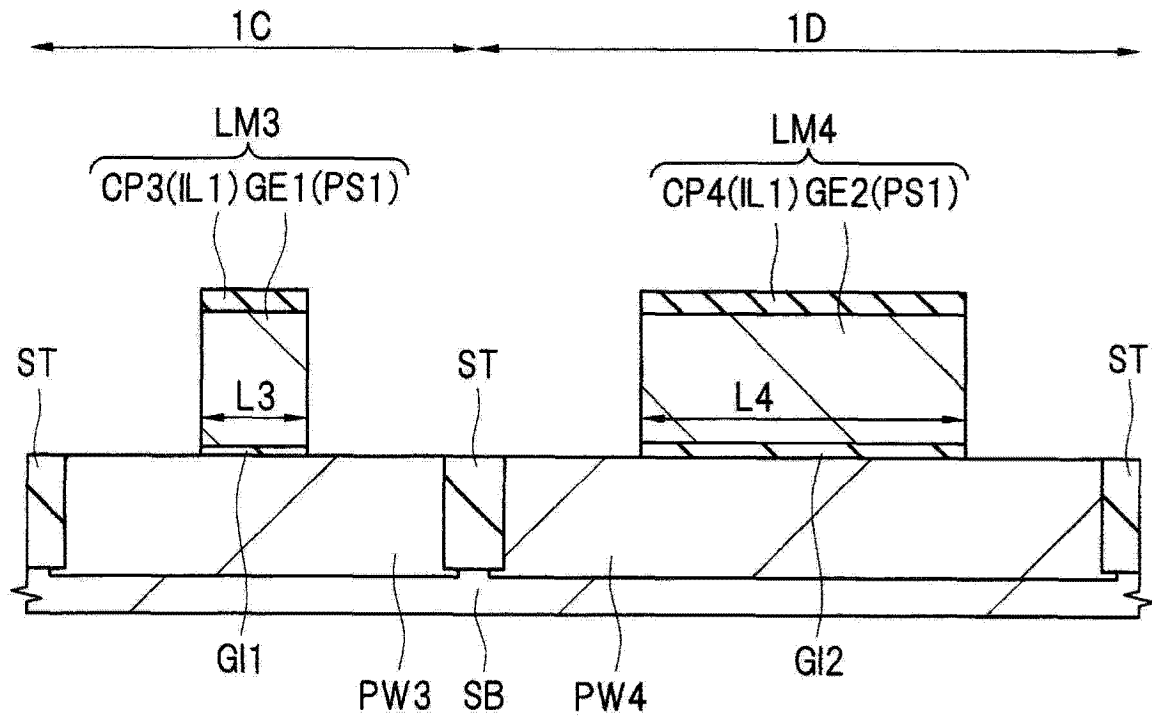


图 23

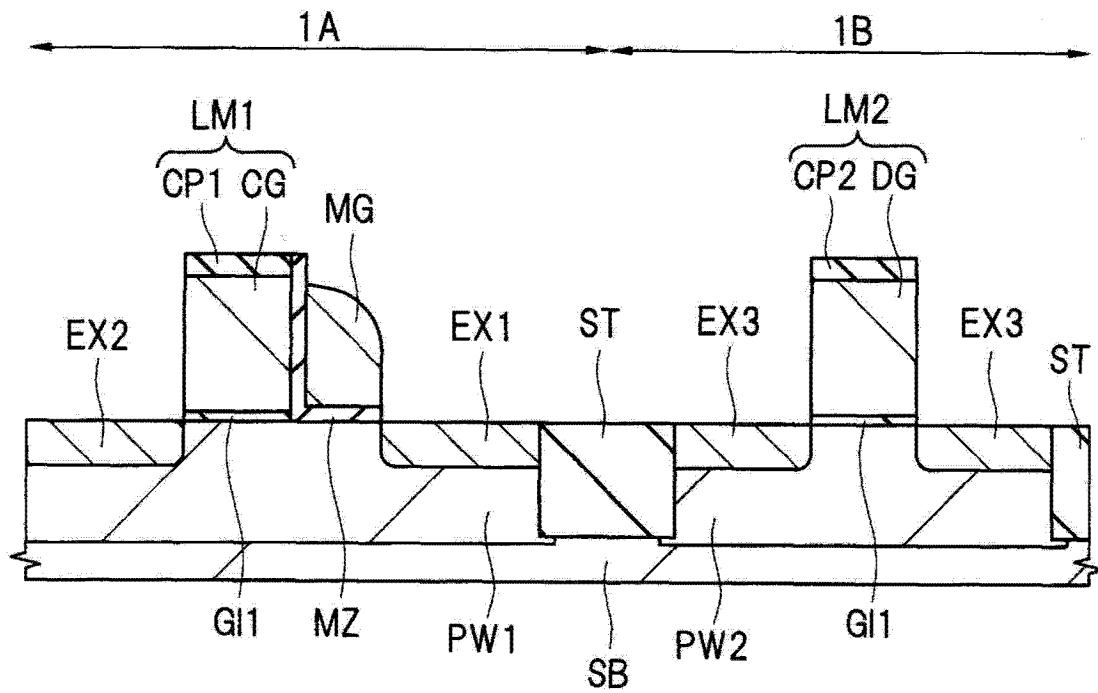


图 24

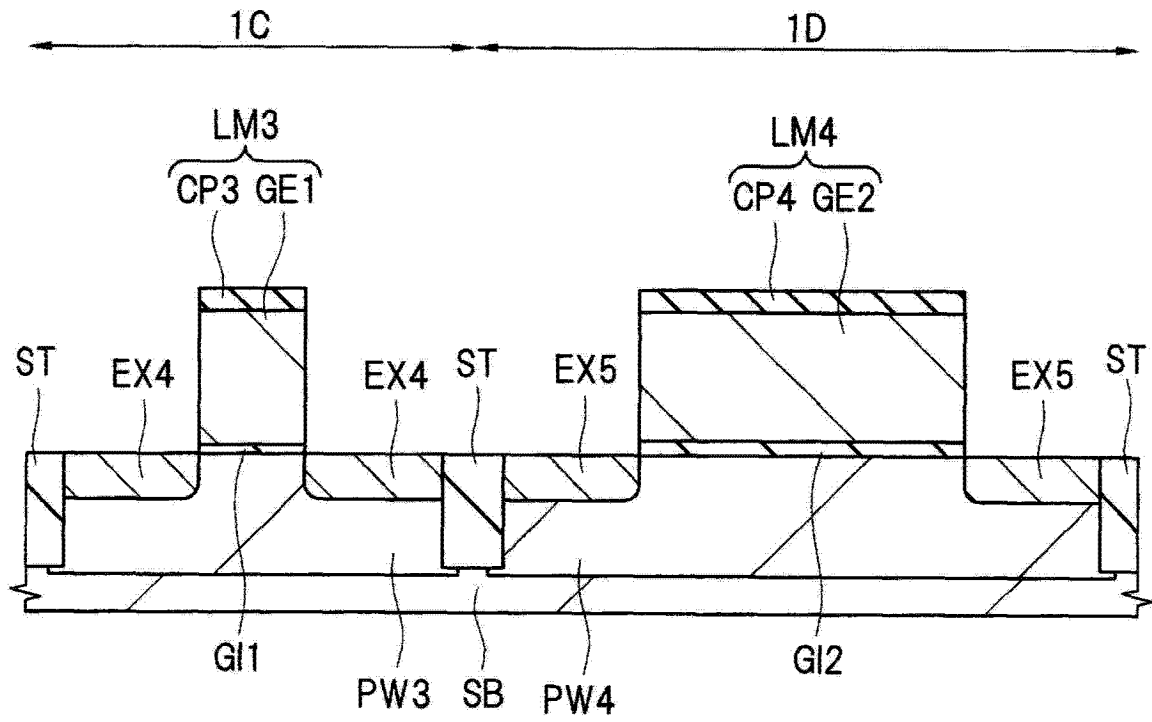


图 25

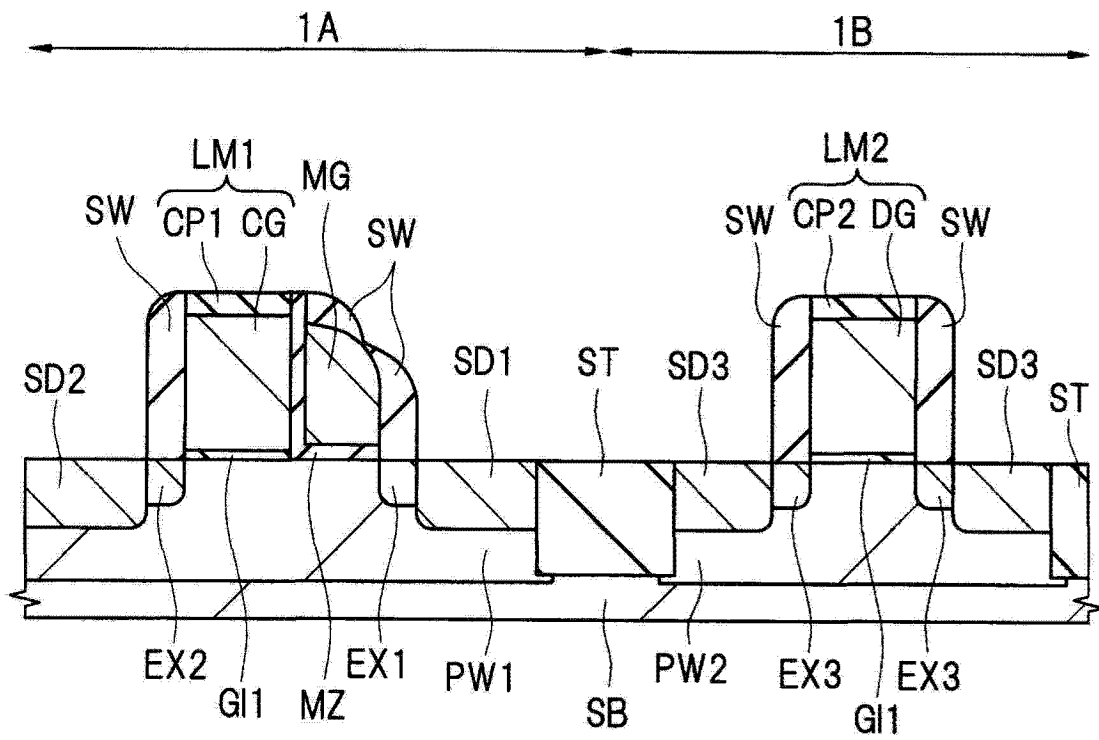


图 26

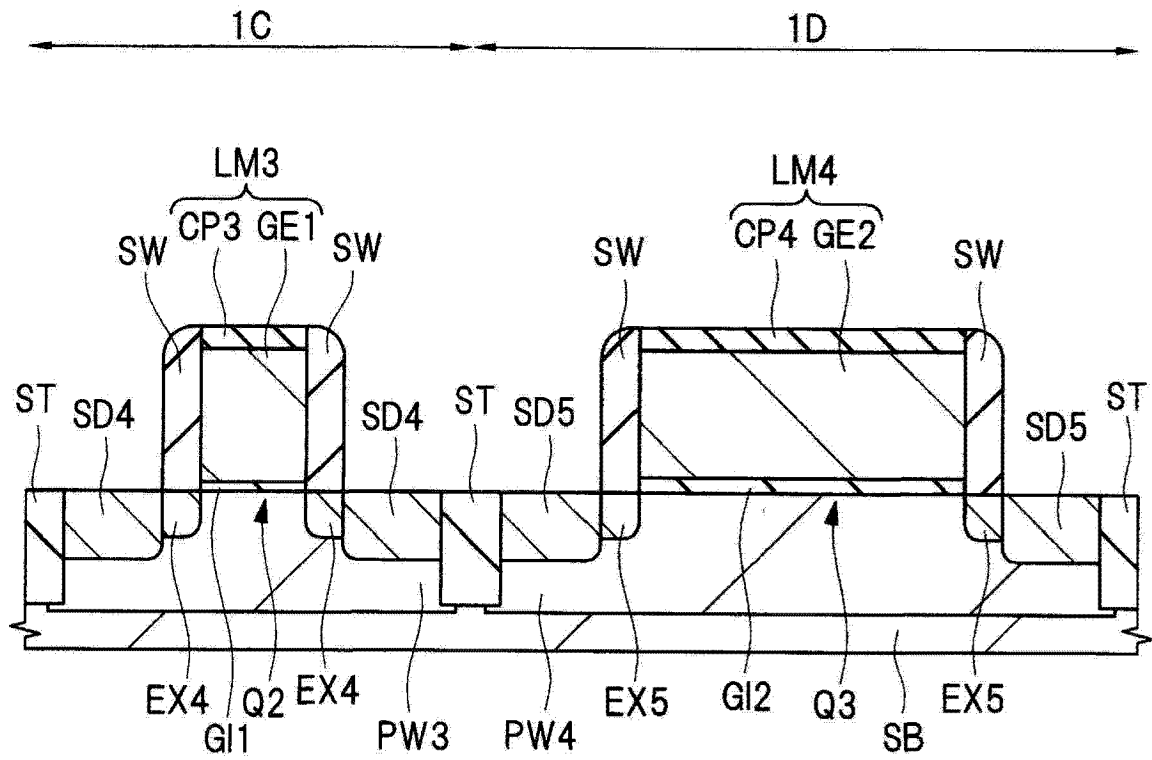


图 27

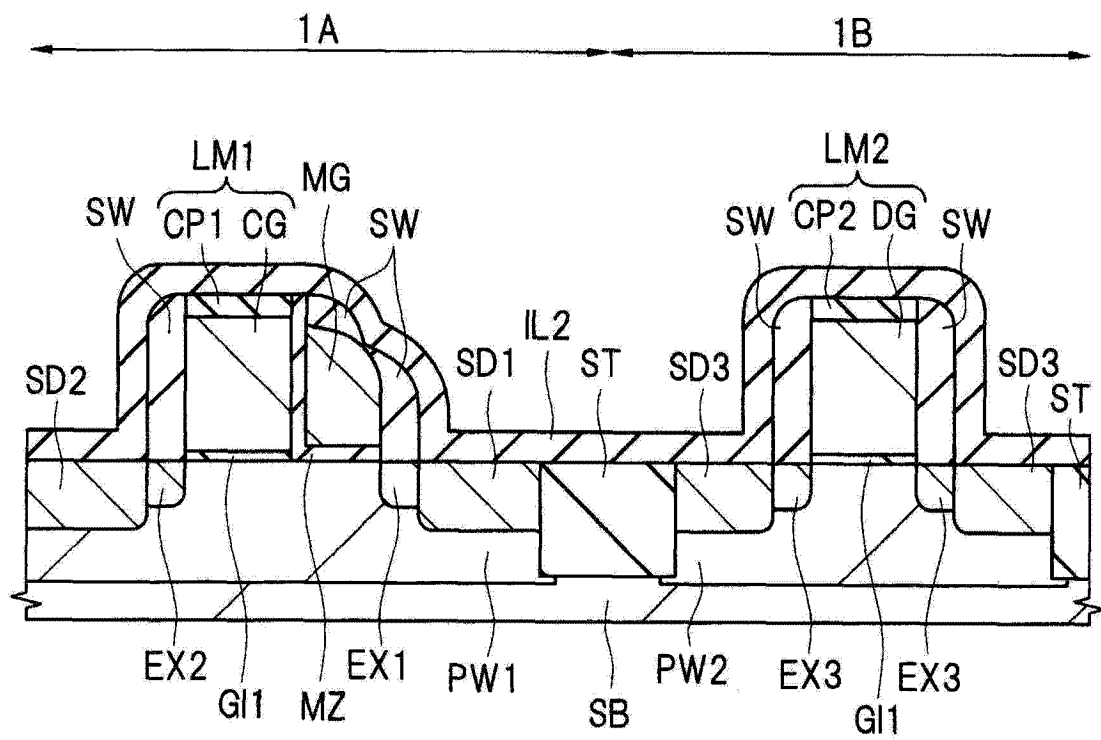


图 28

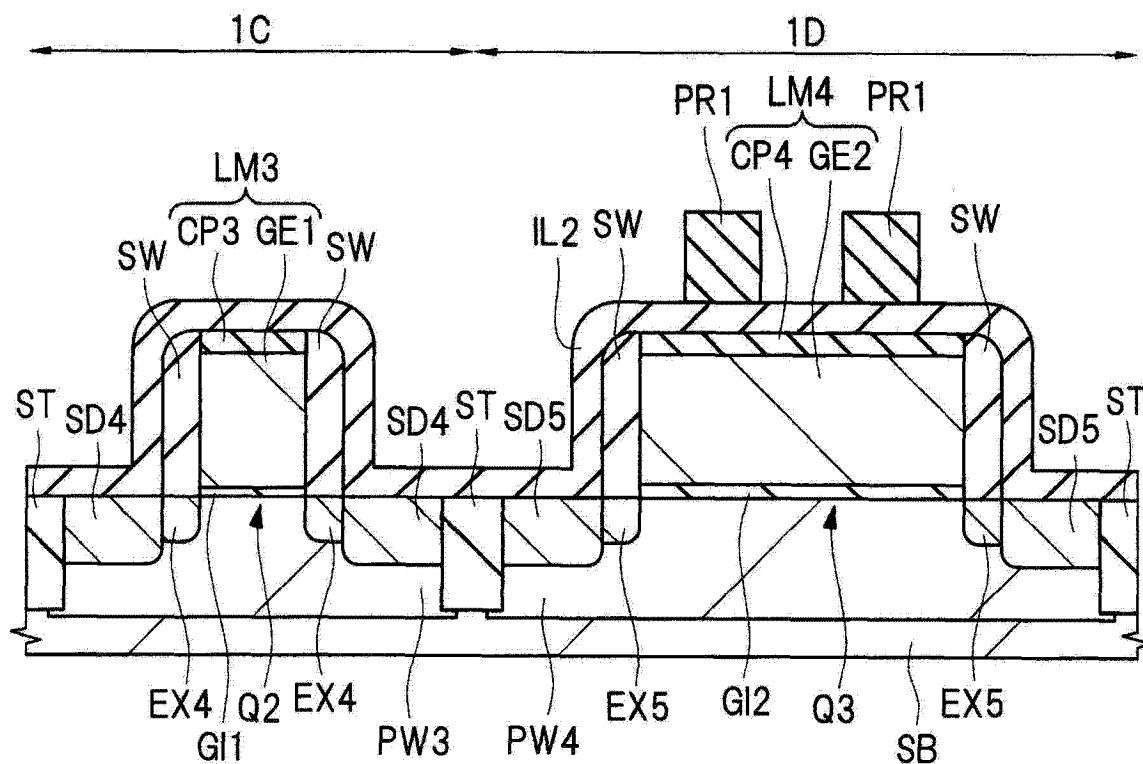


图 29

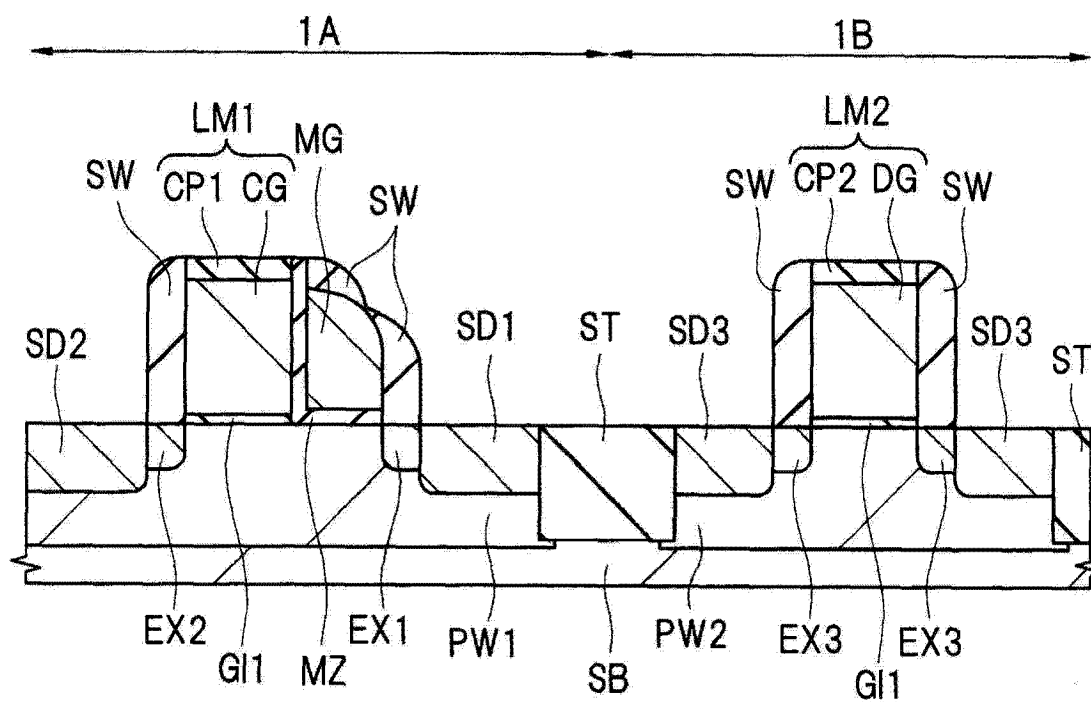


图 30

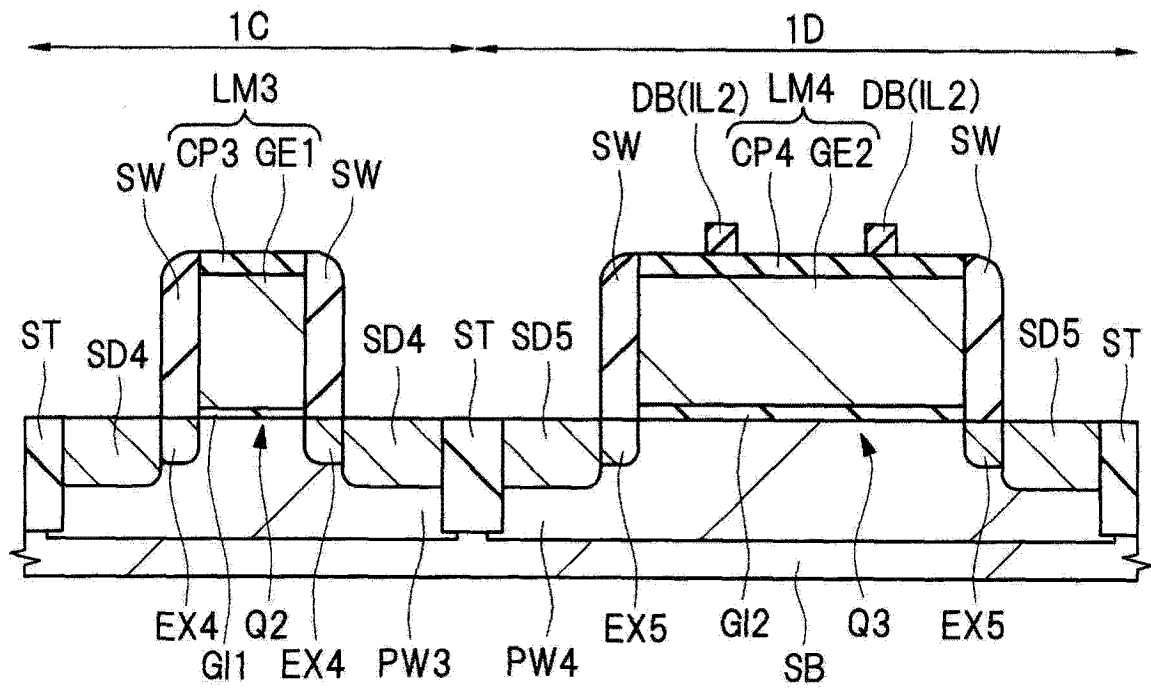


图 31

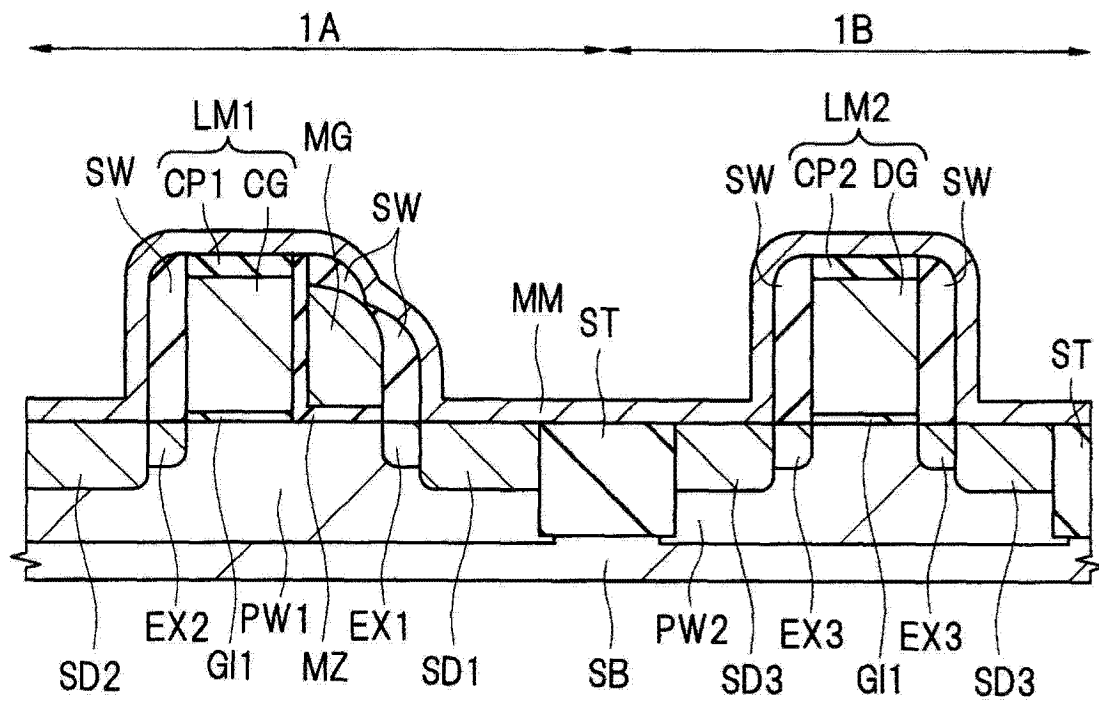


图 32

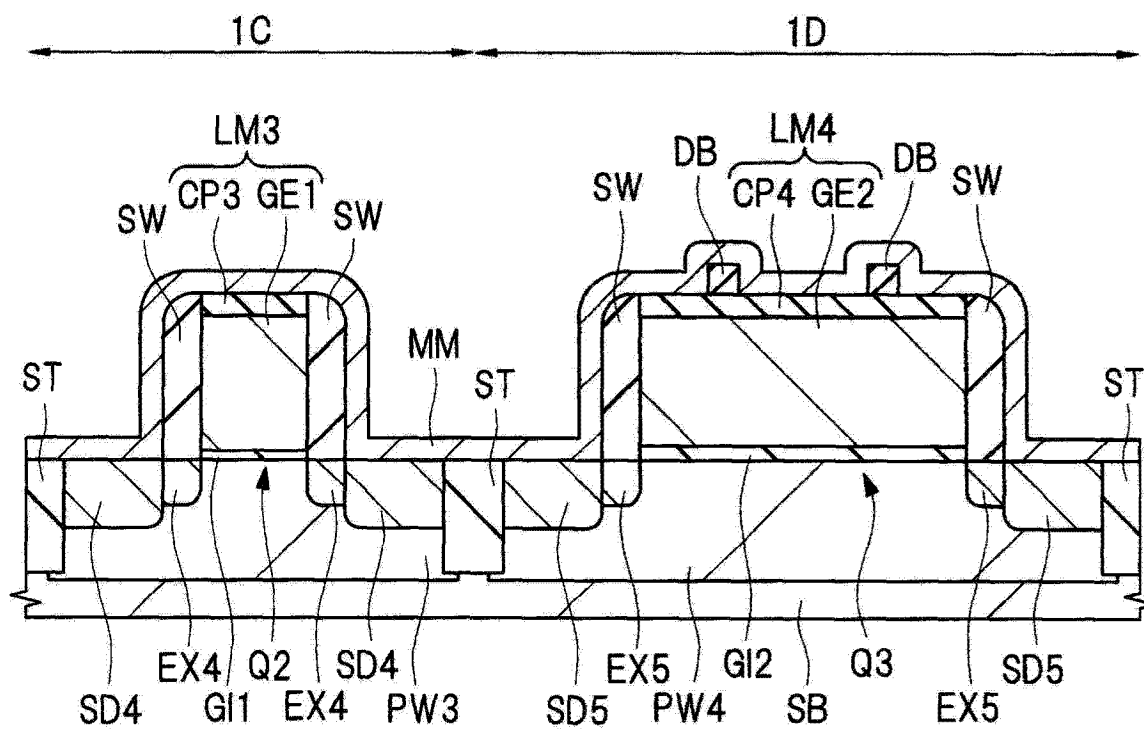


图 33

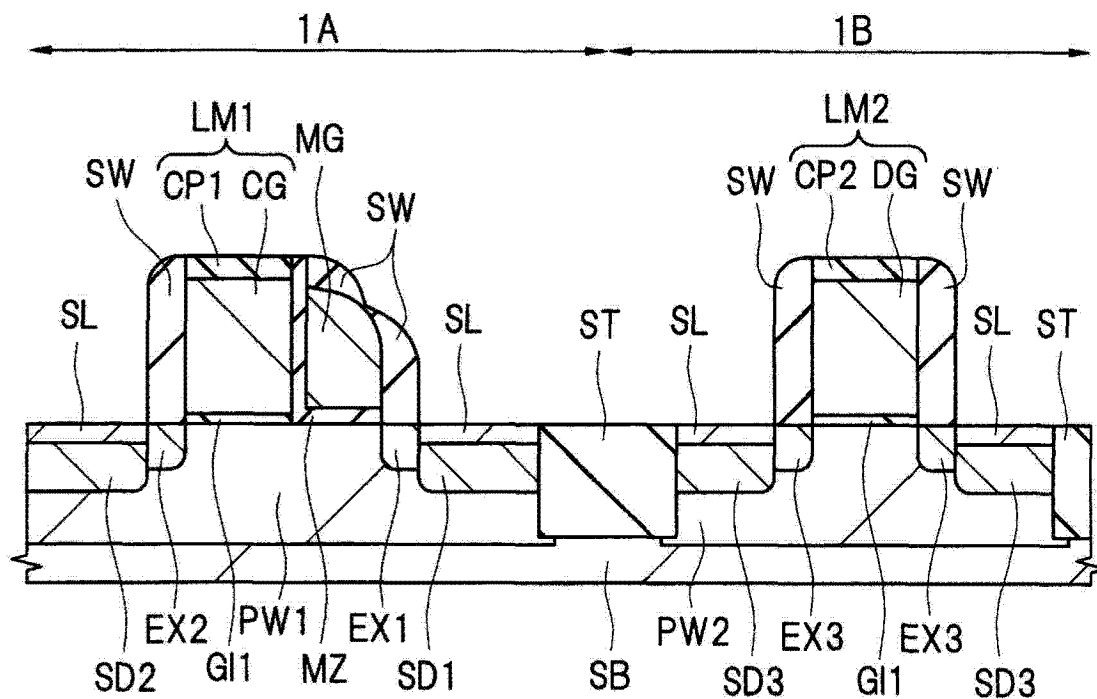


图 34

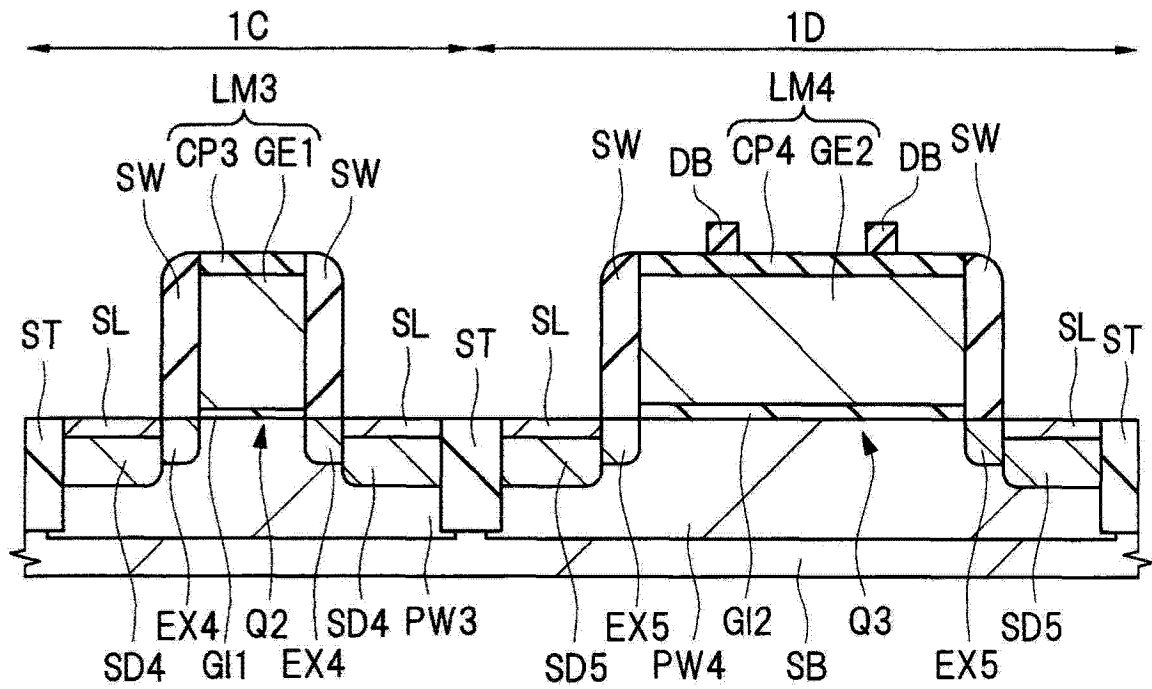


图 35

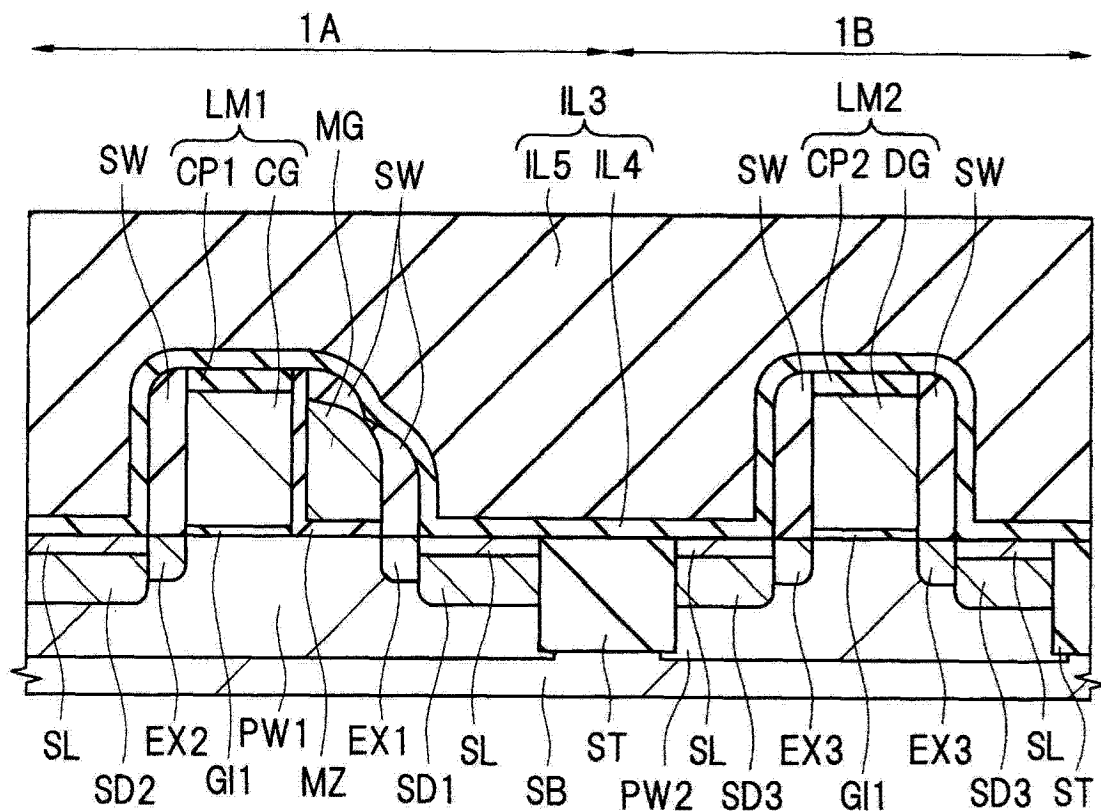


图 36

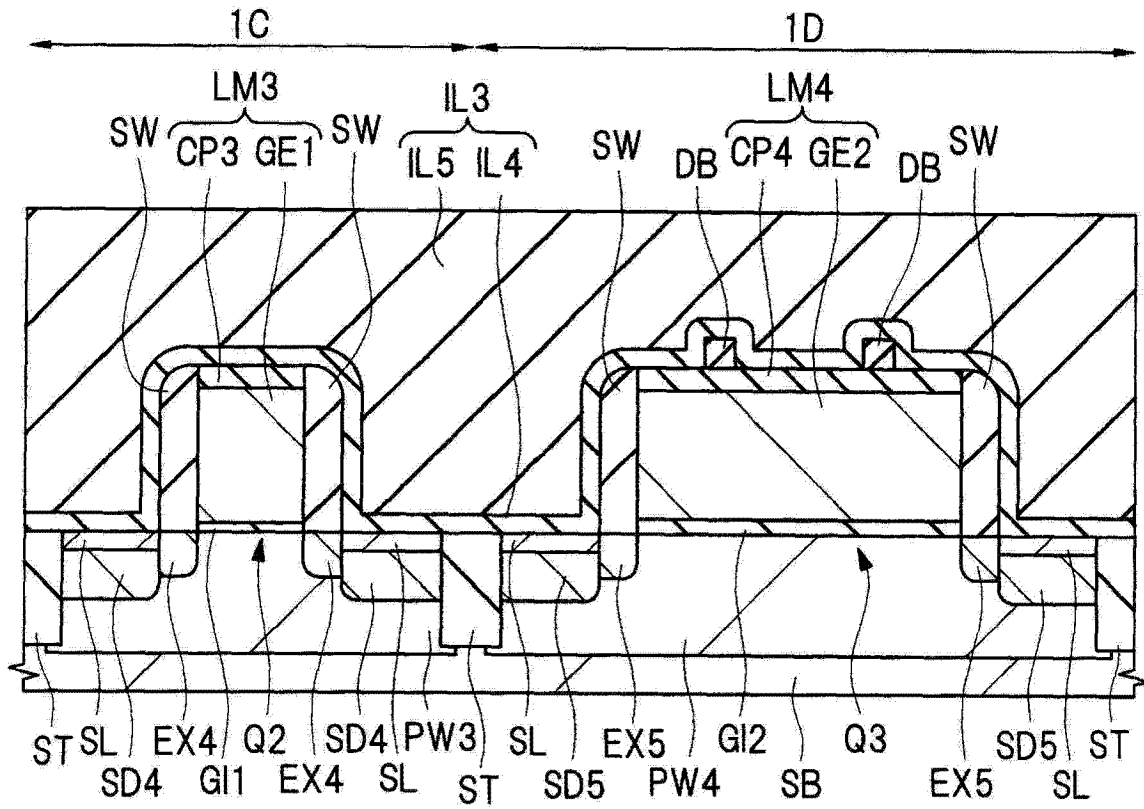


图 37

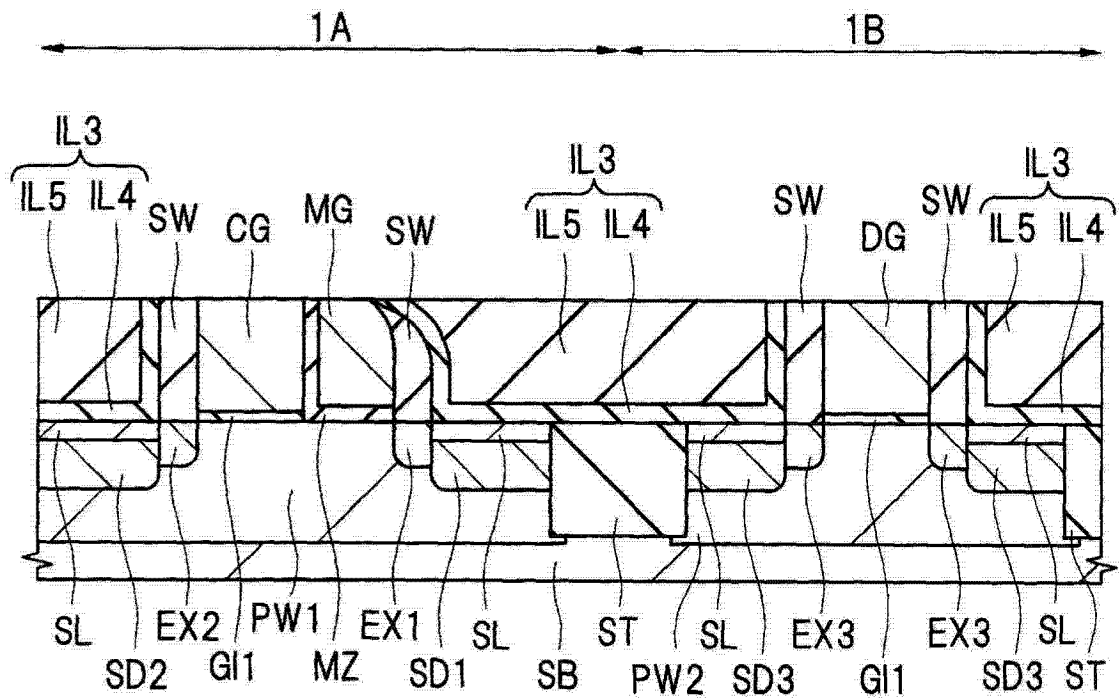


图 38

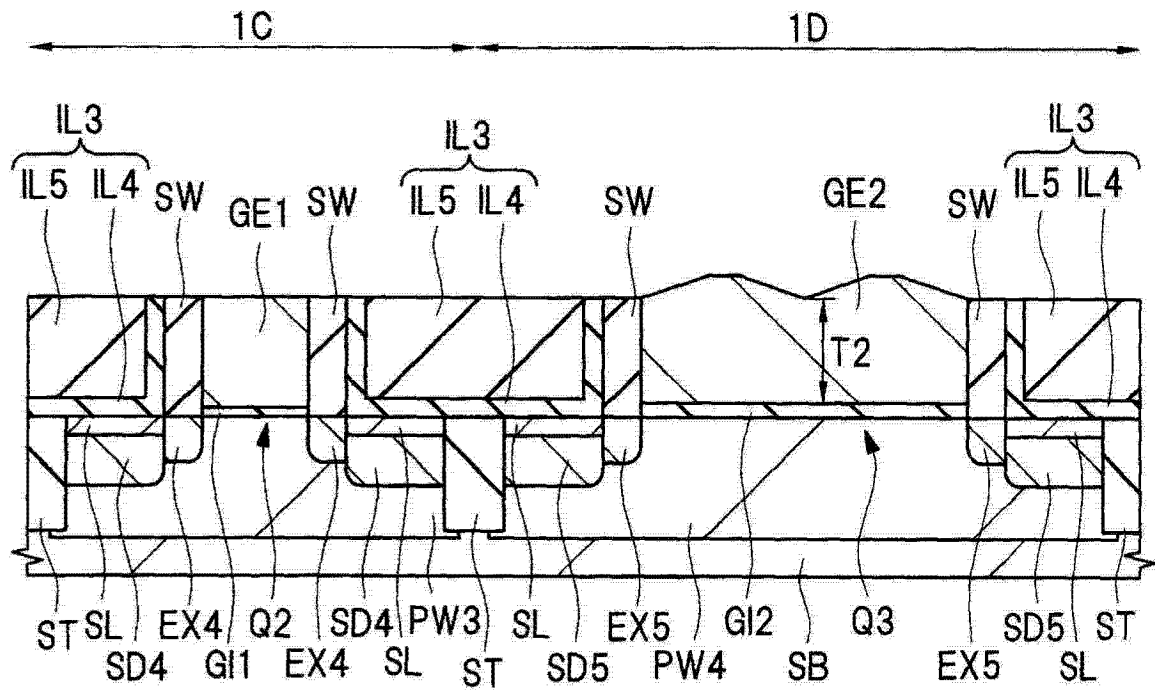


图 39

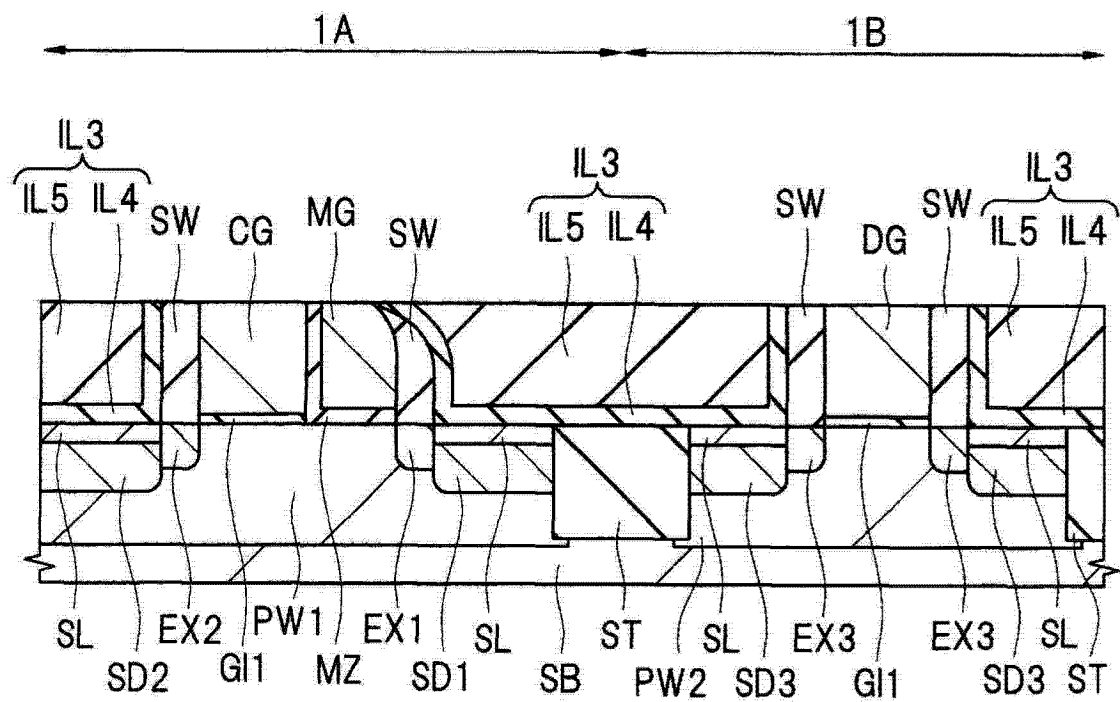


图 40

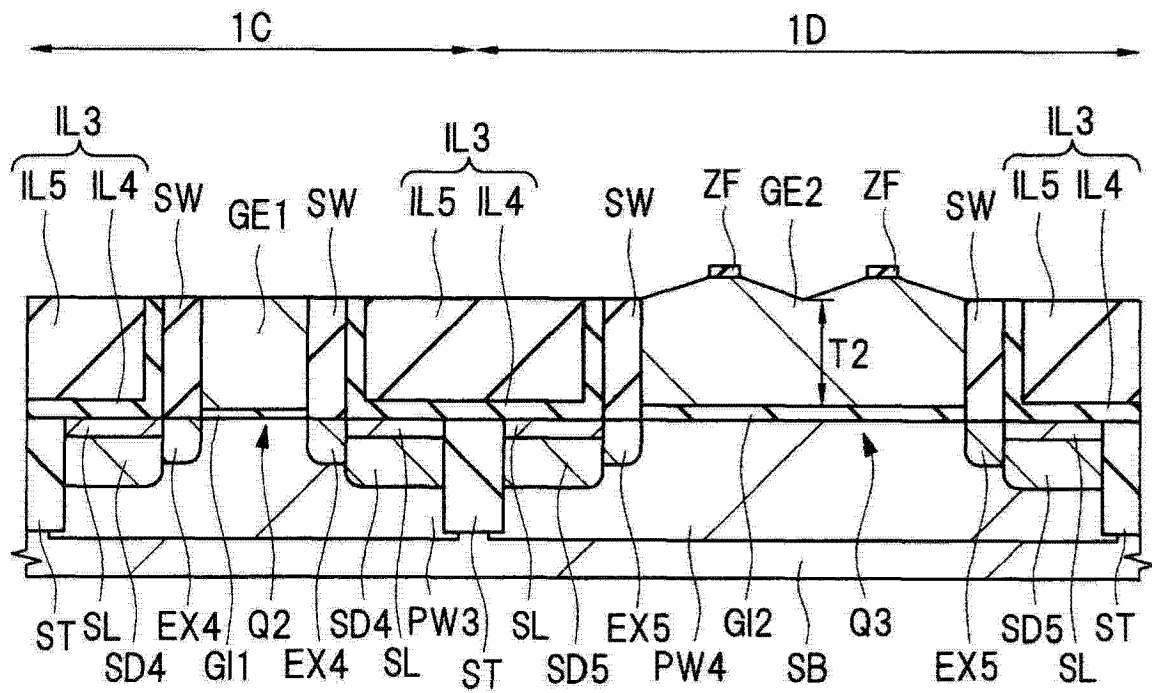


图 41

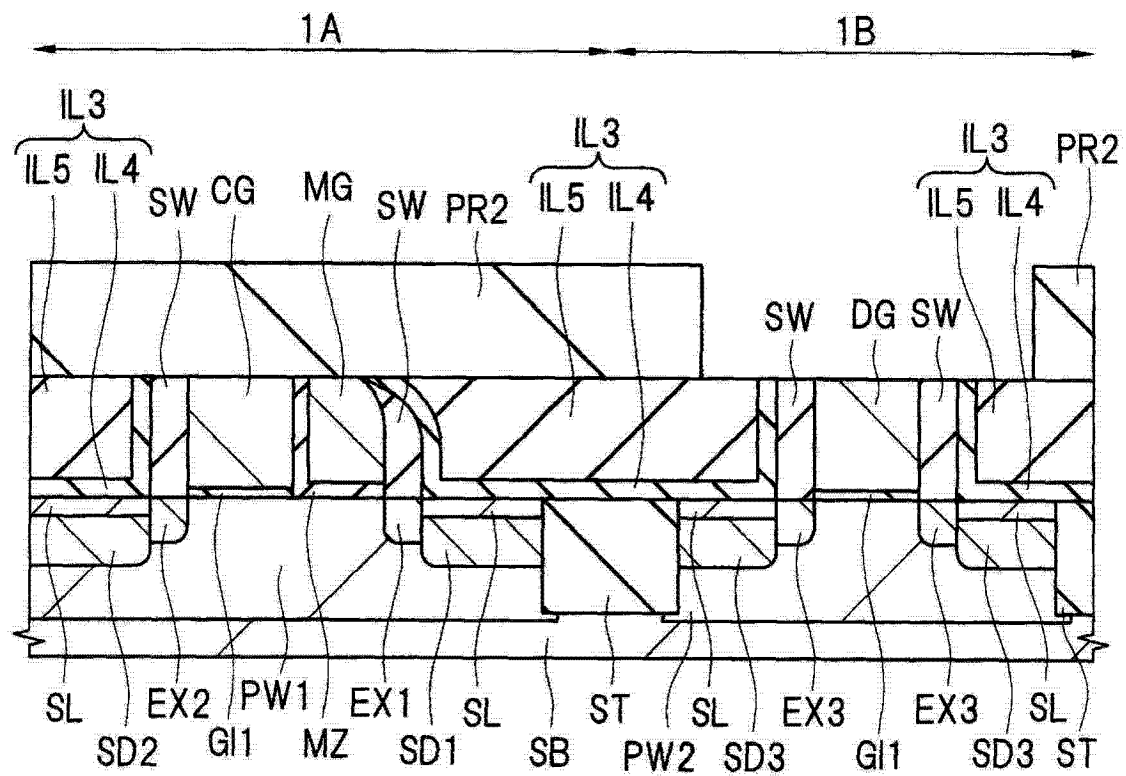


图 42

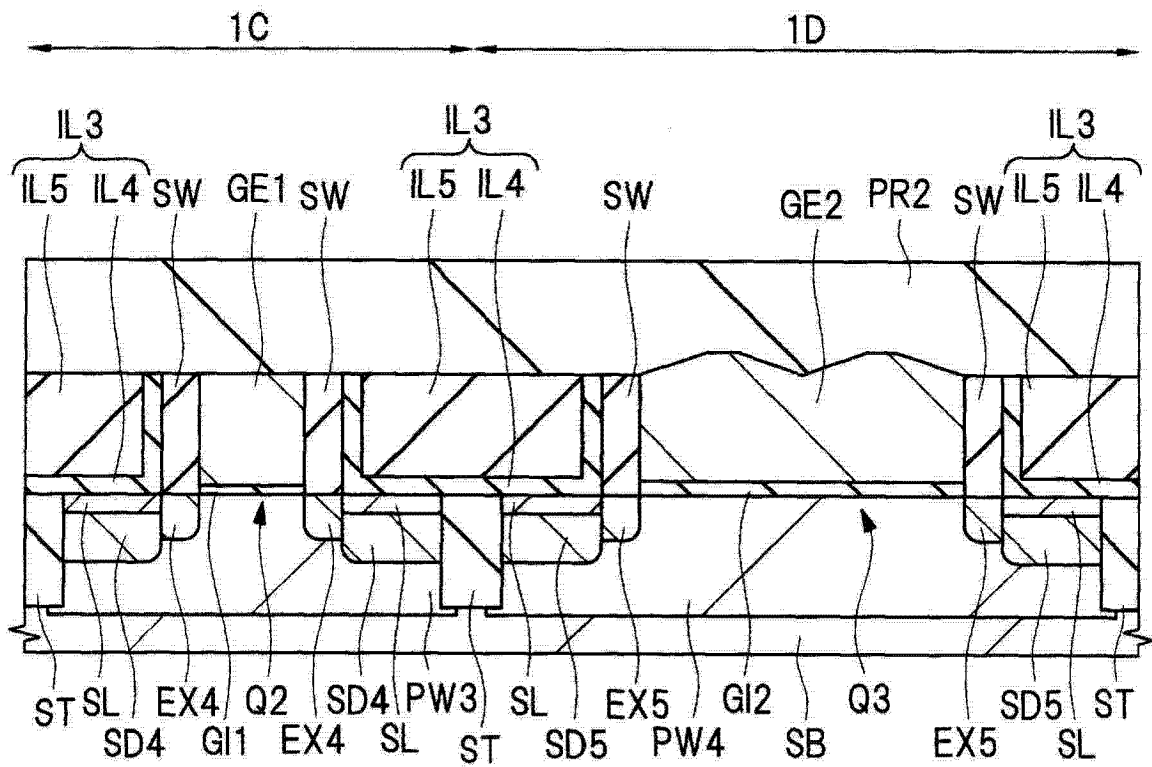


图 43

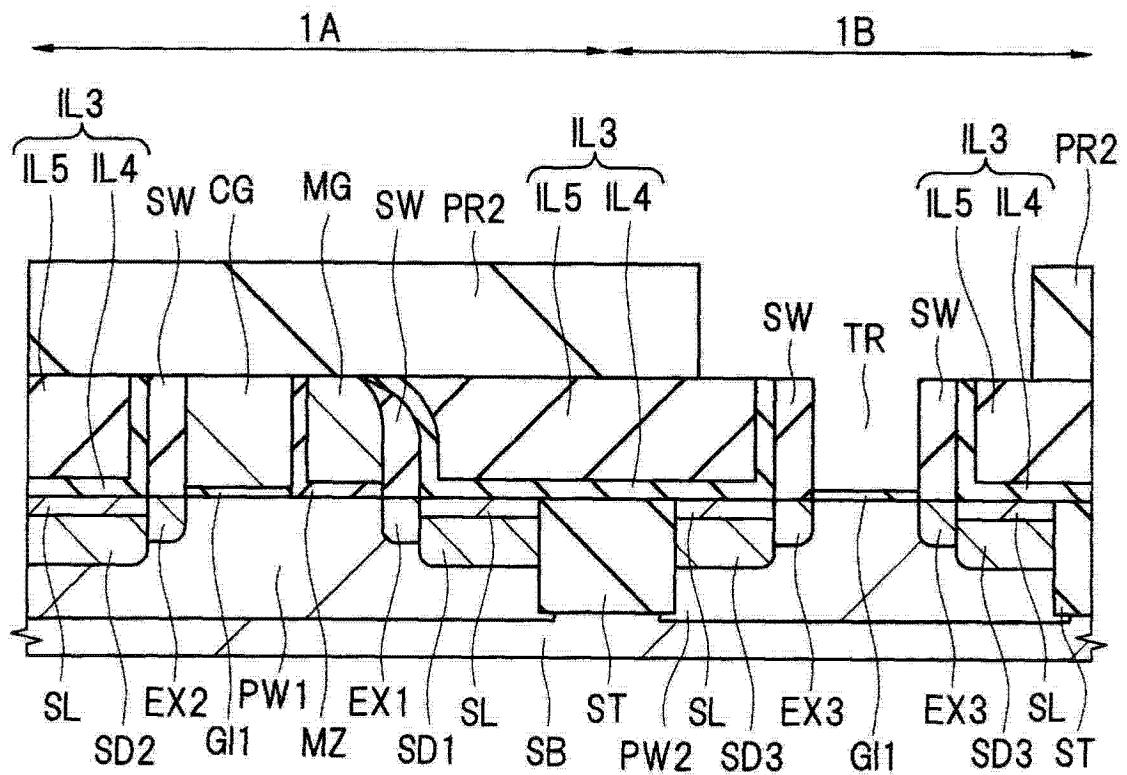


图 44

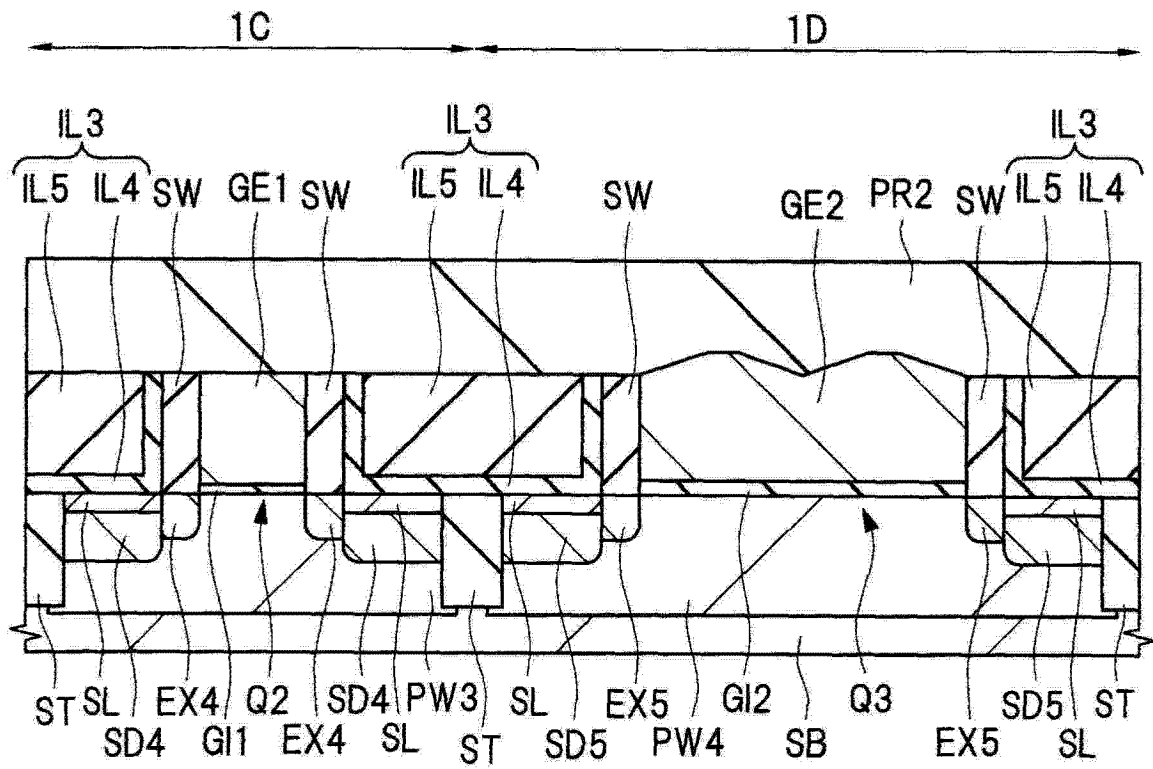


图 45

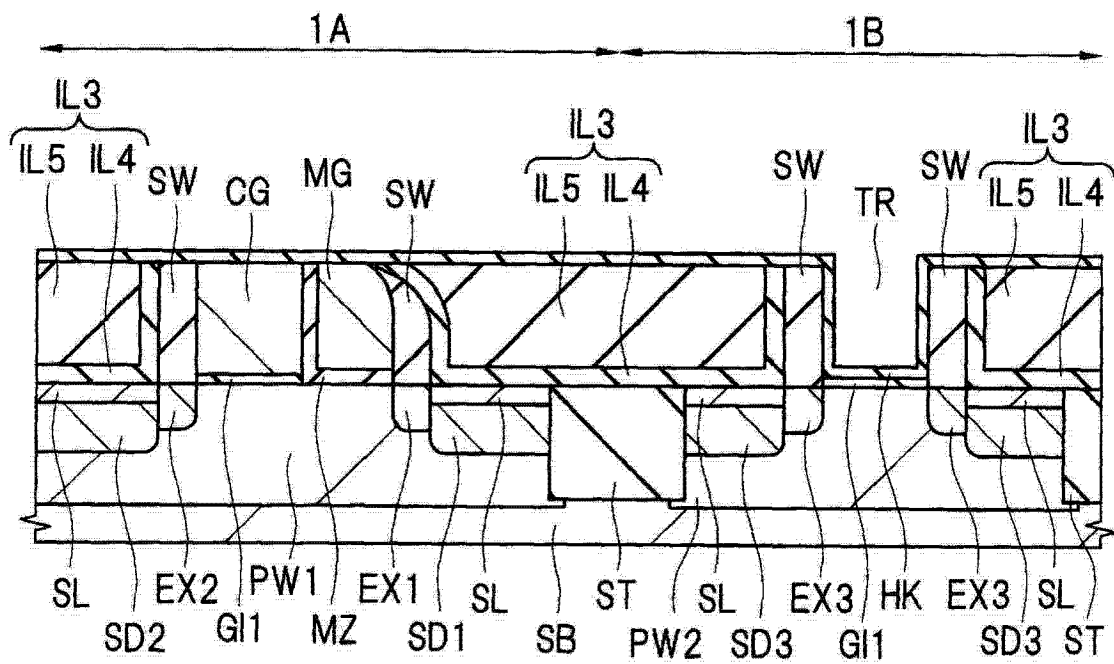


图 46

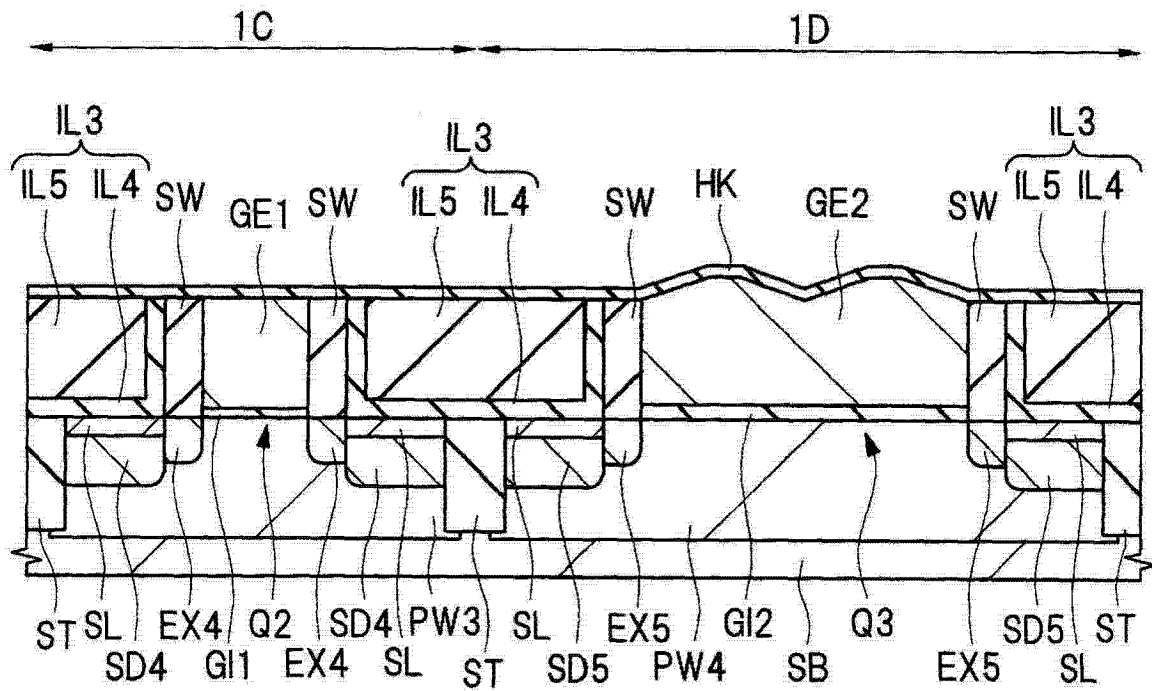


图 47

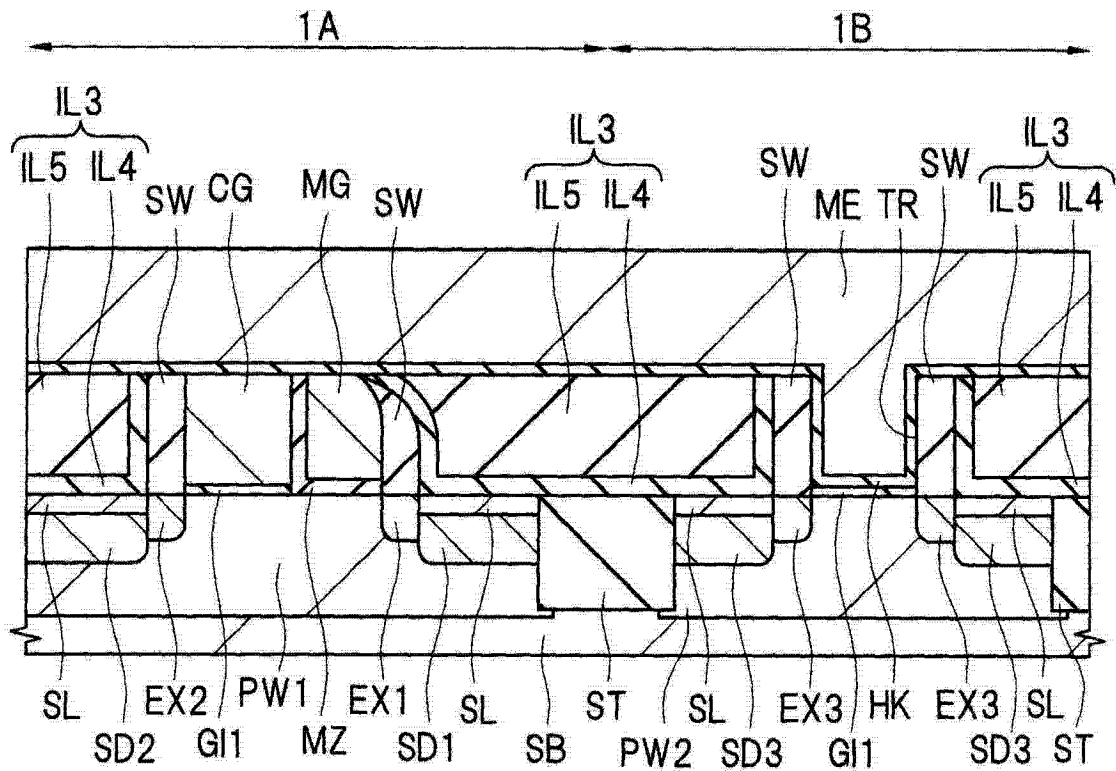


图 48

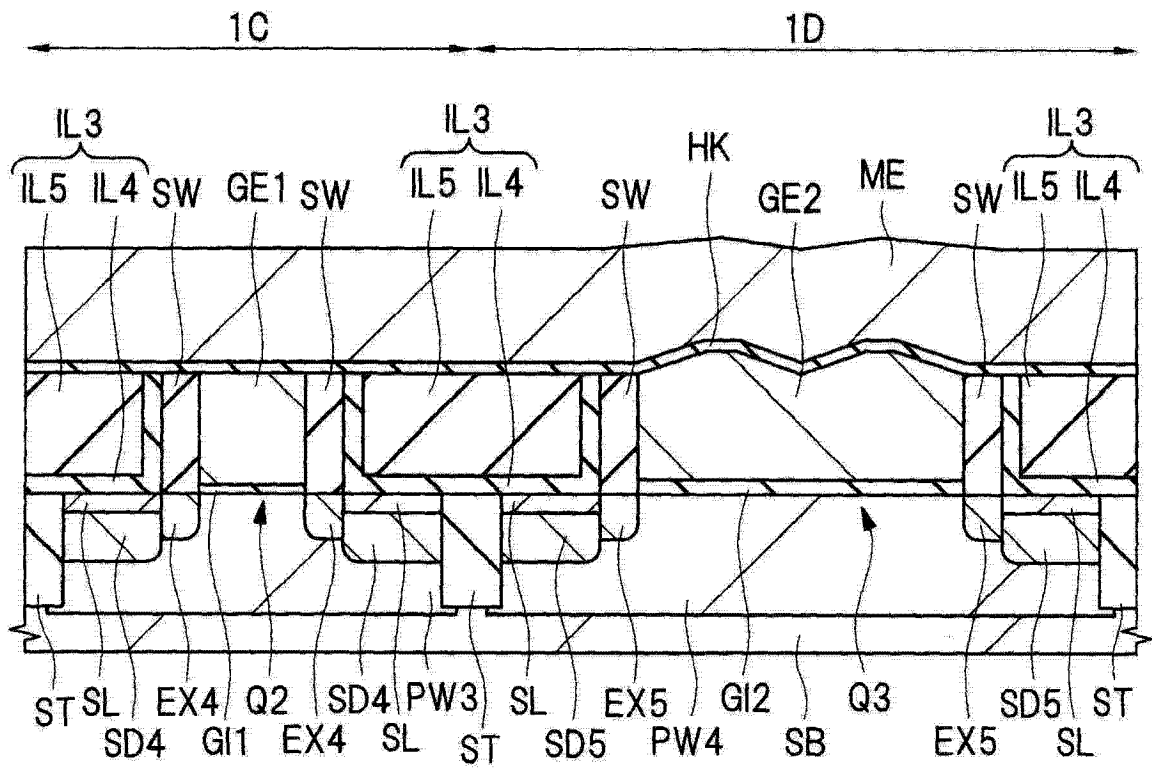


图 49

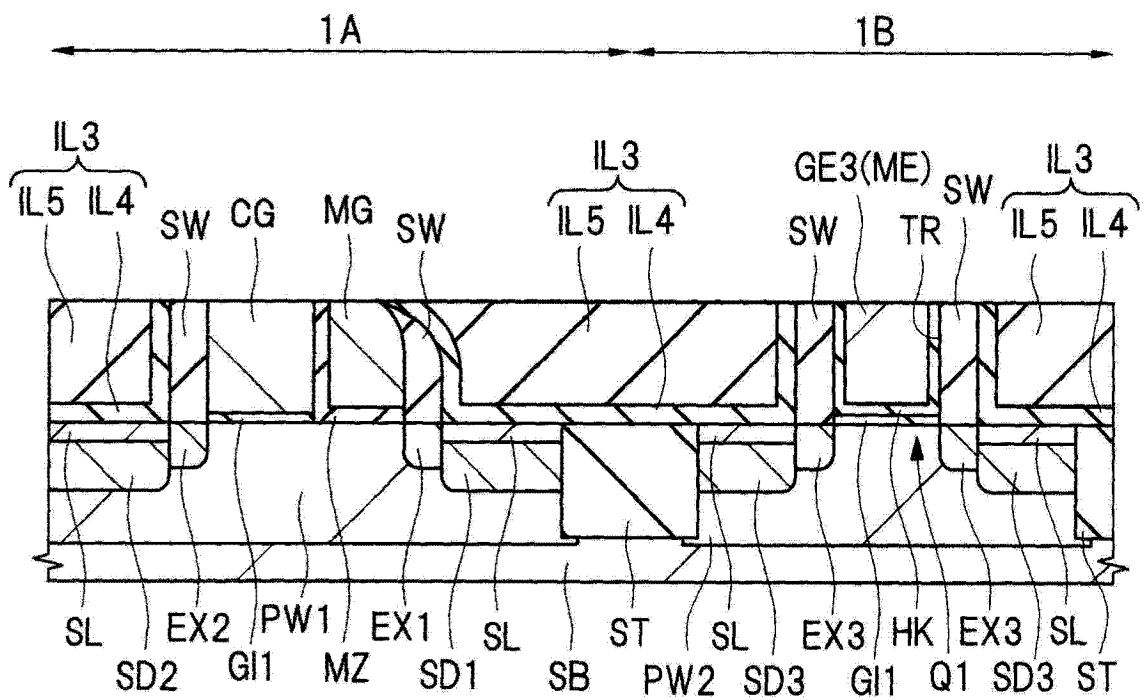


图 50

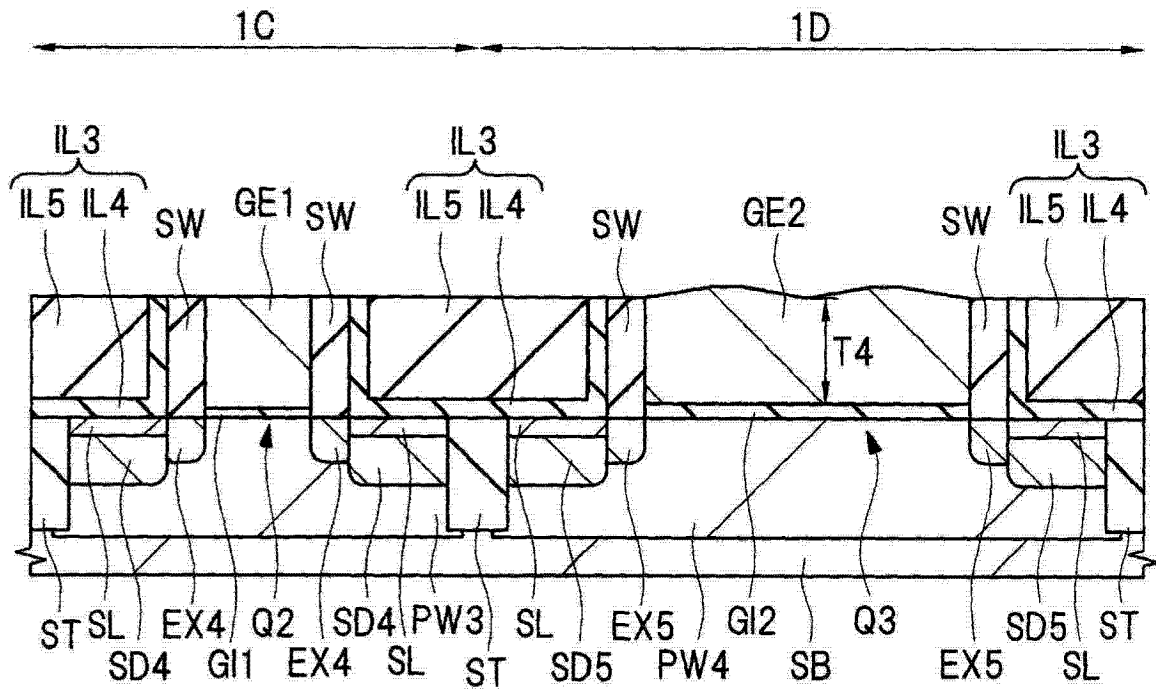


图 51

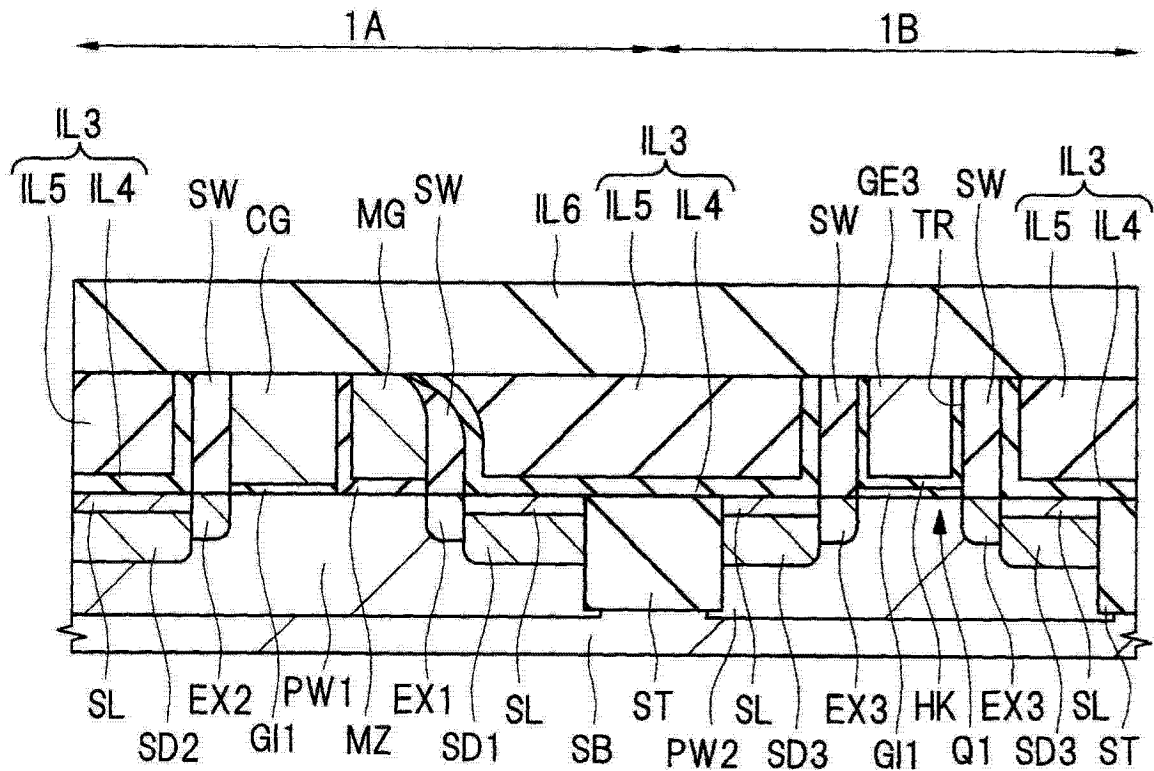


图 52

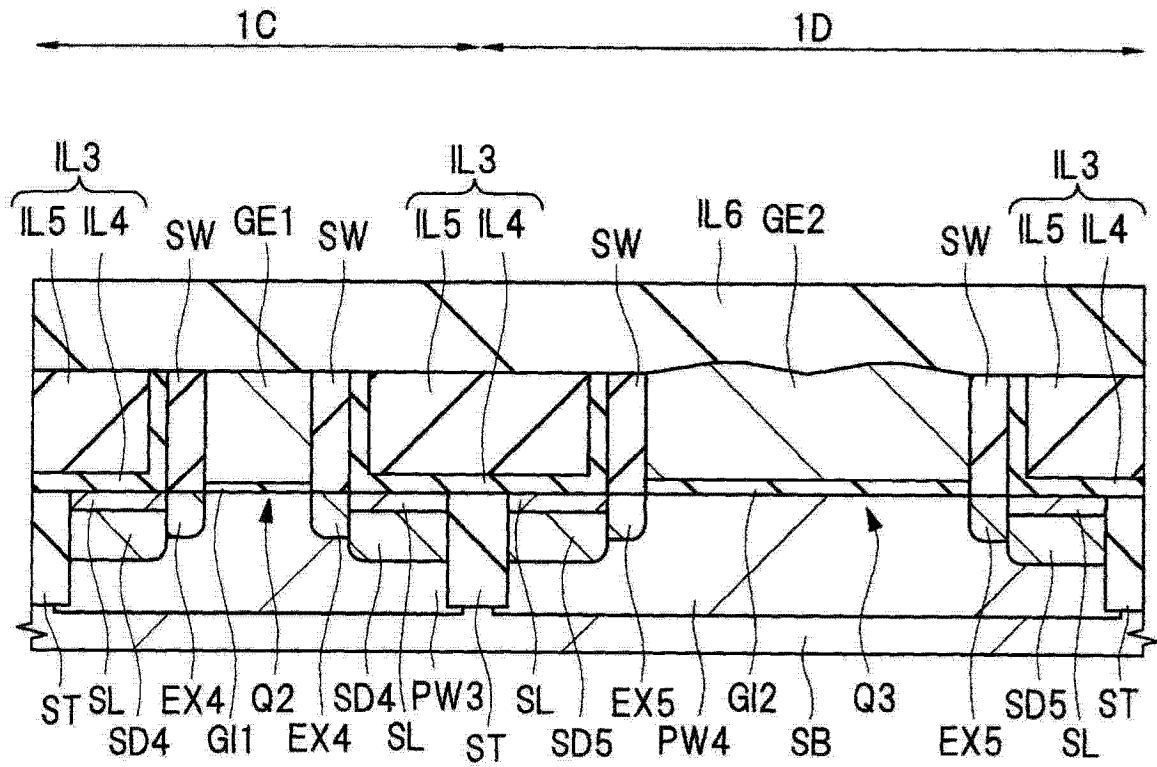


图 53

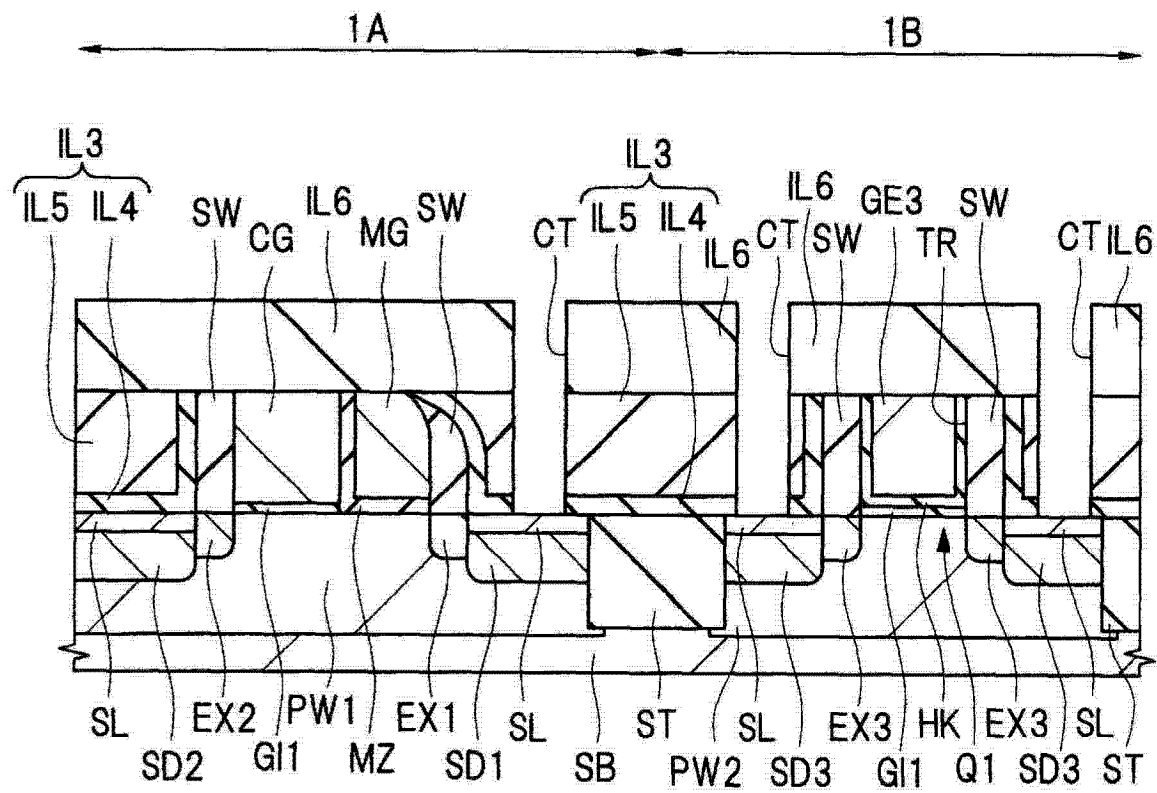


图 54

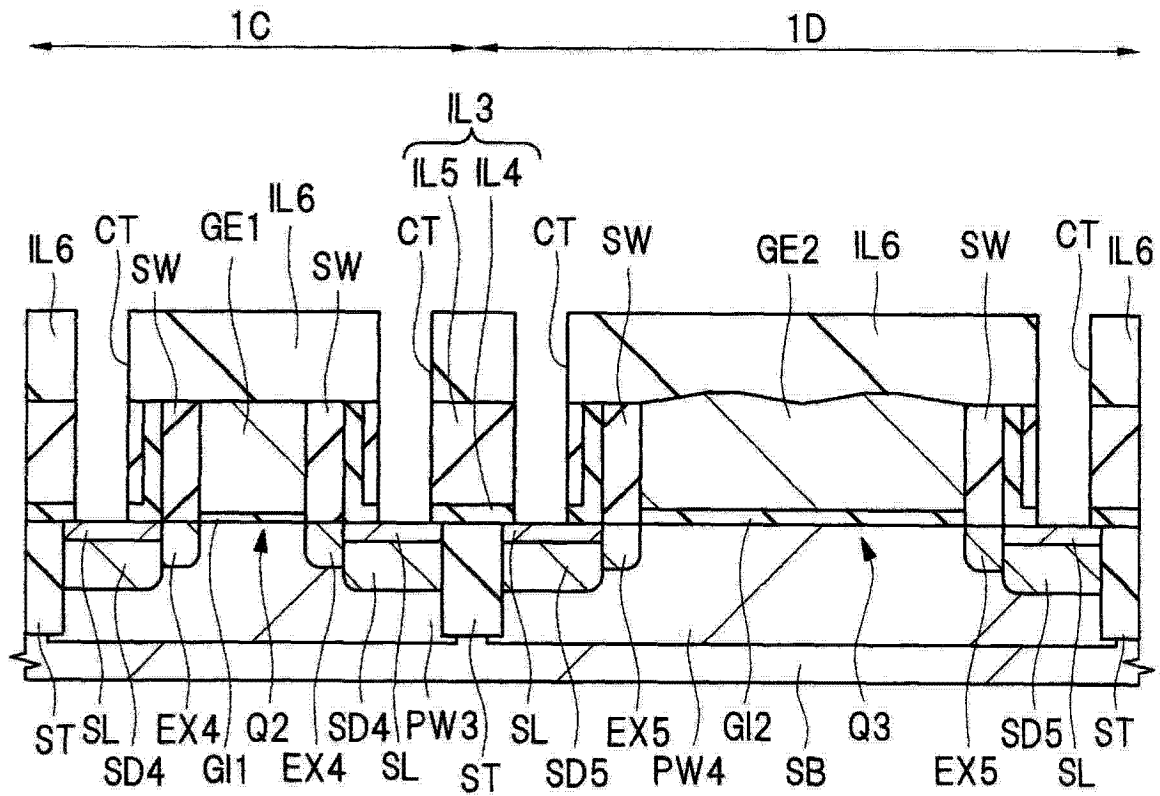


图 55

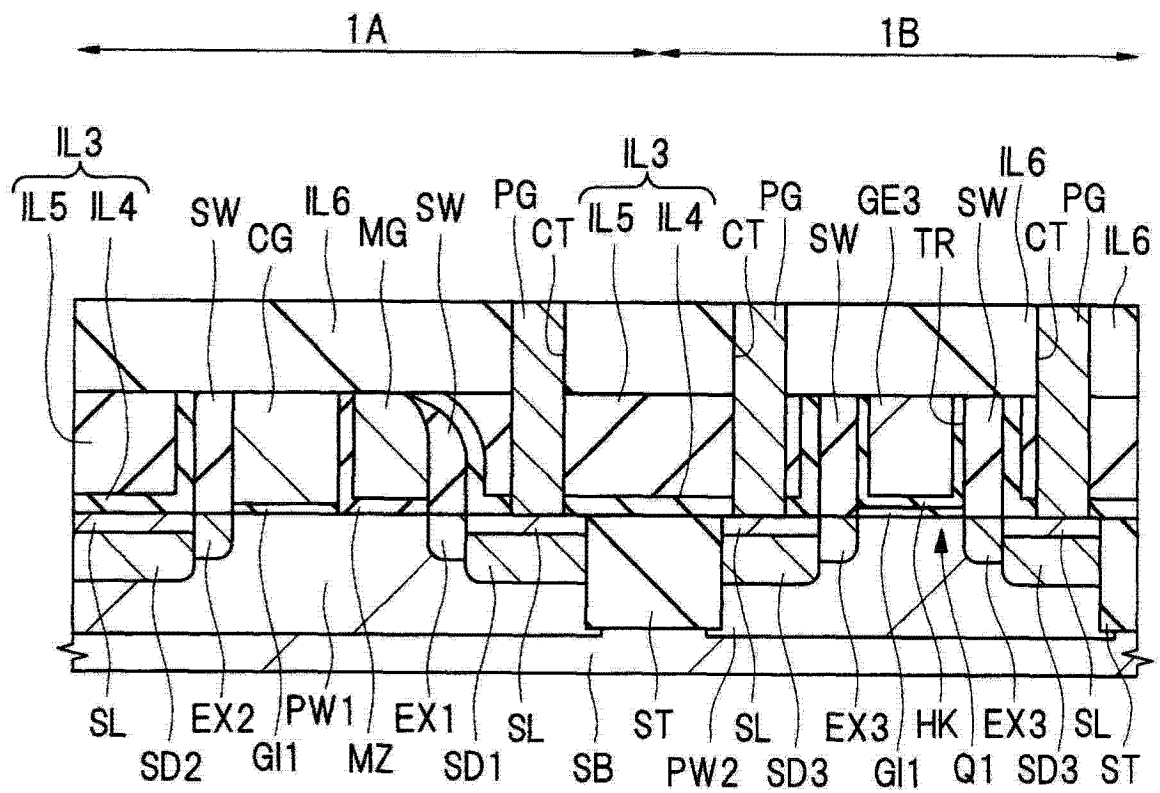


图 56

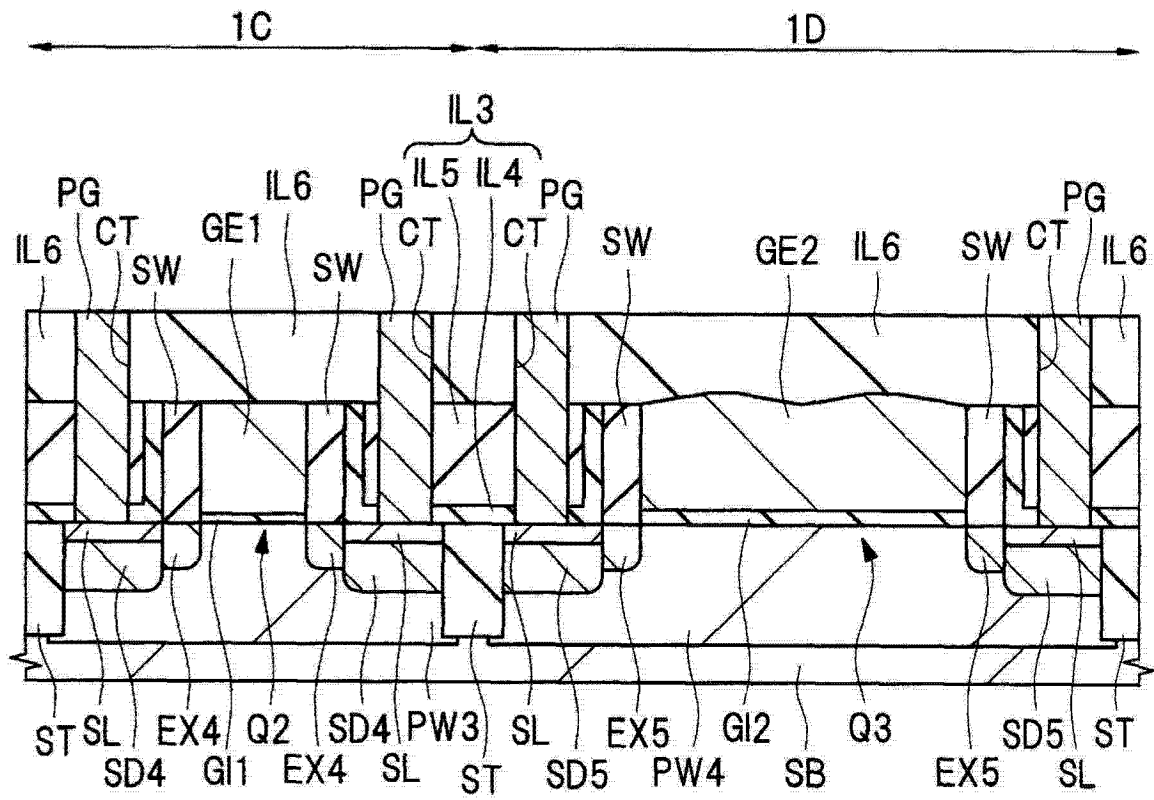


图 57

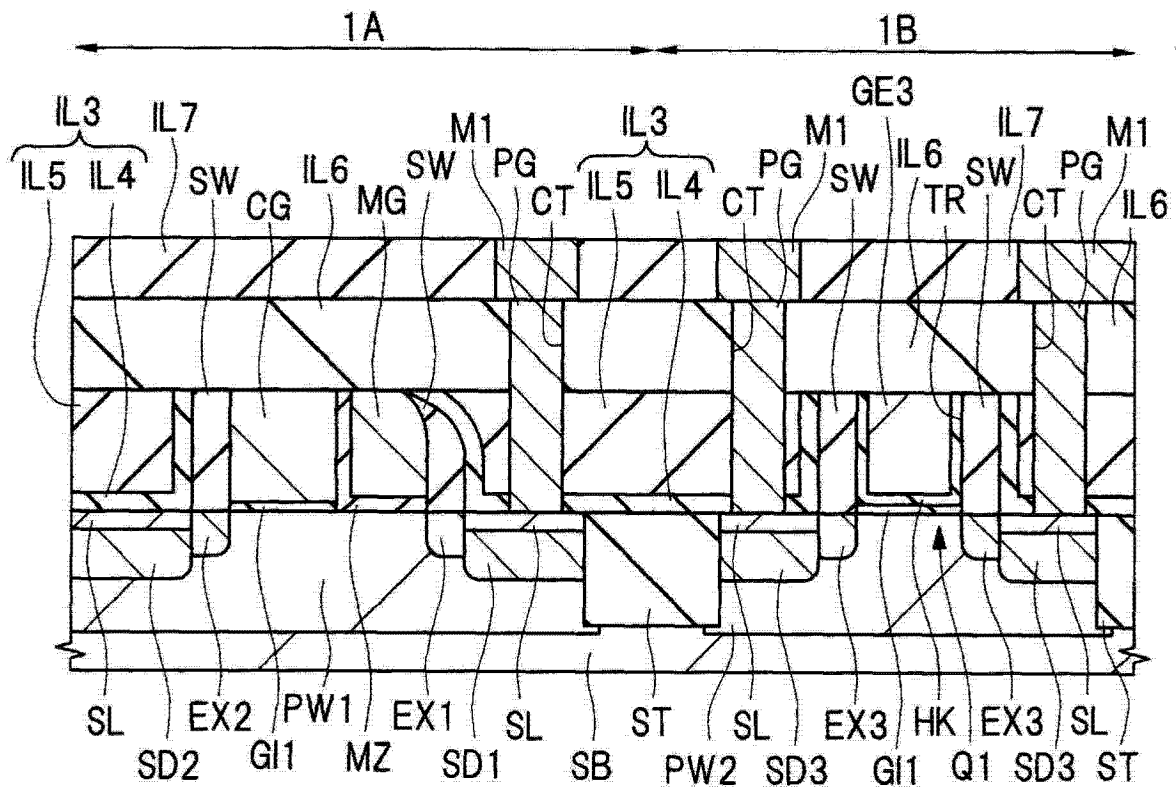


图 58

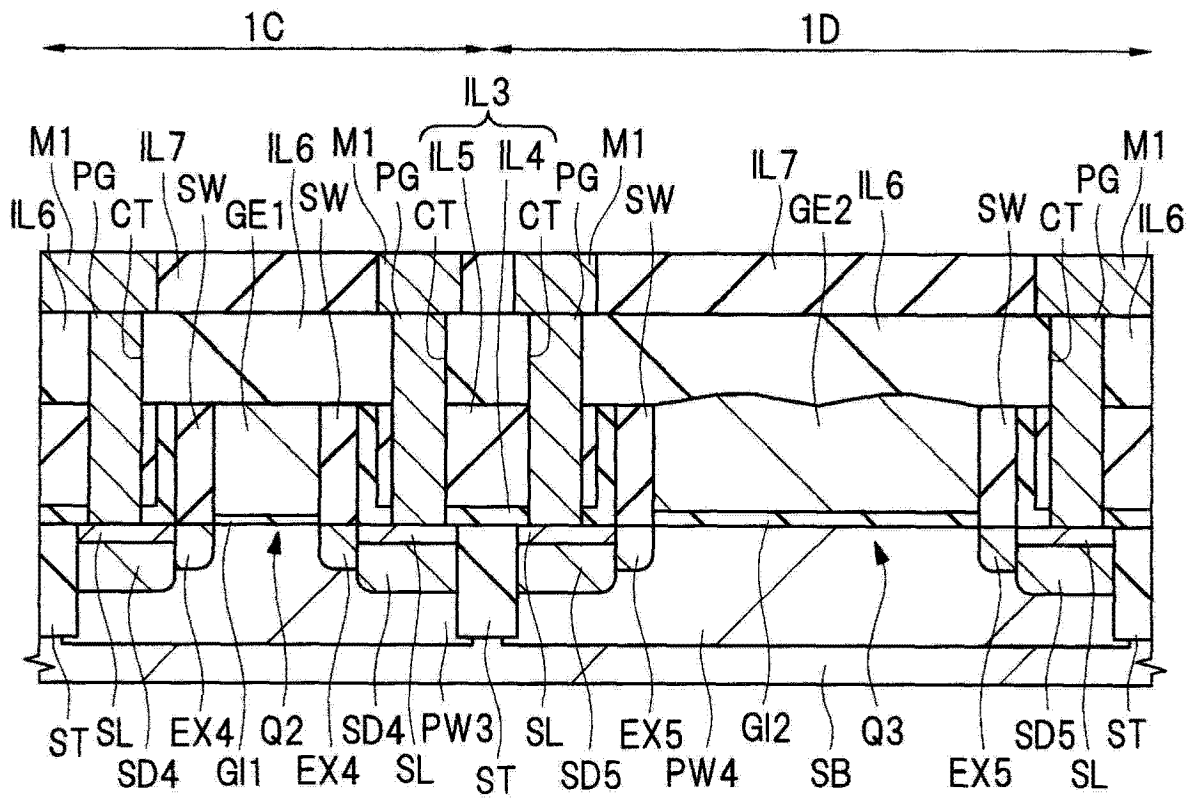


图 59

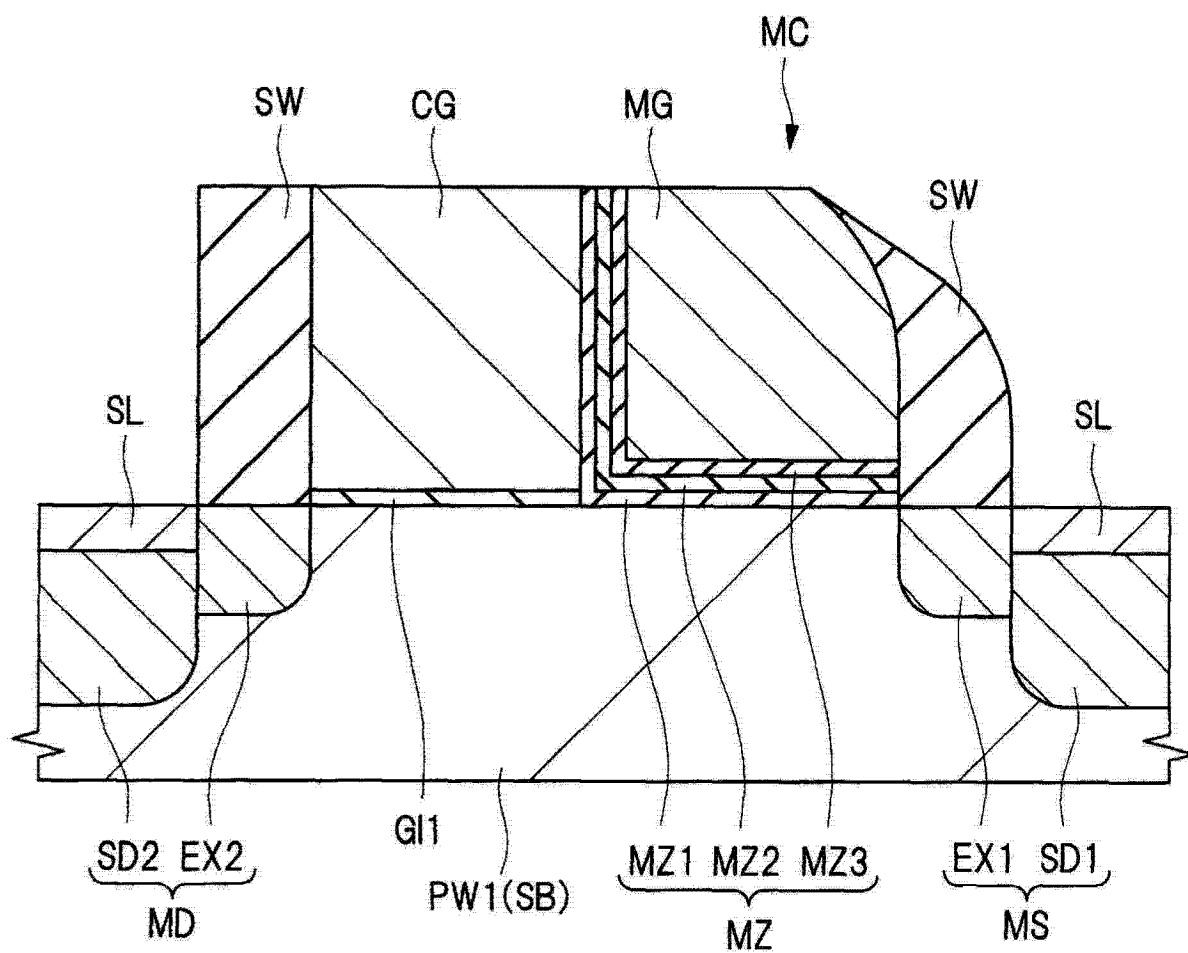


图 60

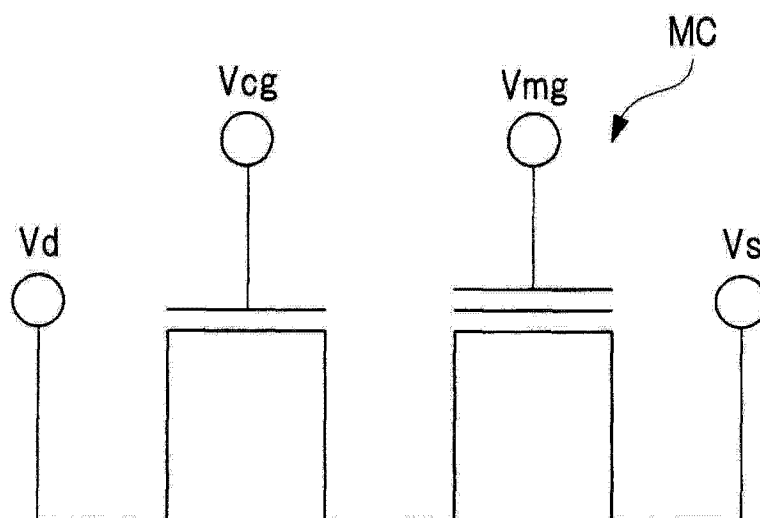


图 61

施加电压 动作	Vd	Vcg	Vmg	Vs	Vb
写入	Vdd	1V	12V	6V	0
删除	0	0	-6V	6V	0
读取	Vdd	Vdd	0	0	0

$V_{dd} = 1.5V$

图 62

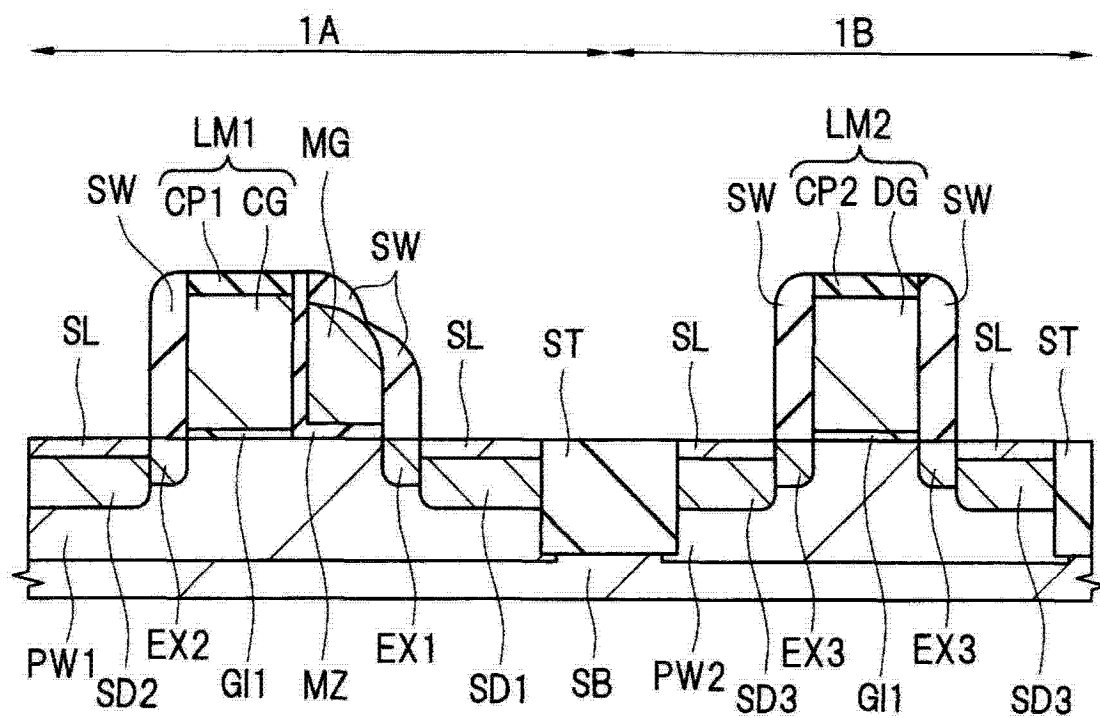


图 63

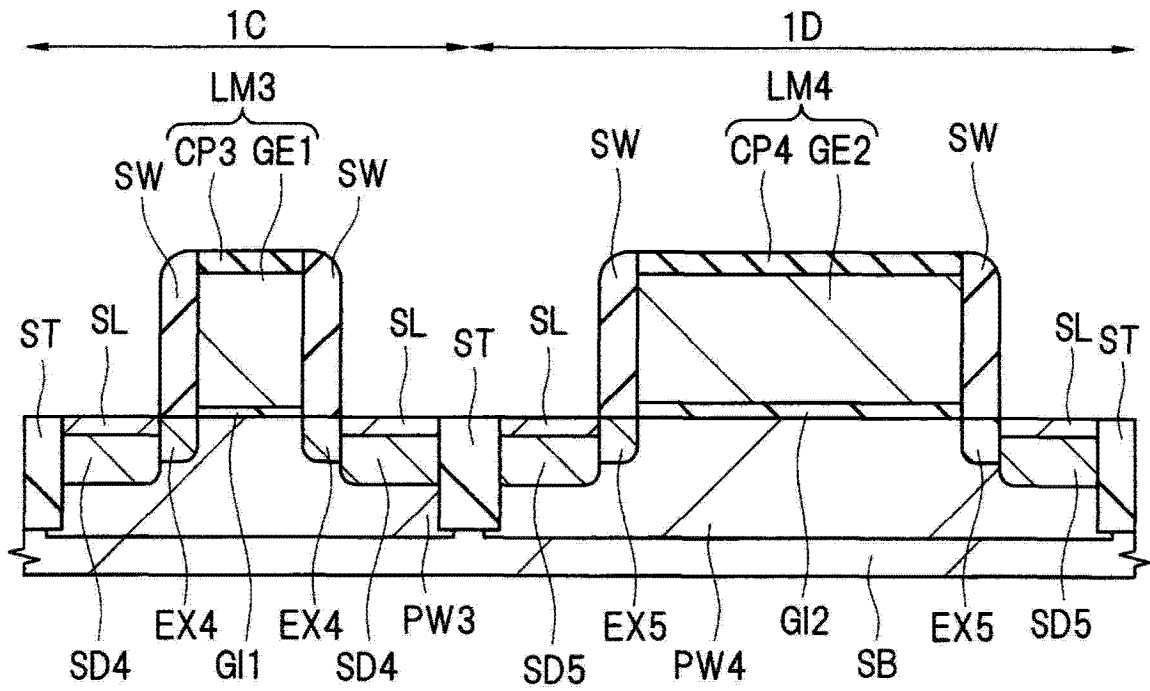


图 64

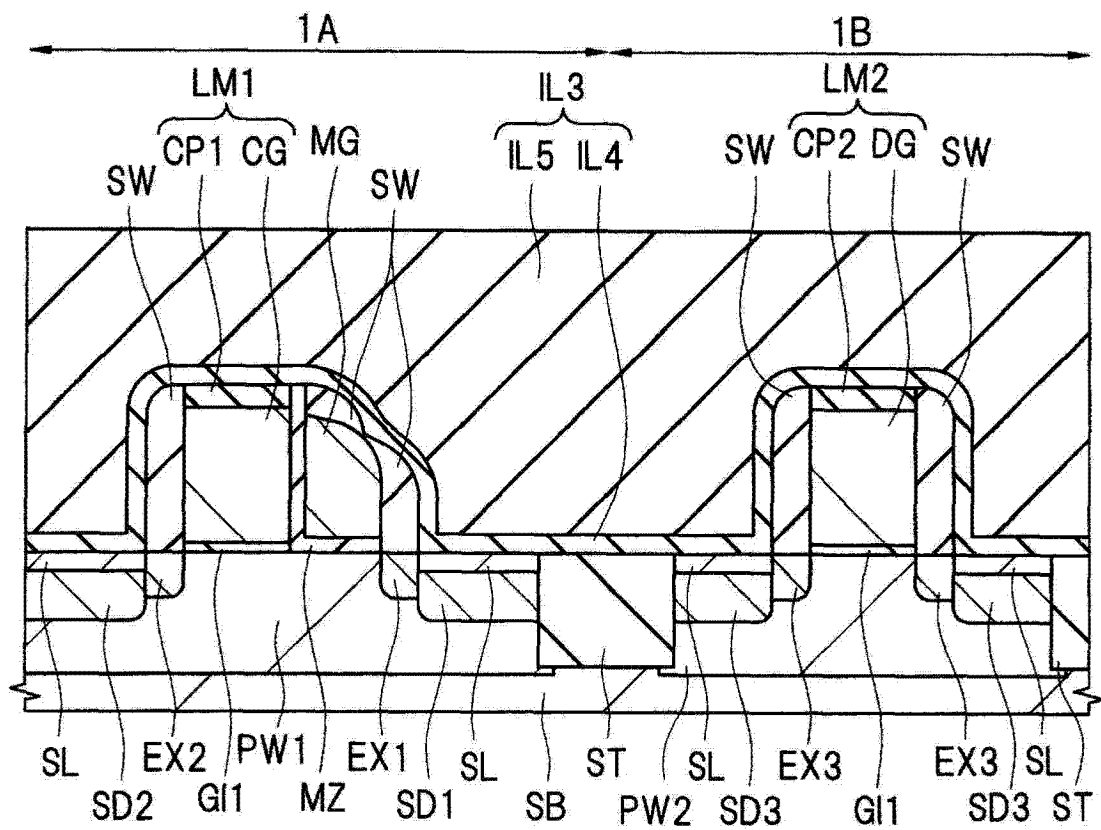


图 65

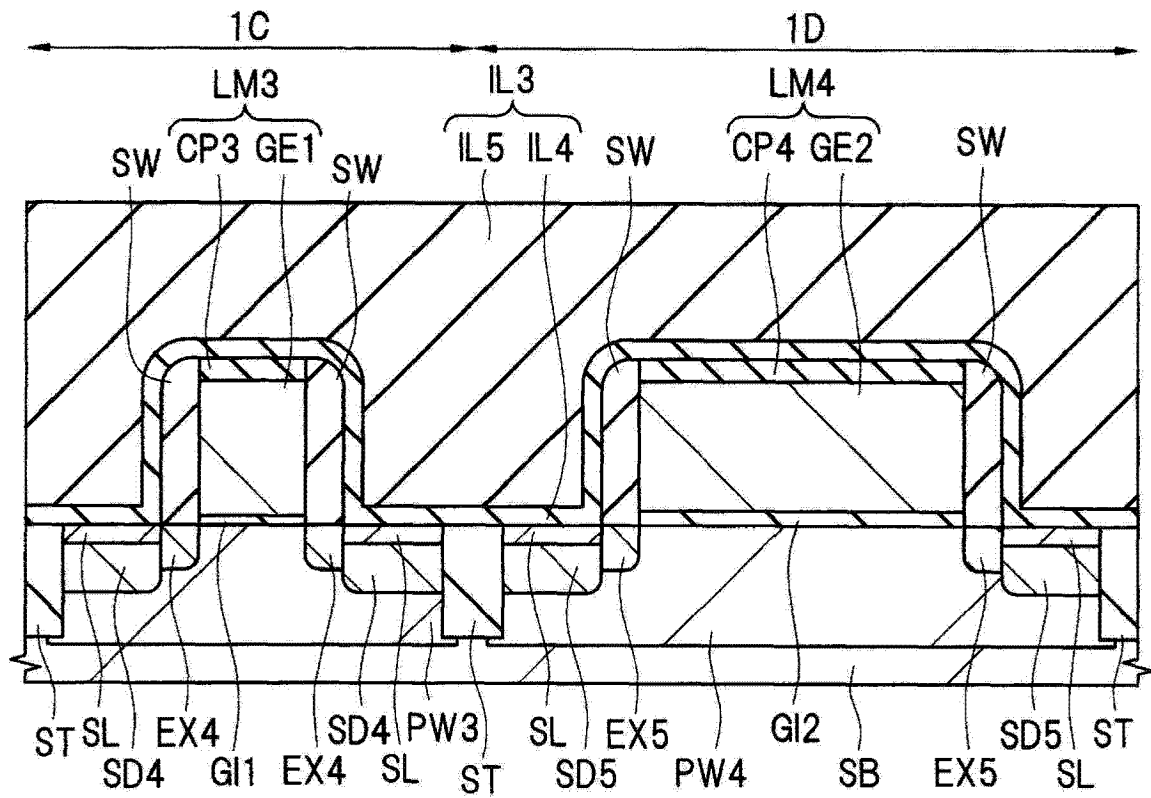


图 66

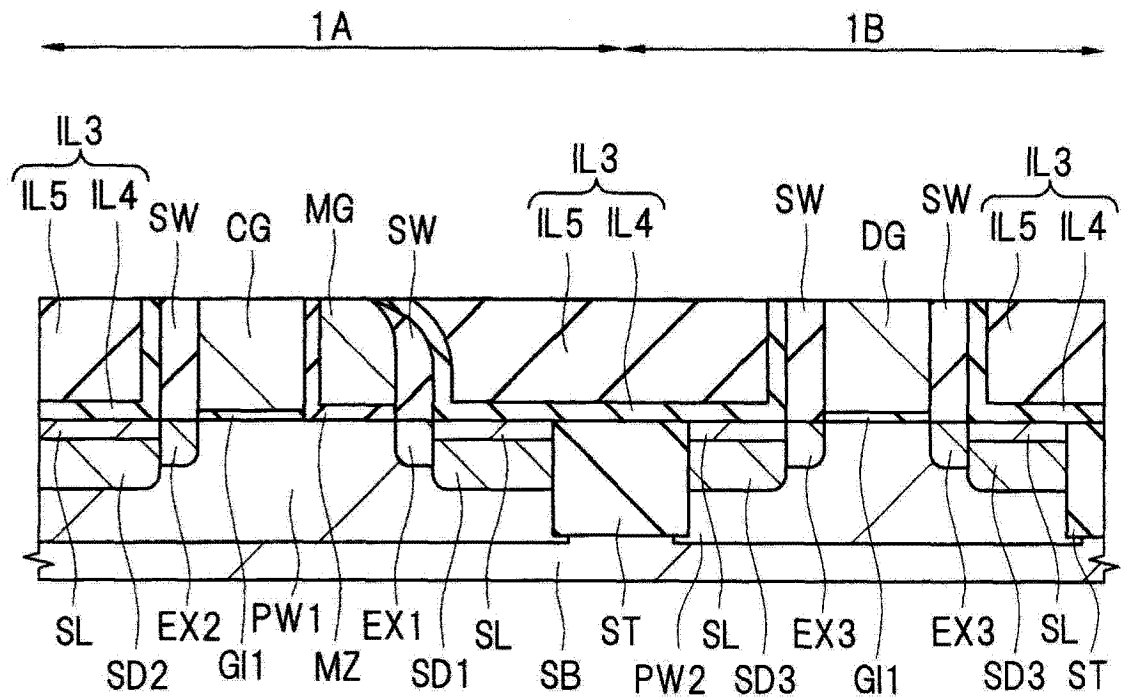


图 67

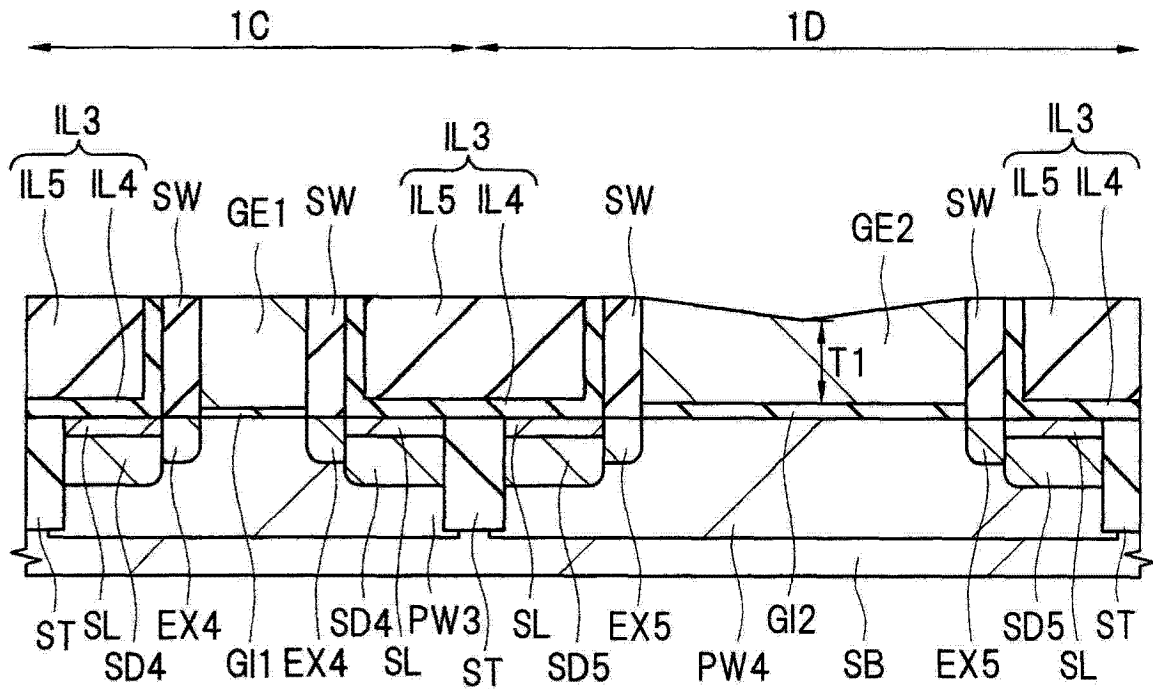


图 68

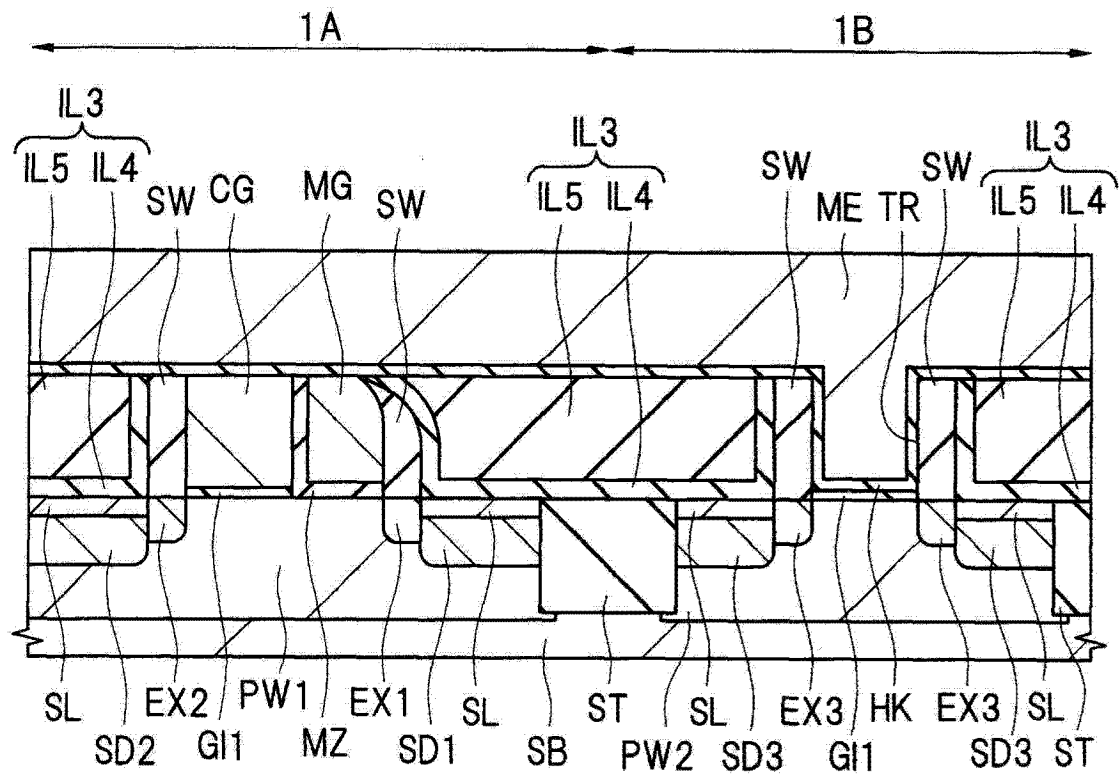


图 69

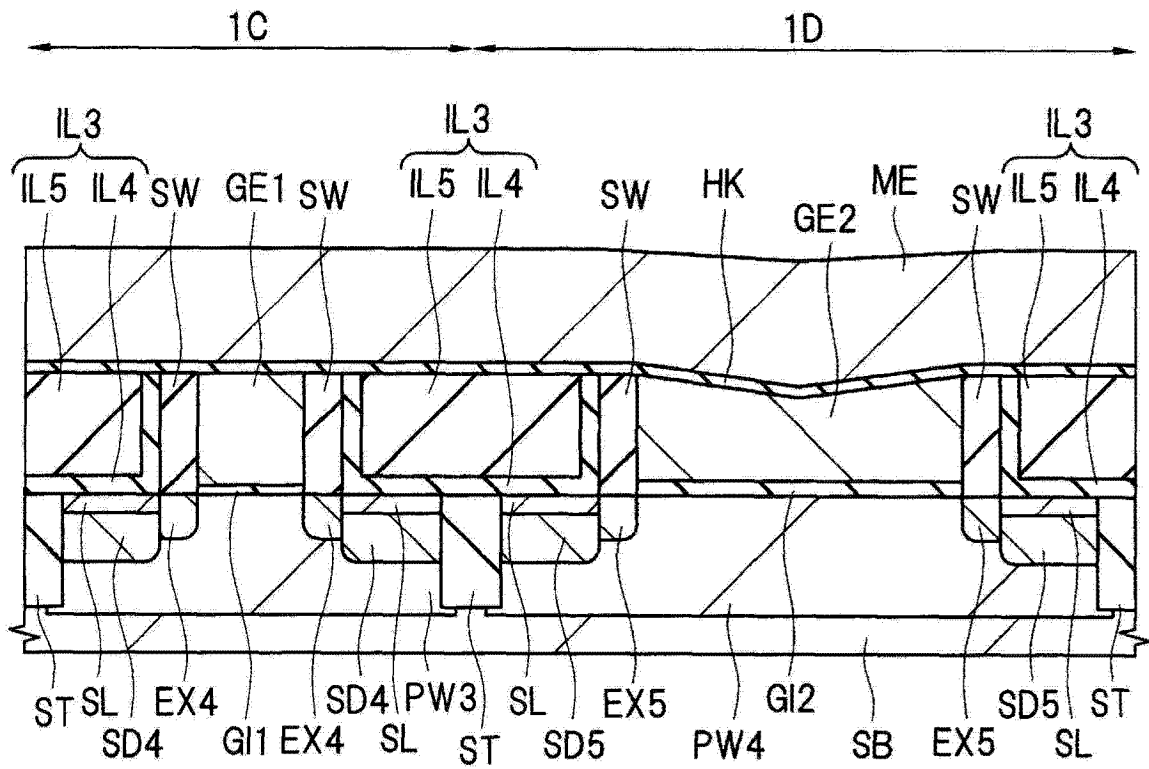


图 70

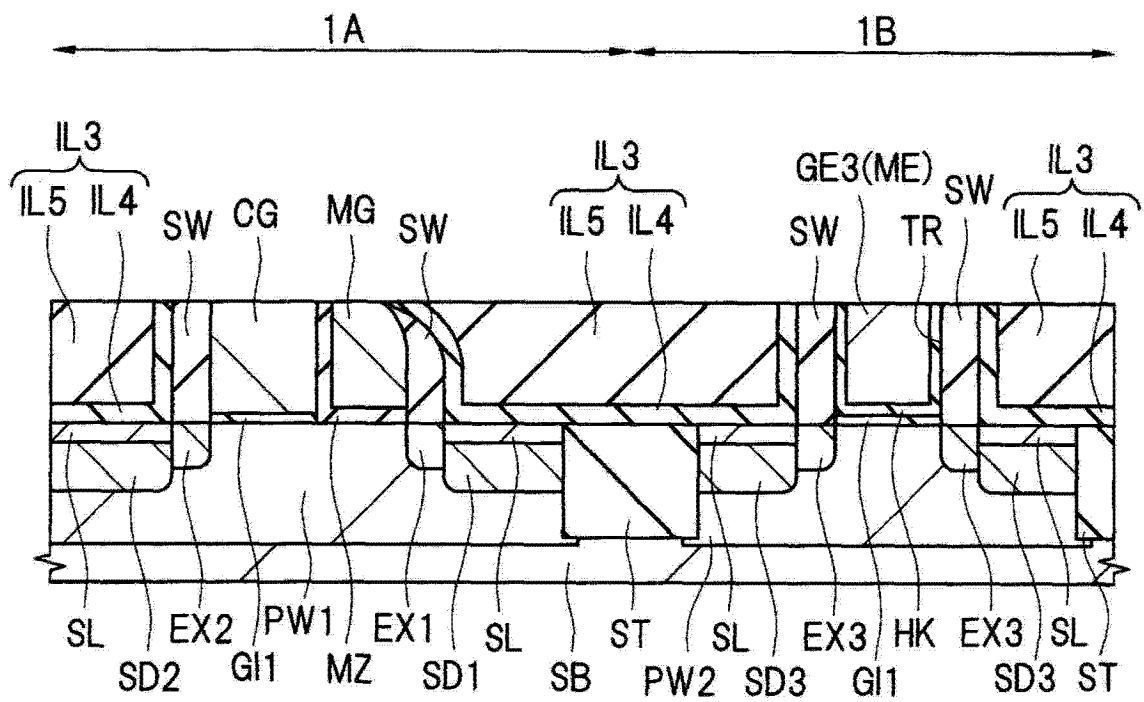


图 71

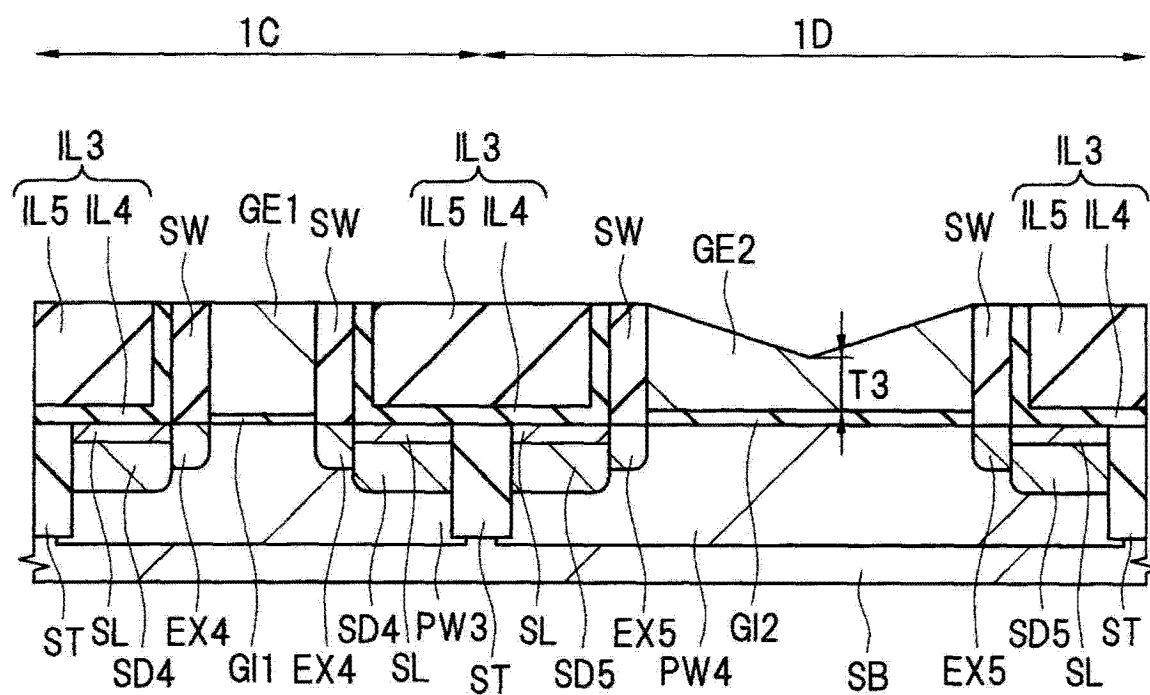


图 72

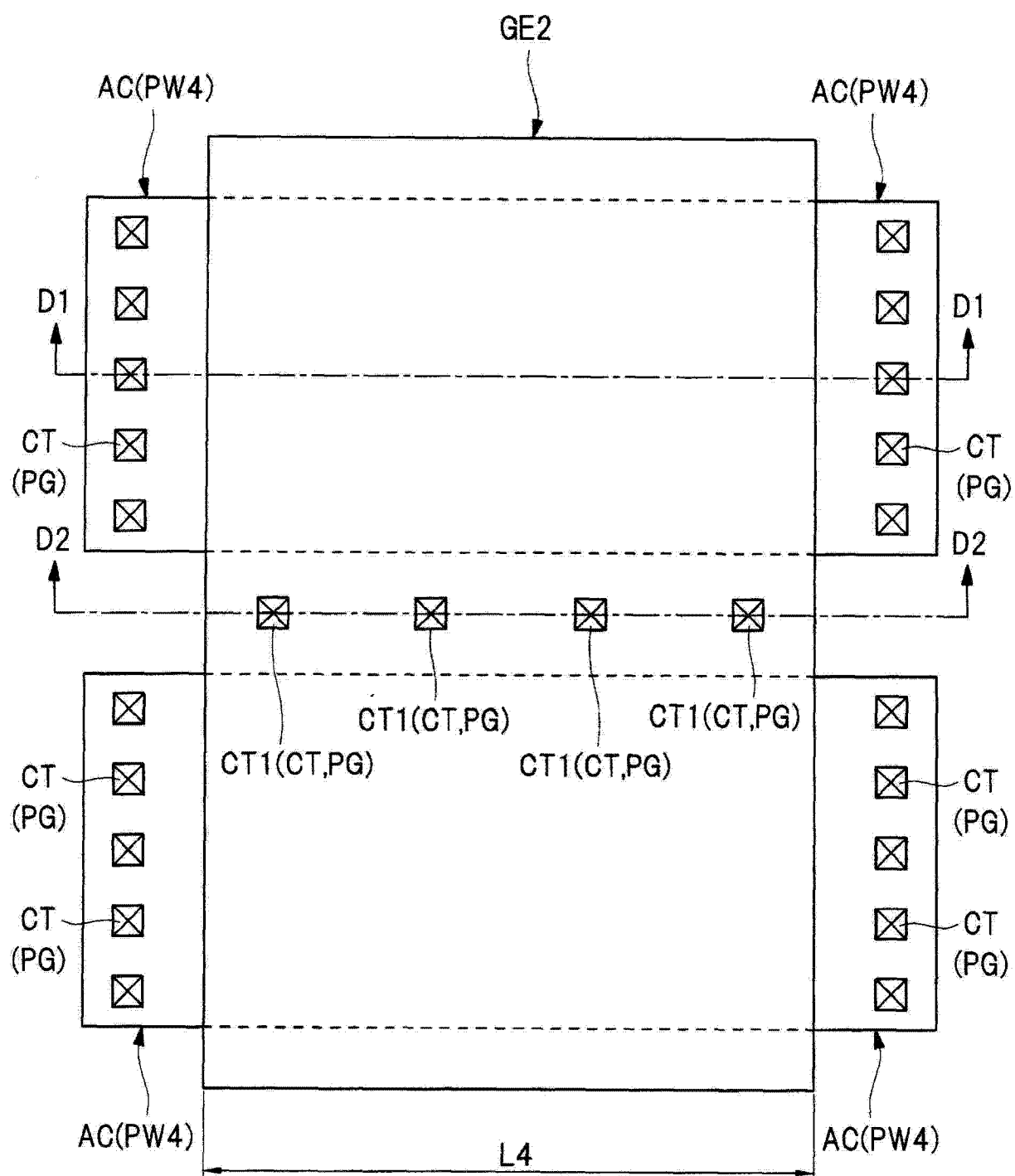


图 73

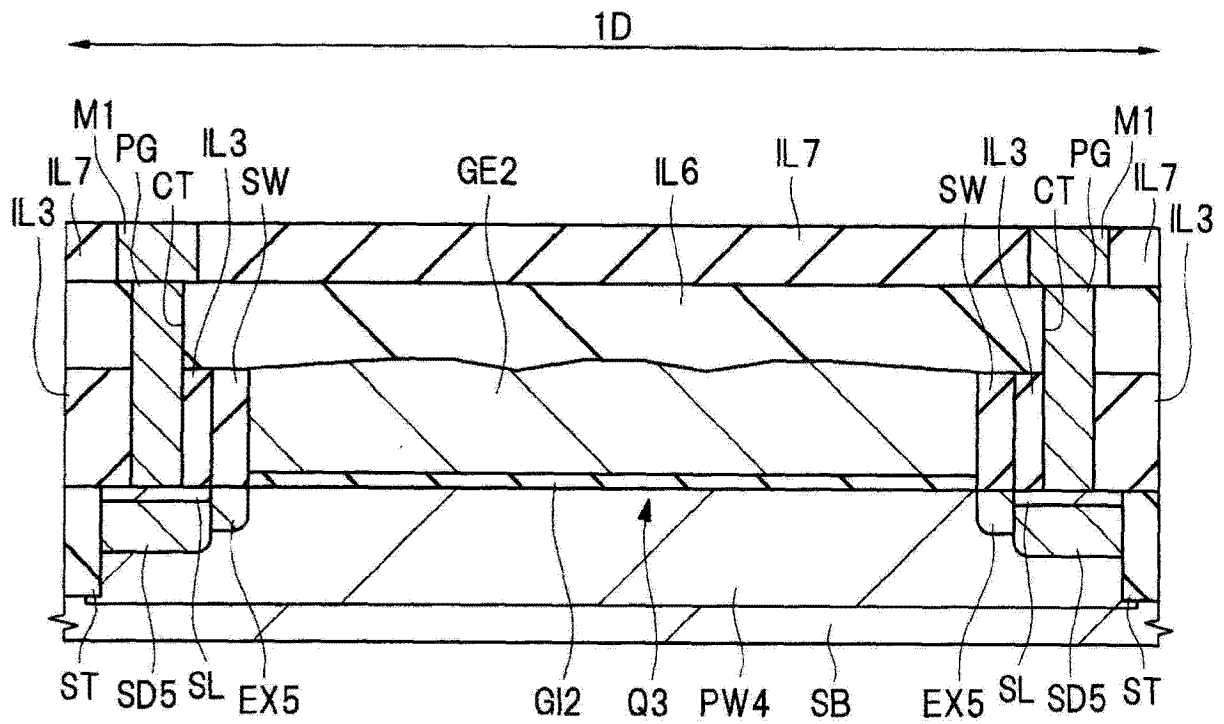


图 74

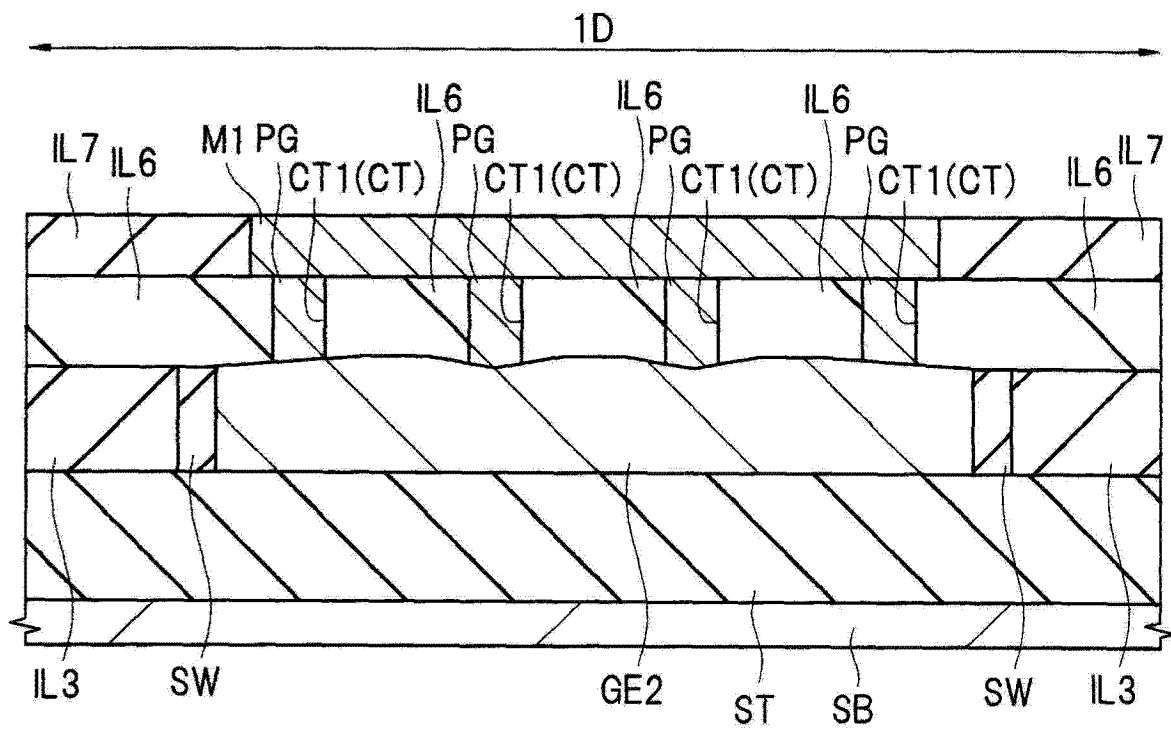


图 75

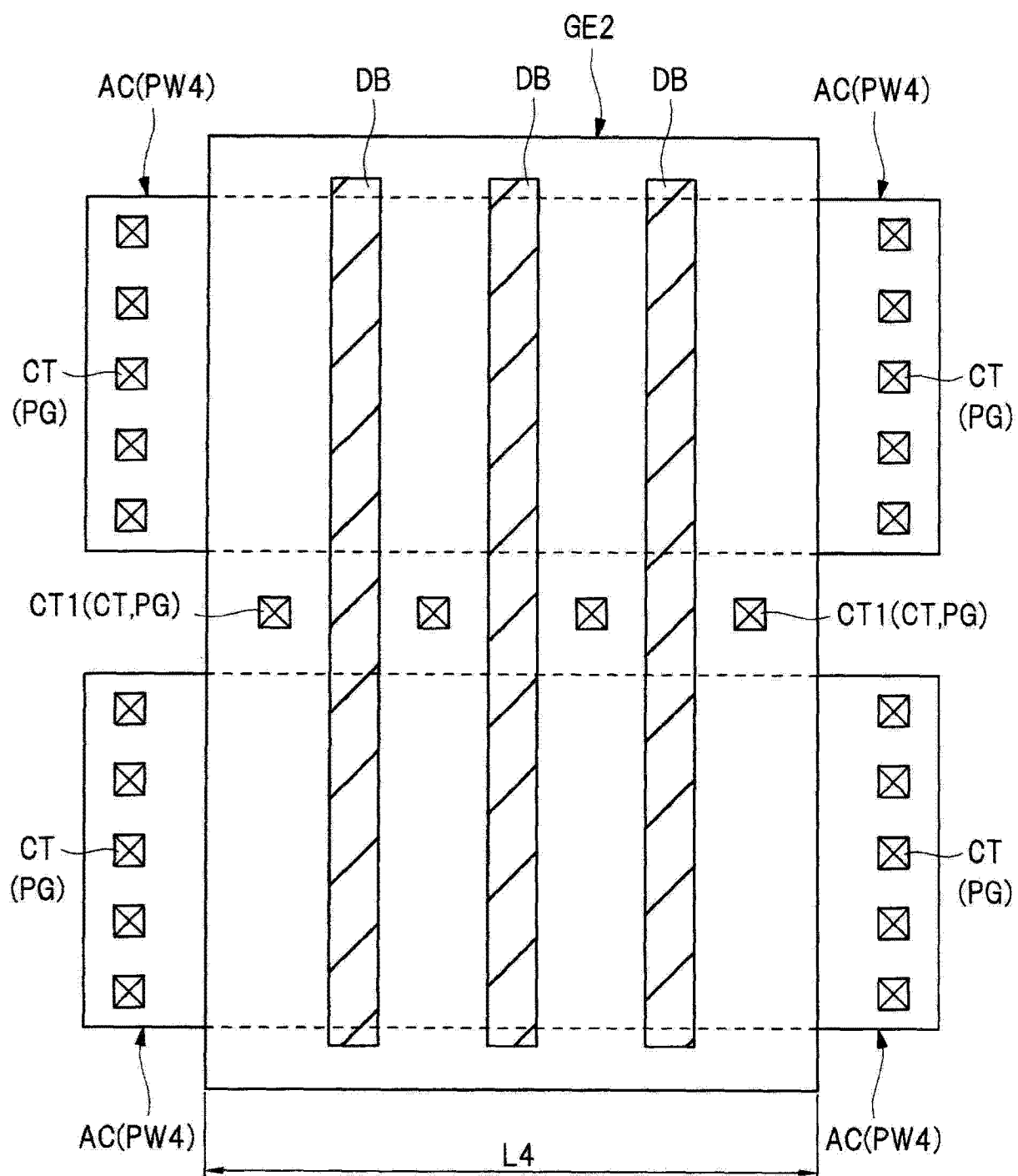


图 76

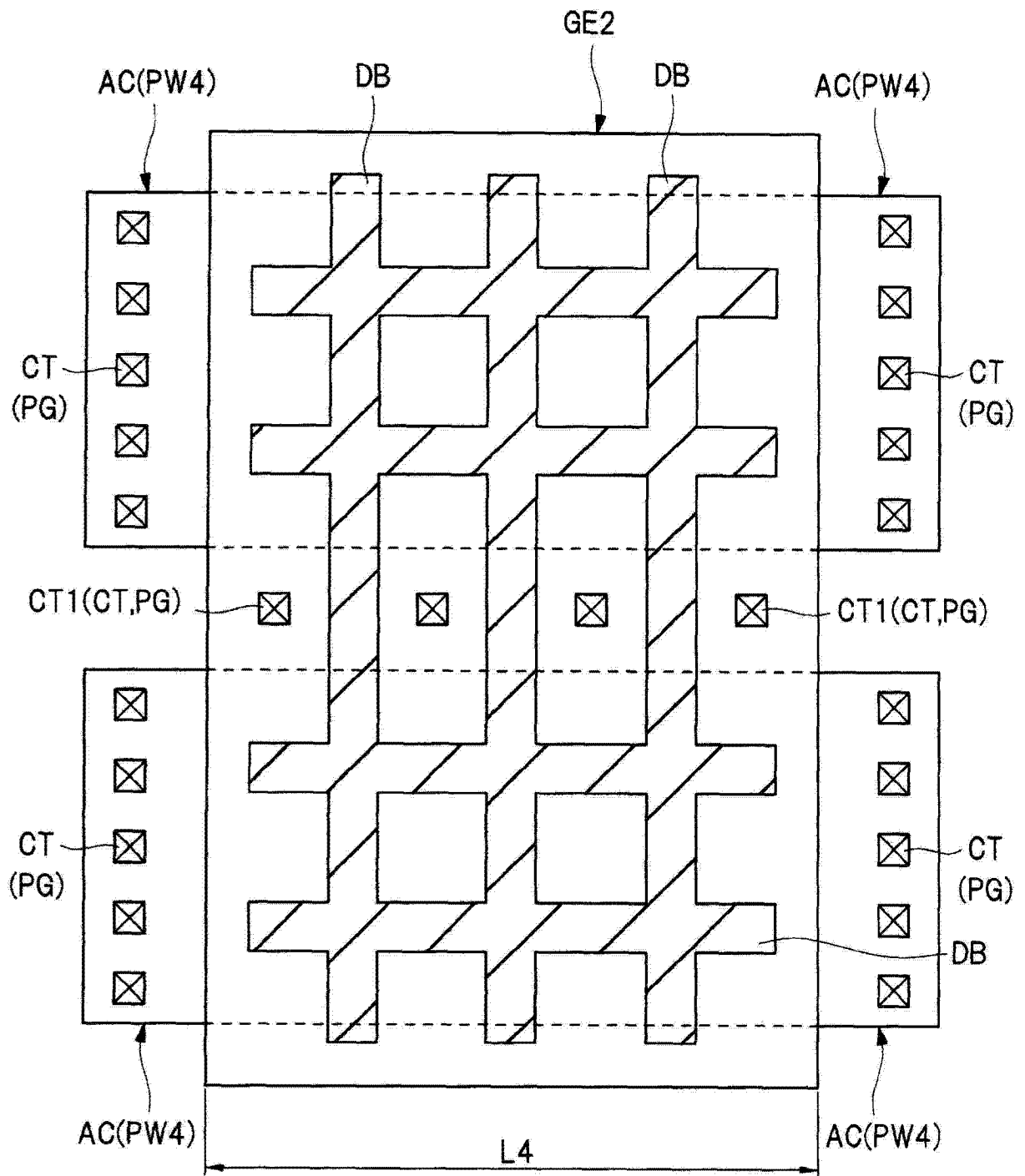


图 77

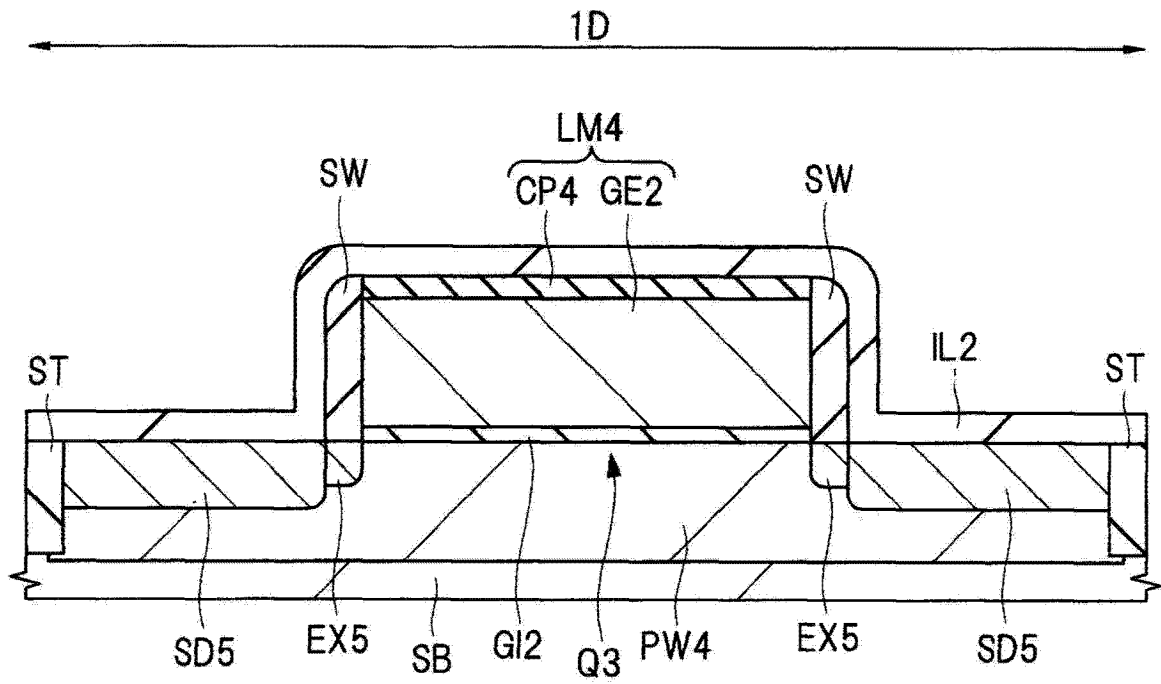


图 78

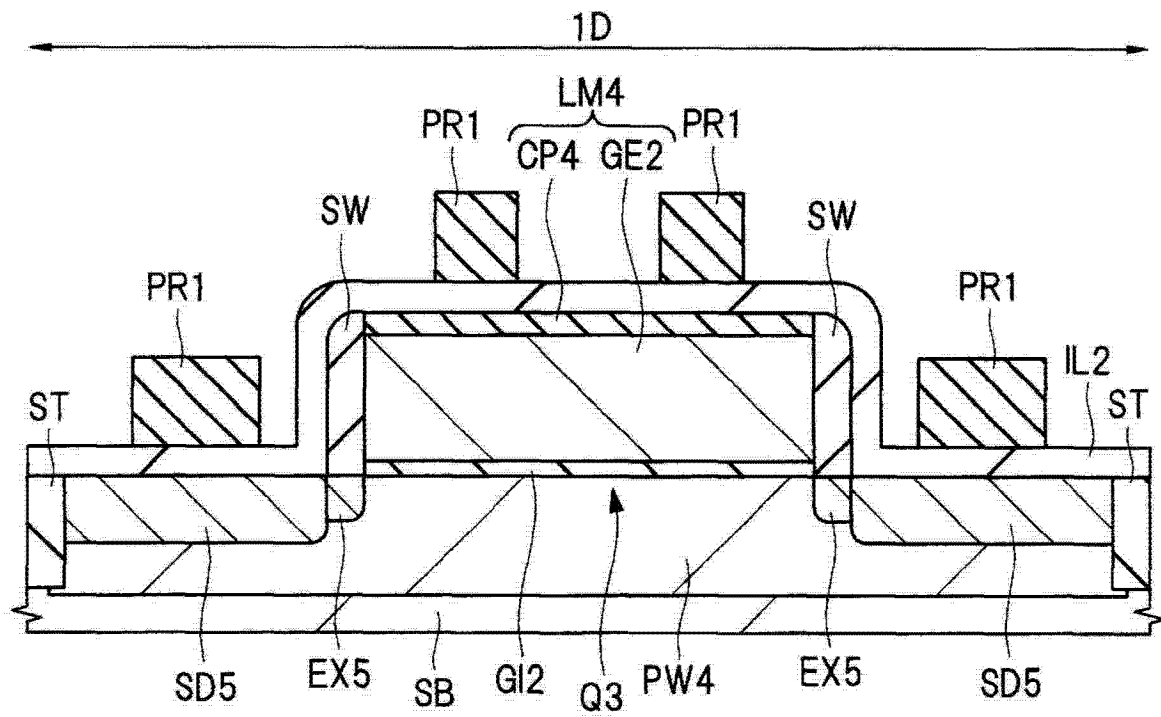


图 79

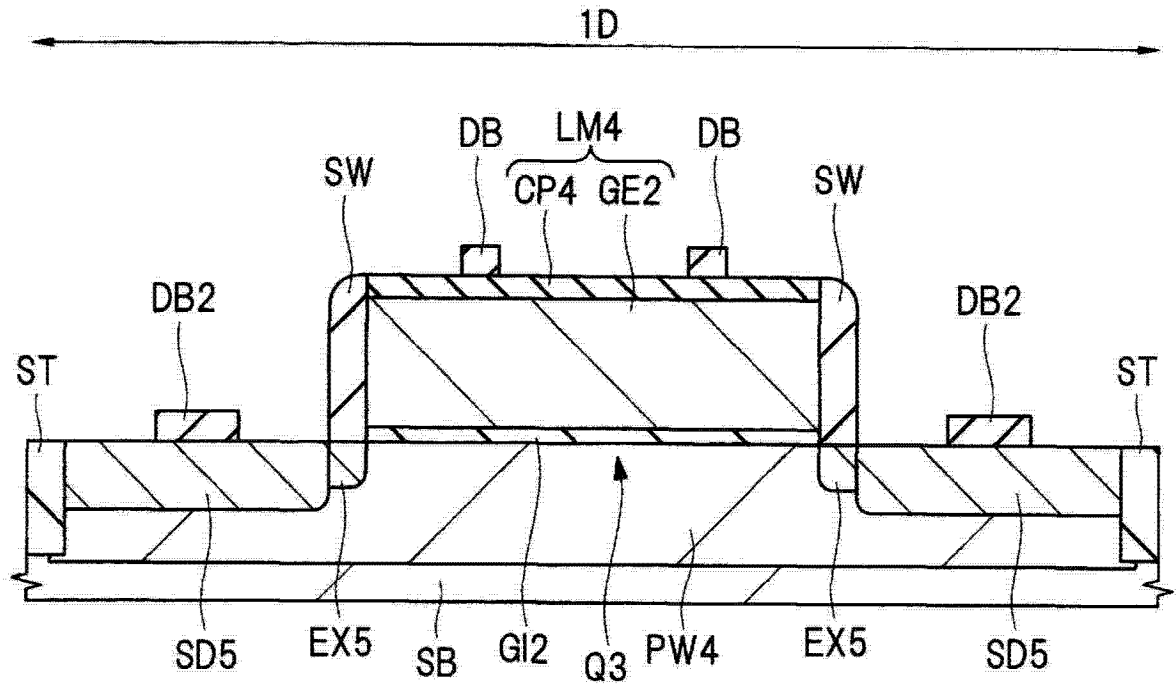


图 80

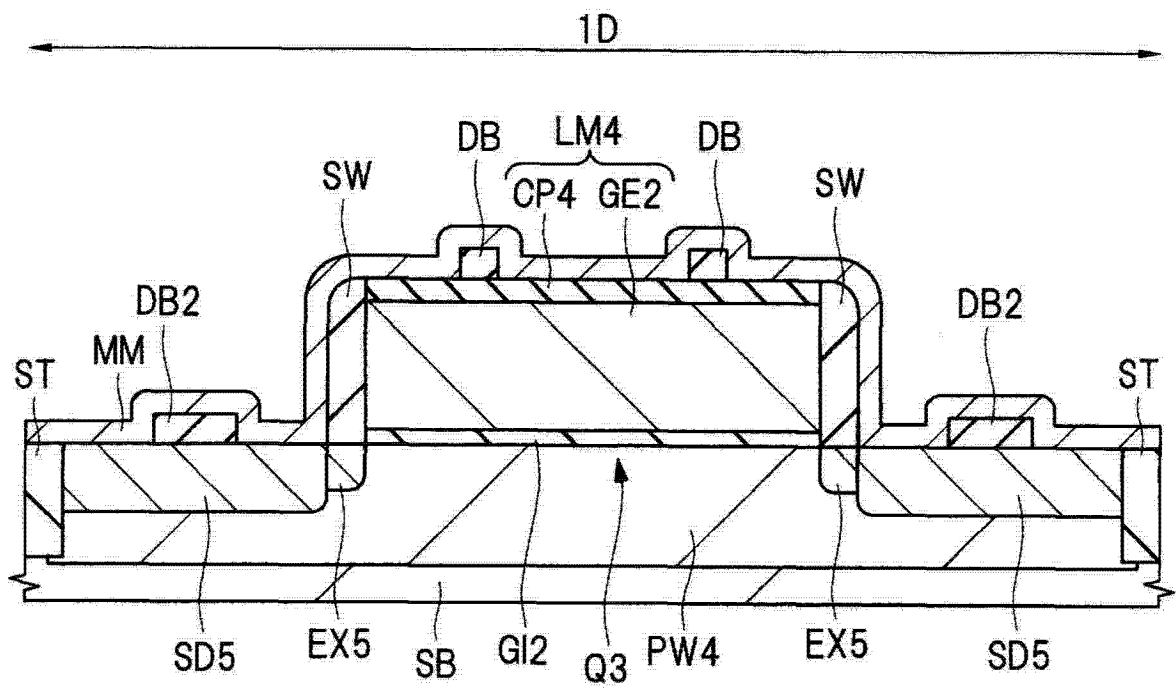


图 81

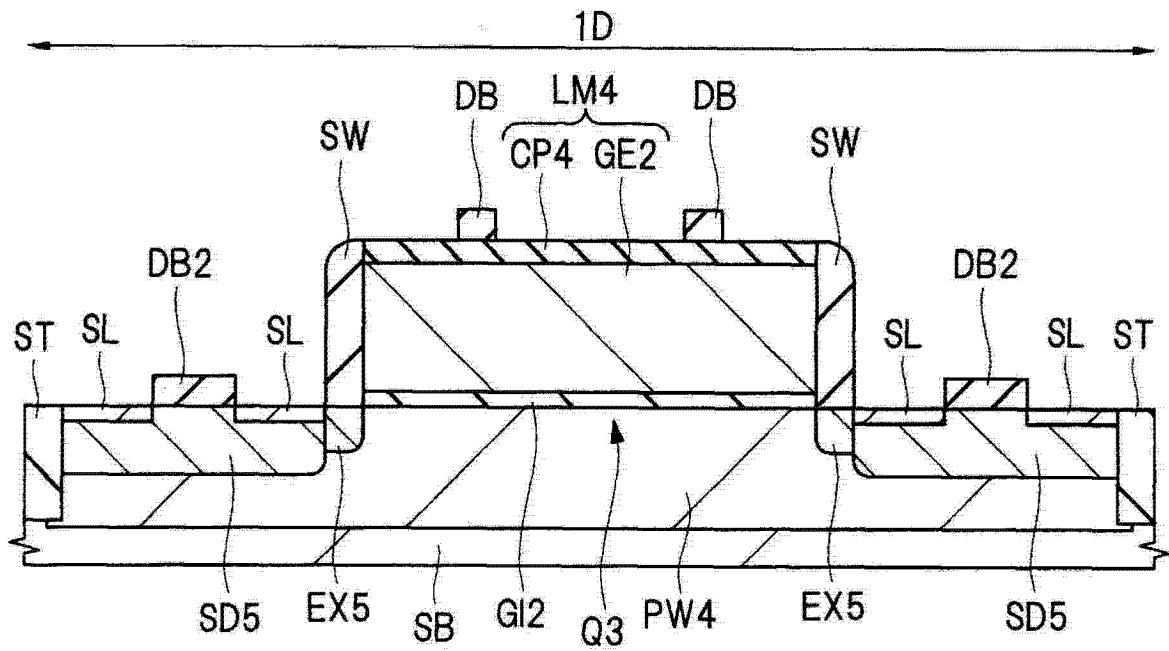


图 82

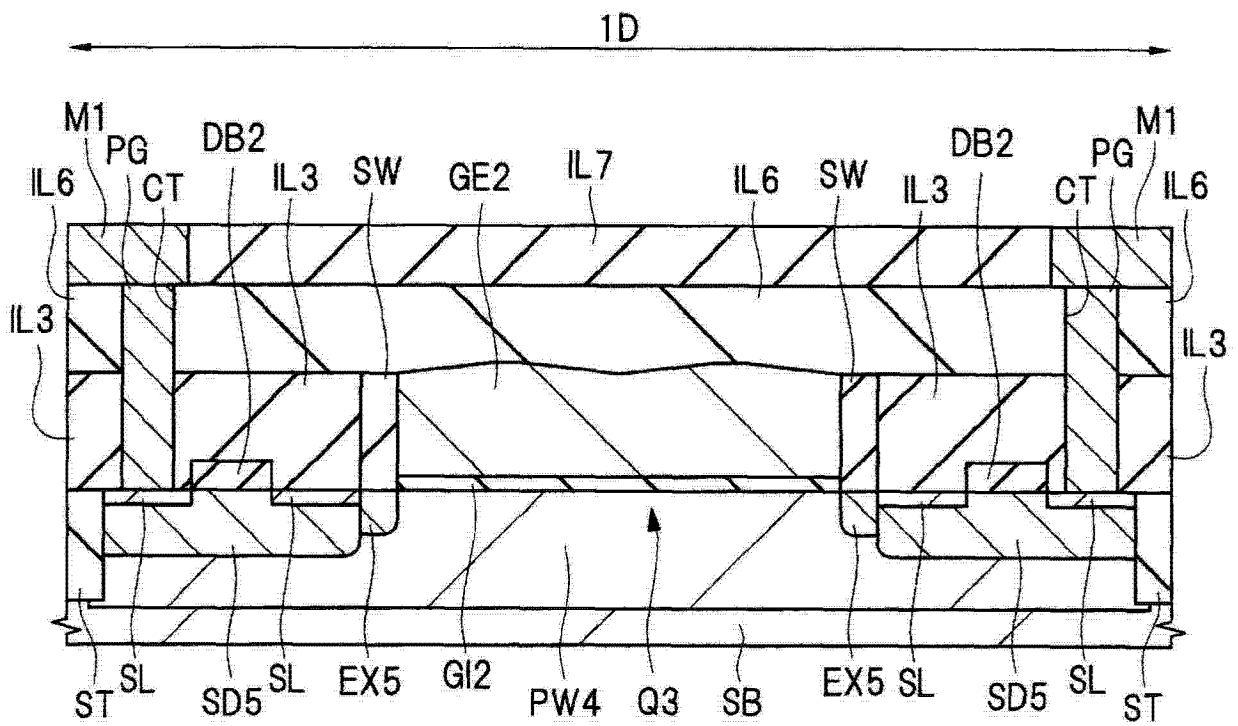


图 83