

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5723713号  
(P5723713)

(45) 発行日 平成27年5月27日(2015.5.27)

(24) 登録日 平成27年4月3日(2015.4.3)

(51) Int.Cl.

F 1

HO 1 L	21/8242	(2006.01)	HO 1 L	27/10	3 2 1
HO 1 L	27/108	(2006.01)	HO 1 L	29/78	6 1 3 B
HO 1 L	29/786	(2006.01)	HO 1 L	29/78	6 1 8 B
HO 1 L	21/8247	(2006.01)	HO 1 L	27/10	4 3 4
HO 1 L	27/115	(2006.01)	HO 1 L	29/78	3 7 1

請求項の数 1 (全 53 頁) 最終頁に続く

(21) 出願番号

特願2011-169942 (P2011-169942)

(22) 出願日

平成23年8月3日(2011.8.3)

(65) 公開番号

特開2012-256815 (P2012-256815A)

(43) 公開日

平成24年12月27日(2012.12.27)

審査請求日

平成26年5月30日(2014.5.30)

(31) 優先権主張番号

特願2010-175275 (P2010-175275)

(32) 優先日

平成22年8月4日(2010.8.4)

(33) 優先権主張国

日本国(JP)

(31) 優先権主張番号

特願2011-108155 (P2011-108155)

(32) 優先日

平成23年5月13日(2011.5.13)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 松林 大介

神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

審査官 小山 満

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1のピット線と、

第1のワード線と、

第2のワード線と、

第3のワード線と、

第1のメモリセルと、

第2のメモリセルと、を有し、

前記第1のメモリセルは、前記第1のピット線と、前記第1のワード線との交差部にあり、

前記第2のメモリセルは、前記第1のピット線と、前記第2のワード線との交差部にあり、

前記第1のメモリセル及び前記第2のメモリセルはそれぞれ、

第1のトランジスタと、

第2のトランジスタと、

容量素子と、を有し、

前記第1のトランジスタは、シリコン半導体層を有し、

前記第2のトランジスタは、酸化物半導体層を有し、

前記第1のメモリセルにおいて、

前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレイン

10

20

の一方と電気的に接続され、

前記第1のトランジスタのゲートは、前記容量素子の第1の電極と電気的に接続され、

前記第2のメモリセルにおいて、

前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第1のトランジスタのゲートは、前記容量素子の第1の電極と電気的に接続され、

前記第1のビット線は、前記第1のメモリセルの前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1のビット線は、前記第2のメモリセルの前記第2のトランジスタのソース又はドレインの他方と電気的に接続され、

前記第1のワード線は、前記第1のメモリセルの前記第2のトランジスタのゲートと電気的に接続され、

前記第2のワード線は、前記第1のメモリセルの前記容量素子の第2の電極と電気的に接続され、

前記第2のワード線は、前記第2のメモリセルの前記第2のトランジスタのゲートと電気的に接続され、

前記第3のワード線は、前記第2のメモリセルの前記容量素子の第2の電極と電気的に接続され、

前記第1のメモリセルの前記第1のトランジスタのソース又はドレインの一方は、前記第2のメモリセルの前記第1のトランジスタのソース又はドレインの他方と電気的に接続され、

前記酸化物半導体層は、In、Ga及びZn、またはIn、Sn及びZnを含み、

前記酸化物半導体層の水素濃度は、 $5 \times 10^{-9}$  atoms/cm<sup>3</sup>以下であり、

前記酸化物半導体層は、C軸配向した結晶領域を有し、

前記酸化物半導体層は、第1の結晶部分と、第2の結晶部分とを有し、

前記第1の結晶部分と、前記第2の結晶部分との境界は明確でなく、

前記第2のトランジスタの単位チャネル幅あたりのオフ電流は、25において100zA以下であることを特徴とする半導体装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

開示する発明は、半導体素子を利用した半導体装置に関するものである。

#### 【背景技術】

#### 【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

#### 【0003】

揮発性記憶装置の代表的な例としては、DRAM(Dynamic Random Access Memory)が知られている。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

#### 【0004】

DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流(オフ電流)等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失わ

10

20

30

40

50

れるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

**【0005】**

揮発性記憶装置の別の例としては S R A M ( S t a t i c R a n d o m A c c e s s M e m o r y ) が知られている。S R A M は、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においては D R A M より優れている。しかし、フリップフロップなどの回路を用いているため、単位面積あたりの記憶容量が小さくなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、D R A M と同様である。

**【0006】**

不揮発性記憶装置の代表例としては、フラッシュメモリが知られている。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献 1 参照）。

**【0007】**

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数以上の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的に劣化の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

**【0008】**

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

**【先行技術文献】**

**【特許文献】**

**【0009】**

**【特許文献 1】特開昭 57 - 105889 号公報**

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0010】**

上述の問題を鑑み、本発明の一態様は、電力が供給されない状況でも記憶内容の保持が可能で、配線数を削減することによって高集積化が図られた半導体装置を提供することを目的とする。

**【課題を解決するための手段】**

**【0011】**

開示する発明の一態様では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間に渡って情報を保持することができる。

**【0012】**

本明細書で開示する本発明の一態様は、ソース線と、n ( n は自然数 ) 本のビット線と、ソース線とビット線との間に直列に接続された第 1 乃至第 m ( m は自然数 ) のメモリセルと、m + 1 本のワード線と、第 1 及び第 2 の選択線と、ゲート電極が第 1 の選択線と電気的に接続された第 1 の選択トランジスタと、ゲート電極が第 2 の選択線と電気的に接続された第 2 の選択トランジスタと、を有し、メモリセルは、第 1 のゲート電極、第 1 のソース電極、及び第 1 のドレイン電極を有する第 1 のトランジスタと、第 2 のゲート電極、第

10

20

30

40

50

2のソース電極、及び第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、ソース線は、第2の選択トランジスタを介して、第mのメモリセルの第1のソース電極と電気的に接続され、ビット線は、第1の選択トランジスタを介して、第1のメモリセルの第1のドレイン電極と電気的に接続され、かつ第1のメモリセルの第2のドレイン電極と電気的に接続され、第1のワード線は、第1のメモリセルの第2のゲート電極と電気的に接続され、第k（kは2以上m以下の自然数）のワード線は、第kのメモリセルの第2のゲート電極と電気的に接続され、かつ第k-1のメモリセルの容量素子の電極の一方と電気的に接続され、第kのメモリセルの第1のドレイン電極は、第k-1の第1のソース電極と電気的に接続され、第mのメモリセルの第1のゲート電極と、第mのメモリセルの第2のソース電極と、第mのメモリセルの容量素子の電極の他方と、が電気的に接続されていることを特徴とする半導体装置である。 10

#### 【0013】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

#### 【0014】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。 20

#### 【0015】

第1のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第1のゲート絶縁層と、チャネル形成領域と重畳して、第1のゲート絶縁層上に設けられた第1のゲート電極を有する。

#### 【0016】

第2のトランジスタは、酸化物半導体層と電気的に接続される第2のソース電極及び第2のドレイン電極と、酸化物半導体層と重畳して設けられた第2のゲート電極と、酸化物半導体層と、第2のゲート電極との間に設けられた第2のゲート絶縁層を有する。

#### 【0017】

第1のトランジスタは第2のトランジスタと異なる導電型で形成される。酸化物半導体層を用いて形成される第2のトランジスタがnチャネル型の場合、第1のトランジスタはpチャネル型で形成する。 30

#### 【0018】

半導体材料を含む基板は、単結晶半導体基板またはSOI基板とすることが好ましい。また、半導体材料を含む基板の半導体材料はシリコンであることが好ましい。また、酸化物半導体層は、In、Ga及びZn、またはIn、Sn及びZnを含む酸化物半導体材料で形成することが好ましい。

#### 【0019】

なお、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップEgが3eVより大きい半導体材料）などを適用しても良い。 40

#### 【発明の効果】

#### 【0020】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持する 50

ことが可能である。

**【0021】**

また、シリコンなどの酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

**【0022】**

また、本発明の一態様の半導体装置では、配線数を削減することにより回路面積を縮小することができ、単位面積あたりの記憶容量を増加することができる。

10

**【図面の簡単な説明】**

**【0023】**

【図1】半導体装置の回路図。

【図2】半導体装置の回路図。

【図3】半導体装置の回路図。

【図4】タイミングチャート図。

【図5】半導体装置の断面図及び平面図。

【図6】半導体装置の作製工程に係る断面図。

【図7】半導体装置の作製工程に係る断面図。

【図8】半導体装置の作製工程に係る断面図。

20

【図9】半導体装置の作製工程に係る断面図。

【図10】半導体装置を用いた電子機器を説明するための図。

【図11】酸化物材料の結晶構造を説明する図。

【図12】酸化物材料の結晶構造を説明する図。

【図13】酸化物材料の結晶構造を説明する図。

【図14】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図15】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。

【図16】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

30

。

【図17】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。

【図18】計算に用いたトランジスタの断面構造を説明する図。

【図19】トランジスタの特性を説明する図。

【図20】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図21】試料2のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図22】XRDスペクトルを説明する図。

【図23】トランジスタのオフ電流を説明する図。

【図24】 $I_d$ （実線）および電界効果移動度（点線）の $V_g$ 依存性を説明する図。

【図25】基板温度としきい値電圧の関係、及び基板温度と電界効果移動度の関係を説明する図。

40

【図26】トランジスタの構造を説明する図。

【図27】トランジスタの構造を説明する図。

**【発明を実施するための形態】**

**【0024】**

開示する発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

**【0025】**

50

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

#### 【0026】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

#### 【0027】

また、「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えは、「電極」は「配線」の一部として用いられることがあり、「配線」は「電極」の一部として用いられることがある。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。10

#### 【0028】

また、「電気的に接続」の文言には、「何らかの電気的作用を有するもの」を介して接続されている意味も含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えは、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。20

#### 【0029】

##### (実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成及び動作について、図面を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

#### 【0030】

図1は、本発明の一態様における半導体装置の回路構成の一例である。第1のトランジスタ160、第2のトランジスタ162、容量素子164を含む構成がメモリセル190であり、図1では、メモリセル190が1列あたりm個含まれる構成がn列ある例を示している。なお、m及びnは自然数である。30

#### 【0031】

ここで、第1のトランジスタ160は特に限定されない。情報の読み出し速度を向上させるという観点からは、例えは、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

#### 【0032】

また、第2のトランジスタ162には、例えは、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、第2のトランジスタ162をオフ状態とすることで、第1のトランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、第1のトランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。40

#### 【0033】

第1のトランジスタ160は、第2のトランジスタ162と異なる導電型で形成される。酸化物半導体を用いて形成される第2のトランジスタがnチャネル型の場合、第1のトランジスタはpチャネル型で形成する。

#### 【0034】

メモリセル190においては、第1のトランジスタ160のゲート電極と、第2のトランジスタ162のソース電極と容量素子164の電極の一方が電気的に接続されている。

#### 【0035】

ビット線(BL\_1乃至BL\_n)に直交するワード線(WL\_1乃至WL\_m+1)は50

$m + 1$  本形成されており、第 1 の選択線 (SG1) 及び第 2 の選択線 (SG2) のそれらが第 1 の選択トランジスタ 180 及び第 2 の選択トランジスタ 182 のゲート電極と接続されるように形成されている。

【0036】

ソース線 (SL) は、第 2 の選択トランジスタ 182 を介して第  $m$  のメモリセルの第 1 のトランジスタのソース電極と電気的に接続され、ビット線は、第 1 の選択トランジスタ 180 を介して第 1 のメモリセルの第 1 のトランジスタのドレイン電極と電気的に接続されている。

【0037】

第 1 のワード線 (WL\_1) は、第 1 のメモリセルの第 2 のトランジスタ 162 のゲート電極と電気的に接続されている。また、第  $k$  ( $k$  は 2 以上  $m$  以下の自然数) のワード線は、第  $k$  のメモリセルの第 2 のトランジスタのゲート電極と電気的に接続されるとともに、第  $k - 1$  のメモリセルの容量素子の電極の他方と電気的に接続されている。  
10

【0038】

そして、第  $k$  のメモリセルの第 1 のトランジスタのドレイン電極は、第  $k - 1$  のメモリセルの第 1 のトランジスタのソース電極と接続されることで、メモリセル 190 はソース線とビット線との間ににおいて電気的に接続される構成となる。

【0039】

次に、メモリセル 190 の基本的な回路構成及びその動作について、図 2 を参照して説明する。なお、ここでは、第 1 のトランジスタ 160 を p チャネル型、第 2 のトランジスタ 162 を n チャネル型とする。  
20

【0040】

図 2 (A) に示す半導体装置において、第 1 の配線 (L1) と第 1 のトランジスタ 160 のドレイン電極 (またはソース電極) 及び、第 2 の配線 (L2) と第 1 のトランジスタ 160 のソース電極 (またはドレイン電極) は、電気的に接続されている。また、第 3 の配線 (L3) と第 2 のトランジスタ 162 のドレイン電極 (またはソース電極) は、電気的に接続され、第 4 の配線 (L4) と第 2 のトランジスタ 162 のゲート電極は、電気的に接続されている。そして、第 1 のトランジスタ 160 のゲート電極、及び第 2 のトランジスタ 162 のソース電極 (またはドレイン電極) は、容量素子 164 の電極の一方と電気的に接続され、第 5 の配線 (L5) と容量素子 164 の電極の他方は電気的に接続されている。  
30

【0041】

図 2 (A) に示す半導体装置では、第 1 のトランジスタ 160 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0042】

はじめに、情報の書き込み及び保持について説明する。まず、第 4 の配線の電位を、第 2 のトランジスタ 162 がオン状態となる電位にして、第 2 のトランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、第 1 のトランジスタ 160 のゲート電極、及び容量素子 164 に与えられる。すなわち、第 1 のトランジスタ 160 のゲート電極には、所定の電荷が与えられる (書き込み)。ここでは、異なる二つの電位を与える電荷 (以下、低電位を与える電荷を電荷  $Q_L$ 、高電位を与える電荷を電荷  $Q_H$  という) のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第 4 の配線の電位を、第 2 のトランジスタ 162 がオフ状態となる電位にして、第 2 のトランジスタ 162 をオフ状態とすることにより、第 1 のトランジスタ 160 のゲート電極に与えられた電荷が保持される (保持)。  
40

【0043】

酸化物半導体を用いて形成された第 2 のトランジスタ 162 のオフ電流は極めて小さいから、第 1 のトランジスタ 160 のゲート電極の電荷は長時間にわたって保持される。

【0044】

50

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、第1のトランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。第1のトランジスタ160がpチャネル型である場合、第1のトランジスタ160のゲート電極にQ<sub>H</sub>が与えられている場合の見かけのしきい値V<sub>t h - H</sub>は、第1のトランジスタ160のゲート電極にQ<sub>L</sub>が与えられている場合の見かけのしきい値V<sub>t h - L</sub>より低くなるためである。ここで、見かけのしきい値とは、第1のトランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位をV<sub>t h - L</sub>とV<sub>t h - H</sub>の中間の電位V<sub>0</sub>とすることにより、第1のトランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいてQ<sub>H</sub>が与えられた場合には、第5の配線の電位がV<sub>0</sub>(>V<sub>t h - H</sub>)となつても、第1のトランジスタ160は「オフ状態」のままである。Q<sub>L</sub>が与えられた場合には、第5の配線の電位がV<sub>0</sub>(<V<sub>t h - L</sub>)となれば、第1のトランジスタ160は「オン状態」となる。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。  
10

#### 【0045】

なお、図1のようにメモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらず第1のトランジスタ160が「オフ状態」となるような電位、つまり、V<sub>t h - L</sub>より大きい電位を与えればよい。  
20 または、ゲート電極の状態にかかわらず第1のトランジスタ160が「オン状態」となるような電位、つまり、V<sub>t h - H</sub>より小さい電位を第5の配線に与えればよい。

#### 【0046】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込み及び保持と同様に行われる。つまり、第4の配線の電位を、第2のトランジスタ162がオン状態となる電位にして、第2のトランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、第1のトランジスタ160のゲート電極及び容量素子164に与えられる。その後、第4の配線の電位を、第2のトランジスタ162がオフ状態となる電位にして、第2のトランジスタ162をオフ状態とすることにより、第1のトランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。  
30

#### 【0047】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

#### 【0048】

なお、第2のトランジスタ162のソース電極（またはドレイン電極）は、第1のトランジスタ160のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、第2のトランジスタ162のドレイン電極（またはソース電極）と第1のトランジスタ160のゲート電極が電気的に接続される部位をノードFGと呼ぶ場合がある。第2のトランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化物半導体を用いた第2のトランジスタ162のオフ電流は、シリコン半導体で形成されるトランジスタの10万分の1以下であるため、第2のトランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いた第2のトランジスタ162により、電力の供給が無くとも情報の保持が可能な不揮発性の記憶装置を実現することが可能である。  
40  
50

**【 0 0 4 9 】**

例えば、第2のトランジスタ162の室温(25℃)でのオフ電流が10zA(1zA(ゼプトアンペア))は $1 \times 10^{-21} A$ 以下であり、容量素子164の容量値が10fF程度である場合には、少なくとも $10^4$ 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

**【 0 0 5 0 】**

また、開示する発明の半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁層の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。10

**【 0 0 5 1 】**

図2(A)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗及び容量を含むものとして、図2(B)のように考えることが可能である。つまり、図2(A)では、第1のトランジスタ160及び容量素子164が、それぞれ、抵抗及び容量を含んで構成されると考えていることになる。R1及びC1は、それぞれ、容量素子164の抵抗値及び容量値であり、抵抗値R1は、容量素子164を構成する絶縁層の抵抗値に相当する。また、R2及びC2は、それぞれ、第1のトランジスタ160の抵抗値及び容量値であり、抵抗値R2は第1のトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。20

**【 0 0 5 2 】**

第2のトランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、第2のトランジスタ162のゲートリーク電流が十分に小さい条件において、R1及びR2が、R1>ROS(R1はROS以上)、R2>ROS(R2はROS以上)を満たす場合には、電荷の保持期間(情報の保持期間ということ也可能)は、主として第2のトランジスタ162のオフ電流によって決定されることになる。30

**【 0 0 5 3 】**

逆に、当該条件を満たさない場合には、第2のトランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。第2のトランジスタ162のオフ電流以外のリーク電流(例えば、第1のトランジスタ160におけるソース電極とゲート電極の間に生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、R1>ROS(R1はROS以上)、及びR2>ROS(R2はROS以上)の関係を満たすものであることが望ましいといえる。

**【 0 0 5 4 】**

一方で、C1とC2は、C1>C2(C1はC2以上)の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってノードFGの電位を制御する際に、第5の配線の電位を効率よくノードFGに与えることができるようになり、第5の配線に与える電位(例えば、読み出しの電位と、非読み出しの電位)間の電位差を低く抑えることができるためである。40

**【 0 0 5 5 】**

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1及びR2は、第1のトランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御できる。C1及びC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

**【 0 0 5 6 】**

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフロー50

タイミングゲート型トランジスタのフロー・タイミングゲートと同等の作用をするが、本実施の形態のノード F G は、本質的に異なる特徴を有している。

#### 【0057】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフロー・タイミングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

#### 【0058】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

10

#### 【0059】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各電極に同時に印加される最大の電位と最小の電位の差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができます。

20

#### 【0060】

さらに、容量素子 164 を構成する絶縁層の比誘電率  $r_1$  と、第1のトランジスタ 160 を構成する絶縁層の比誘電率  $r_2$  とを異ならせる場合には、容量素子 164 を構成する絶縁層の面積  $S_1$  と、第1のトランジスタ 160 においてゲート容量を構成する絶縁層の面積  $S_2$  とが、 $2 \cdot S_2 = S_1$  ( $2 \cdot S_2$  は  $S_1$  以上)、望ましくは  $S_2 = S_1$  ( $S_2$  は  $S_1$  以上) を満たしつつ、 $C_1 = C_2$  ( $C_1$  は  $C_2$  以上) を実現することが容易である。すなわち、容量素子 164 を構成する絶縁層の面積を小さくしつつ、 $C_1 = C_2$  を実現することが容易である。具体的には、例えば、容量素子 164 を構成する絶縁層においては、酸化ハフニウムなどの high - k 材料でなる膜、または酸化ハフニウムなどの high - k 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して  $r_1$  を 10 以上、好ましくは 15 以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$  とすることができます。

30

#### 【0061】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

#### 【0062】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの一つに3段階以上の情報を書き込む構成とすることで、2段階（1ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷  $Q_L$ 、高電位を与える電荷  $Q_H$  に加え、他の電位を与える電荷  $Q$  を第1のトランジスタのゲート電極に与えることで、多値化を実現することができる。

40

#### 【0063】

次に、メモリセルをアレイ状に配置した半導体装置の動作について説明する。

#### 【0064】

まず、メモリセルを構成するトランジスタを  $n$  チャネル型で形成した場合の動作方法の一例について説明する。図3に示す半導体装置は、メモリセル 191 をアレイ上に配置した NAND 型のもので、メモリセル 191 が 1 列あたり  $m$  個含まれる構成が  $n$  列ある例を示している。なお、 $m$  及び  $n$  は自然数である。なお、メモリセル 191 は、メモリセル 190 と同等の構成であるが、第1のトランジスタ 161 が  $n$  チャネル型であることのみが異

50

なる。

**【 0 0 6 5 】**

1列目の第1のメモリセル191を用いて説明すると、図2(A)における第1の配線(L1)は第1のビット線(BL\_1)、第2の配線(L2)はソース線(SL)、第3の配線(L3)は第2のビット線(BL\_O S\_1)、第4の配線(L4)は第2のワード線(WL\_O S\_1)、第5の配線(L5)は第1のワード線(WL\_1)にそれぞれ相当する。

**【 0 0 6 6 】**

なお、ここでは一例として、ノードFGに電位V2(電源電位VDDより低い電位)または基準電位GND(0V)のいずれかを与える場合について説明するが、ノードFGに与える電位の関係はこれに限られない。また、ノードFGに電位V2を与えた場合に保持されるデータをデータ"1"、ノードFGに基準電位GND(0V)を与えた場合に保持されるデータをデータ"0"とする。10

**【 0 0 6 7 】**

まず、第1の選択線(SG1)の電位をGND(0V)とし、第2の選択線(SG2)の電位をV1(例えば、VDD)とし、書き込み対象のメモリセル191に接続される第2のワード線(WL\_O S)の電位をV3(V2より高い電位、例えばVDD)としてメモリセル191を選択する。

**【 0 0 6 8 】**

メモリセル191にデータ"0"を書き込む場合には、第2のビット線(BL\_O S)にGNDを与え、メモリセル191にデータ"1"を書き込む場合には、第2のビット線BL\_O SにV2を与える。ここでは第2のワード線(WL\_O S)の電位をV3としているため、ノードFGにV2を与えることが可能である。20

**【 0 0 6 9 】**

データの保持は、保持対象のメモリセル191に接続される第2のワード線(WL\_O S)の電位をGNDとすることにより行われる。第2のワード線(WL\_O S)の電位をGNDに固定すると、ノードFGの電位は書き込み時の電位に固定される。つまり、ノードFGにデータ"1"であるV2が与えられている場合、ノードFGの電位はV2となり、ノードFGにデータ"0"であるGND(0V)が与えられていれば、ノードFGの電位はGND(0V)となる。30

**【 0 0 7 0 】**

また、第2のワード線(WL\_O S)にはGND(0V)が与えられているため、データ"1"とデータ"0"のいずれが書き込まれた場合でも、第2のトランジスタ162はオフ状態となる。第2のトランジスタ162のオフ電流は極めて小さいから、第1のトランジスタ161のゲート電極の電荷は長時間にわたって保持される。

**【 0 0 7 1 】**

データの読み出しがは、読み出し対象のメモリセル191に接続される第1のワード線(WL)の電位をGND(0V)とし、また、読み出し対象ではないメモリセル191に接続される第1のワード線(WL)の電位をV5(例えば、VDD)とし、かつ、第1の選択線(SG1)及び第2の選択線(SG2)の電位をV1とし、第1の選択トランジスタ181及び第2の選択トランジスタ183をオンすることにより行われる。また、第1のビット線(BL)には必要な電位V6(例えば、VDD以下の電位)を与えれば良い。40

**【 0 0 7 2 】**

読み出し対象のメモリセル191に接続される第1のワード線(WL)の電位をGND(0V)とすると、読み出し対象のメモリセル191のノードFGにデータ"1"であるV2が与えられている場合、第1のトランジスタ161はオン状態となる。一方で、ノードFGにデータ"0"であるGND(0V)が与えられていれば、第1のトランジスタ161はオフ状態となる。

**【 0 0 7 3 】**

また、読み出し対象ではないメモリセル191に接続される第1のワード線(WL)の電50

位をV<sub>5</sub>とすると、読み出し対象ではないメモリセル191にデータ”1”が書き込まれている場合、または、データ”0”が書き込まれている場合のいずれにおいても、第1のトランジスタ161はオン状態となる。この様にして、保持されている情報を読み出すことができる。

#### 【0074】

ここで、上記動作に係わる図3の半導体装置における配線数は、ワード線(WL、WL\_O\_S)が2m本、ビット線(BL、BL\_O\_S)が2n本、ソース線(SL)が1本、選択線(SG)が2本であり、ワード線とビット線だけでも1メモリセルあたり4本の配線を必要とする。従って、回路面積を縮小することができず、単位面積あたりの記憶容量を増加することが困難であった。

10

#### 【0075】

次に、本発明の一態様である図1の半導体装置の動作について図4のタイミングチャートを用いて説明する。なお、図1の半導体装置における配線数は、ワード線(WL)がm+1本、ビット線(BL)がn本、ソース線(SL)が1本、選択線(SG)が2本である。すなわち、書き込み用のワード線と読み出し用のワード線を共通化し、かつ書き込み用のビット線と読み出し用のビット線を共通化することにより配線数を削減したものである。

#### 【0076】

なお、ここでは一例として、ノードFGに電位V<sub>1</sub>(例えばV<sub>DD</sub>)または基準電位GND(0V)のいずれかを与える場合について説明するが、ノードFGに与える電位の関係はこれに限られない。また、ノードFGに電位V<sub>1</sub>を与えた場合に保持されるデータをデータ”1”、ノードFGに基準電位GND(0V)を与えた場合に保持されるデータをデータ”0”とする。

20

#### 【0077】

本実施の形態においては、説明を容易にするために1行1列目のメモリセルにデータ”1”、1行n列目のメモリセルにデータ”0”を書込む場合を説明する。まず、書き込み時には直列した第1のトランジスタ160が導通しないように第1の選択線SG1及び第2の選択線SG2の電位をV<sub>1</sub>とし、第1の選択トランジスタ180及び第2の選択トランジスタ182を確実にオフにする。

#### 【0078】

30

書き込み行のワード線(WL\_1)の電位をV<sub>1</sub>、それ以外のワード線の電位をGNDとする。このとき、第2のトランジスタ162のしきい電圧(V<sub>t h</sub>\_O\_S)が、V<sub>1</sub> > V<sub>t h</sub>\_O\_S > 0V(GND)の関係を満たしているとすると、1行目の第2のトランジスタ162はオンし、それ以外の行の第2のトランジスタ162はオフする。

#### 【0079】

ここで、1列目のビット線(BL\_1)の電位をV<sub>1</sub>とし、n列目のビット線(BL\_n)の電位をGNDとすることにより、1行1列目のノードFGの電位がV<sub>1</sub>、1行n列目のノードFGの電位が0Vになる。

#### 【0080】

40

そして、ワード線(WL\_1)の電位をGND(0V)とし、1行目の第2のトランジスタ162をオフすれば、ノードFGの電位はそれぞれ保持される。

#### 【0081】

また、ワード線(WL\_1)にはGND(0V)が与えられているため、データ”1”とデータ”0”のいずれが書き込まれた場合でも、第2のトランジスタ162はオフ状態となる。第2のトランジスタ162のオフ電流は極めて小さいから、第1のトランジスタ160のゲート電極の電荷は長時間にわたって保持される。

#### 【0082】

次に、図4のタイミングチャートを用いて、1行目のメモリセルにおけるデータを読出す場合を説明する。

#### 【0083】

50

まず、読み出し時には直列した第1のトランジスタ160が導通するように、第1の選択線(SG1)及び第2の選択線(SG2)の電位をV2として、第1の選択トランジスタ180及び第2の選択トランジスタ182をオンする。そして、読み出し行(1行目)の一つ下の行におけるワード線(WL2)の電位をV2とし、ワード線(WL\_1)の電位を0V(もしくはVth\_0S以下の電位)、それ以外のワード線の電位はV3とする。その結果、読み出し行以外の全ての第1のトランジスタ160はメモリセルのデータ状態に依らずオンする。

#### 【0084】

ここで、ワード線(WL\_1)以外のワード線には、pチャネル型である第1のトランジスタ160を動作させるための負電位が印加される。従って、それぞれのワード線に接続されたnチャネル型の第2のトランジスタ162はオンせず、ノードFGの電位は保持される。10

#### 【0085】

一方、読み出し行における第1のトランジスタ160の動作状態は、メモリセルに保持されたデータに依存する。すなわち、第1のトランジスタ160は、データ"0"が保持された1行n列目ではオンし、データ"1"が保持された1行1列目ではオフする。

#### 【0086】

その結果、全てのビット線の電位をV1としたとき、電位0Vのソース線(SL)とビット線(BL\_n)は通電し、ビット線(BL\_n)の電位は0Vに収束する。また、ビット線(BL\_1)では電位V1が保持される。この様にして、保持されている情報を読み出すことができる。20

#### 【0087】

ここで、第1のトランジスタ160は、ノーマリーオフ(ゲート電圧が0V時にオフ状態)のpチャネル型であり、保持容量の電位と一緒にしたときのしきい電圧が、データ"0"のときVth0、データ"1"のときVth1とすると、 $V3 < Vth1 < V2 < Vth0 < 0V$ の関係があるとする。

#### 【0088】

また、図1から第1の選択線(SG1)及び第1の選択トランジスタ180、または、第2の選択線(SG2)及び第2の選択トランジスタ182の一組を省略する構成とともにできる。この場合も、データの書き込み、保持、及び読み出しが、基本的に上述の動作と同様に行うことができる。30

#### 【0089】

以上により、図3の構成よりも信号線(配線数)を削減した構成においてもノードFGでのデータ保持及び読み出しができる半導体装置の動作が示された。従って、本発明の一態様における半導体装置の構成を用いれば、回路面積を削減することができ、単位面積あたりの記憶容量を増加させることができる。

#### 【0090】

なお、第2のトランジスタ162をメモリセル間で直列に接続することでもビット線を削減することはできるが、この場合はデータ書き換え時に全ビットの消去をしなければならない。一方、本発明の一態様における半導体装置の構成では、第2のトランジスタ162はメモリセル間で直列に接続されておらず、全ビット消去が不要で、ランダムアクセス性にすぐれ、消費電力を抑えることもできる。40

#### 【0091】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0092】

##### (実施の形態2)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成及びその作製方法について、図を参照して説明する。

#### 【0093】

図5は、図1の回路図で示した半導体装置（メモリセル190及び第1の選択トランジスタ180）の構成の一例である。図5（A）には、半導体装置の断面を、図5（B）には、半導体装置の平面を、それぞれ示す。ここで、図5（A）は、図5（B）のA1-A2における断面に相当する。また、図5（B）において、A1-A2に平行な方向が図1の回路図における列方向であり、A1-A2に垂直な方向が図1の回路図における行方向である。なお、図5（B）は説明を容易にするために配線（電極）等を強調し、絶縁層等は省いて示してある。

#### 【0094】

図5（A）、（B）に示される半導体装置は、下部に第1の半導体材料を用いた第1のトランジスタ160、第1の選択トランジスタ180を有し、上部に第2の半導体材料を用いた第2のトランジスタ162を有するものである。なお、図5では、第1行目の第1のトランジスタ160及び第2のトランジスタ162を表示しているが、図1の回路図に示すように、第1行目から第m行目まで第1のトランジスタ160は、ソース電極（ソース領域）とドレイン電極（ドレイン領域）が直列に接続されている。

10

#### 【0095】

ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第2の半導体材料を酸化物半導体とすることができます。単結晶シリコンなどの酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

20

#### 【0096】

なお、図1の回路構成から、第1のトランジスタ160はpチャネル型、第2のトランジスタ162はnチャネル型であるものとして説明するが、第1のトランジスタ160をnチャネル型、第2のトランジスタ162をpチャネル型としても動作させることができる。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料を第2のトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

#### 【0097】

図5における第1のトランジスタ160は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116a、チャネル形成領域116aを挟むように設けられた不純物領域120a及び不純物領域120b、不純物領域120a及び不純物領域120bに接する金属化合物領域124a及び金属化合物領域124b、チャネル形成領域116a上に設けられたゲート絶縁層108a、ゲート絶縁層108a上に設けられたゲート電極110aを含んで構成される。

30

#### 【0098】

なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載にはソース領域が、ドレイン電極との記載にはドレイン領域が、含まれる。

40

#### 【0099】

なお、本明細書中において、不純物領域120a、不純物領域120b及び後述する不純物領域120cをまとめて、不純物領域120と記載する場合がある。また、本明細書中において、金属化合物領域124a、金属化合物領域124b、及び後述する金属化合物領域124cをまとめて、金属化合物領域124と記載する場合がある。

#### 【0100】

ここで、第1のトランジスタ160は、ソース領域またはドレイン領域として機能する不純物領域120及び金属化合物領域124を共有して、第1行目から第m行目まで直列に接続される。つまり、第k-1行目（kは2以上m以下の自然数）の第1のトランジスタ

50

160のソース領域として機能する不純物領域120及び金属化合物領域124は、第k行目の第1のトランジスタ160のドレイン領域として機能することになる。

#### 【0101】

このように、メモリセル190の第1のトランジスタ160を直列に接続することによって、各メモリセル190間で第1のトランジスタ160のソース領域及びドレイン領域を共有することができる。つまり、各メモリセル190において、第1のトランジスタ160のソース領域またはドレイン領域の一方を、開口部を設けて、配線158に別途接続する必要がない。よって、第1のトランジスタ160の平面レイアウトは、配線158と接続するための開口部を設ける必要がないので、後述する第2のトランジスタ162の平面レイアウトに容易に重ねることができ、メモリセル190の占有面積の低減を図ることができる。10

#### 【0102】

また、第1行目の第1のトランジスタ160は、第1の選択トランジスタ180を介してビット線(BL)と電気的に接続されるので、第1行目の第1のトランジスタ160のドレイン領域として機能する不純物領域120b及び金属化合物領域124bは、第1の選択トランジスタ180のソース領域として機能する。ここで、第1の選択トランジスタ180は、上述の第1のトランジスタ160と同様の構成とすることができる。

#### 【0103】

つまり、第1の選択トランジスタ180は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116bと、チャネル形成領域116bを挟むように設けられた不純物領域120b及び不純物領域120cと、不純物領域120b及び不純物領域120cに接する金属化合物領域124b及び金属化合物領域124cと、チャネル形成領域116b上に設けられたゲート絶縁層108bと、ゲート絶縁層108b上に設けられたゲート電極110bと、を有する。なお、第1の選択トランジスタ180のゲート電極110bは、図1に示す回路図における、選択線SGとして機能する。20

#### 【0104】

なお、本明細書中において、チャネル形成領域116a及びチャネル形成領域116bをまとめて、チャネル形成領域116と記載する場合がある。また、本明細書中において、ゲート絶縁層108a及びゲート絶縁層108bをまとめて、ゲート絶縁層108と記載する場合がある。また、本明細書中において、ゲート電極110a及びゲート電極110bをまとめて、ゲート電極110と記載する場合がある。30

#### 【0105】

また、基板100上には第1のトランジスタ160及び第1の選択トランジスタ180を囲むように素子分離絶縁層106が設けられており、第1のトランジスタ160及び第1の選択トランジスタ180上に、ゲート電極110の上面を露出させるように絶縁層128が設けられている。なお、高集積化を実現するためには、図5に示すように第1のトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、第1のトランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。40

#### 【0106】

ここで、絶縁層128は、平坦性の良好な表面を有しているのが好ましく、例えば、絶縁層128の表面は、二乗平均平方根粗さ(RMS)を1nm以下とすることが好ましい。

#### 【0107】

図5における第2のトランジスタ162は、絶縁層128上に形成されたソース電極142a及びドレイン電極142bと、絶縁層128、ソース電極142a及びドレイン電極142bの一部と接する酸化物半導体層144と、酸化物半導体層144を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畠するように設けられたゲート電極148と、を有する。なお、ゲート電極148は、図1に示す回路図における、ワード線WLとして機能する。50

## 【0108】

なお、図5において第2のトランジスタ162は、トップゲートボトムコンタクト型(TGBC型)の構成を示しているが、図示された構成に限定するものではない。例えば、トップゲートトップコンタクト型(TGTC型)、ボトムゲートボトムコンタクト型(BGBC型)、ボトムゲートトップコンタクト型(BGTC型)などの構成であっても良い。

## 【0109】

また、図示はしないがソース電極142aと酸化物半導体層144、及びドレイン電極142bと酸化物半導体層144のそれぞれの間にn型の導電型を有するバッファ層を設けても良い。該バッファ層を形成することで、ソース電極142aと酸化物半導体層144、ドレイン電極142bと酸化物半導体層144のそれぞれの間の接触抵抗を下げる事ができ、トランジスタのオン電流を増加させることができる。10

## 【0110】

n型の導電型を有するバッファ層に用いることのできる代表的な材料としては、インジウム酸化物(In-O系)、インジウム錫酸化物(In-Sn-O系)、インジウム亜鉛酸化物(In-Zn-O系)、錫酸化物(Sn-O系)、亜鉛酸化物(Zn-O系)、錫亜鉛酸化物(Sn-Zn-O系)などの金属酸化物があり、それにアルミニウム(Al)、ガリウム(Ga)、シリコン(Si)から選ばれた元素が一つ以上含まれていても良い。また、チタン酸化物(Ti-O)、チタンニオブ酸化物(Ti-Nb-O系)、モリブデン酸化物(Mo-O系)、タンゲステン酸化物(W-O系)、マグネシウム酸化物(Mg-O系)、カルシウム酸化物(Ca-O系)、ガリウム酸化物(Ga-O系)等を用いることができる。また、上記材料に窒素(N)が含まれていても良い。20

## 【0111】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19}$ atoms/cm<sup>3</sup>以下、望ましくは $5 \times 10^{18}$ atoms/cm<sup>3</sup>以下、より望ましくは $5 \times 10^{17}$ atoms/cm<sup>3</sup>以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、水素等のドナーに起因するキャリア密度が $1 \times 10^{12}$ /cm<sup>3</sup>未満、望ましくは、 $1 \times 10^{11}$ /cm<sup>3</sup>未満、より望ましくは $1 \times 10^{10}$ /cm<sup>3</sup>未満となる。また、例えば、室温(25)でのオフ電流(ここでは、単位チャネル幅(1 μm)あたりの値)は100zA(1zA(ゼプトアンペア)は $1 \times 10^{-21}$ A)以下、望ましくは10zA以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタを得ることができる。30

## 【0112】

また、絶縁層128の表面であって酸化物半導体層144と接する領域は、その二乗平均平方根粗さ(RMS)を1nm以下とすることが好ましい。このように、二乗平均平方根粗さ(RMS)が1nm以下という極めて平坦な領域に第2のトランジスタ162のチャネル形成領域を設けることにより、第2のトランジスタ162が微細化される状況においても、短チャネル効果などの不具合を防止し、良好な特性を有する第2のトランジスタ162を提供することが可能である。40

## 【0113】

図5における容量素子164は、ソース電極142a、酸化物半導体層144、ゲート絶縁層146、ゲート絶縁層146上の絶縁層150及び電極152を含んで構成される。すなわち、ソース電極142aは、容量素子164の一方の電極として機能し、電極152は、容量素子164の他方の電極として機能することになる。なお、容量素子164は、ゲート絶縁層146を含まない構成としてもよい。このような構成とすることにより、50

容量素子 164 の誘電体層は、酸化物半導体層 144 と絶縁層 150 で構成されることになるので、誘電体層の膜厚が低減され、容量素子 164 の静電容量を増加させることができる。

#### 【 0114 】

ここで、第 k - 1 行目 ( k は 2 以上 m 以下の自然数 ) の容量素子 164 の一方の電極は、第 k - 1 行目の第 2 のトランジスタ 162 のソース電極 142a なので、容量素子 164 の平面レイアウトは、第 2 のトランジスタ 162 の平面レイアウトに容易に重ねることができ、メモリセル 190 の占有面積の低減を図ることができる。また、電極 152 を絶縁層 150 上に形成することで、隣り合うメモリセル 190 のゲート電極 148 を最小限の配線間隔で形成し、且つ隣り合うメモリセル 190 のゲート電極 148 の間に電極 152 を形成することができる。これにより、メモリセル 190 の占有面積の低減を図ることができる。なお、電極 152 は、図 1 に示す回路図における、ワード線 WL として機能する。  
10

#### 【 0115 】

第 2 のトランジスタ 162 の上には、絶縁層 150 が設けられており、絶縁層 150 及び容量素子 164 の電極 152 上には絶縁層 154 が設けられている。そして、ゲート絶縁層 146 、絶縁層 150 、絶縁層 154 などに形成された開口には、電極 156a が設けられ、絶縁層 154 上には電極 156a と接続する配線 158 が形成される。また、ゲート絶縁層 146 、絶縁層 150 、絶縁層 154 などに形成された開口に設けられた電極 156b と、電極 142c と、絶縁層 128 に埋め込まれた電極 126 と、を介して配線 158 と第 1 の選択トランジスタ 180 のドレイン領域として機能する金属化合物領域 124c とが電気的に接続される。ここで、配線 158 は、図 1 に示す回路における、ビット線 BL として機能する。  
20

#### 【 0116 】

以上のような構成とすることにより、第 1 のトランジスタ 160 、第 2 のトランジスタ 162 及び容量素子 164 からなる、メモリセル 190 の平面レイアウトの大きさを低減することができる。メモリセル 190 の平面レイアウトは、行方向の長さを、ビット線 BL として機能する配線 158 の最小限の配線幅と配線間隔の長さ程度まで小さくすることができ、列方向の長さは、ゲート電極 148 の最小限の配線幅、配線間隔の長さ及びコンタクトホール形成領域 1 個分程度まで小さくすることができる。このような平面レイアウトを採用することにより、図 1 に示す回路の高集積化を図ることができ、例えば、最小加工寸法を F として、メモリセルの占有面積を  $6F^2 \sim 18F^2$  とすることが可能である。よって、半導体装置の単位面積あたりの記憶容量を増加させることができる。  
30

#### 【 0117 】

なお、開示する発明に係る半導体装置の構成は、図 5 に示されるものに限定されない。開示する発明の一態様の技術的思想は、酸化物半導体と、酸化物半導体以外の材料と、を用いた積層構造を形成する点にあるから、電極の接続関係等の詳細については、適宜変更することができる。

#### 【 0118 】

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部の第 1 のトランジスタ 160 及び第 1 の選択トランジスタ 180 の作製方法について説明し、その後、上部の第 2 のトランジスタ 162 及び容量素子 164 の作製方法について説明する。なお、第 2 のトランジスタ 162 については、図 5 に例示した構造の T G B C 型の作製方法を説明するが、他の構造のトランジスタも同様の材料を用い、工程の順序を入れ替えることで作製することができる。  
40

#### 【 0119 】

まず、半導体材料を含む基板 100 を用意する。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すも  
50

のとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

#### 【0120】

半導体材料を含む基板100として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

#### 【0121】

なお、トランジスタのしきい値電圧を制御するために、後に第1のトランジスタ160のチャネル形成領域116a及び第1の選択トランジスタ180のチャネル形成領域116bとなる領域に、不純物元素を添加しても良い。ここでは、pチャネル型である第1のトランジスタ160及び第1の選択トランジスタ180のしきい値電圧が負となるような導電性を付与する不純物元素を添加する。半導体材料がシリコンの場合、該導電性を付与する不純物には、例えば、リン、ヒ素、アンチモンなどがある。なお、不純物元素の添加後には、加熱処理を行い、不純物元素の活性化や不純物元素の添加時に生じる欠陥の改善等を図ることが望ましい。

#### 【0122】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図6(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。

#### 【0123】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される(図6(B)参照)。当該エッチングには、ドライエッティング法を用いるのが好適であるが、ウェットエッティング法を用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。

#### 【0124】

次に、基板100を覆うように絶縁層を形成し、半導体領域104に重畠する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP(化学的機械的研磨)処理などの研磨処理やエッティング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

#### 【0125】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

#### 【0126】

該絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、ヘリウム、アルゴン、クリプトン、キセノンなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ガリウム、ハフニウムシリケート( $HfSi_xO_y$ ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_yN_z$ ( $x > 0$ 、 $y > 0$ 、 $z > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$ ( $x > 0$ 、 $y > 0$ 、 $z > 0$ ))等を含む

10

20

30

40

50

単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1 nm以上100 nm以下、好ましくは10 nm以上50 nm以下とすることができる。

【0127】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0128】

その後、絶縁層及び導電材料を含む層を選択的にエッチングして、ゲート絶縁層108(ゲート絶縁層108a、ゲート絶縁層108b)及びゲート電極110(ゲート電極110a、ゲート電極110b)を形成する(図6(C)参照)。

【0129】

次に、半導体領域104にホウ素(B)やアルミニウム(A1)などを添加して、チャネル形成領域116(チャネル形成領域116a、チャネル形成領域116b)及び不純物領域120(不純物領域120a、不純物領域120b、不純物領域120c)を形成する(図6(D)参照)。なお、ここではp型トランジスタを形成するためにホウ素やアルミニウムを添加しているが、n型トランジスタを形成する場合には、リン(P)やヒ素(As)などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0130】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0131】

次に、ゲート電極110、不純物領域120等を覆うように金属層122を形成する。金属層122は、真空蒸着法やスパッタ法、スピンドル法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0132】

次に、熱処理を施して、金属層122と半導体材料とを反応させる。これにより、不純物領域120(不純物領域120a、不純物領域120b、不純物領域120c)に接する金属化合物領域124(金属化合物領域124a、金属化合物領域124b、金属化合物領域124c)が形成される(図7(A)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

【0133】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後には、金属層122は除去する。

【0134】

次に、第1の選択トランジスタ180の金属化合物領域124c上に接するように電極126を形成する。電極126は、スパッタ法をはじめとするPVD法や、プラズマCVD

10

20

30

40

50

法などのCVD法を用いて導電層を形成した後、当該導電層を選択的にエッチングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、後述するソース電極142a、ドレイン電極142bなどと同様である。

#### 【0135】

以上により、半導体材料を含む基板100を用いた第1のトランジスタ160及び第1の選択トランジスタ180が形成される(図7(B)参照)。このような第1のトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

10

#### 【0136】

次に、上述の工程により形成された各構成を覆うように、絶縁層128を形成する(図7(C)参照)。絶縁層128は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層128に誘電率の低い(10w-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層128には、これらの材料を用いた多孔質の絶縁層を適用しても良い。多孔質の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層128は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層128を単層構造としているが、開示する発明の一態様はこれに限定されない。絶縁層128を2層以上の積層構造としても良い。

20

#### 【0137】

その後、第2のトランジスタ162及び容量素子164の形成前の処理として、絶縁層128にCMP処理を施して、ゲート電極110a、ゲート電極110b及び電極126の上面を露出させる(図7(D)参照)。ゲート電極110の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能であるが、第2のトランジスタ162の特性を向上させるために、絶縁層128の表面は可能な限り平坦にしておくことが望ましく、例えば、絶縁層128の表面は、二乗平均平方根粗さ(RMS)を1nm以下とすることが好ましい。

30

#### 【0138】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層及び導電層の積層構造でなる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

#### 【0139】

次に、ゲート電極110、電極126、絶縁層128などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極142a、ドレイン電極142b、電極142cを形成する(図8(A)参照)。

40

#### 【0140】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

#### 【0141】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウ

50

ム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極142a、ドレイン電極142b及び電極142cへの加工が容易であるというメリットがある。

#### 【0142】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウムスズ(ITOと略記する場合がある)、酸化インジウム亜鉛、または、これらの金属酸化物材料にシリコン若しくはアルミニウムを含有させたものを用いることができる。

10

#### 【0143】

なお、導電層のエッティングは、ドライエッティング、ウェットエッティングのいずれを用いて行っても良いが、微細化のためには、制御性の良いドライエッティングを用いるのが好適である。また、形成されるソース電極142a、及びドレイン電極142bがテーパー形状となるように行っても良い。テーパー角は、例えば、30°以上60°以下とすることができる。

#### 【0144】

上部の第2のトランジスタ162のチャネル長(L)は、ソース電極142a、及びドレイン電極142bの上端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、2μm未満、好ましくは10nm以上350nm(0.35μm)以下とすることも可能であり、回路の動作速度を高めることができる。

20

#### 【0145】

なお、絶縁層128の上には、下地絶縁層として機能する絶縁層を設けても良い。当該絶縁層は、PVD法やCVD法などを用いて形成することができる。

#### 【0146】

次に、ソース電極142aの上面、ドレイン電極142bの上面、及び絶縁層128の上面、の一部に接するように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッティングして酸化物半導体層144を形成する(図8(B)参照)。

30

#### 【0147】

用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

40

#### 【0148】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

#### 【0149】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の

50

酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。 10

#### 【0150】

In - Ga - Zn 系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、かつ、電界効果移動度が高い特徴を有している。また、In - Sn - Zn 系酸化物半導体材料を用いたトランジスタは、In - Ga - Zn 系の酸化物半導体材料を用いたトランジスタよりも電界効果移動度を三倍以上にすることができ、かつ、しきい値電圧を正にしやすい特徴を有している。これらの半導体材料は、本発明の一態様における半導体装置を構成するトランジスタに用いることのできる好適な材料の一つである。 20

#### 【0151】

なお、ここで、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

#### 【0152】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$  ( $m > 0$ 、且つ、 $m$  は整数でない) で表記される材料を用いてもよい。なお、M は、Ga、Fe、Mn 及びCo から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5 (ZnO)_n$  ( $n > 0$ 、且つ、 $n$  は整数) で表記される材料を用いてもよい。

例えば、 $In : Ga : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3) あるいは  $In : Ga : Zn = 2 : 2 : 1$  (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$  (= 1 / 3 : 1 / 6 : 1 / 2) あるいは  $In : Sn : Zn = 2 : 1 : 5$  (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。 30

#### 【0153】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

#### 【0154】

例えば、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。 40

#### 【0155】

なお、例えば、In、Ga、Zn の原子数比が  $In : Ga : Zn = a : b : c$  ( $a + b + c = 1$ ) である酸化物の組成が、原子数比が  $In : Ga : Zn = A : B : C$  ( $A + B + C = 1$ ) の酸化物の組成の近傍であるとは、 $a$ 、 $b$ 、 $c$  が、

$$(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$$

を満たすことをいい、 $r$  は、例えば、0.05 とすればよい。他の酸化物でも同様である。 50

## 【0156】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

## 【0157】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるために、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

## 【0158】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することができる。具体的には、平均面粗さ ( $R_a$ ) が  $1 \text{ nm}$  以下、好ましくは  $0.3 \text{ nm}$  以下、より好ましくは  $0.1 \text{ nm}$  以下の表面上に形成するとよい。10

## 【0159】

なお、 $R_a$  は、JIS B 0601 で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

## 【0160】

## 【数1】

$$R_a = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

20

## 【0161】

なお、上記において、 $S_0$  は、測定面（座標  $(x_1, y_1)$   $(x_1, y_2)$   $(x_2, y_1)$   $(x_2, y_2)$ ）で表される4点によって囲まれる長方形の領域）の面積を指し、 $Z_0$  は測定面の平均高さを指す。 $R_a$  は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて評価可能である。

## 【0162】

酸化物半導体層 144 をスパッタ法で作製するためのターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol 数比] の酸化物ターゲットを用いる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 数比] の酸化物ターゲットを用いてもよい。30

## 【0163】

また、酸化物半導体として  $\text{In-Zn-O}$  系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$  (mol 数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ )、好ましくは  $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$  (mol 数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ )、さらに好ましくは  $\text{In} : \text{Zn} = 15 : 1 \sim 1.5 : 1$  (mol 数比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ ) とする。例えば、 $\text{In-Zn}$  系酸化物半導体の形成に用いるターゲットは、原子数比が  $\text{In} : \text{Zn} : \text{O} = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。40

## 【0164】

また、 $\text{In-Sn-Zn}$  系酸化物は、ITZO と呼ぶことができ、用いるターゲットの組成比は、 $\text{In} : \text{Sn} : \text{Zn}$  が原子数比で、 $1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 、または  $20 : 45 : 35$  などとなる酸化物ターゲットを用いる。

## 【0165】

ここで酸化物半導体が結晶性を有する場合として、c 軸配向し、かつ ab 面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab 面においては a 軸または b 軸の向きが異なる (c 軸を中心に回転した) 結晶 (CAC: C Axis Aligned Crystal) を含む酸化物について説明する。50

**【0166】**

C A A C を含む酸化物とは、広義に、非単結晶であって、その a b 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

**【0167】**

C A A C は単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A C は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

**【0168】**

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C を支持する基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。または、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C を支持する基板面、C A A C の表面などに垂直な方向）を向いていてもよい。

**【0169】**

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

**【0170】**

このようなC A A C の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

**【0171】**

C A A C に含まれる結晶構造の一例について図11乃至図13を用いて詳細に説明する。なお、特に断りがない限り、図11乃至図13は上方向をc軸方向とし、c軸方向と直交する面をa b面とする。なお、単に上半分、下半分という場合、a b面を境にした場合の上半分、下半分をいう。また、図11において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

**【0172】**

図11(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子（以下4配位のO）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図11(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図11(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図11(A)に示す小グループは電荷が0である。

**【0173】**

図11(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子（以下3配位のO）と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図11(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図11(B)に示す構造をとりうる。図11(B)に示す小グループは電荷が0である。

**【0174】**

図11(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図11(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図11(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図11(C)に示す小グループは電荷が0である。

**【0175】**

図11(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図11(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位

10

20

30

40

50

のOがある。図11(D)に示す小グループは電荷が+1となる。

**【0176】**

図11(E)に、2個のZnを含む小グループを示す。図11(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図11(E)に示す小グループは電荷が-1となる。

**【0177】**

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

**【0178】**

ここで、これらの小グループ同士が結合する規則について説明する。図11(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。5配位のGaの上半分の1個のOは、下方向に1個の近接Gaを有し、下半分の1個のOは、上方向に1個の近接Gaを有する。4配位のZnの上半分の1個のOは、下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。このように、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。したがって、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、または4配位の金属原子(Zn)のいずれかと結合することになる。

10

20

**【0179】**

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

**【0180】**

図12(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図12(B)に、3つの中グループで構成される大グループを示す。なお、図12(C)は、図12(B)の層構造をc軸方向から観察した場合の原子配列を示す。

30

**【0181】**

図12(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図12(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図12(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

**【0182】**

40

図12(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

**【0183】**

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.6

50

67、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従つて、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図11(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

#### 【0184】

具体的には、図12(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶( $In_2SnZn_3O_8$ )を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7 (ZnO)_m$ (mは0または自然数。)とする組成式で表すことができる。

10

#### 【0185】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物などを用いた場合も同様である。

20

#### 【0186】

例えば、図13(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

#### 【0187】

図13(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

30

#### 【0188】

図13(B)に3つの中グループで構成される大グループを示す。なお、図13(C)は、図13(B)の層構造をc軸方向から観察した場合の原子配列を示している。

#### 【0189】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

40

#### 【0190】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図13(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

#### 【0191】

本実施の形態では、非晶質構造の酸化物半導体層144をIn-Ga-Zn系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。また、その膜厚は、1nm以上50nm以下、好ましくは2nm以上20nm以下、より好ましくは3nm以上15

50

n m 以下とする。

**【 0 1 9 2 】**

金属酸化物ターゲット中の金属酸化物の相対密度は 80 % 以上、好ましくは 95 % 以上、さらに好ましくは 99 . 9 % 以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

**【 0 1 9 3 】**

酸化物半導体層 144 の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度 1 ppm 以下（好ましくは濃度 10 ppb 以下）にまで除去された高純度ガス雰囲気を用いるのが好適である。10

**【 0 1 9 4 】**

酸化物半導体層 144 の形成の際には、例えば、減圧状態に保たれた処理室内に被処理物を保持し、被処理物の温度が 100 以上 550 未満、好ましくは 200 以上 400

以下となるように被処理物を熱する。または、酸化物半導体層 144 の形成の際の被処理物の温度は、室温（15 以上 35 以下）としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層 144 を形成する。被処理物を熱しながら酸化物半導体層 144 を形成することにより、酸化物半導体層 144 に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。20

**【 0 1 9 5 】**

酸化物半導体層 144 の形成条件としては、例えば、被処理物とターゲットの間との距離が 170 mm、圧力が 0 . 4 Pa、直流（DC）電力が 0 . 5 kW、雰囲気が酸素（酸素 100 %）雰囲気、またはアルゴン（アルゴン 100 %）雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、ごみ（成膜時に形成される粉状の物質など）を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層 144 の厚さは、1 nm 以上 50 nm 以下、好ましくは 2 nm 以上 20 nm 以下、より好ましくは 3 nm 以上 15 nm 以下とする。開示する発明に係る構成を採用することで、このような厚さの酸化物半導体層 144 を用いる場合であっても、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。なお、図 8 (B) に示すように、酸化物半導体層 144 のチャネル形成領域に相当する部分の断面形状を、平坦な形状とすることが好ましい。酸化物半導体層 144 のチャネル形成領域に相当する部分の断面形状を平坦な形状とすることにより、酸化物半導体層 144 の断面形状が平坦でない場合と比較して、リーク電流を低減することができる。30

**【 0 1 9 6 】**

なお、酸化物半導体層 144 をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成面の付着物を除去しても良い。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させることを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。40

**【 0 1 9 7 】**

10

20

30

40

50

酸化物半導体層144の形成後には、酸化物半導体層144に対して熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層144の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、好ましくは400以上500以下とする。

#### 【0198】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

#### 【0199】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、G R T A ( G a s R a p i d T h e r m a l A n n e a l ) 装置、L R T A ( L a m p R a p i d T h e r m a l A n n e a l ) 装置等のR T A ( R a p i d T h e r m a l A n n e a l ) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

#### 【0200】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すG R T A 処理を行ってもよい。G R T A 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えることが好ましい。酸素を含む雰囲気において第1の熱処理を行うことで、酸化物半導体層を過酸素化状態とし、酸素欠損に起因するエネルギーギャップ中のドナー準位を低減することができるためである。

#### 【0201】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

#### 【0202】

上記のように、熱処理によって不純物を低減し、過酸素化状態とすることでi型（真性半導体）またはi型に限りなく近い酸化物半導体層を得ることができ、極めて優れた特性のトランジスタを実現することができる。

#### 【0203】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理、脱水素化処理、及び酸素を含む雰囲気中の熱処理は、酸化物半導体層144の形成後や後に形成するゲート絶縁層146の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理及び酸素を含む雰囲気中の熱処理は、一回に限らず複数回行っても良い。

#### 【0204】

酸化物半導体層144のエッティングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行っても良い。また、素子の微細化という観点からはドライエッティング法を用いるのが好適であるが、ウェットエッティング法を用いても良い。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。なお、素子におけ

10

20

30

40

50

るリークなどが問題とならない場合には、酸化物半導体層を島状に加工しないで用いても良い。

#### 【0205】

次に、酸化物半導体層144を覆うようにゲート絶縁層146を形成する。

#### 【0206】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、酸化ガリウム、ハフニウムシリケート( $HfSi_xO_y$ ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_yN_z$ ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$ ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、などを含むように形成するのが好適である。<sup>10</sup> ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

#### 【0207】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、酸化ガリウム、ハフニウムシリケート( $HfSi_xO_y$ ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $HfSi_xO_yN_z$ ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$ ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、などの高誘電率(high-k)材料を用いると良い。<sup>20</sup> high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。例えば、酸化ハフニウムは比誘電率が15程度であり、酸化シリコンの比誘電率の3~4と比較して非常に大きな値を有している。このような材料を用いることにより、酸化シリコン換算で15nm未満、好ましくは2nm以上10nm以下のゲート絶縁層を実現することも容易になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。<sup>30</sup>

#### 【0208】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

#### 【0209】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。<sup>40</sup>

#### 【0210】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その主成分以外の不純物が極力含まれないように高純度化することができる。

#### 【0211】

次に、ゲート絶縁層 146 上にゲート電極 148 を形成する（図 8（C）参照）。

【0212】

ゲート電極 148 は、ゲート絶縁層 146 上に導電層を形成した後に、当該導電層を選択的にエッティングすることによって形成することができる。ゲート電極 148 となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極 142a またはドレイン電極 142b などの場合と同様であり、これらの記載を参照できる。

【0213】

以上により、高純度化された酸化物半導体層 144 を用いた第 2 のトランジスタ 162 が完成する。このようなトランジスタは、オフ電流が十分低減されているという特徴を有する。このため、当該トランジスタを書き込み用のトランジスタとして用いることで、長時間の電荷保持を行うことができる。

10

【0214】

次に、ゲート絶縁層 146 及びゲート電極 148 上に、絶縁層 150 を形成する。絶縁層 150 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、または、 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+y}$  ( $0 < x < 2$ 、 $0 < y < 1$ 、 $x$  は 0 以上 2 以下の値、 $y$  は 0 より大きく、1 より小さい値) で表される酸化アルミニウム、酸化ガリウム、酸化ガリウムアルミニウム等の無機絶縁材料を含む材料を用いて、単層または積層で形成することができる。

【0215】

20

なお、絶縁層 150 には、誘電率の低い材料や、誘電率の低い構造（多孔質の構造など）を用いることが望ましい。絶縁層 150 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

【0216】

なお、容量素子 164 に、ゲート絶縁層 146 を含まない構成とする場合は、絶縁層 150 を成膜する前に、ソース電極 142a 上の、容量素子 164 を形成する領域のゲート絶縁層 146 を除去すればよい。

【0217】

次に、ソース電極 142a と重畠するように、絶縁層 150 上に電極 152 を形成する（図 8（D）参照）。電極 152 は、ゲート電極 148 と同様の方法及び材料で形成することができる。詳細は、上記ゲート電極 148 の記載を参照することができる。以上により、容量素子 164 が完成する。

30

【0218】

次に、絶縁層 150 及び電極 152 上に、絶縁層 154 を形成する（図 9（A）参照）。絶縁層 154 は、絶縁層 150 と同様に、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて、単層または積層で形成することができる。

【0219】

なお、絶縁層 154 には、誘電率の低い材料や、誘電率の低い構造（多孔質の構造など）を用いることが望ましい。絶縁層 154 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

40

【0220】

なお、上記絶縁層 154 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層 154 を形成することで、半導体装置を微細化した場合などにおいても、絶縁層 154 上に、電極や配線などを好適に形成することができるためである。なお、絶縁層 154 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0221】

次に、ゲート絶縁層 146、絶縁層 150、絶縁層 154 に、ドレイン電極 142b にま

50

で達する開口と、電極 142c にまで達する開口とを形成する(図9(B)参照)。そして、該開口に電極 156a 及び電極 156b を形成し、絶縁層 154 上に、電極 156a 及び電極 156b に接する配線 158 を形成する(図9(C)参照)。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

#### 【0222】

電極 156a 及び電極 156b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

#### 【0223】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここではドレイン電極 142b)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

#### 【0224】

配線 158 は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて導電層を形成した後、当該導電層を選択的にエッチングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極 142a などと同様である。

#### 【0225】

なお、上記工程の後に、各種配線や電極などを形成しても良い。配線や電極は、いわゆるダマシン法や、デュアルダマシン法などの方法を用いて形成することができる。

#### 【0226】

以上の工程より、図 5 に示すような構成の半導体装置を作製することができる。

#### 【0227】

本実施の形態において示す第 2 のトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$  以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$  以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度( $1 \times 10^{14} / \text{cm}^3$  程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$  未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$  未満)となる。そして、第 2 のトランジスタ 162 のオフ電流も十分に小さくなる。例えば、第 2 のトランジスタ 162 の室温(25)でのオフ電流(ここでは、単位チャネル幅( $1 \mu\text{m}$ )あたりの値)は $100 \text{ zA}$ ( $1 \text{ zA}$ (ゼプトアンペア)は $1 \times 10^{-21} \text{ A}$ )以下、望ましくは $10 \text{ zA}$ 以下となる。

#### 【0228】

このように高純度化され、真性化された酸化物半導体層 144 を用いることで、第 2 のトランジスタ 162 のオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

#### 【0229】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0230】

(実施の形態 3)

10

20

30

40

50

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

## 【0231】

半導体本来の移動度を $\mu_0$ 、測定される電界効果移動度を $\mu$ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、以下の式で表現できる。

## 【0232】

## 【数2】

10

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

## 【0233】

ここで、 $E$ はポテンシャル障壁の高さであり、 $k$ がボルツマン定数、 $T$ は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

## 【0234】

## 【数3】

20

$$E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g}$$

## 【0235】

ここで、 $e$ は電気素量、 $N$ はチャネル内の単位面積当たりの平均欠陥密度、 $\varepsilon$ は半導体の誘電率、 $n$ は単位面積当たりのチャネルに含まれるキャリア数、 $C_{ox}$ は単位面積当たりの容量、 $V_g$ はゲート電圧、 $t$ はチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

線形領域におけるドレイン電流 $I_d$ は、以下の式で表される。

## 【0236】

## 【数4】

30

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

## 【0237】

ここで、 $L$ はチャネル長、 $W$ はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 $V_d$ はドレイン電圧である。

上式の両辺を $V_g$ で割り、更に両辺の対数を取ると、以下の式で表される。

## 【0238】

## 【数5】

40

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \varepsilon C_{ox} V_g}$$

数5の右辺は $V_g$ の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 $N$ が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム( $I_n$ )、スズ( $S_n$ )、亜鉛( $Z_n$ )の比率が、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは欠陥密度 $N$ は $1 \times 10^{12} / cm^2$ 程度である。

## 【0239】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のある $I_n - S_n - Z_n$ 酸化物で測定される移動度は $40 cm^2 / V$

50

s 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度  $\mu_0$  は  $120 \text{ cm}^2 / \text{Vs}$  となると予想できる。

#### 【0240】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面から  $x$  だけ離れた場所における移動度  $\mu_1$  は、以下の式で表される。

#### 【0241】

##### 【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

10

#### 【0242】

ここで、D はゲート方向の電界、B、l は定数である。B および l は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。D が増加する（すなわち、ゲート電圧が高くなる）と数 6 の第 2 項が増加するため、移動度  $\mu_1$  は低下することがわかる。

#### 【0243】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度  $\mu_2$  の計算結果を図 14 に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8 電子ボルト、4.7 電子ボルト、15、15 nm とした。これらの値は、スペッタリング法により形成された薄膜を測定して得られたものである。

20

#### 【0244】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5 電子ボルト、4.6 電子ボルト、4.6 電子ボルトとした。また、ゲート絶縁層の厚さは 100 nm、比誘電率は 4.1 とした。チャネル長およびチャネル幅はともに 10 μm、ドレイン電圧  $V_d$  は 0.1 V である。

#### 【0245】

図 14 で示されるように、ゲート電圧 1 V 強で移動度  $100 \text{ cm}^2 / \text{Vs}$  以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

30

#### 【0246】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を図 15 乃至図 17 に示す。なお、計算に用いたトランジスタの断面構造を図 18 に示す。図 18 に示すトランジスタは酸化物半導体層に  $n^+$  の導電型を呈する半導体領域 953a および半導体領域 953c を有する。半導体領域 953a および半導体領域 953c の抵抗率は  $2 \times 10^{-3} \text{ cm}$  とする。

40

#### 【0247】

図 18 (A) に示すトランジスタは、下地絶縁層 951 と、下地絶縁層 951 に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物 952 の上に形成される。トランジスタは半導体領域 953a、半導体領域 953c と、それらに挟まれ、チャネル形成領域となる真性の半導体領域 953b と、ゲート 955 を有する。ゲート 955 の幅を 33 nm とする。

#### 【0248】

ゲート 955 と半導体領域 953b の間には、ゲート絶縁層 954 を有し、また、ゲート 955 の両側面にはサイドウォール絶縁層 956a およびサイドウォール絶縁層 956b、ゲート 955 の上部には、ゲート 955 と他の配線との短絡を防止するための絶縁物 957 を有する。サイドウォール絶縁層の幅は 5 nm とする。また、半導体領域 953a お

50

および半導体領域 953c に接して、ソース 958a およびドレイン 958b を有する。なお、このトランジスタにおけるチャネル幅を 40 nm とする。

#### 【0249】

図 18 (B) に示すトランジスタは、下地絶縁層 951 と、酸化アルミニウムよりなる埋め込み絶縁物 952 の上に形成され、半導体領域 953a、半導体領域 953c と、それらに挟まれた真性の半導体領域 953b と、幅 33 nm のゲート 955 とゲート絶縁層 954 とサイドウォール絶縁層 956a およびサイドウォール絶縁層 956b と絶縁物 957 とソース 958a およびドレイン 958b を有する点で図 18 (A) に示すトランジスタと同じである。

#### 【0250】

図 18 (A) に示すトランジスタと図 18 (B) に示すトランジスタの相違点は、サイドウォール絶縁層 956a およびサイドウォール絶縁層 956b の下の半導体領域の導電型である。図 18 (A) に示すトランジスタでは、サイドウォール絶縁層 956a およびサイドウォール絶縁層 956b の下の半導体領域は  $n^+$  の導電型を呈する半導体領域 953a および半導体領域 953c であるが、図 18 (B) に示すトランジスタでは、真性の半導体領域 953b である。すなわち、図 18 (B) に示す半導体層において、半導体領域 953a (半導体領域 953c) とゲート 955 が  $L_{off}$  だけ重ならない領域ができている。この領域をオフセット領域といい、その幅  $L_{off}$  をオフセット長という。図から明らかなように、オフセット長は、サイドウォール絶縁層 956a (サイドウォール絶縁層 956b) の幅と同じである。

10

#### 【0251】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 15 は、図 18 (A) に示される構造のトランジスタのドレイン電流 ( $I_d$ 、実線) および移動度 ( $\mu$ 、点線) のゲート電圧 ( $V_g$ 、ゲートとソースの電位差) 依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、移動度  $\mu$  はドレイン電圧を +0.1 V として計算したものである。

20

#### 【0252】

図 15 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 15 (B) は 10 nm としたものであり、図 15 (C) は 5 nm としたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流  $I_d$  (オフ電流) が顕著に低下する。一方、移動度  $\mu$  のピーク値やオン状態でのドレイン電流  $I_d$  (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流はメモリ素子等で必要とされる 10  $\mu$ A を超えることが示された。

30

#### 【0253】

図 16 は、図 18 (B) に示される構造のトランジスタで、オフセット長  $L_{off}$  を 5 nm としたもののドレイン電流  $I_d$  (実線) および移動度  $\mu$  (点線) のゲート電圧  $V_g$  依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1 V とし、移動度  $\mu$  はドレイン電圧を +0.1 V として計算したものである。図 16 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 16 (B) は 10 nm としたものであり、図 16 (C) は 5 nm としたものである。

40

#### 【0254】

また、図 17 は、図 18 (B) に示される構造のトランジスタで、オフセット長  $L_{off}$  を 15 nm としたもののドレイン電流  $I_d$  (実線) および移動度  $\mu$  (点線) のゲート電圧依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1 V とし、移動度  $\mu$  はドレイン電圧を +0.1 V として計算したものである。図 17 (A) はゲート絶縁層の厚さを 15 nm としたものであり、図 17 (B) は 10 nm としたものであり、図 17 (C) は 5 nm としたものである。

#### 【0255】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度  $\mu$  のピー-

50

$\kappa$ 値やオン電流には目立った変化が無い。

【0256】

なお、移動度  $\mu$  のピークは、図15では  $80 \text{ cm}^2 / \text{Vs}$  程度であるが、図16では  $60 \text{ cm}^2 / \text{Vs}$  程度、図17では  $40 \text{ cm}^2 / \text{Vs}$  程度と、オフセット長  $L_{off}$  が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長  $L_{off}$  の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧  $1 \text{ V}$  前後で、ドレイン電流はメモリ素子等で必要とされる  $10 \mu\text{A}$  を超えることが示された。

【0257】

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体層を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で 5 atomic % 以上含まれる元素をいう。

10

【0258】

In、Sn、Znを主成分とする酸化物半導体層の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

【0259】

例えば、図19(A) 及び(C) は、In、Sn、Znを主成分とし、チャネル長  $L$  が  $3 \mu\text{m}$ 、チャネル幅  $W$  が  $10 \mu\text{m}$  である酸化物半導体層と、厚さ  $100 \text{ nm}$  のゲート絶縁層を用いたトランジスタの特性である。なお、 $V_d$  は  $10 \text{ V}$  とした。

20

【0260】

図19(A) は基板を意図的に加熱せずにスパッタリング法で In、Sn、Znを主成分とする酸化物半導体層を形成したときのトランジスタ特性である。このとき電界効果移動度は  $18.8 \text{ cm}^2 / \text{Vsec}$  が得られている。一方、基板を意図的に加熱して In、Sn、Znを主成分とする酸化物半導体層を形成すると電界効果移動度を向上させることができるとなる。図19(B) は基板を  $200^\circ\text{C}$  に加熱して In、Sn、Znを主成分とする酸化物半導体層を形成したときのトランジスタ特性を示すが、電界効果移動度は  $32.2 \text{ cm}^2 / \text{Vsec}$  が得られている。

【0261】

30

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体層を形成した後に熱処理をすることによって、さらに高めることができる。図19(C) は、In、Sn、Znを主成分とする酸化物半導体層を  $200^\circ\text{C}$  でスパッタリング成膜した後、 $650^\circ\text{C}$  で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は  $34.5 \text{ cm}^2 / \text{Vsec}$  が得られている。

【0262】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体層中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体層から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には  $100 \text{ cm}^2 / \text{Vsec}$  を超える電界効果移動度を実現することも可能になると推定される。

40

【0263】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0264】

50

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成された In、Sn、Zn を主成分とする酸化物半導体層をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体層を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図 19 (A) と図 19 (B) の対比からも確認することができる。

## 【0265】

なお、しきい値電圧は In、Sn 及び Zn の比率を変えることによっても制御することが可能であり、組成比として In : Sn : Zn = 2 : 1 : 3 とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を In : Sn : Zn = 2 : 1 : 3 とすることで結晶性の高い酸化物半導体層を得ることができる。10

## 【0266】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

## 【0267】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2 MV / cm、150 、1 時間印加の条件において、ドリフトがそれぞれ ± 1.5 V 未満、好ましくは 1.0 V 未満を得ることができる。20

## 【0268】

実際に、酸化物半導体層成膜後に加熱処理を行っていない試料 1 と、650 の加熱処理を行った試料 2 のトランジスタに対して BT 試験を行った。

## 【0269】

まず基板温度を 25 とし、 $V_{ds}$  を 10 V とし、トランジスタの  $V_g - I_d$  特性の測定を行った。なお、 $V_{ds}$  はドレイン電圧（ドレインとソースの電位差）を示す。次に、基板温度を 150 とし、 $V_{ds}$  を 0.1 V とした。次に、ゲート絶縁層に印加される電界強度が 2 MV / cm となるように  $V_g$  に 20 V を印加し、そのまま 1 時間保持した。次に、 $V_g$  を 0 V とした。次に、基板温度 25 とし、 $V_{ds}$  を 10 V とし、トランジスタの  $V_g - I_d$  測定を行った。これをプラス BT 試験と呼ぶ。30

## 【0270】

同様に、まず基板温度を 25 とし、 $V_{ds}$  を 10 V とし、トランジスタの  $V_g - I_d$  特性の測定を行った。次に、基板温度を 150 とし、 $V_{ds}$  を 0.1 V とした。次に、ゲート絶縁層に印加される電界強度が -2 MV / cm となるように  $V_g$  に -20 V を印加し、そのまま 1 時間保持した。次に、 $V_g$  を 0 V とした。次に、基板温度 25 とし、 $V_{ds}$  を 10 V とし、トランジスタの  $V_g - I_d$  測定を行った。これをマイナス BT 試験と呼ぶ。

## 【0271】

試料 1 のプラス BT 試験の結果を図 20 (A) に、マイナス BT 試験の結果を図 20 (B) に示す。また、試料 2 のプラス BT 試験の結果を図 21 (A) に、マイナス BT 試験の結果を図 21 (B) に示す。40

## 【0272】

試料 1 のプラス BT 試験およびマイナス BT 試験によるしきい値電圧の変動は、それぞれ 1.80 V および -0.42 V であった。また、試料 2 のプラス BT 試験およびマイナス BT 試験によるしきい値電圧の変動は、それぞれ 0.79 V および 0.76 V であった。試料 1 および試料 2 のいずれも、BT 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

## 【0273】

50

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体層に注入する方法を適用しても良い。

#### 【0274】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は  $1 \times 10^{16} / \text{cm}^3$  以上  $2 \times 10^{20} / \text{cm}^3$  以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができるとすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。  
10

#### 【0275】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでも、より安定な酸化物半導体層を得ることができる。例えば、組成比  $\text{In : Sn : Zn} = 1 : 1 : 1$  のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体層は、X線回折(XRD : X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体層を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。  
20

#### 【0276】

実際に、 $\text{In-Sn-Zn-O}$  膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

#### 【0277】

XRD 分析を行った試料として、試料 A および試料 B を用意した。以下に試料 A および試料 B の作製方法を説明する。

#### 【0278】

脱水素化処理済みの石英基板上に  $\text{In-Sn-Zn-O}$  膜を 100 nm の厚さで成膜した。  
30

#### 【0279】

$\text{In-Sn-Zn-O}$  膜は、スパッタリング装置を用い、酸素雰囲気で電力を 100 W (DC) として成膜した。ターゲットは、原子数比で、 $\text{In : Sn : Zn} = 1 : 1 : 1$  の  $\text{In-Sn-Zn-O}$  ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

#### 【0280】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

#### 【0281】

図 22 に試料 A および試料 B の XRD スペクトルを示す。試料 A では、結晶由来のピークが観測されなかったが、試料 B では、2 が 35 deg 近傍および 37 deg ~ 38 deg に結晶由来のピークが観測された。  
40

#### 【0282】

このように、In、Sn、Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び / 又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

#### 【0283】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半  
50

導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによつてトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を  $1 \text{ aA} / \mu\text{m}$  以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅  $1 \mu\text{m}$ あたりの電流値を示す。

#### 【0284】

図23に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値（ $1000/T$ ）を横軸としている。

#### 【0285】

具体的には、図23に示すように、基板温度が125の場合には  $1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ) 以下、85の場合には  $100 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下、室温(27)の場合には  $1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ) 以下にすることができる。好ましくは、125において  $0.1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下に、85において  $10 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ) 以下に、室温において  $0.1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ) 以下にすることができる。

#### 【0286】

もっとも、酸化物半導体層の成膜時に水素や水分が膜中に混入しないように、成膜室外からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。 $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、 $\text{In}$ 、 $\text{Ga}$ 、 $\text{Zn}$ を主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

#### 【0287】

また、酸化物半導体層成膜後に650の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

#### 【0288】

測定に用いたトランジスタは、チャネル長Lが  $3 \mu\text{m}$ 、チャネル幅Wが  $10 \mu\text{m}$ 、 $L_{ov}$ が  $0 \mu\text{m}$ 、 $d_W$ が  $0 \mu\text{m}$ である。なお、 $V_{ds}$ は  $10 \text{ V}$ とした。なお、基板温度は-40、-25、25、75、125および150で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅を $L_{ov}$ と呼び、酸化物半導体層に対する一対の電極のはみ出しを $d_W$ と呼ぶ。

#### 【0289】

図24に、 $I_d$ （実線）および電界効果移動度（点線）の $V_g$ 依存性を示す。また、図25(A)に基板温度としきい値電圧の関係を、図25(B)に基板温度と電界効果移動度の関係を示す。

#### 【0290】

図25(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は-40～150で  $1.09 \text{ V} \sim -0.23 \text{ V}$  であった。

#### 【0291】

また、図25(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は-40～150で  $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$  であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

#### 【0292】

上記のような $\text{In}$ 、 $\text{Sn}$ 、 $\text{Zn}$ を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を  $1 \text{ aA} / \mu\text{m}$  以下に保ちつつ、電界効果移動度を  $30 \text{ cm}^2 / \text{Vs sec}$  以上、好ましくは  $40 \text{ cm}^2 / \text{Vs sec}$  以上、より好ましくは  $60 \text{ cm}^2 / \text{Vs sec}$  以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$  のFETで、ゲート電圧  $2.7 \text{ V}$ 、ドレイン電圧  $1.0 \text{ V}$  の

とき  $12 \mu A$  以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

#### 【0293】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0294】

(実施の形態4)

10

本実施の形態では、In - Sn - Zn - O 膜を酸化物半導体層に用いたトランジスタの一例について、図26などを用いて説明する。

#### 【0295】

図26は、コブラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図26(A)にトランジスタの上面図を示す。また、図26(B)に図26(A)の一点鎖線A-Bに対応する断面A-Bを示す。

#### 【0296】

図26(B)に示すトランジスタは、基板960と、基板960上に設けられた下地絶縁層961と、下地絶縁層961の周辺に設けられた保護絶縁膜962と、下地絶縁層961および保護絶縁膜962上に設けられた高抵抗領域963aおよび低抵抗領域963bを有する酸化物半導体層963と、酸化物半導体層963上に設けられたゲート絶縁層964と、ゲート絶縁層964を介して酸化物半導体層963と重畳して設けられたゲート電極965と、ゲート電極965の側面と接して設けられた側壁絶縁膜966と、少なくとも低抵抗領域963bと接して設けられた一対の電極967と、少なくとも酸化物半導体層963、ゲート電極965および一対の電極967を覆って設けられた層間絶縁層968と、層間絶縁層968に設けられた開口部を介して少なくとも一対の電極967の一方と接続して設けられた配線969と、を有する。

20

#### 【0297】

なお、図示しないが、層間絶縁層968および配線969を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁層968の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

30

#### 【0298】

以上、本実施の形態に示すトランジスタは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0299】

(実施の形態5)

本実施の形態では、上記とは異なるIn - Sn - Zn - O 膜を酸化物半導体層に用いたトランジスタの他の一例について示す。

40

#### 【0300】

図27は、本実施の形態で作製したトランジスタの構造を示す上面図および断面図である。図27(A)はトランジスタの上面図である。また、図27(B)は図27(A)の一点鎖線A-Bに対応する断面図である。

#### 【0301】

図27(B)に示すトランジスタは、基板970と、基板970上に設けられた下地絶縁層971と、下地絶縁層971上に設けられた酸化物半導体層973と、酸化物半導体層973と接する一対の電極976と、酸化物半導体層973および一対の電極976上に設けられたゲート絶縁層974と、ゲート絶縁層974を介して酸化物半導体層973と重畳して設けられたゲート電極975と、ゲート絶縁層974およびゲート電極975を覆って設けられた層間絶縁層977と、層間絶縁層977に設けられた開口部を介して一

50

対の電極 976 と接続する配線 978 と、層間絶縁層 977 および配線 978 を覆って設けられた保護膜 979 と、を有する。

#### 【0302】

基板 970 としてはガラス基板を、下地絶縁層 971 としては酸化シリコン膜を、酸化物半導体層 973 としては In - Sn - Zn - O 膜を、一対の電極 976 としてはタンゲステン膜を、ゲート絶縁層 974 としては酸化シリコン膜を、ゲート電極 975 としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁層 977 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 978 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 979 としてはポリイミド膜を、それぞれ用いた。

10

#### 【0303】

なお、図 27 (A) に示す構造のトランジスタにおいて、ゲート電極 975 と一対の電極 976 との重畠する幅を L<sub>0V</sub> と呼ぶ。同様に、酸化物半導体層 973 に対する一対の電極 976 のはみ出しを d<sub>W</sub> と呼ぶ。

#### 【0304】

以上、本実施の形態に示すトランジスタは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0305】

##### (実施の形態 6)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 10 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

20

#### 【0306】

図 10 (A) は、ノート型のパーソナルコンピュータであり、筐体 701、筐体 702、表示部 703、キーボード 704 などによって構成されている。筐体 701 と筐体 702 の少なくとも一つには、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

30

#### 【0307】

図 10 (B) は、携帯情報端末 (PDA) であり、本体 711 には、表示部 713 と、外部インターフェイス 715 と、操作ボタン 714 等が設けられている。また、携帯情報端末を操作するスタイルス 712 などを備えている。本体 711 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

#### 【0308】

図 10 (C) は、電子ペーパーを実装した電子書籍であり、電子書籍 720 は、筐体 721 と筐体 723 の 2 つの筐体で構成されている。筐体 721 及び筐体 723 には、それぞれ表示部 725 及び表示部 727 が設けられている。筐体 721 と筐体 723 は、軸部 737 により接続されており、該軸部 737 を軸として開閉動作を行うことができる。また、筐体 721 は、電源 731、操作キー 733、スピーカー 735 などを備えている。筐体 721、筐体 723 の少なくとも一つには、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

40

#### 【0309】

図 10 (D) は、携帯電話機であり、筐体 740 と筐体 741 の 2 つの筐体で構成されている。さらに、筐体 740 と筐体 741 は、スライドし、図 10 (D) のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。ま

50

た、筐体 741 は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ 747、外部接続電極 748などを備えている。また、筐体 740 は、携帯電話機の充電を行う太陽電池 749、外部メモリースロット 750などを備えている。また、アンテナは、筐体 741 に内蔵されている。筐体 740 と筐体 741 の少なくとも一つには、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

### 【0310】

図10(E)は、デジタルカメラであり、本体 761、表示部 767、接眼部 763、操作スイッチ 764、表示部 765、バッテリー 766などによって構成されている。本体 761 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。10

### 【0311】

図10(F)は、テレビジョン装置であり、筐体 771、表示部 773、スタンド 775などで構成されている。テレビジョン装置 770 の操作は、筐体 771 が備えるスイッチや、リモートコントローラ 780により行うことができる。筐体 771 及びリモートコントローラ 780 には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。20

### 【0312】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

### 【符号の説明】

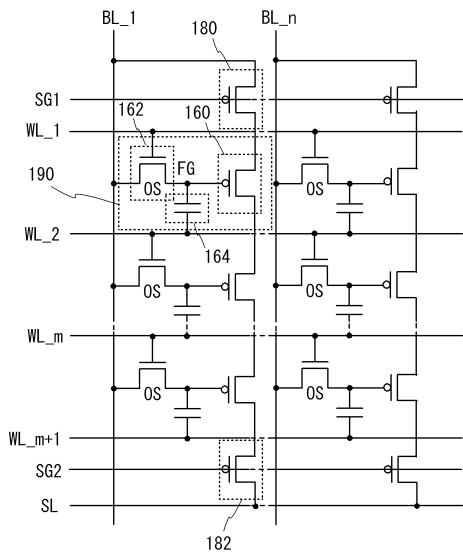
#### 【0313】

100	基板	30
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108	ゲート絶縁層	
108 a	ゲート絶縁層	
108 b	ゲート絶縁層	
110	ゲート電極	
110 a	ゲート電極	
110 b	ゲート電極	
116	チャネル形成領域	40
116 a	チャネル形成領域	
116 b	チャネル形成領域	
120	不純物領域	
120 a	不純物領域	
120 b	不純物領域	
120 c	不純物領域	
122	金属層	
124	金属化合物領域	
124 a	金属化合物領域	
124 b	金属化合物領域	
124 c	金属化合物領域	
126	電極	50
128	絶縁層	
142 a	ソース電極	

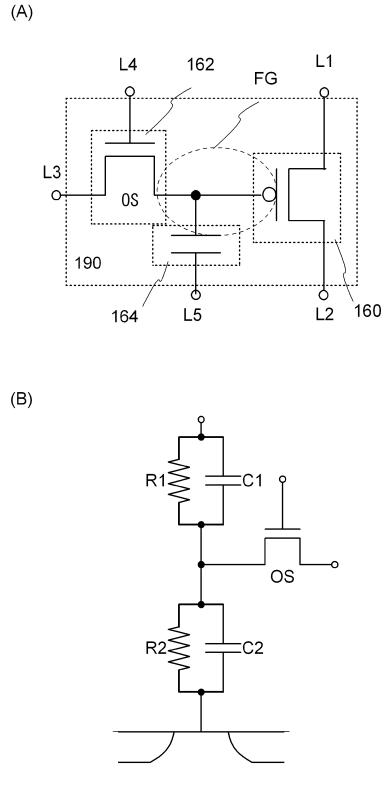
1 4 2 b	ドレイン電極	
1 4 2 c	電極	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8	ゲート電極	
1 5 0	絶縁層	
1 5 2	電極	
1 5 4	絶縁層	
1 5 6 a	電極	10
1 5 6 b	電極	
1 5 8	配線	
1 5 9 a	電極	
1 5 9 b	電極	
1 6 0	第1のトランジスタ	
1 6 1	第1のトランジスタ	
1 6 2	第2のトランジスタ	
1 6 4	容量素子	
1 8 0	第1の選択トランジスタ	
1 8 1	第1の選択トランジスタ	
1 8 2	第2の選択トランジスタ	20
1 8 3	第2の選択トランジスタ	
1 9 0	メモリセル	
1 9 1	メモリセル	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キー ボード	
7 1 1	本体	
7 1 2	スタイルス	
7 1 3	表示部	30
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	40
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ	
7 4 8	外部接続電極	50

7 4 9	太陽電池	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	パッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	10
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモートコントローラ	
9 5 1	下地絶縁層	
9 5 2	絶縁物	
9 5 3 a	半導体領域	
9 5 3 b	半導体領域	
9 5 3 c	半導体領域	
9 5 4	ゲート絶縁層	
9 5 5	ゲート	20
9 5 6 a	サイドウォール絶縁層	
9 5 6 b	サイドウォール絶縁層	
9 5 7	絶縁物	
9 5 8 a	ソース	
9 5 8 b	ドレイン	
9 6 0	基板	
9 6 1	下地絶縁層	
9 6 2	保護絶縁膜	
9 6 3	酸化物半導体層	
9 6 3 a	高抵抗領域	30
9 6 3 b	低抵抗領域	
9 6 4	ゲート絶縁層	
9 6 5	ゲート電極	
9 6 6	側壁絶縁膜	
9 6 7	電極	
9 6 8	層間絶縁層	
9 6 9	配線	
9 7 0	基板	
9 7 1	下地絶縁層	
9 7 3	酸化物半導体層	40
9 7 4	ゲート絶縁層	
9 7 5	ゲート電極	
9 7 6	電極	
9 7 7	層間絶縁層	
9 7 8	配線	
9 7 9	保護膜	

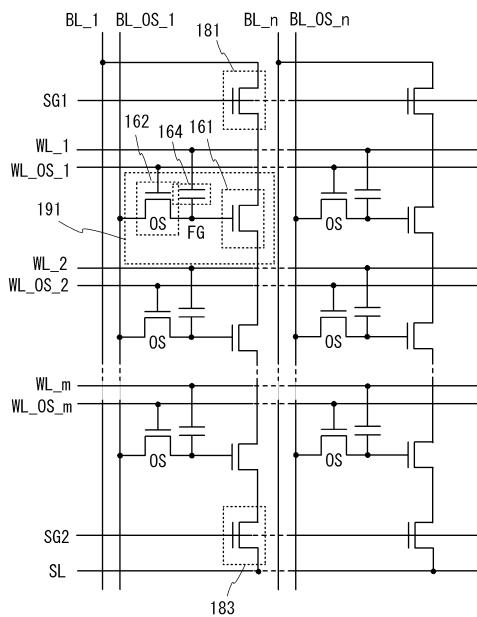
【図1】



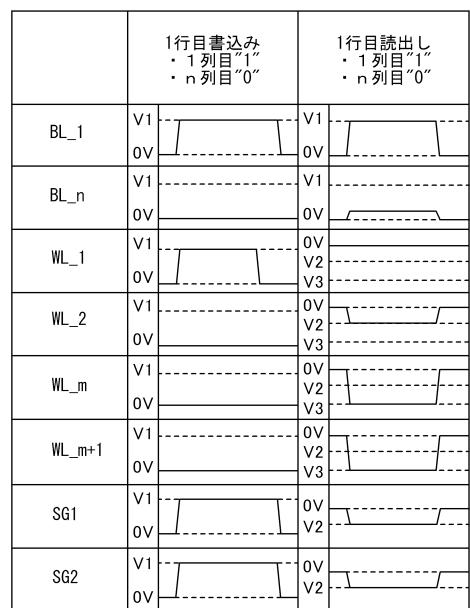
【図2】



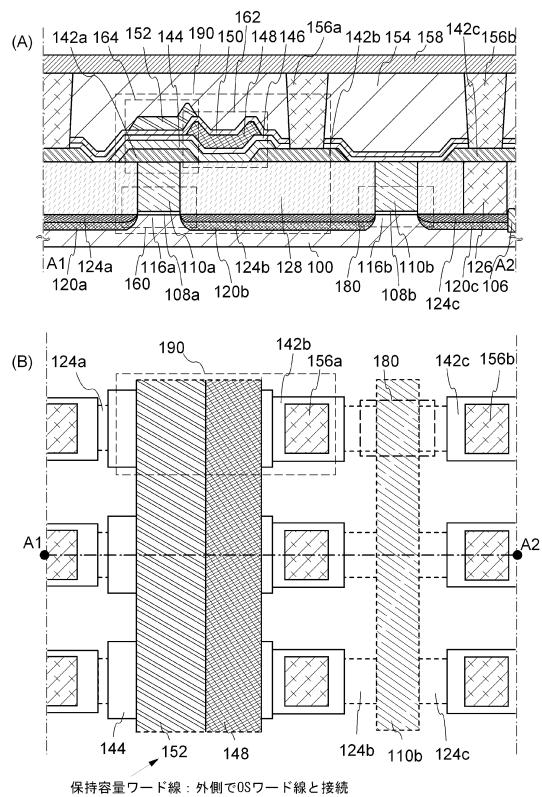
【図3】



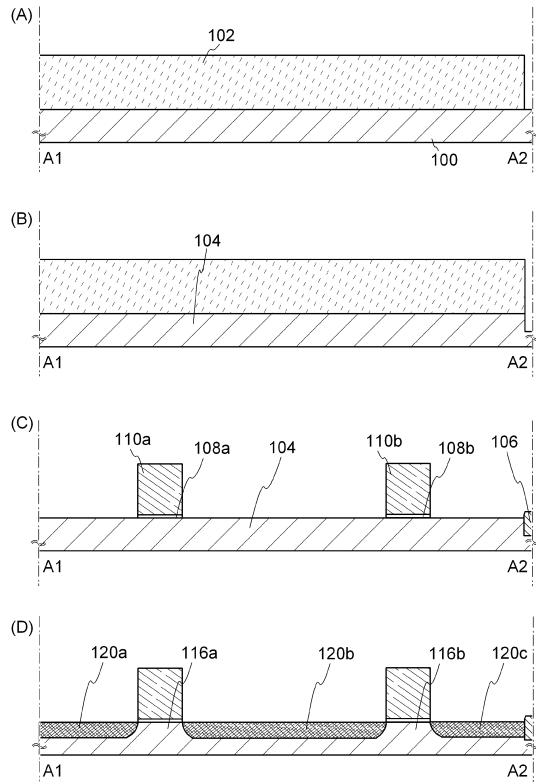
【図4】



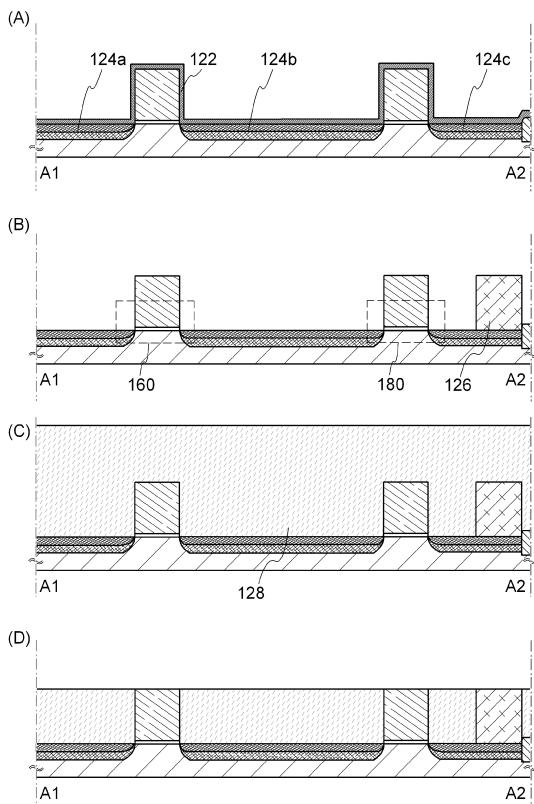
【図5】



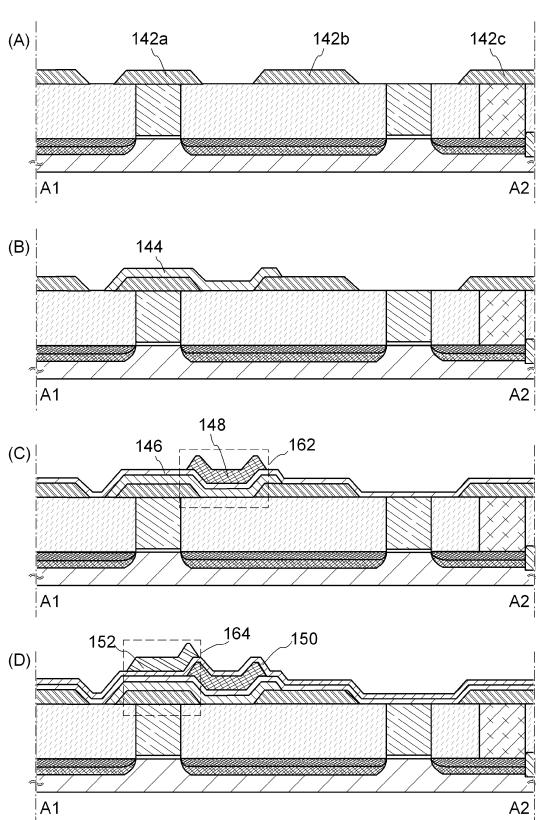
【図6】



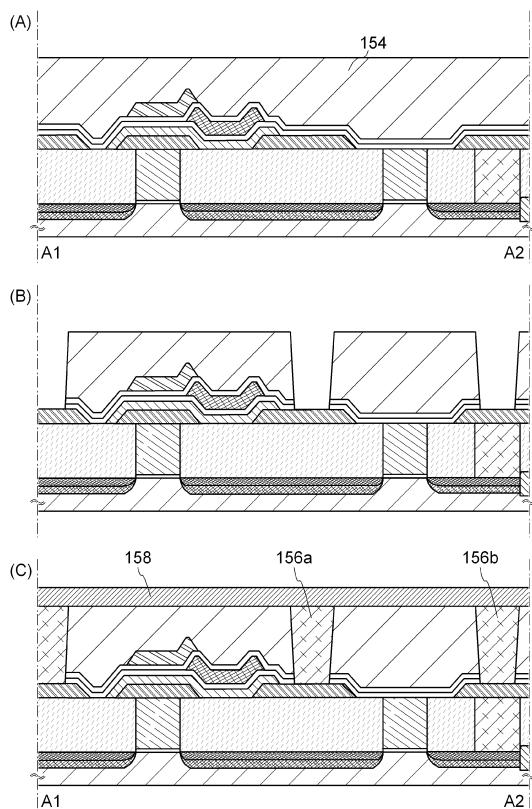
【図7】



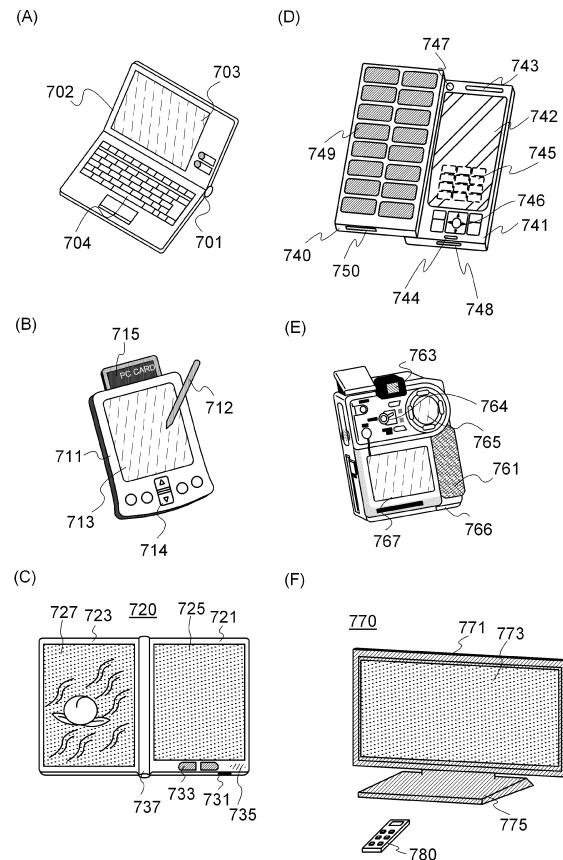
【図8】



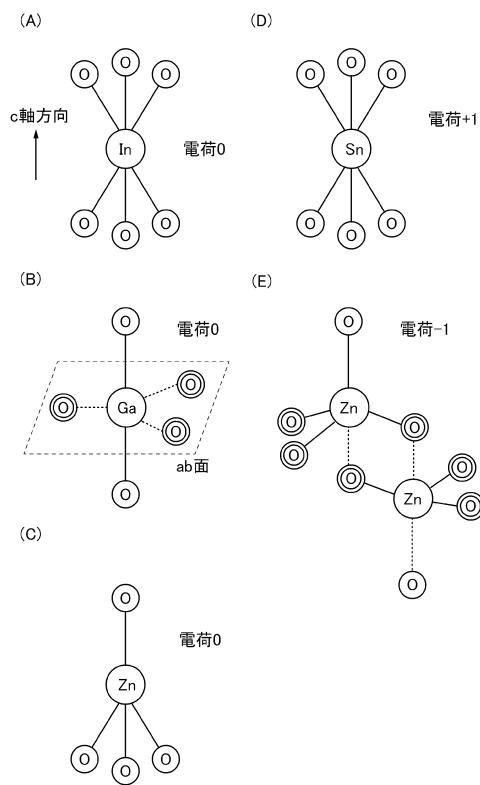
【図9】



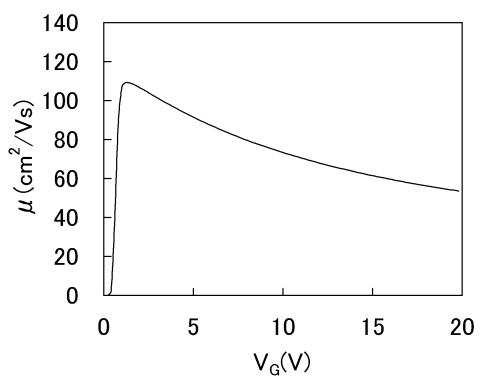
【 図 1 0 】



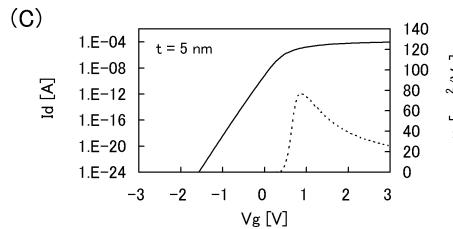
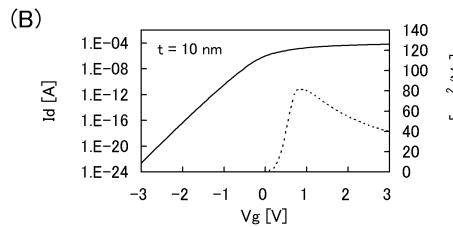
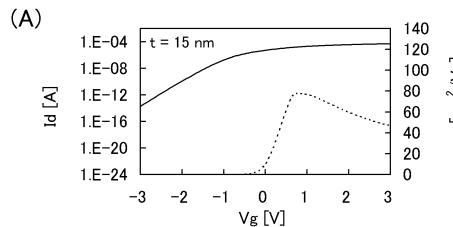
【 図 1 1 】



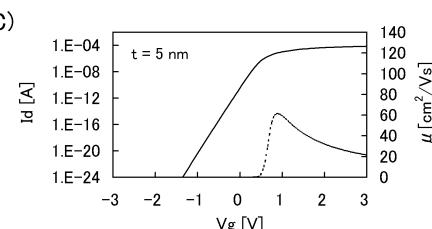
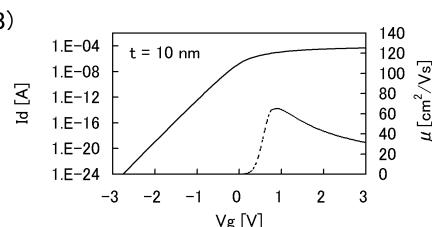
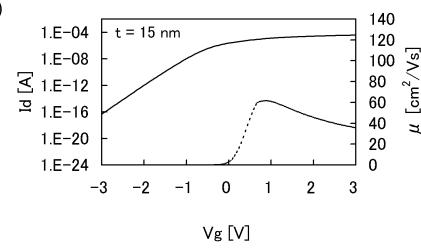
【 図 1 4 】



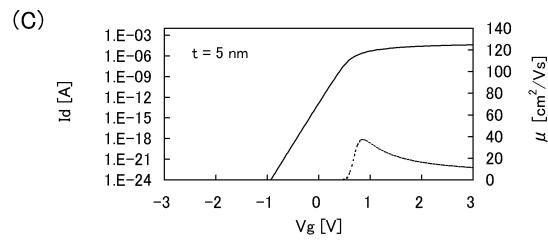
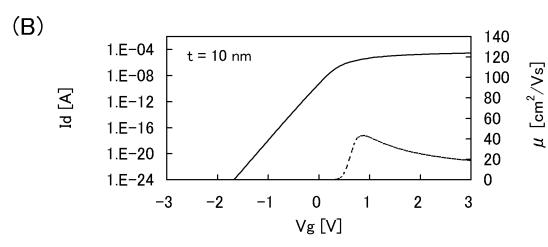
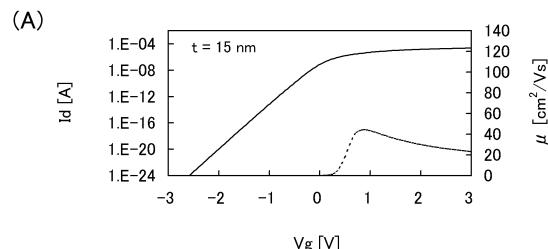
【図15】



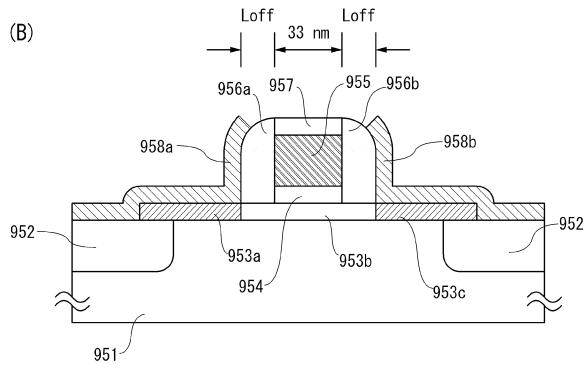
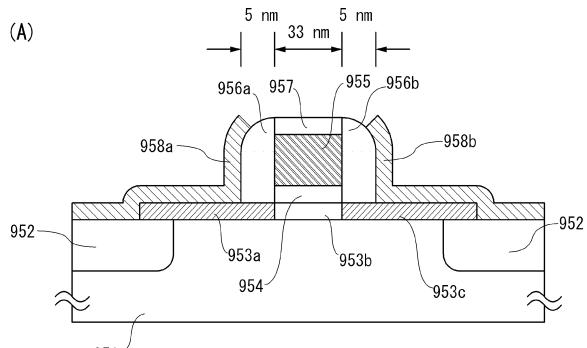
【図16】



【図17】

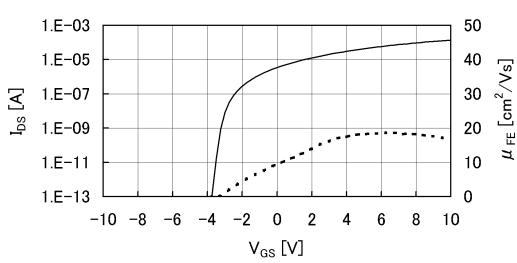


【図18】

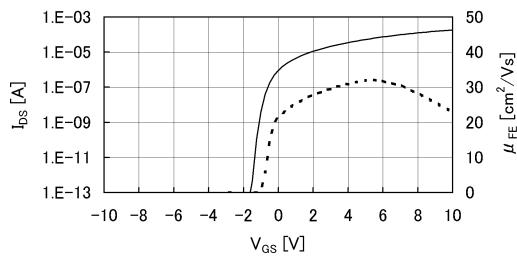


【図19】

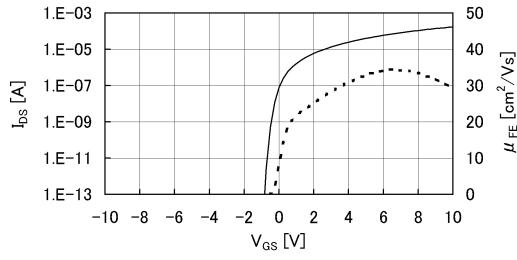
(A)



(B)

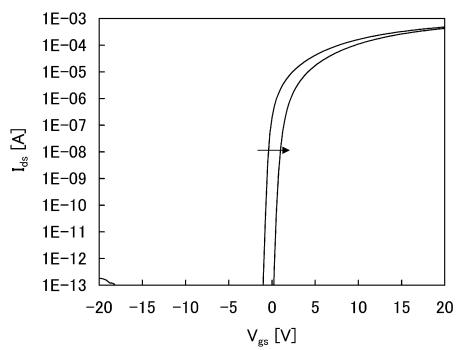


(C)

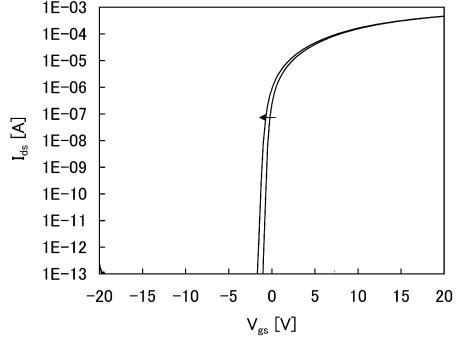


【図20】

(A)

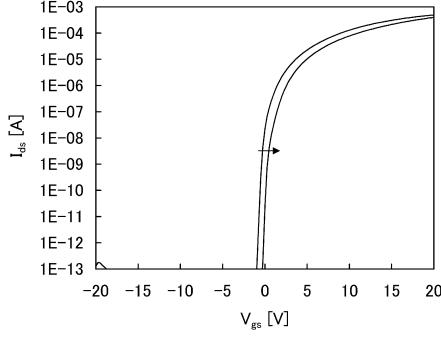


(B)

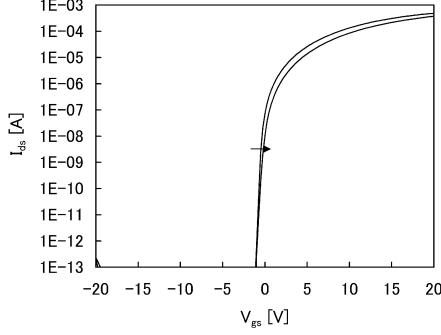


【図21】

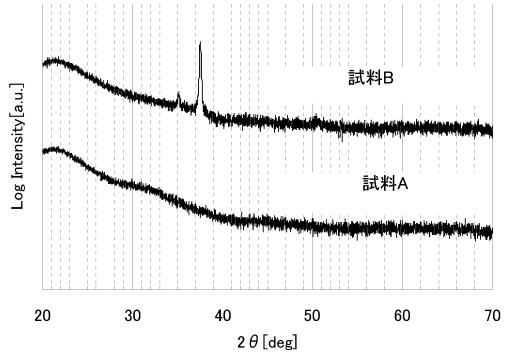
(A)



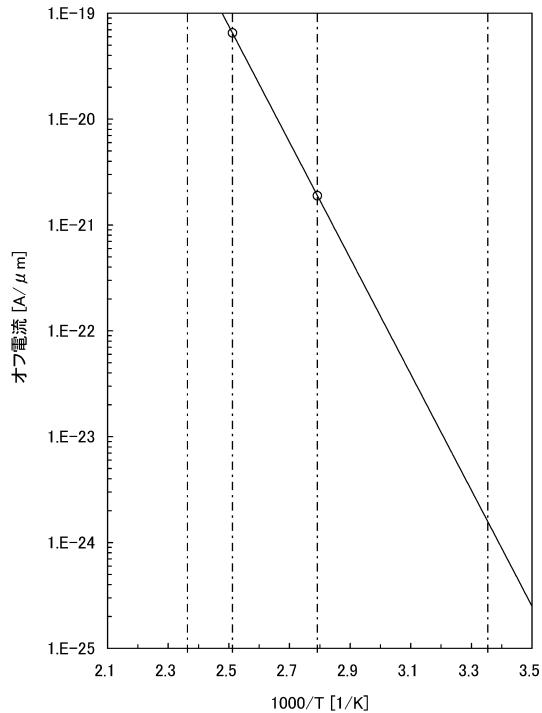
(B)



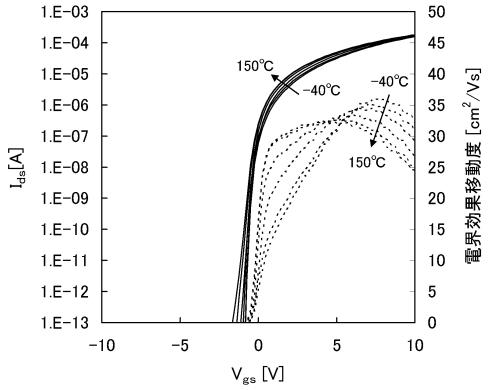
【図22】



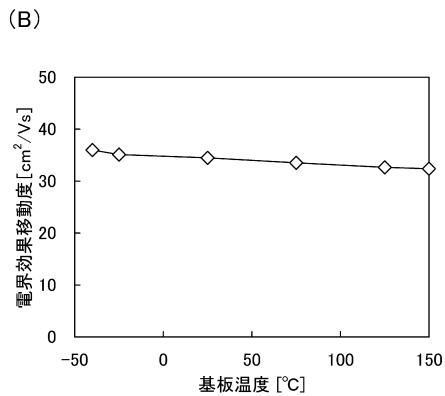
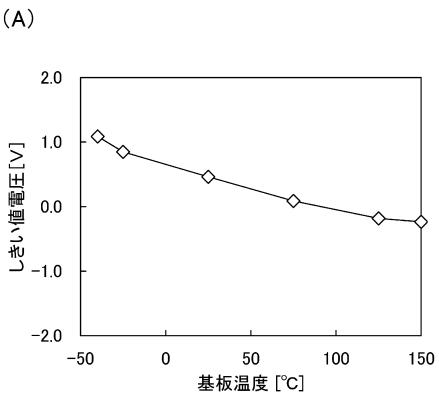
【図23】



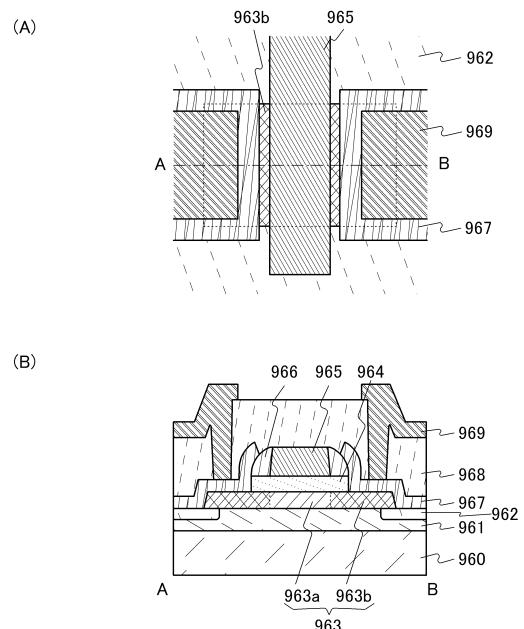
【図24】



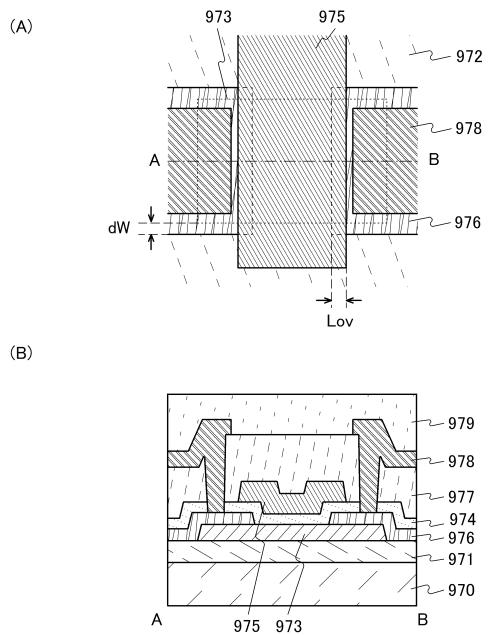
【図25】



【図26】

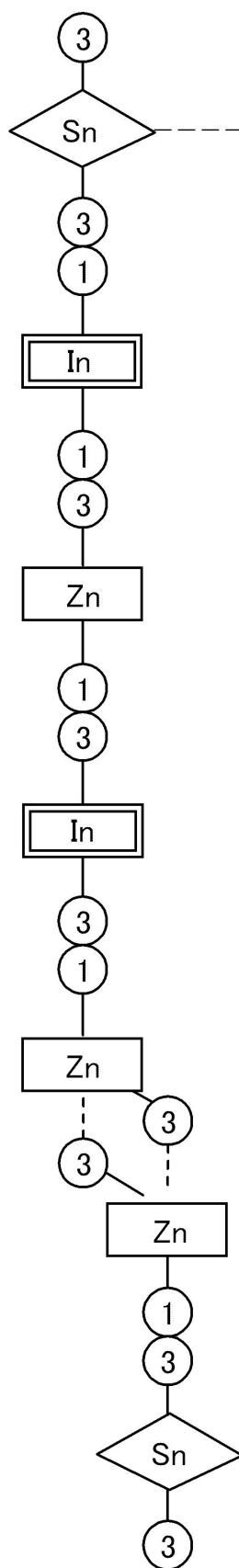


【図27】

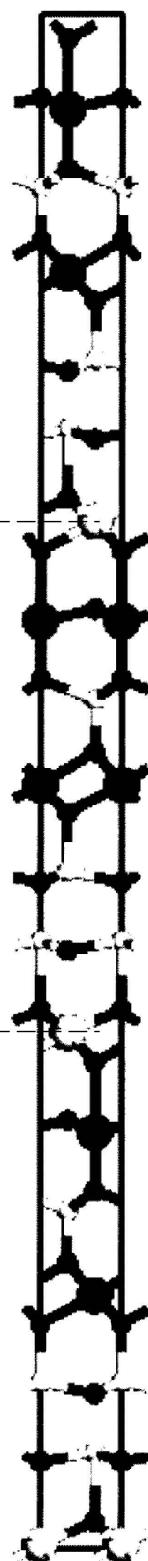


【図 1 2】

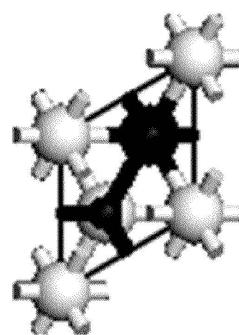
(A)



(B)

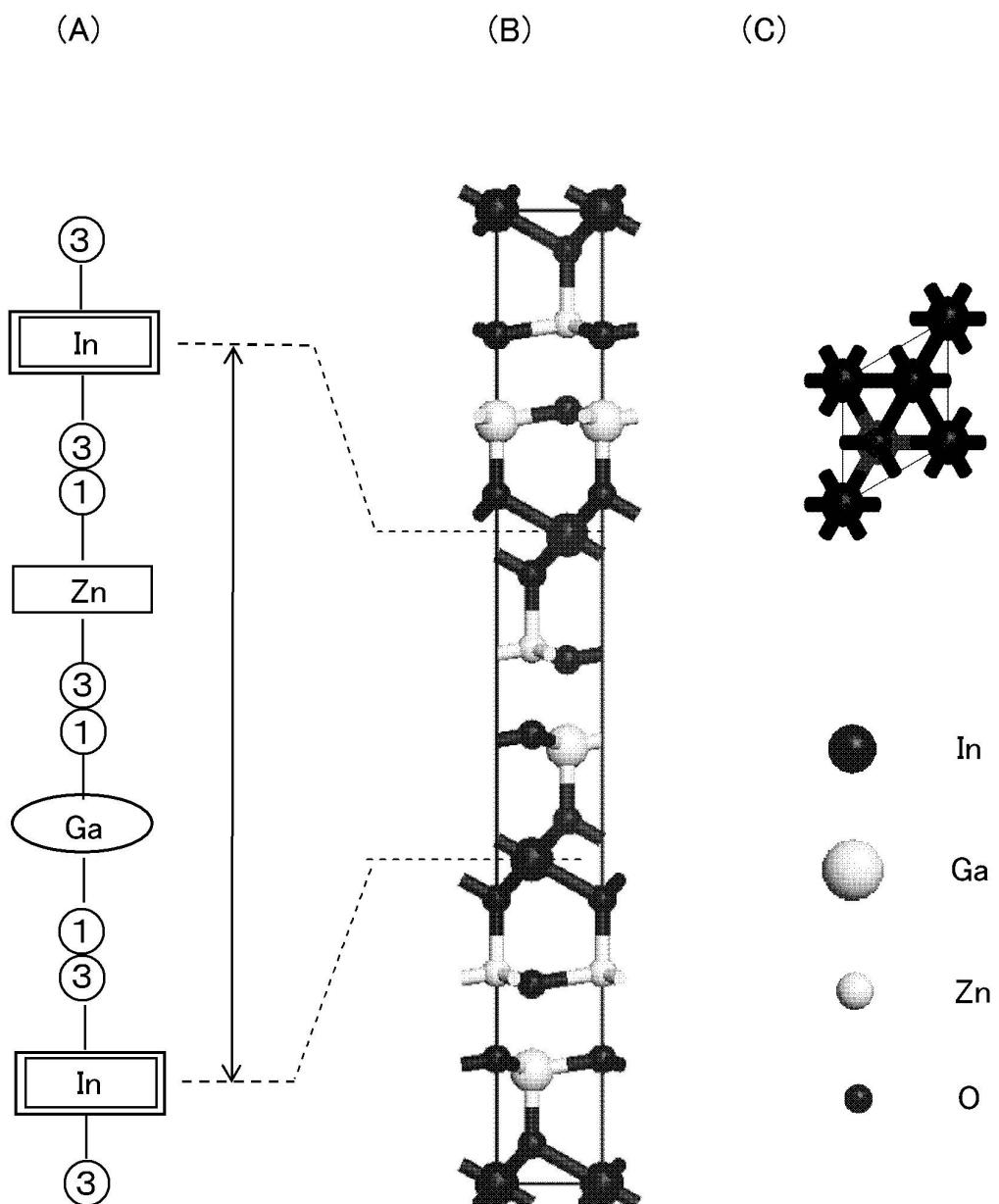


(C)



- In
- Sn
- ◇ Zn
- O

【図13】



---

フロントページの続き

(51)Int.Cl.	F I		
H 01 L 21/336	(2006.01)	H 01 L 27/08	102E
H 01 L 29/788	(2006.01)	H 01 L 27/08	321G
H 01 L 29/792	(2006.01)	H 01 L 27/08	331E
H 01 L 21/8234	(2006.01)		
H 01 L 27/088	(2006.01)		
H 01 L 21/8238	(2006.01)		
H 01 L 27/092	(2006.01)		
H 01 L 27/08	(2006.01)		

## (56)参考文献 国際公開第2001/073846 (WO, A1)

特開2002-368226 (JP, A)  
特開2009-277702 (JP, A)  
特開昭47-027647 (JP, A)  
特開2009-167087 (JP, A)  
特開2007-220820 (JP, A)  
特開2007-250984 (JP, A)  
特開2007-335505 (JP, A)  
特開2008-311342 (JP, A)  
国際公開第2008/156311 (WO, A1)  
特表2010-531059 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 8242
H 01 L	21 / 336
H 01 L	21 / 8234
H 01 L	21 / 8238
H 01 L	21 / 8247
H 01 L	27 / 08
H 01 L	27 / 088
H 01 L	27 / 092
H 01 L	27 / 108
H 01 L	27 / 115
H 01 L	29 / 786
H 01 L	29 / 788
H 01 L	29 / 792