

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成31年2月14日(2019.2.14)

【公表番号】特表2018-510560(P2018-510560A)

【公表日】平成30年4月12日(2018.4.12)

【年通号数】公開・登録公報2018-014

【出願番号】特願2017-544896(P2017-544896)

【国際特許分類】

H 03 F 1/52 (2006.01)

H 03 F 3/21 (2006.01)

【F I】

H 03 F 1/52 B

H 03 F 3/21

【手続補正書】

【提出日】平成31年1月4日(2019.1.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力信号を増幅し増幅器の出力信号を生成するように構成されたPMOSトランジスタと、

前記増幅器の利得を低減するように構成されたデジエネレーションインダクタと、および

前記増幅器の入力端子と供給電圧との間の電圧差を制限するように構成された第1のESD保護ダイオードと、

前記増幅器の前記入力端子と前記増幅器の出力端子との間の電圧差を制限するように構成された1つまたは複数の第2のESD保護ダイオードと

を備えた装置。

【請求項2】

前記第1の保護ダイオードはさらに前記PMOSトランジスタのゲート端子とソース端子との間の電圧差を制限するように構成される、請求項1の装置。

【請求項3】

前記第1の保護ダイオードは前記PMOSトランジスタのソース端子と前記PMOSトランジスタのゲート端子との間に結合される、請求項1の装置。

【請求項4】

前記第1の保護ダイオードはさらに前記PMOSトランジスタのゲート/ソース接合を保護するように構成される、請求項1の装置。

【請求項5】

前記第1の保護ダイオードと直列に結合された抵抗をさらに備える、請求項1の装置。

【請求項6】

前記デジエネレーションインダクタは、前記PMOSトランジスタのソース端子と前記供給電圧との間に結合される、請求項1の装置。

【請求項7】

前記第2の保護ダイオードはさらに前記PMOSトランジスタのゲート端子と前記PMOSトランジスタのドレイン端子との間の電圧差を制限するように構成された、請求項1

の装置。

【請求項 8】

前記第2の保護ダイオードは前記PMOSトランジスタのゲート端子と前記PMOSトランジスタのドレイン端子との間に結合される、請求項1の装置。

【請求項 9】

グラウンドと供給電圧との間の電圧差が第1のしきい電圧を超えるとき、前記グラウンドと前記供給電圧との間の電圧差を制限するように構成された1つまたは複数の一次保護ダイオードと、および

前記供給電圧とグラウンドとの間の電圧差が第2のしきい電圧を超えるとき前記供給電圧とグラウンドとの間の電圧差を制限するように構成されたクランプ回路と、をさらに備えた、請求項1の装置。

【請求項 10】

前記入力信号に基づいて前記増幅器の前記出力信号を生成するように構成されたNMOStランジスタをさらに備え、ここにおいて前記増幅器はCMOS増幅器である、請求項1の装置。

【請求項 11】

前記増幅器の前記入力端子と前記NMOStランジスタのソース端子との間の電圧差を制限するように構成された第3の保護ダイオードをさらに備えた、請求項10の装置。

【請求項 12】

PMOSトランジスタにより入力信号を増幅し、増幅器の出力信号を生成することと、インダクタにより前記増幅器の利得を低減することと、および

第1のESD保護ダイオードにより前記増幅器の入力端子と供給電圧との間の電圧差を制限することと、

1つまたは複数の第2のESD保護ダイオードにより前記増幅器の前記入力端子と前記増幅器の出力端子との間の電圧差を制限することとを備えた方法。

【請求項 13】

前記電圧差を制限することは、

前記PMOSトランジスタのゲート端子とソース端子との間の電圧差を制限することを備えた、請求項12の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

[0042]前述の明細書では、本実施形態は、その特定の例示的な実施形態に関して説明された。しかしながら、添付の特許請求の範囲に記載の開示のより広い範囲から逸脱することなく、多様な修正および変更がそれになされることは明らかであろう。したがって、本明細書および図面は、限定的な意味ではなく、例示的な意味において考慮されるべきである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

入力信号を増幅し増幅器の出力信号を生成するように構成されたPMOSトランジスタと、

前記増幅器の利得を低減するように構成されたデジエネレーションインダクタと、および

前記増幅器の入力端子と供給電圧との間の電圧差を制限するように構成された第1の保護ダイオードと、を備えた装置。

[C 2]

前記第1の保護ダイオードはさらに前記PMOSトランジスタのゲート端子とソース端子との間の電圧差を制限するように構成される、[C 1]の装置。

[C 3]

前記第1の保護ダイオードは前記PMOSトランジスタのソース端子と前記PMOSトランジスタのゲート端子との間に結合される、[C 1]の装置。

[C 4]

前記第1の保護ダイオードはさらに前記PMOSトランジスタのゲート/ソース接合を保護するように構成される、[C 1]の装置。

[C 5]

前記第1の保護ダイオードと直列に結合された抵抗をさらに備える、[C 1]の装置。

[C 6]

前記デジエネレーションインダクタは、前記PMOSトランジスタのソース端子と前記供給電圧との間に結合される、[C 1]の装置。

[C 7]

前記増幅器の前記入力端子と前記増幅器の出力端子との間の電圧差を制限するように構成された第2の保護ダイオードをさらに備えた、[C 1]の装置。

[C 8]

前記第2の保護ダイオードはさらに前記PMOSトランジスタのゲート端子と前記PMOSトランジスタのドレイン端子との間の電圧差を制限するように構成された、[C 7]の装置。

[C 9]

前記第2の保護ダイオードは前記PMOSトランジスタのゲート端子と前記PMOSトランジスタのドレイン端子との間に結合される、[C 7]の装置。

[C 10]

グラウンドと供給電圧との間の電圧差が第1のしきい電圧を超えるとき、前記グラウンドと前記供給電圧との間の電圧差を制限するように構成された1つまたは複数の一次保護ダイオードと、および

前記供給電圧とグラウンドとの間の電圧差が第2のしきい電圧を超えるとき前記供給電圧とグラウンドとの間の電圧差を制限するように構成されたクランプ回路と、をさらに備えた、[C 1]の装置。

[C 11]

前記入力信号に基づいて前記増幅器の前記出力信号を生成するように構成されたNMOStランジスタをさらに備え、ここにおいて前記増幅器はCMOS増幅器である、[C 1]の装置。

[C 12]

前記増幅器の前記入力端子と前記NMOStランジスタのソース端子との間の電圧差を制限するように構成された第3の保護ダイオードをさらに備えた、[C 11]の装置。

[C 13]

入力信号を増幅しPMOSトランジスタを介して増幅器の出力信号を生成するための手段と、

前記増幅器の利得を低減するための手段と、および

前記増幅器の入力端子と供給電圧との間の電圧差を制限するための手段と、を備えた装置。

[C 14]

前記電圧差を制限する手段はまた前記PMOSトランジスタのゲート端子とソース端子との間の電圧差を制限することである、[C 13]の装置。

[C 15]

前記増幅器の前記入力端子と前記増幅器の出力端子との間の電圧差を制限するための手段をさらに備えた、[C 13]の装置。

[C 1 6]

前記電圧差を制限するための手段はまた前記PMOSトランジスタのゲート端子とドレイン端子との間の電圧を制限することである、[C 1 5] の装置。

[C 1 7]

グラウンドと前記供給電圧との間の電圧差が第1のしきい電圧を超えるときグラウンドと前記供給電圧との間の電圧差を制限する手段と、および

前記供給電圧とグラウンドとの間の前記電圧差が第2のしきい電圧を超えるとき前記供給電圧とグラウンドとの間の電圧差を制限するための手段をさらに備えた、[C 1 3] の装置。

[C 1 8]

前記入力信号を増幅し前記増幅器の前記出力信号を生成する前記手段は、前記増幅器の前記入力端子とNMOSトランジスタのソース端子との間の電圧差を制限することである、ここにおいて前記増幅器はCMOS増幅器である、[C 1 3] の装置。

[C 1 9]

PMOSトランジスタにより入力信号を増幅し、増幅器の出力信号を生成することと、インダクタにより前記増幅器の利得を低減することと、および

第1の保護ダイオードにより前記増幅器の入力端子と供給電圧との間の電圧差を制限することと、

を備えた方法。

[C 2 0]

前記電圧差を制限することは、

前記PMOSトランジスタのゲート端子とソース端子との間の電圧差を制限することを備えた、[C 1 9] の方法。