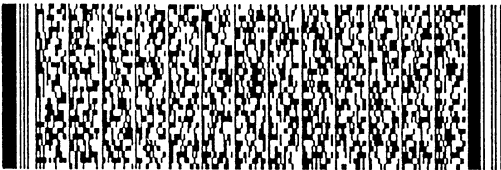


申請日期: 88-8-19	案號: 88 114 154
類別: 403 M 1/86	

(以上各欄由本局填註)

公告本		發明專利說明書	507424
一、 發明名稱	中文	直接數位合成器	
	英文	DIRECT DIGITAL SYNTHESIZER	
二、 發明人	姓名 (中文)	1. 羅柏 艾佛斯特 強生	
	姓名 (英文)	1. ROBERT EVEREST JOHNSON	
	國籍	1. 美國	
	住、居所	1. 美國新澤西州蘭朵夫市瑞瑟佛伊街161號	
三、 申請人	姓名 (名稱) (中文)	1. 美商朗訊科技公司	
	姓名 (名稱) (英文)	1. LUCENT TECHNOLOGIES INC.	
	國籍	1. 美國	
	住、居所 (事務所)	1. 美國新澤西州摩里山丘市山脈大道600號	
	代表人 姓名 (中文)	1. 麥克·R·格林	
	代表人 姓名 (英文)	1. MICHAEL R. GREENE	
			

本案已向

國(地區)申請專利

美國 US

申請日期

1998/10/29 09/181,815

案號

主張優先權

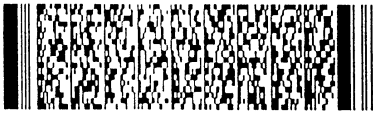
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明範疇

本發明與改進直接數位合成器相關。

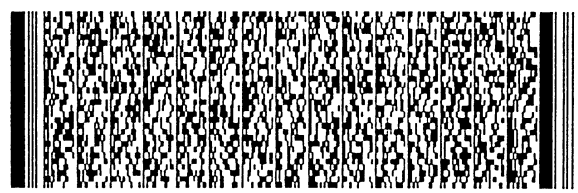
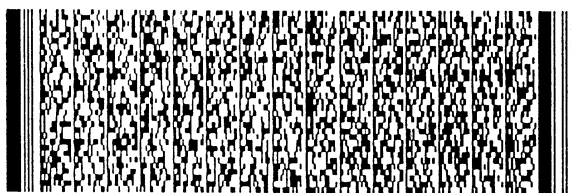
先前技藝

直接數位合成器(DDS)是一電子電路技術用來產生週期波形。直接數位合成器產生一串數位資料通過數位／類比轉換器(DAC)轉換成類比的波形。直接數位合成器使用二進制的累進器(通常大於或等於24位元)為計數器在高頻率(例如大於100MHz)下操作。

這個累進器必須為具有一輸入端和一輸出端的加法器電路。在每個時序信號上，輸入端的值加上現在輸出端的值，在累進器的輸出成為一新值。輸入通常為一參考的控制碼，特別定義為計數器的增幅。如果控制碼為250，則累進器會以0, 250, 500, 750, 1000...的順序計數，直到它過頭後再繼續。

已知的直接數位合成器1如圖1所示。數值「N」是一必要的變動控制碼，自微處理器(μP)3載入控制暫存器2中。此一控制碼具有一變動的值「N」例如為250，然後輸入累進器4中。累進器4將目前計數的值A與先前計數值B相加，並把結果或加總的和輸出到查尋表6。查尋表6提供輸出到數位／類比轉換器(DAC)8。直接數位合成器1的操作如下所述。

查尋表6收到累進的輸出，其中由計數值A和先前的計數值B所組成，並儲存這代表合成信號振幅的值，例如此合成信號可以為正弦波。因為累進器4有它的計數範圍，查

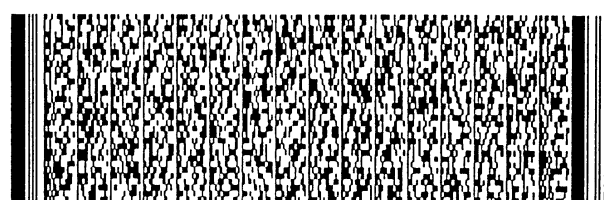
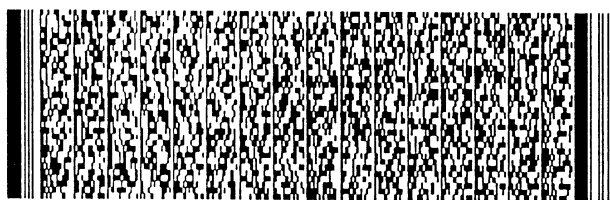


五、發明說明 (2)

尋表6例如為正弦波或其他波形的數位表示。查尋表6的輸出為DAC 8的輸入。DAC 8輸出一類比波形，其頻率是由控制碼的數值除以累進器4的最大計數值所產生(例如24位元的計數器的值為 2^{24} 乘以時序頻率)。因此，如果控制字「N」的值為250，且24位元累進器4的時序頻率為60MHz，輸出信號的頻率就為894.1Hz。控制字「N」為251產生輸出頻率為897.6Hz。所以，運用高頻的時序信號直接數位合成器1產生具有廣域且可精確控制頻率的週期類比信號。

創造有效率的DDS需要權衡電路速度、複雜度與功能等需求之間的衝突。一累進器為主的DDS提供一通用的功能，因為它可以使任意數和目前的輸入相加。這種通用性使得電路速度慢而且複雜。過去，嘗試要提高操作頻率拓展DDS 1的潛在運用範圍，使用了隊列加法器電路(Pipeline Adder)或更高昂的數位邏輯處理，例如以射極耦合邏輯(Emitter Coupled Logic)為主的電路。雖然隊列加法器電路提高了控制碼加上目前值的速度，但電路變得更複雜，也增加成本。

要花工夫說明製造這種通用累進器例如累進器4所需的數位邏輯方程式，我們使用Cypress公司的WARP2 VHDL(Very high speed integrated circuit Hardware Descriptor Language)編譯器4.2版。這會產生24位元累進器必要的邏輯方程式，在時序信號為上升邊緣時，將輸入值N[23:0]加上目前的輸入值D[23:0]。下面的程式碼說

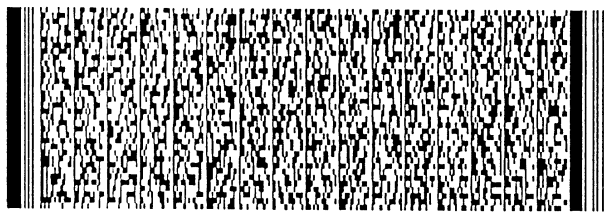


五、發明說明 (3)

明VHDL指定一24位元的累進器的必要敘述。

```
-----  
library ieee;  
use ieee.std_logic_1164.all;  
use work.std_arith.all;  
  
entity countby_N is port (  
    clock:in std_logic;  
    N:in std_logic_vector (23 downto 0) ;  
    D:buffer std_logic_vector (23 downto 0) ) ;  
end countby_N;  
  
architecture DDS of countby_N is begin  
    accumulator:process(clock)  
    begin  
        if (clock' event and clock='1')then  
            D<=D+N;  
        end if;  
    end process accumulator  
end DDS.
```

使用上述的程式碼，VHDL編譯器合成一24位元的累進器。24位元的輸出D[23:0]如後面附件A所示。結果的邏輯放在Cypress公司的可程式邏輯(CIPL)上，包含有128個巨細胞(Macrocell)與640個乘積項。巨細胞與乘積項通常是



五、發明說明 (4)

用來衡量可程式邏輯的複雜度特性之指標。當以速度為最佳化時，128個巨細胞中的55個是必要的，640個唯一乘積項中的210個是必要的；最大的時序速度為52.6MHz。當以電路面積最小為最佳化時，128個集細胞中的55個是必要的，640個唯一乘積項中的165個是必要的；最大的時序速度為14.5MHz。

因此，以累進器為主的DDS，即使是以速度或大小來最佳化，仍是慢且複雜的。另外當以速度最佳化時，變得極度複雜，當以大小最佳化時，變得極度緩慢。所以，較佳的DDS是必需的。

發明摘要

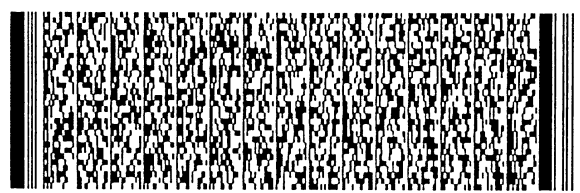
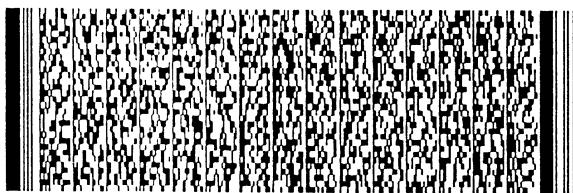
一改良的直接數位合成器藉由使用預定且固定增幅(以C計數的計數器)的加法器簡化了數位電路。這種計數器最好使用非揮發性的重組的複雜可程式邏輯裝置(complex programmable logic device; CPLD)IC。數位電路的結構被設計成只有在需要時增幅才會載入CPLD。這種具特別增幅的計數器和使用一般通用的累進器的DDS比較起來，可使DDS在較高的頻率操作。

附圖之簡要說明

本發明的特點、外觀與好處參見下面的敘述、附加的申請專利範圍以及附圖會更加明白，附圖中有標示參考數字代表某裝置，其中：

圖1顯示已知的直接數位合成器；

圖2顯示本發明的較佳範例，使用以C來計數的計數器之



五、發明說明 (5)

直接數位合成器；

圖3顯示本發明的另一較佳範例中的信號擷取電路；

圖4顯示本發明的另一較佳範例中的時序產生電路；

圖5顯示本發明的另一較佳範例，其中直接數位合成器當作FSK的調變器中的裝置來使用；

圖6顯示圖5中FSK調變器的輸出合成波形；

圖7顯示本發明的另一較佳範例中的直接數位合成器，使用8位元的PROM和10位元的DAC；

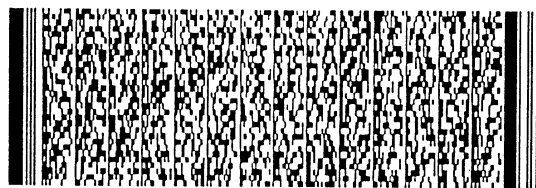
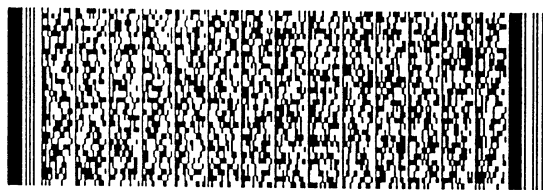
圖8顯示圖7中儲存在8位元PROM內的資料；

圖9顯示圖7中10位元DAC的有效輸出；

本發明之詳細說明

本發明關係到圖2中的數位合成器18，最好是一可以在非常高頻操作的直接數位合成器。如圖2所示，數位合成器18包括一種計數器10，一旦收到時序信號，就會以預定且固定的增幅「C」（其中C是一整數）來計數；一種記憶體12，例如可程式惟讀記憶體(PROM)，儲存並且在收到來自計數器10的輸入信號時，輸出的數位波形值；以及一種數位／類比轉換器14，它可將自記憶體12輸出的數位波形值轉變成類比波形。

最好計數器10是一個非揮發性重組的複雜可程式邏輯裝置(CPLD)IC。一可程式的裝置11外接到直接數位合成器18，並且能夠以一預定且固定的增幅「C」來增加，最好載入直接數位合成器18中的計數器10之電路組成。這種計數器10與一般通用的加法器相比可以在較高的頻率下操



五、發明說明 (6)

作。

為要花工夫說明如圖2所示的這種數位合成器18的優點，我們使用Cypress公司的WARP2 VHDL編譯器4.2版本產生24位元計數器10的邏輯方程式，以固定的增幅13,981,013(十進制)來計數，此為一固定大小的範例。我們可以使用任意一固定的增幅，在此所討論的特殊固定的增幅在某種方式上應考慮為本發明的範圍。再者，計數器10為一24位元的計數器，亦為任何適當大小以一固定增幅計數的計數器中的一範例。

下面所有的程式碼就是所需要的。

```
-----  
Count_by_C is a 24 bits counter that counts by a  
fixed number C. --  
library ieee;  
use ieee.std_logic_1164.all;  
  
use work.std_arith.all;  
entity countby_C is port (  
    Clock:in std_logic;  
    D:buffer std_logic_vector (23 downto 0) );  
Constant C:std_logic_vector (23 downto 0):=  
b" 11010101010101010101010101;  
-- 11010101010101010101010101 (binary>equals  
13,981,013
```



五、發明說明 (7)

```

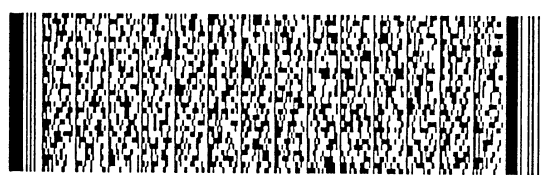
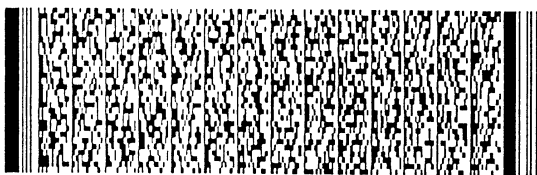
decimal.
end countby_C;

architecture DDS of countby_C is
begin
    accumulator:process(clock)
    begin
        if (clock' event and clock='1')then
            D<=D+C;
        end if;
    end process accumulator;
end DDS.

```

使用先前提到的程式碼，這個VHDL編譯器合成了一個24位元以C來計數的計數器10，它是以13,981,013來計數，創造出24位元輸出的最複雜邏輯方程式，代表「最糟情況」，與通用累進器的方程式相比較。最糟情況C值是預先由電腦程式決定，程式中把每一個有可能的24位元的C都試過。D[23:0]的方程式如附錄B所示。這些邏輯的方程式以電路大小和使用以C計數的計數器10之數位合成器18中的速度來說明其好處。邏輯的結果放在CIPL裝置上。在此說明的是資源上的使用摘要。

以這個範例C=13,981,013，不管是否有對最快速度最佳化或最小電路面積最佳化，編譯器產生下面的結果，



五、發明說明 (8)

	需求	最大(可用)
使用的巨細胞	24	128
唯一的乘積項	155	640
最大的時序速度(MHz)		125.0

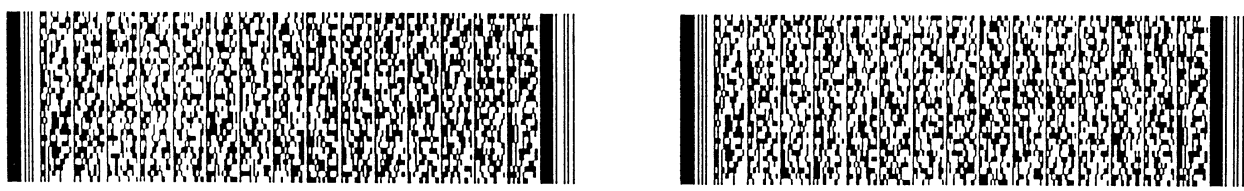
再者，使用以C計數的計數器10的設計與標準的累進器4比較起來，需要的輸入腳較少，而且可以放入較小／較便宜／和較快的CPLD中，最大的時序信號速度可達143.0MHz。

下面的討論提供一邏輯基礎，討論結構上使用以C計數的計數器10的速度優勢。當兩個二進制的數相加，例如：

$$\begin{array}{r} 01111 \quad (5) \\ +00001 \quad (+1) \\ \hline 10000 (=16) \end{array}$$

和中的一個位元的改變或由「1」變到「0」，或由「0」變到「1」的「切換」與兩個相加的數之所有較小位元相關。「0」在上方的數(01111)的最左邊的位置，因著上方的數最右邊的四個位元(1111)狀態與第二數(00001)最右邊的四個位元狀態要切換到「1」。因此，在設計通用累進器4的電路時，最左邊的位元的方程式包括了那八個位元的所有狀態。

然而，在以C計數的計數器10中，位元是否切換僅與目前和內的次一位元相關。在上述的範例中，對C=1的情況而言，如果所有較低階的位元為1，任何位元都要切換。對任意的C值而言，會為以C計數的計數器10找到一組方程



五、發明說明 (9)

式，對相同的位元數來說通常都比通用的累進器4要來得簡單。

藉由預定且固定增幅來計數(使用以C計數的計數器10)使其簡化成為可能的另一說明如下，如果二進制數值C包含一串為0的尾數(例如C=240十進制或11110000二進制)，不需要為這最後的4位元使用方程式，因為它們絕不會影響到輸出的和。因此，本發明的直接數位合成器18中使用以C計數的計數器10的方程式數目就減少了，同時速度增加且大小減少。

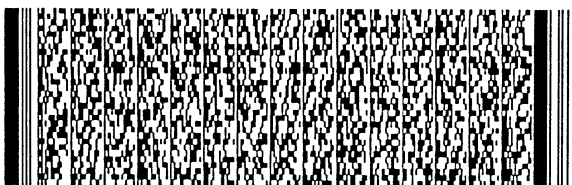
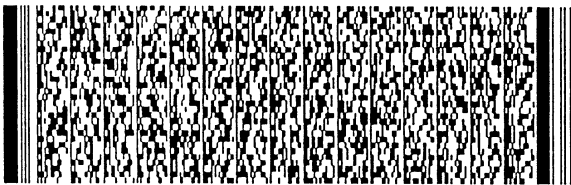
產生以C計數的方程式

每個輸出和中的位元之方程式皆為C值的一函數。如同在附錄A和B所見的方程式，方程式通常以寫成下面的形式：

$$\begin{aligned} D[x].T &= D[\#]*D[\#]*D[\#]*D[\#]*D[\#] \\ &+ D[\#]*D[\#]*D[\#] \\ &\text{這裏是其他乘積項} \\ &+ D[x-1] \end{aligned}$$

在此的D[x]為任意的輸出位元，對24位元的輸出和而言，x可以從0到23。這個符號「#」為任意較小的位元位置。

「T」表示當符合方程式的條件時，輸出位元會切換成另一個二進制的狀態。「*」為AND運算子。位元會AND在一起形成我們所知道的乘積項。「+」為OR運算子。一系列的乘積項OR在一起就是「乘積項和」的形式。方程式說，如果第一列所有的位元皆為「1」或者第二列所有的位元皆



五、發明說明 (10)

為「1」或者第 $x-1$ 的位元為「1」，第 x 位元就會切換。

以 C 計數的計數器10的方程式是由下面兩個規則產生的。

(1) 若 $C[x]=1$ ，在 $D[(X-1):0] < 2^x - C[(X-1):0]$ 的情況下 $D[x]$ 會切換狀態

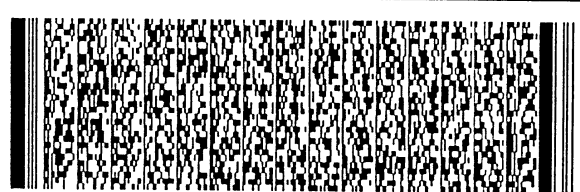
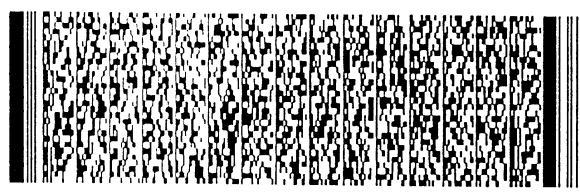
(2) 若 $C[x]=0$ ，在 $D[(X-1):0] \geq 2^x - C[(X-1):0]$ 的情況下 $D[x]$ 會切換狀態

要花工夫說明 C 值如何決定這組方程式，例如41這個值給 C 使用。 C 的值以8位元 $C[7:0]$ 表示即00101001(32+8+1=41十進制)。方程式對發現任何輸出 $D[7:0]$ 的特別位元是藉由尋找可以滿足上述任何一個方程式(1)和(2)的乘積項和來完成的。

使用 $D[7]$ 來說明這程序，「 x 」為7。因為 $C[7]=0$ ，所以我們使用第二個方程式。我們要尋找的這組乘積項和要來驗證是否輸出位元 $D[6:0] \geq 2^x - C[6:0]$ 。 $2^7 - C[6:0]$ 是等於87或者以二進制的表示為1010111。

第一個乘積項方程式(1)包括了以 D 中被設為1的位元(位元6, 4, 2, 1, 0)表示。由右向左掃描尋找下一個乘積項，找到最右為0的位元，並將它設為1。對這個位元的右方所有位元而言現在是無關的，並且用 x 取代它們。第二個乘積項再次用 D 中為1的位元寫出(1011xxx)。接著再繼續這種步驟，導出11xxxxxx為最後的乘積項。

$$D[7].T = D[6]*D[4]*D[2]*D[1]*D[0] \\ + D[6]*D[4]*D[3]$$



五、發明說明 (11)

$$+D[6]*D[5]$$

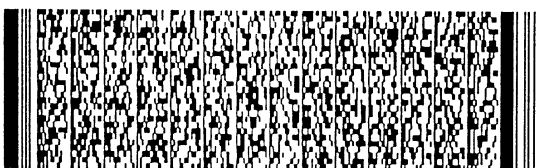
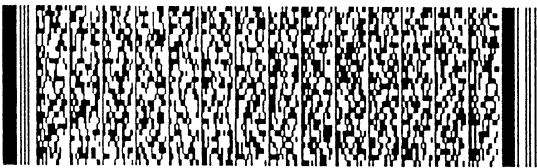
考慮另外一種 $C[x]=1$ 的情況，例如當 $x=5$ 時的位元 $D[x]$ 方程式，必需滿足第一方程式 $D[4:0]<2^5-C[4:0]$ 。 $2^5-C[4:0]$ 等於23，所以 $D[5]$ 的方程式必須包括可使 $D[4:0]$ 小於23的乘積項，23用二進制表示為10111。要找出這一組方程式，將二進制的位元 $[4:0]$ 值寫成負(-)23是方便的，即01001。依照前面所提的相同程序，位元被設為1的D項被找出來。然後向左邊掃描發現第一個0。第一個0用1來置換，並且將較小的位元設為x。這步驟導出數列：01001, 0101x, 011xx, 1xxxx。因為這個 $\geq$ 的不等號，-/必須放在每一項的前面，表示D項必須為0來滿足這個方程式。

$$\begin{aligned} D[5].T = & /D[3]* /D[0] \\ & + /D[3]* /D[1] \\ & + /D[3]* /D[2] \\ & + /D[4] \end{aligned}$$

每一個不包含的項可為1或0。

證明這些方程式說明 $D[4:0]$ 小於23，滿足乘積項和的所有值皆列成表。藉由檢查，所有小於23的 $D[4:0]$ 值皆由上述的乘積項和來驗證。

D[4]	D[3]	D[2]	D[1]	D[0]	將 x 取代為 0 和 1 所得到的值
X	0	X	X	0	0, 2, 4, 6, 16, 18, 20, 22
X	0	X	0	X	0, 1, 4, 5, 16, 17, 20, 21
X	0	0	X	X	0, 1, 2, 3, 16, 17, 18, 19
0	X	X	X	X	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15

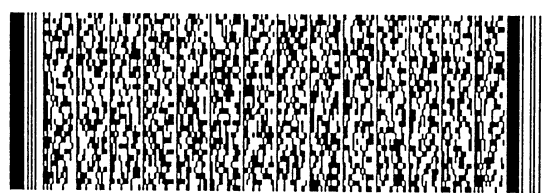
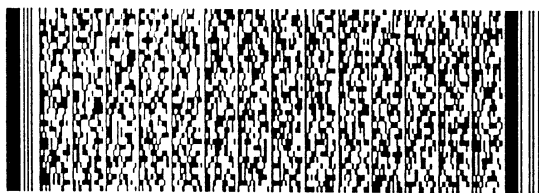


五、發明說明 (12)

結果在數位合成器18中使用以C計數的計數器10，不需要為比C中被設為最低重要位元還小的位元來寫方程式。如果 $C=11110000$ ，不會有為 $D[3:0]$ (最後的4個位元)產生的方程式。因此使用到較少的方程式，速度也會增加。這是由方程式(1)和(2)導出的結果。例如 $C[3]=0$ ，在 $D[2:0] \geq 2^3 - C[2:0]$ 的情況下 $D[3]$ 會切換狀態，情況相當於 $D[2:0] \geq 8$ 。這永遠不會是真的。此外， $D[4]$ 的方程式(或者C中任何第一位元被設定的位置)應讀為 $D[4].T=1$ 。所以 $D[4]$ 會永遠在切換。 $C[4]=1$ ，在 $D[3:0] < 2^4 - C[3:0]$ 的情況下 $D[4]$ 會切換狀態，情況相當於 $D[3:0] < 16$ 。這經常為真。用來產生附錄A和B中方程式的Warp2編譯器把這個方程式寫成 $D[4].D=D/D[4]$ ，具有相同的意義。

以C計數的數位合成器之應用

在另一個較佳範例中，以C計數型的數位合成器18可以自輸入信號擷取預定好的資訊。如圖3所示，時序信號16產生時序頻率當成數位合成器18的輸入。數位合成器18連接到低通濾波器20，產生精確的頻率為混合器22的輸入信號。混合器22將來自低通濾波器20的信號與輸入的射頻信



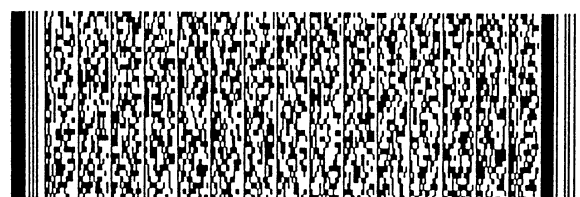
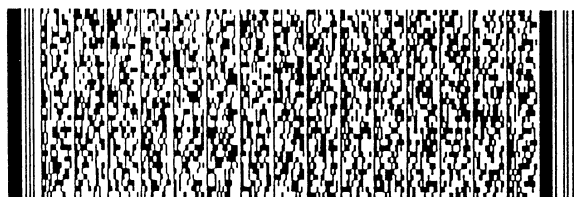
五、發明說明 (13)

號(radio frequency; RF)相混合，例如自輸入的射頻信號，即輸入信號的預定部份，擷取想要的資訊。在通過低通濾波器24輸出後，就可得到想要的資訊了。如圖3所示的裝置之操作如下。

使用時序信號16、數位合成器18與低通濾波器20，來產生一精確的信號例如49.97MHz的信號，為混合器22的輸入。輸入的射頻信號與這個信號混合產生的信號頻譜，包含了頻率的和與差以及其他的頻率副產品。例如一個30KHz頻寬的信號以50MHz為載波的射頻信號當作輸入，這信號必須要和精確的49.97MHz信號相混合，以便擷取預定的或想要的信號(50MHz-30KHz)，然後再濾波，原本的或想要的30KHz信號便可自低通濾波器24的輸出端重現。最好這個想要的30KHz信號是放在輸入射頻信號的載波中。藉著使用數位合成器18設定混合頻率，混合器22可在一大範圍內調整到擷取想要的信號。

另一個較佳範例如圖4所示，此應用使用以C計數型的數位合成器18產生一可精確控制的可程式低頻時序。高頻時序源為一外部的輸入源，例如振盪器裝置26。然後以C計數的合成器18收到時序信號並產生連接到計數器10的輸出之最高位元的輸出信號。

要說明這個技術的使用，假設我們需要一333Hz(例如)的時序，它是需要來自於外部可能不是很精確的時序信號。例如，如果此時序源(振盪器裝置26)號稱20MHz，但在某一時點來測為20.2MHz，我們仍然可以產生精確的



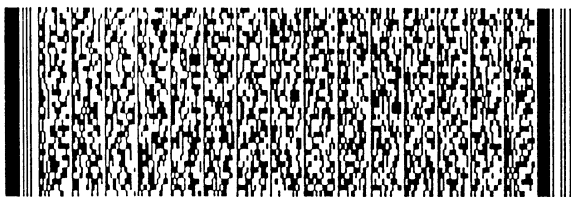
五、發明說明 (14)

333Hz 的輸出時序。數位合成器18使用36位元以C計數的器具(36位元以C計數的計數器10)，C計算為 $(2^{36} * 333)20200000 = 1,132,851$ 。

```
library ieee;
use ieee.std_logic_1164.all;
use work.std_arith.all;

entity square_wave is port (
    clock:in std_logic;
    count_out:buffer std_logic);
end square_wave

architecture NC0 of square_wave is
    signal counter:std_logic_vector(35 downto 0);
    begin
        accumulator:process(clock)
        begin
            if (clock' event and clock='1')then
                begin
                    counter<=counter+1132851;
                end if;
            end process accumulator;
            count_out<=counter(35);
```



五、發明說明 (15)

end NC0;

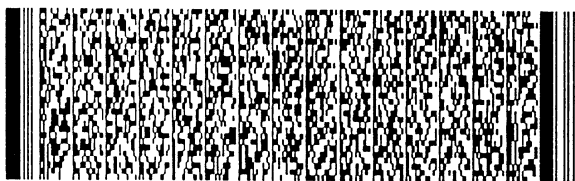
因為組成檔是經由WARP2的發展軟體自動產生的，對任意一特殊的C值產生所需要的PLD程式檔是可能的，藉此得到想要的頻率及適應較鬆的外部時序信號。如果一種正確精準的振盪器當作外部的時序26，輸入給CPLD當成以C計數的數位合成器18，那麼我們可以儲存及載入具表示輸出頻率檔名的CPLD組成檔好像必需品一樣，得到我們想要的頻率。

在另一較佳範例，本應用之數位合成器18當作FSK(Frequency Shift Key)調變器32的裝置。如圖5所示。

更特別的是FSK調變器32包含了用來產生時序頻率信號的時序信號30以及數位合成器18，它接收時序頻率信號當作以C計數的計數器10之時序。

數位合成器18另外接收頻率選擇信號為其輸入，如圖5所示。頻率選擇信號為兩個不同信號(或者是多個不同信號)的其中之一，例如相對高頻或相對低頻，每個都會觸發以C計數的計數器10以兩個預定且固定的增幅(或者多個預定且不同的固定增幅)C1或C2的其中之一來計數。如此可使數位合成器18產生兩個(或多個)不同頻率的其中之一為輸出信號，藉此為FSK調變器32的輸出。

使用以C計數型數位合成器18，提供FSK調變器32的輸出信號在兩個(或多個)頻率間平滑的轉換。換言之，使用數位合成器18，調變器32可以輕易地在兩個或多個信號間轉



五、發明說明 (16)

換，不會有相位不連續。

使用數位合成器18，VHDL的程式碼可輕易地由輸入頻率選擇信號來控制兩個(或多個)頻率的其中之一變成來自調變器32的輸出信號。這段VHDL程式碼說明在兩個(例如)頻率間變換產生FSK調變器32的輸出信號是如何完成的，其中使用100MHz(例如)的時序信號，注意的是一範例常數C1是167772或 $2^{24}/10$ ，另一範例常數C2是83886或 $2^{24}/20$ ：

```
-----  
library ieee;  
use ieee.std_logic_1164.all;  
use work.std_arith.all;  
  
entity countby_C is port (  
    clock:in std_logic;  
    F_select:in std_logic;  
    count_out:buffer std_logic_vector (23 downto 0)  
  
    constatnt C1:integer:=167772; -- Give clock/10  
output frequency.  
    constatnt C2:integer:=083886; -- Give clock/20  
output frequency.  
  
end countby_C;
```



五、發明說明 (17)

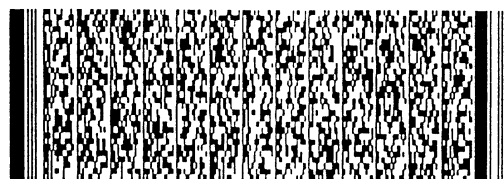
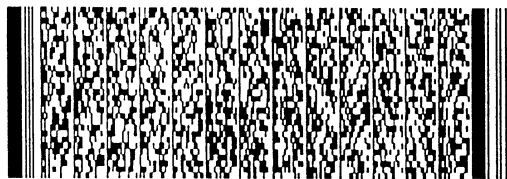
```

architecture FSK of countby_C is
begin
  accumulator:process(clock)
  begin
    if (clock' event and clock='1')then
      if (F_select='0')then
        count_out<=count_out+C1
      else
        count_out<=count_out+C2
      end if;
    end if;
  end process accumulator;
end FSK;

```

使用數位合成器18當作FSK調變器32中的一個裝置，在兩個頻率信號或多個頻率信號中，選擇其中一個頻率信號輸出，不會有任何相位不連續發生。如圖6所示，輸出信號由FSK調變器32所產生，以兩個頻率間的選擇一個為輸出信號且避免任何相位不連續為基準。

最後一個較佳範例如圖7所示，本應用之數位合成器18與單一個8位元的記憶體使用，例如可程式唯讀記憶體(Programmable Read Only Memory; PROM)44以及一10位元的DAC 46一同使用。例如要創造這種如圖7所示的數位合成器，具一平行埠40A的微處理機40連接到可程式邏輯



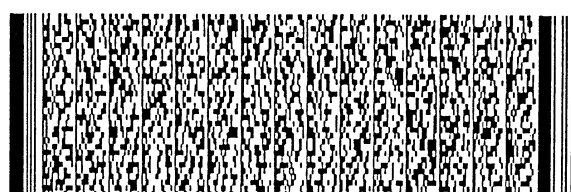
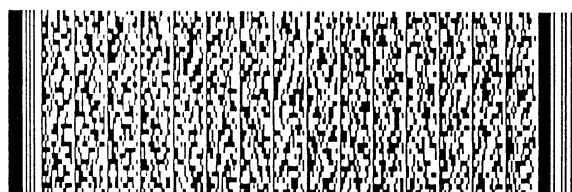
五、發明說明 (18)

裝置(PLD)42，當作以C計數的計數器10。PLD 42連接到 PROM 44和DAC 46，DAC 46接收來自PROM 44的8位元與來自PLD 42的2位元當成輸入。一通用時序信號，例如一70MHz時序信號，為當作以C計數的計數器10之PLD 42與PROM 44和DAC 46共同使用。使用PLD 42與PROM 44和DAC 46來操作數位合成器，如圖7所示，會在下面說明。

一般在數位合成器中一記憶體例如PROM 44會儲存所有要產生波形的數據，所以可以從記憶體輸出正弦波(例如)的數位表示。然而如圖7所示，使用PLD 42，PROM 44和DAC 46這些裝置的數位合成器中，PROM 44是必須為一off-the-shelf的PROM，且為一8位元的裝置。結果，PROM 44僅儲存如正弦波的八個最低位元(LSB)之波形。這八個正弦波的之LSB類比表示如圖8所示。

DAC 46是一10位元的裝置，因為在許多應用中，為了適當的解析度需要一10位元DAC。因為單一的PROM 44僅能儲存8位元，因此為要提供10位元DAC 46的那10位元，通常需要兩個8位元PROM。

使用由下面VHDL程式碼所描述PLD 42，有兩種來自PLD 42的輸出，它是與來自PROM 44的8位元輸出相結合，一起成為10位元輸出到DAC 46產生完全的正弦波信號。PROM 44輸出正弦波的八個LSB Sine_out[7:0]，PLD 42輸出兩個最高位元(Most Significant Bits; MSB)Sine_out[9:8]。兩個正弦波的MSB在下面的相角值時會改變：0°，30°，150°，180°，210°，330°。PLD 42藉由更新輸出



五、發明說明 (19)

到PROM 44的位址計算相角範圍，並且設定位元Sine_out[9:8]。PROM 44的儲存內容如圖8所示，在此MSB是不包括在內。

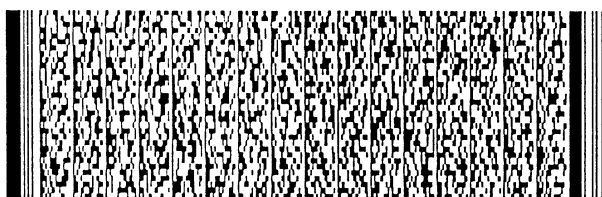
儲存在PLD 42中的VHDL程式碼要做如下修正來產生Sine_out[8]和Sine_out[9]：

```
-----
library ieee;
use ieee.std_logic_1164.all;
use work.std_arith.all;

entity dds is port (
    clock:in std_logic;
    sineout:out std_logic_vector(9 downto 8);
    EPROM_addr:buffer std_logic_vector (10 downto 0)
);

constatnt C:integer:=10000;
end dds;

architecture Countby_C of dds is begin
    signal count:std_logic_vector(21 downto 0);
    -----
    accumulator:process (reset, clock)
        begin
```



五、發明說明 (20)

```

    if (clock' event and clock='1') then
        count<=count+C;
    end if;
end process accumulator;

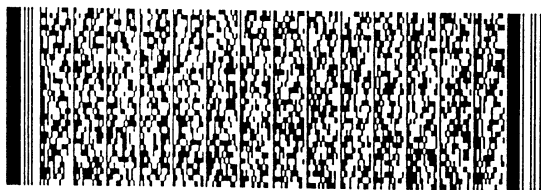
```

```

calc_sine_msb: process (count)
begin
    if (count(10 downto 0)<=170) then
        sineout<="10";
    elseif (count(10 downto 0)>170) and (count(10
downto 0)<=853) then sineout<="11";
    elseif (count(10 downto 0)>853) and (count(10
downto 0)<=1024) then sineout<="10";
    elseif (count(10 downto 0)>1024) and (count(10
downto 0)<=1195) then sineout<="01";
    elseif (count(10 downto 0)>1195) and (count(10
downto 0)<=1876) then sineout<="00";
    else sineout<="01";
    end if;
end process calc_sine_msb;
EPR0M_addr(10 downto 0)<=count(21 downto 11)
end Countby_C;

```

如上所述，VHDL 碼由WARP2 的VHDL 編譯器(例如)編譯成

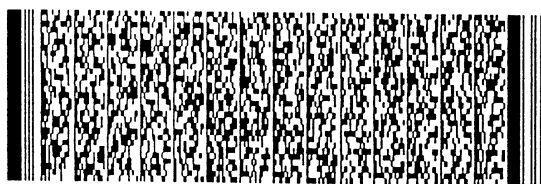


五、發明說明 (21)

CPLD 的組成檔，可以載入PLD 42 中(如同範例的方式將方程式載入以C 計數的計數器10 中)。

使用如圖7 所示的電路，僅用到單一的8 位元PROM 44，並且達到重要的節省成本。另外，應該注意的是此技術不限於使用10 位元的DAC 46，例如使用11 或12 位元的DAC 時，也可以用來產生三個或四個位址位元。最好時序信號為70MHz 的時序，PROM 44 為20 ns 的PROM，DAC 46 為100MHz 的DAC 以及PLD 42 為複雜的PLD(CPLD)，它接收來自個人電腦(未顯示)中微處理機40 的程式。

雖然本發明被描述的相當仔細，並且參考到本發明之數位合成器不同的應用，應該要瞭解的是本發明可應用到任何需要使用本發明之數位合成器所產生精確頻率的裝置。本發明可應用於其他數位合成器，明顯的只是一項普通技術。因此，本發明的精神與領域不受限於這裏所包含的說明範例。明顯地，本發明可用不同的方式說明，這種變化不應視為脫離本發明的精神與領域。所有的修改皆為普通技術之一，為下面的申請專利範圍所包括。

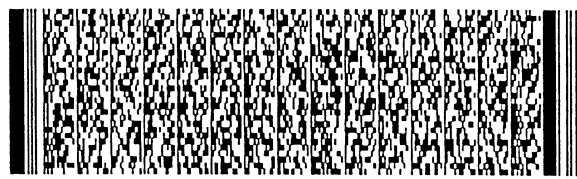
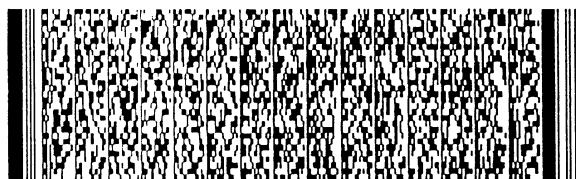


四、中文發明摘要 (發明之名稱：直接數位合成器)

一種數位合成器，包括一記憶體，包含代表如正弦波信號振幅的值，一數位／類比轉換器，以將來自記憶體的輸出轉換成為類比信號，以及一計數器，以由預定且固定的增幅來計數，其本身在高頻下操作以產生非常精確的頻率波形。數位合成器有許多實際的應用，包括產生精確的信號來擷取輸入的射頻信號中的資訊，自廉價的時脈內擷取精確的頻率，以及當成FSK調變器中的裝置來使用，讓多個頻率間的信號選擇沒有任何相位不連續。最後，數位合成器能與8位元的記憶體一同使用，以產生10位元的輸入到數位／類比轉換器。

英文發明摘要 (發明之名稱：DIRECT DIGITAL SYNTHESIZER)

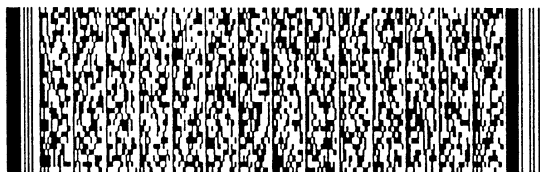
A digital synthesizer includes a memory containing values representing amplitudes of a signal such as a sinewave, a digital/analog converter for converting outputs from the memory into an analog signal, and a counter for counting by a predetermined fixed increment, which operates at a high frequency to enable the generation of very precise frequency waveforms. The digital synthesizer has many practical applications including the generation of precise signals to



四、中文發明摘要 (發明之名稱：直接數位合成器)

英文發明摘要 (發明之名稱：DIRECT DIGITAL SYNTHESIZER)

extract information from input radio frequency signals, the obtaining of a precise frequency from a low-cost clock, and the use as a component of a FSK modulator to permit selection between signals of multiple frequencies without any phase discontinuity. Finally, the digital synthesizer can be used in combination with an 8-bit memory, to generate a 10-bit input to a digital-to-analog converter.



六、申請專利範圍

1. 一種數位合成器，包括：

一計數器，以一預定且固定的增幅來計數；

一記憶體，在收到來自計數器的輸入時，儲存並輸出數位波形的值；以及

一數位／類比轉換器，將來自記憶體輸出之數位波形的值轉換成類比波形的值。

2. 如申請專利範圍第1項的數位合成器，其中的計數器為一種複雜可程式邏輯裝置。

3. 如申請專利範圍第1項的數位合成器，其中由計數器計數的預定且固定的增幅為一種預定的整數。

4. 如申請專利範圍第1項的數位合成器，其中的記憶體包括查尋表。

5. 一種數位合成器包括：

計數裝置，以一預定且固定的增幅來計數；

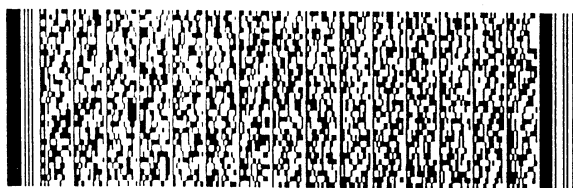
儲存裝置，在收到來自計數方法的輸入時，儲存並輸出數位波形的值；以及

轉換裝置，將來自記憶體輸出之數位波形的值轉換成類比波形的值。

6. 如申請專利範圍第5項的數位合成器，其中的計數裝置包括一種複雜可程式邏輯裝置。

7. 如申請專利範圍第5項的數位合成器，其中的記憶裝置包括查尋表。

8. 如申請專利範圍第5項的數位合成器，其中轉換裝置包括數位／類比轉換器。



六、申請專利範圍

9. 一種信號擷取裝置，包括如申請專利範圍第1項的數位合成器，另外包括：

一混合電路，將接收的輸入信號與來自數位合成器輸出的類比信號混合；以及

一濾波器，過濾來自混合電路的輸出，將收到輸入信號預定的部份復原。

10. 如申請專利範圍第9項的信號擷取裝置，其中輸入信號預定的部份是位於載波信號內。

11. 如申請專利範圍第10項的信號擷取裝置，其中類比輸出信號是一精確的信號，相當於載波與輸入信號預定的部份之差。

12. 一種包含振盪器的裝置與申請專利範圍第1項的數位合成器，用來產生可程式的低頻時序信號。

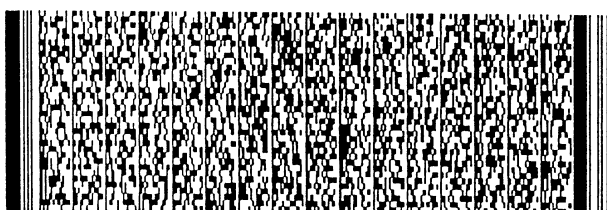
13. 一種頻率選擇器包含申請專利範圍第1項的數位合成器，其中計數器視收到輸入的選擇信號，而以不同預定且固定的增幅計數。

14. 一種FSK調變器，包括申請專利範圍第13項的頻率選擇器，其中來自數位合成器的輸出會視輸入的選擇信號產生不同頻率的合成信號。

15. 一種信號擷取裝置，包括申請專利範圍第5項的數位合成器，另外包括：

一混合裝置，將接收的輸入信號與來自數位合成器輸出的類比信號混合；以及

一濾波裝置，過濾來自振盪裝置的輸出，將收到輸入



六、申請專利範圍

信號預定的部份復原。

16. 如申請專利範圍第15項的信號擷取裝置，其中輸入信號預定的部份是位於載波信號內。

17. 如申請專利範圍第16項的信號擷取裝置，其中類比輸出信號是一精確的信號，相當於載波與輸入信號預定的部份之差。

18. 頻率選擇器所包含申請專利範圍第5項的數位合成器，其中計數裝置視輸入的選擇信號決定不同預定且固定的增幅來計數。

19. 一種FSK調變器，包含申請專利範圍第18項的頻率選擇器，其中來自數位合成器的輸出會視輸入的選擇信號產生不同頻率的合成信號。

20. 一種裝置，包含一種振盪器與申請專利範圍第5項的數位合成器，來產生精確的頻率。

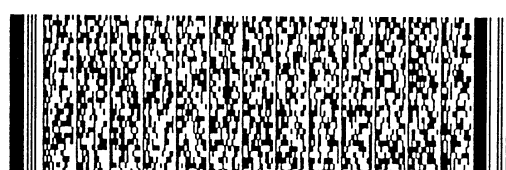
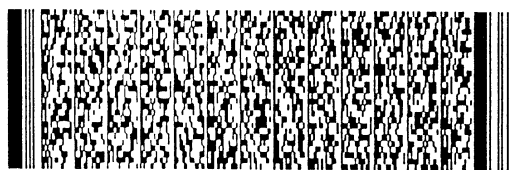
21. 一種合成器，包含：

一計數器，以預定且固定的增幅計數；

一記憶體，連接到計數器，在收到來自計數器的輸入時，儲存並輸出數位波形的值；以及

一數位／類比轉換器，連接到計數器與記憶體，結合收到的數位波形的值與來自計數器的輸入產生輸出類比波形的值。

22. 如申請專利範圍第21項的合成器，其中數位／類比轉換器接收多個來自記憶體的位元，以及多個來自計數器的位元。



六、申請專利範圍

23. 如申請專利範圍第22項的合成器，其中來自計數器的兩(2)個位元為最高位元。

24. 如申請專利範圍第22項的合成器，其中數位／類比轉換器接收到來自記憶體的八(8)個位元與來自計數器的二(2)個位元。

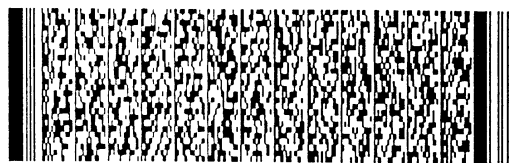
25. 如申請專利範圍第21項的合成器，其中記憶體為八(8)位元的可程式唯讀記憶體(PROM)。

26. 如申請專利範圍第21項的合成器，其中數位／類比轉換器(DAC)為十(10)位元的DAC。

27. 如申請專利範圍第21項的合成器，其中數位／類比轉換器(DAC)為十二(12)位元的DAC。

28. 如申請專利範圍第25項的合成器，其中數位／類比轉換器(DAC)為十(10)位元的DAC。

29. 如申請專利範圍第25項的合成器，其中數位／類比轉換器(DAC)為十二(12)位元的DAC。



圖式

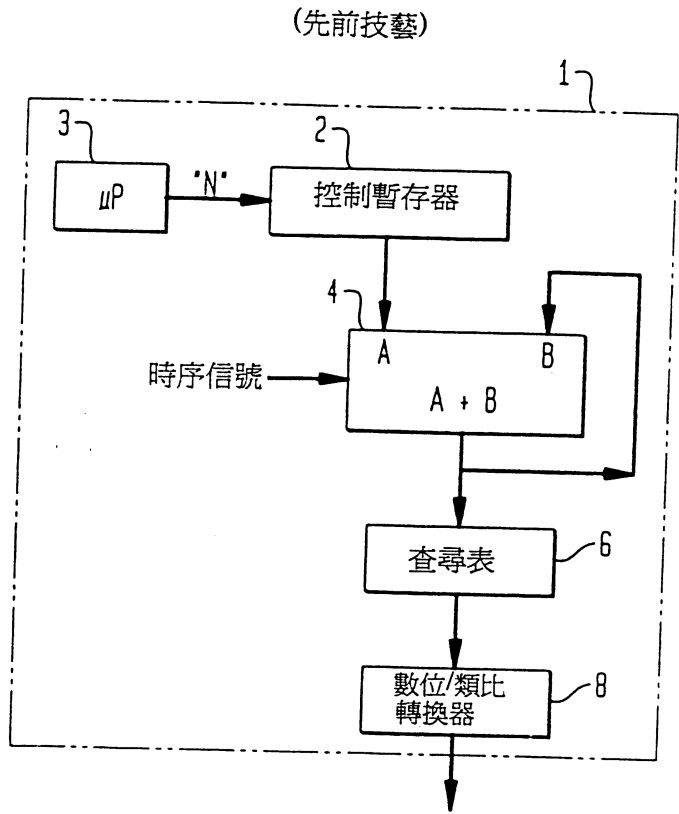


圖 1

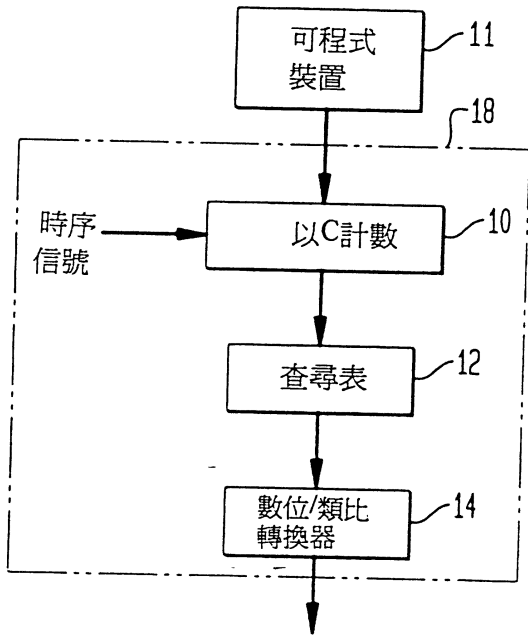


圖 2

圖式

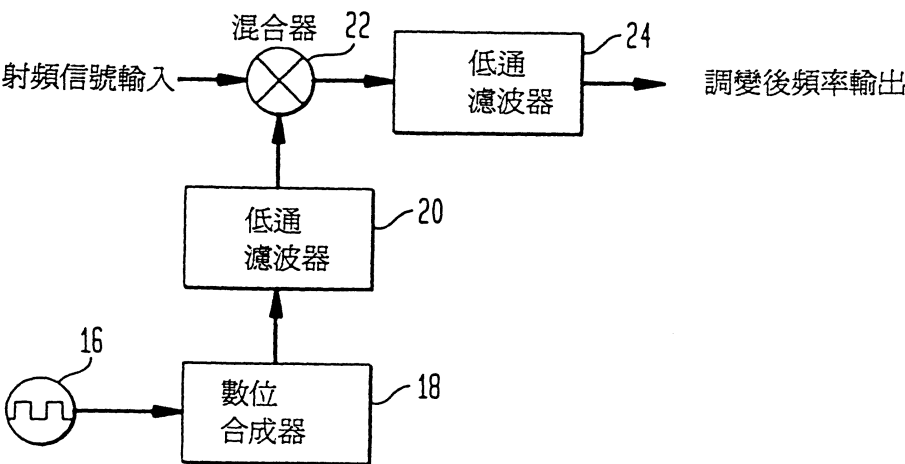


圖3

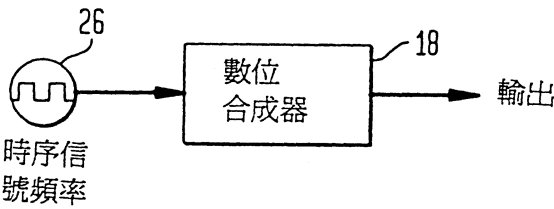


圖4

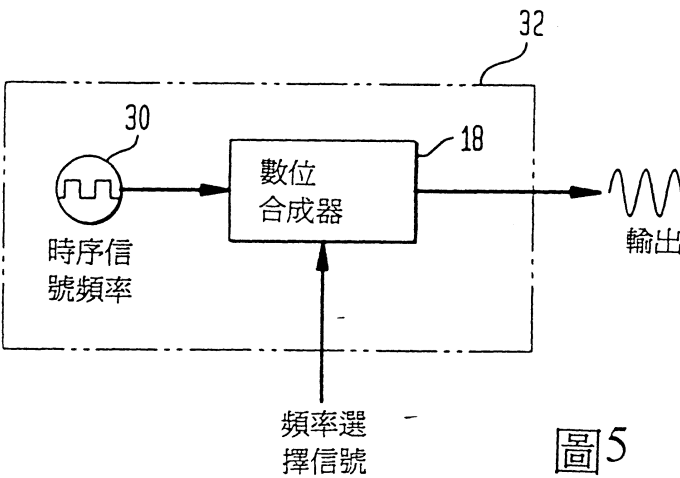


圖5

圖式

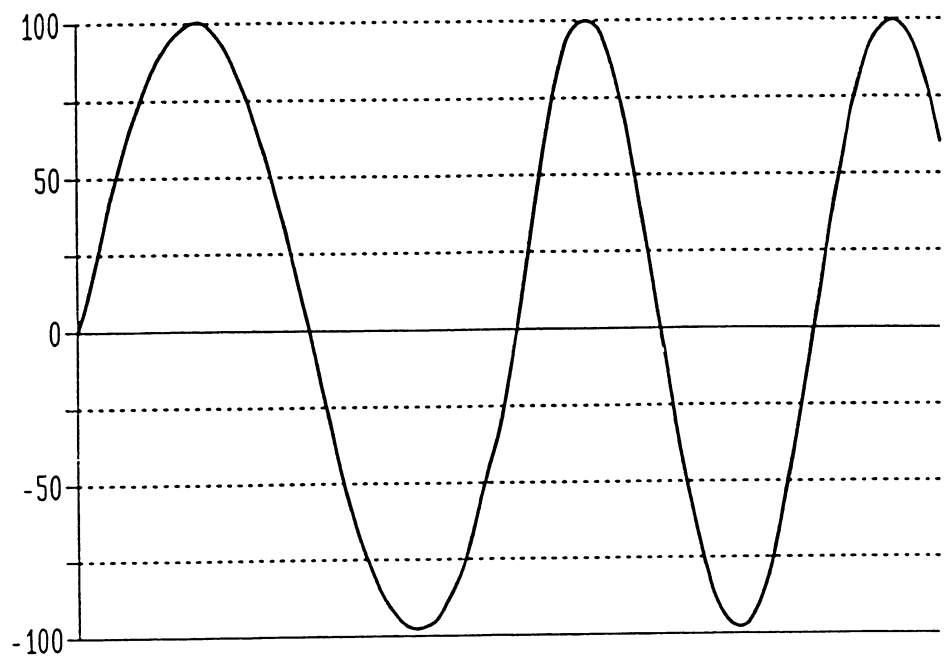


圖6

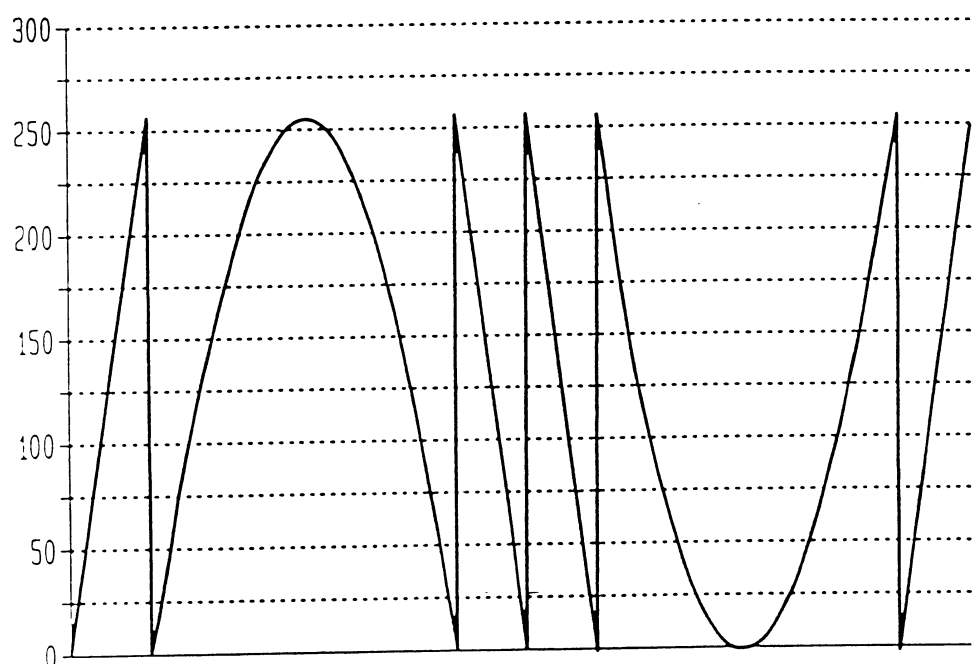


圖8

圖式

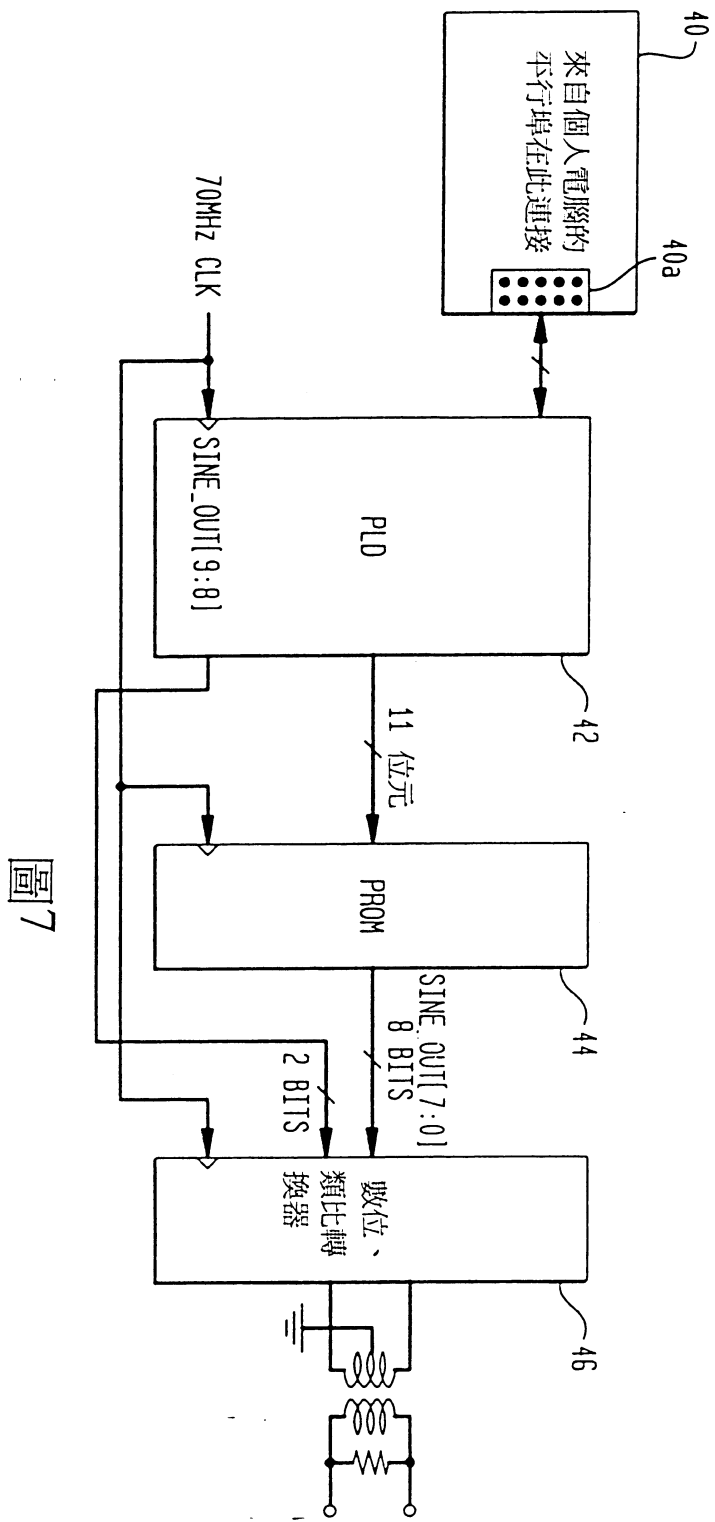


圖 7

圖式

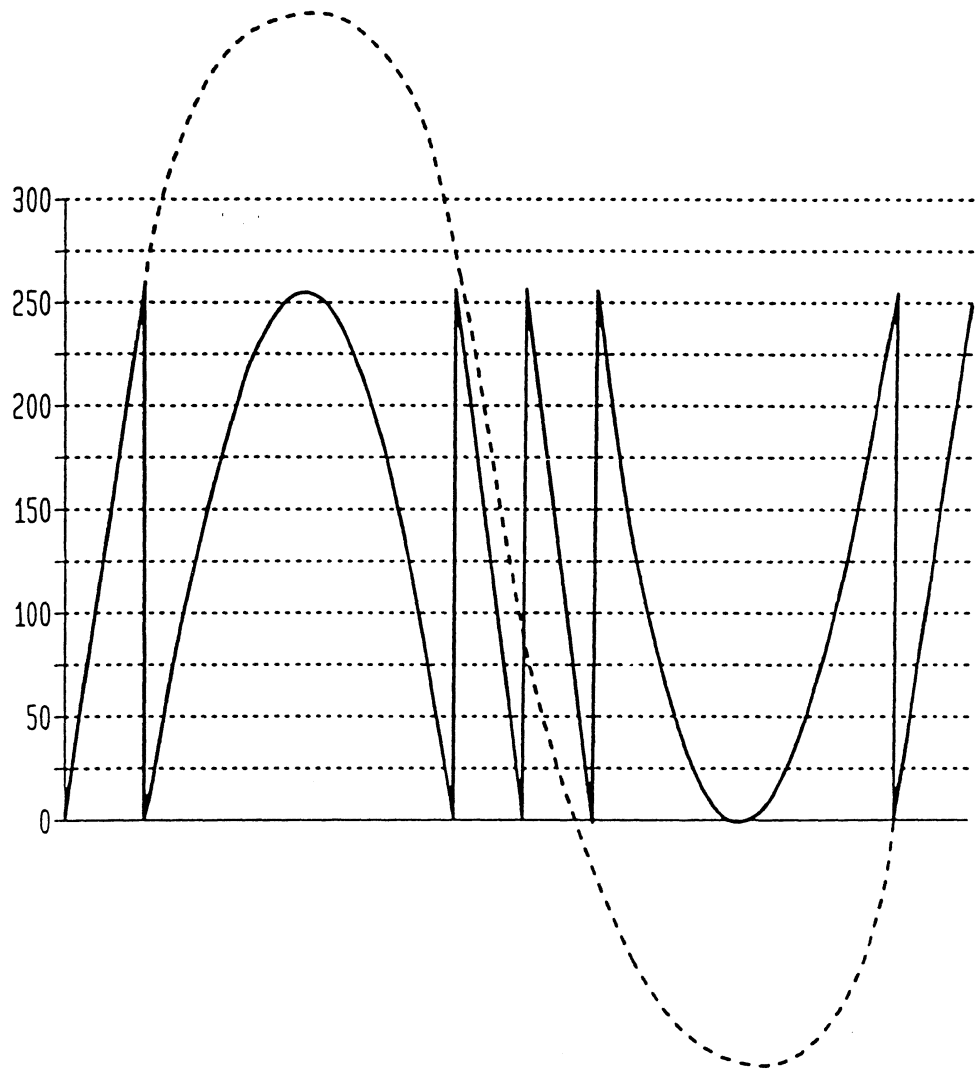


圖9